



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201807958 A

(43) 公開日：中華民國 107 (2018) 年 03 月 01 日

(21) 申請案號：105127390

(22) 申請日：中華民國 105 (2016) 年 08 月 26 日

(51) Int. Cl. :

*H03M13/37 (2006.01)**H03M13/29 (2006.01)*

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

(72) 發明人：張錫嘉 CHANG, HSIE-CHIA (TW) ; 林振揚 LIN, CHEN-YANG (TW)

(74) 代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：10 項 圖式數：10 共 43 頁

(54) 名稱

渦輪編碼的數位資料之去穿刺方法與裝置及渦輪解碼器系統

METHOD AND DEVICE FOR DE-PUNCTURING TURBO-CODED DIGITAL DATA, AND TURBO DECODER SYSTEM

(57) 摘要

一種渦輪解碼器系統解碼由一系統碼及第一與第二同位檢查碼構成的 L-長度數位資料，並包含一柵欄控制器，其獲得該第一/二同位檢查碼與原始系統碼的位元數比 E_p/D 並根據該數位資料的碼率產生一指示出一目標解碼柵欄的柵欄控制輸出，該目標解碼柵欄是由一渦輪解碼器選擇來執行解碼操作。一補零模組將零補進該系統碼，並根據 E_p/D 之值將一或多個零補進該第一/二同位檢查碼以使得該第一/二同位檢查碼的同位檢查位元與該(等)零-位元在位元位置上係呈週期性地排列。

A turbo decoder system decodes L-length digital data consisting of a systematic code and first and second parity check codes, and includes a trellis controller obtaining the ratio of the bit-number E_p of the first/second parity check code to the bit-number D of an original systematic code and generating, based on the code rate of the digital data, a trellis control output indicating a target decoding trellis, which is selected by a turbo decoder to perform decoding operations. A zero-patch module patches zeros into the systematic code, and patches, based on the value of E_p/D , one or more zeros into the first/second parity check code so that parity check bits of the first/second parity check code and the zero-bit(s) are periodically arranged in bit-position.

指定代表圖：

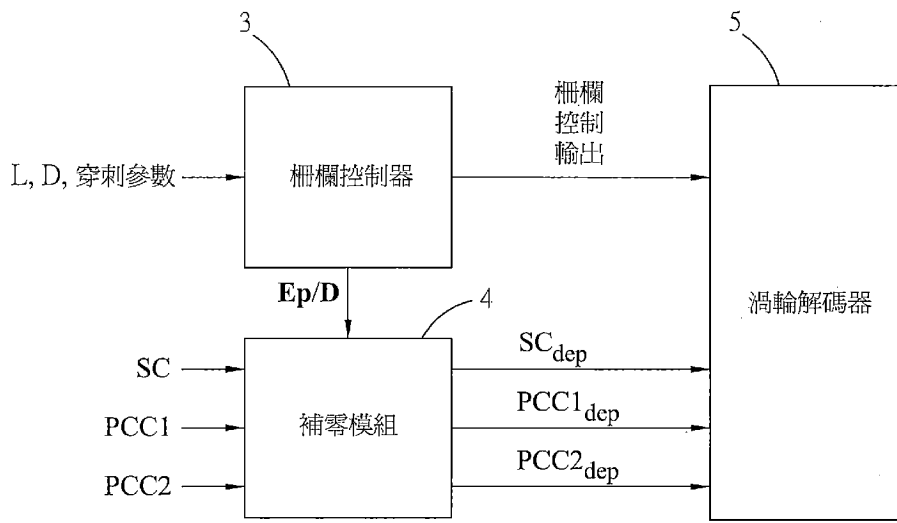


圖4

符號簡單說明：

3 . . . 柵欄控制器

4 . . . 補零模組

5 . . . 渦輪解碼器

SC . . . 系統碼

PCC1 . . . 第一同位
檢查碼PCC2 . . . 第二同位
檢查碼SC_{dep} . . . 去穿孔系
統碼PCC1_{dep} . . . 去穿
刺第一同位檢查碼PCC2_{dep} . . . 去穿
刺第二同位檢查碼



申請日: 105. 8. 26

201807958

【發明摘要】

IPC分類: H03M 13/37 (2006.01)
H03M 13/29 (2006.01)

【中文發明名稱】 渦輪碼數位資料之去穿刺方法與裝置及渦輪解碼器系統

【英文發明名稱】 Method And Device For De-puncturing Turbo-coded Digital Data, And Turbo Decoder System

【中文】

一種渦輪解碼器系統解碼由一系統碼及第一與第二同位檢查碼構成的L-長度數位資料，並包含一柵欄控制器，其獲得該第一/二同位檢查碼與原始系統碼的位元數比 E_p/D 並根據該數位資料的碼率產生一指示出一目標解碼柵欄的柵欄控制輸出，該目標解碼柵欄是由一渦輪解碼器選擇來執行解碼操作。一補零模組將零補進該系統碼，並根據 E_p/D 之值將一或多個零補進該第一/二同位檢查碼以使得該第一/二同位檢查碼的同位檢查位元與該(等)零-位元在位元位置上係呈週期性地排列。

【英文】

A turbo decoder system decodes L-length digital data consisting of a systematic code and first and second parity check codes, and includes a trellis controller obtaining the ratio of the bit-number E_p of the first/second parity check code to the bit-number D of an original systematic code and generating, based on the code rate of the digital data, a trellis control output indicating a target decoding trellis, which is selected by a turbo decoder to perform decoding operations. A zero-patch module patches zeros into the systematic code,

and patches, based on the value of E_p/D , one or more zeros into the first/second parity check code so that parity check bits of the first/second parity check code and the zero-bit(s) are periodically arranged in bit-position.

【指定代表圖】：圖（4）。

【代表圖之符號簡單說明】

3.....柵欄控制器	PCC2...第二同位檢查碼
4.....補零模組	SC _{dep} ..去穿刺系統碼
5.....渦輪解碼器	PCC1 _{dep} ..去穿刺第一同位檢查碼
SC...系統碼	PCC1 _{dep} ..去穿刺第二同位檢查碼
PCC1...第一同位檢查碼	

【發明說明書】

【中文發明名稱】 渦輪編碼的數位資料之去穿刺方法與裝置及渦輪解碼器系統

【英文發明名稱】 Method And Device For De-puncturing Turbo-coded Digital Data, And Turbo Decoder System

【技術領域】

【0001】本發明是有關於渦輪碼，特別是指一種用於去穿刺渦輪編碼的數位資料之方法與裝置，以及一種渦輪解碼器系統。

【先前技術】

【0002】渦輪碼(Turbo Codes)為一種錯誤校正碼，並且因其特殊的錯誤校正能力而已普遍應用於各種各樣的無線通訊系統。

【0003】例如於一發射器，參考圖1，一傳統渦輪編碼器係用來編碼作為一輸入碼的資訊位元，且通常包含兩個迴旋編碼器(Convolutional Encoder)11，12、一交錯器(Interleaver)13及一穿刺模組(Puncture module)14。該輸入碼在正常及交錯順序階段時被編碼，作為一第一同位檢查碼的第一同位檢查位元、及作為一第二同位檢查碼的第二同位檢查位元與該輸入碼，即系統位元，一起分別在該正常與交錯順序階段時被產生。在經由一無線通訊通

道傳送該輸入碼與該第一及第二同位檢查碼之前，該穿刺模組14藉由刪除該輸入碼與該等同位檢查碼的某些碼位元之方式來處理穿刺操作，以便提高傳送碼率。穿刺操作被分類成週期性與非週期性類型，週期性穿刺意指在該碼的每一週期中穿刺位元的位元位置與數量是相同的。

【0004】參考圖2，顯示了對於一個被表示為 $S_{00}S_{01}S_{02}S_{03}S_{04}S_{05}S_{06}S_{07}S_{08}S_{09}S_{10}S_{11}S_{12}S_{13}S_{14}$ 的15-位元資料碼之編碼及穿刺的例子。一開始，一發射器的一碼率-1/2編碼器(圖未示)將該15-位元資料碼編碼以產生一表示為 $P_{00}P_{01}P_{02}P_{03}P_{04}P_{05}P_{06}P_{07}P_{08}P_{09}P_{10}P_{11}P_{12}P_{13}P_{14}$ 的15-位元同位檢查碼以及該15-位元資料碼。然後，在一穿刺操作中，12個同位位元從該15-位元同位檢查碼被刪除(但此例中該資料碼未刪除任何資料位元)，因而產生了一個表示為 $P_{00}**P_{03}*****P_{12}**$ 之穿刺的15-位元同位檢查碼，其中“*”表示一穿刺位元。

【0005】例如於一接收器，參考圖3，一種傳統渦輪解碼器系統係用來將所接收到的渦輪碼，例如被穿刺且發射自該發射器的該資料碼與該第一及第二同位檢查碼(即，系統位元、第一同位檢查位元及第二同位檢查位元)，在該正常及交錯順序階段間疊代地解碼。該傳統渦輪解碼器系統包含一去穿刺模組21及一疊代解碼器20，

該疊代解碼器20由兩個soft-in/soft-out (SISO)解碼器22，23、兩個交錯器25，26及一個去交錯器24構成。在疊代解碼前，為了重建原始碼，例如，該無穿孔的資料碼及該無穿孔的同位檢查碼，該去穿孔模組21藉由將零插入到每個所接收到的碼中且分別在所有穿孔的位元位置之方式來處理去穿孔操作，藉此將所接收碼的長度延長到它無穿孔的長度。換言之，經由該渦輪解碼器，每個去穿孔碼能被視為原始無穿孔的碼。

【0006】再參考圖2，依照相同的例子，在一接收器的去穿孔操作中，12個表示為“0”的零被插入到所接收的同位檢查碼且分別在所有穿孔的位元位置，因而產生了一個表示為 $P_{00}00P_{03}00000000P_{12}00$ 的去穿孔15-位元同位檢查碼。

【0007】在一SISO解碼器的每個解碼階段中，執行了於第一篇論文(by Hagenauer, E. Offer, and L. Papke, “Iterative decoding of binary block and convolutional codes,” IEEE Trans. Inf. Theory, vol. 42, no. 2, pp. 429–445, Mar. 1996)所提出的一種SISO演算法，而且對於每個資料符號(data symbol)產生了一個外來值，這些外來值被遞送到下一個解碼階段作為每個專用資料符號的先驗(a priori)輸入。藉由在每個解碼階段中更新及交換軟(soft)值，能獲得每個資料符號之後驗(a posteriori)值的可靠的對數近似比(Log Likelihood Ratio; LLR)，以實現較佳的位元錯

誤率(Bit Error Rate ; BER)。

【0008】對於用來執行SISO演算法並遞送軟值的SISO解碼器而言，解碼柵欄(Decoding Trellis)是必要的。有兩種解碼柵欄被用來執行最大後驗機率(Maximum a Posteriori Probability ; MAP)，其在第二篇論文(by L. R. Bahl, J. Cocke, F. Jelinek, and J. Raviv, "Optimal decoding of linear codes for minimizing symbol error rate," IEEE Trans. Inf. Theory, vol. IT-20, pp. 284-287, Mar. 1974)被提出。一種為一傳統柵欄，且另一種為一互反雙重柵欄(Reciprocal Dual Trellis)。為節省硬體資源及輸出延遲，於第三篇論文(by S. A. Barbulescu, "Sliding window and interleaver design," IET Electronics letters, vol. 37, no. 21, pp. 1299-1300, Oct. 2001)所揭露的一滑移窗口(Sliding Window ; SW)解碼排程通常被應用於渦輪解碼器。

【0009】用了該傳統柵欄的SISO解碼器對於低碼率操作能達成良好硬體效率，例如在966mW功率消耗下的1Gbps處理量，其已揭露於第四篇論文(by C. Roth, S. Belfanti, C. Benkeser, and Q. Huang, "Efficiency parallel turbo decoding for high throughput wireless systems," IEEE Trans. Circuits Syst. I, vol. 58, no. 6, pp. 1412-1420, Jun. 2014)。當該傳統柵欄被應用來完成MAP演算法時，SW的大小必須因操作碼率增加而被放大以維持良好錯誤校正能力。應注意的是，在高碼率操作時，因為需

要寬的SW，所以用該傳統柵欄的SISO解碼器恐苦於相對長的解碼延遲與相對大的電路面積。

【0010】為了解決上述問題，如同第五篇論文(by C.-Y. Lin, C.-C. Wong, and H.-C. Chang, "A 40 nm 535 Mbps multiple code-rate turbo decoder chip using reciprocal dual trellis," IEEE J. Solid-state Circuits, vol. 48, no. 11, pp. 2662-2670, Nov. 2013)所揭露的用了該互反雙重柵欄的SISO解碼器已證明出對於高碼率操作具有較佳硬體效率，即，較高的單位面積處理量(Mbps/k-gates)。SW解碼排程能被應用到用了該互反雙重柵欄且用於產生軟可靠度(Soft Reliabilities)的SISO解碼器。因此，對於圖3的該疊代解碼器20，在結合該互反雙重柵欄與該傳統柵欄時能共用該等SISO解碼器22，23中的某些計算單元。在解碼週期性穿刺碼時，在該互反雙重柵欄中的平行LLR計算單元必須同時被啟動以提高解碼速度。然而，用了該互反雙重柵欄的SISO解碼器受限於週期性穿刺碼的應用。

【0011】因此，用了上述解碼柵欄其中一單一者的渦輪解碼器恐無法符合對於任意碼率操作的高處理量需求。

【發明內容】

【0012】因此，本發明的目的，即在提供一種用於去穿刺渦輪編碼的數位資料之方法與裝置，以及一種渦輪解碼器系統，其能克服習知技藝之上述缺點中的至少一者。

【0013】根據本發明的一個觀點，提供了一種藉由一去穿刺裝置來實施的去穿刺渦輪編碼的數位資料之方法。該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構成的系統碼、及一由多個同位檢查位元構成的同位檢查碼。該方法包含以下步驟：

【0014】(A)根據L、D、及一由該預定無線通訊協定所定義出且關聯於該D-位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數；

【0015】(B)當該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼；及

【0016】(C)根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上呈週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應

於該渦輪編碼的數位資料的去穿刺的渦輪編碼數位資料。

【0017】 在一些實施態樣中，該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced；LTE-A)協定，且在步驟(C)中，對於該去穿刺同位檢查碼，當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上是連續的，當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置，當 $1/4 > E_p/D \geq 1/8$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置，當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置，及當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【0018】 根據本發明的另一觀點，提供了一種裝置，其用於去穿刺渦輪編碼的數位資料以產生去穿刺的渦輪編碼數位資料。該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構成的系統碼、及一由多個同位檢查位元構成的同位檢查碼。該裝置包含一柵欄控制器及

一補零模組。

【0019】該柵欄控制器係組配來根據L、D、及一由該預定無線通訊協定所定義出且關聯於該D-位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數，並且計算 E_p/D 之值，而且根據該渦輪編碼的數位資料的碼率，產生一柵欄控制輸出。該柵欄控制輸出指示出不同解碼柵欄其中的一個要被一渦輪解碼器用來解碼該去穿刺渦輪編碼數位資料的目標者。

【0020】該補零模組被用來接收該渦輪編碼的數位資料，並電連接該柵欄控制器以接收來自該柵欄控制器的 E_p/D 之值。該補零模組係組配來當該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼，並且根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上是週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應於該渦輪編碼的數位資料的去穿刺的渦輪編碼數位資料。

【0021】在一些實施態樣中，該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced；LTE-A)協定，且對於

該去穿刺同位檢查碼，當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上連續的，當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置，當 $1/4 > E_p/D \geq 1/8$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置，當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置，及當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【0022】在一些實施態樣中，該等不同解碼柵欄包含一適合於自 $1/3$ 至 $1/2$ 的碼率範圍的柵欄、一適合於自 $1/2$ 至 $2/3$ 的碼率範圍的週期-2互反雙重柵欄、一適合於自 $2/3$ 至 $4/5$ 的碼率範圍的週期-4互反雙重柵欄、一適合於自 $4/5$ 至 $8/9$ 的碼率範圍的週期-8互反雙重柵欄、一適合於自 $8/9$ 至 $16/17$ 的碼率範圍的週期-16互反雙重柵欄、及一適合於一大於 $16/17$ 的碼率的週期-32互反雙重柵欄。

【0023】在一些實施態樣中，當 $E_p/D \geq 1/2$ 時，該目標解碼柵欄為該柵欄，當 $1/2 > E_p/D \geq 1/4$ 時，該目標解碼柵欄為該週期-2互反雙重柵欄，當 $1/4 > E_p/D \geq 1/8$ 時，該目標解碼柵欄為該週期-4互反雙重柵欄，當 $1/8 > E_p/D \geq 1/16$ 時，該目標解碼柵欄為該週期-8互反雙重柵欄，當 $1/16 > E_p/D \geq 1/32$ 時，該目標解碼柵欄為該週期

-16互反雙重柵欄，以及當 $E_p/D < 1/32$ 時，該目標解碼柵欄為該週期-32互反雙重柵欄。

【0024】根據本發明又一觀點，提供了一種渦輪解碼器系統，其用於解碼渦輪編碼的數位資料。該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構成的系統碼、及一由多個同位檢查位元構成的同位檢查碼。該渦輪解碼器系統包含一柵欄控制器、一補零模組及一渦輪解碼器。

【0025】該柵欄控制器系組配來根據L、D、及一由該預定無線通訊協定所定義出且關聯於該D-位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數，而且計算 E_p/D 之值，並且根據該渦輪編碼的數位資料的碼率，產生一柵欄控制輸出，該柵欄控制輸出指示出不同解碼柵欄其中的一個目標者。

【0026】該補零模組被用來接收該渦輪編碼的數位資料，並電連接該柵欄控制器以接收來自該柵欄控制器的 E_p/D 之值。該補零模組係組配來當該渦輪編碼的數位資料的該系統碼中存在有任何穿

刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼，並且根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上是週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應於該渦輪編碼的數位資料的去穿刺的渦輪編碼數位資料。

【0027】該渦輪解碼器係電連接該柵欄控制器與該補零模組以接收來自該柵欄控制器的柵欄控制輸出，及來自該補零模組的該去穿刺系統碼、該去穿刺第一同位檢查碼與該去穿刺第二同位檢查碼，該渦輪解碼器能夠提供該等不同的解碼柵欄，且係組配來根據該柵欄控制輸出選擇性提供該目標解碼柵欄並利用該目標解碼柵欄解碼該去穿刺系統碼、該去穿刺第一同位檢查碼及該去穿刺第二同位檢查碼。

【0028】在一些實施態樣中，該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced; LTE-A)協定，且對於該去穿刺同位檢查碼，當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上是連續的，當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置，當 $1/4 > E_p/D \geq 1/8$ 時，

該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置，當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置，及當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【0029】 在一些實施態樣中，該等不同解碼柵欄包含一適合於自 $1/3$ 至 $1/2$ 的碼率範圍的柵欄、一適合於自 $1/2$ 至 $2/3$ 的碼率範圍的週期-2互反雙重柵欄、一適合於自 $2/3$ 至 $4/5$ 的碼率範圍的週期-4互反雙重柵欄、一適合於自 $4/5$ 至 $8/9$ 的碼率範圍的週期-8互反雙重柵欄、一適合於自 $8/9$ 至 $16/17$ 的碼率範圍的週期-16互反雙重柵欄、及一適合於一大於 $16/17$ 的碼率的週期-32互反雙重柵欄。

【0030】 在一些實施態樣中，當 $E_p/D \geq 1/2$ 時，該目標解碼柵欄為該柵欄，當 $1/2 > E_p/D \geq 1/4$ 時，該目標解碼柵欄為該週期-2互反雙重柵欄，當 $1/4 > E_p/D \geq 1/8$ 時，該目標解碼柵欄為該週期-4互反雙重柵欄，當 $1/8 > E_p/D \geq 1/16$ 時，該目標解碼柵欄為該週期-8互反雙重柵欄，當 $1/16 > E_p/D \geq 1/32$ 時，該目標解碼柵欄為該週期-16互反雙重柵欄，以及當 $E_p/D < 1/32$ 時，該目標解碼柵欄為該週期-32互反雙重柵欄。

【0031】 本發明的功效在於：由於該柵欄控制器3及該補零模組4的運作，本發明渦輪解碼器系統能使用該目標解碼柵欄且在一相對

小的SW下，以一相對快速的解碼速度，解碼已經過非週期性穿刺且所具有的碼率被允許在一較廣範圍的渦輪編碼數位資料。

【圖式簡單說明】

【0032】本發明的其他的特徵及功效，將於參照圖式的實施方式中清楚地呈現，其中：

圖 1 是一示意方塊圖，其繪示一傳統渦輪編碼器；

圖 2 繪示了對於一 15-位元資料碼的編碼、穿刺及去穿刺操作的範例；

圖 3 是一示意方塊圖，其繪示一傳統渦輪解碼器系統；

圖 4 是一示意方塊圖，其顯示本發明渦輪解碼器系統的一實施例；

圖 5 是一示意方塊圖，其示例地繪示該實施例的一 SISO 解碼器；

圖 6 示例地繪示一以二維矩陣形式的原始 196-位元系統碼；

圖 7 示例地繪示一藉由穿刺圖 6 的該原始 196-位元系統碼所獲得的 184-位元系統碼；

圖 8 示例地繪示一藉由穿刺一原始 196-位元第一/二同位檢查碼所獲得的 89-位元第一/二同位檢查碼；

圖 9 是一圖，其示例地繪示對於碼率-0.53 渦輪編碼的數位資

料，分別藉由一用傳統基數-2 柵欄的傳統渦輪解碼器與用週期-2 互反雙重柵欄的該實施例且在相同為 32 的 SW 大小之情況下所獲得的模擬 BER 性能；及

圖 10 是一圖，其示例地繪示對於碼率-0.85 的渦輪編碼的數位資料，分別藉由用了該傳統基數-2 柵欄且在 SW 大小為 64 之情況下的該傳統渦輪解碼器以及用週期-8 互反雙重柵欄且在 SW 大小為 12 之情況下該實施例所獲得的模擬 BER 性能。

【實施方式】

【0033】在本發明被詳細描述的前，應當注意在以下的說明內容中，類似的元件是以相同的編號來表示。

【0034】參考圖4，所顯示的本發明渦輪解碼器系統的實施例被用來解碼渦輪編碼的數位資料，該渦輪編碼的數位資料對應於一(從一發射器)發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係藉由根據一預定無線通訊協定來穿刺一由該發射器的一渦輪編碼器所產生的原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼、及用於錯誤校正的一D-位元第一同位檢查碼與一D-位元地二同位檢查碼。在本實施例中，該預定無線通訊協定例如為一進階長期演進(Long Term Evolution-Advanced; LTE-A)協定(以下簡稱LTE-A協定)。該

渦輪編碼的數位資料具有一 L -位元長度，並包括一由多個系統位元構成的系統碼 SC 、及一由多個第一同位檢查位元構成的第一同位檢查碼 $PCC1$ 、及一由多個第二同位檢查位元構成的第二同位檢查碼 $PCC2$ 。應注意的是，該系統碼 SC 的該等系統位元可由 K 個資訊位元、及由該預定無線通訊協定所定義的專用位元，例如，由 $LTE-A$ 協定所定義的四個尾位元。該第一同位檢查位元的數量係完全相同於該第二同位檢查位元的數量。

【0035】該渦輪解碼器系統包含一柵欄控制器3、一補零模組4及一渦輪解碼器5。在本實施例中，該柵欄控制器3與該補零模組4共同構成一種用於去穿刺該渦輪編碼的數位資料以產生去穿刺的渦輪編碼數位資料的裝置。

【0036】該柵欄控制器13係組配來根據 L 、 D 及一來自該發射器的穿刺參數獲得該渦輪編碼的數位資料的該第一/二同位檢查碼的該等第一/二同位檢查位元的數量 E_p ，其中 E_p 是一正整數。該穿刺參數係由該預定無線通訊協定所定義，並相關於從該原始的渦輪編碼數位資料的該 D -位元系統碼被穿刺的位元數量。例如，該穿刺參數可為 $LTE-A$ 協定所定義的冗餘版本(Redundancy Version) RV 。該柵欄控制器3計算出 E_p/D 之值，並根據該渦輪編碼的數位資料的碼率產生一柵欄控制輸出。該柵欄控制輸出指示出多個不同的解碼柵欄其中的一個目標解碼柵欄。在此，該渦輪編碼的數位資料之碼

率被定義為 K/L 之比。

【0037】在此實施例中，例如，按照LTE-A協定，該等不同解碼柵欄包括諸如上述第四篇論文中所揭露的該傳統柵欄且適合於自 $1/3$ 至 $1/2$ 的碼率範圍的一柵欄、一適合於自 $1/2$ 至 $2/3$ 的碼率範圍的週期-2互反雙重柵欄、一適合於自 $2/3$ 至 $4/5$ 的碼率範圍的週期-4互反雙重柵欄、一適合於自 $4/5$ 至 $8/9$ 的碼率範圍的週期-8互反雙重柵欄、一適合於自 $8/9$ 至 $16/17$ 的碼率範圍的週期-16互反雙重柵欄、及一適合於一大於 $16/17$ 的碼率的週期-32互反雙重柵欄。

【0038】另一方面，該柵欄控制器3亦可根據 E_p/D 之值來決定該目標解碼柵欄。例如，當 $E_p/D \geq 1/2$ 時，該目標解碼柵欄為該柵欄，當 $1/2 > E_p/D \geq 1/4$ 時，該目標解碼柵欄為該週期-2互反雙重柵欄，當 $1/4 > E_p/D \geq 1/8$ 時，該目標解碼柵欄為該週期-4互反雙重柵欄，當 $1/8 > E_p/D \geq 1/16$ 時，該目標解碼柵欄為該週期-8互反雙重柵欄，當 $1/16 > E_p/D \geq 1/32$ 時，該目標解碼柵欄為該週期-16互反雙重柵欄，以及當 $E_p/D < 1/32$ 時，該目標解碼柵欄為該週期-32互反雙重柵欄。

【0039】該補零模組4被用來接收該渦輪編碼的數位資料，並電連接該柵欄控制器3用以接收來自該柵欄控制器3的 E_p/D 之值。該補零模組4係組配來在該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該

系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼 SC_{dep} ，並組配來根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該等第一及第二同位檢查碼($PCC1, PCC2$)的每一者中，以使得該第一同位檢查位元與該所補的至少一個零-位元在位元位置上係呈週期性地排列，以便形成一去穿刺第一同位檢查碼 $PCC1_{dep}$ ，並使得該第二同位檢查位元與該所補的至少一個零-位元在位元位置上係呈週期性地排列，以便形成一去穿刺第二同位檢查碼 $PCC2_{dep}$ 。在本實施例中，該去穿刺系統碼 SC_{dep} 、該去穿刺第一同位檢查碼 $PCC1_{dep}$ 及該去穿刺第二同位檢查碼 $PCC2_{dep}$ 共同構成對應於該渦輪編碼的數位資料的該去穿刺的渦輪編碼數位資料。

【0040】依照一個由該補零模組4所執行的簡單補零操作例子，對於一表示為 $P_{00} ** P_{03} * * * * * P_{12} **$ 之穿刺的15-位元同位檢查碼，其中“*”表示一穿刺位元，因而獲得的一去穿刺15-位元同位檢查碼為 $P_{00} ** P_{03} * * 0 * * 0 * * P_{12} **$ 。因此，該補零模組4亦能被視為一種使非週期性地穿刺碼能夠利用互反雙重柵欄來解碼的去穿刺機構。

【0041】在本實施例中，對於該去穿刺第一/二同位檢查碼 $PCC1_{dep}/PCC2_{dep}$ ，當 $E_p/D \geq 1/2$ 時，該等第一/二同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上是連續的。在

此情況下，該去穿刺第一/二同位檢查碼 $PCC1_{dep}/PCC2_{dep}$ 的該(等)所補的零-位元的數量係完全相同於該D-位元第一/二同位檢查碼的該(等)穿刺位元的數量。當 $1/2 > E_p/D \geq 1/4$ 時，該等第一/二同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置。當 $1/4 > E_p/D \geq 1/8$ 時，該等第一/二同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置。當 $1/8 > E_p/D \geq 1/16$ 時，該等第一/二同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置。當 $1/16 > E_p/D \geq 1/32$ 時，該等第一/二同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【0042】該渦輪解碼器，諸如一疊代解碼器，電連接該補零模組4及該柵欄控制器3用以接收來自該柵欄控制器3的該柵欄控制輸出，以及來自該補零模組4的該去穿刺的渦輪編碼數位資料(即，該去穿刺系統碼 SC_{dep} 、該去穿刺第一同位檢查碼 $PCC1_{dep}$ 及該去穿刺第二同位檢查碼 $PCC2_{dep}$)。該渦輪解碼器5能夠提供該等不同的解碼柵欄，且係組配來根據該柵欄控制輸出選擇性地提供該目標解碼柵欄，並使用該目標解碼柵欄來解碼該去穿刺系統碼 SC_{dep} 、該去穿刺第一同位檢查碼 $PCC1_{dep}$ 及該去穿刺第二同位檢查碼 $PCC2_{dep}$ 。在本實施例中，例如，該渦輪解碼器5可具有一相似於圖3所示的該疊代解碼器20的硬體結構。

【0043】圖5示例地繪示該渦輪解碼器5中所包含的每個SISO解碼器的結構。該SISO解碼器包含多個被圖5的一假想線所圍住的共用硬體組件以及一對數近似比(Log Likelihood Ratio; LLR)計算模組7(以下簡稱LLR計算模組)。由於本發明的特徵並非在於該等已為此技藝者所熟知的共用硬體組件之結構，為簡潔之故，而在此省略了該等共用硬體組件的細節。應注意的是，該LLR計算模組7包含多個LLR計算單元70，71'、及一LLR控制器72，該LLR控制器72電連接該等LLR計算單元71，71'及該柵欄控制器3(圖未示)。在本實施例中，該等LLR計算單元71，71'的數量可為32個，但不限於此。該LLR控制器72接收來自該柵欄控制器3的該柵欄控制輸出，且係組配來根據該柵欄控制輸出來控制該等LLR計算單元71，71'的操作，以使該LLR計算單元71'通常被啟動且該等LLR計算單元71，71'其中所有啟動者的數量係相同於該柵欄控制輸出所指示的該目標解碼柵欄的週期數。因此，例如，若該柵欄控制輸出所指示的該目標解碼柵欄為該傳統柵欄時，該等共同硬體組件及該LLR計算單元71'共同促成該傳統柵欄的操作。依照另一例，若該柵欄控制輸出所指示的該目標解碼柵欄為該週期-4互反雙重柵欄時，該等共用硬體組件、該LLR計算單元71'及另外三個啟動的LLD計算單元71共同促成該週期-4互反雙重柵欄的操作。

【0044】如同在一發射器處的一個例子，參考圖6，所示的一原始

196-位元系統碼係經由根據一由該LTE-A協定所定義的預定原則的欄間置換(Inter-column Permutation)操作後所獲得的一二維矩陣形式，其中“X”表示一無效位元，“y00”~“y191”分別表示第一個至第192個資訊位元，且“T00”~“T03”分別表示第一個至第四個尾位元。在此例中， $D=196$ ，且 $K=192(=D-4)$ 。同樣地，一對應於該原始196-位元系統碼的原始196-位元第一/二同位檢查碼具有相同如圖6所示的結構。對於發送具有一362-位元長度的渦輪編碼的數位資料，即， $L=362$ ，根據 $RV=0$ 的穿刺參數，該原始192-位元系統碼所執行的一穿刺程序係藉由穿刺圖6的該二維矩陣的第一及第二欄中的12個位元，即，位於圖7的一陰影區的y04、y36、y68、y100、y132、y164、y20、y52、y84、y116、y148及y180，以致如圖7的一格子區所指示的一184-位元穿刺系統碼因而被獲得。另一方面，該原始196-位元第一/二同位檢查碼被穿刺成為如圖8的一格子區所指示的一89-位元穿刺第一/二同位檢查碼。於此情況，該184-位元穿刺系統碼、該89-位元穿刺第一同位檢查碼及該89-位元穿刺第二同位檢查碼共同構成要被發送至本發明的該渦輪解碼器系統且被本發明的該渦輪解碼器系統解碼的該渦輪編碼的數位資料。

【0045】按照上例，該渦輪解碼器系統在接收到來自該發射器的該渦輪編碼的數位資料、 L 、 D 及該穿刺參數後，該柵欄控制器3獲

得 $E_p=89(=1/2(362-(196-12)))$ 以及該渦輪編碼的數位資料的碼率為 $0.53(=K/L=192/362)$ ，且計算出 E_p/D 之值為 $0.53(=89/196)$ ，並根據 0.53 的碼率產生該柵欄控制輸出，該柵欄控制輸出指示出該週期-2互反雙重柵欄為該目標解碼柵欄。然後，該補零模組4將12個零補到該184-位元系統碼中且分別在所有穿刺位元，即，位於圖7的一陰影區的 y_{04} 、 y_{36} 、 y_{68} 、 y_{100} 、 y_{132} 、 y_{164} 、 y_{20} 、 y_{52} 、 y_{84} 、 y_{116} 、 y_{148} 及 y_{180} 的位元位置，以形成一196-位元去穿刺系統碼。由於 $1/2 > E_p/D \geq 1/4$ ，該補零模組4將8個零補到該第一/二同位檢查碼且分別在該等穿刺位元其中的9個穿刺位元，即，位於圖8的一陰影區的 y_{146} 、 y_{178} 、 y_{02} 、 y_{34} 、 y_{66} 、 y_{98} 、 y_{130} 、 y_{162} 及 T_{02} 的位元位置，以使得該等第一/二同位檢查位元與該等所捕的零-位元中任兩個相鄰者係間隔有一個位元位置，以形成一98-位元去穿刺第一/二同位檢查碼。之後，該渦輪解碼器5的每個SISO解碼器的該LLR控制器72根據指示出該週期-2互反雙重柵欄作為該目標解碼柵欄的該柵欄控制輸出而啟動來執行LLR計算。

【0046】 圖9示例地繪示對於該上述已經非週期性地穿刺的碼率-0.53渦輪編碼的數位資料，分別藉由一用傳統基數-2柵欄的傳統渦輪解碼器以及用週期-2互反雙重柵欄的該實施例且在相同為32的SW大小之情況下所獲得的模擬位元錯誤率(Bit Error Rate；

BER)(以下簡稱BER)性能。從圖9可看出，本發明該渦輪解碼器系統能達到相似於習知技藝的BER性能。值得注意的是，用該週期-2互反雙重柵欄的該等SISO解碼器能將解碼速度提升到約為用該傳統基數-2柵欄的該傳統渦輪解碼器的解碼速度的兩倍。

【0047】圖10示例地繪示對於已經非週期性地穿刺的碼率-0.85的渦輪編碼的數位資料，分別藉由用了該傳統基數-2柵欄且在SW大小為64之情況下該傳統渦輪解碼器以及用了該週期-8互反雙重柵欄且在SW大小為12之情況下的該渦輪解碼器系統所獲得的模擬BER性能。從圖10可看出，本發明該渦輪解碼器系統能達到相似於習知技藝的BER性能。值得注意的是，用該週期-8互反雙重柵欄的該等SISO解碼器能將解碼速度提升到約為用該傳統基數-2柵欄的該傳統渦輪解碼器的解碼速度的八倍。

【0048】綜上所述，由於該柵欄控制器3及該補零模組4的運作，本發明渦輪解碼器系統能使用該目標解碼柵欄且在一相對小的SW下，以一相對快速的解碼速度，解碼已經過非週期性穿刺且所具有的碼率被允許在一較廣範圍的渦輪編碼數位資料，故確實能達成本發明的目的。

【0049】惟以上所述者，僅為本發明的實施例而已，當不能以此限定本發明實施的範圍，凡是依本發明申請專利範圍及專利說明書內容所作的簡單的等效變化與修飾，皆仍屬本發明專利涵蓋的範圍

內。

【符號說明】

【0050】

- 20.....疊代解碼器
- 21.....去穿刺模組
- 22.....SISO解碼器
- 23.....SISO解碼器
- 24.....去交錯器
- 25.....交錯器
- 26.....交錯器
- 3.....柵欄控制器
- 4.....補零模組
- 5.....渦輪解碼器
- 7.....LLR計算模組
- 71.....LLR計算單元
- 71'.....LLR計算單元
- 72.....LLR控制器
- SC.....系統碼
- PCC1...第一同位檢查碼
- PCC2...第二同位檢查碼
- SC_{dep}...去穿刺系統碼
- PCC1_{dep}...去穿刺第一同位檢查碼
- PCC2_{dep}...去穿刺第一同位檢查碼

【發明申請專利範圍】

【第1項】 一種去穿刺渦輪編碼的數位資料之方法，藉由一去穿刺裝置來實施，該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構成的系統碼、及一由多個同位檢查位元構成的同位檢查碼，該方法包含以下步驟：

(A)根據L、D、及一由該預定無線通訊協定所定義出且關聯於該D-位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數；

(B)當該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼；及

(C)根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上係呈週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應於該渦輪編碼的數位資料的去穿刺的渦輪編碼數位資料。

第1頁，共8頁(發明申請專利範圍)

【第2項】如請求項1所述的方法，該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced；LTE-A)協定，其中，在步驟(C)中，對於該去穿刺同位檢查碼：

當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上連續的；

當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置；

當 $1/4 > E_p/D \geq 1/8$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置；

當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置；及

當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【第3項】一種裝置，用於去穿刺渦輪編碼的數位資料以產生去穿刺的渦輪編碼數位資料，該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構

成的系統碼、及一由多個同位檢查位元構成的同位檢查碼，該裝置包含：

一柵欄控制器，組配來

根據L、D、及一由該預定無線通訊協定所定義出且關聯於該D-位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數，

計算 E_p/D 之值，及

根據該渦輪編碼的數位資料的碼率，產生一柵欄控制輸出，該柵欄控制輸出指示出不同解碼柵欄其中的一個要被一渦輪解碼器用來解碼該去穿刺渦輪編碼數位資料的目標者；及

一補零模組，用來接收該渦輪編碼的數位資料，並電連接該柵欄控制器以接收來自該柵欄控制器的 E_p/D 之值，該補零模組係組配來

當該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼，及

根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上係呈週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應於該渦輪編碼的數位

資料的該去穿刺的渦輪編碼數位資料。

【第4項】如請求項3所述的裝置，其中：

該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced；LTE-A)協定；及

對於該去穿刺同位檢查碼，

當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上連續的，

當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置，

當 $1/4 > E_p/D \geq 1/8$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置，

當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置，及

當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【第5項】如請求項4所述的裝置，其中，該等不同解碼柵欄包含一適合於自 $1/3$ 至 $1/2$ 的碼率範圍的柵欄、一適合於自 $1/2$ 至 $2/3$ 的碼率範圍的週期-2互反雙重柵欄、一適合於自 $2/3$ 至 $4/5$ 的碼率範圍的週期-4互反雙重柵欄、一適合於自 $4/5$ 至 $8/9$ 的碼率範圍的週期-8互反雙重柵欄、一適合於自 $8/9$ 至

第4頁，共8頁(發明申請專利範圍)

16/17的碼率範圍的週期-16互反雙重柵欄、及一適合於一大於16/17的碼率的週期-32互反雙重柵欄。

【第6項】 如請求項5所述的裝置，其中：

當 $E_p/D \geq 1/2$ 時，該目標解碼柵欄為該柵欄；

當 $1/2 > E_p/D \geq 1/4$ 時，該目標解碼柵欄為該週期-2互反雙重柵欄；

當 $1/4 > E_p/D \geq 1/8$ 時，該目標解碼柵欄為該週期-4互反雙重柵欄；

當 $1/8 > E_p/D \geq 1/16$ 時，該目標解碼柵欄為該週期-8互反雙重柵欄；

當 $1/16 > E_p/D \geq 1/32$ 時，該目標解碼柵欄為該週期-16互反雙重柵欄；及

當 $E_p/D < 1/32$ 時，該目標解碼柵欄為該週期-32互反雙重柵欄。

【第7項】 一種渦輪解碼器系統，用於解碼渦輪編碼的數位資料，該渦輪編碼的數位資料對應於發送的渦輪編碼數位資料，該發送的渦輪編碼數位資料係基於一預定無線通訊協定並藉由穿刺原始的渦輪編碼數位資料而獲得，該原始的渦輪編碼數位資料包括一D-位元系統碼及一用於錯誤校正的D-位元同位檢查碼，該渦輪編碼的數位資料具有一L-位元長度並包括一由多個系統位元構成的系統碼、及一由多個同位檢查位元構成的同位檢查碼，該渦輪解碼器系統包含：

一柵欄控制器，組配來

第5頁，共8頁(發明申請專利範圍)

根據 L 、 D 、及一由該預定無線通訊協定所定義出且關聯於該 D -位元系統碼之穿刺位元數量的穿刺參數，獲得該渦輪編碼的數位資料的該同位檢查碼的該等同位檢查位元數量 E_p ，其中 E_p 是一正整數，

計算 E_p/D 之值，及

根據該渦輪編碼的數位資料的碼率，產生一柵欄控制輸出，該柵欄控制輸出指示出不同解碼柵欄其中的一個目標者；

一補零模組，用來接收該渦輪編碼的數位資料，並電連接該柵欄控制器以接收來自該柵欄控制器的 E_p/D 之值，該補零模組係組配來

當該渦輪編碼的數位資料的該系統碼中存在有任何穿刺位元時，將一個或更多個零補到該渦輪編碼的數位資料的該系統碼中並且分別在該(等)穿刺位元的位元位置以形成一去穿刺系統碼，及

根據 E_p/D 之值，將至少一個零補到該渦輪編碼的數位資料的該同位檢查碼中，以使得該等同位檢查位元與該所補的至少一個零-位元在位元位置上係呈週期性地排列，以便形成一去穿刺同位檢查碼，該去穿刺同位檢查碼與該去穿刺系統碼共同構成對應於該渦輪編碼的數位資料的去穿刺的渦輪編碼數位資料；及

一渦輪解碼器，電連接該柵欄控制器與該補零模組以接收來自該柵欄控制器的柵欄控制輸出，及來自該補零模組的該去穿刺系統碼、該去穿刺第一同位檢查碼與該去穿

刺第二同位檢查碼，該渦輪解碼器能夠提供該等不同的解碼柵欄，且係組配來根據該柵欄控制輸出選擇性提供該目標解碼柵欄並利用該目標解碼柵欄解碼該去穿刺系統碼、該去穿刺第一同位檢查碼及該去穿刺第二同位檢查碼。

【第8項】 如請求項7所述的渦輪解碼器系統，其中：

該預定無線通訊協定為一進階長期演進(Long Term Evolution-Advanced; LTE-A)協定；及

對於該去穿刺同位檢查碼，

當 $E_p/D \geq 1/2$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者在位置上連續的，

當 $1/2 > E_p/D \geq 1/4$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有一個位元位置，

當 $1/4 > E_p/D \geq 1/8$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有三個位元位置，

當 $1/8 > E_p/D \geq 1/16$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有七個位元位置，及

當 $1/16 > E_p/D \geq 1/32$ 時，該等同位檢查位元與該所補的至少一個零-位元中任兩相鄰者間係間隔有十五個位元位置。

【第9項】 如請求項8所述的渦輪解碼器系統，其中，該等不同解碼

第7頁，共8頁(發明申請專利範圍)

柵欄包含一適合於自 $1/3$ 至 $1/2$ 的碼率範圍的柵欄、一適合於自 $1/2$ 至 $2/3$ 的碼率範圍的週期-2互反雙重柵欄、一適合於自 $2/3$ 至 $4/5$ 的碼率範圍的週期-4互反雙重柵欄、一適合於自 $4/5$ 至 $8/9$ 的碼率範圍的週期-8互反雙重柵欄、一適合於自 $8/9$ 至 $16/17$ 的碼率範圍的週期-16互反雙重柵欄、及一適合於一大於 $16/17$ 的碼率的週期-32互反雙重柵欄。

【第10項】如請求項9所述的渦輪解碼器系統，其中：

當 $E_p/D \geq 1/2$ 時，該目標解碼柵欄為該柵欄；

當 $1/2 > E_p/D \geq 1/4$ 時，該目標解碼柵欄為該週期-2互反雙重柵欄；

當 $1/4 > E_p/D \geq 1/8$ 時，該目標解碼柵欄為該週期-4互反雙重柵欄；

當 $1/8 > E_p/D \geq 1/16$ 時，該目標解碼柵欄為該週期-8互反雙重柵欄；

當 $1/16 > E_p/D \geq 1/32$ 時，該目標解碼柵欄為該週期-16互反雙重柵欄；及

當 $E_p/D < 1/32$ 時，該目標解碼柵欄為該週期-32互反雙重柵欄。

【發明圖式】

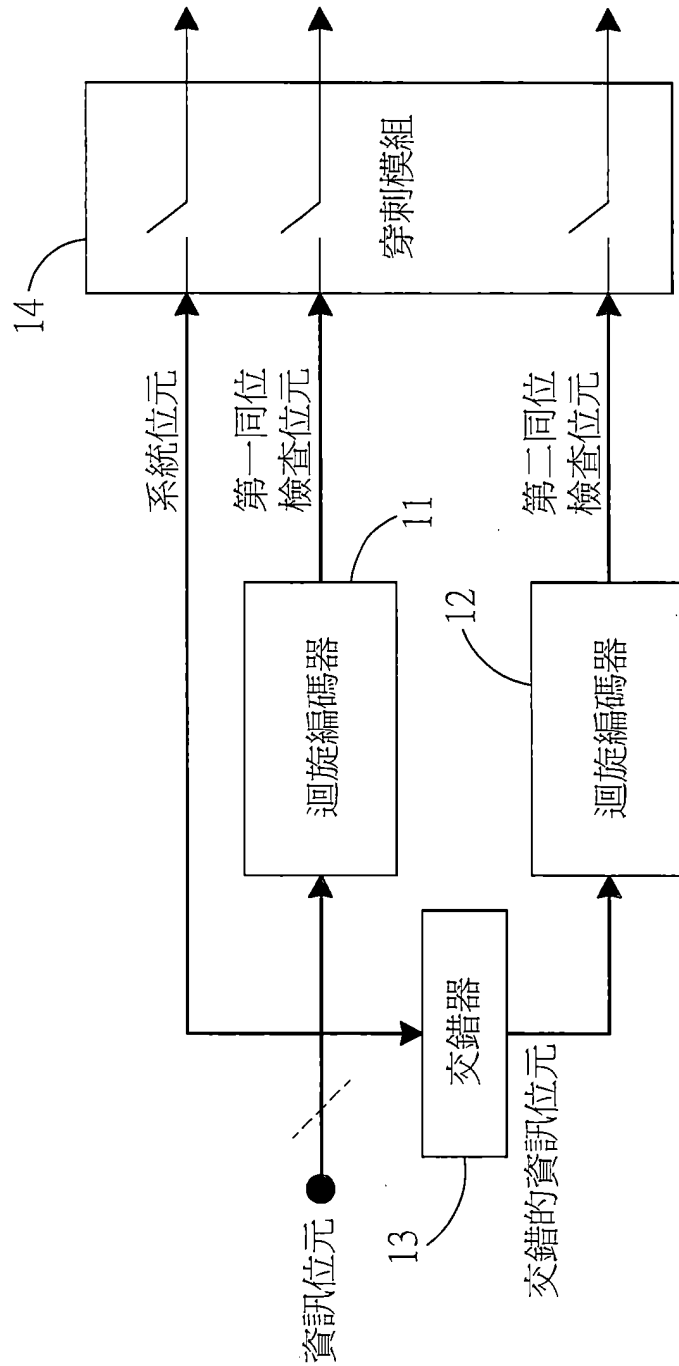


圖1

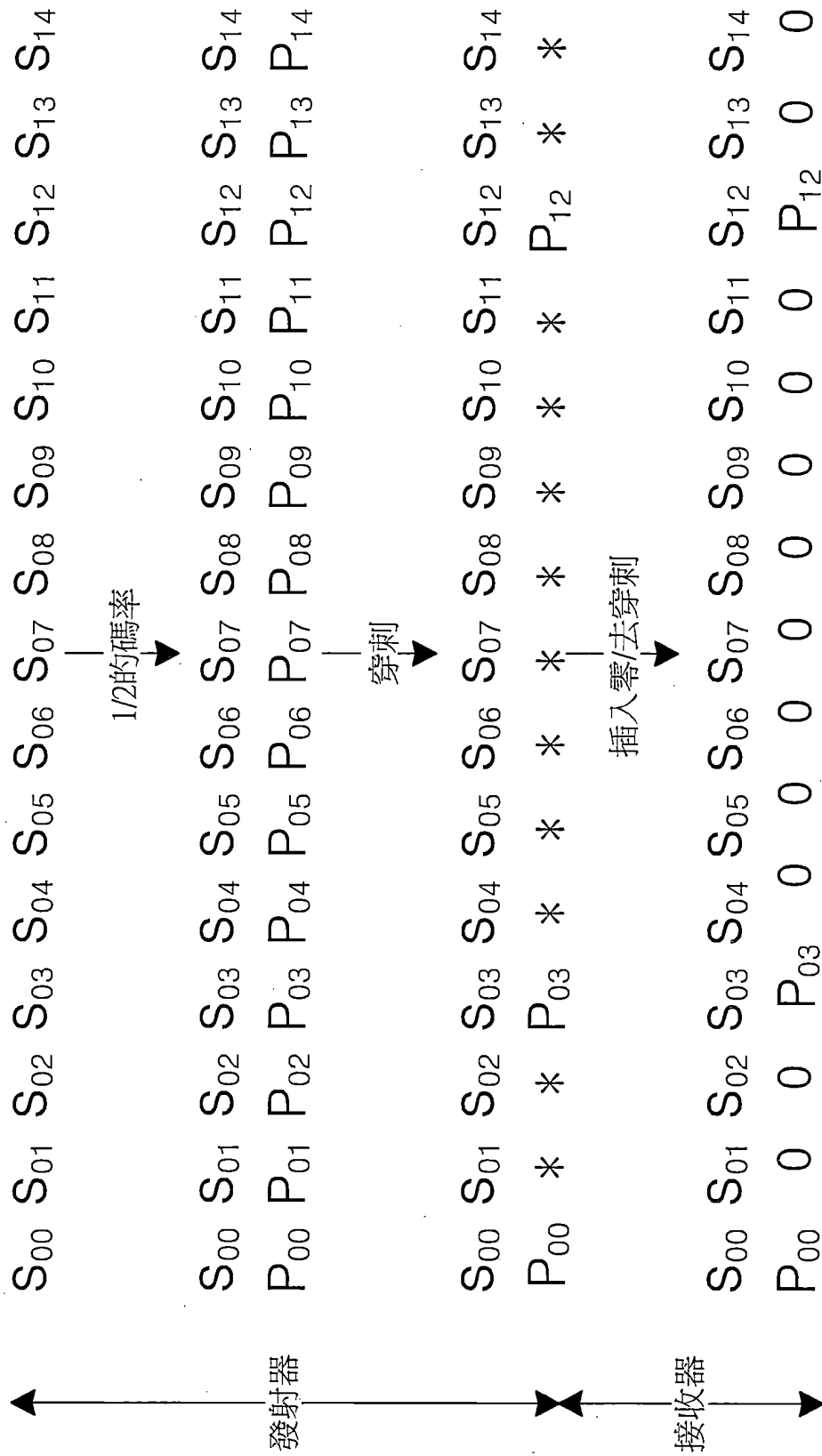


圖2

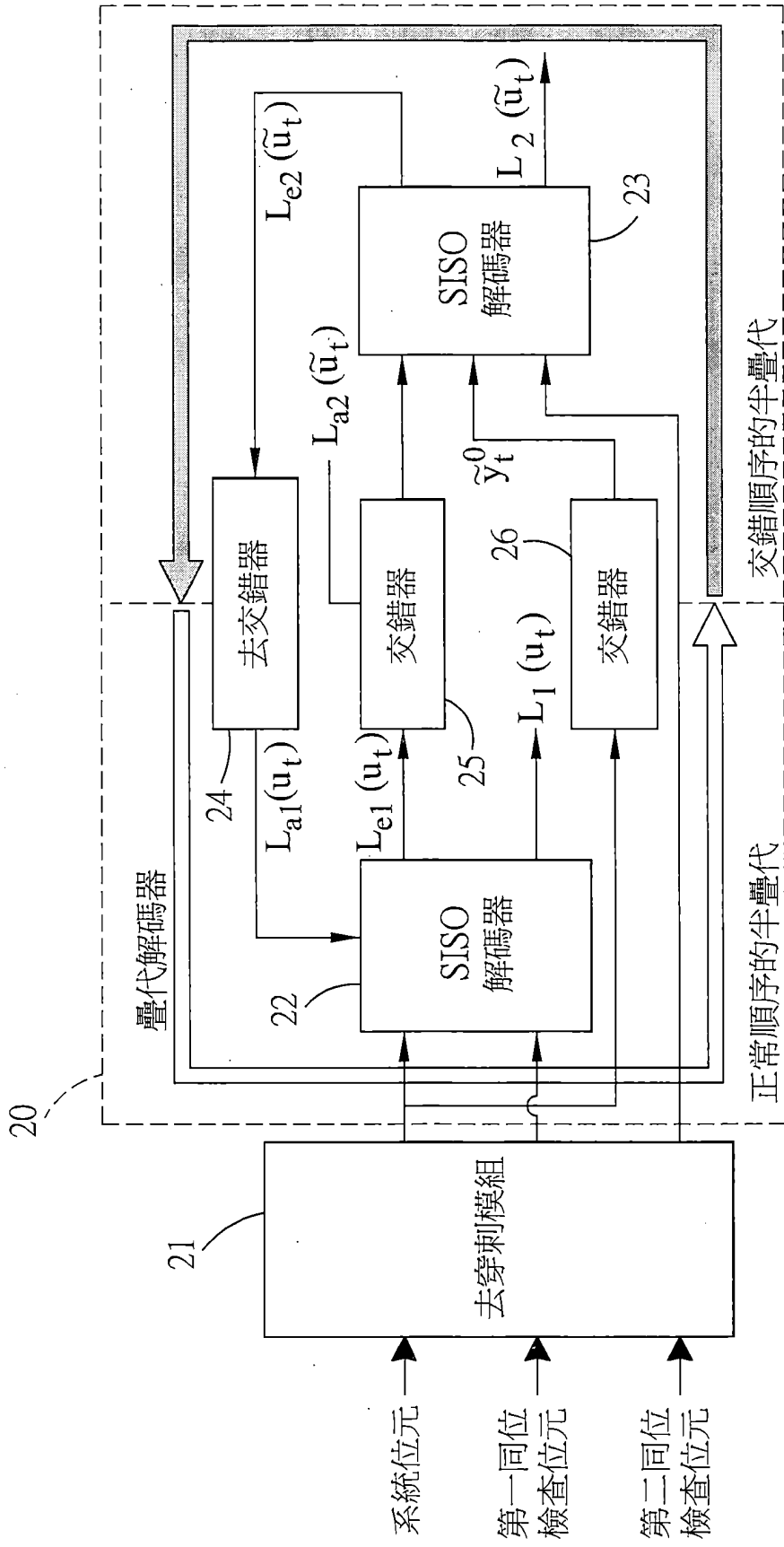


圖3

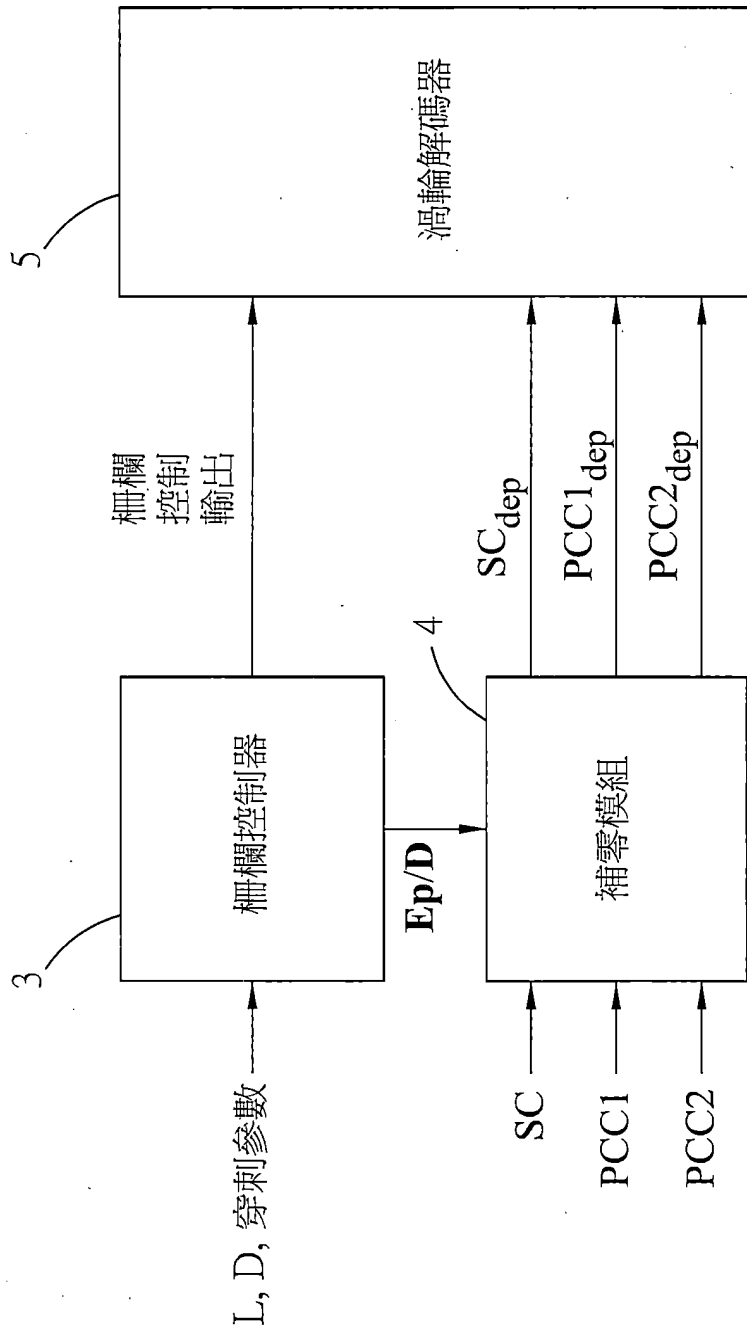


圖4

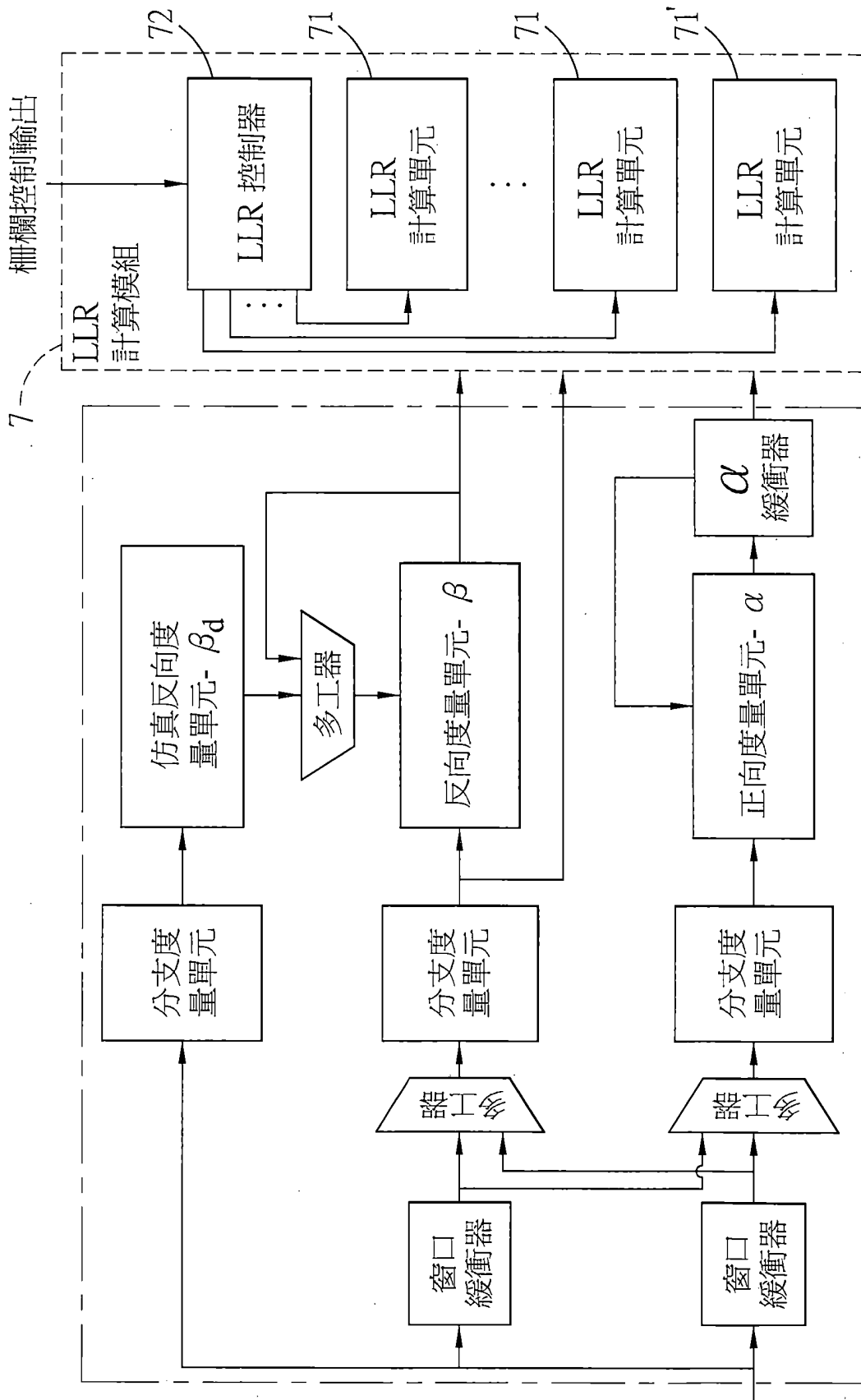


圖5

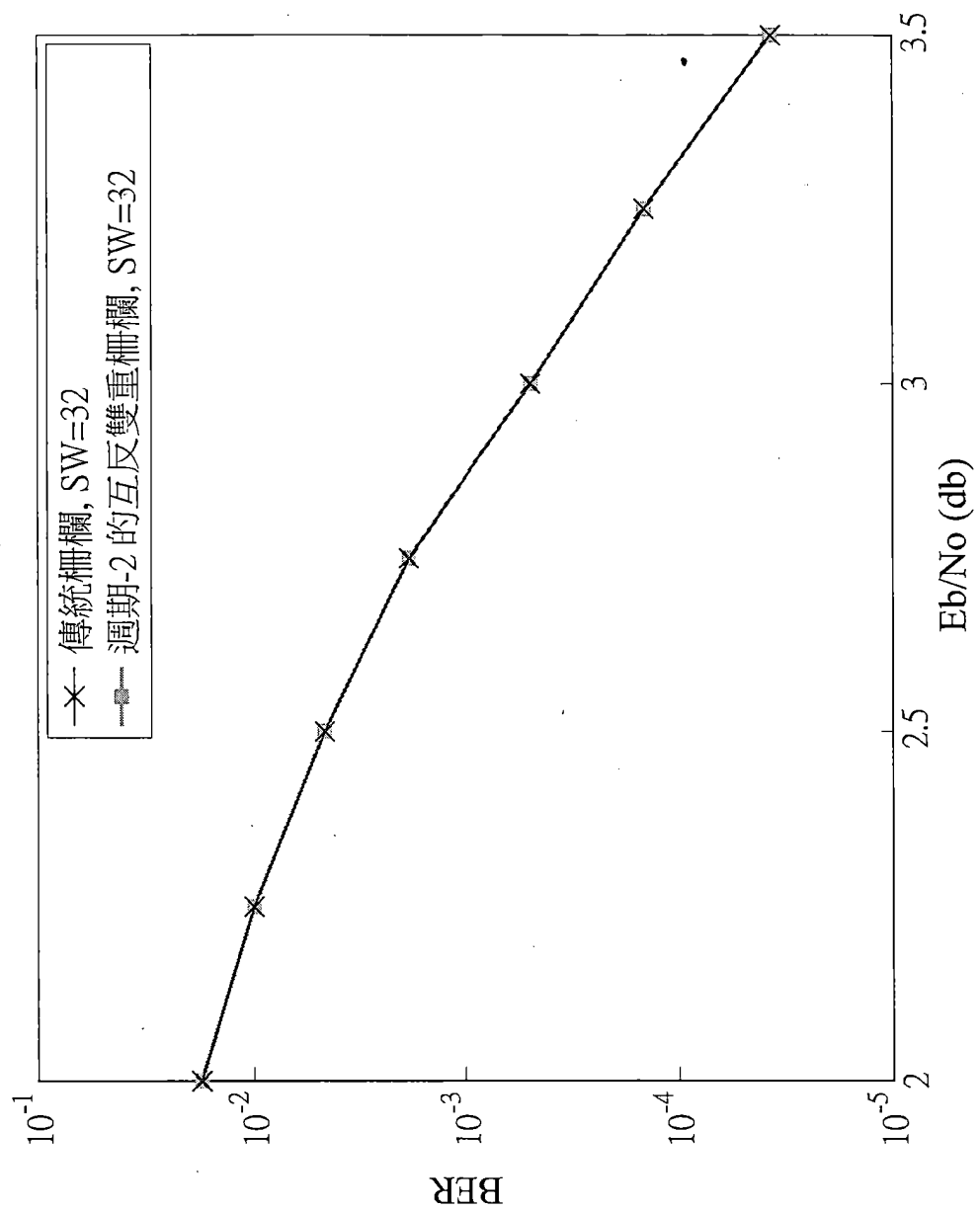


圖9

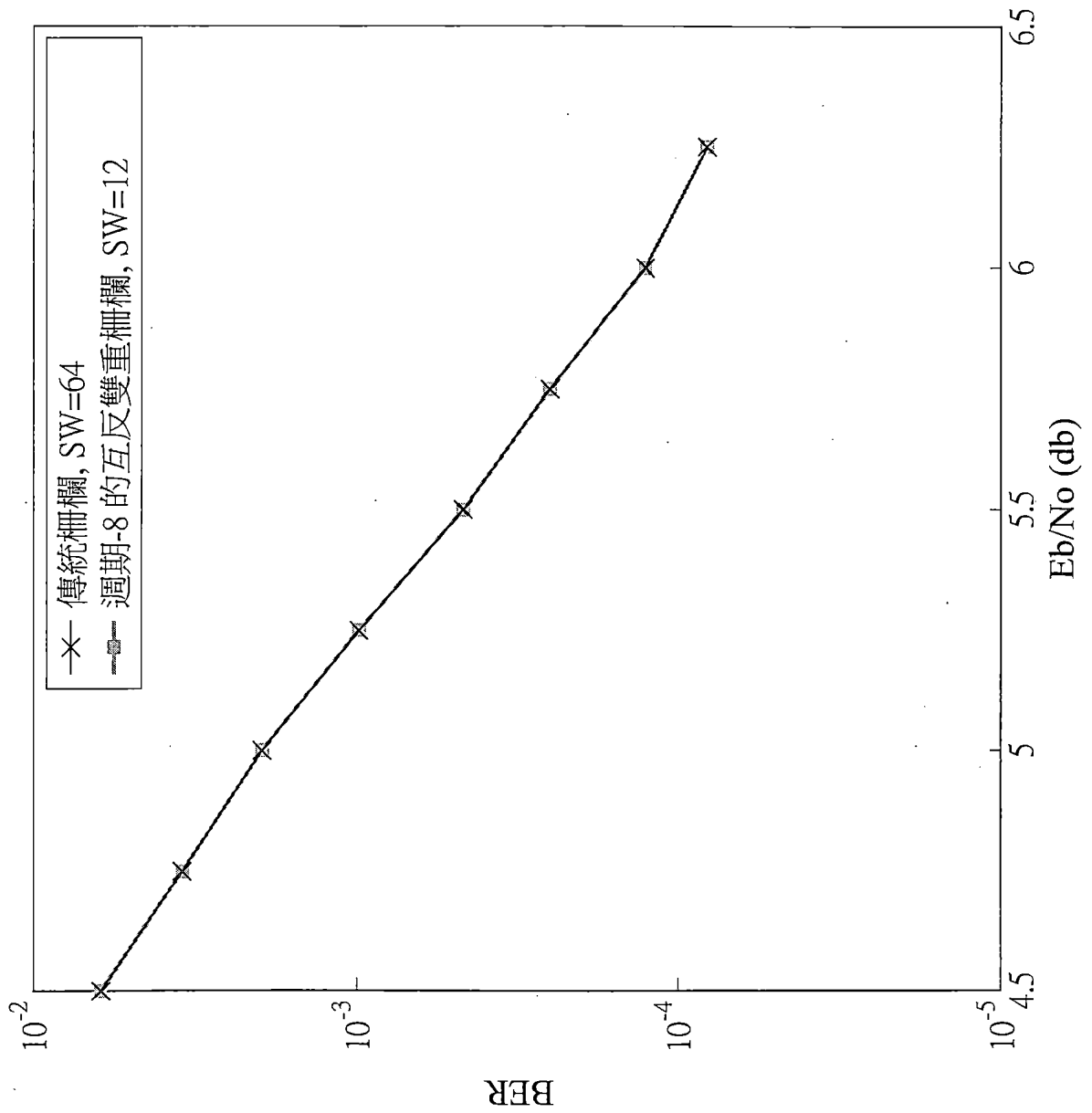


圖10