

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-98478  
(P2018-98478A)

(43) 公開日 平成30年6月21日(2018.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 301B	5F058
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 301Z	5F083
HO 1 L 21/336 (2006.01)	HO 1 L 27/10 444A	5F101
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 371	5F102

審査請求 有 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2017-53220 (P2017-53220)  
 (22) 出願日 平成29年3月17日 (2017.3.17)  
 (11) 特許番号 特許第6305596号 (P6305596)  
 (45) 特許公報発行日 平成30年4月4日 (2018.4.4)  
 (31) 優先権主張番号 105141643  
 (32) 優先日 平成28年12月15日 (2016.12.15)  
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 598139748  
 國立交通大學  
 台灣新竹市大學路1001號  
 (74) 代理人 100120891  
 弁理士 林 一好  
 (74) 代理人 100165157  
 弁理士 芝 哲央  
 (74) 代理人 100205659  
 弁理士 齋藤 拓也  
 (74) 代理人 100126000  
 弁理士 岩池 満  
 (74) 代理人 100185269  
 弁理士 小菅 一弘  
 (74) 代理人 100202577  
 弁理士 林 浩

最終頁に続く

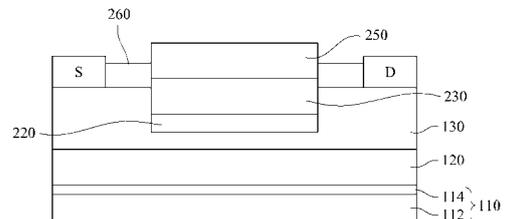
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 閾値を6Vよりも大きくし、誤起動の発生を効果的に避ける半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、基材110と、チャンネル層120と、バリア層130と、溝と、電荷トラップ層220と、強誘電体材料230と、ゲート250と、ソースSと、ドレインDと、を含む。チャンネル層120は、基材110に配置される。バリア層130は、チャンネル層120に配置される。バリア層130は溝を有し、且つ、溝の下方のバリア層130は、厚さを有する。ドレインDとソースSは、バリア層130に配置される。電荷トラップ層220は、溝の底面を覆う。強誘電体材料230は、電荷トラップ層220に配置される。ゲート250は、強誘電体材料230に設けられる。

【選択図】 図4A



## 【特許請求の範囲】

## 【請求項 1】

基材と

前記基材に配置されるチャンネル層と

前記チャンネル層に配置され、溝を有するバリア層と、

前記バリア層に配置されるドレインとソースと、

前記溝の底面を覆う電荷トラップ層と、

前記電荷トラップ層に配置される強誘電体材料と、

前記強誘電体材料に配置されるゲートと、を含み、

前記溝の下方の前記バリア層は、厚さを有する半導体装置。

10

## 【請求項 2】

前記溝の前記底面と前記電荷トラップ層との間に配置される第 1 の誘電体層を更に含む請求項 1 に記載の半導体装置。

## 【請求項 3】

前記強誘電体材料と前記ゲートとの間に配置される第 2 の誘電体層を更に含む請求項 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 の誘電体層は、7 - 12 eV であるバンドギャップ (band gap) を有する請求項 2 に記載の半導体装置。

## 【請求項 5】

前記厚さは、5 - 15 nm である請求項 1 に記載の半導体装置。

20

## 【請求項 6】

前記強誘電体材料は、BaTiO<sub>3</sub>、KH<sub>2</sub>PO<sub>4</sub>、HfZrO<sub>2</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 又は PbZrTiO<sub>3</sub> である請求項 1 に記載の半導体装置。

## 【請求項 7】

基材を提供することと、

チャンネル層を前記基材に形成することと、

バリア層を前記チャンネル層に形成することと、

ソースとドレインを前記バリア層に形成することと、

底面を有する溝を前記バリア層の中に形成し、前記溝の下方の前記バリア層が厚さを有することと、

30

前記溝の前記底面を覆うように電荷トラップ層を形成することと、

強誘電体材料を前記電荷トラップ層に形成することと、

前記強誘電体材料を前記強誘電体材料の結晶温度よりも大きい第 1 の温度に加熱することと、

前記強誘電体材料を第 2 の温度に降温させて、前記強誘電体材料を結晶させることと、

ゲートを前記強誘電体材料に形成することと、

を含む半導体装置の製造方法。

## 【請求項 8】

溝を前記バリア層に形成した後に、前記溝を覆う前記底面に、第 1 の誘電体層を形成することを更に含む請求項 7 に記載の方法。

40

## 【請求項 9】

前記強誘電体材料を形成する方法は、プラズマ強化原子層堆積、有機金属化学気相蒸着、化学気相蒸着、物理気相蒸着、スパッタリング又はパルスレーザ蒸着を含む請求項 7 に記載の方法。

## 【請求項 10】

前記第 1 の温度は 400 - 600 である請求項 7 に記載の方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は、半導体装置及びその製造方法に関し、特に高電子移動度トランジスタに関する。

【背景技術】

【0002】

半導体技術では、III-V族半導体化合物は、例えば、高出力電界効果トランジスタ、高周波トランジスタ又は高電子移動度トランジスタ(High electron mobility transistor; HEMT)のような各種の集積回路装置の形成に用いられてもよく、従来のシリコントランジスタを置換するという潜在力を有する。

【発明の概要】

【発明が解決しようとする課題】

【0003】

III-V族半導体化合物が窒化ガリウム又は酸化ガリウムである場合に、チャネルがノーマリオン型(normally-on)状態にあり、ノーマリオンモードのトランジスタの閾値電圧(threshold voltage)が負の値であるので、即ち、トランジスタは、ゼロゲートバイアスである時、依然として電流を流して余分な消費電力を生じることがある。現在、この問題を解決する方法としては、例えば、窒化ガリウム層、イオン注入を薄肉化させたり、p型酸化ガリウムによりバンド構造をその閾値電圧を0Vより大きくするように調整することが挙げられるが、トランジスタが適用される時に、ゲート電圧は、ドレインバイアスに伴う不安定な外乱による誤起動が現れるので、そのトランジスタの閾値電圧が6Vより大きくなるだけで誤起動の発生を効果的に避けることができるとは、改良する必要がある。現在、学術及び業界に用いられる誤起動を避ける手段は、余分な回路を増加して改良することが多いが、この方法により、寄生効果を生じて不必要なエネルギー消費を招く恐れがある以外に、製造コストを高めることもある。本願による技術は、閾値電圧を6Vよりも大きくするだけでなく、且つ、良い素子特性を有する。

【課題を解決するための手段】

【0004】

本発明の複数の実施形態によれば、基材と、基材に配置されるチャネル層と、チャネル層に配置されるバリア層と、下方のバリア層が厚さを有する溝と、バリア層に配置されるドレインとソースと、溝の底面を覆う電荷トラップ層と、電荷トラップ層に配置される強誘電体材料と、強誘電体材料に配置されるゲートと、を含み、バリア層は、溝を有する半導体装置を提供する。

【0005】

ある実施形態において、半導体装置は、溝の底面と電荷トラップ層との間に配置される第1の誘電体層を更に含む。

【0006】

ある実施形態において、半導体装置は、強誘電体材料とゲートとの間に配置される第2の誘電体層を更に含む。

【0007】

ある実施形態において、第1の誘電体層は、7-12eVにあるバンドギャップ(band gap)を有する。

【0008】

ある実施形態において、溝の下方のバリア層の厚さは、5-12nmにある。

【0009】

ある実施形態において、強誘電体材料は、BaTiO<sub>3</sub>、KH<sub>2</sub>PO<sub>4</sub>、HfZrO<sub>2</sub>、SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>又はPbZrTiO<sub>3</sub>である。

【0010】

本発明の複数の実施形態によれば、基材を提供することと、チャネル層を基材に形成することと、バリア層をチャネル層に形成することと、ソースとドレインをバリア層に形成することと、底面を有するとともに下方のバリア層が厚さを有する溝をバリア層の中に形成することと、溝の底面を覆うように電荷トラップ層を形成することと、強誘電体材料を

10

20

30

40

50

電荷トラップ層に形成することと、強誘電体材料を強誘電体材料の結晶温度よりも大きい第1の温度に加熱することと、強誘電体材料を第2の温度に降温させて強誘電体材料を結晶させることと、ゲートを強誘電体材料に形成することと、を含む半導体装置の製造方法を提供する。

【0011】

ある実施形態において、溝をバリア層に形成した後に、溝の底面を覆うように第1の誘電体層を形成することを更に含む。

【0012】

ある実施形態において、強誘電体材料の形成方法は、プラズマ強化原子層堆積と、有機金属化学気相蒸着と、化学気相蒸着と、物理気相蒸着と、スパッタリング又はパルスレーザ蒸着とを含む。

10

【0013】

ある実施形態において、第1の温度は、400 - 600 にある。

【0014】

本発明の上記目的、その他の目的、特徴及びメリットをより明らかにして分かりやすくするために、以下に、好ましい実施例を特に挙げて、添付の図面を組み合わせる以下のように詳しく説明する。

【図面の簡単な説明】

【0015】

【図1】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

20

【図2】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

【図3】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

【図4A】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

【図4B】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

【図4C】本発明の各種の実施形態に基づく半導体装置の製造方法を示す各プロセス段階の断面模式図である。

30

【図5A】本発明のある実施形態による半導体装置の  $I_D - V_{G_S}$  特性曲線である。

【図5B】本発明のある実施形態による半導体装置の  $I_D - V_{G_S}$  特性曲線である。

【発明を実施するための形態】

【0016】

以下、本実施例の製造方法と使用方法を詳しく説明する。しかしながら、本発明は、実務上の革新的概念を提供し、幅広い各種の所定の内容で現すことができると了解すべきである。下記で説明する実施形態又は実施例は説明するためのものだけであり、本発明の範囲を制限するためのものではない。

【0017】

なお、本文で、図面に示すある素子又は特徴と他の素子又は特徴との関係を説明しやすくするために、空間相対用語、例えば「...下方にある」、「...下にある」、「より低い」、「...上にある」、「より高い」及び類似する用語を使用することがある。これらの空間相対用語は、素子の使用又は操作時の全ての異なる向きを含み、図面に示す向きに制限されない。装置は他の方式で配向（90度回転又は他の向きに位置決めする）してもよく、したがって、本文で使用する空間相対用語を相対的に対応させて理解してもよい。

40

【0018】

以下、半導体装置及びその製造方法に関する各種の実施例を提供する。この半導体装置の構造と性質並びにこの半導体装置の製造工程又は操作を詳しく説明する。

【0019】

50

高電子移動度トランジスタ (High electron mobility transistor; HEMT) は、高出力電力、高破壊電圧、高温耐性等の優れた特性を有するため、近年、高出力回路システムに広く適用される。従来の高電子移動度トランジスタは、構造におけるチャネル層とバリア層との間に、大量の分極電荷を有するので、これらの分極電荷は二次元電子ガス (two dimensional electron gas; 2DEG) を形成し、電子に高移動度を持たせる。この時、トランジスタは、ゲートバイアスを印加することがない場合に、依然として電流を流すので、ノーマリオン式 (normally-on) のトランジスタと呼ばれる。ノーマリオン式のトランジスタの閾値電圧 (threshold voltage) は、負の値であり、即ち、トランジスタは、ゼロゲートバイアスである時に、依然として電流を流し、余分な消費電力を生じる以外に、ノーマリオン式のトランジスタは、フェイルセーフの意外を避けることができず、潜在的な危険性を有する。したがって、ノーマリオフ式のトランジスタの技術は、現在の高出力トランジスタの重要な課題を解決するように発展している。尚、高出力回路システムは、高バイアス環境下で操作する必要があり、この高バイアス環境下で、瞬間的なパルス電圧を発生させやすいので、トランジスタの閾値電圧が十分に高くないと、高出力素子の不正常な導通を招きやすく、回路の誤動作をもたらしてしまい、回路システムの安定度に影響を及ぼす。したがって、本発明は、高閾値電圧を有して、且つ高出力電流を同時に維持できる高電子移動度トランジスタ装置、即ち、ノーマリオフ式 (normally-off) の高電子移動度トランジスタを提供する。

10

20

【0020】

図1から図4Cは、本発明の各種の実施形態に基づく半導体装置の製造方法の各プロセス段階を示す断面模式図である。

【0021】

図1において、基板112と基板112に配置される緩衝層114とを含む基材110を提供する。基板112は、シリコン (Si) 基材、炭化ケイ素 (SiC) 基材、サファイア (sapphire) 基材、窒化ガリウム (GaN) 基材、窒化アルミニウムガリウム (AlGaN) 基材、窒化アルミニウム (AlN) 基材、リン化ガリウム (GaP) 基材、ヒ化ガリウム (GaAs) 基材、ヒ化アルミニウムガリウム (AlGaAs) 基材又はその他のIII-V族元素を含む化合物で形成された基材であってよい。ある実施形態において、緩衝層114は、GaN又はp型ドーパントをドーブしたGaNを含む。エピタキシープロセス又はその他の適当な方法を使用して緩衝層114を形成することができる。一実施例において、p型ドーパントは、カーボン、鉄、マグネシウム、亜鉛又はその他の適当なp型ドーパントを含む。緩衝層は、リーク電流を低減して、且つ、チャネル層120を形成する時におけるエピタキシープロセスでクラック現象を発生させることを避けることができる。別の実施例において、基材110は、基板112と、シード層 (不図示) と、緩衝層114と、を含む。シード層は、基板112に配置され、緩衝層114は、シード層に配置される。シード層は、基板112と緩衝層114との間の格子構造のミスマッチ (mismatch) に対する補償に役立つ。

30

【0022】

次に、チャネル層120を基材110に形成し、更にバリア層130をチャネル層120に形成する。基材におけるチャネル層120は、窒化アルミニウムガリウム (AlGaN)、窒化ガリウム (GaN)、窒化ガリウムインジウム (InGaN)、窒化アルミニウムガリウムインジウム (AlInGaN) 又はその他のIII-V族元素を含む化合物であってよい。バリア層130は、窒化アルミニウム (AlN)、窒化アルミニウムインジウム (AlInN)、AlGaN、GaN、InGaN、AlInGaN又はその他のIII-V族元素を含む化合物であってよい。チャネル層120のバンドギャップは、バリア層130のバンドギャップよりも小さくし、且つ、チャネル層120とバリア層130との組み合わせ及び厚さは、二次元電子ガスを発生させなければならない。一実施形態において、チャネル層120又は/及びバリア層130は、多層構造であってよい。別の実施形態において、その他の層を更に形成することができ、例えば、二次元電子ガスの電

40

50

子を増加するために、チャンネル層 120 とバリア層 130 との間に中間層（不図示）を形成し、ドープ層（不図示）をバリア層 130 の上に形成したり、バリア層 130 の酸化を防止するためにカバー層（不図示）をバリア層 130 に形成したりする。

#### 【0023】

図 2 を参照されたい。ソース S とドレイン D をバリア層 130 に形成する。ソース S とドレイン D は、それぞれ、銀 (Ag)、銅 (Cu)、タングステン (W)、チタン (Ti)、タンタル (Ta)、アルミニウム (Al)、ニッケル (Ni)、ルテニウム (Ru)、パラジウム (Pd)、白金 (Pt)、マンガン (Mn)、窒化タングステン (WN)、窒化チタン (TiN)、窒化タンタル (Ta<sub>2</sub>N)、窒化アルミニウム (AlN)、タングステンシリサイド (WSi)、窒化モリブデン (MoN)、ニッケルシリサイド (Ni<sub>2</sub>Si)、チタンシリサイド (TiSi<sub>2</sub>)、アルミニウム化チタン (TiAl)、ヒ素 (As) をドープした多結晶シリコン、窒化ジルコニウム (ZrN)、TaC、TaCN、TaSiN、TiAlN、シリサイド又はそれらの任意な組み合わせから選ばれるが、それらに限定されない。ソース S とドレイン D を形成する方法は、如何なる従来のプロセスを使用してよい。

10

#### 【0024】

図 3 に示されるように、パターンングプロセスによりバリア層 130 に溝 R を形成する。一実施形態において、バリア層 130 に例えばハードマスク又はレジストのようなマスク層を形成し、マスク層にパターンを形成し、更にエッチングプロセスによりパターンを下のバリア層 130 中へ転移して溝 R を形成する。エッチングプロセスは、反応式のイオンエッチング、プラズマドライエッチング又はその他の異方性エッチング方式であってよい。エッチングガスは、六フッ化硫黄、四塩化ケイ素、オクタフルオロシクロブタン、メタン、水素ガス、アルゴン若しくはその他のエッチングガス又はそれらの組み合わせを使用する。別の実施形態において、マスク層を形成した後に、ウェットエッチングプロセスを用いて、溝 R の底角を丸めるように溝 R をエッチングする。

20

#### 【0025】

溝 R は、15 - 25 nm にあり、例えば 15 nm、20 nm 又は 25 nm のような深さ d1 と、0.1 μm - 3 μm にあり、例えば、0.5 μm、1 μm、2 μm、2.5 μm のような幅 W と、を有する。溝 R は、ソース S とドレイン D との中間に位置し、且つバリア層 130 を貫通しなく、バリア層 130 の分極現象を緩和させ二次元電子ガスチャンネルのキャリアをなくし、その閾値電圧を 0 V よりも大きくすることを目的とする。薄いバリア層が伝導帯エネルギー準位を高めるので、ゲート領域の下のバリア層の厚さを小さくすることで、二次元電子ガスを空乏化 (deplete) させることができる。溝 R の底面とチャンネル層 120 の上表面との間のバリア層 130 は、0 - 10 nm にあり、例えば 1 nm、3 nm、5 nm 又は 8 nm のような厚さ d2 を有する。注意すべきなのは、厚さ d2 の厚さが 10 nm よりも大きければ、バリア層 130 に依然として大量の分極電荷を持たせ、更にチャンネルをノーマリオン型の状態にさせる。

30

#### 【0026】

ある実施形態において、溝 R の幅は、3 μm より小さく、例えば、0.05 μm、0.5 μm、1 μm 又は 2 μm である。ある実施形態において、溝 R とソース S、ドレイン D との距離は異なり、一実施例において、溝 R のエッジとソース S との距離は、1 ~ 3 μm にあり、例えば 1.5 μm、2 μm 又は 2.5 μm である。溝 R のエッジとドレイン D との距離は、5 ~ 15 μm にあり、例えば 7.5 μm、10 μm 又は 12.5 μm である。

40

#### 【0027】

図 4 A - 図 4 C は、異なる強誘電体材料複合層の実施形態を提供する。図 4 A - 図 4 C に示されるように、溝 R を形成した後に、強誘電体材料複合層を溝内に形成する。強誘電体材料複合層を形成する手段は、プラズマ強化原子層堆積、有機金属化学気相蒸着、化学気相蒸着、物理気相蒸着、スパッタリング又はパルスレーザ蒸着を含むが、それらに限定するものではない。強誘電体材料複合層を形成した後にパターンングプロセスを選択的に使用して強誘電体材料複合層の側面に溝 R の側面と切り揃えさせることができる。一実施

50

形態において、強誘電体材料複合層の幅は、溝 R の幅 W に等しい。

【 0 0 2 8 】

図 4 A において、強誘電体材料複合層は、電荷トラップ層 2 2 0 ( 又は、電荷蓄積層と呼ばれる ) と強誘電体材料 2 3 0 を含む。電荷トラップ層 2 2 0 は、溝 R の底面を覆い、強誘電体材料 2 3 0 は、電荷トラップ層 2 2 0 に配置される。ゲート 2 5 0 は、強誘電体材料 2 3 0 に配置される。パッシベーション層 2 6 0 は、バリア層 1 3 0 を覆う。電荷トラップ層 2 2 0 は、例えば、窒化ケイ素、 $\text{HfON}$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、誘電体層又は絶縁材料によって囲まれるナノ結晶層であってよい。電荷トラップ層 2 2 0 の厚さは、1 - 4 nm にあり、例えば、1.5 nm、2 nm、2.5 nm 又は 3 nm であり、選択された材料の特性によるものである。一実施形態において、電荷トラップ層 2 2 0 は、上記電荷トラップ層 2 2 0 の材料の組み合わせを含んでよい多層構造である。一実施形態において、パッシベーション層 2 6 0 は、 $\text{AlN}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{AlON}$ 、 $\text{SiN}$ 、 $\text{SiO}_2$ 、 $\text{SiON}$  又は  $\text{Si}_3\text{N}_4$  であってよい。

10

【 0 0 2 9 】

各種の実施形態において、強誘電体材料 2 3 0 は、 $\text{BaTiO}_3$ 、 $\text{KH}_2\text{PO}_4$ 、 $\text{HfZrO}_2$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  ( SBT )、 $\text{PbZrTiO}_3$  ( PZT ) 又はその他の強誘電体効果を起こすことができる材料であってよい。強誘電体効果とは、材料自身が外部電界下で、自発分極 ( spontaneous polarization ) と分極変換 ( polarization transition ) の特性を備えることを指す。外部電界を印加する場合に、電気ダイポールを電界方向に沿って配列させ、電界が除去された後に、依然として分極方向の残留分極 ( remnant polarization、Pr ) を保持することができる。この効果が強誘電体効果と呼ばれる。如何なる強誘電体材料に対して、残留分極を有することは、永久分極能力を有することを示す。強誘電体材料 2 3 0 を形成した後に、熱アニール処理を用いて、強誘電体材料 2 3 0 を強誘電体材料 2 3 0 の結晶温度よりも高い第 1 の温度に昇温させ、更に強誘電体材料 2 3 0 を第 2 の温度に降温させ、強誘電体材料 2 3 0 を結晶させて強誘電体材料を形成する。実施形態において、第 1 の温度は、400 - 600 にあり、例えば、450、500 又は 550 である。第 2 の温度は、25 - 100 にあり、例えば、25 又は 80 である。

20

【 0 0 3 0 】

図 4 B において、別の強誘電体材料複合層の実施形態を提供する。この実施形態において、先ず、第 1 の誘電体層 2 1 0 を溝 R 内に形成し、更に電荷トラップ層 2 2 0 を第 1 の誘電体層 2 1 0 に形成し、続いて、強誘電体材料 2 3 0 を電荷トラップ層 2 2 0 に形成する。その後、ゲート 2 5 0 を強誘電体材料 2 3 0 に形成する。パッシベーション層 2 6 0 は、バリア層 1 3 0 を覆う。第 1 の誘電体層 2 1 0 は、ワイドバンドギャップバリア層として機能し、バンドギャップ ( band gap ) を有して、且つこのバンドギャップは、7 - 12 eV にあり、例えば、8 eV、9 eV、11 eV、13 eV 又は 15 eV である。第 1 の誘電体層 2 1 0 は、リーク電流を低減し、またゲートの破壊電圧を高めることができる。第 1 の誘電体層 2 1 0 は、 $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$  又はその他のバンドギャップが 7 - 12 eV にある材料であってよい。電荷トラップ層 2 2 0 と強誘電体材料 2 3 0 を形成する方法は、既に以上に説明されたので、再び繰り返して説明しない。

30

40

【 0 0 3 1 】

図 4 C において、別の強誘電体材料複合層の実施形態を提供する。強誘電体材料複合層は、溝内に配置される第 1 の誘電体層 2 1 0 と、第 1 の誘電体層 2 1 0 に配置される電荷トラップ層 2 2 0 と、電荷トラップ層 2 2 0 に配置される強誘電体材料 2 3 0 と、強誘電体材料 2 3 0 に配置される第 2 の誘電体層 2 4 0 とを含む。ゲート 2 5 0 は、第 2 の誘電体層 2 4 0 に配置される。パッシベーション層 2 6 0 は、バリア層 1 3 0 を覆う。第 2 の誘電体層 2 4 0 と第 1 の誘電体層 2 1 0 は、いずれもワイドバンドギャップバリア層であり、バンドギャップ ( band gap ) を有して、且つこのバンドギャップは、7 - 12 eV にあり、例えば、8 eV、9 eV、11 eV、13 eV 又は 15 eV である。第 2 の誘電体層 2 4 0 は、リーク電流を低減し、またゲートの破壊電圧を高めることができる。

50

第2の誘電体層240は、 $Al_2O_3$ 、 $SiO_2$ 又はその他のバンドギャップが7 - 12 eVにある材料であってよい。

【0032】

この半導体装置において、正電圧をゲート250に印加する場合に、強誘電体材料230は、分極して電荷をトラップすることがあり、電荷トラップ層220は、電荷を蓄積する場所を提供する。この時、ゲート250と強誘電体材料複合層の下方のバンドギャップが変え始め、バリア層130の表面の負電位が増え始め、更に半導体装置の閾値電圧値を正方向に移動させる。

【0033】

一実施形態において、強誘電体材料230が分極した後、半導体装置の閾値電圧の変化値を5Vよりも大きくしてもよく、その閾値電圧が0Vに近いことから5Vより大きいことになり、即ち、強化型半導体装置になる。別の実施形態において、溝Rの深さを調整することで閾値電圧を調整することができる。バリア層130の厚さが同じである場合に、厚さd2が薄ければ薄いほど、半導体装置の閾値電圧値は、正值方向に移動するが、その最大ドレインの電流も低下するので、厚さd2を一定の範囲内に控えなければならぬ。

10

【0034】

図5A及び図5Bは、本発明のある実施形態による半導体装置の $I_D - V_{GS}$ 特性曲線である。曲線Aは、強誘電体材料230が分極する前のことを表し、曲線Bは、強誘電体材料230が分極した後のことを表す。図5Aに示されるように、強誘電体材料230が分極した後に、半導体装置の閾値電圧( $V_{th}$ )が分極前の2.5Vから10Vに変わった。図5Bに示されるように、この半導体装置の $I_{on} / I_{off}$ 比値は、 $6 \times 10^8$ である。

20

【0035】

上記の記載をまとめると、本発明の各実施例は、余分な電力消費を低減して回路システムの安定性を増加するために、強誘電体材料の永久分極効果によりバンドの変化をもたらす、半導体装置に高閾値電圧を持たせる半導体装置を提供する。

【0036】

上記のように、複数の実施例の特徴的な構造の概要を説明したが、当業者であれば本発明の態様をよりよく理解できる。当業者は、本明細書に説明された実施例の同じ目的を実施すること及び/又は同じメリットを実現するために、本発明をその他のプロセス及び構造を設計し、修正し、基礎として容易に使用することができることを了解すべきである。当業者は、このような等価的な構造は本発明の精神及びカテゴリーから逸脱しなく、且つ、本発明の精神及びカテゴリーから逸脱しない場合に、本発明に各種の変化、取り替え及び変更を行うことができることを、了解すべきである。

30

【符号の説明】

【0037】

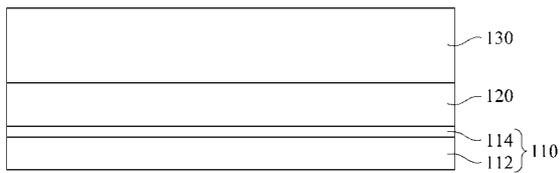
- 110 基材
- 112 基板
- 114 緩衝層
- 120 チャネル層
- 130 バリア層
- 210 第1の誘電体層
- 220 電荷トラップ層
- 230 強誘電体材料
- 240 第2の誘電体層
- 250 ゲート
- 260 パッシベーション層
- R 溝
- S ソース

40

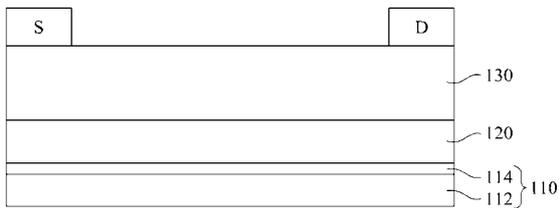
50

D ドレイン  
W 幅  
d 1 深さ  
d 2 厚さ

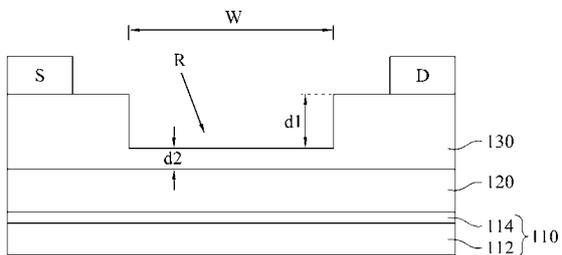
【図 1】



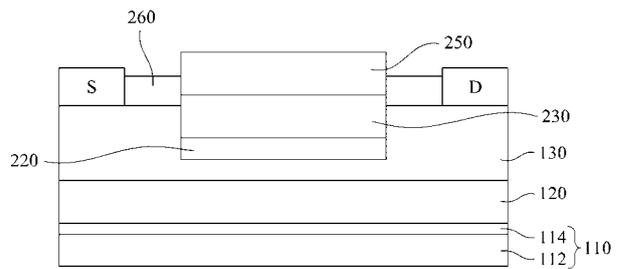
【図 2】



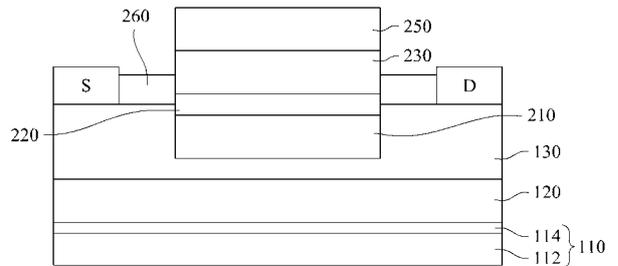
【図 3】



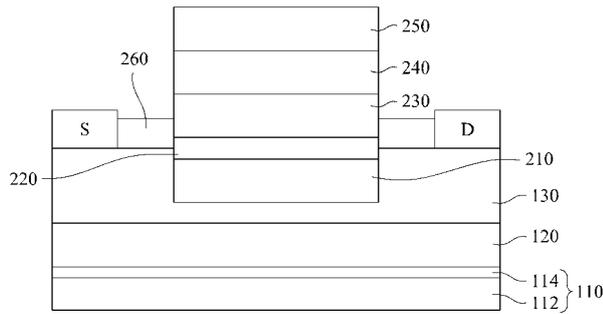
【図 4 A】



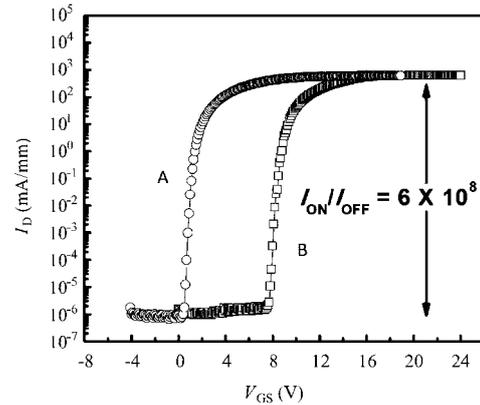
【図 4 B】



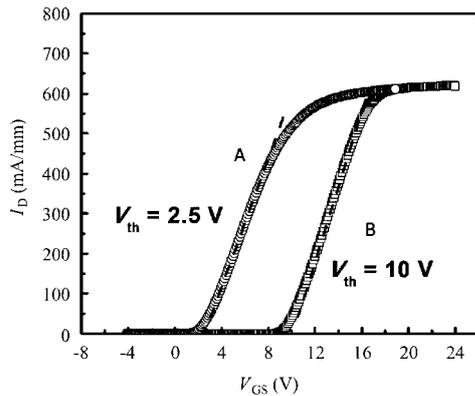
【図 4 C】



【図 5 B】



【図 5 A】



## 【手続補正書】

【提出日】平成30年2月6日(2018.2.6)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基材と

前記基材に配置されるチャネル層と

前記チャネル層に配置され、溝を有するバリア層と、

前記バリア層に配置されるドレインとソースと、

前記溝の前記底面を覆い、7 - 12 eVであるバンドギャップ (band gap) を有する第 1 の誘電体層と、

前記第 1 の誘電体層に配置される電荷トラップ層と、

前記電荷トラップ層に配置される強誘電体材料と、

前記強誘電体材料に配置されるゲートと、を含み、

前記溝の下方の前記バリア層は、厚さを有する半導体装置。

【請求項 2】

前記強誘電体材料と前記ゲートとの間に配置される第 2 の誘電体層を更に含む請求項 1 に記載の半導体装置。

【請求項 3】

前記厚さは、5 - 15 nmである請求項 1 に記載の半導体装置。

【請求項 4】

前記強誘電体材料は、 $BaTiO_3$ 、 $KH_2PO_4$ 、 $HfZrO_2$ 、 $SrBi_2Ta_2O_9$  又は  $PbZrTiO_3$  である請求項 1 に記載の半導体装置。

【請求項 5】

基材を提供することと、  
チャンネル層を前記基材に形成することと、  
バリア層を前記チャンネル層に形成することと、  
ソースとドレインを前記バリア層に形成することと、  
底面を有する溝を前記バリア層の中に形成し、前記溝の下方の前記バリア層が厚さを有することと、  
前記溝の前記底面を覆うように電荷トラップ層を形成することと、  
強誘電体材料を前記電荷トラップ層に形成することと、  
前記強誘電体材料を前記強誘電体材料の結晶温度よりも大きい第 1 の温度に加熱することと、  
前記強誘電体材料を第 2 の温度に降温させて、前記強誘電体材料を結晶させることと、  
ゲートを前記強誘電体材料に形成することと、  
を含む半導体装置の製造方法。

【請求項 6】

前記溝の前記底面を覆う第 1 の誘電体層を形成することを更に含む請求項 5 に記載の方法。

【請求項 7】

前記強誘電体材料を形成する方法は、プラズマ強化原子層堆積、有機金属化学気相蒸着、化学気相蒸着、物理気相蒸着、スパッタリング又はパルスレーザー蒸着を含む請求項 5 に記載の方法。

【請求項 8】

前記第 1 の温度は 400 - 600 である請求項 5 に記載の方法

## フロントページの続き

(51)Int.Cl.		F I			テーマコード(参考)
H 0 1 L	21/8246 (2006.01)	H 0 1 L	21/28	3 0 1 B	5 F 1 4 0
H 0 1 L	27/105 (2006.01)	H 0 1 L	21/316	X	
H 0 1 L	29/788 (2006.01)				
H 0 1 L	29/792 (2006.01)				
H 0 1 L	21/28 (2006.01)				
H 0 1 L	21/316 (2006.01)				

- (72)発明者 張 翼  
台湾新竹縣寶山鄉雙溪村雙園路100巷12號
- (72)発明者 劉 世謙  
台湾新北市新莊區文聖里13鄰建中街41巷2號5樓
- (72)発明者 黄 崇 カイ  
台湾高雄市鳳山區文衡路125巷13號8樓
- (72)発明者 吳 佳勳  
台湾高雄市楠梓區惠豐里青農路57巷32號
- (72)発明者 韓 秉承  
台湾台中市烏日區光 德 路299號9樓
- (72)発明者 林 岳欽  
新竹市東區豐功里16鄰公道五路二段333號11樓
- (72)発明者 謝 廷恩  
台湾台南市永康區國光五街21號

F ターム(参考) 4M104 AA04 AA07 BB01 BB02 BB04 BB05 BB06 BB07 BB08 BB14  
BB17 BB18 BB21 BB25 BB28 BB29 BB30 BB31 BB32 BB33  
BB34 BB36 BB40 DD08 DD11 EE03 EE12 EE14 EE16 EE17  
FF27 GG12 GG18 HH20  
5F058 BA20 BC03 BF04 BF05 BF06 BF07 BF13 BF27 BF37 BH01  
5F083 FR05 GA11 GA27 HA06 JA13 JA14 JA15 JA17 JA35 JA36  
JA37 JA38 JA39 PR03  
5F101 BA62 BA64 BB02 BD40  
5F102 GB01 GC01 GD10 GJ02 GJ03 GJ04 GJ05 GJ10 GK04 GL04  
GM04 GQ01 GR04 GV07 GV08  
5F140 AA02 AA19 AA24 BA06 BA17 BD01 BD02 BD04 BD05 BD07  
BD11 BD13 BD16 BE03 BE09 BE10 BE16 BJ04 BJ05 BJ06  
BJ07 BJ08 BJ10 CC02 CC03 CC08 CC09