



(21)申請案號：106135999 (22)申請日：中華民國 106 (2017) 年 10 月 19 日
 (51)Int. Cl. : **B82Y15/00 (2011.01)** **H01L21/336 (2006.01)**
 (30)優先權：2016/10/19 美國 62/409,931
 (71)申請人：神鈺生技股份有限公司 (中華民國) EXACT BIOCHIP CORPORATION (TW)
 新北市樹林區保安街 3 段 1 巷 1 號之 2
 國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
 (72)發明人：許鈺宗 SHEU, JENG TZONG (TW)；陳志偉 CHEN, CHIH WEI (TW)
 (74)代理人：侯德銘
 申請實體審查：有 申請專利範圍項數：6 項 圖式數：10 共 24 頁

(54)名稱

生物感測系統

BIOLOGICAL SENSING SYSTEM

(57)摘要

本發明提供一種生物感測系統，其包含一無接面奈米線場效電晶體，具有源極端、汲極端及閘極端，閘極端電性環繞一無接面矽奈米線或閘極端電性連接一無接面矽奈米帶，無接面矽奈米線的直徑小於 20nm，並且無接面矽奈米帶的通道厚度小於 15nm；以及一感測晶片，具有延伸閘極，延伸閘極是一電容式感測電極，並且感測晶片之感測電極連接至無接面奈米線場效電晶體之閘極端，藉由等效電路分析，對感測電極的電極面積與總感測晶片面積之面積比、氧化層厚度與感測電極之塊氧化介電膜厚度之厚度比以及無接面矽奈米線的閘極電容或無接面矽奈米帶的閘極電容與感測電極的電極電容之電容比、以及待測溶液的離子濃度進行最佳化，以獲得在感測電極及閘極端之間的最佳化電位耦合效率。

Provided is a biological sensing system, including a junctionless nanowire Field-Effect Transistor (FET) and a sensing chip. The junctionless nanowire FET includes a source terminal, a drain terminal and a gate terminal. The gate terminal surrounds a gate of a silicon nanowire FET or a gate of a silicon nanobelt FET. The diameter of the silicon nanowire is less than 20 nm and the channel thickness of the silicon nanobelt is less than 15 nm. A capacitive sensing electrode of the sensing chip is connected to the gate terminal of the nanowire FET or nanobelt FET. An area ratio of an electrode area of the sensing electrode to a total sensing chip area, a thickness ratio of an oxide thickness of the sensing electrode to a bulk oxide dielectric film thickness of the sensing electrode, a capacitance ratio of an electrode capacitor of the sensing chip to a gate capacitor of the silicon nanowire or a gate capacitor of the silicon nanobelt and the ionic concentration of analyte are optimized by means of an equivalent circuit so that potential coupling efficiency between sensing electrode and the gate of nanodevices is optimized.

指定代表圖：



201815662

申請日: 106/10/19

【發明摘要】

IPC分類: B82Y 15/00 (2011.01)
H01L 21/336 (2006.01)

【中文發明名稱】 生物感測系統

【英文發明名稱】 BIOLOGICAL SENSING SYSTEM

【中文】

本發明提供一種生物感測系統，其包含一無接面奈米線場效電晶體，具有源極端、汲極端及閘極端，閘極端電性環繞一無接面矽奈米線或閘極端電性連接一無接面矽奈米帶，無接面矽奈米線的直徑小於20nm，並且無接面矽奈米帶的通道厚度小於15nm；以及一感測晶片，具有延伸閘極，延伸閘極是一電容式感測電極，並且感測晶片之感測電極連接至無接面奈米線場效電晶體之閘極端，藉由等效電路分析；對感測電極的電極面積與總感測晶片面積之面積比、氧化層厚度與感測電極之塊氧化介電膜厚度之厚度比以及無接面矽奈米線的閘極電容或無接面矽奈米帶的閘極電容與感測電極的電極電容之電容比、以及待測溶液的離子濃度進行最佳化，以獲得在感測電極及閘極端之間的最佳化電位耦合效率。

【英文】

Provided is a biological sensing system, including a junctionless nanowire Field-Effect Transistor (FET) and a sensing chip. The junctionless nanowire FET includes a source terminal, a drain terminal and a gate terminal. The gate terminal surrounds a gate of a silicon nanowire FET or a gate of a silicon nanobelt FET. The diameter of the silicon nanowire is less than 20 nm and the channel thickness of the silicon nanobelt is less than 15 nm. A capacitive sensing electrode of the sensing chip is

connected to the gate terminal of the nanowire FET or nanobelt FET. An area ratio of an electrode area of the sensing electrode to a total sensing chip area, a thickness ratio of an oxide thickness of the sensing electrode to a bulk oxide dielectric film thickness of the sensing electrode, a capacitance ratio of an electrode capacitor of the sensing chip to a gate capacitor of the silicon nanowire or a gate capacitor of the silicon nanobelt and the ionic concentration of analyte are optimized by means of an equivalent circuit so that potential coupling efficiency between sensing electrode and the gate of nanodevices is optimized.

【指定代表圖】 圖7

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】 生物感測系統

【英文發明名稱】 BIOLOGICAL SENSING SYSTEM

【技術領域】

【0001】 [相關申請案交互參照]

【0002】 本發明專利申請案主張向美國智慧財產局於2016年10月19日提出申請之第62/409,931號之美國臨時申請案(Provisional Application)的優先權，其中，所揭露之內容併入本說明書作為參考。

【0003】本發明係有關一種使用延伸閘極(extended gate)及環繞式閘極矽奈米線元件(gate-all-around silicon nanowire device)的生物感測系統。

【先前技術】

【0004】場效電晶體(Field effect transistor, FET)是藉由通過電場效應來控制電流大小的半導體元件。由於FET具有體積小、重量輕、省電特性、使用壽命長、閘極輸入阻抗高、低雜訊、熱穩定性好以及製程成熟等優點。FET的適用範圍非常廣泛，特別是在大型積體電路(large scale integrated circuit, LSI)和超大型積體電路(very large scale integrated circuit, VLSI)領域。由於奈米尺寸的場效電晶體具有非常高的電位靈敏度，所以可作為生物感測器的基本結構，並應用於生物感測領域。然而，由碳奈米管(carbon nanotube)製成的FET通道難以將碳奈米管置於適當的位置，亦難以分離具有金屬及半導體特性的碳奈米管，也不易修飾碳奈米管的表面，同時也不易製造大面積的FET通道。另一方面，採用自上而下的製程技術的矽奈米線場效電晶體會產生昂貴的製造成本，使得在生物感測應用

中所進行的每次檢測的成本太高。但是，如果採用自下而上的製程技術，則存在不易將矽奈米線置於適當位置的問題，也難以控制矽奈米線的均勻半徑，並且不易維持較佳的大面積製程的良率。此外，對於奈米線元件(奈米線FET或奈米線二極體等)的表面上之特異性方面，不易控制其表面的均勻性，使得利用奈米線FET來進行生物感測無法實現。

【0005】另外，如圖1(a)所示，在許多研究中雖然已經實現了使用感測晶片10以及金屬氧化物半導體場效電晶體12(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)來進行傳統的生物感測，但是，由於感測晶片與MOSFET之間的電耦合沒有進行最佳化處理，所以造成靈敏度太低，進而無法與ELISA或其他現有感測技術(如SPR及QCM)競爭。圖1(b)顯示傳統MOSFET的剖面圖。

【0006】有鑑於現有技術的上述缺點，如何有效地設計並最佳化延伸閘極與環繞式閘極矽奈米線元件的感測元件已成為重要課題之一。

【發明內容】

【0007】本發明之實施例揭露一種生物感測系統，包括：一無接面奈米線場效電晶體(junctionless nanowire field-effect transistor)，包括一源極端、一汲極端及一閘極端，其中，該閘極端電性環繞一無接面閘極矽奈米線(junctionless silicon nanowire)或該閘極端電性連接一無接面矽奈米帶(gate-all-around silicon nanobelt)，該無接面矽奈米線的直徑小於20nm，並且該無接面矽奈米帶的通道厚度小於15nm；以及一感測晶片(sensing chip)，包括至少一延伸閘極(extended gate)，其中，該至少一延伸閘極是一感測電極，並且該感測晶片之該感測電極耦合至該無接面奈米線場效電晶體之該閘極端；其中，藉由一等效電路，對該感測電極的電極

面積與總感測晶片面積之面積比、一氧化層厚度與該感測電極之塊氧化介電膜厚度之厚度比以及該無接面閘極矽奈米線的閘極電容或該無接面矽奈米帶的閘極電容與該感測電極的電極電容之電容比進行最佳化，以獲得在該感測電極及該閘極端之間的最佳化電位耦合效率(optimized potential coupling efficiency)。

【0008】較佳地，該無接面奈米線場效電晶體復包含：一基板；一絕緣層，設置該基板上；以及一奈米線，設置於該絕緣層上，其中，該奈米線之一部分的材質為單晶矽、多晶矽或非晶矽，該奈米線之另一部分的材質為金屬矽化物，並且該源極端及該汲極端位於該奈米線之兩端。

【0009】較佳地，該無接面奈米線場效電晶體之該奈米線係藉由側壁間隔物製程來形成。

【0010】較佳地，該感測晶片復包括一流體井(fluid well)以及一印刷電路板(PCB)，其中，該流體井設置於該感測電極上，並且該感測電極電性連接至該印刷電路板。

【0011】較佳地，該等效電路包括該感測電極之一第一雙電層電容(electric double layer capacitor)及一雙電層電阻(electric double layer resistor)；磷酸鹽緩衝生理鹽水(Phosphate-buffered saline, PBS)之溶液電阻(solution resistor)；該感測電極之該電極電容；該無接面矽奈米線或該環繞式矽奈米帶的該閘極電容；在該感測電極外部的區域上的一第二雙電層電容；以及在該感測晶片之該感測電極與該無接面奈米線場效電晶體之該閘極端之間的寄生電容(parasitic capacitor)。

【0012】較佳地，值得注意的是，該感測晶片為拋棄式。

【圖式簡單說明】

【0013】

圖 1(a) 為使用傳統金屬氧化物半導體場效電晶體 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 之延伸閘極 (extended gate) 感測結構的示意圖；

圖 1(b) 為傳統金屬氧化物半導體場效電晶體結構的剖面圖；

圖 2 顯示微流體通道 (microfluidic channel) 之延伸閘極環繞式閘極矽奈米線元件 (gate-all-around silicon nanowire device) 的示意圖；

圖 3 顯示本發明之無接面奈米線場效電晶體 (junctionless nanowire field-effect transistor, JL nanowire FET) 的剖面圖；

圖 4 依據本發明之實施例，顯示圖 3 之無接面奈米線場效電晶體的立體圖；

圖 5 依據本發明之實施例，顯示本發明之無接面矽奈米線結構的穿透式電子顯微鏡 (Transmission electron microscope, TEM) 影像之剖面圖；

圖 6 依據本發明之實施例，顯示本發明之一種包含感測電極、流體井 (fluid well) 及印刷電路板 (PCB) 之生物感測系統的剖面示意圖；

圖 7 依據本發明之實施例，顯示本發明之感測電極及奈米線元件的等效電路示意圖；

圖 8(a) 依據本發明之實施例，當 $x=1$ 以及測試感測電極上的電荷密度 (charge density, Q) 時，顯示電位耦合效率 (η) 相對於 A_{ratio} 及 C_{ratio} 變化的示意圖；

圖 8(b) 依據本發明之實施例，當 $x=1000$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率 (η) 相對於 A_{ratio} 及 C_{ratio} 變化的示意圖；

圖 8(c) 依據本發明之實施例，當 $C_{\text{ratio}}=1$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率 (η) 相對於 A_{ratio} 及 x 變化的示意圖；

圖8(d)依據本發明之實施例，當 $C_{ratio}=0.01$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖；

圖9(a)依據本發明之實施例，當 $C_{ratio}=0.01$ 以及測試感測電極的外部區域上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖；

圖9(b)依據本發明之實施例，當 $C_{ratio}=1$ 以及測試感測電極的外部區域上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖；

圖10(a)依據本發明之實施例，當 $A_{ratio}=0.5$, $C_{ratio}=0.01$ and $x=200$ 並且測試感測電極上的電荷密度時，顯示閘極電位(V_T)相對於磷酸鹽緩衝生理鹽水(Phosphate-buffered saline, PBS)及電荷密度(charge density, Q)變化的示意圖，以及

圖10(b)依據本發明之實施例，當 $A_{ratio}=0.5$, $C_{ratio}=0.01$ and $x=200$ 並且測試感測電極的外部區域上的電荷密度時，顯示閘極電位(V_T)相對於磷酸鹽緩衝生理鹽水(Phosphate-buffered saline, PBS)及電荷密度(charge density, Q)變化的示意圖。

【實施方式】

【0014】以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技術之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。本發明亦可藉由其他不同的具體實例加以施行或應用，本發明說明書中的各項細節亦可基於不同觀點與應用在不悖離本發明之精神下進行各種修飾與變更。

【0015】其中，本說明書所附圖式繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技術之人士瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應落在本發明所揭示之技術內容得能涵蓋之範圍內。

【0016】圖2顯示一延伸閘極(extended gate)環繞式閘極矽奈米線元件(gate-all-around silicon nanowire device)之示意圖，其中，包括微流體通道(microfluidic channel)的生物感測平台(biosensing platform)。如圖2所示，右下方顯示閘極介質圍繞奈米線元件的通道之掃描電子顯微鏡(Scanning Electron Microscope, SEM)圖像，其中，延伸閘極是可拋棄式的，而昂貴的環繞式閘極矽奈米線元件(非拋棄式)則設置於一感測系統內。

【0017】以下依據本發明之較佳實施例，描述一種生物感測系統，該生物感測系統包括一無接面奈米線場效電晶體(junctionless nanowire field-effect transistor)以及一感測晶片(sensing chip)，此系統能有效地實現在無接面奈米線場效電晶體與感測晶片之間的電位耦合進行最佳化，進而能有效地提高靈敏度。

【0018】如圖3及圖4所示，無接面奈米線場效電晶體包括一源極(Source)端、一汲極(Drain)端及一閘極(Gate)端，其中，閘極端電性環繞一無接面矽奈米線(junctionless silicon nanowire)或閘極端電性連接一無接面矽奈米帶(junctionless silicon nanobelt)，值得注意的是，無接面矽奈米線的直徑小於20 nm，或者無接面矽奈米帶的通道厚度小於15 nm。圖5依據本發明之實施例，顯示本發明之無接面矽奈米線結構的穿透式電子顯微鏡(Transmission electron microscope, TEM)影像之剖面圖，其中，無接面矽奈米帶的通道厚度為10 nm，但不限於此。

【0019】其中，無接面奈米線場效電晶體之電流與電位的關係式如下所示：

$$I \approx e \left(\frac{-qV_g}{kT} \right) e^{-\frac{q\Delta\phi}{kT}} \quad (1)$$

其中， $\Delta\phi$ 為由於特異性引起的閘極電位變化， V_g 為閘極偏壓， k 為波茲曼常數(Boltzmann constant)， T 為溫度(temperature)。

【0020】再者，感測晶片可包括至少一延伸閘極(extended gate)，其中，至少一延伸閘極是一感測電極，並且感測晶片之感測電極耦合至無接面奈米線場效電晶體之閘極端。

【0021】依據本發明之較佳實施例，如圖6所示，本發明之感測晶片20復可包括一流體井201(fluid well)以及一印刷電路板202(PCB)，其中，流體井201係設置於感測電極203上，並且感測電極203可藉由鉚線204(bondwire)電性連接至印刷電路板202。

【0022】圖7顯示本發明之感測電極及奈米線元件的等效電路示意圖。藉由本發明所提供的等效電路，可針對感測電極的電極面積(A_{pro})與總感測晶片面積(A_{all})之面積比($A_{\text{ratio}}=A_{\text{pro}}/A_{\text{all}}$)、一氧化層厚度(D)與感測電極之塊氧化介電膜厚度(d)之厚度比($x=D/d$)以及無接面矽奈米線的閘極電容(C_{T})或無接面矽奈米帶的閘極電容(C_{T})與感測電極的電極電容($C_{\text{Dry(max)}}$)之電容比($C_{\text{ratio}}=C_{\text{T}}/C_{\text{Dry(max)}}$)進行最佳化，進而有效地獲得在感測電極及閘極端之間的最佳化電位耦合效率(η) (optimized potential coupling efficiency)。

【0023】依據本發明之較佳實施例，本發明之無接面奈米線場效電晶體亦可包含一基板、一絕緣層以及一奈米線，其中，絕緣層設置基板上，奈米線設置於絕緣層上，值得一提的是，奈米線之一部分的材質可為單晶矽、多晶矽或非晶矽，奈米線之另一部分的材質可為金屬矽化物，並且源極端及汲極端位於奈米線之兩端。

【0024】值得一提的是，本發明之無接面奈米線場效電晶體之奈米線可藉由側壁間隔物(sidewall spacer)製程來形成。

【0025】值得說明的是，依據本發明之較佳實施例，本發明所提出之等效電路包括感測電極之一第一雙電層電容(electric double layer capacitor)(R)及一雙電層電阻(electric double layer resistor)(C)、磷酸鹽緩

衝生理鹽水 (Phosphate-buffered saline, PBS) 之溶液電阻 (solution resistor)(R_{solution})、感測電極之電極電容(C_0)、環繞式閘極矽奈米線或環繞式矽奈米帶的閘極電容(C_T)、在感測電極外部的區域上的一第二雙電層電容(C_{ext})、以及在感測晶片之感測電極與無接面奈米線場效電晶體之閘極端之間的寄生電容(parasitic capacitor)(C_P)。

【0026】其中，在進行測試時，以四種不同型式進行測試，分別為測試感測電極上的電荷密度(charge density, Q)[type A]、測試感測電極的外部區域上的電荷密度[type B]、測試感測電極上的電荷密度並使基板接地[type C]、測試感測電極的外部區域上的電荷密度並使基板接地[type D]。

【0027】基於上述的說明，閘極電位(V_T)[type A]可表示如下：

$$V_T = \frac{C_{\text{Dry}}}{C_1 + C_{\text{Dry}}} \times V_{e,\text{typeA}} \quad (2)$$

其中，

$$V_{e,\text{typeA}} = \frac{Q}{\frac{C_1 \times C_{\text{Dry}}}{C_1 + C_{\text{Dry}}} + C_{\text{dle}}} \quad (3)$$

$$C_1 = \frac{C_{\text{ext}} \times C_{\text{pro}} \times C_{\text{dlo}}}{(C_{\text{ext}} \times C_{\text{pro}}) + (C_{\text{pro}} \times C_{\text{dlo}}) + (C_{\text{ext}} \times C_{\text{dlo}})} + C_T \quad (4)$$

【0028】依據本發明之較佳實施例，表一顯示本發明之等效電路的相關參數及其符號。

表一顯示本發明之等效電路的參數及符號

參數	表示符號
NWFET capacitor	C_T
Electrode capacitor	C_{Dry}
Electric double layer capacitor at sensing electrode	C_{dle}
Capacitor between sensing electrode and substrate	C_{pro}
Electric double layer capacitor	C_{dlo}
Bulk oxide capacitor outside the sensing	C_{ext}

electrode	
Area outside sensing electrode	A_{OX1}
Area of sensing electrode	A_{OX2}
Electrode oxide thickness	d
Bulk oxide thickness	D
SiO ₂ permittivity	$\epsilon_{ox}=3.9\epsilon_0$
Water permittivity	$\epsilon_w=78\epsilon_0$
Boltzmann constant	$k_B=1.38 \times 10^{-23} \text{ J/K}$
Avogadro number	$N_A=6.022 \times 10^{23} \text{ /mole}$
Elementary charge	$e=1.602 \times 10^{-19} \text{ C}$

【0029】圖8(a)依據本發明之實施例，當 $x=1$ 以及測試感測電極上的電荷密度(charge density, Q)時，顯示電位耦合效率(η)相對於 A_{ratio} 及 C_{ratio} 變化的示意圖；圖8(b)依據本發明之實施例，當 $x=1000$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 C_{ratio} 變化的示意圖；圖8(c)依據本發明之實施例，當 $C_{ratio}=1$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖；以及8(d)依據本發明之實施例，當 $C_{ratio}=0.01$ 以及測試感測電極上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖。

【0030】圖9(a)依據本發明之實施例，當 $C_{ratio}=0.01$ 以及測試感測電極的外部區域上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖；以及圖9(b)依據本發明之實施例，當 $C_{ratio}=1$ 以及測試感測電極的外部區域上的電荷密度時，顯示電位耦合效率(η)相對於 A_{ratio} 及 x 變化的示意圖。

【0031】圖10(a)依據本發明之實施例，當 $A_{ratio}=0.5$, $C_{ratio}=0.01$ and $x=200$ 並且測試感測電極上的電荷密度時，顯示閘極電位(V_T)相對於磷酸鹽緩衝生理鹽水(Phosphate-buffered saline, PBS)及電荷密度(charge density, Q)變化的示意圖；以及圖10(b)依據本發明之實施例，當 $A_{ratio}=0.5$, $C_{ratio}=0.01$ and $x=200$ 並且測試感測電極的外部區域上的電荷密度時，顯示閘極電位(V_T)相對於磷酸鹽

緩衝生理鹽水(Phosphate-buffered saline, PBS)及電荷密度(charge density, Q)變化的示意圖。

【0032】綜而言之，由於感測晶片為拋棄式而環繞式閘極(無接面)矽奈米線元件(為非拋棄式)設置於生物感測系統內，所以本發明之生物感測系統可有效地降低檢測成本，同時又能有效地提升電位耦合效率。

【0033】儘管已參考本申請的許多說明性實施例描述了實施方式，但應瞭解的是，本領域技術人員能夠想到多種其他改變及實施例，這些改變及實施例將落入本公開原理的精神與範圍內。尤其是，在本公開、圖式以及所附申請專利的範圍之內，對主題結合設置的組成部分及/或設置可作出各種變化與修飾。除對組成部分及/或設置做出的變化與修飾之外，可替代的用途對本領域技術人員而言將是顯而易見的。

【符號說明】

【0034】

- 10 感測晶片
- 12 金屬氧化物半導體場效電晶體
- 20 感測晶片
- 201 流體井
- 202 印刷電路板
- 203 感測電極
- 204 鍍線

【發明申請專利範圍】

【第1項】 一種生物感測系統，包括：

一 無 接 面 奈 米 線 場 效 電 晶 體 (junctionless nanowire field-effect transistor)，包括一源極端、一汲極端及一閘極端，其中，該閘極端電性環繞一無接面矽奈米線(junctionless silicon nanowire)或該閘極端電性連接一無接面矽奈米帶(junctionless silicon nanobelt)，該無接面矽奈米線的直徑小於20nm，並且該無接面矽奈米帶的通道厚度小於15nm；以及

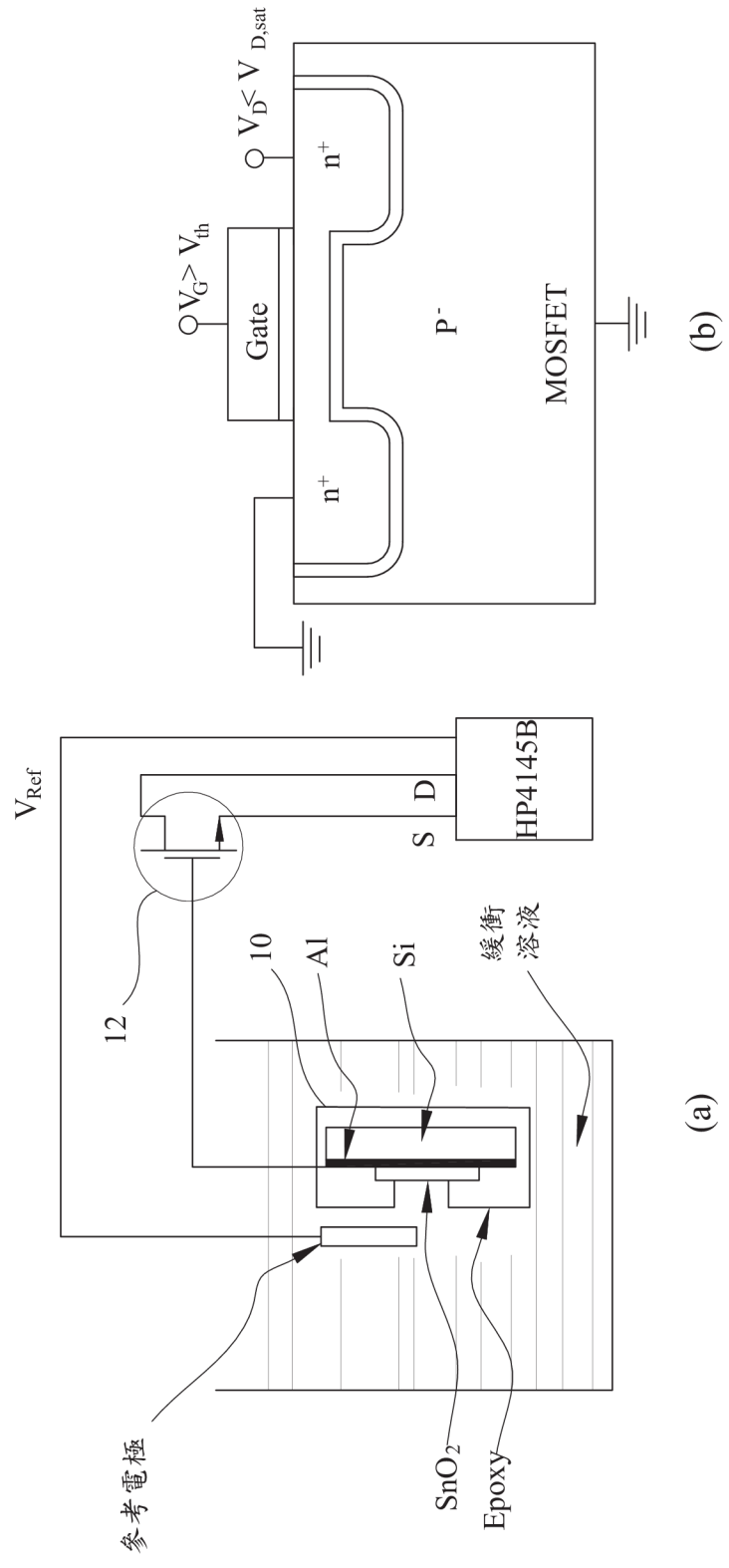
一 感 測 晶 片 (sensing chip)，包括至少一延伸閘極(extended gate)，其中，該至少一延伸閘極是一感測電極，並且該感測晶片之該感測電極耦合至該無接面奈米線場效電晶體之該閘極端；

其中，藉由一等效電路，對該感測電極的電極面積與總感測晶片面積之面積比、一氧化層厚度與該感測電極之塊氧化介電膜厚度之厚度比以及該無接面矽奈米線的閘極電容或該無接面矽奈米帶的閘極電容與該感測電極的電極電容之電容比進行最佳化，以獲得在該感測電極及該閘極端之間的最佳化電位耦合效率(optimized potential coupling efficiency)。

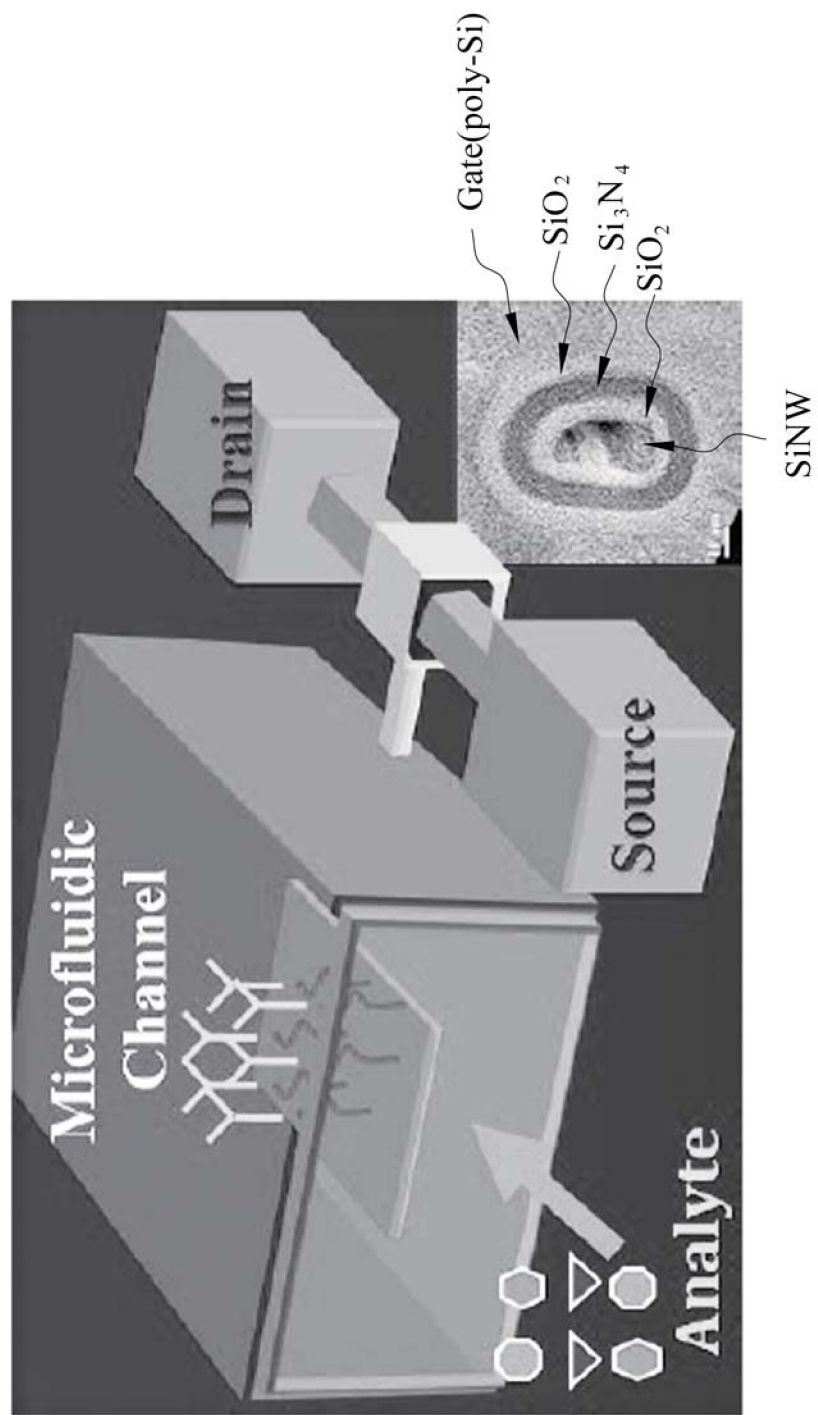
【第2項】 如申請專利範圍第1項所述之生物感測系統，其中，該無接面奈米線場效電晶體復包含：一基板；一絕緣層，設置該基板上；一奈米線，設置於該絕緣層上，其中，該奈米線之一部分的材質為單晶矽、多晶矽或非晶矽，該奈米線之另一部分的材質為金屬矽化物，並且該源極端及該汲極端位於該奈米線之兩端。

- 【第3項】 如申請專利範圍第1項所述之生物感測系統，其中，該無接面奈米線場效電晶體之該奈米線係藉由側壁間隔物製程來形成。
- 【第4項】 如申請專利範圍第1項所述之生物感測系統，其中，該感測晶片復包括一流體井(fluid well)以及一印刷電路板(PCB)，其中，該流體井設置於該感測電極上，並且該感測電極電性連接至該印刷電路板。
- 【第5項】 如申請專利範圍第1項所述之生物感測系統，其中，該等效電路包括該感測電極之一第一雙電層電容(electric double layer capacitor)及一雙電層電阻(electric double layer resistor)；磷酸鹽緩衝生理鹽水(Phosphate-buffered saline, PBS)之溶液電阻(solution resistor)；該感測電極之該電極電容；該無接面奈米線或該環繞式矽奈米帶的該閘極電容；在該感測電極外部的區域上的一第二雙電層電容；以及在該感測晶片之該感測電極與該無接面奈米線場效電晶體之該閘極端之間的寄生電容(parasitic capacitor)。
- 【第6項】 如申請專利範圍第1項所述之生物感測系統，其中，該感測晶片為拋棄式。

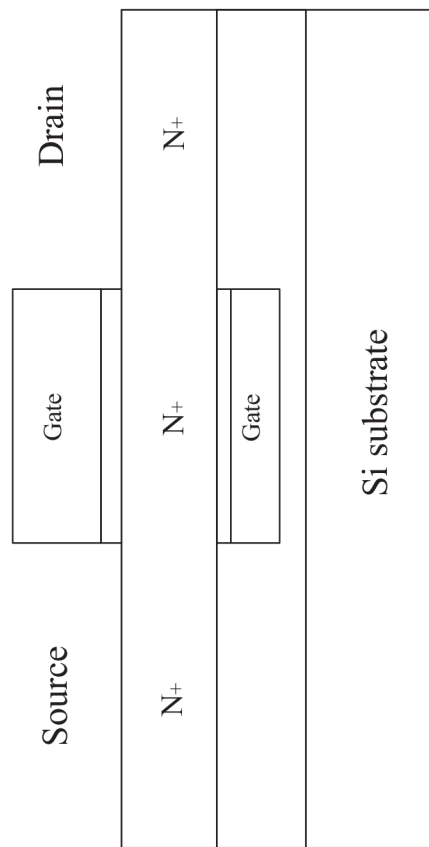
【發明圖式】



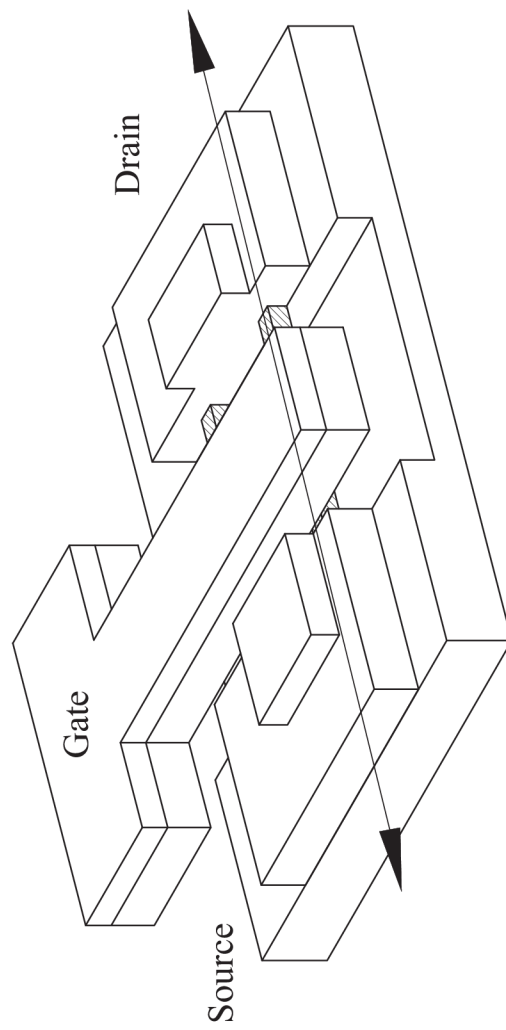
【圖1】



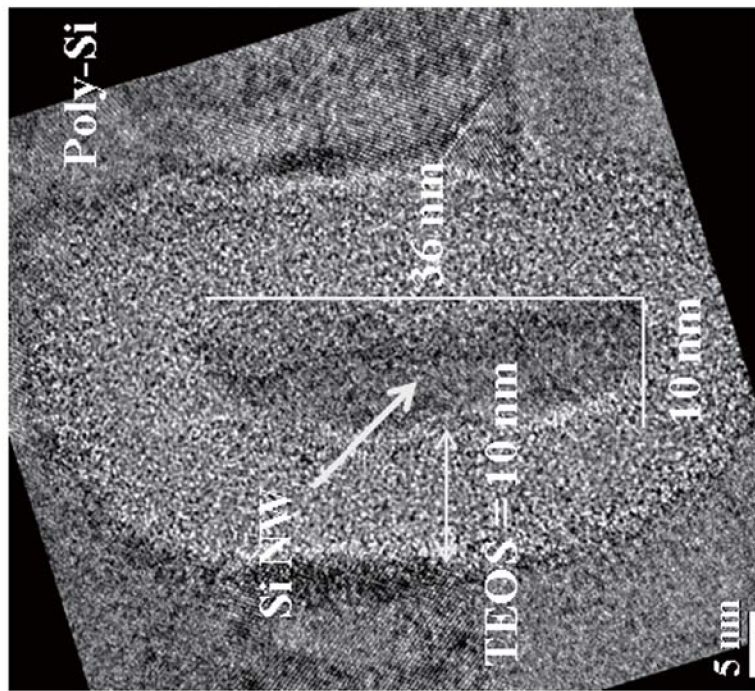
【圖2】



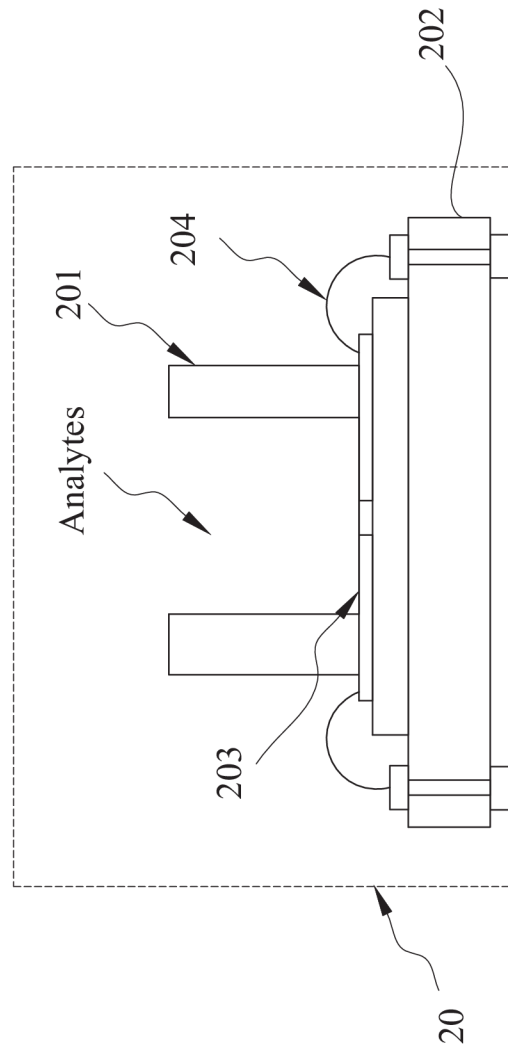
【圖3】



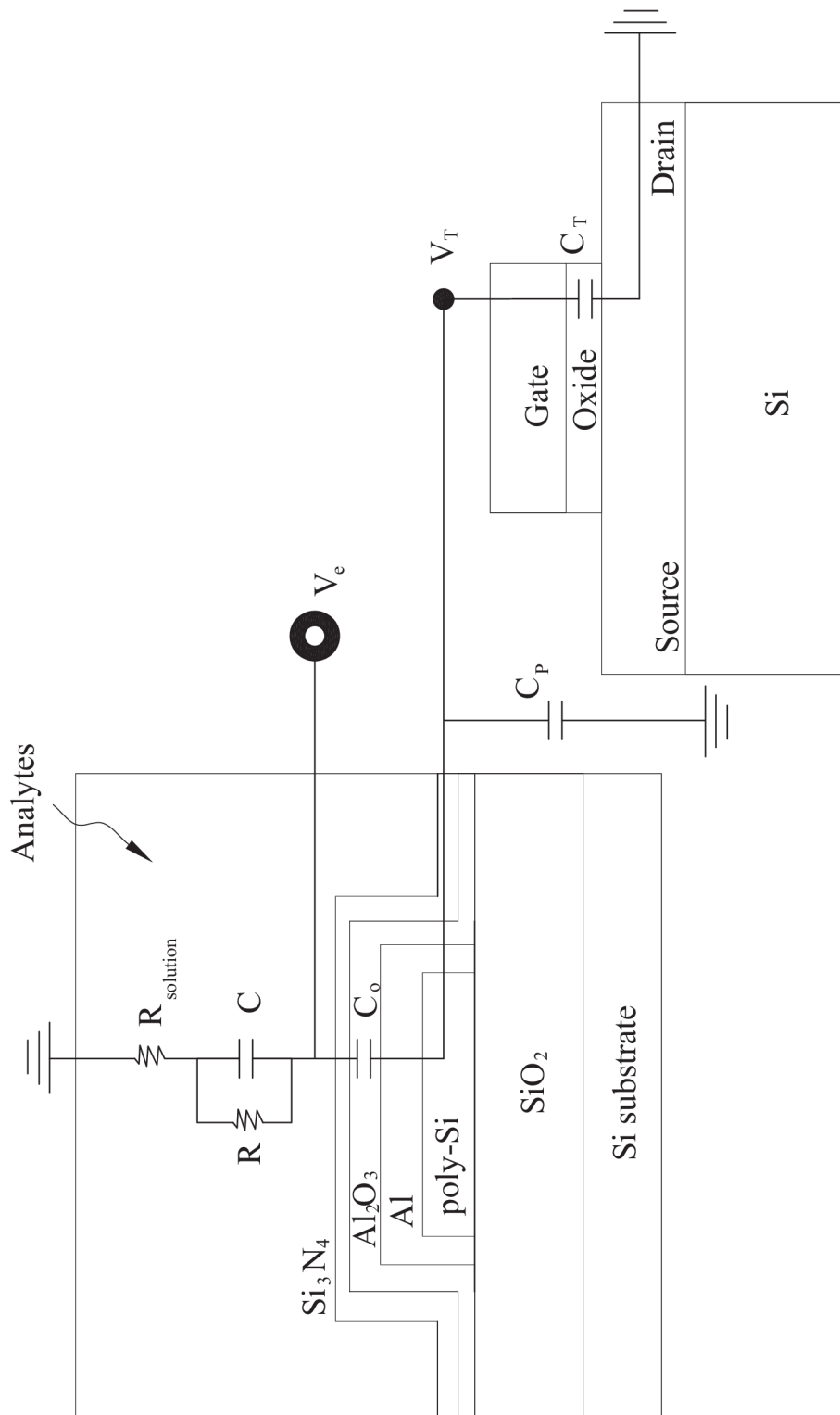
【圖4】



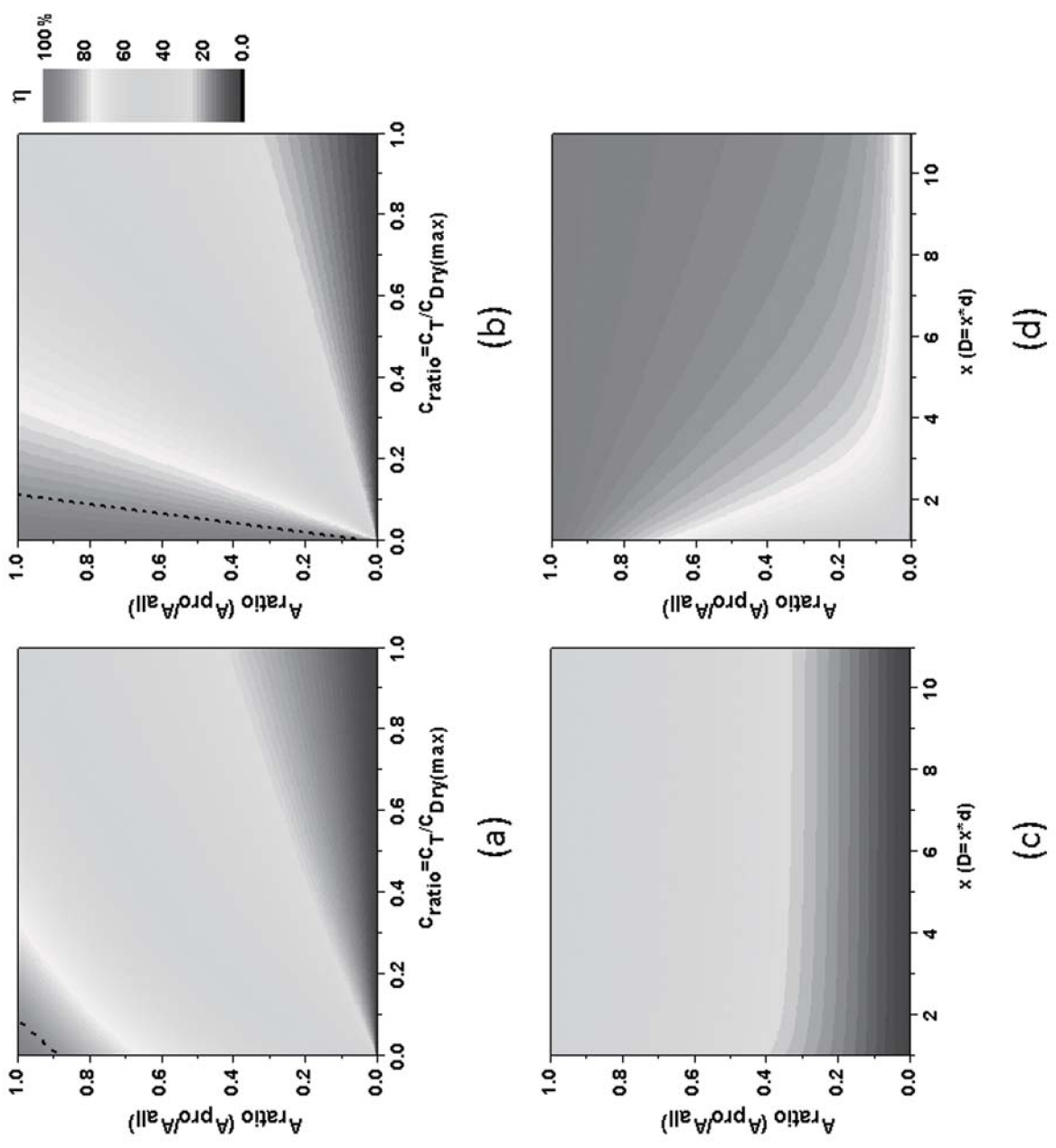
【圖5】



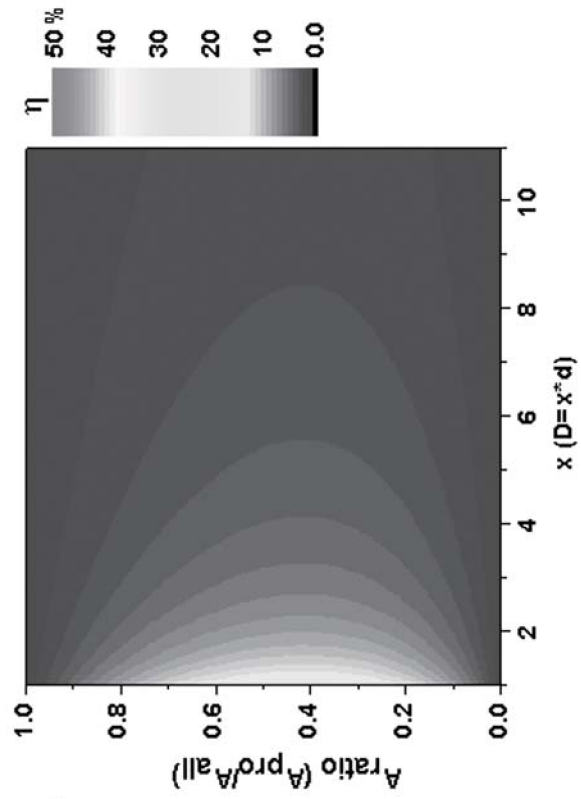
【圖6】



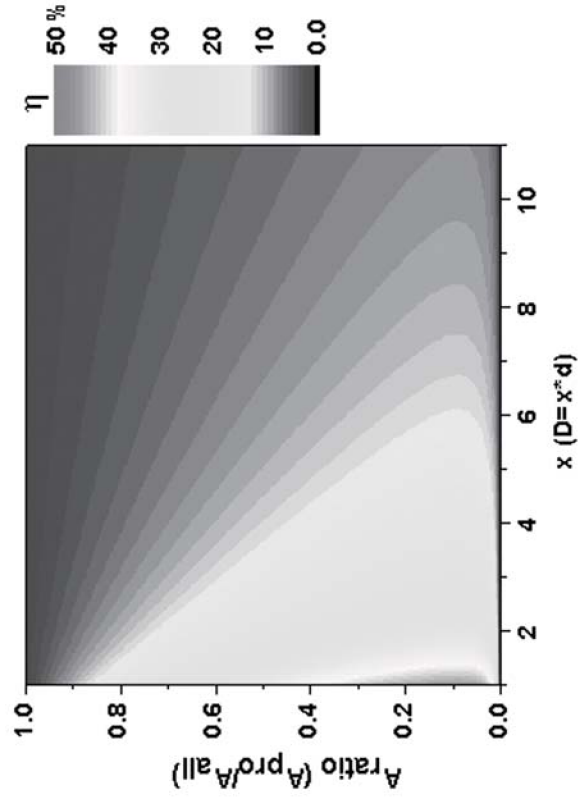
【圖7】



【圖8】

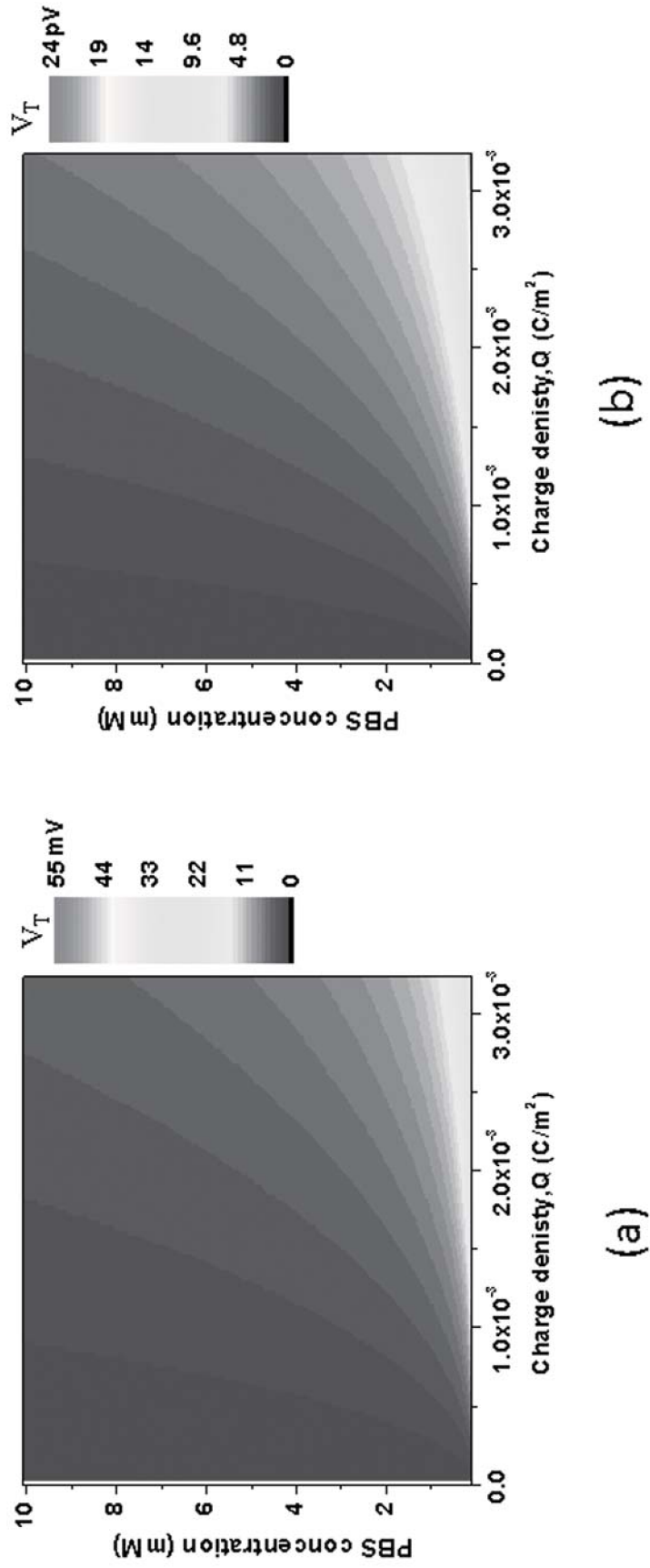


(a)



(b)

【圖9】



【圖10】