



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201824362 A

(43) 公開日：中華民國 107 (2018) 年 07 月 01 日

(21) 申請案號：106113323 (22) 申請日：中華民國 106 (2017) 年 04 月 20 日
 (51) Int. Cl. : *H01L21/24 (2006.01)* *H01L21/285 (2006.01)*
 (30) 優先權：2016/08/31 美國 15/253,074
 (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市新竹科學工業園區力行六路 8 號
 國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
 (72) 發明人：簡昭欣 CHIEN, CHAO HSIN (TW)；徐崇浚 HSU, CHUNG CHUN (TW)；季維均
 CHI, WEI CHUN (TW)；劉繼文 LIU, CHI WEN (TW)
 (74) 代理人：李世章；秦建譜
 申請實體審查：無 申請專利範圍項數：1 項 圖式數：35 共 45 頁

(54) 名稱

製造半導體裝置的方法

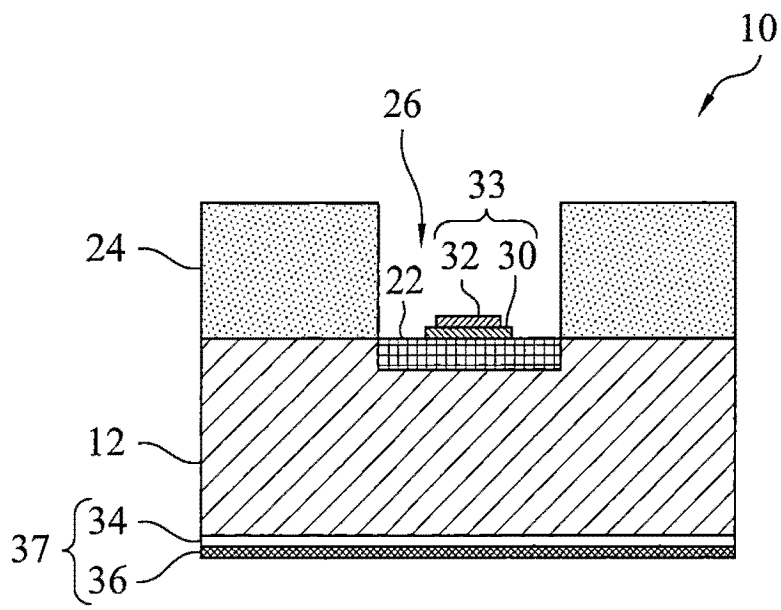
METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

(57) 摘要

一種製造半導體裝置的方法，包含下列步驟。在半導體基板上形成第一金屬層，並在第一金屬層上形成第二金屬層。第二金屬層由與第一金屬層不同的金屬形成。施加微波輻射於半導體基板、第一金屬層和第二金屬層，以形成包含第一金屬層、第二金屬層和半導體基板的成分的合金。

A method of manufacturing a semiconductor device includes forming a first metal layer on a semiconductor substrate and forming a second metal layer on the first metal layer. The second metal layer is formed of a different metal than the first metal layer. Microwave radiation is applied to the semiconductor substrate, first metal layer, and second metal layer to form an alloy comprising components of the first metal layer, second metal layer, and the semiconductor substrate.

指定代表圖：



符號簡單說明：

- 10 . . . 半導體裝置
- 12 . . . 半導體基板
- 26 . . . 開口
- 22 . . . 合金層
- 24 . . . 絕緣層
- 30、34 . . . 第一接觸層
- 32、36 . . . 第二接觸層
- 33 . . . 上接觸層
- 37 . . . 下接觸層

第 12 圖

申請案號：106113323
201824362

申請日：106/04/20

IPC分類：

【發明摘要】**【中文發明名稱】** 製造半導體裝置的方法**【英文發明名稱】** METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE**【中文】**

一種製造半導體裝置的方法，包含下列步驟。在半導體基板上形成第一金屬層，並在第一金屬層上形成第二金屬層。第二金屬層由與第一金屬層不同的金屬形成。施加微波輻射於半導體基板、第一金屬層和第二金屬層，以形成包含第一金屬層、第二金屬層和半導體基板的成分的合金。

【英文】

A method of manufacturing a semiconductor device includes forming a first metal layer on a semiconductor substrate and forming a second metal layer on the first metal layer. The second metal layer is formed of a different metal than the first metal layer. Microwave radiation is applied to the semiconductor substrate, first metal layer, and second metal layer to form an alloy comprising components of the first metal layer, second metal layer, and the semiconductor substrate.

【指定代表圖】 第12圖**【代表圖之符號簡單說明】**

10：半導體裝置

12：半導體基板

26：開口

22：合金層

24：絕緣層

30、34：第一接觸層

32、36：第二接觸層

33：上接觸層

37：下接觸層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】製造半導體裝置的方法

【英文發明名稱】METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

【技術領域】

【0001】本揭露是關於製造半導體積體電路的方法，更具體地涉及製造具有場效電晶體(field effect transistor, FET)結構的半導體裝置。

【先前技術】

【0002】隨著半導體工業引入具有更高性能和更大功能性的新一代積體電路(integrated circuits, ICs)，導致積體電路的元件的密度增加，並且金屬觸點和佈線的尺寸減小，進而增加電路的電阻。因此，半導體業界皆期望減小接觸區域處的電阻以在積體電路中提供進一步的改進。

【發明內容】

【0003】根據本揭露之一態樣係提供一種製造半導體裝置的方法，包含下列步驟。先形成第一金屬層於半導體基板上，再形成第二金屬層於第一金屬層上，其中第二金屬層由與第一金屬層不同的金屬形成。接著，施加微波輻射於半導體基板、第一金屬層以及第二金屬層，以形成合金，其包含第一金屬層、第二金屬層以及半導體基板的成分。

【圖式簡單說明】

【0004】

當以下詳細描述與附圖一起閱讀時，可以最好地理解本揭露。要強調的是，根據工業中的標準實踐，各種特徵不是按比例繪製的，並且僅用於說明目的。實際上，為了清楚地討論，可以任意地增加或減少各種特徵的尺寸。

第1圖繪示根據本揭露部分實施方式中，製造半導體裝置的方法的流程圖。

第2-12圖繪示根據本揭露部分實施方式中，製造半導體裝置的方法。

第13圖繪示根據本揭露部分實施方式中，製造半導體裝置的方法的流程圖。

第14圖繪示根據本揭露部分實施方式中，製造半導體裝置的方法的流程圖。

第15-23圖繪示根據本揭露部分實施方式中，製造場效電晶體半導體裝置的方法。

第24-31圖繪示根據本揭露部分實施方式中，製造場效電晶體半導體裝置的方法。

第32A-34B圖繪示根據本揭露部分實施方式中，製造場效電晶體半導體裝置的方法。

第35圖繪示根據本揭露部分實施方式中，將微波輻射施加到半導體裝置的微波系統。

【實施方式】

【0005】 應當理解，以下提供了用於實現本揭露不同特徵的許多實施例或示例。以下描述之元件和實施例或示例係

用以簡化本揭露。當然，這些僅是示例並且不旨在限制。例如，元件的尺寸不限於所揭露的範圍或值，而是可以取決於製成條件和/或裝置的期望特性。此外，在以下描述中在第一特徵之上形成第二特徵，可以包含第一特徵和第二特徵以直接接觸形成的實施例，並且還可以包含形成介於第一特徵和第二特徵之間的額外特徵的實施例，使得第一特徵和第二特徵可以不直接接觸。為了簡單和清楚，可以不同的比例任意地繪製各種特徵。

【0006】 此外，在本文中使用的空間相對術語，諸如『下』或『底部』與『上』或『頂部』等，以便於描述如圖中所示的一個元件或特徵與另一元件或特徵的關係。空間相對術語旨在涵蓋除了圖中所示的方位之外，其它使用或操作中，裝置的不同方位。裝置可以以其他方式定向(旋轉90度或在其它方向)，並且本文使用的空間相對描述可以相應地解釋。此外，術語『由...構成』可以表示『包含』或『由...組成』。

【0007】 可受益於本揭露的一個或一個以上實施例的裝置的實例為肖特基能障二極體(Schottky barrier diodes)和具有場效電晶體(FET)的半導體裝置。示例性場效電晶體包含金屬氧化物半導體(metal-oxide-semiconductor, MOS)場效電晶體，例如具有摻雜有p型摻雜劑(例如硼或二氟化硼)的p型場效電晶體(PFET)或具有摻雜有n型摻雜劑(例如磷或砷)的n型場效電晶體(NFET)。場效電晶體可以是平面裝置或三維(3D)鰭式場效電晶體(fin-type field effect transistors, finFET)，本文中稱為鰭式場效電晶體

裝置。平面裝置是指非鰭式場效電晶體裝置。鰭式場效電晶體可以是多閘極電晶體，例如雙閘極裝置，三閘極裝置和/或其他配置。所述裝置可包含於例如微處理器、存儲器裝置和/或其它積體電路中。本領域通常知識者可了解到其它實施例的半導體裝置可受益於本揭露。

【0008】 本文提供一種或一種以上用於形成半導體裝置的技術及由此形成的所得結構。

【0009】 在第1圖中繪示根據本揭露部分實施例之製造半導體裝置的方法的流程圖。在操作S201中，在半導體基板上形成包含第一金屬的第一金屬層。在操作S202中，在第一金屬層上形成包含不同於第一金屬之第二金屬的第二金屬層。在操作S203中，對半導體基板、第一金屬層和第二金屬層施加微波輻射以形成包含第一金屬層、第二金屬層和半導體基板的成分的合金。

【0010】 第2-12圖繪示根據本揭露的部分實施例中，用於製造半導體裝置10的方法。在一些實施例中，透過本方法形成的半導體裝置10是肖特基能障二極體。

【0011】 如第2圖所示，在半導體基板12上形成遮罩層14。半導體基板12可以包含單晶半導體材料，例如但不限於矽(Si)、鍺(Ge)、矽化鍺(SiGe)。在部分實施例中，半導體基板12係由鍺製成。在部分實施例中，對半導體基板12進行清潔操作，例如暴露即將沉積遮罩的半導體基板12的表面於稀釋氫氟酸(dilute hydrofluoric acid, DHF)。

【0012】 遮罩層14可以是任何合適的遮罩材料，包含光

阻(photoresist)或硬遮罩材料，例如氧化物或氮化物。氧化物或氮化物硬遮罩材料可以透過合適的沉積技術沉積，例如化學氣相沉積(chemical vapor deposition, CVD)，包含低壓化學氣相沉積(low pressure chemical vapor deposition, LPCVD)、等離子體增強化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)、物理氣相沉積(physical vapor deposition, PVD)和原子層沉積(atomic layer deposition, ALD)。如第3圖所示，隨後在遮罩層14中形成開口16，透過合適的光刻和蝕刻操作暴露半導體基板12的一部分。

【0013】 參考第4圖，在遮罩層14和半導體基板12上沉積光阻層15，並且使用光刻操作對光阻層15進行圖案化，以暴露開口16中的半導體基板12。在一些實施例中，光阻層15是正性光阻，在其他實施例中為負性光阻。

【0014】 如第5圖所示，透過合適的沉積技術，例如濺射(sputtering)或物理氣相沉積，在半導體基板12和光阻層15的暴露部分上形成第一金屬層18。在一些實施例中，第一金屬層18形成為約3奈米(nm)至約30奈米(nm)的厚度。在部分實施例中，第一金屬層18的厚度在約6奈米至約14奈米的範圍內。在一些實施例中，第一金屬層18是選自由鎳(Ni)、鉑(Pt)、金(Au)、鉭(Ta)、釷(Gd)、鈦(Ti)和鍺(Ge)組成的群組中之至少一種。在另一實施例中，第一金屬層18係由矽組成。

【0015】 如第6圖所示，透過合適的沉積技術，例如濺射

或物理氣相沉積，在第一金屬層18上形成第二金屬層20。在一些實施例中，第二金屬層20形成為約3奈至約30奈米的厚度。在部分實施例中，第二金屬層20的厚度為約5奈米至約15奈米。在一些實施例中，第二金屬層20是選自由鎳、鉑、金、鈹、鈳、鈳和鍺組成的群組中之至少一種。在另一實施例中，第二金屬層20係由矽組成。第二金屬是與第一金屬不同的金屬。

【0016】 參考第7圖，在一些實施例中，在沉積第二金屬層之後，使用適當的光阻溶劑(例如丙酮)透過剝離操作(lift-off operation)去除光阻層15以及覆蓋於光阻層15上的第一金屬層18和第二金屬層20。遮罩層14也一併去除，並且執行微波激活退火操作(microwave-activated annealing operation)以形成與半導體基板12接觸的合金。如第7圖所示，微波激活退火操作包含將微波輻射72施加到半導體基板12、第一金屬層18和第二金屬層20。在一些實施例中，微波輻射在約1GHz至約30GHz的頻率範圍和約0.6kW至約4.4kW的功率下施加約40秒至約240秒。在其它實施例中，微波輻射以約1.2kW至約2.2kW的功率施加約80秒至約120秒。在部分實施例中，半導體裝置10在惰性氣體(例如氬氣氣體)中暴露於微波輻射。

【0017】 將微波輻射施加到半導體裝置10導致半導體裝置10的局部加熱，其包含第一金屬層18和第二金屬層20。在一些實施例中，第一金屬層18和第二金屬層20的溫度從環境溫度升高至暴露於微波輻射期間約200°C至約600

°C 的溫度。在其它實施例中，在暴露於微波輻射期間，第一金屬層18和第二金屬層20的溫度增加至約300°C至約500°C的溫度範圍。如第8圖所示，第一金屬層18和第二金屬層20的加熱使得第一金屬層18的金屬和第二金屬層20的金屬擴散到半導體基板12中，並且與半導體基板12形成合金層22。在特定實施例中，形成三元合金層22。

【0018】 在部分實施例中，在鍺基板12上，第一金屬層18是6奈米至14奈米厚的鎳濺射沉積層，第二金屬層20是5奈米至15奈米厚的鉑物理氣相沉積層。在部分實施例中，第一金屬層18和第二金屬層20各自具有約10奈米的厚度。在一些實施例中，合金層22包含鎳、鍺和鉑的三元合金(NiGePt)。在部分實施例中，三元合金層包含NiGePt₂。

【0019】 取決於金屬材料，第一金屬層18的厚度將影響當第一金屬層18與第二金屬層20暴露於微波輻射時，三元合金是否會形成。例如，當第一金屬層18是鉑並且第二金屬層20是鎳時，如果第一金屬層18的厚度小於6奈米或大於14奈米，則不會形成三元合金層22。如果第一金屬層18是鉑並且厚度小於6奈米，第二金屬層20是鎳，則鎳將容易透過鉑進入半導體基板12，並且不會形成三元合金層22。另一方面，如果第一金屬層是鉑且厚度大於14奈米，則鎳將不能充分地擴散到半導體基板12中以形成三元合金層22。當第一金屬層18是鉑並且厚度在5奈米和14奈米之間，在部分實施例中，鉑和鎳都充分地擴散到半導體基板12中，並且有足夠的熱在半導體基板12中積累以形成包含鉑、鎳和

鍍的三元合金層22。

【0020】 在一些實施例中，三元合金層22的厚度為約15奈米至約70奈米。在其他實施例中，三元合金層22的厚度為約25奈米至約60奈米。

【0021】 在一些實施例中，鎳鍍鉑(NiGePt)三元合金層22中的鎳/鉑的原子比為約3.5至約1.1。

【0022】 如第9圖所示，之後，在一些實施例中形成具有暴露三元合金層22的第二開口26的絕緣層24。絕緣層24是氧化物或氮化物，例如在一些實施例中是氧化矽或氮化矽。絕緣層24可以透過任何合適的沉積操作形成，包含化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積和原子層沉積。透過光刻和蝕刻操作圖案化絕緣層24以形成開口26。

【0023】 參考第10圖，在絕緣層24上形成第二光阻層28。如第11圖所示，使用光刻操作對第二光阻層28進行圖案化以暴露三元合金層22的一部分，並且形成上接觸層33與三元合金層22接觸。上接觸層33由例如金屬的導電材料所形成。在一些實施例中，金屬是選自由鋁(Al)、銅(Cu)、鈦(Ti)和鎢(W)組成的群組中之至少一種。如第11圖所示，在一些實施例中，上接觸層33包含多個接觸層(第一接觸層30與第二接觸層32)。在一些實施例中，上接觸層33包含雙層，其包含由鈦組成的第一接觸層30和由鋁組成的第二接觸層32。在一些實施例中，第一接觸層30的厚度為約10奈米至約50奈米，第二接觸層32的厚度為約20奈米至約60奈

米。在部分實施例中，整個上接觸層33的厚度為約30奈米至約110奈米。

【0024】 參考第12圖，在一些實施例中，在沉積上接觸層33之後，使用適當的光阻溶劑透過剝離操作去除第二光阻層28和覆蓋在第二光阻層28上的第一接觸層30和第二接觸層32。如第12圖所示，在部分實施例中，下接觸層37形成在與半導體基板12上接觸層33相對的表面上。下接觸層37由導電材料形成，例如金屬。在一些實施例中，金屬選自由鋁、銅、鈦和鎢組成的群組。如第12圖所示，在一些實施例中，下接觸37包含多個接觸層(第一接觸層34和第二接觸層36)。在一些實施例中，下接觸37包含雙層，其包含由鈦組成的第一接觸層34和由鋁組成的第二接觸層36。金屬接觸層(第一接觸層30、34和第二接觸層32、36)可以透過任何合適的技術形成，包含化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積、物理氣相沉積和原子層沉積、濺射和電鍍。在一些實施例中，第一接觸層30的厚度為約10奈米至約50奈米，第二接觸層32的厚度為約20奈米至約60奈米。在某些實施例中，整個上接觸層33的厚度為約30奈米至約110奈米。在一些實施例中，第一接觸層34的厚度為約10奈米至約50奈米，第二接觸層36的厚度為約20奈米至約60奈米。在某些實施例中，整個下接觸層37的厚度為約30奈米至約110奈米。

【0025】 如第13圖所示，根據本揭露部分實施例之製造半導體裝置的另一種方法，包含，在半導體基板上形成閘極

結構的操作S301，和在半導體基板上形成源極/汲極區域的操作S302。在本揭露部分實施例中，源極和汲極可互換地使用，並且其結構基本上相同。在操作S303中，在源極/汲極區域上形成第一金屬層，並且在操作S304中，在第一金屬層上形成第二金屬層。隨後，在操作S305中，將微波輻射施加到半導體基板、第一金屬層和第二金屬層。

【0026】 如第14圖所示，根據本揭露的部分實施例之製造半導體裝置的另一種方法，包含，在半導體基板上形成源極/汲極區域的操作S401和在源極/汲極區域上形成第一金屬層的操作S402。在操作S403中，在源極/汲極區域上形成第二金屬層，隨後在操作S404中，將微波輻射施加到半導體基板、第一金屬層和第二金屬層。在操作S405中，在半導體基板上形成高介電絕緣層(high-k insulating layer)，並且在操作S406中，在源極/漏極區域之間的區域中，形成導電金屬層於高介電絕緣層上。在操作S407中，在源極/汲極區域上形成導電接觸。

【0027】 第15-23圖繪示根據本揭露的部分實施例之製造場效電晶體半導體裝置100的方法。如第15圖所示，在半導體基板40上形成閘極介電層42，並且在閘極介電層42上形成閘極電極層44。

【0028】 在一些實施例中，半導體基板40可以包含單晶半導體材料，例如但不限於矽、鍺和矽鍺。在部分實施例中，半導體基板40由鍺製成。在部分實施例中，對半導體基板40進行清潔操作，例如暴露即將沉積遮罩的半導體基板40

的表面於稀釋氫氟酸。

【0029】 半導體基板40可以在其表面區域中包含一個或多個緩衝層(未繪示)。緩衝層可用於將晶格常數從基板的晶格常數逐漸改變為源極/汲極區域的晶格常數。緩衝層可以由外延生長的單晶半導體材料形成，例如但不限於矽(Si)、鍺(Ge)、鍺錫(GeSn)、矽鍺(SiGe)、鎵砷(GaAs)、銾銻(InSb)、鎵磷(GaP)、鎵銻(GaSb)、銾鋁砷(InAlAs)、銾鎵砷(InGaAs)、鎵銻磷(GaSbP)、鎵砷銻(GaAsSb)、鎵氮(GaN)、鎵磷(GaP)和銾磷(InP)。在特定實施例中，半導體基板40的最上層由鍺製成，並且緩衝層是在矽基層上外延生長的矽鍺。矽鍺緩衝層的鍺濃度可以從最底部緩衝層的30原子百分比增加到最頂層緩衝層的70原子百分比。

【0030】 閘極介電層42由半導體基板材料的氧化物或氮化物形成，例如在一些實施例中為氧化矽或氧化鍺。在一些實施例中，透過熱氧化半導體基板的上表面形成氧化物，而在其他實施例中，透過包含化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積、物理氣相沉積和原子層沉積的沉積操作形成氧化物。在一些實施例中，閘極介電層42包含一層或多層高介電材料(high-k dielectric material)。高介電材料包含二氧化鈦(HfO_2)、矽氧化鈦(HfSiO)、氮氧矽化鈦(HfSiON)、鉭氧化鈦(HfTaO)、鈦氧化鈦(HfTiO)、鋯氧化鈦(HfZrO)、氧化鋯(zirconium oxide)、氧化鋁(aluminum oxide)、氧化鈦(titanium oxide)、二氧化鈦-氧化鋁($\text{HfO}_2\text{-Al}_2\text{O}_3$)合金，其它合適

的高介電材料和/或透過沉積操作形成的其組合，其中，沉積操作包含化學氣相沉積(chemical vapor deposition, CVD)、低壓化學氣相沉積(low pressure chemical vapor deposition, LPCVD)和等離子體增強化學氣相沉積(plasma enhanced chemical vapor deposition, PECVD)。在一些實施例中，閘極介電層42包含形成在半導體基板40和介電材料之間的界面層(未繪示)。

【0031】 在部分實施例中，源極/汲極區域包含含有摻雜劑濃度大於 10^{20} 原子·公分⁻³ (10^{20} atoms·cm⁻³) 的重摻雜區。在部分實施例中，源極/汲極區域係透過外延形成。

【0032】 在一些實施例中，閘極電極層44包含一個或多個導電材料層，例如多晶矽(polysilicon)、鋁(Al)、銅(Cu)、鈦(Ti)、鉭(Ta)、鎢(W)、鈷(Co)、鉬(Mo)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、氮化鈦(TiN)、WN(氮化鎢)、TiAl(鋁化鈦)、TiAlN(氮化鋁鈦)、TaCN(氮化碳鉭)、TaC(碳化鉭)、TaSiN(氮化矽鉭)、金屬合金或其它合適的材料和/或其組合。

【0033】 閘極電極層44可以透過化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積、物理氣相沉積、原子層沉積、電子束蒸發、電鍍或其他合適的方法形成。

【0034】 在本揭露的某些實施例中，一個或多個功函數調整層(未繪示)位於閘極介電層42和閘極電極層44之間。功函數調整層由導電材料製成，例如單層氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁鉭(TaAlN)、碳化鋁鉭(TaAlC)、碳化

鈦 (TiC)、碳化鈮(TaC)、鈷(Co)、鋁(Al)、鋁化鈦(TiAl)、鈦化鈳(HfTi)、矽化鈳(TiSi)、矽化鈮(TaSi)或碳化鋁鈦(TiAlC)，或這些材料中的兩種或更多種的多層。功函數調整層可以透過化學氣相沉積、物理氣相沉積、原子層沉積和電子束蒸發或其他合適的製程形成。

【0035】 在一些實施例中，半導體基板40由鍺製成，閘極介電層42是雙層，其包含設置在半導體基板40上由二氧化鍺(GeO_2)形成的第一層和設置在第一層上由三氧化二鋁(Al_2O_3)形成的第二層，且閘極電極層44是鋁。

【0036】 如第16圖所示，使用光刻和蝕刻操作來圖案化閘極介電層42和閘極電極層44，以形成包含閘極介電層42和閘極電極45的閘電極結構41。如第17圖所示，使用圖案化的閘極介電層42和閘極電極45作為遮罩，摻雜劑注入到半導體基板40中以形成源極/汲極區域46。如第18圖所示，在閘極介電層42和閘極電極45的側壁上形成的閘極絕緣側壁48隨後被添加到閘極電極結構41中，並且將額外的摻雜劑注入到源極/汲極區域46中以增加摻雜劑濃度並且擴展源極/汲極區域46。在一些實施例中，閘極絕緣側壁48包含一個或多個絕緣氧化物和/或氮化物層。在一些實施例中，源極/汲極區域46包含摻雜劑，其濃度大於 10^{20} 原子·公分 $^{-3}$ (10^{20} atoms·cm $^{-3}$)。

【0037】 參考第19圖，透過合適的沉積技術，例如濺射或物理氣相沉積，在源極/汲極區域46上形成第一金屬層50。在一些實施例中，第一金屬層50形成為約3奈米至約30

奈米的厚度。在某些實施例中，第一金屬層50的厚度在約6奈米至約14奈米的範圍內。在一些實施例中，第一金屬層50是選自由鎳、鉑、金、鈇、釷、鈦、鎳和矽所組成的群組中的至少一種。

【0038】 透過合適的沉積技術，例如濺射或物理氣相沉積，在第一金屬層50上形成第二金屬層52。在一些實施例中，第二金屬層52形成為約3奈米至約30奈米的厚度。在某些實施例中，第二金屬層52的厚度範圍為約5奈米至約15奈米。在一些實施例中，第二金屬層52是選自由鎳、鉑、金、鈇、釷、鈦、鎳和矽組成的群組中的至少一種。第二金屬是與第一金屬不同的金屬。

【0039】 透過光刻和蝕刻操作去除沉積在閘極電極45上以及沉積在閘極絕緣側壁48上表面的部分第一金屬層50和部分第二金屬層52，從而將第一金屬層50和第二金屬層52限制為覆蓋源極/汲極區域46上。

【0040】 如第20圖所示，在沉積第二金屬層之後，執行微波激活退火操作以形成與源極/汲極區域46接觸的合金。微波激活退火操作包含將微波輻射72施加到半導體基板40、第一金屬層50和第二金屬層52。在一些實施例中，微波輻射在約1GHz至約30GHz的頻率範圍和約0.6kW至約4.4kW的功率下施加約40秒至約240秒。在其它實施例中，以約1.2kW至約2.2kW的功率施加約80秒至約120秒。在部分實施例中，半導體裝置40在惰性氣體(例如氮氣氣體)中暴露於微波輻射。

【0041】 如第21圖所示，將微波輻射施加到半導體裝置100引起半導體裝置100的局部加熱，包含第一金屬層50和第二金屬層52，如本文關於第7-8圖所述，以產生三元合金層54。

【0042】 在一些實施例中，在暴露於微波輻射期間，第一金屬層50、第二金屬層52和源極/汲極區域46的溫度從環境溫度增加到範圍從約200°C至約600°C的溫度。在其它實施例中，在暴露於微波輻射期間，溫度增加至約300°C至約500°C。當局部加熱達到小於或等於約600°C的溫度時，源極/汲極區域46中的摻雜劑不容易擴散。

【0043】 在一些實施例中，在閘極電極45和第三合金層54上形成層間介電質56 (interlayer dielectric, ILD)，如第22圖所示。用於形成層間介電質56的材料包含矽(Si)、氧(O)、碳(C)和/或氫(H)的化合物，例如碳矽氧化物(SiCOH)和碳氧化矽(SiOC)。有機材料，例如聚合物，可用於形成層間介電質56。層間介電質56可以透過低壓化學氣相沉積、等離子體增強化學氣相沉積或可流動化學氣相沉積(flowable chemical vapor deposition, FCVD)形成。在可流動化學氣相沉積中，在基板上沉積可流動介電材料而非氧化矽。可流動介電質前驅物，特別是可流動氧化矽前驅物的例子包含矽酸鹽、矽氧烷、甲基倍半矽氧烷(methyl silsesquioxane, MSQ)、氫倍半矽氧烷(hydrogen silsesquioxane, HSQ)、甲基倍半矽氧烷/氫倍半矽氧烷(MSQ/HSQ)、全氫矽氮烷(perhydrosilazane, TCPS)、

全氫聚矽氮烷(perhydro-polysilazane, PSZ)、正矽酸乙酯(tetraethyl orthosilicate, TEOS)或甲矽烷基胺(silyl-amine), 例如三甲矽烷基胺(trisilylamine, TSA)。這些前驅物可以與氣體例如氧(O₂)、臭氧(O₃)、氮(N₂)、氬(Ar)、氫(H₂)、氦(He)和/或(NH₃)組合。等離子體化學氣相沉積(plasma-CVD)可用於可流動化學氣相沉積。

【0044】 如第23圖所示, 在一些實施例中, 使用光刻和蝕刻操作, 在層間介電質56中且在三元合金層54和閘極電極45上方, 形成開口, 並且用導電材料(例如金屬)填充開口以形成源極/汲極接觸58和閘極電極60接觸。在一些實施例中, 源極/汲極接觸58和閘極電極接觸60包含選自鋁、銅、鈦和鎢的一種或多種金屬。在一些實施例中, 在沉積接觸金屬前形成阻擋層於開口中。

【0045】 第24-31圖繪示根據本揭露之部分實施例的製造場效電晶體半導體裝置200的另一種方法。用於形成根據本實施例的場效電晶體的許多操作與第15-23圖中描述的方法相同或類似。主要區別在於, 第15-23圖繪示先形成閘極的方法, 第24-31圖繪示後形成閘極的方法。

【0046】 如第24圖所示, 使用沉積、光刻和蝕刻操作在半導體基板40上形成遮罩70。可以透過沉積遮罩材料層(例如氧化矽和/或氮化矽)並且圖案化沉積的遮罩材料層來形成遮罩。半導體基板40可以由本文揭露的任何材料形成。

【0047】 如第25圖所示, 透過將摻雜劑注入到半導體基

板40中，分別在遮罩70相對兩側上形成間隔開的源極/汲極區域46。在一些實施例中，源極/汲極區域46包含濃度大於 10^{20} 原子·公分(10^{20} atoms·cm⁻³)的摻雜劑。

【0048】 參考第26圖，在源極/汲極區域46上形成厚度為約3奈米至約30奈米的第一金屬層50。在部分實施例中，第一金屬層50的厚度在約6奈米至約14奈米的範圍內。在一些實施例中，第一金屬層50是選自由鎳、鉑、金、鈹、釷、鈦、鋇和矽組成的群組中的至少一種。

【0049】 在第一金屬層50上形成第二金屬層52，其厚度約為3奈米至約30奈米。在部分實施例中，第二金屬層52的厚度範圍為約5奈米至約15奈米。在一些實施例中，第二金屬層52是選自由鎳、鉑、金、鈹、釷、鈦、鋇和矽組成的群組中的至少一種。第二金屬是與第一金屬不同的金屬。

【0050】 在一些實施例中，透過光刻和蝕刻操作去除沉積在遮罩70上表面上之部分的第一金屬層50和部分的第二金屬層52，從而將第一金屬層50和第二金屬層52限制為覆蓋於源極/汲極區域46之上。

【0051】 如第27圖所示，在一些實施例中，在沉積第二金屬層之後，執行微波激活退火操作以形成與源極/汲極區域46接觸的合金。微波激活退火操作包含將微波輻射72施加到半導體基板40、第一金屬層50和第二金屬層52。在一些實施例中，微波輻射在約1GHz至約30GHz的頻率範圍和約0.6kW至約4.4kW的功率下施加約40秒至約240秒。在其它實施例中，微波輻射以約1.2kW至約2.2kW的功率施加

約80秒至約120秒。在部分實施例中，半導體裝置200在惰性氣體(例如氮氣氣體)中暴露於微波輻射。

【0052】 如第28圖所示，將微波輻射施加到半導體裝置200導致半導體裝置200(包含第一金屬層50和第二金屬層52)的局部加熱，如本文關於第7圖、第8圖、第20圖和第21圖所示，以產生三元合金層54。

【0053】 如第29圖所示，去除遮罩70，並且在半導體基板40上形成閘極介電層42和閘極電極45。透過適當的圖案化操作對閘極電極45進行圖案化，包含光刻和蝕刻操作以形成閘極電極。

【0054】 閘極介電層42由半導體基板材料的氧化物或氮化物形成，例如在一些實施例中為氧化矽或氧化鋯。在一些實施例中，透過熱氧化半導體基板的上表面形成氧化物，而在其他實施例中，透過包含化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積的沉積操作形成氧化物。在一些實施例中，閘極介電層42包含一層或多層高介電材料。高介電材料，例如，包含二氧化鈺(HfO_2)、矽氧化鈺(HfSiO)、氮氧矽化鈺(HfSiON)、鉭氧化鈺(HfTaO)、鈦氧化鈺(HfTiO)、鋯氧化鈺(HfZrO)、氧化鋯(zirconium oxide)、氧化鋁(aluminum oxide)、氧化鈦(titanium oxide)、二氧化鈺-氧化鋁($\text{HfO}_2\text{-Al}_2\text{O}_3$)合金，其它合適的高介電材料和/或透過沉積操作形成的其組合，其中，沉積操作包含化學氣相沉積、低壓化學氣相沉積、等離子體增強化學氣相沉積。在一些實施例中，閘極介電層42包含在

通道層和介電材料之間形成的界面層(未繪示)。

【0055】 在一些實施例中，閘極電極45包含一個或多個導電材料層，例如多晶矽(polysilicon)、鋁(Al)、銅(Cu)、鈦(Ti)、鉭(Ta)、鎢(W)、鈷(Co)、鉬(Mo)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、氮化鈦(TiN)、氮化鎢(WN)、鋁化鈦(TiAl)、氮化鋁鈦(TiAlN)、氮化碳鉭(TaCN)、碳化鉭(TaC)、氮化矽鉭(TaSiN)、金屬合金或其它合適的材料和/或其組合。

【0056】 在本揭露的部分實施例中，一個或多個功函數調整層(未繪示)位於閘極介電層42和閘極電極45之間。

【0057】 如第30圖所示，在一些實施例中，在閘極電極45和源極/汲極區域46上形成層間介電質56。

【0058】 如第31圖所示，在一些實施例中，使用光刻和蝕刻操作形成開口於層間介電質56和閘極介電層42中，並於三元合金層54上方，且形成開口在閘極電極45上方，其中，開口係用導電材料填滿，使用例如形成源極/汲極接觸58和閘極電極60接觸的金屬。在一些實施例中，源極/汲極接觸58和閘極電極60包含從由鋁、銅、鈦和鎢組成的群組中的一種或多種金屬。在一些實施例中，在沉積接觸金屬之前，於開口中形成阻擋層。

【0059】 本揭露部分實施例的方法適用於平面電晶體裝置和鰭式場效電晶體裝置。第32A-34B繪式根據本揭露部分實施例之製造鰭式場效電晶體裝置300的方法。

【0060】 在第32A圖中繪示鰭式場效電晶體裝置300的

平面圖(俯視圖)。鰭式場效電晶體裝置300包含設置在鰭狀結構80上的閘極電極結構85。第32B圖是對應於第32A圖中A-A'線的剖視圖。第32C圖是對應於第32圖中B-B'線的剖視圖。第32D圖是對應於第32圖中C-C'線的剖視圖。

【0061】 如第32A-32D圖所示，閘極電極結構85包含閘極電極84、絕緣閘極側壁86和閘極介電層88。鰭狀結構80從層間介電質90中突出。在部分實施例中，鰭狀結構80係透過圖案化半導體基板92而形成。鰭狀結構80包含在閘極電極結構85的相對側上的源極/汲極區域82和在閘極電極結構85下面的通道區域83。透過光刻和蝕刻操作去除沉積在閘極電極84上和沉積在閘極絕緣側壁86上表面的部分第一金屬層94和部分第二金屬層96，從而將第一金屬層94和第二金屬層96限制為覆蓋在源極/汲極區域82上。通道區域83是從層間介電層90中突出的鰭狀結構80的一部分。

【0062】 在源極/汲極區域82上形成第一金屬層94，在第一金屬層94上形成第二金屬層96。如第19圖和第26圖所描述，在部分實施例中，第一金屬層94形成為約3奈米至約30奈米的厚度，並且在其他實施例中，第一金屬層94的厚度在約6奈米至約14奈米的範圍內。在一些實施例中，第一金屬層94是選自由鎳、鉑、金、鈹、釷、鈦、鋇和矽組成的群組中的至少一種。第二金屬層96在第一金屬層94上形成為約3奈米至約30奈米的厚度。在某些實施例中，第二金屬層96的厚度在約5奈米至約15奈米的範圍內。在一些實施例中，第二金屬層96是選自由鎳、鉑、金、鈹、釷、鈦、

鍍和矽組成的群組中的至少一種。第二金屬是與第一金屬不同的金屬。

【0063】 第33A圖是對應於第32A圖中B-B'線的剖面圖。第33B圖是對應於第32A圖中的C-C'線的剖視圖，執行微波激活退火操作以形成與源極/汲極區域82接觸的合金。微波激活退火操作包含將微波輻射72施加到鰭狀結構80、第一金屬層94和第二金屬層96。在一些實施例中，微波輻射在約1GHz至約30GHz的頻率範圍以及約0.6kW至約4.4kW的功率下施加約40秒至約240秒。在其它實施例中，以約1.2kW至約2.2kW的功率施加約80秒至約120秒。在某些實施例中，鰭式場效電晶體裝置300在惰性氣體（例如氬氣氣體）中暴露於微波輻射。

【0064】 如第34A圖第34B圖所示，將微波輻射施加到鰭式場效電晶體裝置300會引起鰭式場效電晶體裝置300(包含第一金屬層94和第二金屬層96)的局部加熱，如本文關於第20圖、第21圖、第27圖和第28圖所述，以產生三元合金層98。第34A圖對應於第32A圖的B-B'線。第34B圖對應於第32A圖的C-C'線。

【0065】 應當理解，可以在本文描述的過程之前，期間和之後提供附加操作，並且對於該方法的附加實施例，可以替換或消除上述操作中的一些操作。操作/過程的順序可以是可互換的。還應當理解，所示的裝置經歷進一步處理以形成各種特徵，例如互連金屬層，介電質層，鈍化層等。

【0066】 在一些實施例中，當半導體裝置10、100、200

和鱈式場效電晶體裝置300暴露於微波激活退火時，半導體裝置10、100、200和鱈式場效電晶體裝置300係設置在半導體晶片400上。如第35圖所示，在部分實施例中，半導體晶片400設置在微波系統410中。微波系統410可以包含微波發生器420，微波發生器420以約0.6kW至約4.4kW的功率產生在約1GHz至約30GHz範圍內的頻率的微波460，以及處理室430，其使半導體晶片400暴露於微波輻射。處理室430包含設置在半導體晶片400的相對側上的多個感受板440和石英板450。在一些實施例中，感受板440由諸如摻雜矽或摻雜碳化矽的半導體材料形成。

【0067】 快速熱退火可以降解金屬表面以及合金接觸和半導體基板之間的界面。依據本揭露部分實施例的微波活化退火可以防止由快速熱退火引起的界面粗糙度和嚴重的附聚作用(agglomeration)。根據本揭露部分實施例的微波激活退火提供比快速熱退火在更低的溫度下均勻加熱。微波激活退火可以提供具有改進的接面界面、表面品質和降低的接觸電阻的淺接面。與快速熱退火相比，微波激活退火的相對低的溫度還抑制從源極/汲極區域的摻雜劑擴散。

【0068】 在某些實施例中，根據本揭露的微波激活退火可以改善p型場效電晶體裝置中的矽、鍺、矽鍺半導體基板上的肖特基接觸，並且可以改善n型場效電晶體中的矽、鍺、矽鍺半導體基板上的歐姆接觸。

【0069】 根據本揭露之一態樣係提供一種製造半導體裝置的方法，包含下列步驟。先形成第一金屬層於半導體基板

上，再形成第二金屬層於第一金屬層上，其中第二金屬層由與第一金屬層不同的金屬形成。之後，施加微波輻射於半導體基板、第一金屬層以及第二金屬層，以形成合金，其包含第一金屬層、第二金屬層以及半導體基板的成分。

【0070】 根據本揭露之另一態樣係提供一種製造半導體裝置的方法，包含下列步驟。先形成閘極結構於半導體基板的第一區域，接著，形成源極/汲極區域於半導體基板的第二區域，其中第二區域位於第一區域的相對側上。然後，形成第一金屬層於源極/汲極區域，之後，形成第二金屬層於第一金屬層上，其中第二金屬層由與第一金屬層不同的金屬形成。最後，施加微波輻射於半導體基板、第一金屬層以及第二金屬層，以形成合金，其包含第一金屬層、第二金屬層以及半導體基板的成分。

【0071】 根據本揭露之另一態樣係提供一種製造半導體裝置的方法，包含下列步驟。首先，在半導體基板中形成一對間隔開的源極/汲極區域。接著，在源極/汲極區域上形成第一金屬層，之後，在第一金屬層上形成第二金屬層，其中，第二金屬層由與第一金屬層不同的金屬形成。施加微波輻射於半導體基板、第一金屬層和第二金屬層，以在源極/汲極區域上形成包含第一金屬層、第二金屬層和半導體基板的成分的合金。之後，在半導體基板上方形形成高介電絕緣層，並且在間隔開的源極/汲極區域之間的區域中的高介電絕緣層上方形成導電金屬層。接著，在源極/汲極區域上形成導電接觸。

【0072】 前述概述了幾個實施例或示例的特徵，使得本領域具通常知識者可以更好地理解本揭露的方面。本領域具通常知識者應當理解，他們可以容易地使用本揭露作為設計或修改，以用於實現與本文介紹的實施例或示例的相同目和/或實現相同優點的其他過程和結構的基礎。本領域具通常知識者還應當認識到，這樣的等同結構不脫離本揭露的精神和範圍，並且在不脫離本揭露的精神和範圍的情況下，它們可以進行各種改變，替換和更改。

【符號說明】

【0073】

S201、S202、S203、S301、S302、S303、S304、S305、
S401、S402、S403、S404、S405、S406、S407：步驟
10、100、200：半導體裝置
300：鰭式場效電晶體裝置
12、40、92：半導體基板
14：遮罩層
15：光阻層
16、26：開口
18、50、94：第一金屬層
20、52、96：第二金屬層
22、54：合金層
24：絕緣層
28：第二光阻層

- 30、34：第一接觸層
- 32、36：第二接觸層
- 33：上接觸層
- 37：下接觸層
- 41：閘極電極結構
- 42、88：閘極介電層
- 44：閘極電極層
- 45、60、84：閘極電極
- 46、82：源極/汲極區域
- 48：閘極絕緣側壁
- 56、90：層間介電質
- 58：源極/汲極接觸
- 60：閘極接觸
- 70：遮罩
- 72：微波輻射
- 80：鰭狀結構
- 83：通道區域
- 85：閘極電極結構
- 86：絕緣閘極側壁
- 400：半導體晶片
- 410：微波系統
- 420：微波發生器
- 430：製成室
- 440：感受板

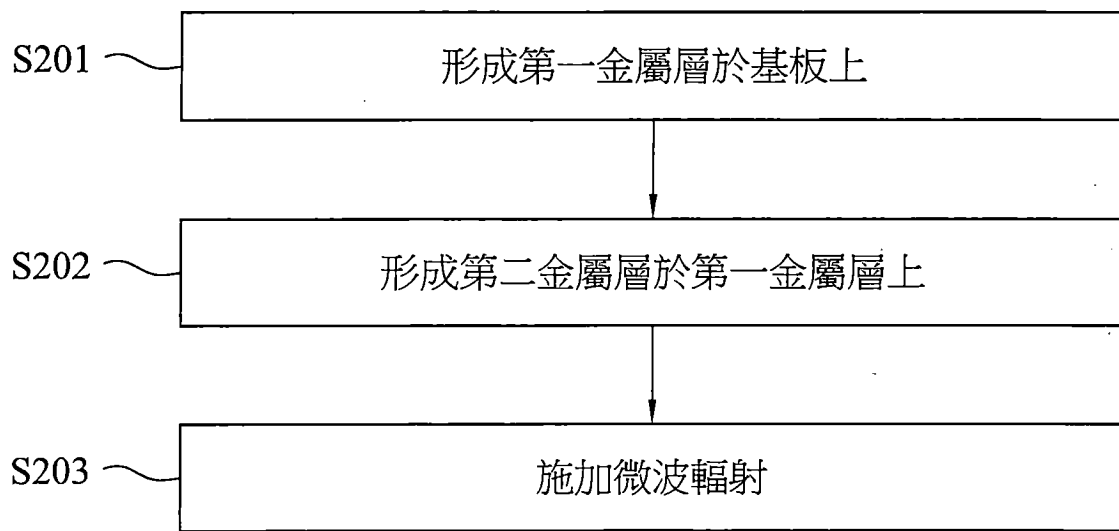
450：石英板

A-A'、B-B'、C-C'：剖線

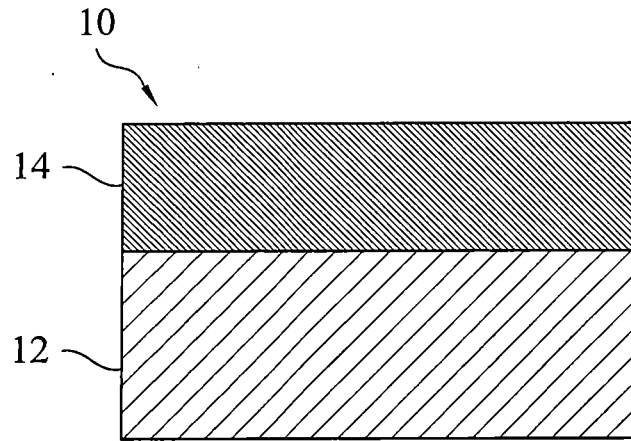
【發明申請專利範圍】

【第 1 項】一種製造半導體裝置的方法，包含：
形成一第一金屬層於一半導體基板上；
形成一第二金屬層於該第一金屬層上，其中該第二金屬層由與該第一金屬層不同的金屬形成；以及
施加微波輻射於該半導體基板、該第一金屬層以及該第二金屬層，以形成一合金，其包含該第一金屬層、該第二金屬層以及該半導體基板的成分。

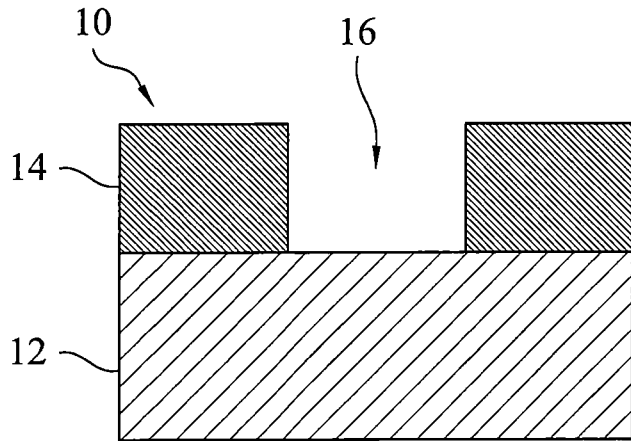
圖式



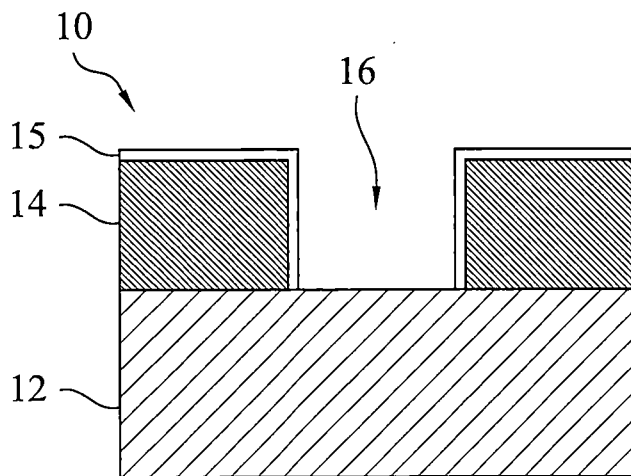
第 1 圖



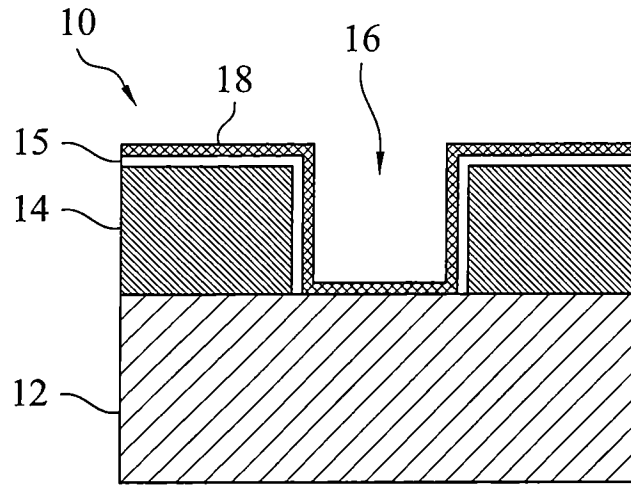
第 2 圖



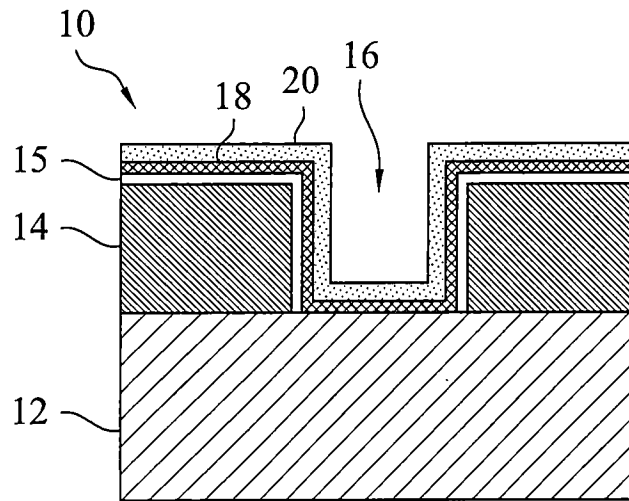
第 3 圖



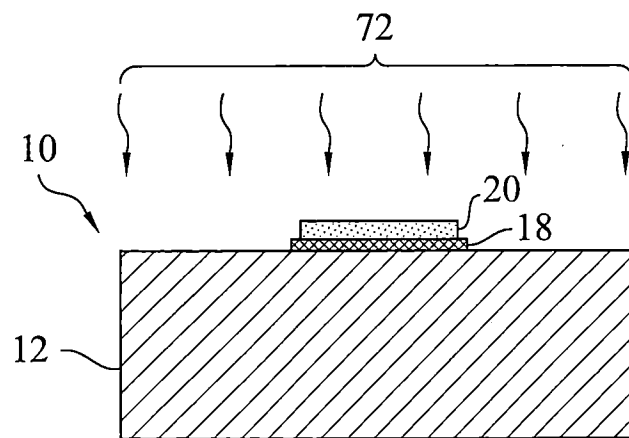
第 4 圖



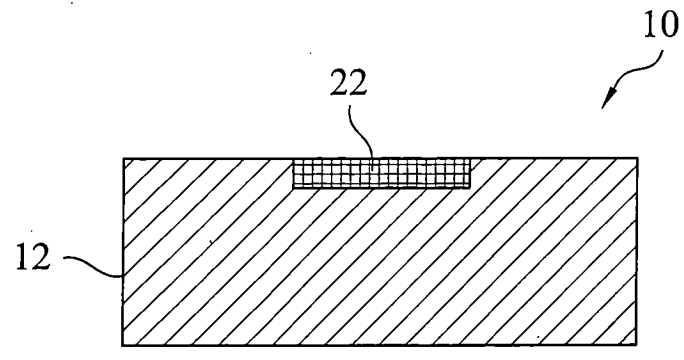
第 5 圖



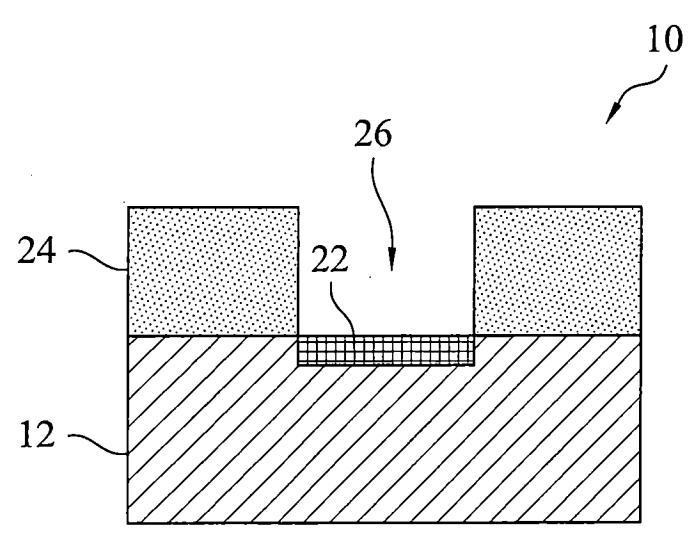
第 6 圖



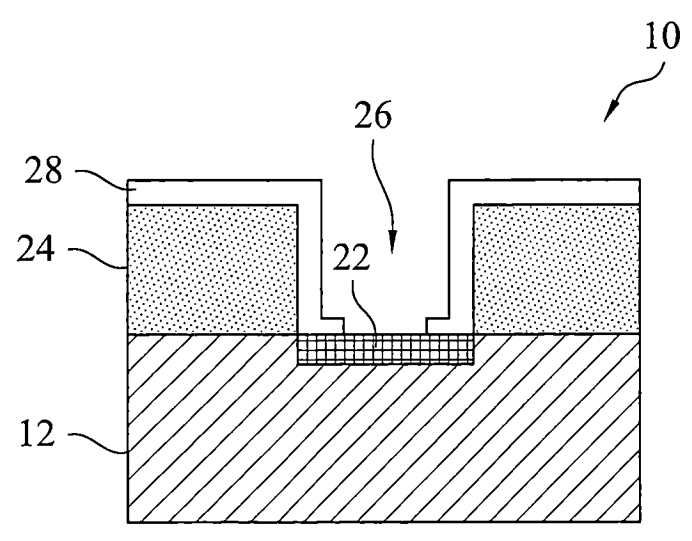
第 7 圖



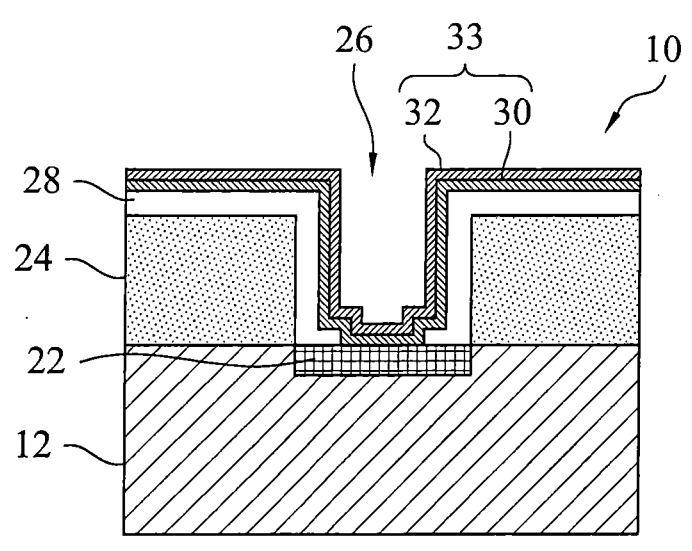
第 8 圖



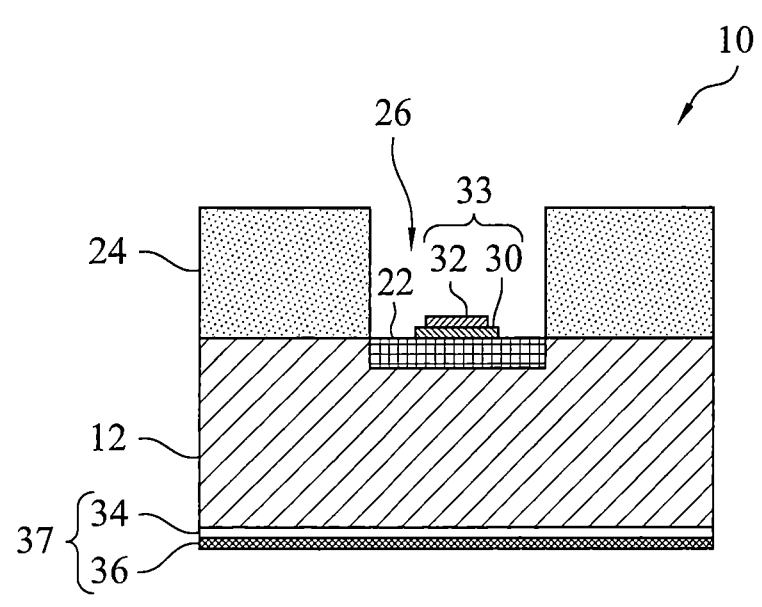
第 9 圖



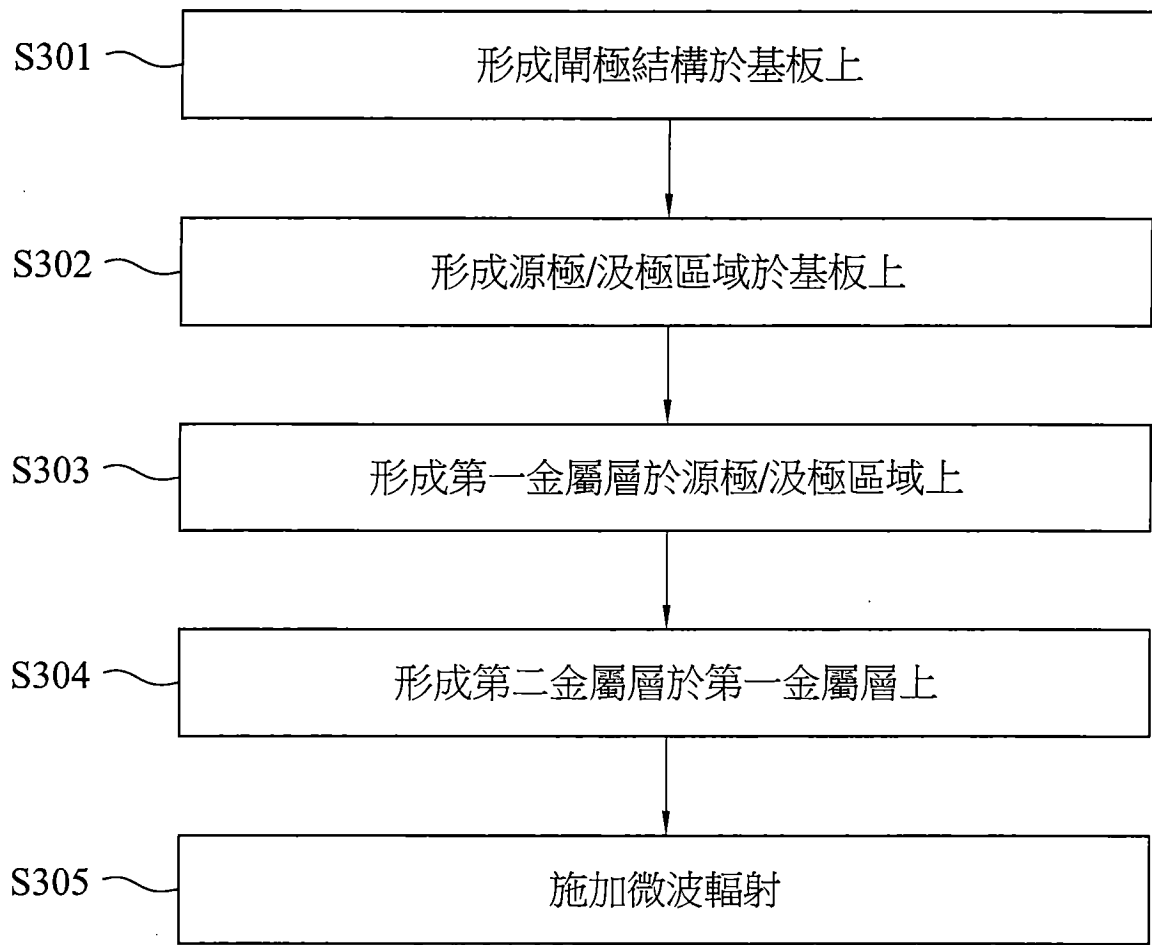
第 10 圖



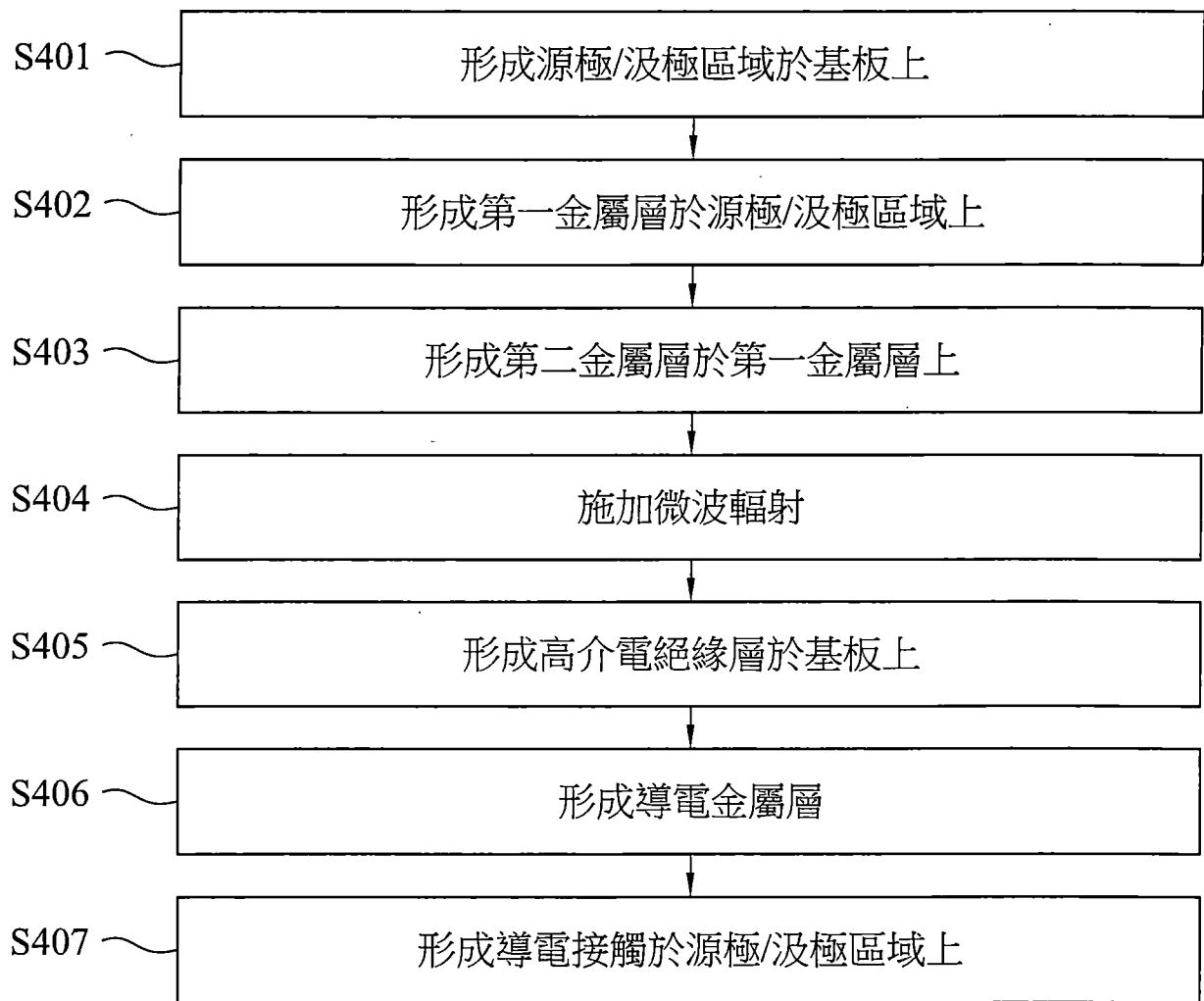
第 11 圖



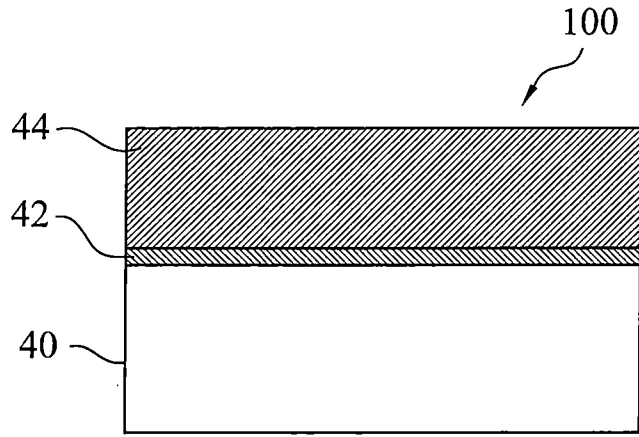
第 12 圖



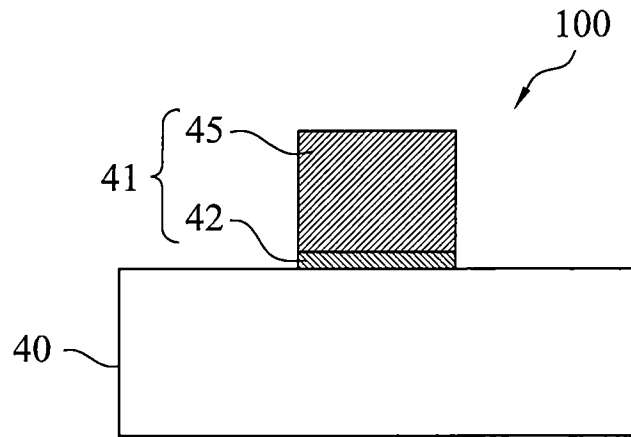
第 13 圖



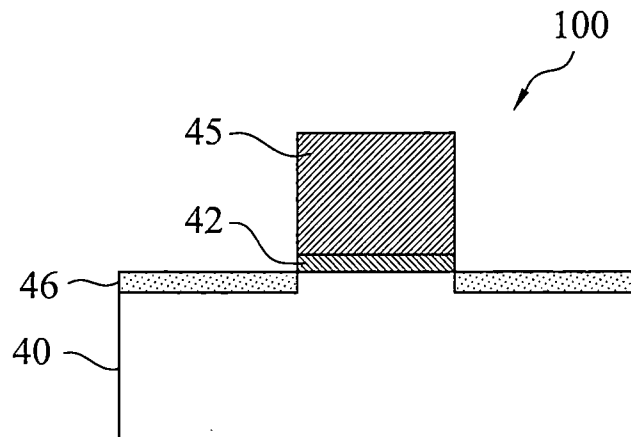
第 14 圖



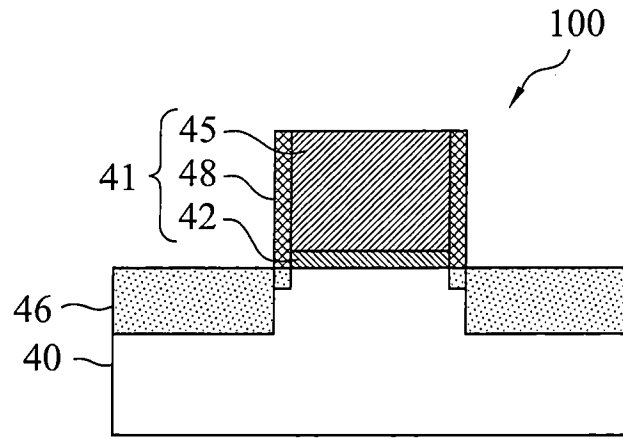
第 15 圖



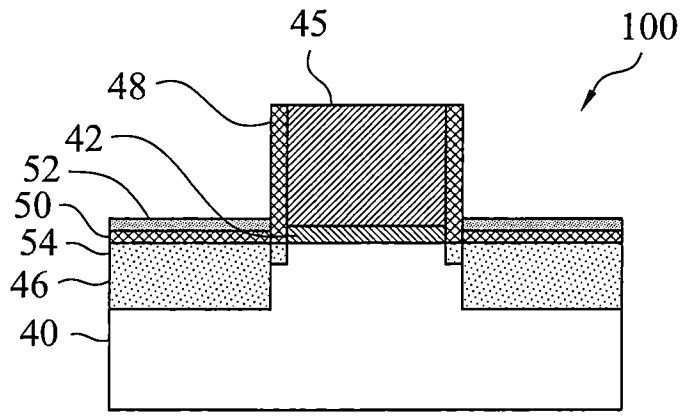
第 16 圖



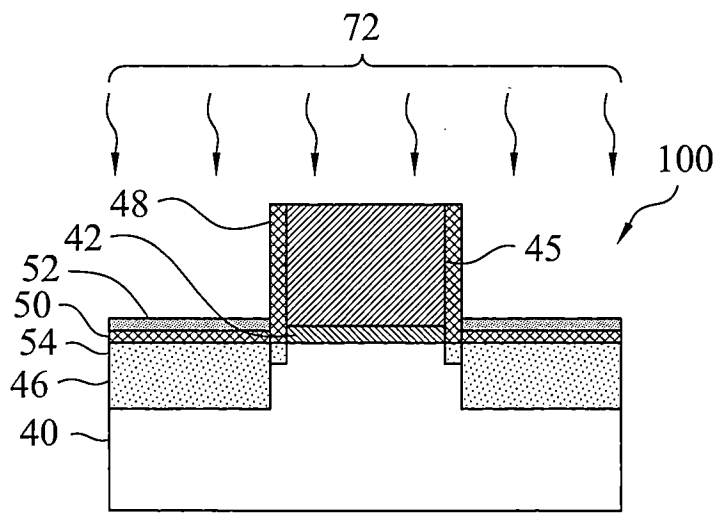
第 17 圖



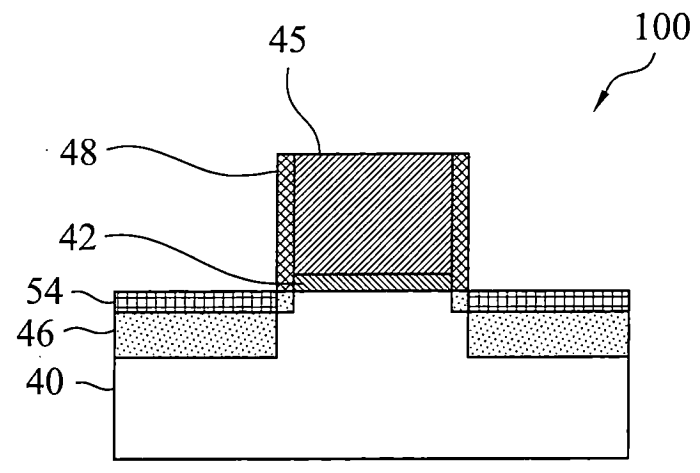
第 18 圖



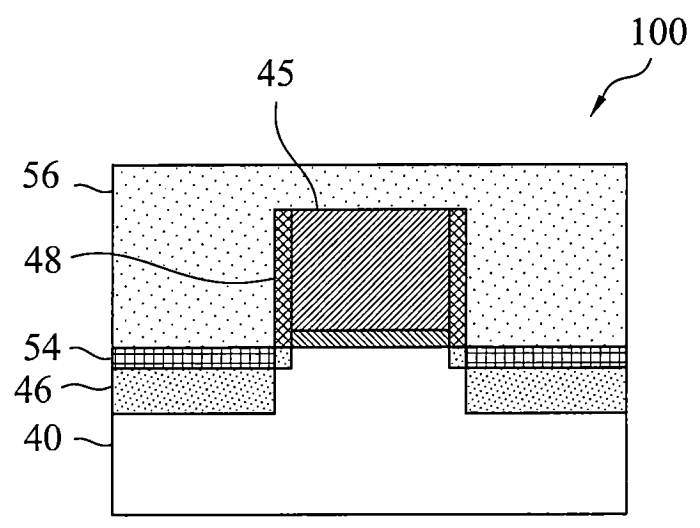
第 19 圖



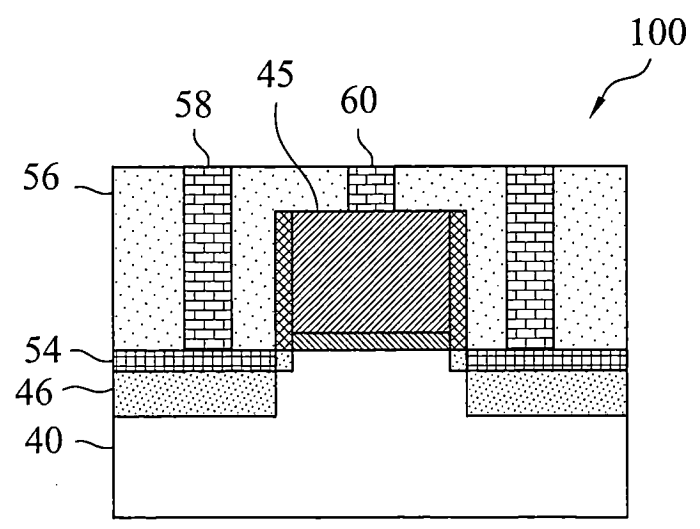
第 20 圖



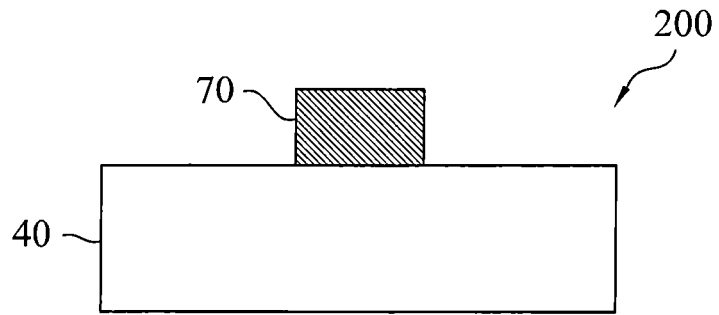
第 21 圖



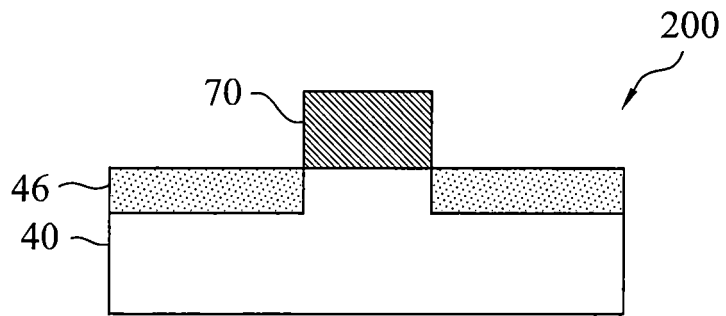
第 22 圖



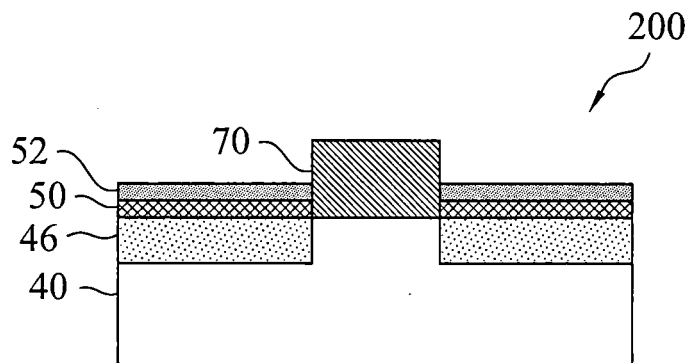
第 23 圖



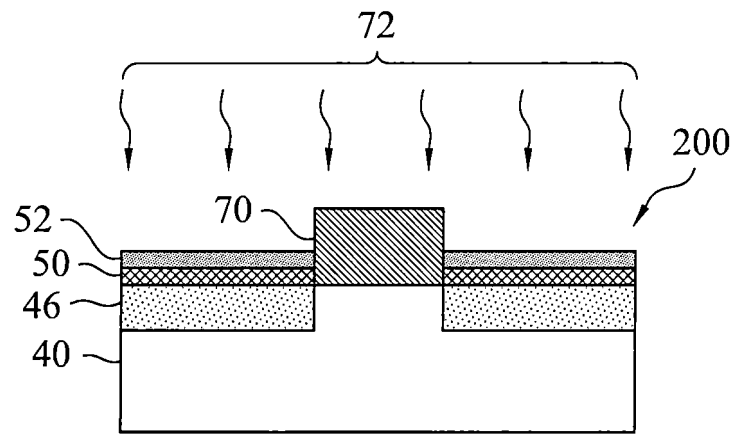
第 24 圖



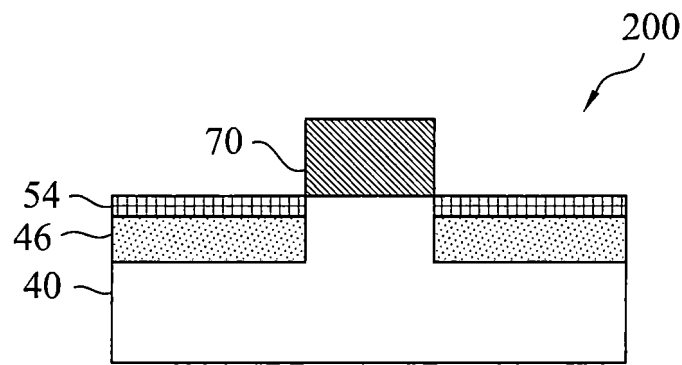
第 25 圖



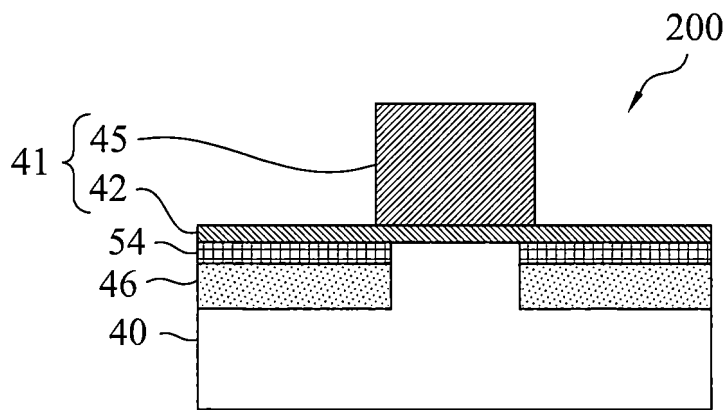
第 26 圖



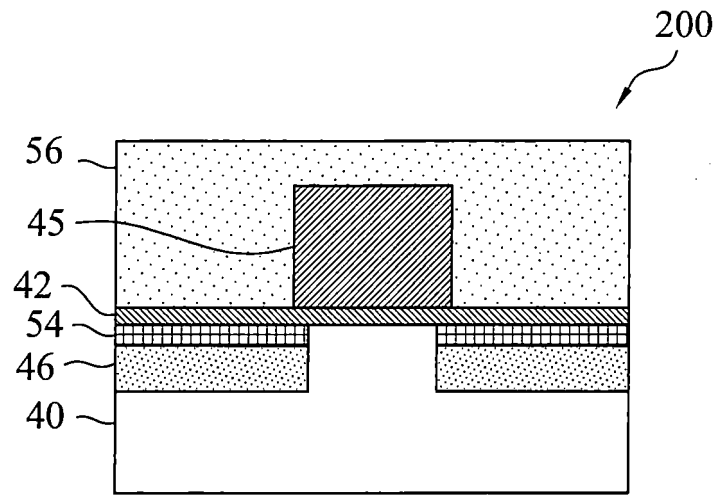
第 27 圖



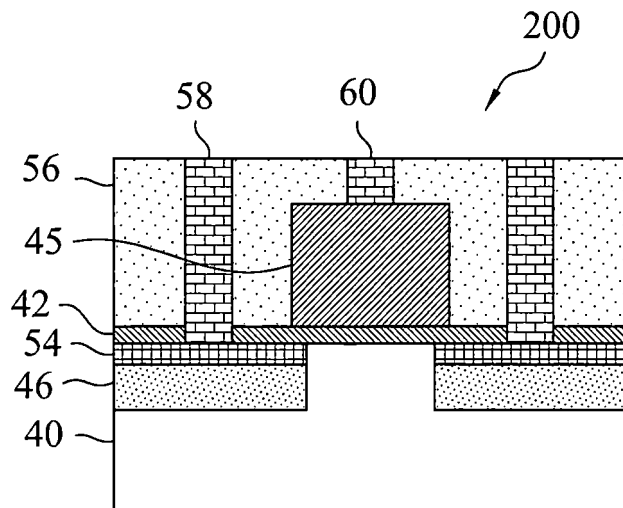
第 28 圖



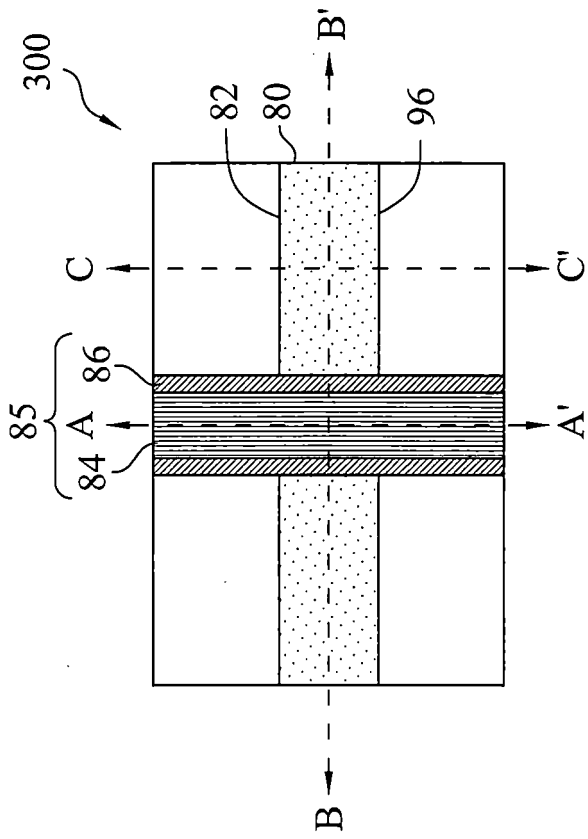
第 29 圖



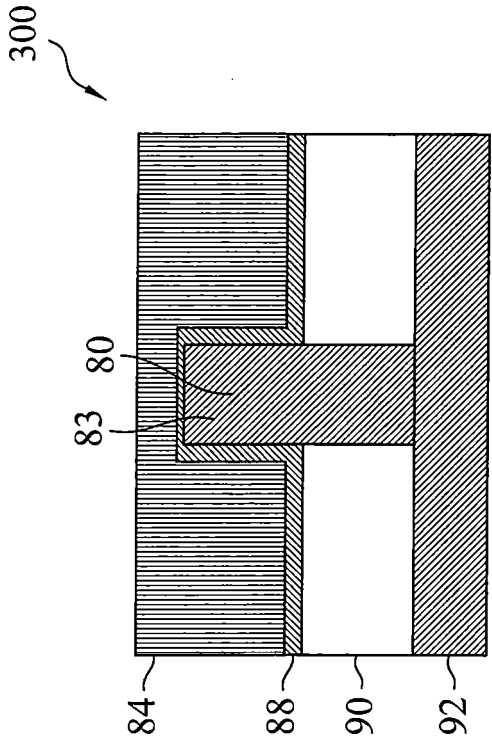
第 30 圖



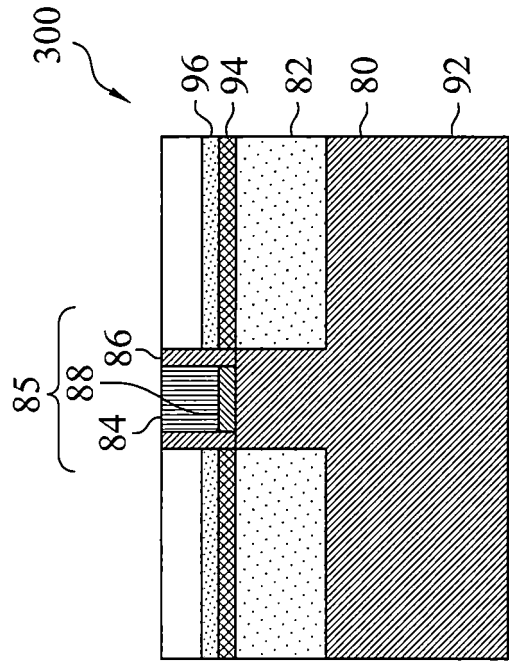
第 31 圖



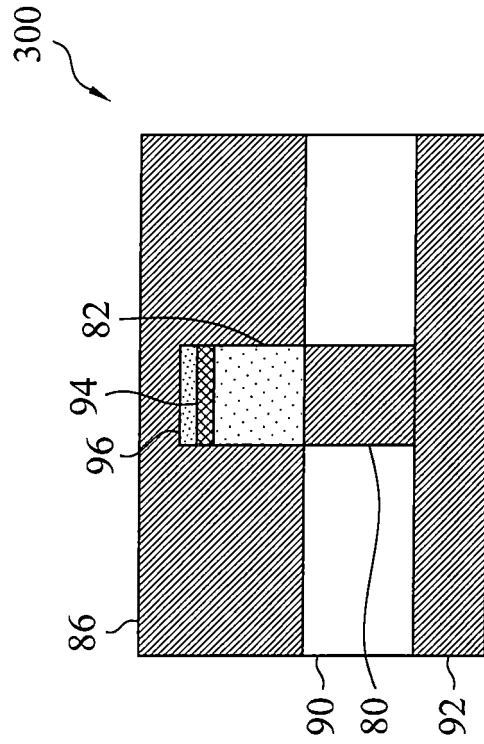
第 32A 圖



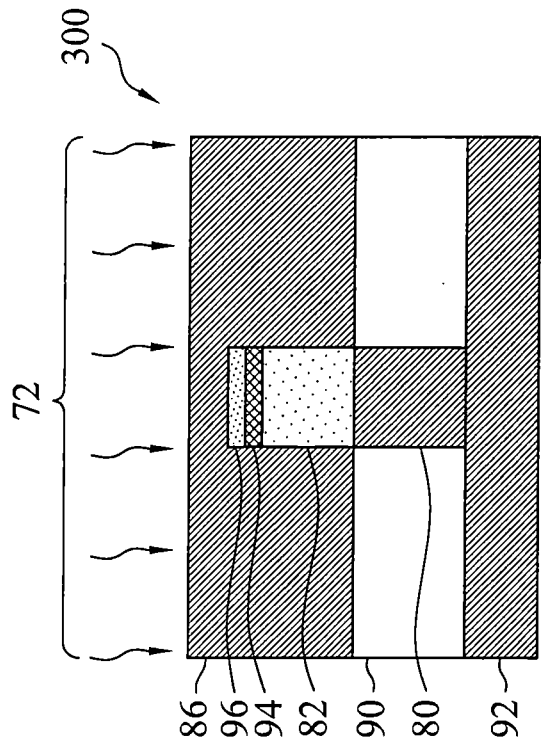
第 32B 圖



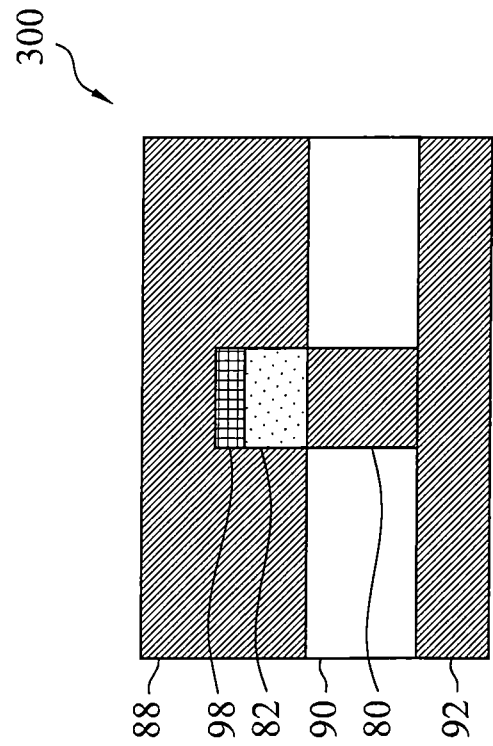
第 32C 圖



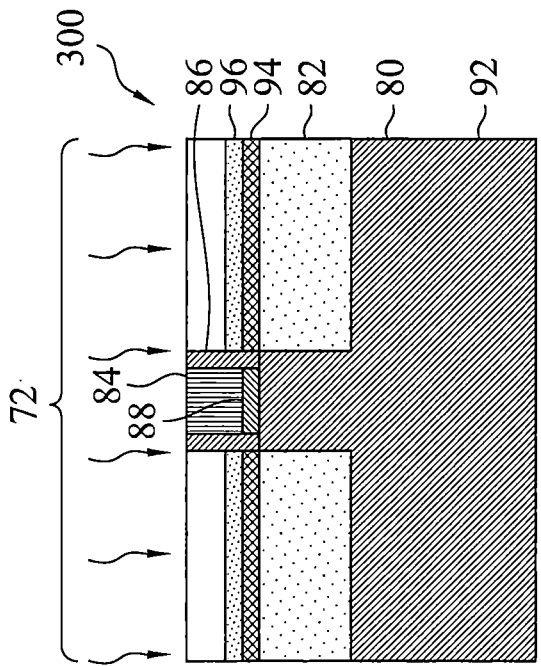
第 32D 圖



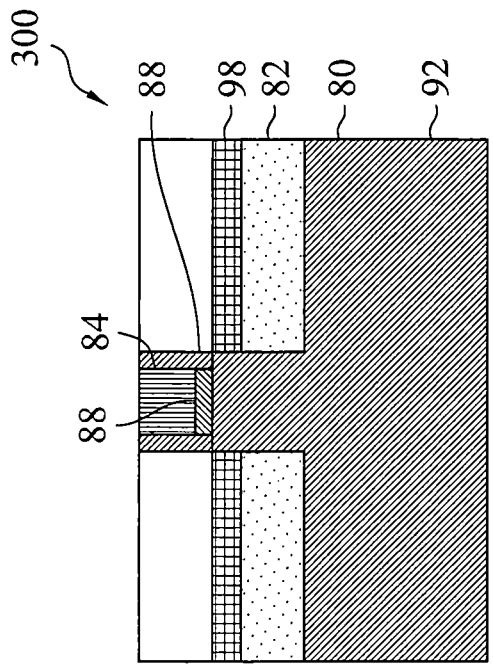
第 33B 圖



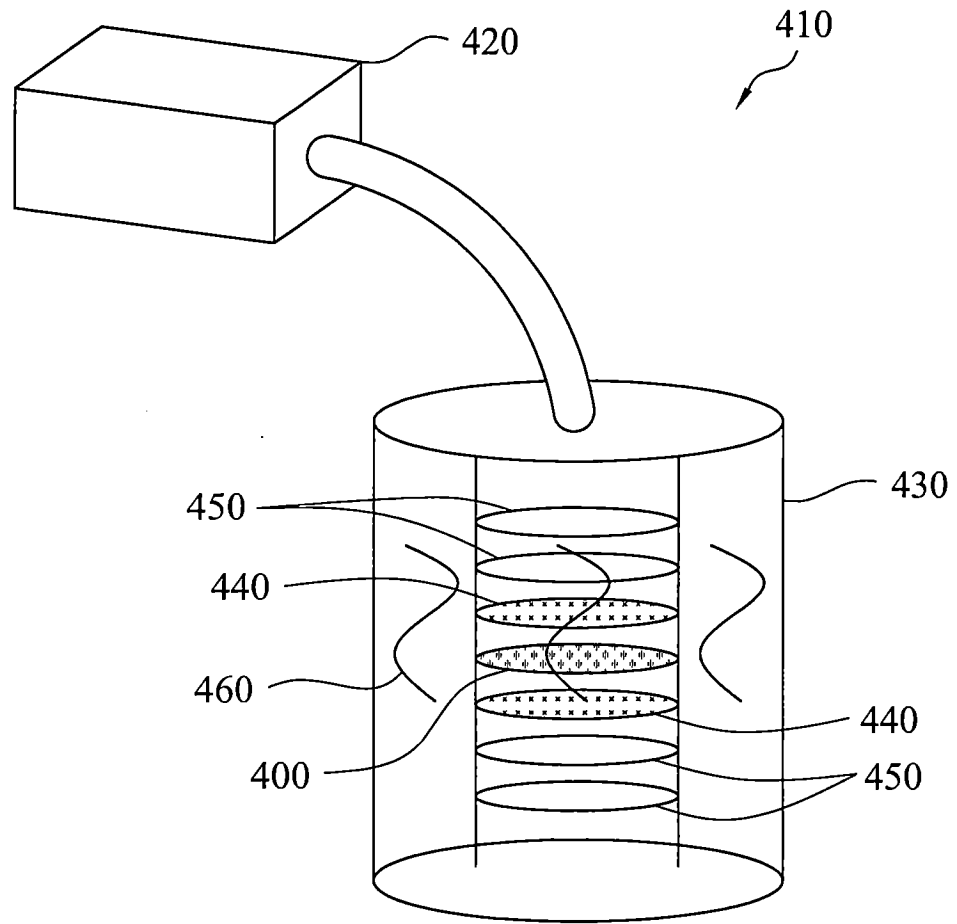
第 34B 圖



第 33A 圖



第 34A 圖



第 35 圖