



(21) 申請案號：106129203

(22) 申請日：中華民國 106 (2017) 年 08 月 28 日

(51) Int. Cl. : *H01L21/28 (2006.01)*

(30) 優先權：2016/11/29 美國 62/427,706

2017/07/13 美國 15/649,331

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：侯拓宏 HOU, TUO HUNG (TW)；潘正聖 PAN, SAMUEL C. (TW)；劉邦軒 LIU,
PANG SHIUAN (TW)

(74) 代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：1 項 圖式數：23 共 37 頁

(54) 名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) 摘要

一種包含場效電晶體裝置的半導體裝置，包含基板與在基板上的二維材料所製成的通道結構。多個源極與汲極接觸部分地形成於二維材料上。第一介電層至少部分地形成在通道結構上且至少部分地形成在源極與汲極接觸上。第一介電層用以捕獲多個電荷載子。第二介電層形成於第一介電層上，且閘極電極形成於第二介電層上。

A semiconductor device including a field effect transistor (FET) device includes a substrate and a channel structure formed of a two-dimensional (2D) material over the substrate. Source and drain contacts are formed partially over the 2D material. A first dielectric layer is formed at least partially over the channel structure and at least partially over the source and drain contacts. The first dielectric layer is configured to trap charge carriers. A second dielectric layer is formed over the first dielectric layer, and a gate electrode is formed over the second dielectric layer.

指定代表圖：

符號簡單說明：

10 . . . 流程圖

S11、S12、S13、

S14、S15 . . . 操作

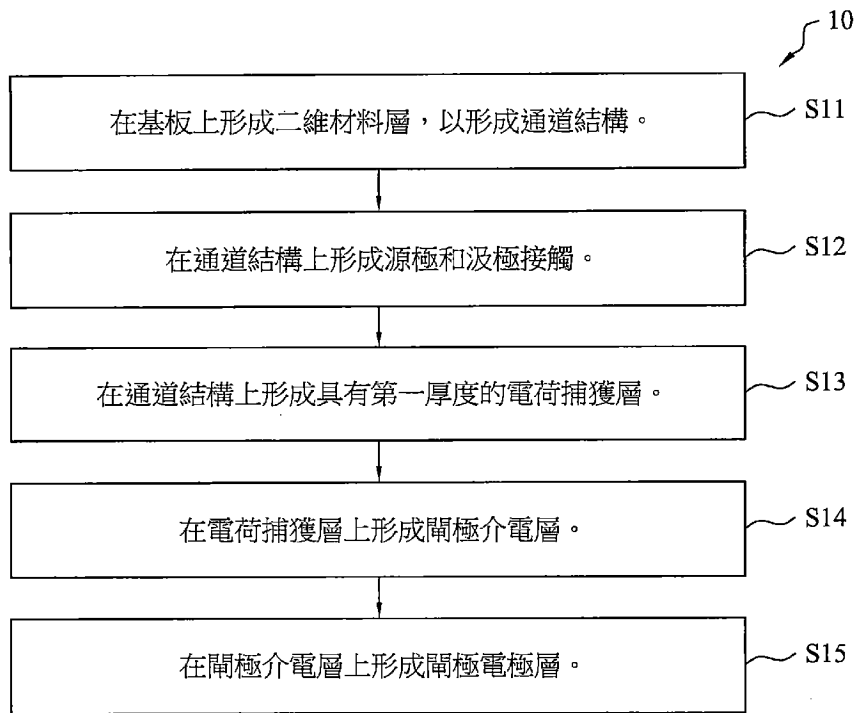


圖 1

【發明摘要】**【中文發明名稱】** 半導體裝置的製造方法**【英文發明名稱】** METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE**【中文】**

一種包含場效電晶體裝置的半導體裝置，包含基板與在基板上的二維材料所製成的通道結構。多個源極與汲極接觸部分地形成於二維材料上。第一介電層至少部分地形成在通道結構上且至少部分地形成在源極與汲極接觸上。第一介電層用以捕獲多個電荷載子。第二介電層形成於第一介電層上，且閘極電極形成於第二介電層上。

【英文】

A semiconductor device including a field effect transistor (FET) device includes a substrate and a channel structure formed of a two-dimensional (2D) material over the substrate. Source and drain contacts are formed partially over the 2D material. A first dielectric layer is formed at least partially over the channel structure and at least partially over the source and drain contacts. The first dielectric layer is configured to trap charge carriers. A second dielectric layer is formed over the first dielectric layer, and a gate electrode is formed over the second dielectric layer.

【指定代表圖】圖1

【代表圖之符號簡單說明】

10：流程圖

S11、S12、S13、S14、S15：操作

【發明說明書】

【中文發明名稱】半導體裝置的製造方法

【英文發明名稱】METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本揭露實施例是有關於一種半導體積體電路，且特別是有關於一種具有二維(two-dimensional, 2D)通道的碰撞離子化(impact ionization)電晶體。

【先前技術】

【0002】 不論結構為何，採用先進技術節點(例如低於7奈米)的半導體裝置，例如超薄主體(ultra-thin body)絕緣層上覆矽(SILICON ON INSULATOR, SOI)或鰭式場效電晶體(fin field-effect transistor, FinFET)結構，可能具有相當薄的通道厚度(例如在約0.5奈米至5奈米的範圍內)。對這些裝置而言，二維層狀材料被認為是用來替代矽的強力候選者。感興趣的二維材料具有期望的性質，例如，包含自組裝分子單層膜(例如厚度小於1奈米)、高且對稱的電子與電洞遷移率(例如大於200平方公分/每伏每秒($\text{cm}^2/\text{V}\cdot\text{sec}$))與無殘缺分子鍵結之理想的表面特性。然而，二維場效電晶體的性能可能特別地受限於被非理想金屬和/或二維材料所引起的接觸阻抗(例如具有蕭特基位障)。對二維場效電晶體而言，減少接觸阻抗的方法(例如源極與汲極(source and drain, SD)接觸阻抗)可能在提供足夠的

汲極電流(例如大於通道寬度的1微安培/微米($\mu\text{A}/\mu\text{m}$))上起到重要作用。

【0003】 二維半導體預期成為超薄主體電晶體的通道材料，且通常為數層厚，且以微弱層間凡得瓦爾力(van der Waals attraction)存在作為強鍵結層的堆疊。微弱層間吸引力允許層被機械地或化學地剝離成單獨的原子薄層。例示的二維材料包含石墨烯(graphene)、石墨炔(graphyne)、硼烯(borophene)、矽烯(silicene)、鍺酸鉛(germinate)、過渡金屬二硫族化物(transition metal dichalcogenide, TMDC)(例如二硫化鉬(molybdenum disulfide, MoS_2)或二硒化鎢(tungsten selenide, WSe_2))、黑磷(black phosphorus)等。

【0004】 需要可以同時實現在二維材料(例如TMDC)通道場效電晶體中的期望的次臨界斜率(sub-threshold slope)與導通電流的解決方案。

【發明內容】

【0005】 本揭露提出一種半導體裝置的製造方法，包含：在基板上形成二維材料層以形成通道結構；在通道結構上形成多個源極與汲極接觸；在通道結構上以第一厚度形成電荷捕獲層，以捕獲多個電荷載子，電荷捕獲層接觸一部分的源極與汲極接觸；在電荷捕獲層上形成閘極介電層；以及在閘極介電層上形成閘極電極層。

【0006】 為讓本揭露的上述特徵和優點能更明顯易懂，

下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0007】 從以下結合所附圖式所做的詳細描述，可對本揭露之態樣有更佳的了解。需注意的是，根據業界的標準實務，各特徵並未依比例繪示。事實上，為了使討論更為清楚，各特徵的尺寸都可任意地增加或減少。

【0008】 本技術涉及使用二維層狀材料來減少半導體元件，例如場效電晶體裝置，的源極-汲極接觸電阻，以形成裝置通道區域。舉例來說，具有TMDC通道的場效電晶體裝置形成了蕭特基金屬-TMDC接觸，在源側面的碰撞離子化會導致少數載子的產生。本技術引入電荷捕獲層以利於在源極區域附近的閘極介電質中捕獲少數載子。介於碰撞離子化和電荷捕獲之間的正回授引導出期望的特徵，例如快速電流的增加（例如次臨界斜率改善至50毫伏/十進數(mV/decade))與低接觸電阻。

[圖1]係繪示根據本揭露的一個或多個實施例之半導體裝置的製造方法的作業流程圖。

[圖2]係繪示根據本揭露的一個或多個實施例之圖1的方法的二維材料形成階段。

[圖3]係繪示根據本揭露的一個或多個實施例之圖1的方法的源極與汲極形成階段。

[圖4]係繪示根據本揭露的一個或多個實施例之圖1的方法的電荷捕獲層形成階段。

[圖5]係繪示根據本揭露的一個或多個實施例之圖案化與移除於圖4中形成的電荷捕獲層的一部分。

[圖6]係繪示根據本揭露的一個或多個實施例之圖1的方法的閘極介電層形成階段。

[圖7]係繪示根據本揭露的一個或多個實施例之圖1的方法的閘極電極形成階段。

[圖8]係繪示根據本揭露的一個或多個實施例之半導體裝置的製造方法的作業流程圖。

[圖9]係繪示根據本揭露的一個或多個實施例之圖8的方法的閘極電極形成階段。

[圖10]係繪示根據本揭露的一個或多個實施例之圖8的方法的閘極介電層形成階段。

[圖11]係繪示根據本揭露的一個或多個實施例之圖8的方法的光阻層形成與圖案化階段。

[圖12]係繪示根據本揭露的一個或多個實施例之圖8的方法的電荷捕獲層形成階段。

[圖13]係繪示根據本揭露的一個或多個實施例之圖8的方法的二維材料層形成階段。

[圖14]係繪示根據本揭露的一個或多個實施例之圖8的方法的源極與汲極形成階段。

[圖15]係繪示根據本揭露的一個或多個實施例之底閘極半導體裝置的例示結構。

[圖16]係繪示根據本揭露的一個或多個實施例之底閘極半導體裝置的例示結構。

[圖17]係繪示根據本揭露的一個或多個實施例之底閘極半導體裝置的例示結構。

[圖18]係繪示根據本揭露的一個或多個實施例之頂閘極半導體裝置的例示結構。

[圖19]係繪示根據本揭露的一個或多個實施例之頂閘極半導體裝置的例示結構。

[圖20]係繪示根據本揭露的一個或多個實施例之頂閘極半導體裝置的例示結構。

[圖21]係繪示根據本揭露的一個或多個實施例之二維金氧半場效電晶體裝置的例示結構。

[圖22]係繪示根據本揭露的一個或多個實施例之二維金氧半場效電晶體裝置中的碰撞離子化機制的概念性能帶圖。

[圖23]係繪示根據本揭露的一個或多個實施例之二維金氧半場效電晶體裝置中的電洞捕獲過程的概念性能帶圖。

【實施方式】

【0009】 以下的揭露提供了許多不同的實施例或例子，以實施所提供標的的不同特徵。以下描述之構件與安排的特定例子，以簡化本揭露。當然，這些僅僅是例子而不是用以限制本揭露。例如，在說明中，第一特徵形成在第二特徵之上方或之上，這可能包含第一特徵與第二特徵以直接接觸的方式形成的實施例，這也可以包含額外特徵可能形成在第一特徵與第二特徵之間的實施例，這使得第一特徵與第二特徵

可能沒有直接接觸。此外，本揭露可能會在各種例子中重複參考數字及/或文字。此重複是為了簡明與清晰的目的，但本身並非用以指定所討論的各種實施例及/或架構之間的關係。

【0010】 應理解的是下述揭露提供許多不同的實施例，舉例來說，可實施本發明的不同特徵。特定構件與排列的實施例或例子係用以簡化本揭露。當然，它們僅為例示而非意圖侷限本發明。舉例來說，元件尺寸並不限於揭露的範圍或數值，而可依製程條件及/或裝置所需的性質而定。此外，形成第一特徵於第二特徵上的敘述可能包含兩者直接接觸，或也可能兩者之間隔有其他額外特徵而非直接接觸。為了簡化與清楚說明，可能依不同比例任意繪示多種特徵。

【0011】 再者，在此可能會使用空間相對用語，例如「底下(beneath)」、「下方(below)」、「較低(lower)」、「上方(above)」、「較高(upper)」等等，以方便說明如圖式所繪示之一元件或一特徵與另一(另一些)元件或特徵之關係。這些空間上相對的用語除了涵蓋在圖式中所繪示的方向，也欲涵蓋裝置在使用或操作中不同的方向。設備可能以不同方式定位(例如旋轉90度或在其他方位上)，而在此所使用的空間上相對的描述同樣也可以有相對應的解釋。此外，用語「由...製成(made of)」指的是「包括(comprising)」或者「由...組成(consisting of)」。

【0012】 圖1係根據本揭露的一個或多個實施例之製造具有頂閘極的半導體裝置的作業流程圖10。流程圖10僅繪

示整個製造流程的相關部分。應理解的是，在如圖1所示的操作之前、期間與之後可以提供額外的操作，且以下描述的某些操作可以在本方法的額外的實施例中被替換或取消。操作/流程的順序可以互換。

【0013】 在圖1的操作S11，如圖2的X方向切面視圖20所示，在基板22上形成二維材料層24，以形成通道結構。舉例來說，在一些實施例中，基板22可為P型矽基板，其雜質濃度範圍約在 1×10^{15} 每立方公分(cm^{-3})至 $3 \times 10^{15} \text{cm}^{-3}$ 之間。在其他實施例中，基板為N型矽基板，其雜質濃度範圍約在 $1 \times 10^{15} \text{cm}^{-3}$ 至 $3 \times 10^{15} \text{cm}^{-3}$ 之間。在一些實施例中，矽基板的晶向(crystal orientation)為(100)。

【0014】 可選地，基板可包含其他基本半導體，例如鍺(germanium, Ge)、化合物半導體，化合物半導體包含IV-IV族化合物半導體，例如碳化矽(silicon carbide, SiC)與矽鍺(silicon germanium, SiGe)、與III-V族化合物半導體，例如砷化鎵(GaAs)、磷化鎵(GaP)、氮化鎵(GaN)、磷化銻(InP)、砷化銻(InAs)、銻化銻(InSb)、磷砷化鎵(GaAsP)、氮化鋁鎵(AlGaN)、砷化鋁銻(AlInAs)、砷化鋁鎵(AlGaAs)、砷化鎵銻(GaInAs)、磷化銻鎵(GaInP)和/或砷磷化鎵銻(GaInAsP)或其組合。在一個或多個實施例中，基板為絕緣層上覆矽(SILICON ON INSULATOR, SOI)基板的矽層。非晶基板，例如非晶矽或非晶碳化矽、或絕緣材料，例如二氧化矽，也可被使用來作為基板。基板可包含被雜質適當地摻雜的各種區域(例如P型或N型導電

率)。

【0015】 在一些實施例中，如X方向切面視圖20所示，二維材料層24是從二維材料形成且隨後形成通道、延伸與場效電晶體的源極/汲極區域。二維材料通常為數層厚，且以微弱層間凡得瓦爾力存在作為強鍵結層的堆疊，微弱層間凡得瓦爾力允許層被機械地或化學地剝離成單獨的原子薄層。在某些方面，被揭露的二維通道可為二維半導體，二維半導體包含TMDC，例如MoS₂、黑磷或石墨烯。在一些實施例中，二維半導體可包含單層或數層，且可具有範圍介於0.5奈米至100奈米之間的厚度。數層的二維半導體的一個有利的特徵為高電子遷移率(μ_e)值，其範圍介於約50至1000cm²/V-sec或甚至更高。應理解的是，當切割成與二維材料膜的典型厚度相當的低厚度(例如約2奈米)時，塊狀矽的遷移率可能急遽地下降。

【0016】 應理解的是，在許多積體電路(integrated circuits, ICs)中，減少了廣泛使用的金氧半場效電晶體裝置的閘極長度，以增加在積體電路中的電晶體的堆積密度且增加其速度性能。然而，閘極長度大幅地減少的電晶體會遭遇不期望的短通道效應，例如截止狀態漏電流的增加。抑制短通道效應的一種方式是，採用稱為超薄主體電晶體之厚度縮減的半導體通道。舉例來說，為了有效地抑制通道長度小於約20奈米的電晶體中的短通道效應的一種方法是，採用厚度縮減，例如小於5奈米，的半導體通道。厚度小於其閘極長度的三分之一或有時是四分之一的半導體通道的電晶

體通常稱之為超薄主體電晶體。超薄主體電晶體可採用超薄通道材料。

【0017】 二維材料，也稱之為單層或數層材料，為原子的數層的結晶材料，其為用於薄通道材料的極有希望的候選者。一種具有高遷移率的二維材料為黑磷 (black phosphorus, BP)。黑磷為層狀材料且黑磷的單層稱為磷烯 (phosphorus)。黑磷為在第一布里元區 (first Brillouin zone) 的伽瑪點 (Γ point) 具有直接能隙範圍約從單層的 1.5 電子伏特 (eV) 到五層堆疊的 0.59 eV 的半導體。

【0018】 在一些實施例中，可使用原子層沉積 (atomic layer deposition, ALD) 以二維材料，例如黑磷，來形成二維材料層。所描述的沉積方法僅為例示且並不是限制於超出特定討論的範圍之外。作為一個例示，可透過來自紅磷 (red phosphorus) 和/或作為礦化添加劑 (mineralization additive) 的錫 (tin) 與碘化錫 (tin-iodide) 的短程運輸反應 (short-way transport reaction) 來生長正交晶系 (orthorhombic) 的黑磷。在另一例示，黑磷可以在約 200 至 250 攝氏度的溫度範圍內的高壓 (例如約 13,000 公斤每平方公分 (kg/cm^2)) 之下以白磷 (white phosphorus) 合成。可藉由沉積時間來控制二維材料的厚度。在一個實施例中，磷烯的多層 (例如單層的厚度) 的週期約為 0.53 奈米。在一些實施例中，厚度的範圍可從一個單層至 20 個單層 (例如厚度約 10.6 奈米)。

【0019】 於圖 1 的操作 S12，如圖 3 的 X 方向切面視圖 30

所示，在通道結構24上形成源極與汲極接觸32與34。在一些實施例中，源極與汲極接觸材料包含來自元素表的至少一元素，元素表包含：鉬(Molybdenum, Mo)、鎢(tungsten, W)、鈦(titanium, Ti)、鋁(aluminum, Al)、鉭(tantalum, Ta)、銦(Strontium, Sr)、鈀(Palladium, Pd)、金(gold, Au)、銀(silver, Ag)、銅(copper, Cu)、鈦(hafnium, Hf)、鋯(zirconium, Zr)與鈮(niobium, Nb)。在一些實施例中，源極與汲極接觸形成具有蕭特基位障的蕭特基接觸。在一些實施例中，用於源極與汲極接觸的例示性的金屬包含合金，例如氮化鈦(TiN)、鈦鋁(TiAl)、氮化鋁鈦(TiAlN)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、與其他具有合適的功函數的導電材料或其組合。在一些實施中，可使用化學氣相沉積(chemical vapor deposition, CVD)、物理氣相沉積(physical vapor deposition, PVD)、原子層沉積(atomic layer deposition, ALD)或其他合適的沉積技術來沉積源極與汲極材料，且接著圖案化以形成源極與汲極接觸32與34。在一些實施例中，舉例來說，可執行溫度範圍介於約250-350攝氏度的選擇性的退火製程來改善金屬-至-源極/汲極接觸阻抗。

【0020】 在源極與汲極接觸32與34形成的蕭特基位障提供了與擴散PN接面不同的幾個特徵。舉例來說，在蕭特基位障中，可以分別實現純電子注入與純電洞注入。再者，在蕭特基位障中的突然的電位變化提供足夠高的電場以增強碰撞離子化電荷載子(例如電子或電洞)的產生。

【0021】 於圖1的操作S13，如圖4的X方向切面視圖40所示，在通道結構上形成具有第一厚度的電荷捕獲介電層42。在一些實施例中，電荷捕獲介電層42在源極與汲極接觸32與34上延伸。在一些實施例中，電荷捕獲介電層42包含氧化物或氮化物介電質。在一些實施例中，氧化物或氮化物介電質包含來自元素表的一個或多個元素，元素表包含：鉭(Ta)、鈦(Ti)、鈦(Hf)、鋯(Zr)、鋁(Al)、鏷(Lanthanum, La)、釷(yttrium, Y)、鈮(Nb)、矽(silicon, Si)、鍮(germanium, Ge)與鎵(gallium, Ga)。在一個或多個實施例中，電荷捕獲層的厚度範圍介於約1奈米至10奈米之間。電荷捕獲層可捕獲由於源極與汲極接觸32與34的界面(例如蕭特基界面)中所引起的碰撞離子化而產生的一種電荷載子(例如電洞)。

【0022】 在一些實施例中，使用物理氣相沉積或化學氣相沉積技術來沉積電荷捕獲介電層42。在一個或多個實施例中，在從室溫至約400攝氏度的溫度範圍中藉由在氧氣(O₂)或氮氣(N₂)電漿中的反應濺鍍來沉積物理氣相沉積介電層。在一些實施例中，在從約100攝氏度至約400攝氏度的溫度範圍中藉由在氧氣或氮氣電漿中的電漿輔助原子層沉積(plasma enhanced atomic layer deposition)來沉積化學氣相沉積介電層。在一些實施例中，如圖5的X方向切面視圖50所示，移除部分的電荷捕獲介電層42以留下連接至源極接觸32的部分52。在一些實施中，在通道區域中的連接至源極接觸32的部分52的延伸(例如W1)大於約0.5奈

米且小於約20奈米。在一些實施例中，相似於部分52，在移除部分的電荷捕獲介電層42之後，也留下了連接至汲極接觸的部分54。

【0023】 在一些實施例中，二維材料在Z方向上形成水平通道(例如在X-Y平面中，例如24)或垂直通道(例如在鰭式場效電晶體裝置中)。相應地，取決於場效電晶體結構，可在水平通道或垂直通道上沉積電荷捕獲介電層42。

【0024】 在一些實施中，在形成電荷捕獲介電層42之前，在通道結構24上形成選擇性的界面層(為了簡化，圖未示)。在一些實施例中，界面層包含二維絕緣材料，二維絕緣材料包含氧化鋁(alumina, Al_2O_3)或六方氮化硼(hexagonal boron nitride)或任何合適的介電材料。

【0025】 可以透過圖案化來進行部分的電荷捕獲介電層42(與選擇性的界面層)的移除。在一些實施例中，可藉由已知的異向性蝕刻或已知的光罩圖案化方法來執行圖案化。

【0026】 於圖1的操作S14，如圖6的X方向切面視圖60所示，在電荷捕獲層52與54與二維材料層24的暴露部份上形成閘極介電層62。在一些實施例中，閘極介電層62包含高介電常數介電材料與一個或多個鈍化(passivation)結構(例如界面層)。高介電常數介電材料可包含金屬氧化物。用於高介電常數介電材料的例示性的金屬氧化物包含鋰(Li)、鈹(Be)、鎂(Mg)、鈣(Ca)、鋇(Sr)、釷(Th)、釷(Y)、鋯(Zr)、鈦(Hf)、鋁(Al)、鏷(La)、鈾(U)、鐳(Pr)、釷(Nd)、釷(Sm)、鈾(Eu)、釷(Gd)、鐳(Tb)、鐳(Dy)、釷

(Ho)、鉕(Er)、銩(Tm)、鑿(Yb)、鑠(Lu)和/或其混合的氧化物。在一些實施例中，閘極介電層62的厚度範圍為約0.5奈米至約10奈米。

【0027】 於圖1的操作S15，如圖7的X方向切面視圖70所示，在閘極介電層62上形成閘極電極層72，且適當地圖案化閘極介電層62。在一些實施例中，閘極電極層72為多晶矽層。在一些實施例中，藉由使用包含氮化矽層和氧化層的硬光罩來執行多晶矽層的圖案化。在其他實施例中，閘極電極層包含單層或多層結構。再者，閘極電極層可為被均勻或非均勻摻雜的多晶矽。在一些替代的實施例中，閘極電極層包含金屬，例如鋁(Al)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、氮化鈦(TiN)、鈦鋁(TiAl)、氮化鋁鈦(TiAlN)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)與和基板材料相容且具有合適的功函數的其他導電材料或其組合。可使用適合的處理，例如原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、電鍍(plating)或其組合來形成閘極電極層72。在一些實施例中，閘極電極層的寬度(於Y方向上)範圍為約30奈米至約60奈米。

【0028】 在一些實施例中，在閘極電極層72形成之前，在閘極介電層62上形成一個或多個鈍化結構和/或一個或多個間隔層。在一些實施例中，鈍化結構可作為閘極介電質，在其下方形成高介電常數介電質。

【0029】 圖8係根據本揭露的一個或多個實施例之製造具有底(背)閘極結構的半導體裝置的作業流程圖80。流程圖

80 僅繪示整個製造流程的相關部分。應理解的是，在如圖8所示的操作之前、期間與之後可以提供額外的操作，且以下描述的某些操作可以在本方法的額外的實施例中被替換或取消。操作/流程的順序可以互換。

【0030】 在圖8的操作S81，如圖9的X方向切面視圖90所示，在基板92上形成閘極電極層94。舉例來說，在一些實施例中，基板92可為P型矽基板，其雜質濃度範圍約在 $1 \times 10^{15} \text{cm}^{-3}$ 至 $3 \times 10^{15} \text{cm}^{-3}$ 之間。在其他實施例中，基板為N型矽基板，其雜質濃度範圍約在 $1 \times 10^{15} \text{cm}^{-3}$ 至 $3 \times 10^{15} \text{cm}^{-3}$ 之間。在一些實施例中，矽基板的晶向為(100)。

【0031】 可選地，基板可包含其他基本半導體，例如鍺(Ge)、化合物半導體，化合物半導體包含IV-IV族化合物半導體，例如碳化矽(SiC)與矽鍺(SiGe)、與III-V族化合物半導體，例如砷化鎵(GaAs)、磷化鎵(GaP)、氮化鎵(GaN)、磷化銦(InP)、砷化銦(InAs)、銻化銦(InSb)、磷砷化鎵(GaAsP)、氮化鋁鎵(AlGaIn)、砷化鋁銦(AlInAs)、砷化鋁鎵(AlGaAs)、砷化鎵銦(GaInAs)、磷化銦鎵(GaInP)和/或砷磷化鎵銦(GaInAsP)或其組合。在一個或多個實施例中，基板為絕緣層上覆矽(SOI)基板的矽層。非晶基板，例如非晶矽或非晶碳化矽、或絕緣材料，例如二氧化矽，也可被使用來作為基板。基板可包含被雜質適當地摻雜的各種區域(例如P型或N型導電率)。

【0032】 在一些實施例中，閘極電極層94為多晶矽層。在一些實施例中，藉由使用包含氮化矽層和氧化層的硬光罩

來執行多晶矽層的圖案化。在其他實施例中，閘極電極層包含單層或多層結構。再者，閘極電極層可為被均勻或非均勻摻雜的多晶矽。在一些替代的實施例中，閘極電極層包含金屬，例如鋁(Al)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、氮化鈦(TiN)、鈦鋁(TiAl)、氮化鋁鈦(TiAlN)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)與和基板材料相容且具有合適的功函數的其他導電材料或其組合。可使用適合的處理，例如原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、電鍍(plating)或其組合來形成閘極電極層 94。在一些實施例中，閘極電極層的寬度(於Y方向上)範圍為約30奈米至約60奈米。

【0033】 於圖8的操作S82，如圖10的X方向切面視圖100所示，在閘極電極層94上形成介電層102。在一些實施例中，介電層102包含高介電常數介電材料與一個或多個鈍化結構(例如界面層)。高介電常數介電材料可包含金屬氧化物。用於高介電常數介電材料的例示性的金屬氧化物包含鋰(Li)、鈹(Be)、鎂(Mg)、鈣(Ca)、銦(Sr)、釷(Sc)、釷(Y)、鋯(Zr)、鈦(Hf)、鋁(Al)、鐳(La)、鈾(Ce)、鐳(Pr)、釷(Nd)、釷(Sm)、鎳(Eu)、鈾(Gd)、鈾(Tb)、鐳(Dy)、鈾(Ho)、鈾(Er)、鈾(Tm)、鐳(Yb)、鐳(Lu)和/或其混合的氧化物。在一些實施例中，介電層102的厚度範圍為約0.5奈米至約10奈米。

【0034】 於圖8的操作S83，如圖11的X方向切面視圖110所示，在介電層上形成且圖案化光阻(photo-resist，

PR)層，以覆蓋介電層102的至少一中間部分。光阻層的中間部分115用以從下一個操作來遮罩介電層102的中間部分。

【0035】 於圖8的操作S84，如圖12的X方向切面視圖120所示，在未被光阻層覆蓋的介電層的部分內形成具有第一厚度的電荷捕獲層。藉由使用電漿處理方法來在未被光阻層覆蓋的介電層102的部分內形成電荷捕獲層122與124。換言之，部分的介電層轉變成電荷捕獲層。在一些實施例中，只有形成電荷捕獲層122。在一些實施例中，電漿處理方法包含使用氮氣(nitrogen, N_2)或氨氣(ammonia, NH_3)電漿。在電荷捕獲層(例如122與124)形成之後，移除光阻層115。如圖13所示，在部分的介電層102形成的電荷捕獲層122與124使得介電層102的厚度不均勻。

【0036】 於圖8的操作S85，如圖13的X方向切面視圖130所示，在被圖案化的光阻層115移除之後，在電荷捕獲層(例如122與124)與介電層102的剩餘部份上形成二維材料層135。在某些方面，二維材料層135可為二維半導體，二維半導體包含TMDC，例如 MoS_2 、黑磷或石墨烯。在一些實施例中，二維半導體可包含單層或數層，且可具有範圍介於0.5奈米至100奈米之間的厚度。

【0037】 於圖8的操作S86，如圖14的X方向切面視圖140所示，在二維材料層135上形成源極與汲極接觸132與134。在一些實施例中，源極與汲極接觸材料包含來自元素表的至少一元素，元素表包含：鉬(Mo)、鎢(W)、鈦(Ti)、

鋁(Al)、鉭(Ta)、鋇(Sr)、鈀(Pd)、金(Au)、銀(Ag)、銅(Cu)、鈦(Hf)、銩(Zr)與鈮(Nb)。在一些實施例中，源極與汲極接觸132與134形成具有蕭特基位障的蕭特基接觸。在一些實施例中，用於源極與汲極接觸的例示性的金屬包含合金，例如氮化鈦(TiN)、鈦鋁(TiAl)、氮化鋁鈦(TiAlN)、氮化鉭(TaN)、矽化鎳(NiSi)、矽化鈷(CoSi)、與其他具有合適的功函數的導電材料或其組合。在一些實施中，可使用化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)或其他合適的沉積技術來沉積源極與汲極接觸132與134，且接著圖案化以形成源極與汲極接觸132與134。在一些實施例中，舉例來說，可執行溫度範圍介於約250-350攝氏度的選擇性的退火製程來改善金屬-至-源極/汲極接觸阻抗。

【0038】 在源極與汲極接觸132與134形成的蕭特基位障提供了與擴散PN接面不同的幾個特徵。舉例來說，在蕭特基位障中，可以分別實現純電子注入與純電洞注入。再者，在蕭特基位障中的突然的電位變化提供足夠高的電場以增強碰撞離子化電荷載子(例如電子或電洞)的產生。

【0039】 圖15繪示根據本揭露的一個或多個實施例的底閘極半導體裝置的結構150。結構150示出場效電晶體裝置的底閘極配置，其中電荷捕獲層157、閘極電極層156與閘極電極155和源極與汲極接觸152與154並未位於二維材料層153的相同側。形成結構150的方法與使用的材料如同上述中關於圖8至圖14所討論的。在一些實施中，電荷捕獲

層157的形成與閘極介電層156的介電材料的需求不相容(例如當在閘極介電層上有電漿損傷的電位時)。在這樣的情況下，如圖16所示，藉由使用額外的光微影製程，電荷捕獲層可為不均勻的且可選擇性地僅形成於源極區域附近。

【0040】 圖16繪示根據本揭露的一個或多個實施例的底閘極半導體裝置的結構160。在結構160中，電荷捕獲層162形成於源極接觸152附近的區域，在該區域附近發生碰撞離子化且電荷捕獲層具有在減少接觸電阻方面的最大效益。結構160示出場效電晶體裝置的底閘極配置，其中電荷捕獲層162、閘極電極層156與閘極電極155和源極與汲極接觸152與154並未位於二維材料層153的相同側。形成結構160的方法與使用的材料如同上述中關於圖8至圖14所討論的。在一些實施中，因為電路設計的原因，源極與汲極的對稱是期望的，如下面描述的圖17所示，可在源極與汲極區域形成電荷捕獲層。

【0041】 圖17繪示根據本揭露的一個或多個實施例的底閘極半導體裝置的結構170。在結構170中，電荷捕獲層162形成於源極接觸152附近的區域，且電荷捕獲層172形成於源極接觸154附近的區域。結構170示出場效電晶體裝置的底閘極配置，其中電荷捕獲層162與172、閘極電極層156與閘極電極155和源極與汲極接觸152與154並未位於二維材料層153的相同側。形成結構170的方法與使用的材料如同上述中關於圖8至圖14所討論的。

【0042】 圖18繪示根據本揭露的一個或多個實施例的

底閘極半導體裝置的結構180。在結構180中，在二維材料層185與部分的源極與汲極接觸152與154上形成電荷捕獲層182。在電荷捕獲層182上形成閘極介電層184，且在閘極介電層184上形成於場效電晶體裝置的閘極區域中的閘極電極186。結構180示出場效電晶體裝置的頂閘極配置，其中源極與汲極接觸152與154、電荷捕獲層182、閘極介電層184與閘極電極186位於二維材料層185的相同側。形成結構180的方法與使用的材料如同上述中關於圖1至圖7所討論的。在一些實施中，電荷捕獲層182的形成可能不期望地增加閘極介電層184的有效氧化物厚度。在這樣的情況下，如圖19所示，藉由使用額外的光微影製程，電荷捕獲層可為不均勻的且可選擇性地僅形成於源極區域附近。

【0043】 圖19繪示根據本揭露的一個或多個實施例的頂閘極半導體裝置的結構190。在結構190中，在二維材料層185與源極介處152的附近上形成電荷捕獲層192。電荷捕獲層192接觸源極接觸152。在電荷捕獲層192、二維材料層185與部分的源極與汲極接觸152與154上形成閘極介電層184。在閘極介電層184上形成於場效電晶體的閘極區域中的閘極電極186。結構190示出場效電晶體裝置的頂閘極配置，其中源極與汲極接觸152與154、電荷捕獲層192、閘極介電層184與閘極電極186位於二維材料層185的相同側。形成結構190的方法與使用的材料如同上述中關於圖1至圖7所討論的。在一些實施中，因為電路設計的原因，源極與汲極的對稱是期望的，如下面描述的圖20所示，可在

源極與汲極區域形成電荷捕獲層。

【0044】 圖20繪示根據本揭露的一個或多個實施例的頂閘極半導體裝置的結構200。在結構200中，在二維材料層185與源極介處152的附近與汲極接觸154上形成電荷捕獲層202與204。電荷捕獲層202與204分別接觸源極接觸152與汲極接觸154。在電荷捕獲層202與204、二維材料層185與部分的源極與汲極接觸152與154上形成閘極介電層184。在閘極介電層184上形成於場效電晶體的閘極區域中的閘極電極186。結構200示出場效電晶體裝置的頂閘極配置，其中源極與汲極接觸152與154、電荷捕獲層202與204、閘極介電層184與閘極電極186位於二維材料層185的相同側。形成結構200的方法與使用的材料如同上述中關於圖1至圖7所討論的。

【0045】 圖21繪示根據本揭露的一個或多個實施例的二維金氧半場效電晶體裝置的例示性的結構210。結構210為底閘極結構，其中源極與汲極電極218為鉬(Mo)，二維材料通道215為二硫化鉬(MoS_2)，電荷捕獲層216為厚度為約10奈米的氧化鉭(tantalum oxide)或氧化鈣(hafnium oxide)，閘極介電層214為約100奈米層厚的二氧化矽，且閘極電極212以矽製成。結構210的電荷捕獲機制將於如下之圖22與圖23中討論。

【0046】 圖22係繪示根據本揭露的一個或多個實施例之二維金氧半場效電晶體裝置中的碰撞離子化機制的概念性能帶圖220。能帶圖220示出沿著圖21的線AA' 的截

面，且圖21的通道215的二硫化鉬(MoS_2)材料的能帶結構。能帶結構包含傳導帶邊緣222與價能帶邊緣224，其示出源極區域226附近的具有陡峭斜率的電位障。來自裝置的源極區域226的電子225沿著頂部水平箭頭的方向朝向通道傳導帶注入。可藉由下移電位障(因此獲得動能)且產生碰撞離子化電子227與電洞229來加速這些電子。從高能量傳導帶到低能量傳導帶的垂直箭頭代表在價能帶224的電子的電子散射過程，其導致散射的電子的動能的損失。另一方面，從傳導帶散射來的在價能帶224中的電子，可從散射獲得能量，且被激發至傳導帶222。所以，作為碰撞離子化的一部分，電洞229留在價能帶224。大部分的碰撞離子化的電洞朝向源極區域226飄移，而大部分的電子朝向汲極區域228飄移。為了簡化，電子飄移不包含於能帶圖220中。在垂直方向上的電荷捕獲層216(例如氧化鉭(TaO_x))中只有一些碰撞離子化的電洞被捕獲。正回授過程引起快速的汲極電流增加且低源極與汲極接觸電阻。

【0047】 正回授是藉由被捕獲的電洞調變局部電位所引發，且導致在源極區域226附近的電位障具有更陡峭的斜率。這進一步地增加了來自源極區域226的電子注入，且在正回授的方式中引起更多的碰撞離子化的電子227與電洞229。

【0048】 圖23係繪示根據本揭露的一個或多個實施例之二維金氧半場效電晶體裝置中的電洞捕獲過程的概念圖230。概念圖230示出沿著圖21的線BB'的截面，且示出在

源極區域(例如圖22的226)附近的圖21的通道215中的電荷載子(例如電子與電洞)的產生，且隨後藉由源極區域(例如圖22的226)附近的電荷捕獲層(例如圖21的電荷捕獲層216的氧化鈮(TaO))的電子來捕獲被產生的電洞。電洞的產生和隨後的捕獲啟動正回授過程，這引起快速的汲極電流增加且低源極與汲極接觸電阻(例如圖21的218)。再者，本技術的二維TMDC場效電晶體裝置同時實現了陡峭的次臨界與高導通電流。

【0049】 應理解的是，並非所有的優點都必須在本文中被討論，並非特定的優點是所有的實施例與例示都必須的，且其他實施例或例示可能提供不同的優點。

【0050】 根據本揭露的一方面，一種包含場效電晶體的半導體裝置包含基板與包含二維材料的通道結構。半導體裝置更包含第一介電層與形成於通道結構與第一介電層之間的第二介電層，第二介電層用以捕獲於通道結構的源側面附近產生的多個電荷載子。半導體裝置更包含用以至少部分地接觸第二介電層的多個源極與汲極接觸與接觸第一電極層的閘極電極。

【0051】 根據本揭露的另一方面，一種半導體裝置的製造方法，包含：在基板上形成二維材料層以形成通道結構；在通道結構上形成多個源極與汲極接觸；在通道結構上以第一厚度形成電荷捕獲層，以捕獲多個電荷載子，電荷捕獲層接觸一部分的源極與汲極接觸；在電荷捕獲層上形成閘極介電層；以及在閘極介電層上形成閘極電極層。

【0052】 根據本揭露的又一方面，一種半導體裝置的製造方法，包含：在基板上形成閘極電極層；在閘極電極層上沉積介電層；在介電層上沉積且圖案化光阻層，以覆蓋介電層的至少一中間部分；以第一厚度在介電層未被光阻層覆蓋的部分內形成電荷捕獲層；在移除被圖案化的光阻層之後，在電荷捕獲層與介電層的剩餘部分上沉積二維材料層；以及在二維材料層上形成多個源極與汲極接觸。

【0053】 以上概述了數個實施例的特徵，因此熟習此技藝者可以更了解本揭露的態樣。熟習此技藝者應了解到，其可輕易地把本揭露當作基礎來設計或修改其他的製程與結構，藉此實現和在此所介紹的這些實施例相同的目標及/或達到相同的優點。熟習此技藝者也應可明白，這些等效的建構並未脫離本揭露的精神與範圍，並且他們可以在不脫離本揭露精神與範圍的前提下做各種的改變、替換與變動。

【符號說明】

【0054】

10、80：流程圖

20-70、90-140：X方向切面視圖

150-200、210：結構

22、92：基板

24、135、153、185：二維材料層

32、34、132、134、152、154：源極與汲極接觸

42：電荷捕獲介電層

52、54：部分
62、156、184、214：閘極介電層
72、94：閘極電極層
102：介電層
122、124、157、162、172、182、192、202、204、
216：電荷捕獲層
115：中間部分
155、186、212：閘極電極
215：通道
218：源極與汲極電極
220：能帶圖
230：概念圖
222：傳導帶邊緣
224：價能帶邊緣
225、227：電子
226：源極區域
228：汲極區域
229：電洞
AA'、BB'：線
PR：光阻
S11-S15、S81-S86：操作
W1：長度
X、Y、Z：方向

【發明申請專利範圍】

【第 1 項】一種半導體裝置的製造方法，包含：

在一基板上形成一二維(two-dimensional, 2D)材料層，以形成一通道結構；

在該通道結構上形成複數個源極與汲極接觸；

在該通道結構上以一第一厚度形成一電荷捕獲層，以捕獲複數個電荷載子，該電荷捕獲層接觸一部分的該些源極與汲極接觸；

在該電荷捕獲層上形成一閘極介電層；以及

在該閘極介電層上形成一閘極電極層。

圖式

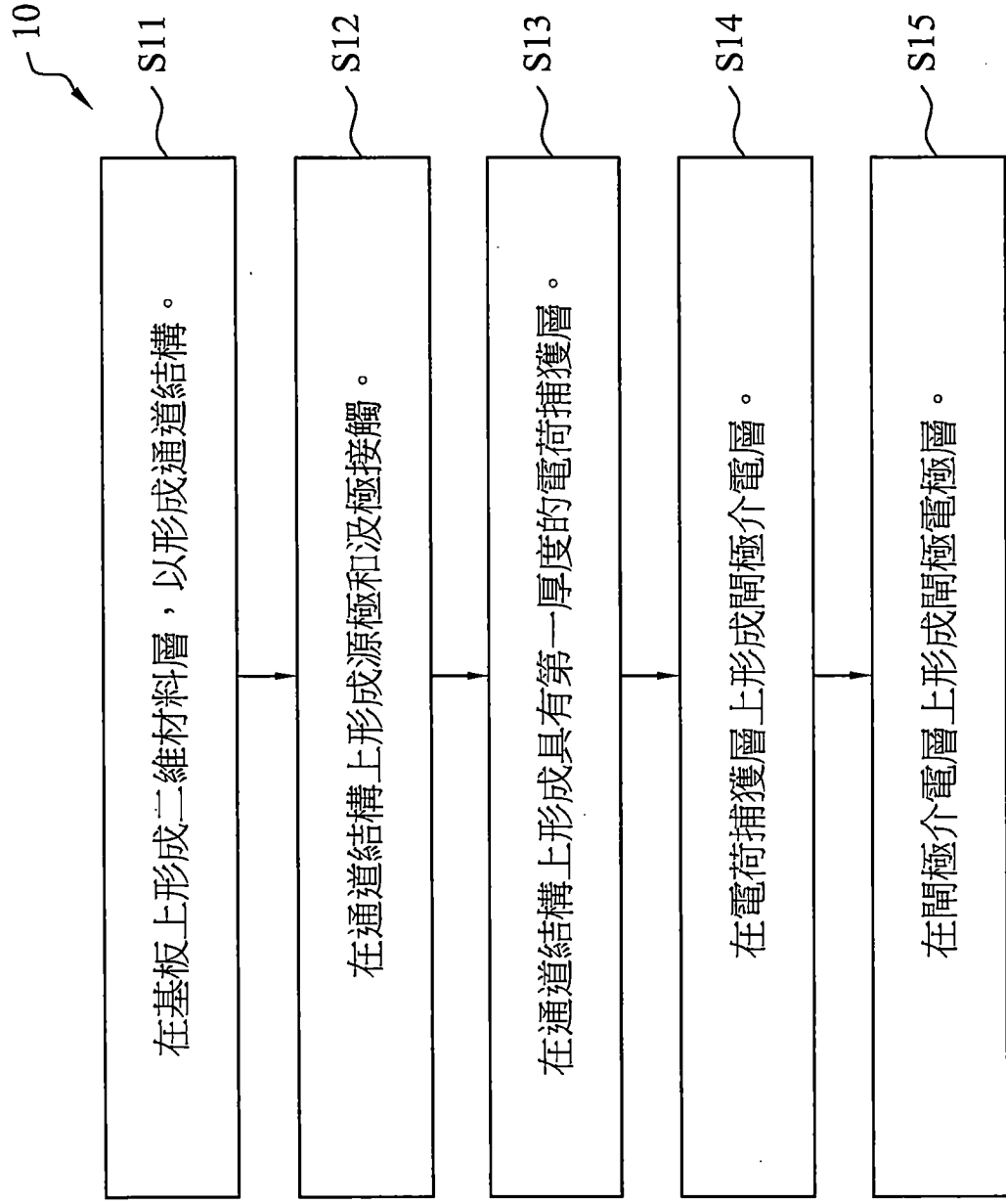


圖 1

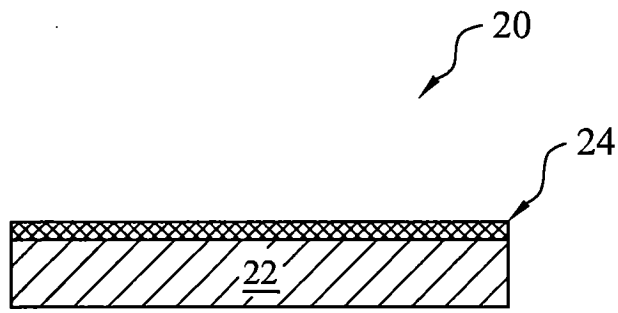


圖 2

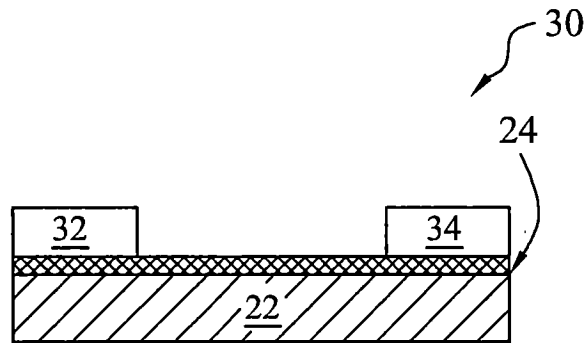


圖 3

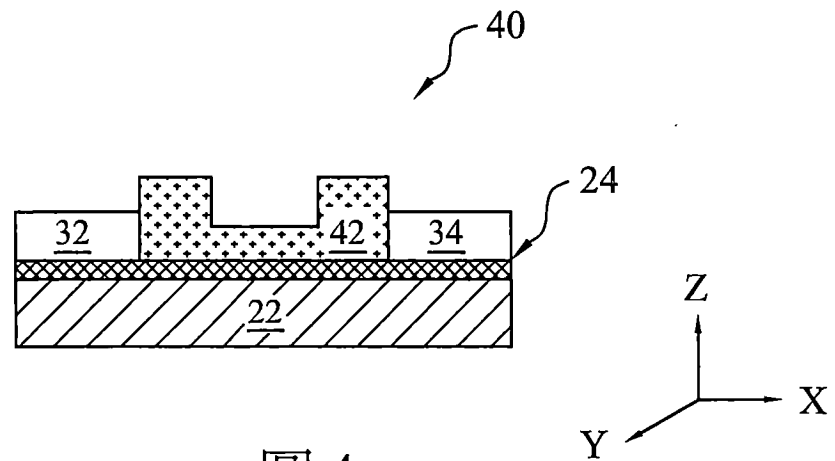


圖 4

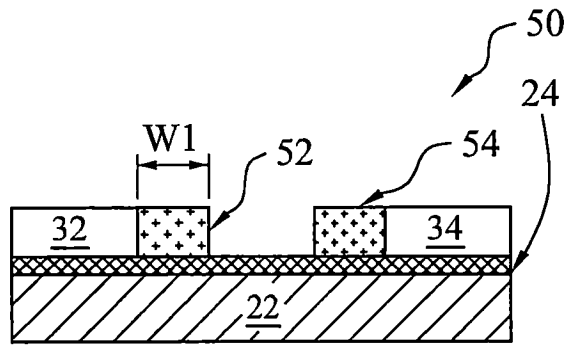


圖 5

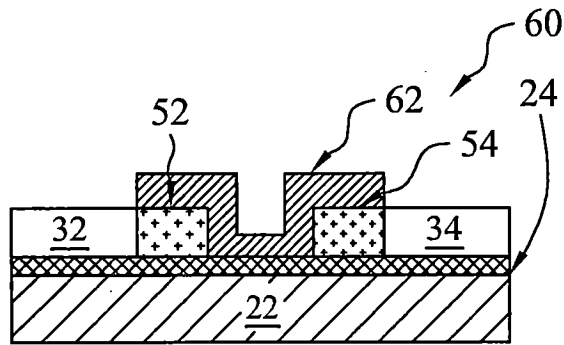


圖 6

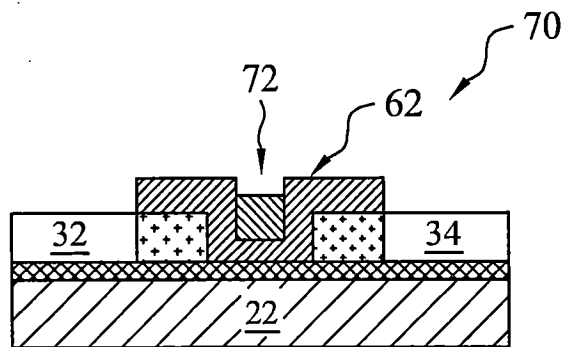
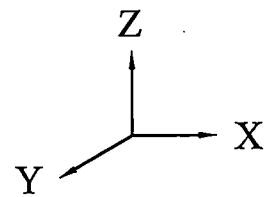


圖 7



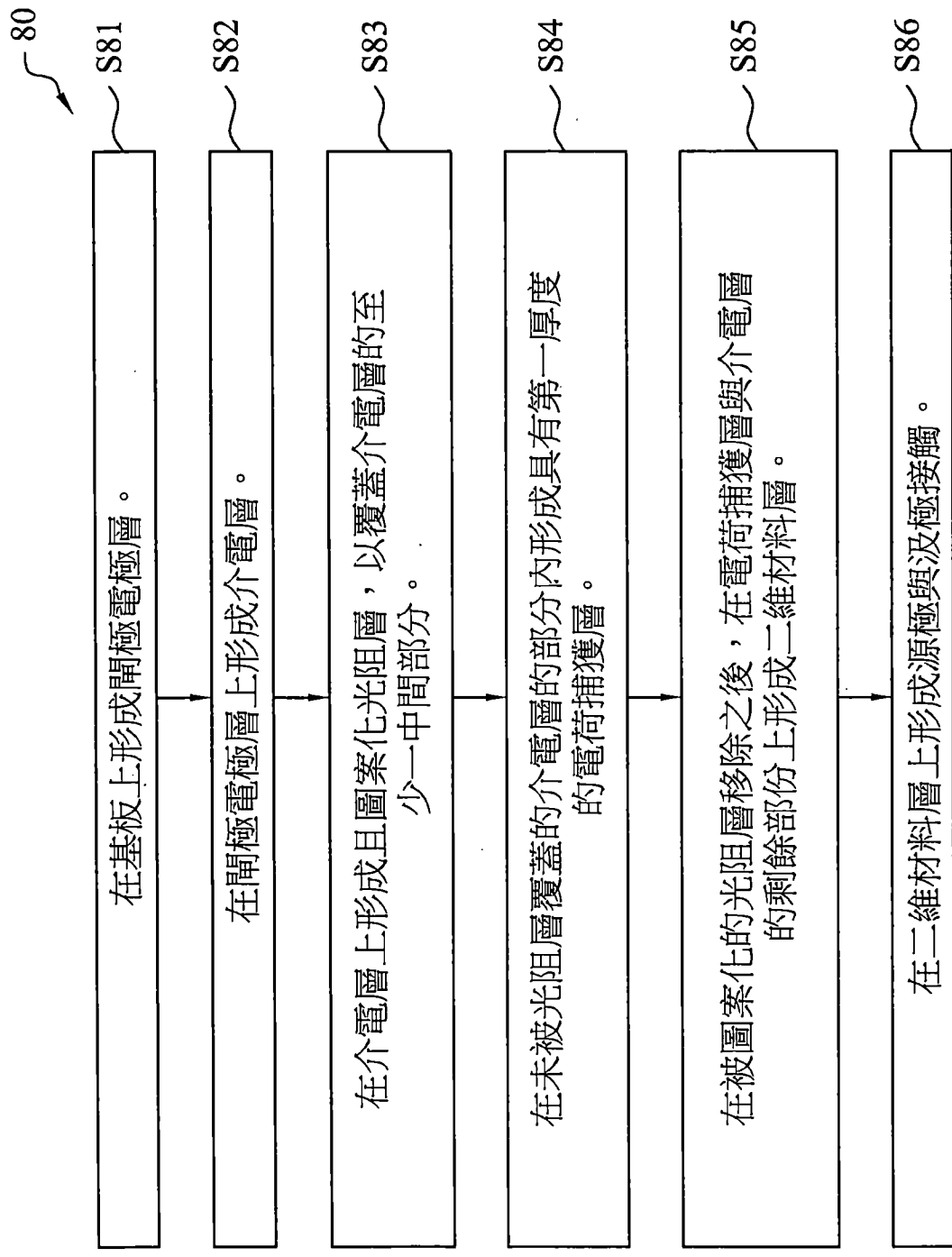


圖 8

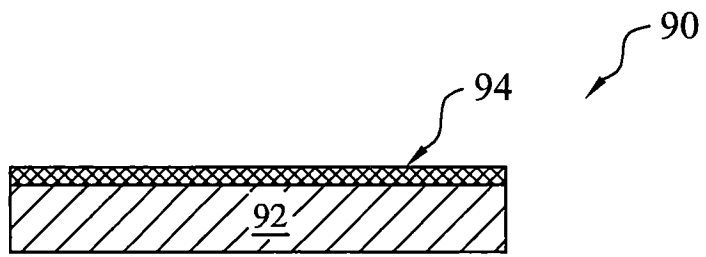


圖 9

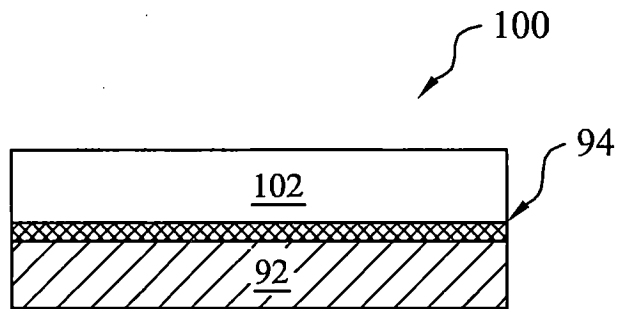


圖 10

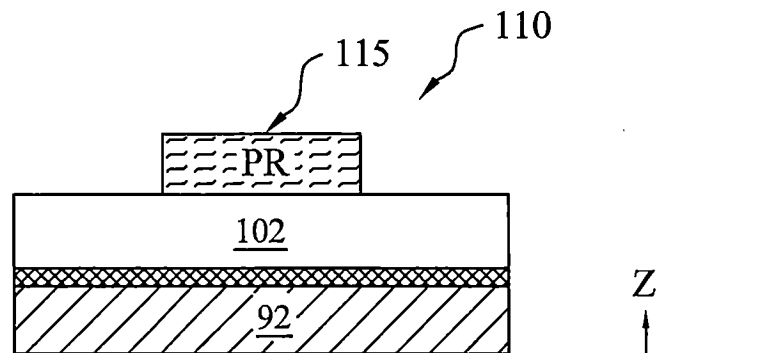


圖 11

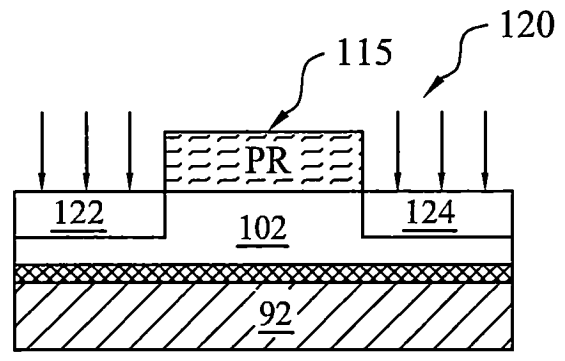


圖 12

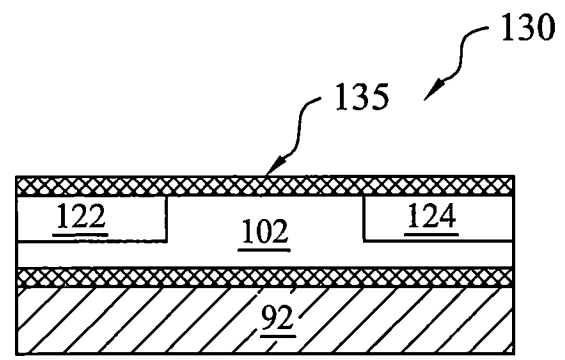


圖 13

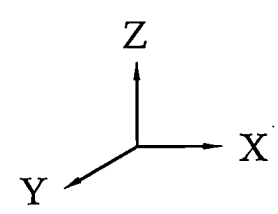
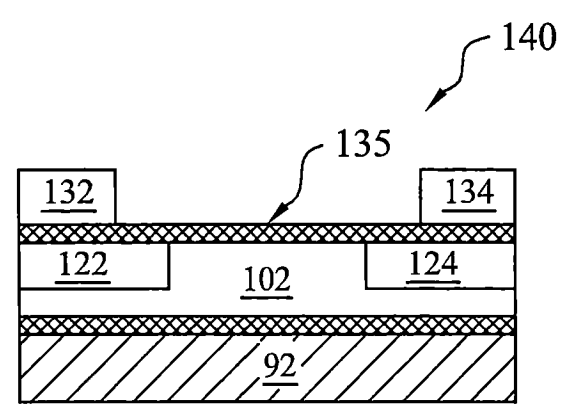


圖 14

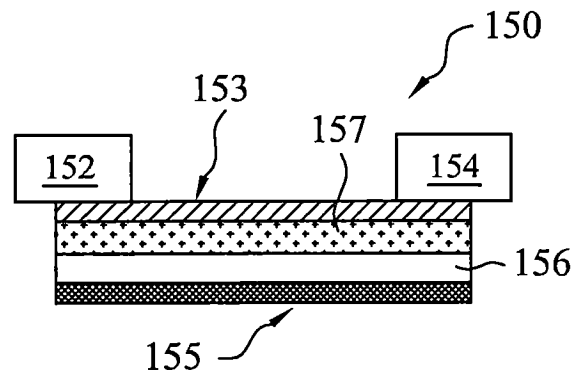


圖 15

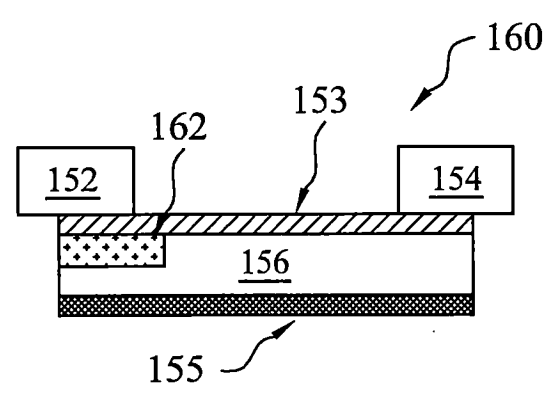


圖 16

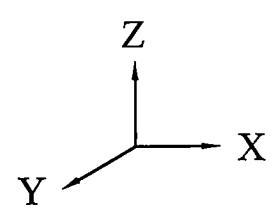
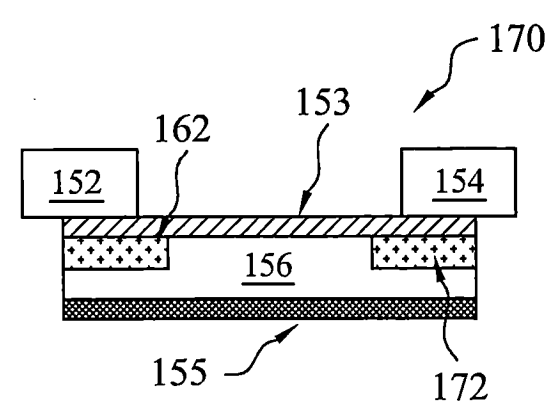


圖 17

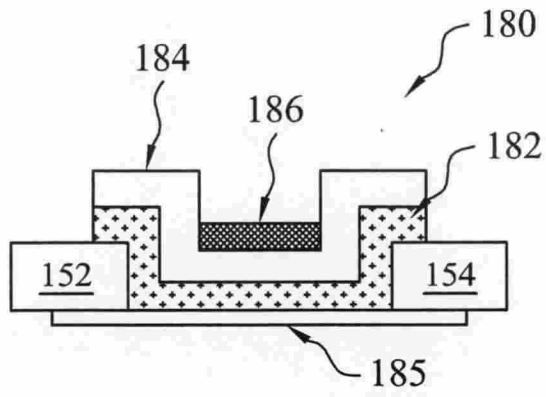


圖 18

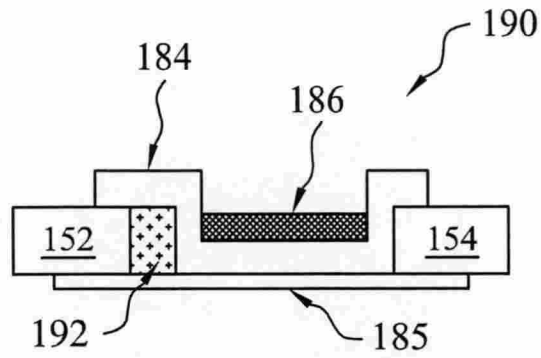


圖 19

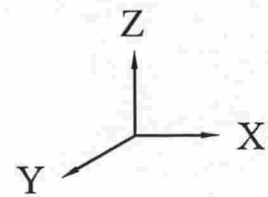
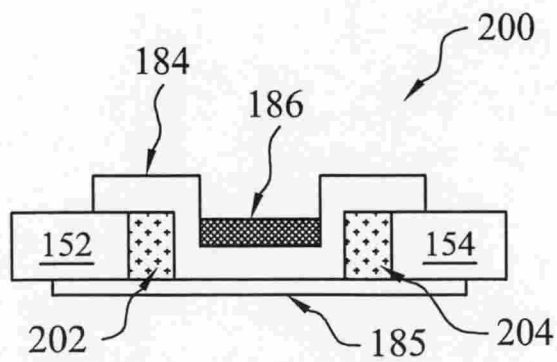


圖 20

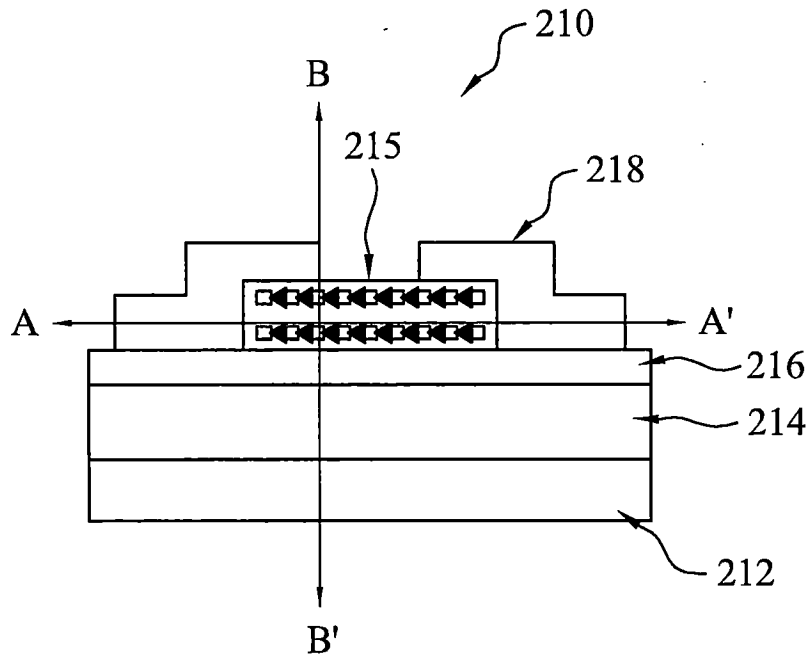


圖 21

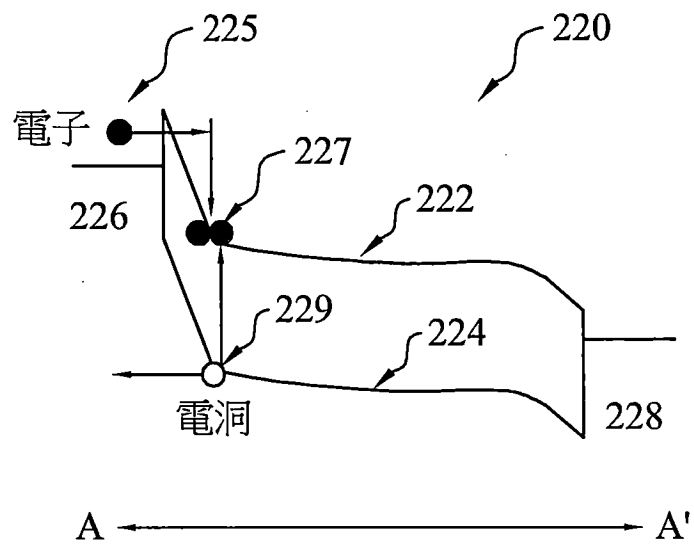


圖 22

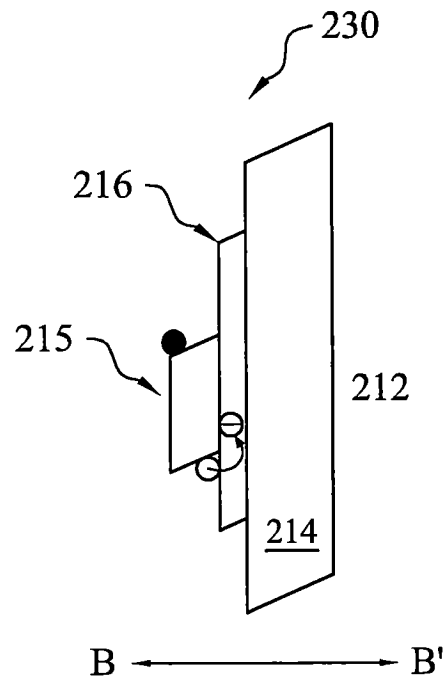


圖 23