



(21) 申請案號：107112431

(22) 申請日：中華民國 107 (2018) 年 04 月 11 日

(51) Int. Cl. : H01L27/115 (2017.01)

H01L21/76 (2006.01)

H01L45/00 (2006.01)

G11C16/06 (2006.01)

(30) 優先權：2017/04/11 美國

62/484,390

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊紹勳 CHUNG, STEVE S. (TW) ; 謝易叡 HSIEH, E RAY (TW)

(74) 代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：16 項 圖式數：3 共 50 頁

## (54) 名稱

非揮發性記憶體及其操作方法

NONVOLATILE MEMORY AND ITS OPERATION METHOD THEREOF

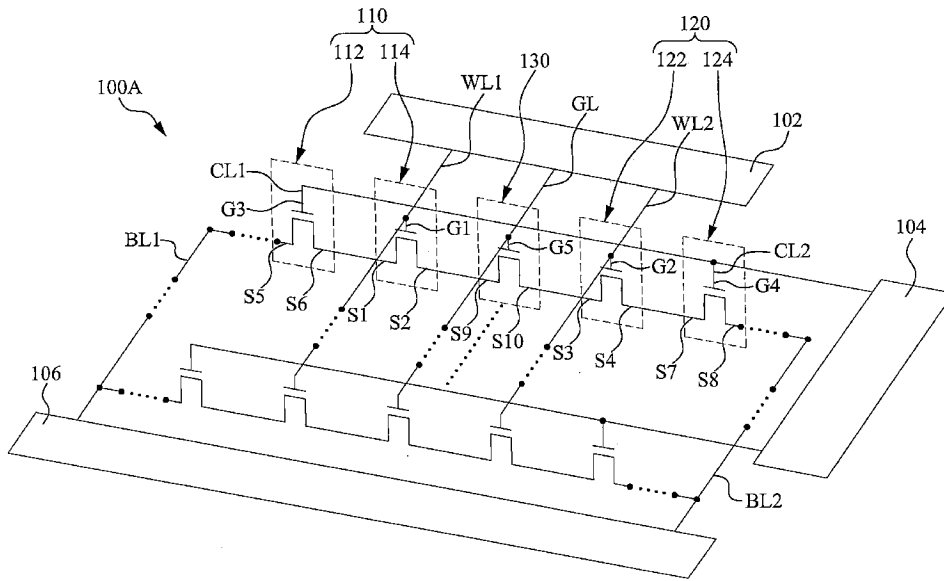
## (57) 摘要

本記憶體的第一儲存單元包括第一阻變式電晶體以及第一控制電晶體。第一儲存單元可使用第一阻變式電晶體進行儲存，從而做為快閃記憶體(flash memory)來使用。第二阻變式電晶體與第二控制電晶體可組成與第一儲存單元雷同的第二儲存單元。隔離電晶體連接在第一儲存單元和第二儲存單元之間。然後，多個與上述相同架構的儲存單元可串聯並形成陣列。多個陣列可再形成為一個記憶體電路。隔離電晶體可具有與第一及第二控制電晶體相同的結構，其用以防止記憶體電路中的溜徑電流。

A first memory unit includes a first resistive switching transistor and a first control transistor. This first memory unit is configured to provide a function of a flash memory with first resistive switching transistor serving as a storage. Also, a second resistive switching transistor and a second control transistor can be collectively used to serve as a second memory unit. An isolation transistor is connected between the first memory unit and the second memory unit. A multiple of the above architecture in series with a unit cell forms an array. A multiple of arrays forms a memory circuit. The isolation transistor has the same structure as the first and second control transistors. It is used to prevent the sneak currents in the memory circuit.

指定代表圖：

100



第 1A 圖

符號簡單說明：

- 100 . . . 記憶體裝置
- 100A . . . 記憶體電路
- 102 . . . 第一驅動器
- 104 . . . 第二驅動器
- 106 . . . 第三驅動器
- 110 . . . 第一記憶單元
- 112 . . . 第一雙極性阻變式電晶體
- 114 . . . 第一控制電晶體
- 120 . . . 第二記憶單元
- 122 . . . 第二雙極性阻變式電晶體
- 124 . . . 第二控制電晶體
- 130 . . . 隔離電晶體
- G1 . . . 第一閘極端
- G2 . . . 第二閘極端
- G3 . . . 第三閘極端
- G4 . . . 第四閘極端
- G5 . . . 第五閘極端
- GL . . . 接地線
- S1 . . . 第一源極/汲極端
- S2 . . . 第二源極/汲極端
- S3 . . . 第三源極/汲極端
- S4 . . . 第四源極/汲極端
- S5 . . . 第五源極/汲極端
- S6 . . . 第六源極/汲極端

S7 . . . 第七源極/汲極端

S8 . . . 第八源極/汲極端

BL1 . . . 第一位元線

BL2 . . . 第二位元線

CL1 . . . 第一控制線

CL2 . . . 第二控制線

S9 . . . 第九源極/汲極端

S10 . . . 第十源極/汲極端

WL1 . . . 第一字元線

WL2 . . . 第二字元線

## 【發明摘要】

【中文發明名稱】非揮發性記憶體及其操作方法

【英文發明名稱】NONVOLATILE MEMORY AND ITS  
OPERATION METHOD THEREOF

## 【中文】

本記憶體的第一儲存單元包括第一阻變式電晶體以及第一控制電晶體。第一儲存單元可使用第一阻變式電晶體進行儲存，從而做為快閃記憶體(flash memory)來使用。第二阻變式電晶體與第二控制電晶體可組成與第一儲存單元雷同的第二儲存單元。隔離電晶體連接在第一儲存單元和第二儲存單元之間。然後，多個與上述相同架構的儲存單元可串聯並形成陣列。多個陣列可再形成為一個記憶體電路。隔離電晶體可具有與第一及第二控制電晶體相同的結構，其用以防止記憶體電路中的溜徑電流。

## 【英文】

A first memory unit includes a first resistive switching transistor and a first control transistor. This first memory unit is configured to provide a function of a flash memory with first resistive switching transistor serving as a storage. Also, a second resistive switching transistor and a second control transistor can be collectively used to serve as a second memory unit. An

isolation transistor is connected between the first memory unit and the second memory unit. A multiple of the above architecture in series with a unit cell forms an array. A multiple of arrays forms a memory circuit. The isolation transistor has the same structure as the first and second control transistors. It is used to prevent the sneak currents in the memory circuit.

【指定代表圖】第1A圖

【代表圖之符號簡單說明】

100 記憶體裝置	G1 第一閘極端
100A 記憶體電路	G2 第二閘極端
102 第一驅動器	G3 第三閘極端
104 第二驅動器	G4 第四閘極端
106 第三驅動器	G5 第五閘極端
110 第一記憶單元	GL 接地線
112 第一雙極性阻變式 電晶體	S1 第一源極/汲極端
114 第一控制電晶體	S2 第二源極/汲極端
120 第二記憶單元	S3 第三源極/汲極端
122 第二雙極性阻變式 電晶體	S4 第四源極/汲極端
124 第二控制電晶體	S5 第五源極/汲極端
130 隔離電晶體	S6 第六源極/汲極端
	S7 第七源極/汲極端
	S8 第八源極/汲極端

BL1 第一位元線

BL2 第二位元線

CL1 第一控制線

CL2 第二控制線

S9 第九源極/汲極端

S10 第十源極/汲極端

WL1 第一字元線

WL2 第二字元線

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】非揮發性記憶體及其操作方法

【英文發明名稱】NONVOLATILE MEMORY AND ITS  
OPERATION METHOD THEREOF

### 【技術領域】

【0001】 本發明係關於一種記憶體電路、快閃記憶體裝置及其操作方法。

### 【先前技術】

【0002】 快閃式記憶體 (Flash Memory)，是一種非揮發性的記憶體，允許在操作中被反覆抹除或寫入資料。這種科技被廣泛應用於一般性資料儲存，以及在電腦與其他數位產品間交換傳輸資料，如記憶卡與隨身碟等。

【0003】 舉例來說，電阻式記憶體即為一種非揮發性的儲存單元。電阻式記憶體可透過變化電阻的狀態儲存資料，而非透過變化電荷容量來儲存資料。電阻式記憶體的電阻可根據施加的電壓而產生變化，從而儲存資料。對此，電阻式記憶體在記憶體領域中扮演重要的角色。然而，現今電阻式記憶體的製造技術及其操作穩定性仍是電阻式記憶體技術領域中需要改進的方向。

### 【發明內容】

**【0004】** 本揭露內容之一實施方式係關於一種非揮發性記憶體，包含第一記憶單元、第二記憶單元以及隔離電晶體。第一記憶單元包含互相電性連接的第一雙極性阻變式電晶體與第一控制電晶體，其中第一雙極性阻變式電晶體電性連接至字元線定址驅動電路，第一控制電晶體電性連接至控制線定址驅動電路，且當控制線定址驅動電路驅動第一控制電晶體時，第一雙極性阻變式電晶體透過第一控制電晶體接收來自位元線定址驅動電路的第一電流。第二記憶單元包含互相電性連接的第二雙極性阻變式電晶體與第二控制電晶體，其中第二雙極性阻變式電晶體電性連接至字元線定址驅動電路，第二控制電晶體電性連接至控制線定址驅動電路，且當控制線定址驅動電路驅動第二控制電晶體時，第二雙極性阻變式電晶體透過第二控制電晶體接收來自位元線定址驅動電路的第一電流。隔離電晶體耦接於第一記憶單元與第二記憶單元之間，用以使第一記憶單元與第二記憶單元互相電性隔離。

**【0005】** 於部分實施方式中，非揮發性記憶體更包含鰭片結構。鰭片結構沿一方向延伸，其中第一控制電晶體、第一雙極性阻變式電晶體、隔離電晶體、第二雙極性阻變式電晶體以及第二控制電晶體沿該方向依序排列，且第一控制電晶體、第一雙極性阻變式電晶體、隔離電晶體、第二雙極性阻變式電晶體以及第二控制電晶體的閘極結構位於鰭片結構內。

**【0006】** 於部分實施方式中，隔離電晶體具有閘極端，且閘極端經由地線電性連接於接地線定址驅動電路。



**【0007】** 於部分實施方式中，隔離電晶體包含閘極結構，且非揮發性記憶體更包含一層間介電質 (inter-layer dielectric ; ILD) 層。層間介電質層覆蓋在隔離電晶體的閘極結構上，以使隔離電晶體的閘極端具有浮動(floating)電位。

**【0008】** 本揭露內容之一實施方式係提供一種非揮發性記憶體，包含第一雙極性阻變式電晶體、第一控制電晶體、第二雙極性阻變式電晶體、第二控制電晶體、可包含但不限於隔離區域。第一雙極性阻變式電晶體具有第一源極/汲極端以及第二源極/汲極端。第一控制電晶體電性連接於第一位元線與第一雙極性阻變式電晶體的第一源極/汲極端之間，以使第一雙極性阻變式電晶體透過第一控制電晶體電性連接至第一位元線。第二雙極性阻變式電晶體具有第三源極/汲極端以及第四源極/汲極端。第二控制電晶體電性連接於第二位元線與第二雙極性阻變式電晶體的第四源極/汲極端之間，以使第二雙極性阻變式電晶體透過第二控制電晶體電性連接至第二位元線。隔離區域配置於第一雙極性阻變式電晶體與第二雙極性阻變式電晶體之間，用以使第一記憶單元與第二記憶單元互相電性隔離。

**【0009】** 於部分實施方式中，非揮發性記憶體更包含鰭片結構。鰭片結構沿方向延伸，其中第一控制電晶體、第一雙極性阻變式電晶體、該隔離電晶體、第二雙極性阻變式電晶體以及第二控制電晶體的閘極結構沿該方向依序排列在鰭片結構上，且隔離區域位於鰭片結構之間。

**【0010】** 本揭露內容之一實施方式係提供一種非揮發性記憶體，包含第一阻變式電晶體、第一控制電晶體、第二阻變式電晶體、第二控制電晶體以及隔離電晶體。第一阻變式電晶體具有第一源極/汲極(source/drain；S/D)端以及第二源極/汲極端。第一控制電晶體電性連接於第一位元線與第一阻變式電晶體的第一源極/汲極端之間，以使第一阻變式電晶體透過第一控制電晶體電性連接至第一位元線。第二阻變式電晶體具有第三源極/汲極端以及第四源極/汲極端。第二控制電晶體電性連接於第二位元線與第二阻變式電晶體的第四源極/汲極端之間，以使第二阻變式電晶體透過第二控制電晶體電性連接至第二位元線。隔離電晶體耦接於第一阻變式電晶體的第二源極/汲極端與第二阻變式電晶體的第四源極/汲極端之間。

**【0011】** 於部分實施方式中，第一位元線以及第二位元線電性連接於位元線定址驅動電路，第一雙極性阻變式電晶體具有第一閘極端，第二雙極性阻變式電晶體具有第二閘極端，且非揮發性記憶體更包含第一字元線以及第二字元線。第一字元線用以使第一雙極性阻變式電晶體的第一閘極端電性連接於字元線定址驅動電路，第一雙極性阻變式電晶體的電阻值係透過位元線定址驅動電路與字元線定址驅動電路施加在第一雙極性阻變式電晶體上的電壓差或通過的電流值而具有兩種以上的穩定狀態。第二字元線用以使第二雙極性阻變式電晶體的第二閘極端電性連接於字元線定址驅動電路，其中第二雙極性阻變式電晶體的電阻值係透過位元線定址驅動電路與字元線

定址驅動電路施加在第二雙極性阻變式電晶體上的電壓差或通過的電流值而具有兩種以上的穩定狀態。

**【0012】** 於部分實施方式中，第一雙極性阻變式電晶體包含第一源極/汲極(source/drain; S/D)端、第二源極/汲極端、通道以及閘極結構，第一源極/汲極(source/drain; S/D)端和第二源極/汲極端之間為可控制電流導通的通道，閘極結構包含一對間隙物、閘極金屬層、高介電(high k)材料層、半導體氧化物層以及阻障層。閘極金屬層設置於該對間隙物之間並位於通道之上。高介電材料層設置於該對間隙物之間並位於通道與閘極金屬層之間。半導體氧化物層設置於該對間隙物之間並位於高介電材料層與通道之間。阻障層設置於該對間隙物之間並位於高介電材料層與閘極金屬層之間。

**【0013】** 本揭露內容之一實施方式係提供一種非揮發性記憶體的操作方法，包含以下步驟。透過第一控制線以及第一位元線驅動並導通第一記憶單元的第一控制電晶體。將第一電流自位元線定址驅動電路透過第一控制電晶體以及第一位元線輸入至第一記憶單元的第一雙極性阻變式電晶體。經由位元線定址驅動電路選定第一位元線以及經由字元線定址驅動電路選定第一字元線，施加偏壓於第一雙極性阻變式電晶體。

**【0014】** 於部分實施方式中，操作方法更包含以下步驟。透過第二控制線以及第二位元線驅動並導通第二記憶單元的第二控制電晶體。將第二電流自位元線定址驅動電路透過第二控制電晶體以及第二位元線輸入至第二記憶單元的第二雙極性阻變式電晶體。經由位元線定址驅動電路選定第二位元線以

及經由字元線定址驅動電路選定第二字元線，施加偏壓於第二雙極性阻變式電晶體。透過關閉隔離電晶體的通道，電性隔離第一雙極性阻變式電晶體與第二雙極性阻變式電晶體。

**【0015】** 於部分實施方式中，操作方法更包含以下步驟。施加第一偏壓於第一雙極性阻變式電晶體，以使第一雙極性阻變式電晶體的電阻值為第一狀態。施加第二偏壓於第一雙極性阻變式電晶體，以使第一雙極性阻變式電晶體的電阻值自第一狀態改變為第二狀態。

**【0016】** 於部分實施方式中，操作方法更包含以下步驟。經由位元線定址驅動電路選定第一位元線以及經由字元線定址驅動電路選定第一字元線，產生通過第一雙極性阻變式電晶體的電流，以判斷第一雙極性阻變式電晶體的電阻值係為第一狀態或第二狀態

### **【圖式簡單說明】**

#### **【0017】**

第1A圖為根據本揭露內容的第一實施方式繪示記憶體裝置的記憶體電路的等效電路圖。

第1B圖為對應第1A圖的第一記憶單元、隔離電晶體以及第二記憶單元的結構的剖面示意圖。

第1C圖、第1D圖以及第1E圖繪示第1B圖的第一雙極性阻變式電晶體的放大示意圖。

第1F圖繪示雙極性(bipolar)電阻式記憶體於操作時的電流電壓圖。

第1G圖繪示單極性(unipolar)電阻式記憶體於操作時的電流電壓圖。

第1H圖繪示第一雙極性阻變式電晶體於操作時的電流電壓圖。

第2A圖為根據本揭露內容的第二實施方式繪示記憶體裝置的記憶體電路的等效電路圖。

第2B圖為對應第2A圖的第一記憶單元、隔離電晶體以及第二記憶單元的結構的剖面示意圖。

第3A圖為根據本揭露內容的第三實施方式繪示記憶體裝置的記憶體電路的等效電路圖。

第3B圖為對應第3A圖的第一記憶單元、介電絕緣結構以及第二記憶單元的結構的剖面示意圖。

### 【實施方式】

**【0018】** 以下揭示內容提供眾多不同的實施例或實例以用於實施本案提供之標的物的不同特徵。下文中描述組件及排列之特定實例以簡化本揭示。此等組件及排列當然僅為實例，及不意欲進行限制。例如，在下文之描述中，第一特徵在第二特徵上方或之上的形成可包含其中第一特徵與第二特徵以直接接觸方式形成的實施例，及亦可包含其中在第一特徵與第二特徵之間形成額外特徵以使得第一特徵與第二特徵無法直接接觸之實施例。此外，本揭示在多個實例中可重複元件符號及/或字母。此重複用於實現簡化與明晰之目的，及其自身並不規定所論述之多個實施例及/或配置之間的關係。

【0019】 此外，本案中可使用諸如「下方」、「上方等等」之空間相對術語在以便於描述，以描述一個元件或特徵與另一或更多個元件或特徵之關係，如圖式中所圖示。空間相對術語意欲包含在使用或操作中之裝置除圖式中繪示之定向以外的不同定向。設備可經定向(旋轉90度或其他定向)，及本案中使用之空間相對描述詞同樣可相應地進行解釋。

【0020】 於本文中，當一元件被稱為「連接」或「耦接」時，可指「電性連接」或「電性耦接」。「連接」或「耦接」亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用了「第一」、「第二」、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本發明。

【0021】 本揭示係關於但並非限於場效電晶體裝置。於本文中，所述的場效電晶體裝置例如可以是式鰭式場效電晶體裝置(FinFET)裝置。鰭式場效電晶體裝置例如可為互補金屬氧化物半導體(CMOS)裝置，CMOS裝置包含P型金屬氧化物半導體(PMOS)鰭式場效電晶體裝置及N型金屬氧化物半導體(NMOS)鰭式場效電晶體裝置。

【0022】 請同時參照第1A圖以及第1B圖，第1A圖為根據本揭露內容的第一實施方式繪示記憶體裝置100的記憶體電路100A的等效電路圖，而第1B圖為對應第1A圖的第一記憶單元110、隔離電晶體130以及第二記憶單元120的結構的剖面示意圖。本揭露內容的記憶體電路100A可以是使用雙極性阻變

式電晶體所成的電阻式記憶體(Bipolar Resistive Random Access Memory ; RRAM)電路。此外，本揭露內容的記憶體電路100A可應用為一種非揮發性記憶體。換言之，本揭露內容的記憶體電路100A也可應用為一種快閃式記憶體裝置。記憶體電路包含電晶體陣列，其中此電晶體陣列係配置為由行與列所成的陣列。為了不使圖式過於複雜，第1A圖僅繪示兩列的電晶體，且每一列的電晶體數量為五個，然而，其非用以限定本揭露內容，於其他實施方式中，電晶體陣列可採如第1A圖的電晶體配置並延伸配置更多的電晶體。

**【0023】** 如第1A圖所示，記憶體裝置100包含第一記憶單元110、第二記憶單元120以及隔離電晶體130，且第一記憶單元110、第二記憶單元120以及隔離電晶體130可經配置成為記憶體電路100A。第一記憶單元110包含互相電性連接的第一雙極性阻變式電晶體112以及第一控制電晶體114，第二記憶單元120包含互相電性連接的第二雙極性阻變式電晶體122以及第二控制電晶體124，而隔離電晶體130耦接於第一記憶單元110與第二記憶單元120之間，其中隔離電晶體130可用以使第一記憶單元110與第二記憶單元120互相電性隔離。以下將先對第一記憶單元110、第二記憶單元120以及隔離電晶體130的結構做說明。

**【0024】** 如第1B圖所示，記憶體裝置100包含基板200、多個閘極結構224、226、228、230、232、多個導電接頭234、236、238、240、242、244以及層間介電質(inter-layer dielectric ; ILD)層246。基板200包含沿方向X延伸的鱗片結

構210以及抗擊穿阻擋(punch through stopper)層，其中鱗片結構210位在抗擊穿阻擋層上。鱗片結構210可為絕緣層覆上矽(SOI wafer)、固有矽層(Si wafer)、磊晶矽層(epied Si)、磊晶鍺層(epied Ge)、磊晶矽鍺層(epied SiGe)、磊晶碳化矽層(epied SiC)、磊晶錫鍺層(epied GeSn)，或者是被n型摻雜劑或p型摻雜劑摻雜所形成的區域。鱗片結構210具有源極/汲極區域212、214、216、218、220、222，且源極/汲極區域212、214、216、218、220、222可包含輕摻雜源極/汲極特徵以及重摻雜源極/汲極。舉例來說，源極/汲極區域212、214、216、218、220、222可於形成過程中引入摻雜物，其中摻雜物包含p型摻雜物、n型摻雜物或其他合適的摻雜物。

**【0025】** 閘極結構224、226、228、230、232、導電接頭234、236、238、240、242、244以及層間介電質層246設置在基板200上並沿方向X排列。

**【0026】** 導電接頭234、236、238、240、242、244分別設置在源極/汲極區域212、214、216、218、220、222上，並分別電性連接於源極/汲極區域212、214、216、218、220、222。每一個導電接頭234、236、238、240、242、244係可由多個層體形成。舉例來說，導電接頭234包含第一保護層248、第一阻障層250以及第一導電填充物252。於導電接頭234的結構中，第一阻障層250包覆第一導電填充物252，而第一保護層248包覆第一阻障層250。導電接頭234、236、238、240、242、244的側壁可由層間介電質層246包覆。第一導電填充物252的材料可以是金屬，例如鎢(tungsten)、二硫化鎢



(tungsten disulfide)、鈦(Ti)、鈦化氮(TiN)、鉭(Ta)、鉭化氮(TaN)、氮化鎢(tungsten nitride)、鈷(cobalt)、鈷硫化物(cobalt sulfide)、鈷氮化物(cobalt nitride)或其組合。

【0027】 閘極結構224、226、228、230、232設置在鰭片結構210上，並與導電接頭234、236、238、240、242、244沿方向X交錯排列。此外，閘極結構224、226、228、230、232下方的鰭片結構210可視作為通道區。舉例來說，在鰭片結構210中，位於閘極結構224下方且位於源極/汲極區域212與214之間的區域可以是通道區。

【0028】 每一個閘極結構224、226、228、230、232可以是採高介電材料與金屬閘極(High k-Metal-Gate；HKMG)的架構配置。舉例來說，閘極結構224包含一對間隙物253A、253B、半導體氧化物層254、高介電(high k)材料層256、第二阻障層258、功函數金屬層260、第二保護層262、第三阻障層264以及第二導電填充物266。

【0029】 間隙物253A、253B設置在鰭片結構210上，並用以於其之間定義出可填充層體的空間，例如半導體氧化物層254、高介電材料層256、第二阻障層258、功函數金屬層260、第二保護層262、第三阻障層264以及第二導電填充物266會位於間隙物253A與253B之間的空間。半導體氧化物層254設置於鰭片結構210上，其中半導體氧化物層254可做為閘極結構224的閘極氧化層。高介電材料層256設置於半導體氧化物層254上並由半導體氧化物層254包覆。第二阻障層258設置於高介電材料層256上並由高介電材料層256包覆。功函數金屬層

260設置於第二阻障層258上並由第二阻障層258包覆。第二保護層262、第三阻障層264以及第二導電填充物266設置在功函數金屬層260上，並自間隙物253A與253B之間的空間延伸至層間介電質層246上。第二導電填充物266可做為閘極結構224的閘極金屬層。

**【0030】** 半導體氧化物層254的材料包含氮化矽(silicon nitride)、氮氧化矽(silicon oxynitride)、碳化矽(silicon carbide)、氧化矽(silicon oxide)、氮化矽碳(silicon carbon nitride)或其組合。高介電材料層256的材料包含氧化鈦(hafnium oxide)、氧化鋯(zirconium oxide)、氧化鋁(aluminum oxide)、氮化矽(silicon oxynitride)、二氧化鈦-氧化鋁合金(hafnium dioxide-alumina alloy)、氧化鈦矽(hafnium silicon oxide)、氮化鈦矽(hafnium silicon oxynitride)、氧化鈦鉭(hafnium tantalum oxide)、氧化鈦鈦(hafnium titanium oxide)、氧化鈦鋯(hafnium zirconium oxide)或其組合。第二阻障層258的材料包含氮化鈦(titanium nitride)、氮化鈦鋁(titanium nitrogen aluminide)、氮化鉭(tantalum mononitride)、氮化鉭鋁(tantalum nitrogen aluminide)或其組合。第二導電填充物266的材料可以是金屬，例如鎢(tungsten)、二硫化鎢(tungsten disulfide)、鈦(Ti)、鈦化氮(TiN)、鉭(Ta)、鉭化氮(TaN)、氮化鎢(tungsten nitride)、鈷(cobalt)、鈷硫化物(cobalt sulfide)、鈷氮化物(cobalt nitride)或其組合。

**【0031】** 上述鱗片結構210、源極/汲極區域212、214、

216、218、220、222以及閘極結構224、226、228、230、232可對應形成第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124。

**【0032】** 具體來說，源極/汲極區域214、216、閘極結構226以及閘極結構226下方的鰭片結構210可分別做為第一雙極性阻變式電晶體112的第一源極/汲極端、第二源極/汲極端、第一閘極端以及第一通道。源極/汲極區域218、220、閘極結構230以及閘極結構230下方的鰭片結構210可分別做為第二雙極性阻變式電晶體122的第三源極/汲極端、第四源極/汲極端、第二閘極端以及第二通道。源極/汲極區域212、214、閘極結構224以及閘極結構224下方的鰭片結構210可分別做為第一控制電晶體114的第五源極/汲極端、第六源極/汲極端、第三閘極端以及第三通道。源極/汲極區域220、222、閘極結構232以及閘極結構232下方的鰭片結構210可分別做為第二控制電晶體124的第七源極/汲極端、第八源極/汲極端、第四閘極端以及第四通道。此外，源極/汲極區域216、218、閘極結構228以及閘極結構228下方的鰭片結構210可分別做為隔離電晶體130的第九源極/汲極端、第十源極/汲極端、第五閘極端以及第五通道。

**【0033】** 透過上述配置，第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124可沿方向X依序排列。此外，做為第一控制電晶體114、第一雙極性阻變式電晶體112、

隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124的閘極端的閘極結構224、226、228、230、232係也沿方向X依序排列在鰭片結構210上。換言之，第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124係共用同一個鰭片結構210。

**【0034】** 於此配置下，第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124可以是透過相同製程來完成，從而減少製程中使用的光罩以及降低製程的成本。舉例來說，在形成記憶體裝置100的鰭片結構210之後，使用於第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124的閘極結構224、226、228、230、232可透過相同製程形成。對此，由於第一控制電晶體114、第一雙極性阻變式電晶體112、隔離電晶體130、第二雙極性阻變式電晶體122以及第二控制電晶體124可透過同一個鰭片結構210來形成，故可縮減記憶體裝置100的尺寸，像是縮小記憶體裝置100的體積。

**【0035】** 每一對相鄰的電晶體可透過其之間所對應的源極/汲極區域212、214、216、218、220、222互相電性連接。例如，如第1A圖所示，第一控制電晶體114的第六源極/汲極端S6電性連接於第一雙極性阻變式電晶體112的第一源極/汲極端S1，第一雙極性阻變式電晶體112的第二源極/汲極端S2電性連接於隔離電晶體130的第九源極/汲極端S9，隔離電晶

體130的第十源極/汲極端S10電性連接於第二雙極性阻變式電晶體122的第三源極/汲極端S3，第二雙極性阻變式電晶體122的第四源極/汲極端S4電性連接於第二控制電晶體124的第七源極/汲極端S7，藉以形成串聯。

**【0036】** 此外，記憶體裝置100可更包含第一驅動器102、第二驅動器104、第三驅動器106、第一字元線WL1、第二字元線WL2、第一控制線CL1、第二控制線CL2、第一位元線BL1、第二位元線BL2、接地線GL。第一驅動器102可包含字元線定址驅動電路以及接地線定址驅動電路。第二驅動器104可包含控制線定址驅動電路。第三驅動器106可包含位元線定址驅動電路以及感測放大器(Sense Amplifier)。

**【0037】** 第一字元線WL1可電性連接於第一雙極性阻變式電晶體112的第一閘極端G1，以使第一雙極性阻變式電晶體112的第一閘極端G1可電性連接於第一驅動器102的字元線定址驅動電路。第二字元線WL2可電性連接於第二雙極性阻變式電晶體122的第二閘極端G2，以使第二雙極性阻變式電晶體122的第二閘極端G2可電性連接於第一驅動器102的字元線定址驅動電路。

**【0038】** 第一控制線CL1可電性連接於第一控制電晶體114的第三閘極端G3，其用以使第一控制電晶體114的第三閘極端G3可電性連接於第二驅動器104的控制線定址驅動電路。第二控制線CL2可電性連接於第二控制電晶體124的第四閘極端G4，其用以使第二控制電晶體124的第四閘極端G4電性連接於第二驅動器104的控制線定址驅動電路。

**【0039】** 第一位元線BL1可電性連接於第一控制電晶體114的第五源極/汲極端S5，其用以使第一控制電晶體114的第五源極/汲極端S5可電性連接於第三驅動器106的位元線定址驅動電路。第二位元線BL2可電性連接於第二控制電晶體124的第八源極/汲極端S8，其用以使第二控制電晶體124的第八源極/汲極端S8可電性連接於第三驅動器106的位元線定址驅動電路。

**【0040】** 透過上述配置，每一個記憶單元可透過進行不同的操作來達到記憶功能。舉例來說，第一記憶單元110中，第一雙極性阻變式電晶體112的電阻值、導電率或流通的電流會根據施加在其上的電壓差或通過的電流值而具有兩種以上的穩定狀態。進一步來說，第一雙極性阻變式電晶體112的高介電材料層256(請見第1B圖)以及第二阻障層258(請見第1B圖)所共同衍生的電阻值、導電率或流通的電流可藉由施加在其上的電壓差或通過的電流值改變，使得此電阻值、導電率或流通的電流可存在兩個或以上的穩定狀態。因此，可藉由在第一雙極性阻變式電晶體112的閘極端與源極/汲極端之間施加電壓差，來調整第一雙極性阻變式電晶體112的流通的電流的數值。接著，可以此導通電流的數值來定義第一記憶單元110的狀態。

**【0041】** 舉例來說，請看到第1C圖、第1D圖以及第1E圖，其繪示第1B圖的第一雙極性阻變式電晶體112的放大示意圖。如第1C圖所示，當第一雙極性阻變式電晶體112的高介電材料層256以及第二阻障層258(請見第1B圖)的材料分別包含

氧化鈦( $\text{HfO}_2$ )以及氮化鈦( $\text{TiN}$ )的時候，所形成的高介電材料與金屬閘極(HKMG)結構在製作完成後，可先進行「後金屬退火」(post-metal anneal)步驟來修補結構內的介面所產生之缺陷。於後金屬退火步驟中，氮化鈦中的氮離子140會因為在高溫環境中的濃度梯度有所不同而擴散至高介電材料層256中，導致在高介電材料層256中產生缺陷(vacancy)142與氧離子144(oxygen ions)對。

【0042】 接著，如第1D圖所示，若在第一雙極性阻變式電晶體112的閘極端施加正向偏壓，則高介電材料層256中的氧離子144會因為電場驅使而被取出至第二阻障層258中。由於第二阻障層258對於氧離子144的固態溶解度較大，故可將氧離子144溶解並貯藏在其中。對此，留在高介電材料層256中的缺陷142將累積成導通熔絲(filament)，這將使得半導體氧化物層254的電阻值由大變小，此可稱「low-resistance-state(LRS)」。

【0043】 反之，如第1E圖所示，若在第一雙極性阻變式電晶體112的閘極端施加逆向偏壓，則此逆向偏壓將會驅使貯藏在第二阻障層258的氧離子144被取出至往半導體氧化物層254移動，並會與存在在半導體氧化物層254的導通熔絲頂端的缺陷142再度復合。因此，導通熔絲的頂端會被截斷，並使得半導體氧化物層254的電阻值由小轉大，此可稱「high-resistance-state(HRS)」。藉由此機制，第一雙極性阻變式電晶體112的高介電材料與金屬閘極(HKMG)結構可透過其高介電材料層256以及第二阻障層258產生電阻式記憶

體(RRAM)的特性。

【0044】 進一步來說，請再看到第1F圖以及第1G圖，第1F圖繪示雙極性(bipolar)電阻式記憶體於操作時的電流電壓圖，第1G圖繪示單極性(unipolar)電阻式記憶體於操作時的電流電壓圖。第1F圖以及第1G圖的橫軸與縱軸分別表示電壓與電流，其單位可以是任意單位(arbitrary unit)。電阻式記憶體存在兩種操作機制，其一為雙極性操作，另一為單極性操作。雙極性操作與單極性操作的物理機制不相同。根據第1F圖以及第1G圖所繪的內容，在雙極性操作中set/reset所施壓的電壓的極性相反(例如set為正，而reset就為負)，其主導的機制為介電層內的氧離子與氧空缺的復合。在單極性操作中，set/reset所施加的電壓的極性為同向(亦即都為正或都為負)，而其主導的機制為「焦耳熱熔斷燈絲」。

【0045】 因此，依據第1C圖、第1D圖以及第1E圖所述的機制，第一記憶單元110可視為一種雙極性(bipolar)電阻式記憶體，其第一雙極性阻變式電晶體112於操作時的電壓電流圖可如第1H圖所示，第1H圖繪示第一雙極性阻變式電晶體112於操作時的電流電壓圖。第1H圖的橫軸與縱軸分別表示閘極-汲極電壓以及閘極電流，其單位可以是任意單位(arbitrary unit)，其中縱軸為對數尺度。

【0046】 上述對第一記憶單元110的操作可包含set、reset、read、forming四種操作或其組合。在未對第一記憶單元110進行操作之前，可先做出如下的定義：在未執行任何操作的第一記憶單元110的第一雙極性阻變式電晶體112施加一



個固定偏壓條件的時候，此固定偏壓條件不會改變第一記憶單元110的第一雙極性阻變式電晶體112的狀態，且此時所量得的導通電流係為參考電流值。

【0047】 接著，如施加某一操作，當改變第一記憶單元110的第一雙極性阻變式電晶體112的狀態，使得第一記憶單元110的第一雙極性阻變式電晶體112的導通電流相對參考電流值為小時，則定義此狀態為0。相對地，如施加某一操作，當改變第一記憶單元110的第一雙極性阻變式電晶體112的狀態，使得第一記憶單元110的第一雙極性阻變式電晶體112的導通電流相對參考電流值為大時，則定義此狀態為1。0或1的定義是為了辨別第一記憶單元110所儲存的相對狀態，其可為兩個或兩個以上的穩定狀態。

【0048】 對於set、reset、read、forming四種操作模式而言，reset係指可將第一記憶單元110操作到儲存狀態為0，set係指可將第一記憶單元110操作到儲存狀態為1，read係指可將第一記憶單元110儲存的狀態(0或1)讀出。forming係指可將第一記憶單元110設定到可供儲存並操作的狀態。各操作模式的說明分述如下。

【0049】 如欲開始操作第一記憶單元110時，可先執行forming操作來設定第一記憶單元110的狀態為0或1。具體來說，可經由控制線定址驅動電路(設置於第二驅動器104內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一控制線CL1以及第一位元線BL1，從而驅動並導通第一記憶單元110的第一控制電晶體114。藉由驅動並

導通第一控制電晶體114，第一雙極性阻變式電晶體112可透過第一控制電晶體114電性連接至第一位元線BL1。亦即，第一雙極性阻變式電晶體112可透過第一控制電晶體114以及第一位元線BL1接收來自位元線定址驅動電路的電流，亦即，可透過第一控制電晶體114以及第一位元線BL1將電流自位元線定址驅動電路輸入至第一雙極性阻變式電晶體112。接著，可經由字元線定址驅動電路(設置於第一驅動器102內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一字元線WL1以及第一位元線BL1，並施加電流或電壓組合於選定的此些線，使得第一記憶單元110的第一雙極性阻變式電晶體112的狀態可從未操作前的狀態轉換為0或1。

**【0050】** 當欲執行reset操作於第一記憶單元110時，可先經由控制線定址驅動電路(設置於第二驅動器104內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一控制線CL1以及第一位元線BL1，從而驅動並導通第一記憶單元110的第一控制電晶體114。接著，再經由字元線定址驅動電路(設置於第一驅動器102內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一字元線WL1以及第一位元線BL1，並施加電流或電壓組合於選定的此些線，使得第一記憶單元110的第一雙極性阻變式電晶體112的狀態可從reset前的狀態轉變狀態0。

**【0051】** 當欲執行set操作於第一記憶單元110時，可先經由控制線定址驅動電路(設置於第二驅動器104內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連

接的第一控制線CL1以及第一位元線BL1，從而驅動並導通第一記憶單元110的第一控制電晶體114。接著，再經由字元線定址驅動電路(設置於第一驅動器102內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一字元線WL1以及第一位元線BL1，並施加電流或電壓組合於選定的此些線，使得第一記憶單元110的第一雙極性阻變式電晶體112的狀態可從set前的狀態轉變狀態1。

**【0052】** 當欲執行read操作於第一記憶單元110並讀取第一記憶單元110的資訊時，可先經由控制線定址驅動電路(設置於第二驅動器104內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一控制線CL1以及第一位元線BL1，從而驅動並導通第一記憶單元110的第一控制電晶體114。接著，再經由字元線定址驅動電路(設置於第一驅動器102內)以及位元線定址驅動電路(設置於第三驅動器106內)分別選定與其電性連接的第一字元線WL1以及第一位元線BL1，依據所施加的電壓差或電流大小決定儲存在第一記憶單元110的第一雙極性阻變式電晶體112的電阻值，其中所施加的電壓、電流或其組合不會改變原存在第一雙極性阻變式電晶體112的電阻值。設置於第三驅動器106內的感測放大器可依據第一雙極性阻變式電晶體112的電阻值大小，判斷出第一雙極性阻變式電晶體112的狀態是在0或1。

**【0053】** 於上述操作中，未被選定的位元線、控制線或字元線可接地或浮接(floating)。第二記憶單元120的操作方式可與第一記憶單元110的操作方式雷同，在此不再贅述。此

外，接地線GL可電性連接於隔離電晶體130的第五閘極端G5，其用以使隔離電晶體130的第五閘極端G5電性連接於第一驅動器102的接地線定址驅動電路。

【0054】 當記憶體電路100A透過第一記憶單元110以及第二記憶單元120進行寫入或讀取的時候，耦接於第一記憶單元110與第二記憶單元120之間的隔離電晶體130可用以使第一記憶單元110與第二記憶單元120互相電性隔離。

【0055】 舉例來說，由於隔離電晶體130的第五閘極端G5係電性連接於第一驅動器102的接地線定址驅動電路，故隔離電晶體130的第五閘極端G5的電位可視為接地。於此配置下，隔離電晶體130不會被導通，亦即，未被導通的隔離電晶體130可電性隔離其第九源極/汲極端S9與第十源極/汲極端S10之間的電流。亦即，未被導通的隔離電晶體130可視為關閉其通道，從而阻擋自第九源極/汲極端S9流向第十源極/汲極端S10的電流或阻擋自第十源極/汲極端S10流向第九源極/汲極端S9的電流。也因此，隔離電晶體130亦將第一記憶單元110的第一雙極性阻變式電晶體112的第二源極/汲極端S2與第二記憶單元120的第二雙極性阻變式電晶體122的第三源極/汲極端S3互相電性隔離，從而防止第一記憶單元110與第二記憶單元120之間有漏電流產生。舉例來說，可能會有預期外的溜徑電流(sneak current)自第一控制電晶體114透過第一字元線WL1流入別列的電晶體，並再透過第二字元線WL2流入第二雙極性阻變式電晶體122。對此，當配置於第一控制電晶體114與第二雙極性阻變式電晶體122之間的隔離電晶體130為導通

時，如此的溜徑電流在進入第二雙極性阻變式電晶體122之後將可能會回流至第一控制電晶體114，而形成漏電流。然而，當隔離電晶體130如同前述的方式關閉其通道區時，即可抑制此溜徑電流自第二雙極性阻變式電晶體122回流至同列的第一控制電晶體114。

**【0056】** 此外，可以設置超過一對記憶單元於記憶體電路100A之中。例如第1A圖中的記憶體電路100A設置了兩對記憶單元，且每一對記憶單元之間設置有隔離電晶體。透過設置超過一對記憶單元於記憶體電路100A之中，可在記憶體電路100A之中形成記憶體陣列。

**【0057】** 請再看到第2A圖及第2B圖，第2A圖為根據本揭露內容的第二實施方式繪示記憶體裝置300的記憶體電路300A的等效電路圖，而第2B圖為對應第2A圖的第一記憶單元110、隔離電晶體130以及第二記憶單元120的結構的剖面示意圖。為了不使圖式過於複雜，第2A圖僅繪示兩列的電晶體，且每一列的電晶體數量為五個，然而，其非用以限定本揭露內容，於其他實施方式中，電晶體陣列可採如第2A圖的電晶體配置並延伸配置更多的電晶體。本實施方式與第一實施方式的至少一個差異點在於，本實施方式的記憶體裝置300的層間介電質層246會覆蓋在隔離電晶體130的閘極結構228上，以使隔離電晶體130的第五閘極端G5具有浮動電位。

**【0058】** 在隔離電晶體130的第五閘極端G5是具有浮動電位的情況下，隔離電晶體130不會被導通，故其可達到將第一雙極性阻變式電晶體112的第二源極/汲極端S2電性隔離於

第二雙極性阻變式電晶體122的第三源極/汲極端S3的效果，從而防止第一記憶單元110與第二記憶單元120之間有漏電流產生。也就是說，可如同前述的方式，抑制溜徑電流自第二記憶單元120回流至同列的第一記憶單元110。此外，本實施方式的記憶單元的操作方式可與第一實施方式雷同，在此不再贅述。

**【0059】** 請再看到第3A圖及第3B圖，第3A圖為根據本揭露內容的第三實施方式繪示記憶體裝置400的記憶體電路400A的等效電路圖，而第3B圖為對應第3A圖的第一記憶單元110、介電絕緣結構270以及第二記憶單元120的結構的剖面示意圖。為了不使圖式過於複雜，第3A圖僅繪示兩列的電晶體，且每一列的電晶體數量為五個，然而，其非用以限定本揭露內容，於其他實施方式中，電晶體陣列可採如第3A圖的電晶體配置並延伸配置更多的電晶體。本實施方式與第一實施方式的至少一個差異點在於，本實施方式的記憶體裝置400更包含介電絕緣結構270，其中介電絕緣結構270配置於第一雙極性阻變式電晶體112與第二雙極性阻變式電晶體122之間。

**【0060】** 配置於第一雙極性阻變式電晶體112與第二雙極性阻變式電晶體122之間的介電絕緣結構270可做為記憶體裝置400內的隔離區域，並用以使第一雙極性阻變式電晶體112電性隔離於第二雙極性阻變式電晶體122。進一步來說，介電絕緣結構270係可設置以取代隔離電晶體130(請見第1B圖)，藉以防止第一記憶單元110與第二記憶單元120之間有漏電流產生。也就是說，可如同前述的方式，抑制溜徑電流自第二記

憶單元120回流至同列的第一記憶單元110。。介電絕緣結構270可視為淺溝隔離(shallow trench isolation ; STI)結構，並設置在基板200以及鱗片結構210內且由層間介電質層246覆蓋。介電絕緣結構270具有絕緣材料於其內，像是一或多層之氧化矽、氮化矽、氮氧化矽(SiON)、氮碳氧化矽(SiOCN)、氟摻雜矽酸鹽玻璃(fluorine-doped silicate glass, FSG)或低k介電材料。

**【0061】** 綜上所述，本揭露內容的記憶體裝置包含記憶體電路，其中記憶體電路可以是使用雙極性阻變式電晶體所成的電阻式記憶體電路。記憶體裝置包含第一記憶單元、第二記憶單元以及電性絕緣特徵，其中電性絕緣特徵耦接或位在第一記憶單元與第二記憶單元之間。第一記憶單元包含第一雙極性阻變式電晶體以及第一控制電晶體，其中第一控制電晶體可控制第一雙極性阻變式電晶體的導通與否。第二記憶單元包含第二雙極性阻變式電晶體以及第二控制電晶體，其中第二控制電晶體可控制第二雙極性阻變式電晶體的導通與否。第一雙極性阻變式電晶體以及第二雙極性阻變式電晶體可包含採高介電材料與金屬閘極(High k-Metal-Gate ; HKMG)的架構配置的閘極結構。當記憶體電路進行寫入或讀取的時候，電性絕緣特徵可用以防止第一記憶單元與第二記憶單元之間有漏電流電流產生。舉例來說，可如同前述的方式，抑制溜徑電流自第二記憶單元回流至同列的第一記憶單元。

**【0062】** 除此之外，第一控制電晶體、第一雙極性阻變式電晶體、隔離電晶體、第二雙極性阻變式電晶體以及第二控制

電晶體的閘極結構可配置在同一個鰭片結構上。也就是說，第一控制電晶體、第一雙極性阻變式電晶體、隔離電晶體、第二雙極性阻變式電晶體以及第二控制電晶體可以是透過相同製程來完成，從而減少製程中使用的光罩以及降低製程的成本。

**【0063】** 雖然本發明已以多種實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### **【符號說明】**

##### **【0064】**

- 100、300、400 記憶體裝置
- 100A、300A、400A 記憶體電路
- 102 第一驅動器
- 104 第二驅動器
- 106 第三驅動器
- 110 第一記憶單元
- 112 第一雙極性阻變式電晶體
- 114 第一控制電晶體
- 120 第二記憶單元
- 122 第二雙極性阻變式電晶體
- 124 第二控制電晶體
- 130 隔離電晶體
- 140 氬離子



- 142 缺陷
- 144 氧離子
- 200 基板
- 212、214、216、218、220、222 源極/汲極區域
- 210 鰭片結構
- 224、226、228、230、232 閘極結構
- 234、236、238、240、242、244 導電接頭
- 246 層間介電質層
- 248 第一保護層
- 250 第一阻障層
- 252 第一導電填充物
- 253A、253B 間隙物
- 254 半導體氧化物層
- 256 高介電材料層
- 258 第二阻障層
- 260 功函數金屬層
- 262 第二保護層
- 264 第三阻障層
- 266 第二導電填充物
- 270 介電絕緣結構
- BL1 第一位元線
- BL2 第二位元線
- CL1 第一控制線
- CL2 第二控制線

- G1 第一閘極端
- G2 第二閘極端
- G3 第三閘極端
- G4 第四閘極端
- G5 第五閘極端
- GL 接地線
- S1 第一源極/汲極端
- S2 第二源極/汲極端
- S3 第三源極/汲極端
- S4 第四源極/汲極端
- S5 第五源極/汲極端
- S6 第六源極/汲極端
- S7 第七源極/汲極端
- S8 第八源極/汲極端
- S9 第九源極/汲極端
- S10 第十源極/汲極端
- WL1 第一字元線
- WL2 第二字元線
- X 方向

## 【發明申請專利範圍】

【第 1 項】一種非揮發性記憶體，包含：

一第一記憶單元，包含互相電性連接的一第一雙極性阻變式電晶體與一第一控制電晶體，其中該第一雙極性阻變式電晶體電性連接至一字元線定址驅動電路，該第一控制電晶體電性連接至一控制線定址驅動電路，且當該控制線定址驅動電路驅動該第一控制電晶體時，該第一雙極性阻變式電晶體透過該第一控制電晶體接收來自一位元線定址驅動電路的一第一電流；

一第二記憶單元，包含互相電性連接的一第二雙極性阻變式電晶體與一第二控制電晶體，其中該第二雙極性阻變式電晶體電性連接至該字元線定址驅動電路，該第二控制電晶體電性連接至該控制線定址驅動電路，且當該控制線定址驅動電路驅動該第二控制電晶體時，該第二雙極性阻變式電晶體透過該第二控制電晶體接收來自該位元線定址驅動電路的一第二電流；以及

一隔離電晶體，耦接於該第一記憶單元與該第二記憶單元之間，用以使該第一記憶單元與該第二記憶單元互相電性隔離。

【第 2 項】如請求項 1 所述的非揮發性記憶體，更包含：

一鱗片結構，沿一方向延伸，其中該第一控制電晶體、該第一雙極性阻變式電晶體、該隔離電晶體、該第二雙極性阻變式電晶體以及該第二控制電晶體的複數個閘極結構沿該

方向依序排列在該鰭片結構上。

【第 3 項】如請求項 1 所述的非揮發性記憶體，其中該隔離電晶體具有一閘極端，且該閘極端經由一地線電性連接於一接地線定址驅動電路。

【第 4 項】如請求項 1 所述的非揮發性記憶體，其中該隔離電晶體包含一閘極結構，且該非揮發性記憶體更包含一層間介電質(inter-layer dielectric; ILD)層，該層間介電質層覆蓋在該隔離電晶體的該閘極結構上，以使該隔離電晶體的一閘極端具有浮動(floating)電位。

【第 5 項】一種非揮發性記憶體，包含：

一第一記憶單元，包含互相電性連接的一第一雙極性阻變式電晶體與一第一控制電晶體，其中該第一雙極性阻變式電晶體電性連接至一字元線定址驅動電路，該第一控制電晶體電性連接至一控制線定址驅動電路，且當該控制線定址驅動電路驅動該第一控制電晶體時，該第一雙極性阻變式電晶體透過該第一控制電晶體接收來自一位元線定址驅動電路的一第一電流；

一第二記憶單元，包含互相電性連接的一第二雙極性阻變式電晶體與一第二控制電晶體，其中該第二雙極性阻變式電晶體電性連接至該字元線定址驅動電路，該第二控制電晶體電性連接至該控制線定址驅動電路，且當該控制線定址驅

動電路驅動該第二控制電晶體時，該第二雙極性阻變式電晶體透過該第二控制電晶體接收來自該位元線定址驅動電路的一第二電流；以及

一隔離區域，配置於該第一雙極性阻變式電晶體與該第二雙極性阻變式電晶體之間，用以使該第一記憶單元與該第二記憶單元互相電性隔離。

【第 6 項】如請求項 5 所述的非揮發性記憶體，更包含：

一鱗片結構，沿一方向延伸，其中該第一控制電晶體、該第一雙極性阻變式電晶體、該第二雙極性阻變式電晶體以及該第二控制電晶體的複數個閘極結構沿該方向依序排列在該鱗片結構上，且該隔離區域位於該鱗片結構內。

【第 7 項】一種非揮發性記憶體，包含：

一第一雙極性阻變式電晶體，具有一第一源極/汲極端以及一第二源極/汲極端；

一第一控制電晶體，電性連接於一第一位元線與該第一雙極性阻變式電晶體的該第一源極/汲極端之間，以使該第一雙極性阻變式電晶體透過該第一控制電晶體電性連接至該第一位元線；

一第二雙極性阻變式電晶體，具有一第三源極/汲極端以及一第四源極/汲極端；

一第二控制電晶體，電性連接於一第二位元線與該第二雙極性阻變式電晶體的該第四源極/汲極端之間，以使該第二

雙極性阻變式電晶體透過該第二控制電晶體電性連接至該第二位元線；以及

一隔離電晶體，耦接於該第一雙極性阻變式電晶體的該第二源極/汲極端與該第二雙極性阻變式電晶體的該第四源極/汲極端之間。

【第 8 項】如請求項 7 所述的非揮發性記憶體，其中該第一位元線以及該第二位元線電性連接於一位元線定址驅動電路，該第一雙極性阻變式電晶體具有一第一閘極端，該第二雙極性阻變式電晶體具有一第二閘極端，且該非揮發性記憶體更包含：

一第一字元線，用以使該第一雙極性阻變式電晶體的該第一閘極端電性連接於一字元線定址驅動電路，其中該第一雙極性阻變式電晶體的電阻值係透過該位元線定址驅動電路與該字元線定址驅動電路施加在該第一雙極性阻變式電晶體上的電壓差或通過的電流值而具有兩種以上的穩定狀態；以及

一第二字元線，用以使該第二雙極性阻變式電晶體的該第二閘極端電性連接於該字元線定址驅動電路，其中該第二雙極性阻變式電晶體的電阻值係透過該位元線定址驅動電路與該字元線定址驅動電路施加在該第二雙極性阻變式電晶體上的電壓差或通過的電流值而具有兩種以上的穩定狀態。

【第 9 項】如請求項 7 所述的非揮發性記憶體，其中該

第一源極/汲極端和第二源極/汲極端之間為用以控制電流導通的一通道，且該第一雙極性阻變式電晶體更包含一閘極結構，且該閘極結構包含：

一對間隙物；

至少一閘極金屬層，設置於該對間隙物之間並位於該通道之上；

一高介電材料層，設置於該對間隙物之間並位於該通道與該閘極金屬層之間；

一半導體氧化物層，設置於該對間隙物之間並位於該高介電材料層與該通道之間；以及

一阻障層，設置於該對間隙物之間並位於該高介電材料層與該閘極金屬層之間。

**【第 10 項】**如請求項 7 所述的非揮發性記憶體，更包含：

一鱗片結構，沿一方向延伸，其中該第一控制電晶體、該第一雙極性阻變式電晶體、該隔離電晶體、該第二雙極性阻變式電晶體以及該第二控制電晶體的複數個閘極結構沿該方向依序排列在該鱗片結構上。

**【第 11 項】**如請求項 7 所述的非揮發性記憶體，其中該隔離電晶體具有一閘極端，且該閘極端經由一地線電性連接於一接地線定址驅動電路。

**【第 12 項】**如請求項 7 所述的非揮發性記憶體，其中該

隔離電晶體包含一閘極結構，且該非揮發性記憶體更包含一層間介電質(inter-layer dielectric；ILD)層，該層間介電質層覆蓋在該隔離電晶體的該閘極結構上，以使該隔離電晶體的一閘極端具有浮動(floating)電位。

【第 13 項】一種非揮發性記憶體的操作方法，包含：

透過一第一控制線以及一第一位元線驅動並導通一第一記憶單元的一第一控制電晶體；

將一第一電流自一位元線定址驅動電路透過該第一控制電晶體以及該第一位元線輸入至該第一記憶單元的一第一雙極性阻變式電晶體；以及

經由該位元線定址驅動電路選定該第一位元線以及經由一字元線定址驅動電路選定一第一字元線，施加偏壓於該第一雙極性阻變式電晶體。

【第 14 項】如請求項 13 所述的操作方法，更包含：

透過一第二控制線以及一第二位元線驅動並導通一第二記憶單元的一第二控制電晶體；

將一第二電流自該位元線定址驅動電路透過該第二控制電晶體以及該第二位元線輸入至該第二記憶單元的一第二雙極性阻變式電晶體；

經由該位元線定址驅動電路選定該第二位元線以及經由該字元線定址驅動電路選定一第二字元線，施加偏壓於該第二雙極性阻變式電晶體；以及



透過關閉一隔離電晶體的一通道，電性隔離該第一雙極性阻變式電晶體與該第二雙極性阻變式電晶體。

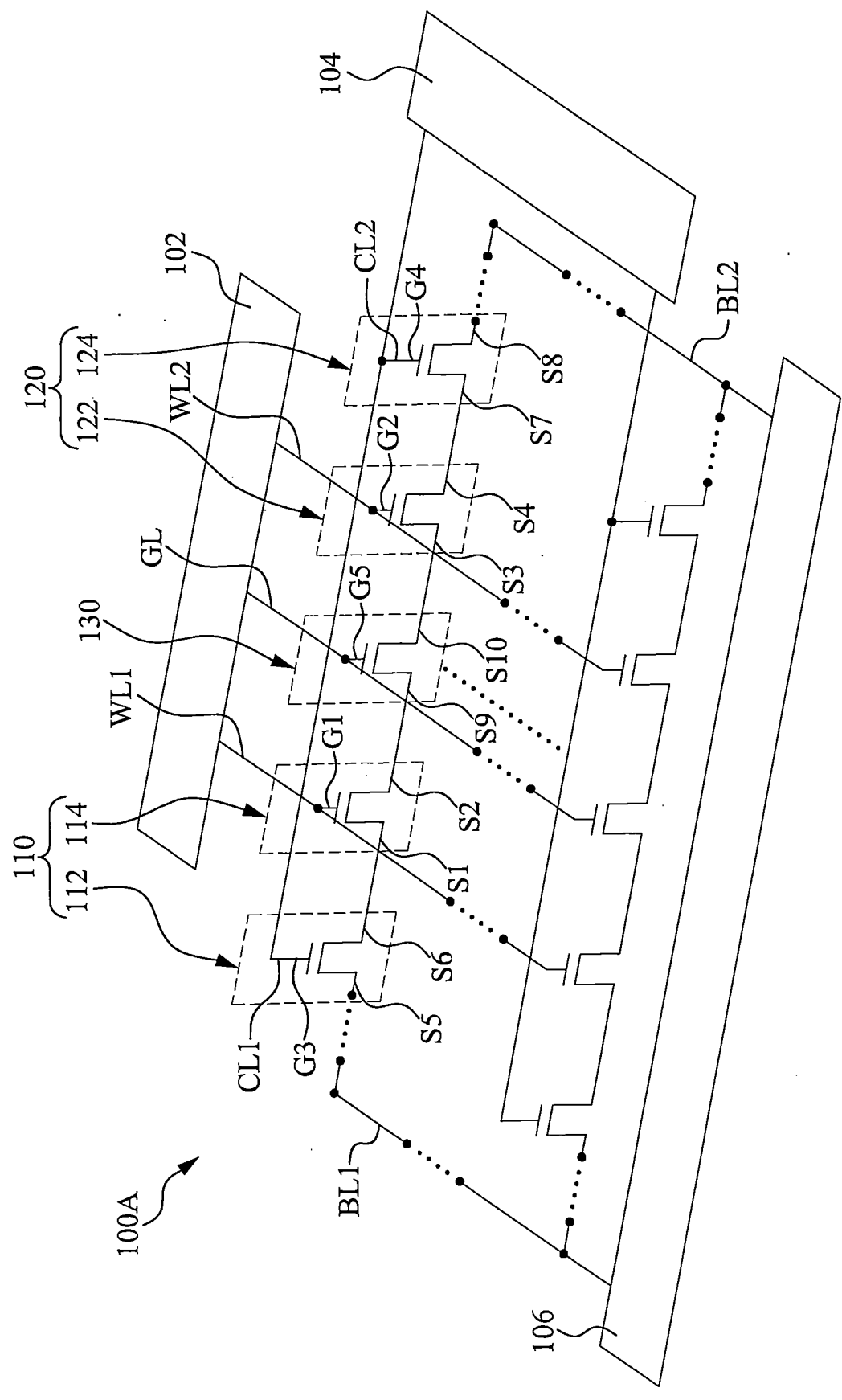
【第 15 項】如請求項 13 所述的操作方法，更包含：

施加一第一偏壓於該第一雙極性阻變式電晶體，以使該第一雙極性阻變式電晶體的電阻值為一第一狀態；以及

施加一第二偏壓於該第一雙極性阻變式電晶體，以使該第一雙極性阻變式電晶體的電阻值自該第一狀態改變為一第二狀態。

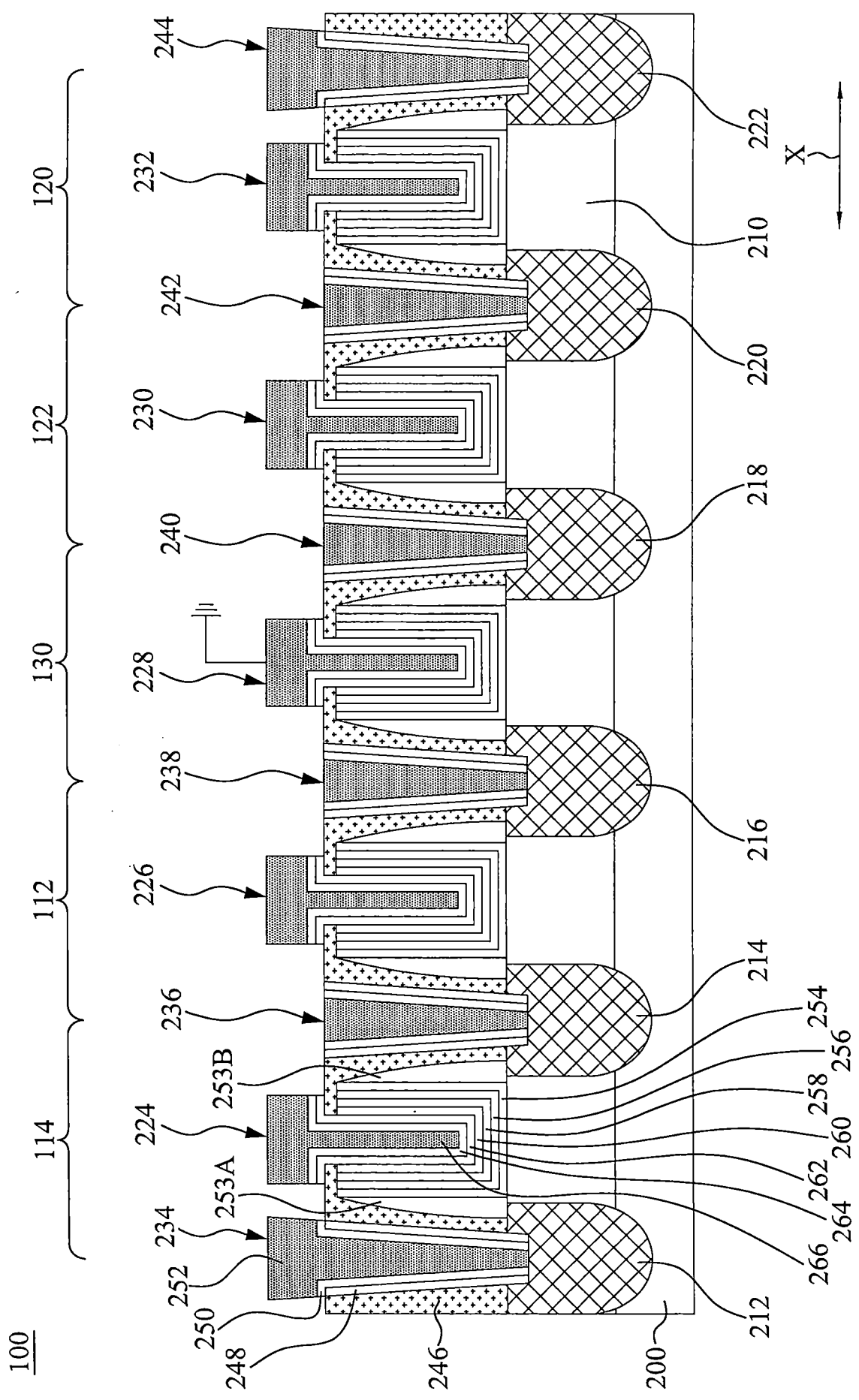
【第 16 項】如請求項 15 所述的操作方法，更包含：

經由該位元線定址驅動電路選定該第一位元線以及經由該字元線定址驅動電路選定該第一字元線，產生通過該第一雙極性阻變式電晶體的電流，以判斷該第一雙極性阻變式電晶體的電阻值係為該第一狀態或該第二狀態。

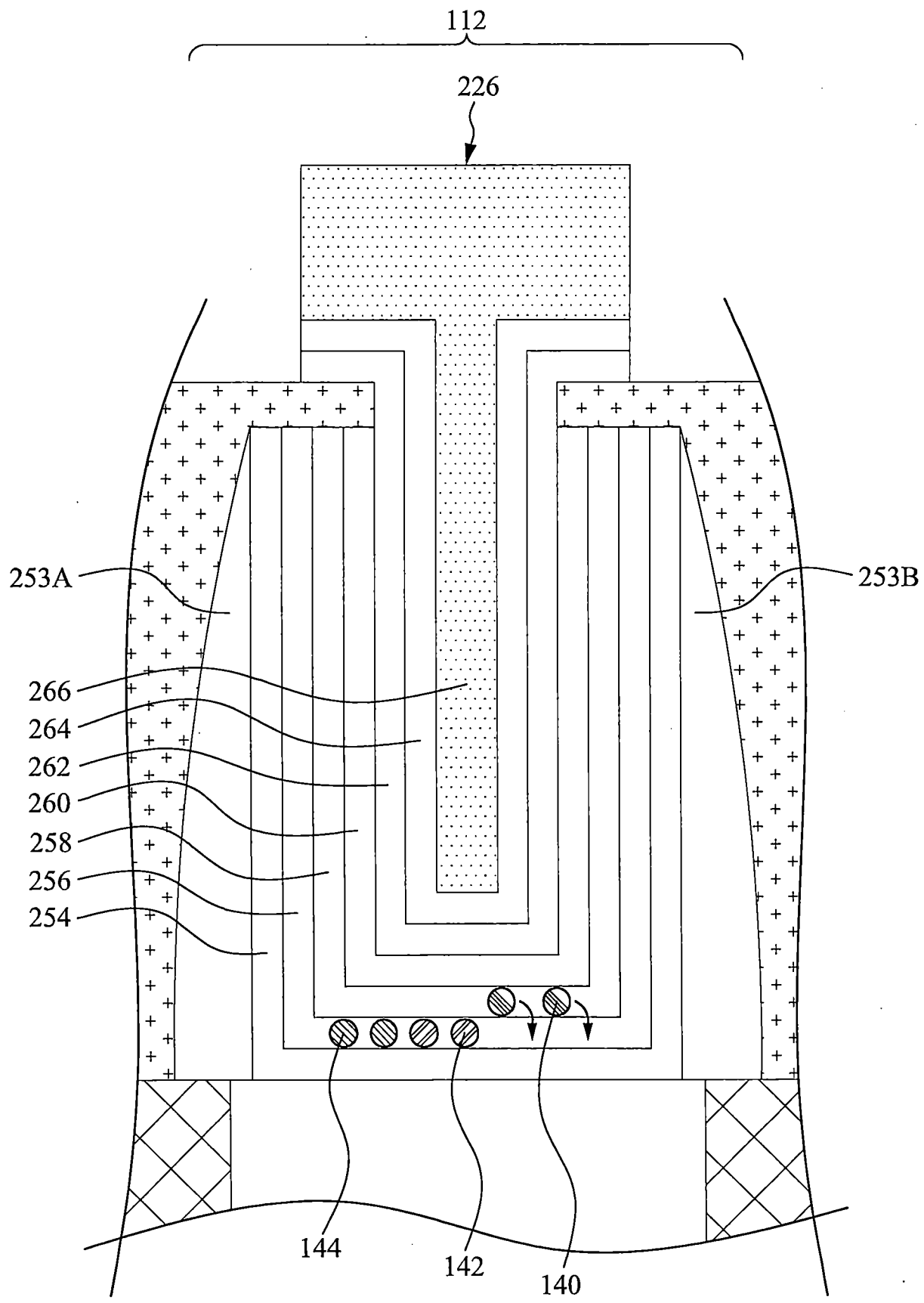


圖式

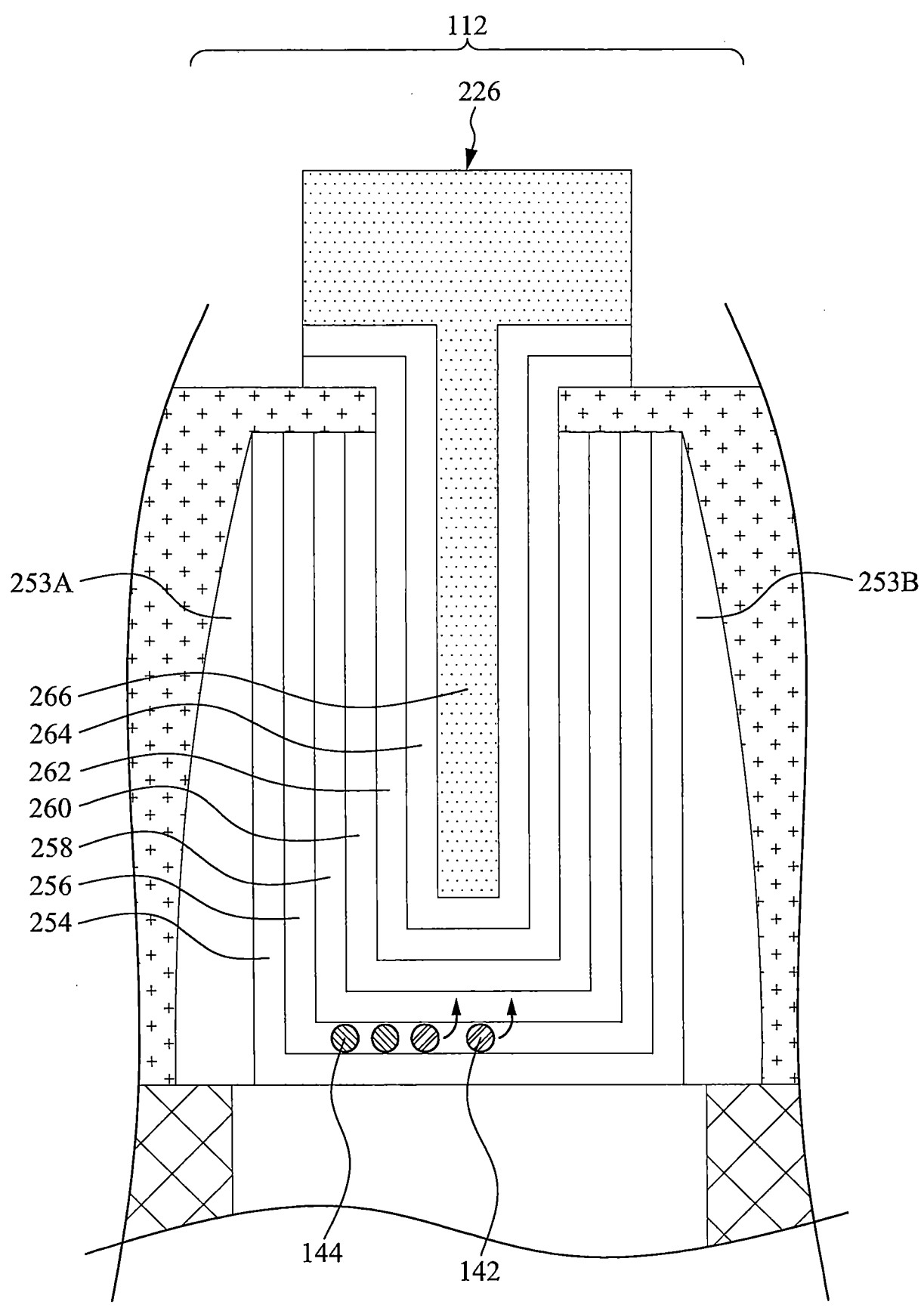
第 1A 圖



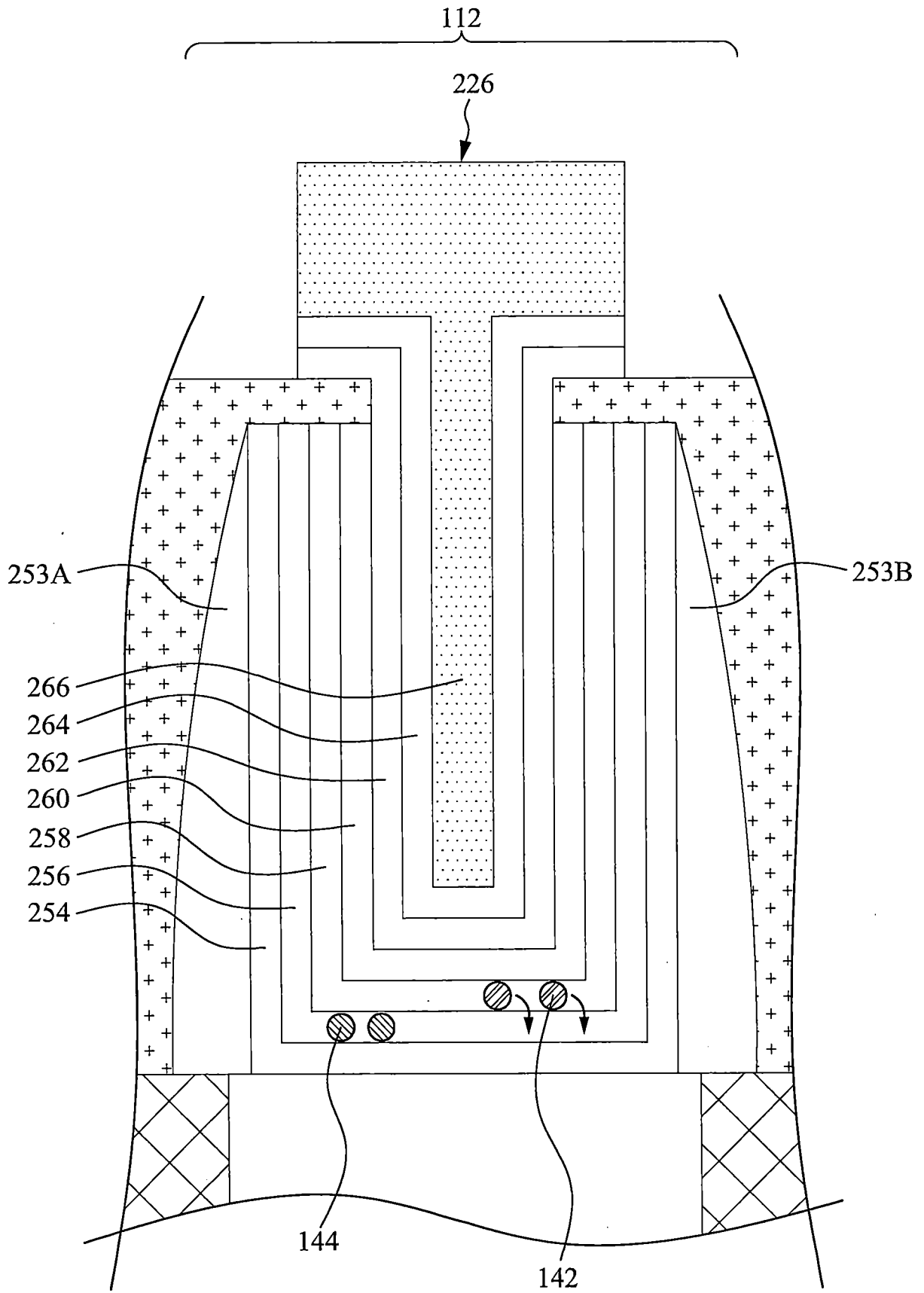
第1B圖



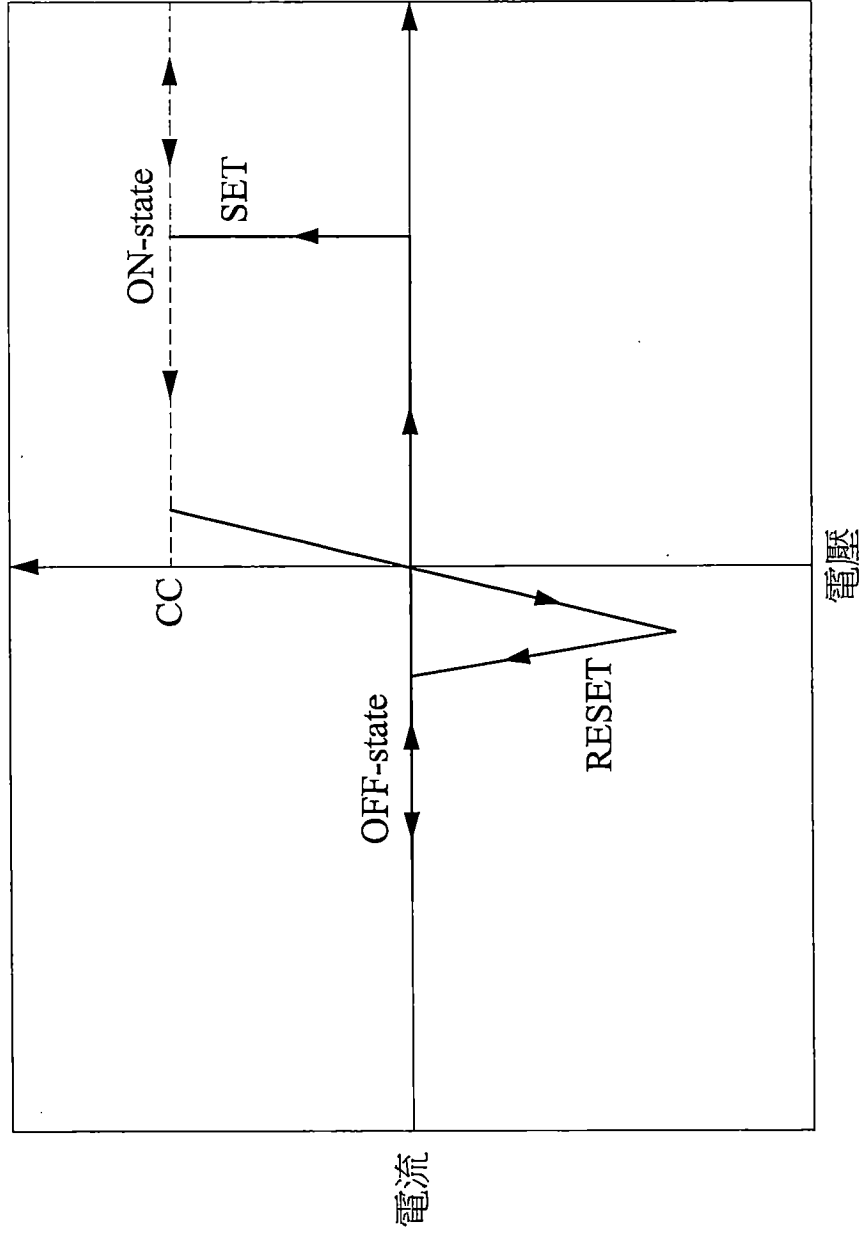
第 1C 圖



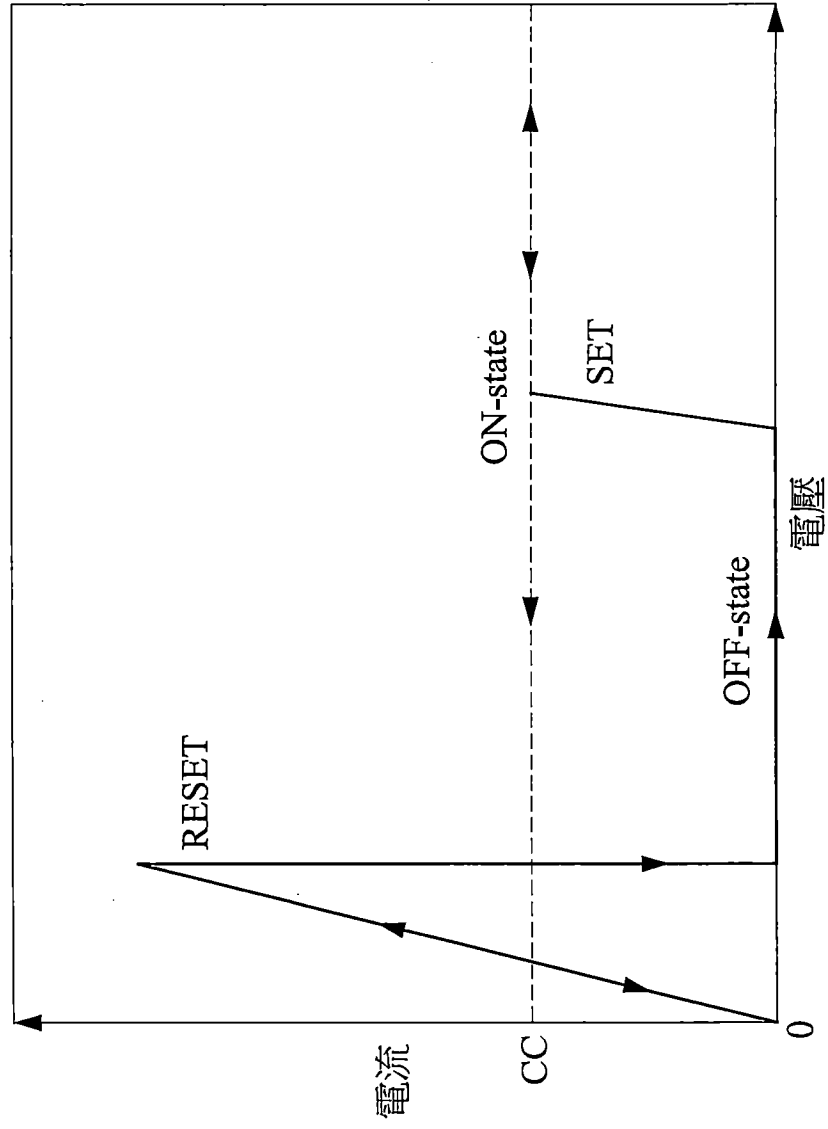
第 1D 圖



第 1E 圖

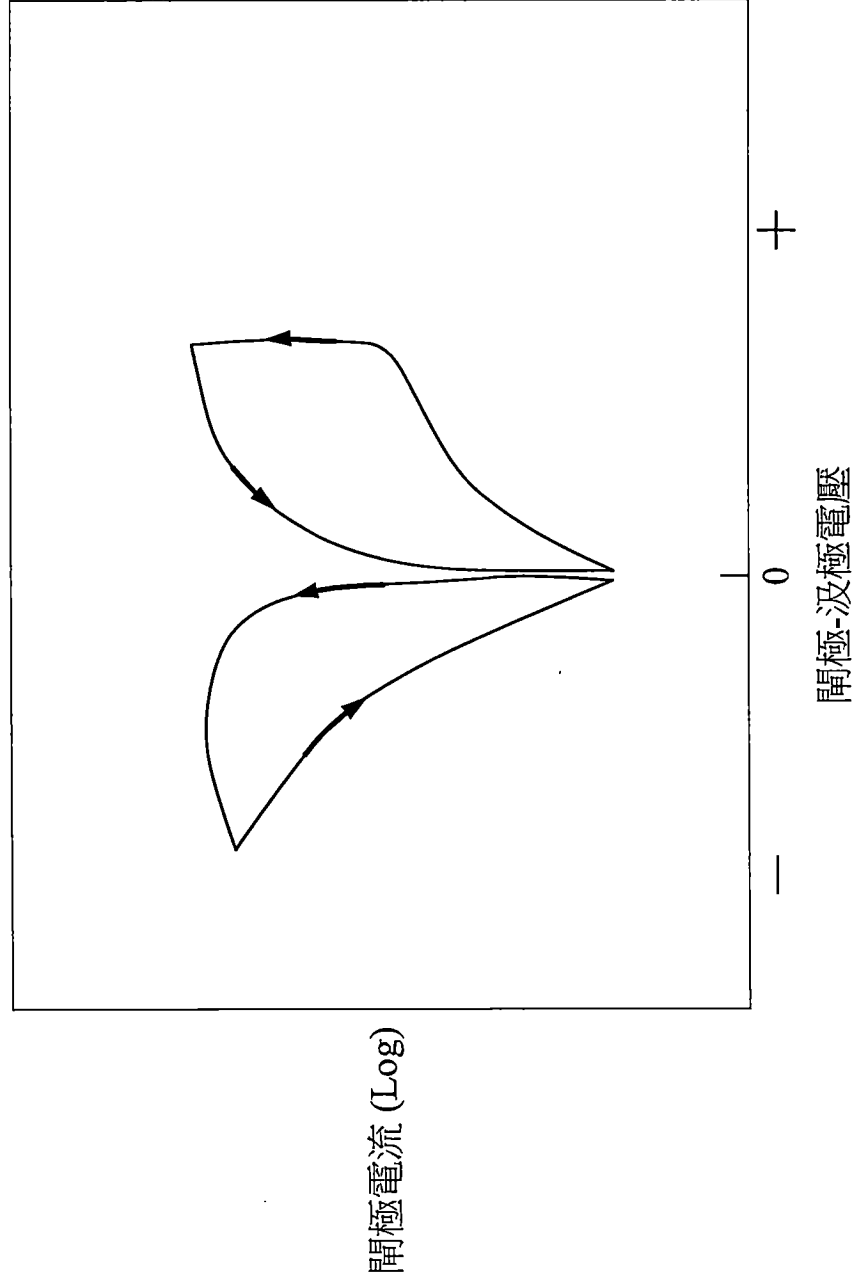


第1F圖

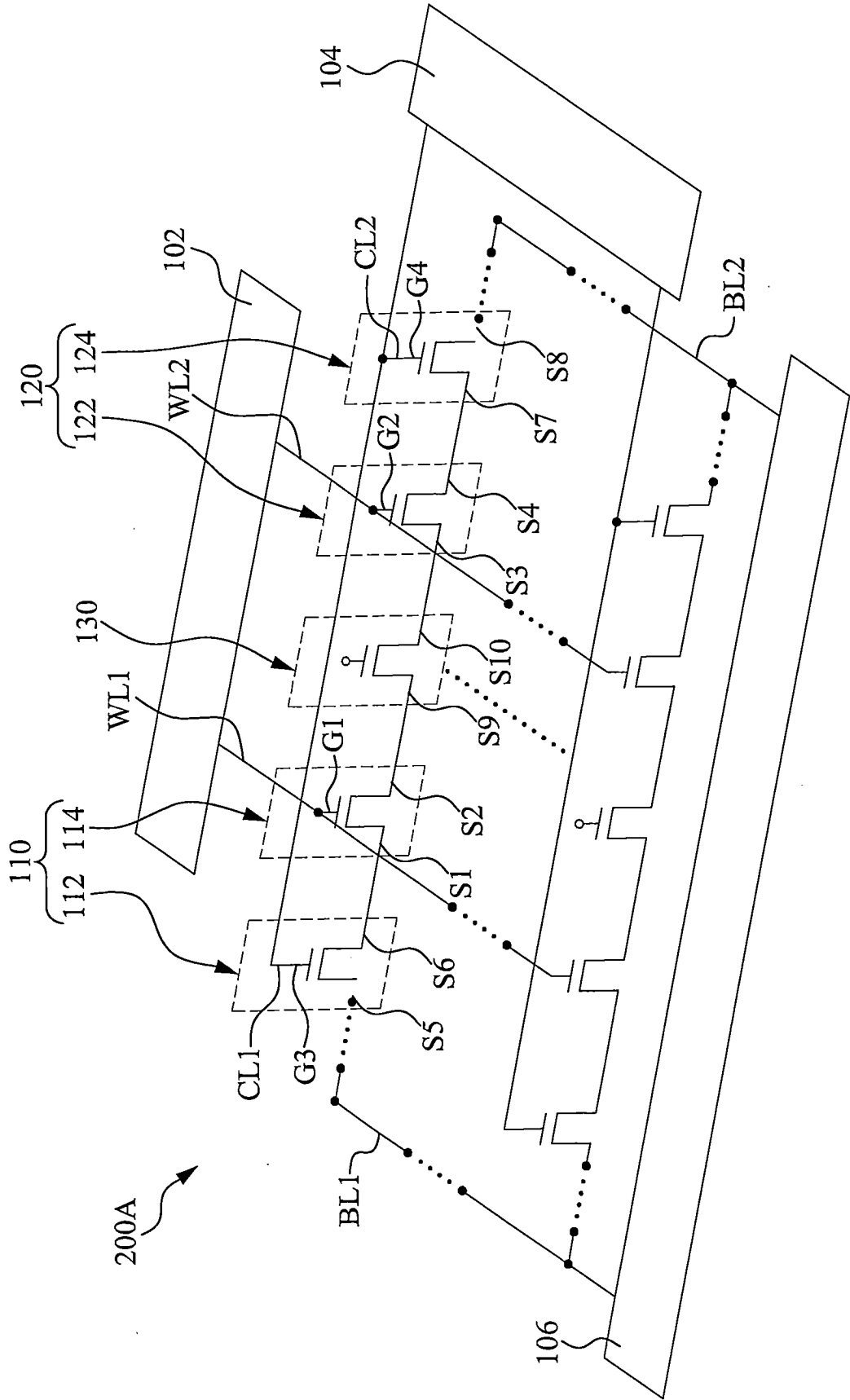


第1G圖

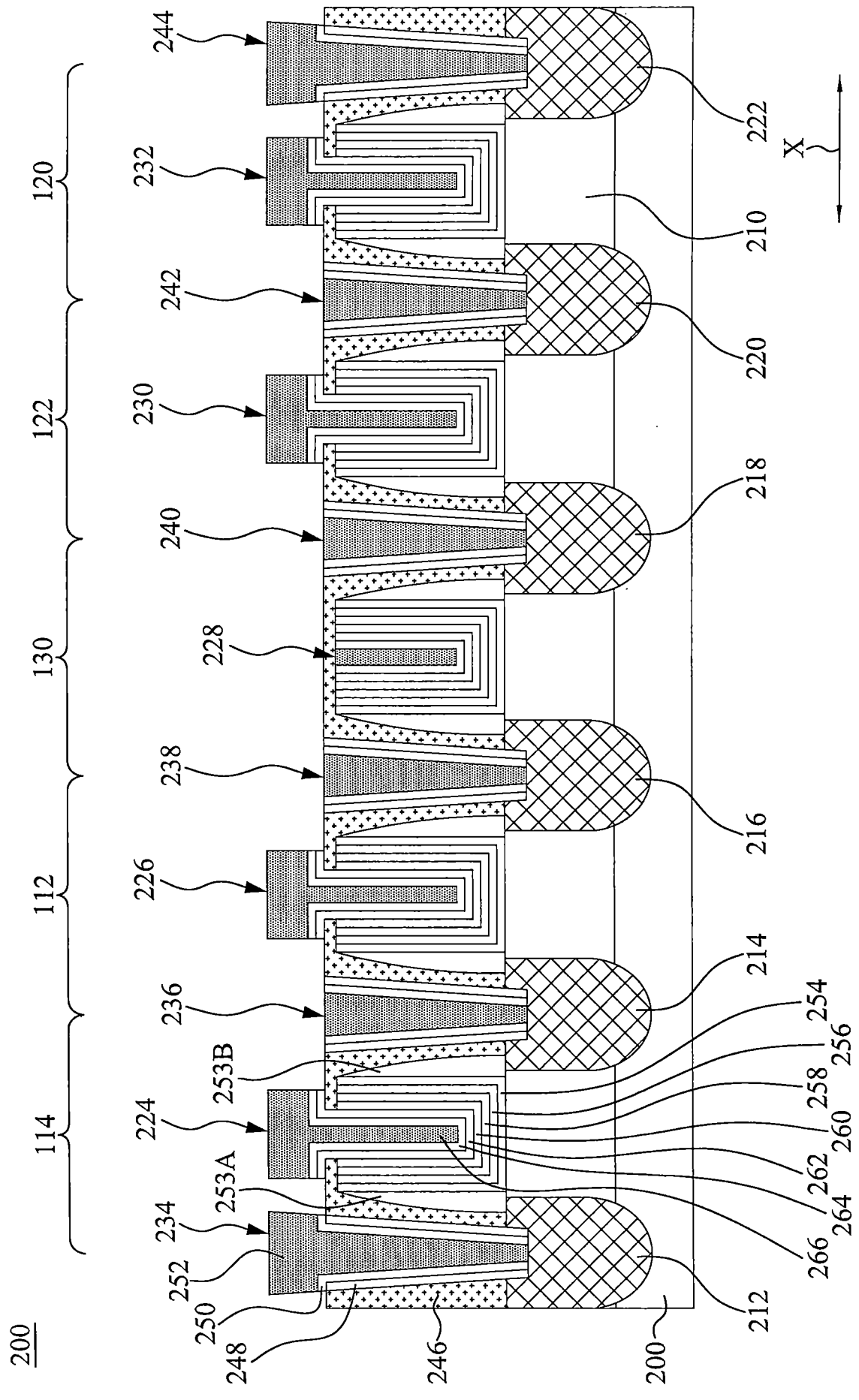




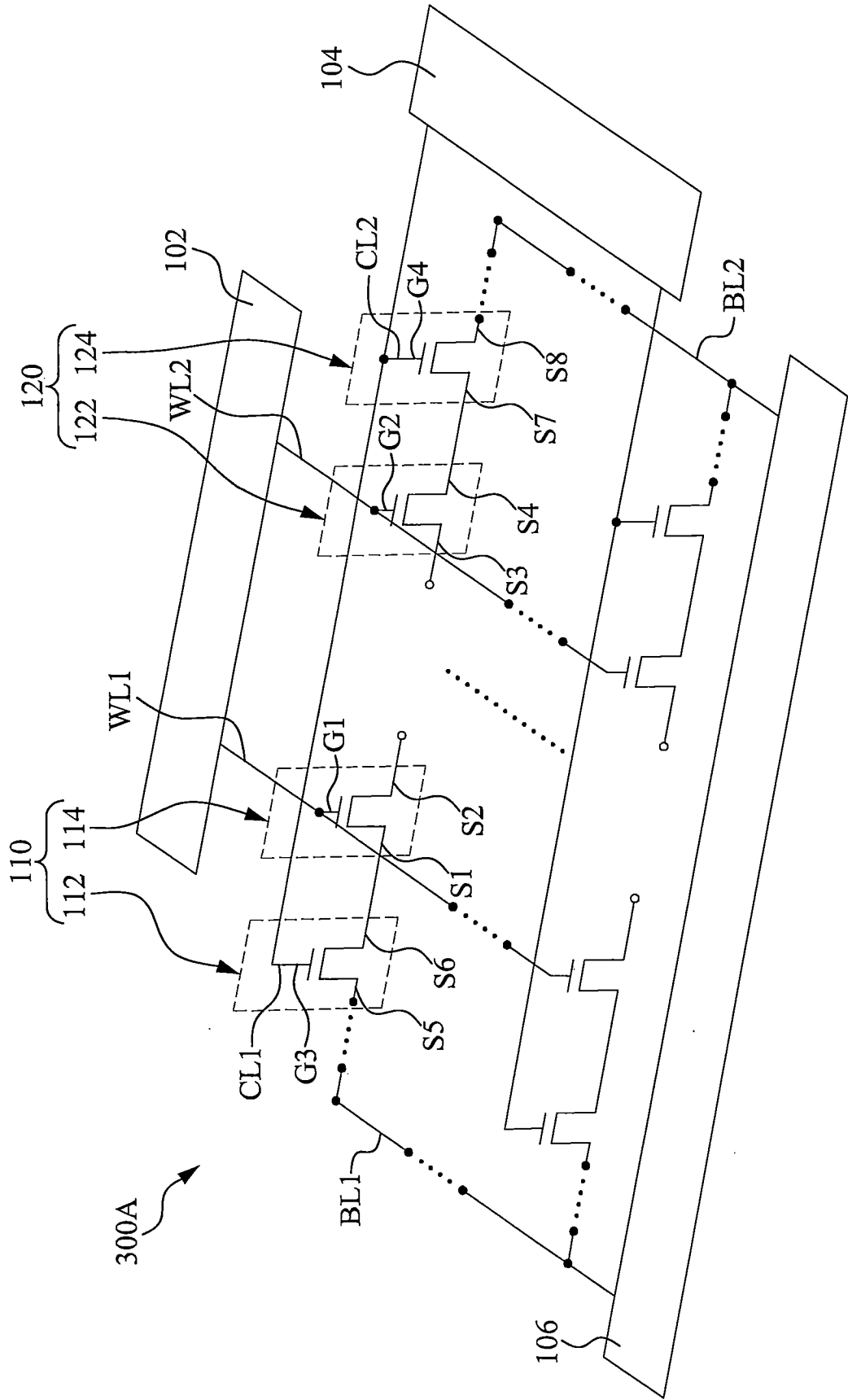
第1H圖



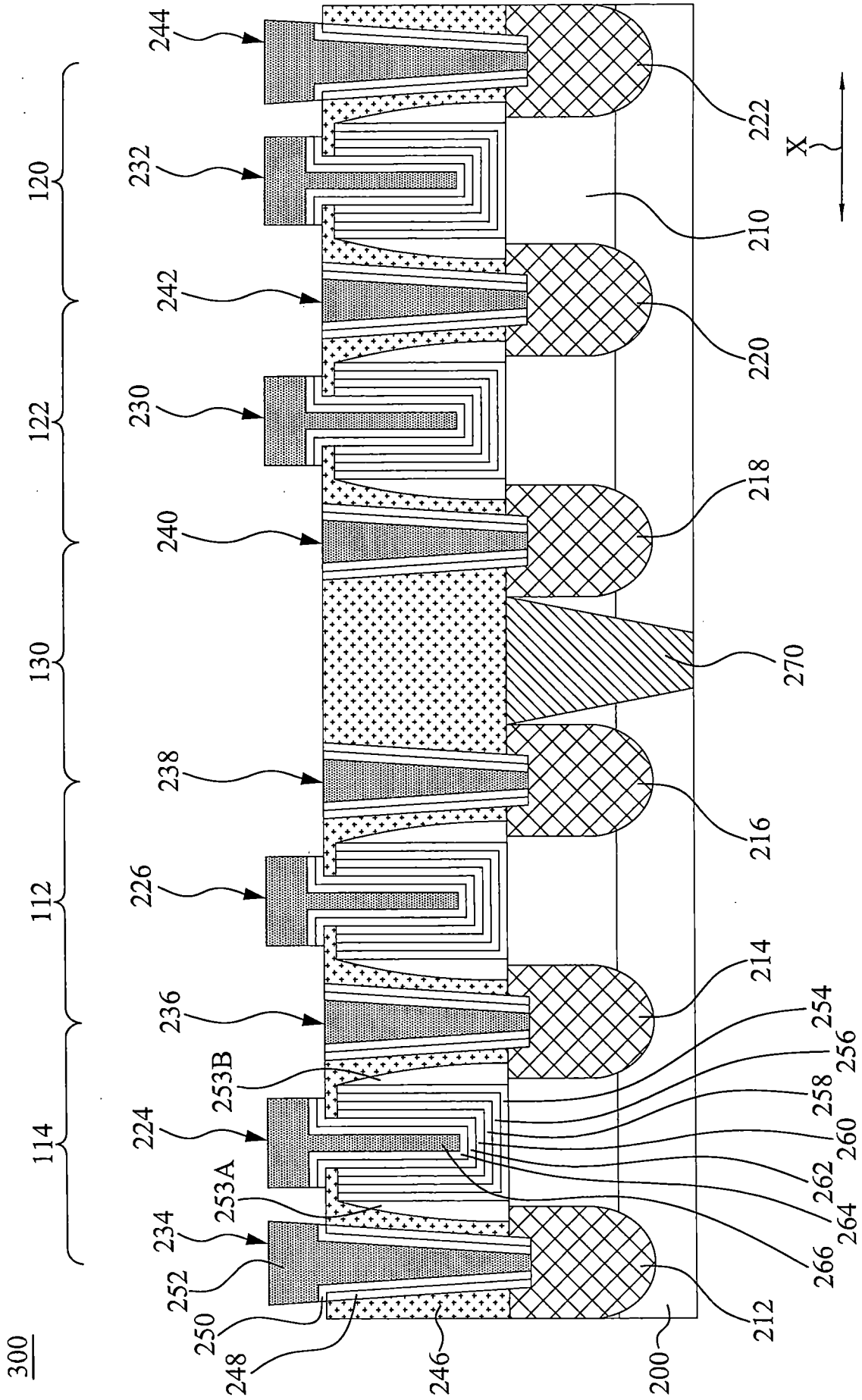
第2A圖



第2B圖



第3A圖



第 3B 圖