



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201901533 A

(43)公開日：中華民國 108 (2019) 年 01 月 01 日

(21)申請案號：106115591

(22)申請日：中華民國 106 (2017) 年 05 月 11 日

(51)Int. Cl.：

G06N3/06 (2006.01)

G06N3/02 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

(72)發明人：侯拓宏 HOU, TUO-HUNG (TW)；張志丞 CHANG, CHIH-CHENG (TW)；劉仁傑 LIU, JEN-CHIEH (TW)

(74)代理人：江日舜

申請實體審查：有 申請專利範圍項數：12 項 圖式數：7 共 25 頁

(54)名稱

神經網路處理系統

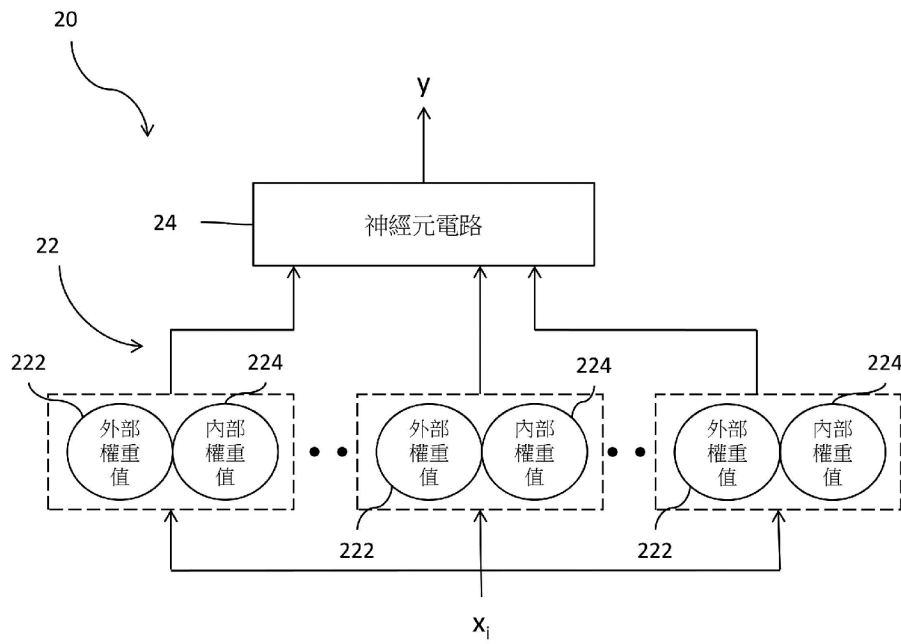
NEURAL NETWORK PROCESSING SYSTEM

(57)摘要

本發明提供一種神經網路處理系統，包括至少一突觸，突觸係接收一輸入信號，突觸具有一外部權重值及一內部權重值，內部權重值會經由外部刺激而產生變化，當內部權重值之變化累積至一臨界值時，會同時改變外部權重值，使得輸入信號乘上突觸的外部權重值會產生一權重訊號，一神經元電路係連接突觸，以接收突觸所傳輸的權重訊號，並可計算這些權重訊號以輸出。本發明可以同時加速深度學習中的預測及學習功能，並可實現高精確度且具即時學習能力的硬體神經網路。

A neural network processing system is disclosed, which comprises at least one synapse, the synapse receives an input signal, and the synapse has an external weight value and an internal weight value, the internal weight value changes through external stimuli, when the change of the internal weight value is accumulated to a critical value, the external weight value is changed at the same time so that the input signal multiplied by the external weight of the synapse will produce a weight signal. A neuron circuit is connected to the synapse to receive the weight signal transmitted by the synapse and to compute the weight signal to output. The present invention can simultaneously accelerate the prediction and learning function in the deep learning and realize the hardware neural network with high precision and instant learning ability.

指定代表圖：



符號簡單說明：

20 . . . 神經網路處理系統

22 . . . 突觸

222 . . . 外部權重值

224 . . . 內部權重值

24 . . . 神經元電路

x_i . . . 輸入信號

y . . . 輸出訊號

第二圖

【發明摘要】

【中文發明名稱】神經網路處理系統

【英文發明名稱】neural network processing system

【中文】

本發明提供一種神經網路處理系統，包括至少一突觸，突觸係接收一輸入信號，突觸具有一外部權重值及一內部權重值，內部權重值會經由外部刺激而產生變化，當內部權重值之變化累積至一臨界值時，會同時改變外部權重值，使得輸入信號乘上突觸的外部權重值會產生一權重訊號，一神經元電路係連接突觸，以接收突觸所傳輸的權重訊號，並可計算這些權重訊號以輸出。本發明可以同時加速深度學習中的預測及學習功能，並可實現高精確度且具即時學習能力的硬體神經網路。

【英文】

A neural network processing system is disclosed, which comprises at least one synapse, the synapse receives an input signal, and the synapse has an external weight value and an internal weight value, the internal weight value changes through external stimuli, when the change of the internal weight value is accumulated to a critical value, the external weight value is changed at the same time so that the input signal multiplied by the external weight of the synapse will produce a weight signal. A neuron circuit is connected to the synapse to receive the weight signal transmitted by the synapse and to compute the weight signal to output. The present invention can simultaneously accelerate the prediction and learning function in the deep learning and realize the hardware neural network with high precision and instant learning ability.

【指定代表圖】：第（二）圖。

【代表圖之符號簡單說明】

20	神經網路處理系統
22	突觸
222	外部權重值
224	內部權重值
24	神經元電路
xi	輸入信號
y	輸出訊號

【發明說明書】

【中文發明名稱】神經網路處理系統

【英文發明名稱】neural network processing system

【技術領域】

【0001】 本發明係關於一種類神經網路的系統，特別是一種經改良後的神經網路處理系統。

【先前技術】

【0002】 隨著軟體技術的開發，軟體定義之神經網路的深度學習，藉由通用的學習過程，大大提升了人工智慧的能力，如圖像識別，語音識別，自然語言理解和決策。一種硬體神經網路(Hardware Neural Networks, HNN)的出現，更進一步地降低了深度學習系統的硬體尺寸、成本及功耗。

【0003】 HNN係由通過突觸而相互連接的神經元網路組成，HNN可以有成千上萬個突觸，其中可以在訓練期間，優化突觸(synapse)的權重(weight)。請參照第一圖所示，例如一神經元10可以接收多個輸入信號12，在突觸14的訓練過程中，權重142通常用隨機值初始化，並藉由微幅的增量以進行改變。通常，突觸14的權重142會存儲在多位元(multi-bit; multi-level)的記憶體裝置(memory)中。其中，電阻式隨機存取記憶體(Resistive RAM, RRAM)的類比多位準特性可用於儲存突觸的權重，使用高密度交錯式RRAM之突觸陣列更加特別，因為它們可以通過分佈式權重之儲存，完全並行矩陣向量之乘法及權重之更新，以顯著提高學習效率。

【0004】 然而，這種RRAM會有幾個問題，首先，類比多位準RRAM在技術上遠不如二元的RRAM成熟。第二，類比多位準RRAM可能需要複雜的寫入步驟，也就是可能需要精確控制脈衝幅度及持續時間，而非理想的類比行為，例如有限的精確度及權重的非線性更新都會損害最後HNN性能。第三，類比RRAM

元件通常具有較差的資料保存時間及可靠性。

【0005】 利用簡單的二元RRAM可以改善類比RRAM的缺點，這一般是採取兩種不同的方法達成，一個是使用多個隨機二元RRAM單元，以表示單一類比權重，但權重精確度只能藉由提高網路密度而增加，因此會限制網路規模；另一種方法是僅使用單一RRAM單元表示二元權重，在這種情況下，雖然在耗時的離線(offline)訓練後可以實現高精確度的推論能力，但是權重的精確度不足，導致無法加速在線(online)訓練。

【0006】 有鑑於此，本發明提出一種改善二元權重計算的神經網路處理系統，以改善傳統突觸的權重計算。

【發明內容】

【0007】 本發明的主要目的係在提供一種神經網路處理系統，利用突觸外部可量測的權重及內部不可直接量測的權重，藉由外部訊號，如電訊號等刺激並搭配適當的學習法則進行更新，在持續的外部刺激下，內部的權重具有累計特性，當累積至一臨界值時，會同時改變外部的權重值，以產生出精確的權重訊號。

【0008】 本發明的另一目的係在提供一種神經網路處理系統，利用任一突觸具有內、外權重值之技術特徵，改善了習知單一類比權重精確度不佳的缺點，並藉此可以達到在線學習所需要的準確權重更新的要求，加速深度學習中的預測及學習功能，以實現即時在線學習能力的硬體神經網路。

【0009】 為了達成上述的目的，本發明提供一種神經網路處理系統，包含至少一突觸及一神經元電路，神經元電路係連接至少一突觸，突觸可接收輸入信號，且突觸各自具有一外部權重值及一內部權重值，內部權重值會經由外部刺激以產生變化，當內部權重值之變化累積至一臨界值時，會同時改變外部權重值，使得輸入信號乘上突觸的外部權重值以產生一權重訊號，突觸會傳輸權重訊號至神經元電路，使其計算權重訊號後輸出。

【0010】 在本發明中，外部權重值係可經由電性量測以得知。其中，電性量測係為對電阻、電容、電感或阻抗之量測。

【0011】 在本發明中，內部權重值係為突觸物理結構之差異，其係為缺陷數目、元素組成、原子排列型態、分子形貌、鐵電域或鐵磁域排列等。上述物理結構之差異係均勻或不均勻存在突觸元件中。

【0012】 在本發明中，內部權重值變化累積的計算方法為梯度下降向後傳播規則、尖峰時序相關的可塑性規則、赫布學習規則、Oja學習規則或BCM理論。

【0013】 在本發明中，外部刺激係為電壓或電流。

【0014】 在本發明中，外部權重值的改變係為二元變化，且藉由內部權重值的累計分佈函數決定改變機率。而內部權重值的累計分佈函數係藉由如外部之刺激調整，如脈衝振幅、脈衝寬度、脈衝電壓/電流刺激之鬆弛週期。

【0015】 在本發明中，突觸係為二元的電阻式隨機存取記憶體、氧化物隨機存取記憶體、電橋式隨機存取記憶體、相變化隨機存取記憶體、磁性隨機存取記憶體、鐵電隨機存取記憶體或自旋轉移力矩之磁性隨機存取記憶體或其串、並聯組成之元件。當單一突觸係為複數記憶體組成時，突觸的外部權重值係為多位元變化組成。

【0016】 底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0017】

第一圖為習知硬體神經網路的架構示意圖。

第二圖為本發明的架構示意圖。

第三圖為本發明以實施例說明神經網路處理系統的架構示意圖。

第四圖為本發明內部權重值與外部權重值產生變化之第一實施例的曲線圖。

第五a圖~第五c圖為本發明內部權重值藉由缺陷值改變的步驟示意圖。

第六圖為本發明內部權重值與外部權重值產生變化之第二實施例的曲線圖。

第七圖為本發明內部權重值與外部權重值產生變化之第三實施例的曲線圖。

【實施方式】

【0018】 本發明在硬體神經網路的架構中，提出一種創新的型態，可以加速深度學習中的預測及學習功能，利用如二元記憶體的突觸產生內、外權重值，並配合適當的學習法則進行更新，以實現高精確度且具即時在線學習能力的硬體神經網路。

【0019】 首先，請參照本發明第二圖所示，一種神經網路處理系統20包含至少一突觸22及一神經元電路24，神經元電路24係與這些突觸22相連接，突觸22係為二元的電阻式隨機存取記憶體(Resistive Random-Access Memory, RRAM)、氧化物隨機存取記憶體(Oxide RAM)、電橋式隨機存取記憶體(Conductive-Bridging RAM, CBRAM)、相變化隨機存取記憶體(Phase-Change Memory, PCM)、磁性隨機存取記憶體(Magnetoresistive Random Access Memory, MRAM)、鐵電隨機存取記憶體(Ferroelectric RAM, FE RAM)或自旋轉移力矩之磁性隨機存取記憶體(Spin Torque Transfer MRAM, STT-MRAM)或其串、並聯組成之元件，在本實施例中突觸22係為二元的電阻式隨機存取記憶體，在此以複數條突觸22為例說明，但不以此為本發明之限制。每一突觸22係接收一輸入信號 x_i ，這些輸入信號 x_i 可能是相同或是不同的信號，且每一突觸22中各自具有一外部權重值222及一內部權重值224，且每一突觸22可產生一權重訊號至神經元電路24，以使神經元電路24可產生一輸出訊號 y 輸出，在本實施例中，內部權重值224係為突觸22的物理結構之差異，如缺陷(defect)數目、元素組成、原子排列(atom arrangement)、分子形貌(molecular configuration)、鐵電域(ferroelectric domain)排列或鐵磁域(ferromagnetic domain)排列，上述物理結構之差異，會均勻或不均勻地存在突觸

22中，而外部權重值222係可經電性量測而得知，例如對電阻、電容、電感或阻抗之量測所測得之值，其係為外部權重值222，但在本實施例中暫不限制內部權重值224或外部權重值222，可依照使用者的電路需求作調配。

【0020】 說明完本發明的連接架構後，接續說明本發明的作動方式，並請續參本發明第二圖，每一突觸22係可接收輸入信號 x_i ，而突觸22中的內部權重值224會經由外部刺激而產生變化，在本實施例中外部刺激係為自突觸22外部所輸入的電壓或是電流，以對突觸22產生變化，並使得突觸22中的內部權重值224會進行改變，且此內部權重值224的改變係為累計的，當內部權重值224的變化累積到一個臨界值時，會同時改變外部權重值222，使得外部權重值222進行二元(binary states)變化，外部權重值222進行的二元變化是具隨機性的，且藉由內部權重值的累計分佈函數(cumulative distribution function, CDF)以決定改變機率。接著，突觸22係藉由輸入信號 x_i 乘上突觸22的外部權重值222，以產生出一權重訊號，每一突觸22再將自己所形成的權重訊號傳輸到神經元電路24中計算，以使神經元電路24將計算後的輸出訊號 y 輸出。

【0021】 承接上段，上述說明內部權重值224的變化累積的計算方法，可以利用梯度下降向後傳播規則(gradient-descent backward propagation rule)、尖峰時序相關的可塑性規則(spike-timing-dependent plasticity, STDP)、赫布學習規則(Hebb rule)、Oja學習規則(Oja rule)或BCM理論(Bienenstock-Cooper-Munro rule, BCM rule)以進行計算。

【0022】 說明完本發明的架構及其作動後，接著以一實施例說明本發明的神經網路處理系統，請參照本發明第三圖及第四圖所示，在本實施例中以三個突觸為例說明，且每一突觸22的輸入信號 x_i 係獨立的，使用者可以從外部對作為二元的電阻式隨機存取記憶體的突觸22輸入電壓，藉此與突觸22中的電阻進行反應，隨著不同的外部輸入電壓產生不同的反應結果，此時即是在改變突觸22的內

部權重值224，例如一外部輸入電壓一可以使內部權重值224漸增，一外部輸入電壓二可以使內部權重值224漸減。然而，請同時參照本發明第五a圖至第五e圖所示，當內部權重值224的改變，即是突觸22中的缺陷226數量的變化，缺陷226係金屬族的原子或是氧的空位所形成，彼此連結的缺陷226形成局部的電流導通路徑，在本實施例中缺陷226係以氧空位為例。如第五a圖所示，一開始在突觸22不導通的二部位228中，缺陷226的起始數量為臨界值A，還不足以導通突觸22的二部位228。漸漸的，當突觸22因為相對較多的電壓一輸入，如第五b圖所示，漸漸造成突觸22中產生更多缺陷226數量，如第五c圖所示，當缺陷226的數量多到連接了原先不連接的二部位228時，即上述臨界值B，同時也導通了突觸22中原先不導通的二部位228，使得外部權重值222進行二元變化從0變成1。如第五d圖所示，缺陷226數量亦可藉由相對較多的電壓二輸入而減少，但缺陷226數量的減少還不足以改變突觸22二部位228間的導通狀態，如第五e圖所示，當缺陷226的數量減少到原先連接的二部位228斷開時，即低於上述臨界值A，外部權重值222進行二元變化從1變成0。接著，每一突觸22在依照所接收的輸入信號 x_i 各自乘上自己的外部權重值222以產生權重訊號，每一突觸22各自再傳輸權重訊號到神經元電路24中計算以輸出。

【0023】 在另一實施例中，請參照本發明第六圖所示，突觸的內部權重值的改變方式會隨著不同的外部權重值而改變，例如當外部權重值為0時，僅外部輸入電壓一可以使內部權重值漸增，但外部輸入電壓二不會影響內部權重值，而當外部權重值為1時，僅外部輸入電壓二可以使內部權重值漸減，但外部輸入電壓一不會影響內部權重值。

【0024】 在另一實施例中，請參照本發明第七圖所示，突觸的內部權重值的改變會受限於兩個臨界值A與B之間，例如當外部權重值為1時，外部輸入電壓一不會使內部權重值繼續增加，而當外部權重值為0時，外部輸入電壓二不會使

內部權重值224繼續減少。

【0025】 在上述實施例中，當內部權重值到達兩個臨界值A與B時也不必然進行外部權重值二元變化，外部權重值二元變化有隨機性，機率取決於一由內部權重值所決定的累計分布機率，而累計分布機率特性還可以藉由外部刺激之脈衝振幅(pulse amplitude)、脈衝寬度(pulse duration)、脈衝電壓/電流刺激之鬆弛週期(pulse relaxation period for a pulse voltage/current stimulus)進行調整。

【0026】 本發明中係利用習知HNN梯度下降向後傳播規則之公式進行內部權重值更新，並搭配其累計分布機率函數進行外部權重值的更新，以發展出一套新的計算公式，如下列的公式(1)至公式(7)：

$$H_j = f_a(\sum_{i=1}^I X_i \times W_{ext,i,j}) = f_a(I_j) \quad (1)$$

$$O_k = f_a(\sum_{j=1}^J H_j \times W_{ext,j,k}) = f_a(I_k) \quad (2)$$

$$\delta_k = (T_k - O_k) \times f_a'(I_k) \quad (3)$$

$$\delta_j = \sum_{k=1}^K (\delta_k \times W_{ext,j,k}) \times f_a'(I_j) \quad (4)$$

$$w_{int,i,j}^{new} = w_{int,i,j}^{old} - \eta \times X_i \times \delta_j \quad (5)$$

$$w_{int,j,k}^{new} = w_{int,j,k}^{old} - \eta \times H_j \times \delta_k \quad (6)$$

$$P_{ext,sw} = [CDF(W_{int}^{new}) - CDF(W_{int}^{old})] / [1 - CDF(W_{int}^{old})] \quad (7)$$

其中， H_j 為第j個隱藏層神經元之輸出值， O_k 為第k個輸出層神經元之輸出值， X_i 為第i個輸入層之輸入值， $w_{ext,i,j}$ 為第i個輸入層和第j個隱藏層神經元之間之外部權重值， $w_{ext,j,k}$ 為第j個隱藏層和第k個輸出神經元之間之外部權重值， f_a 為激活函數， I_j 為第j個隱藏層神經元權重乘積和， I_k 為第k個輸出層神經元權重乘積和， T_k 為第k個輸出層之目標輸出值， f_a' 為激活函數的微分項， δ_k 為第k個輸出層之誤差量， δ_j 為第j個隱藏層之誤差量， $w_{int,i,j}$ 為第i個輸入層和第j個隱藏層神經元之間之內部權重值， $w_{int,j,k}$ 為第j個隱藏層和第k個輸出神經元之間之內部權重值， η 為學習速率， w^{old} 為更新前之權重值， w^{new} 為更新後之權重值， $P_{ext,sw}$ 為外部權重值切

換之機率，CDF為由內部權重值所決定之累計分佈函數。

【0027】 本發明所提出的神經網路處理系統，可以藉由多個神經網路處理系統的結合，以形成一種新型態的硬體神經網路架構，利用多個神經網路處理系統可以同時加速深度學習中的預測與學習功能，在每一神經網路處理系統中的單一突觸可以利用一二元記憶體為代表，除了可以具有外部可量測的外部權重值以外，還具有一內部不可直接量測的內部權重值，例如一種類比權重，其可藉由外部的電訊號刺激，並搭配適當的學習法則或公式進行更新，在連續受到外部的刺激下，類比權重的更新具有累計特性，使得權重值的更新直接取決於如類比權重的內部權重值。

【0028】 本發明不限制突觸的數量以及形式，除了是二元的電阻式隨機存取記憶體外，還可以是其它種類的記憶體或是由複數個記憶體所組成，一旦當單一突觸是由複數個二元記憶體所組成時，在單一突觸中的外部權重值就會是多位元值。上述實施例之說明，皆非為本發明的限制，本發明主要是利用突觸中具有內、外權重值的技術特徵，改善習知單一類比權重精確度不佳的缺點，並以此達成準確權重更新的要求。

【0029】 以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍。

【符號說明】

【0030】

- 10 神經元
- 12 輸入信號
- 14 突觸

142	權重
20	神經網路處理系統
22	突觸
222	外部權重值
224	內部權重值
226	缺陷
228	部位
24	神經元電路
xi	輸入信號
y	輸出訊號
A	臨界值
B	臨界值

【發明申請專利範圍】

- 【第1項】 一種神經網路處理系統，包括：
- 至少一突觸，每一該突觸係接收一輸入信號，該至少一突觸係各自具有一外部權重值及一內部權重值，該內部權重值會經由外部刺激以產生變化，當該內部權重值之變化累積至一臨界值時，會同時改變該外部權重值，使得該至少一輸入信號乘上該至少一突觸的該外部權重值，以產生一權重訊號；以及
- 一神經元電路，其係連接該至少一突觸，以接收該至少一突觸所傳輸之該權重訊號，並可計算該至少一權重訊號以輸出。
- 【第2項】 如請求項1所述之神經網路處理系統，其中該外部權重值係經由電性量測以得知。
- 【第3項】 如請求項2所述之神經網路處理系統，其中該電性量測係為對電阻、電容、電感或阻抗之量測。
- 【第4項】 如請求項1所述之神經網路處理系統，其中該內部權重值係為該至少一突觸的物理結構之差異，其係為缺陷(defect)數目、元素組成、原子排列(atom arrangement)、分子形貌(molecular configuration)、鐵電域(ferroelectric domain)排列或鐵磁域(ferromagnetic domain)排列。
- 【第5項】 如請求項4所述之神經網路處理系統，其中該物理結構差異係均勻或不均勻存在該至少一突觸中。
- 【第6項】 如請求項1所述之神經網路處理系統，其中該內部權重值之變化累積計算方法係為梯度下降向後傳播規則(gradient-descent backward propagation rule)、尖峰時序相關的可塑性規則(spike-timing-dependent plasticity, STDP)、赫布學習規則(Hebb rule)、Oja學習規則(Oja rule)或BCM理論(Bienenstock-Cooper-Munro rule, BCM rule)。

【第7項】 如請求項1所述之神經網路處理系統，其中該外部刺激係為電壓或電流。

【第8項】 如請求項1所述之神經網路處理系統，其中該外部權重值的改變係為具隨機性的二元(binary states)變化，且藉由該內部權重值的累計分佈函數(cumulative distribution function, CDF)以決定改變機率。

【第9項】 如請求項8所述之神經網路處理系統，其中該內部權重值的該累計分佈函數係藉由脈衝振幅(pulse amplitude)、脈衝寬度(pulse duration)、脈衝電壓/電流刺激之鬆弛週期(pulse relaxation period for a pulse voltage/current stimulus)進行調整。

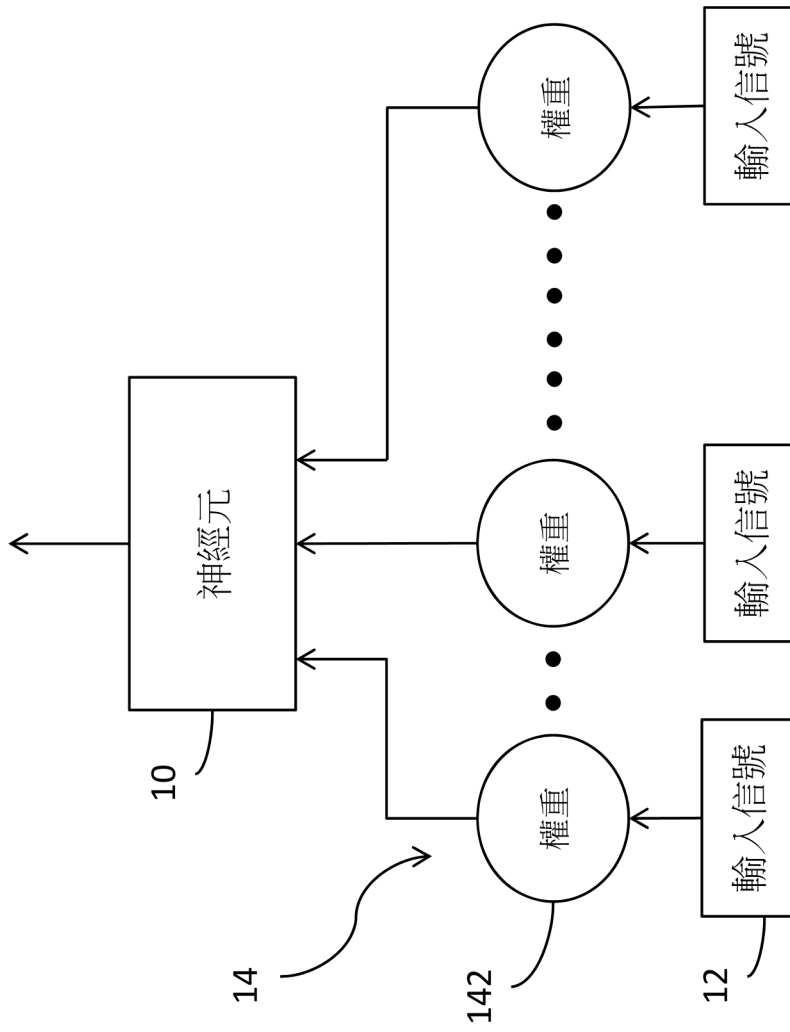
【第10項】 如請求項8所述之神經網路處理系統，其中計算該內部權重值以改變

該外部權重值之公式係為 $H_j = f_a(\sum_{i=1}^I X_i \times W_{ext,i,j}) = f_a(I_j)$ ，
 $O_k = f_a(\sum_{j=1}^J H_j \times W_{ext,j,k}) = f_a(I_k)$ ， $\delta_k = (T_k - O_k) \times f_a'(I_k)$ ，
 $\delta_j = \sum_{k=1}^K (\delta_k \times W_{ext,j,k}) \times f_a'(I_j)$ ， $w_{int,i,j}^{new} = w_{int,i,j}^{old} - \eta \times X_i \times \delta_j$ ，
 $w_{int,j,k}^{new} = w_{int,j,k}^{old} - \eta \times H_j \times \delta_k$ ，
 $P_{ext,sw} = [CDF(W_{int}^{new}) - CDF(W_{int}^{old})] / [1 - CDF(W_{int}^{old})]$ 。其中， H_j 為第j個隱藏層神經元之輸出值， O_k 為第k個輸出層神經元之輸出值， X_i 為第i個輸入層之輸入值， $w_{ext,i,j}$ 為第i個輸入層和第j個隱藏層神經元之間之外部權重值， $w_{ext,j,k}$ 為第j個隱藏層和第k個輸出神經元之間之外部權重值， f_a 為激活函數， I_j 為第j個隱藏層神經元權重乘積和， I_k 為第k個輸出層神經元權重乘積和， T_k 為第k個輸出層之目標輸出值， f_a' 為激活函數的微分項， δ_k 為第k個輸出層之誤差量， δ_j 為第j個隱藏層之誤差量， $w_{int,i,j}$ 為第i個輸入層和第j個隱藏層神經元之間之內部權重值， $w_{int,j,k}$ 為第j個隱藏層和第k個輸出神經元之間之內部權重值， η 為學習速率， w^{old} 為更新前之權重值， w^{new} 為更新後之權重值， $P_{ext,sw}$ 為外部

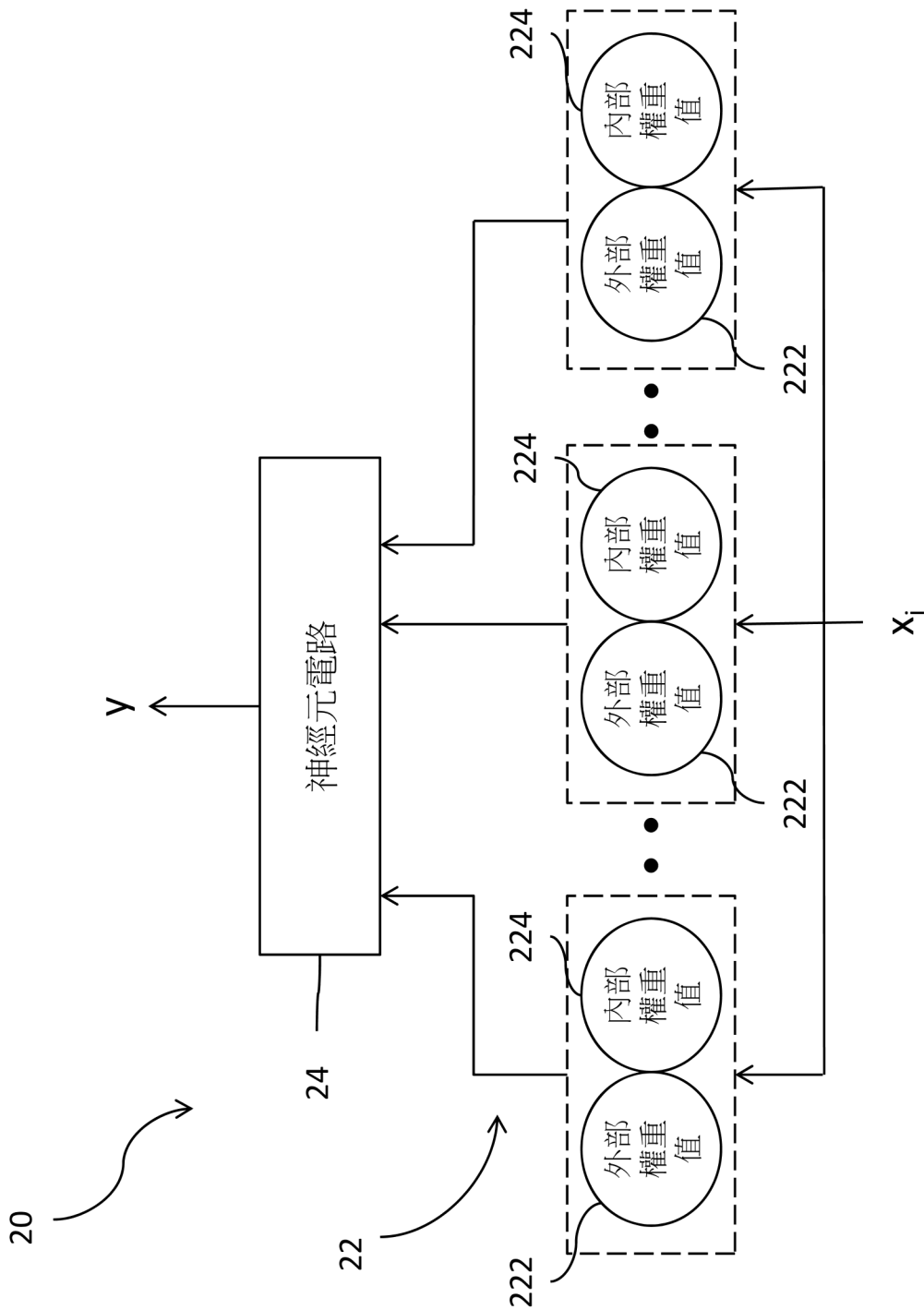
權重值切換之機率，CDF為由內部權重值所決定之累計分佈函數。

- 【第11項】如請求項1所述之神經網路處理系統，其中該突觸係為二元的電阻式隨機存取記憶體(Resistive Random-Access Memory，RRAM)、氧化物隨機存取記憶體(Oxide RAM)、電橋式隨機存取記憶體(Conductive-Bridging RAM，CBRAM)、相變化隨機存取記憶體(Phase-Change Memory，PCM)、磁性隨機存取記憶體(Magneto-resistive Random Access Memory，MRAM)、鐵電隨機存取記憶體(Ferroelectric RAM，FE RAM)或自旋轉移力矩之磁性隨機存取記憶體(Spin Torque Transfer MRAM，STT-MRAM)或其串、並聯組成之元件。
- 【第12項】如請求項11所述之神經網路處理系統，其中當該突觸係為複數記憶體組成時，該突觸之該外部權重值係為多位元組成。

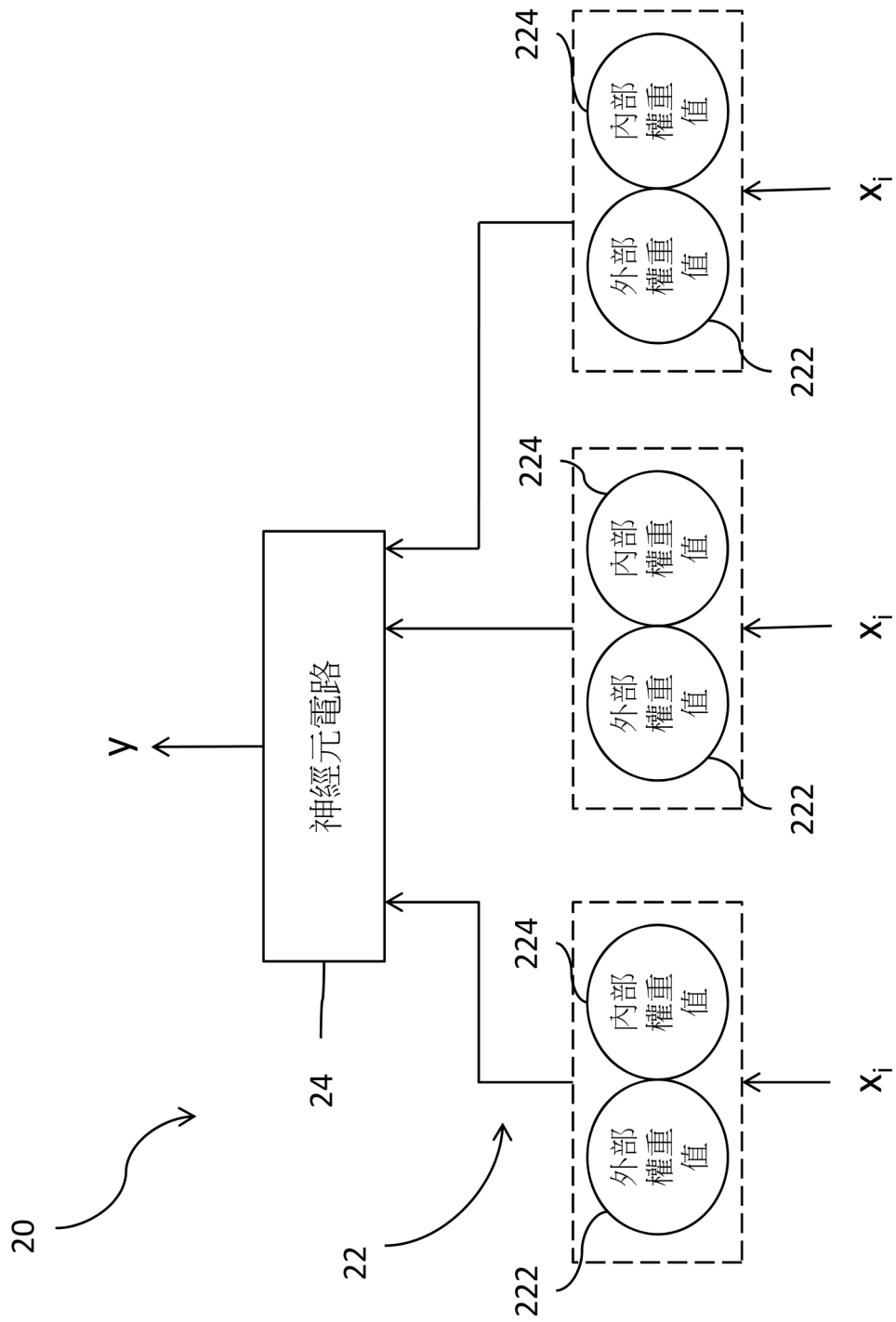
【發明圖式】



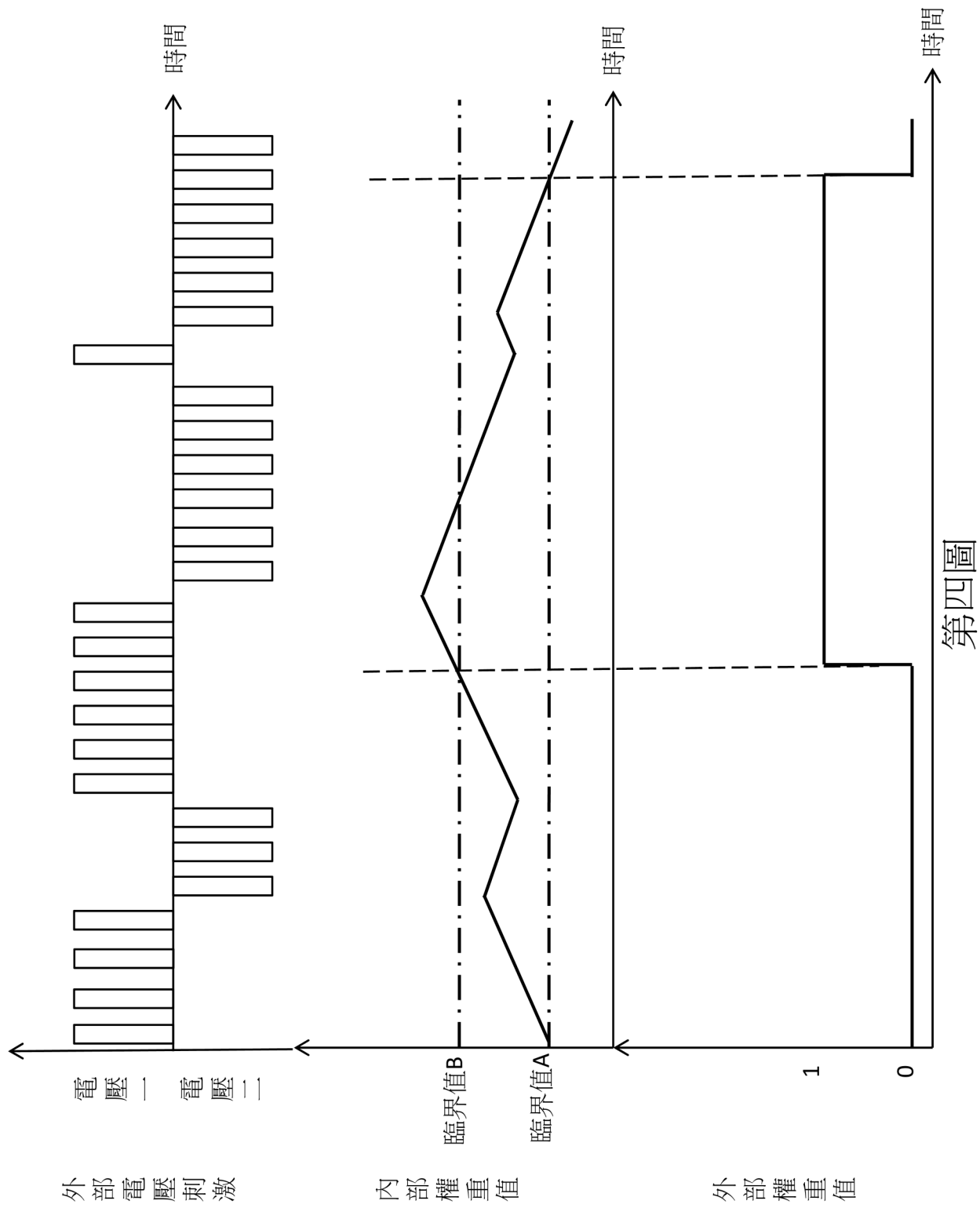
第一圖



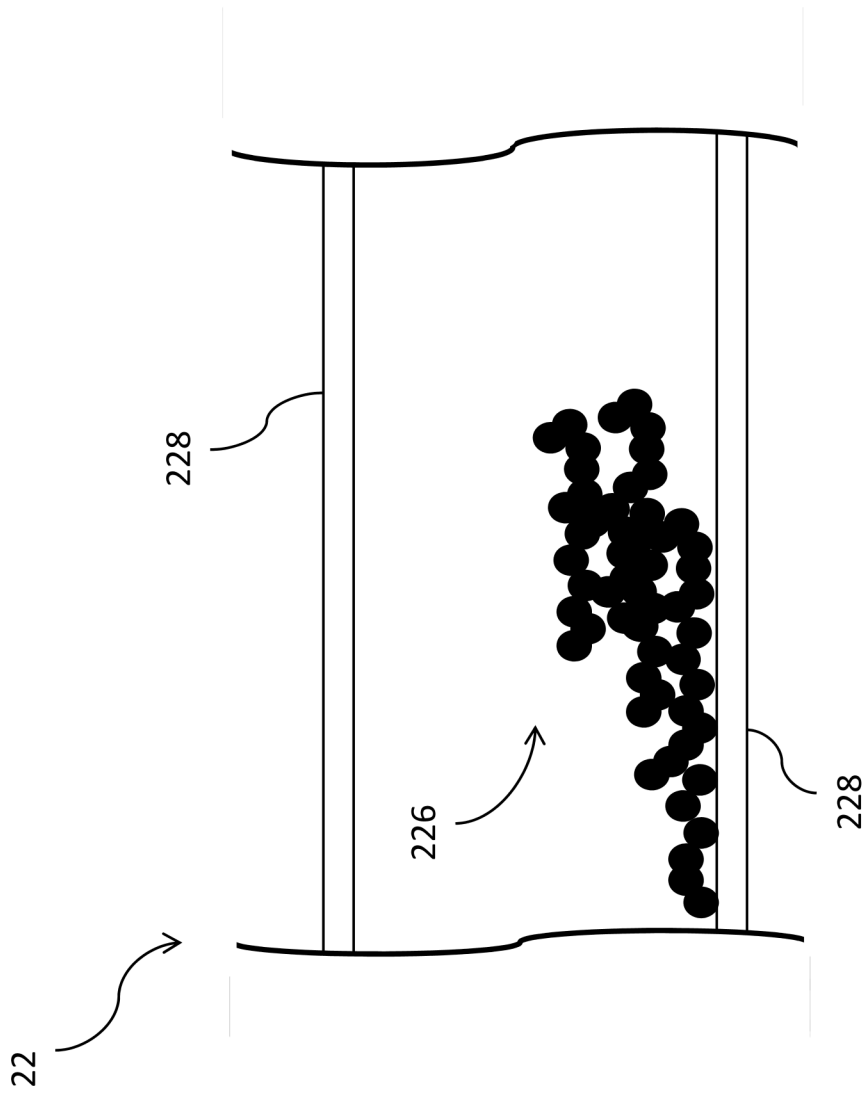
第二圖



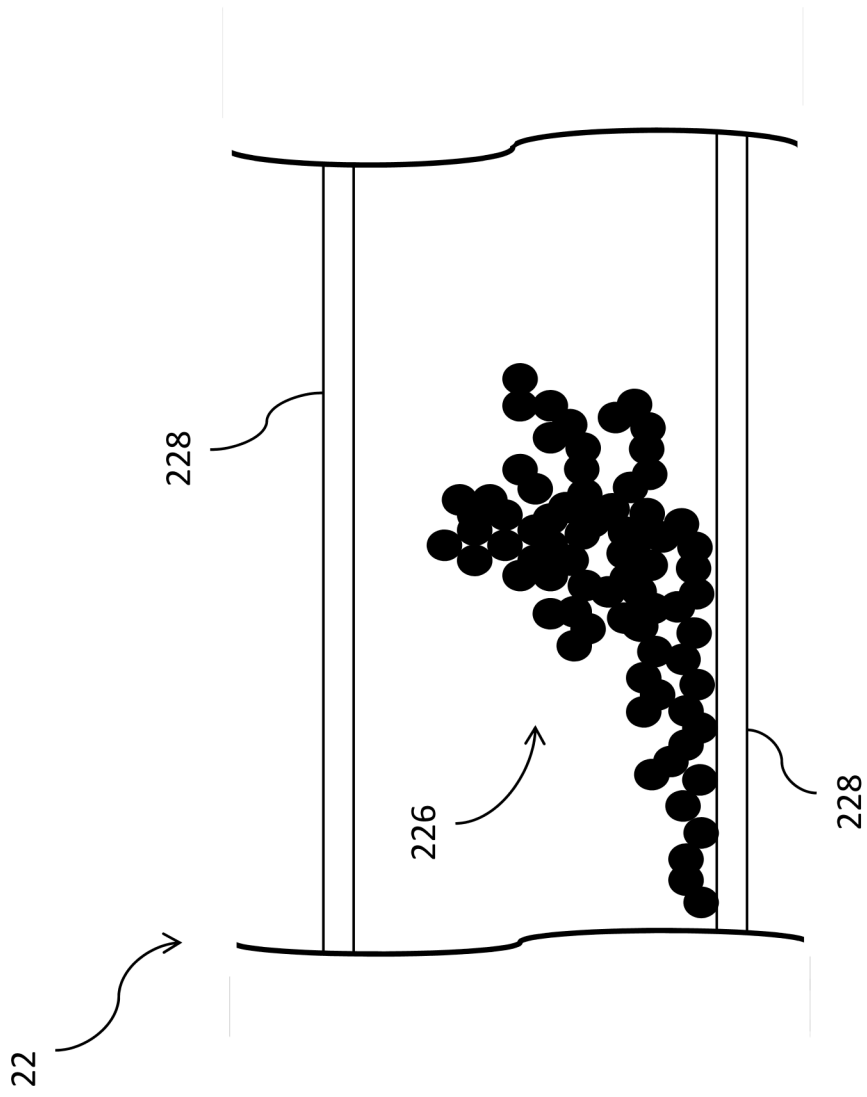
第三圖



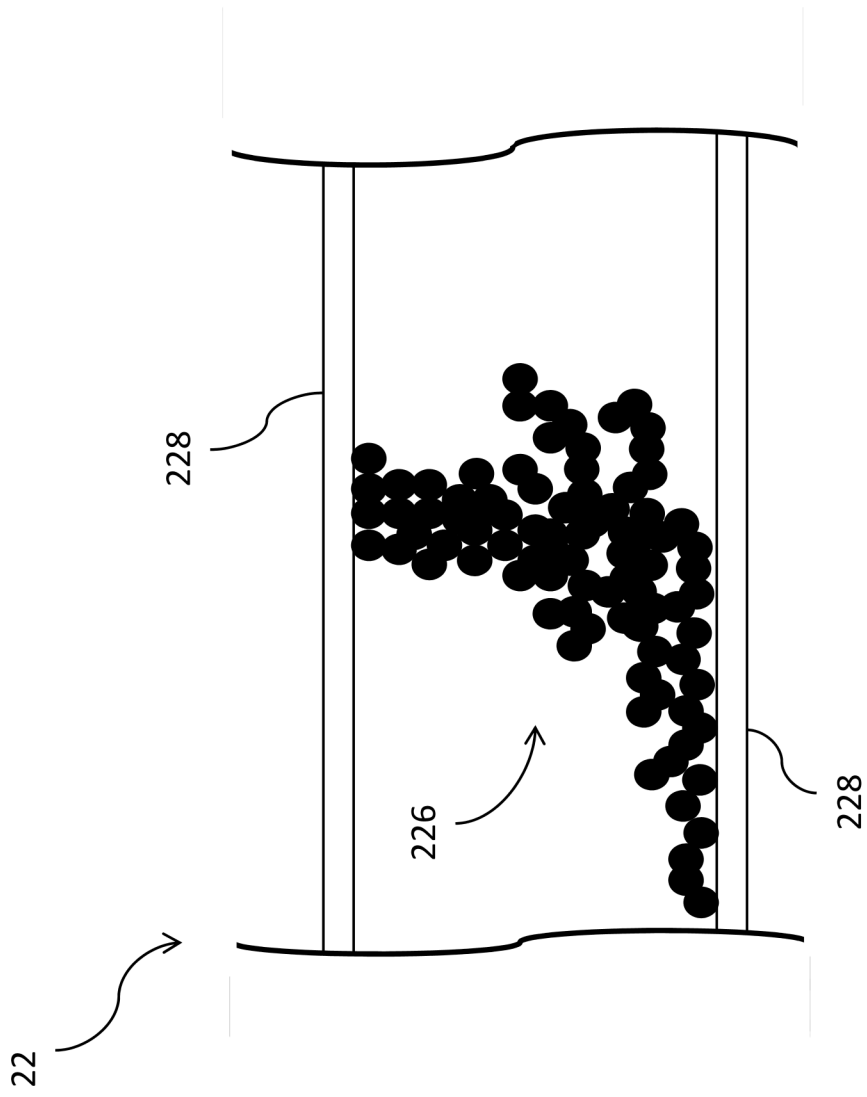
第四圖



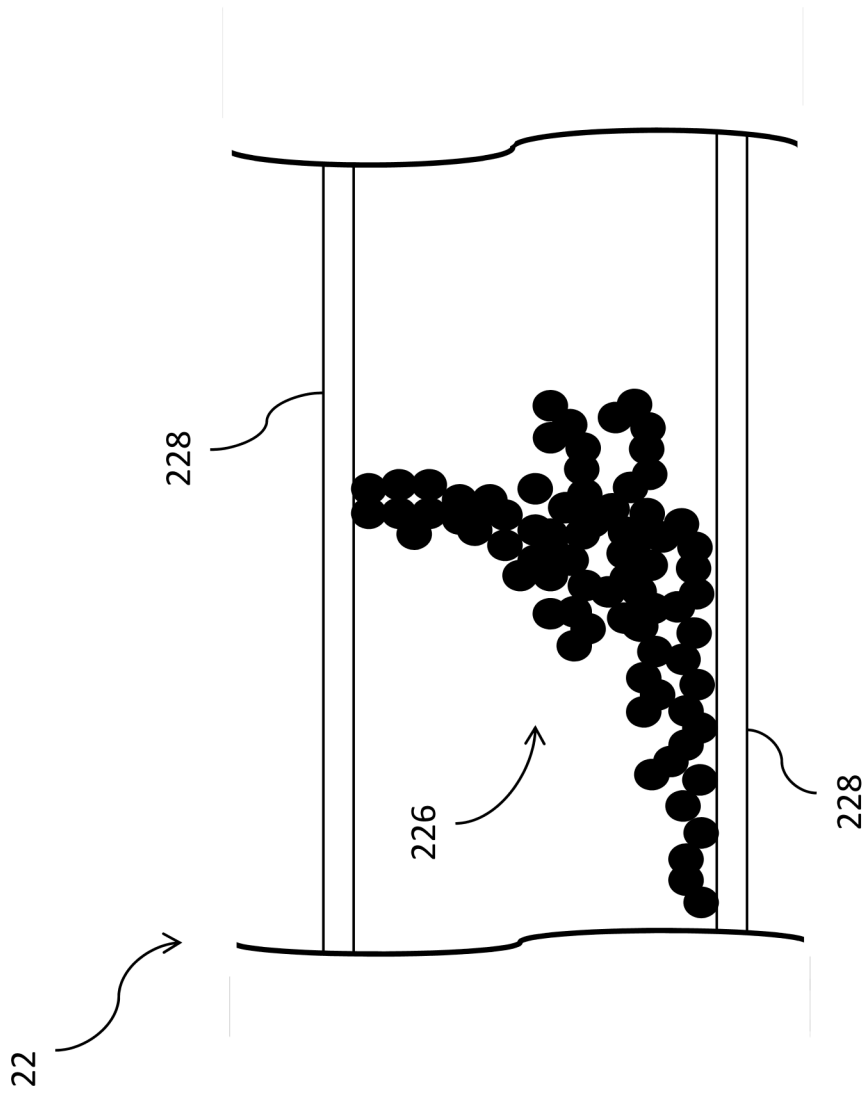
第五a圖



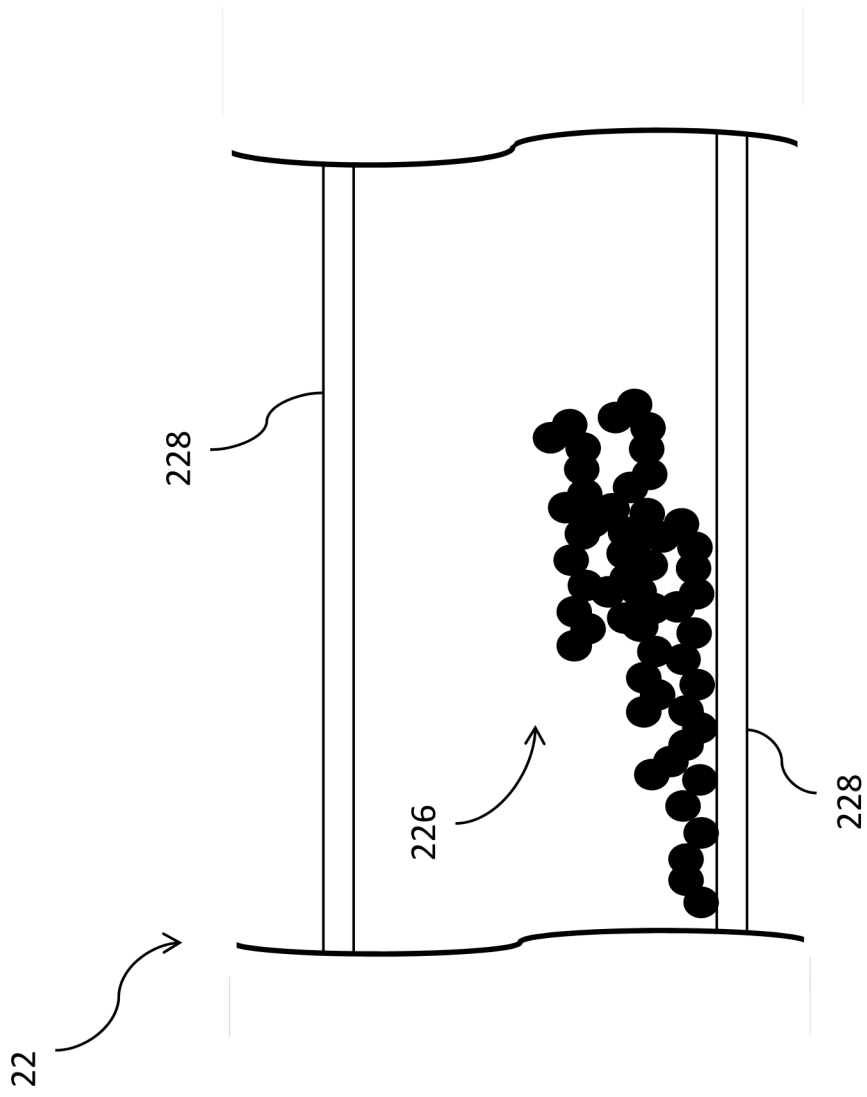
第五b圖



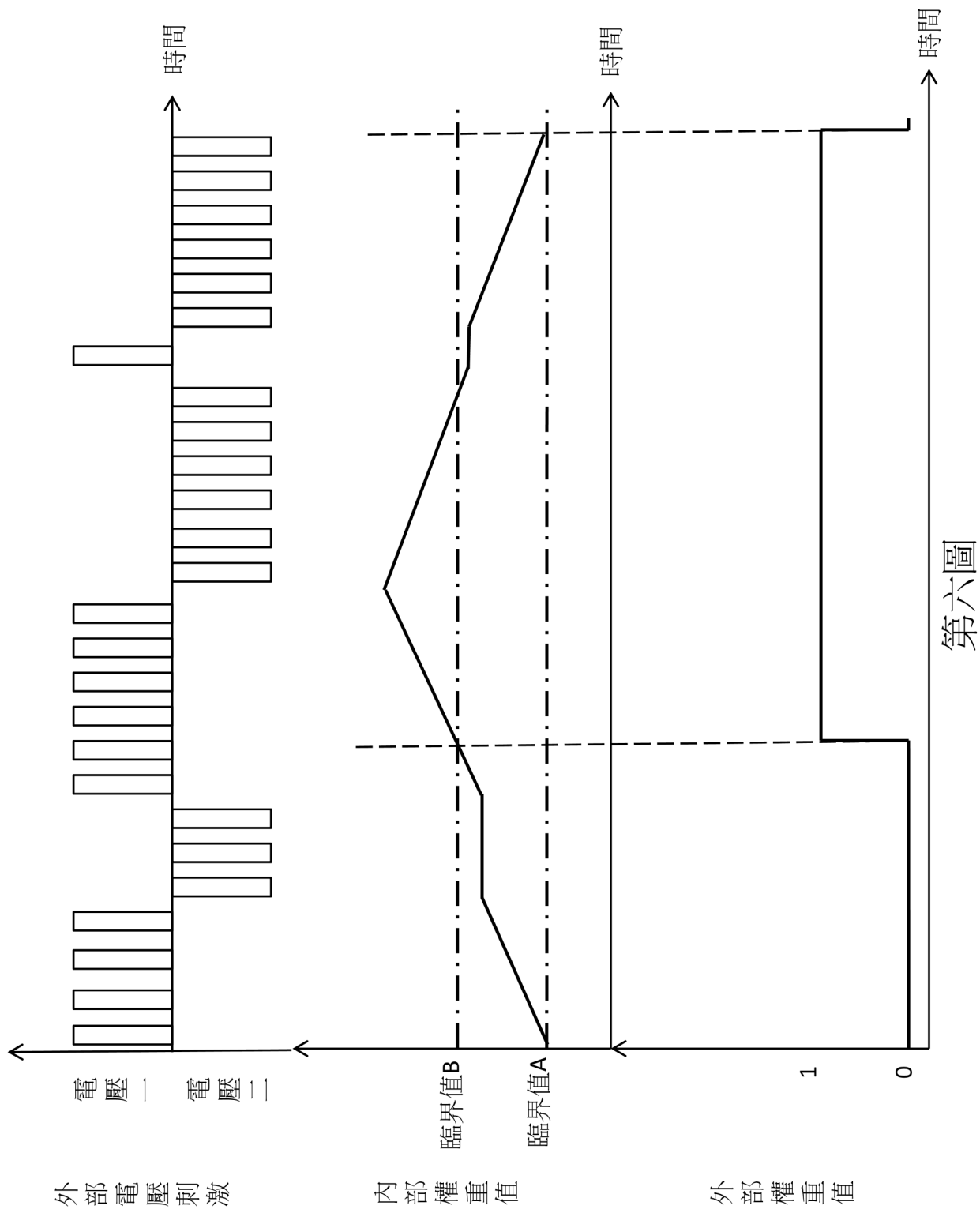
第五c圖

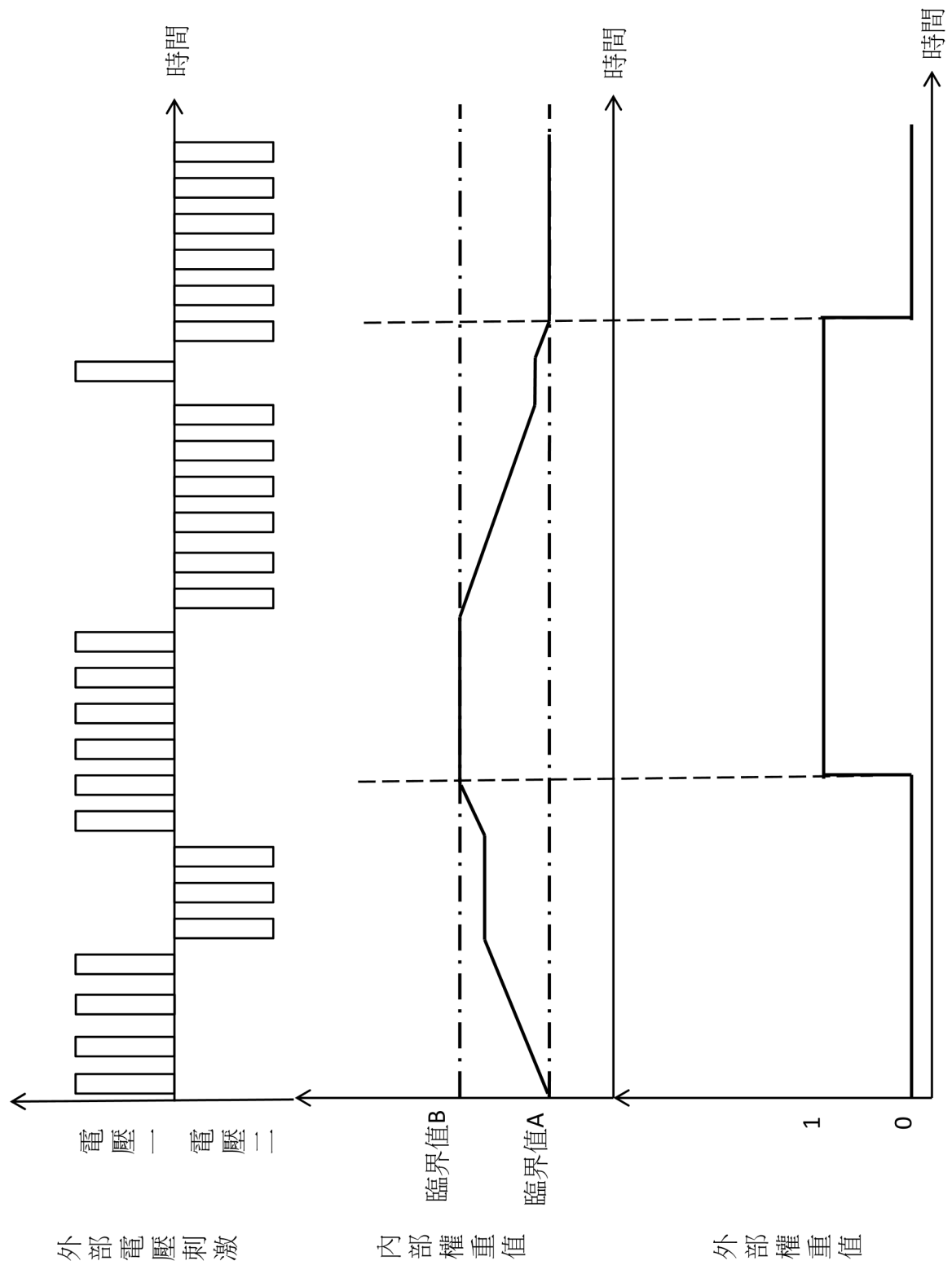


第五d圖



第五e圖





第七圖