



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201901755 A

(43)公開日：中華民國 108 (2019) 年 01 月 01 日

(21)申請案號：106115833

(22)申請日：中華民國 106 (2017) 年 05 月 12 日

(51)Int. Cl.：

*H01L21/268 (2006.01)**H01L21/324 (2006.01)**H01L21/336 (2006.01)**H01L29/78 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：鄭晃忠 CHENG, HUANG CHUNG (TW)；廖湛宇 LIAO, CHAN YU (TW)；李一  
勁 LI, YI SHAO (TW)；吳俊毅 WU, CHUN YI (TW)；王冠宇 WANG, KUANG YU  
(TW)

(74)代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：10 項 圖式數：8 共 46 頁

(54)名稱

多晶半導體薄膜、薄膜電晶體及其製造方法

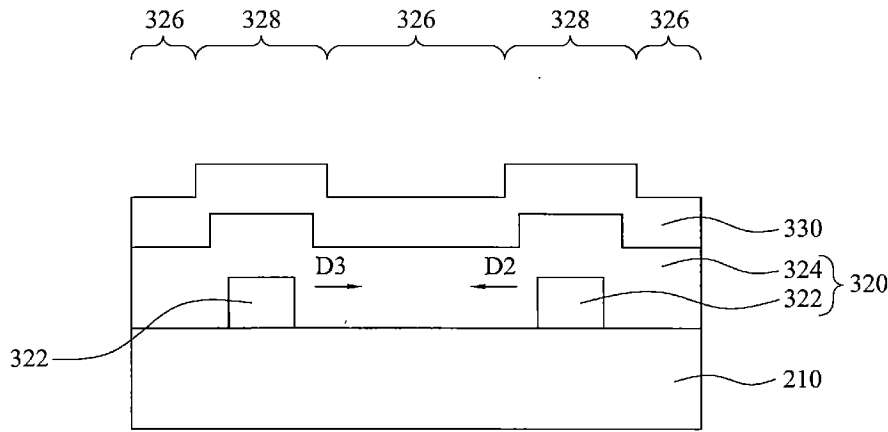
POLYCRYSTAL SEMICONDUCTOR THIN FILM, THIN FILM TRANSISTOR AND METHOD OF  
MANUFACTURING THE SAME

(57)摘要

一種製造多晶半導體薄膜的方法，包含：形成半導體層於基板上；形成覆蓋層於半導體層上；使用雷射光穿透覆蓋層，加熱半導體層使半導體層部分熔融，其中未熔融之另一部分包含多個固態顆粒；以及移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜。

A method of manufacturing a polycrystal semiconductor thin film, includes: forming a semiconductor layer on a substrate; forming a covering layer on the semiconductor layer; heating the semiconductor layer by a laser penetrating the covering layer to melt a portion of the semiconductor layer, wherein the unmelted portion includes a plurality of solid particles; and removing the laser to allow the molten portion of the semiconductor layer to recrystallize onto the solid particles as seed crystals to form a polycrystalline semiconductor thin film.

指定代表圖：



第 3E 圖

符號簡單說明：

210 . . . 基板

320、324 . . . 半導體層

322 . . . 圖案化半導體層

326 . . . 第一區域

328 . . . 第二區域

330 . . . 覆蓋層

D2、D3 . . . 再結晶方向

201901755  
申請案號：106115833 【發明摘要】

申請日：106/05/12

IPC分類：H01L 21/268 (2006.01)  
H01L 21/324 (2006.01)  
H01L 21/336 (2006.01)  
H01L 29/78 (2006.01)

【中文發明名稱】多晶半導體薄膜、薄膜電晶體及其製造方法

【英文發明名稱】POLYCRYSTAL SEMICONDUCTOR

THIN FILM, THIN FILM TRANSISTOR AND  
METHOD OF MANUFACTURING THE SAME

## 【中文】

一種製造多晶半導體薄膜的方法，包含：形成半導體層於基板上；形成覆蓋層於半導體層上；使用雷射光穿透覆蓋層，加熱半導體層使半導體層部分熔融，其中未熔融之另一部分包含多個固態顆粒；以及移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜。

## 【英文】

A method of manufacturing a polycrystal semiconductor thin film, includes: forming a semiconductor layer on a substrate; forming a covering layer on the semiconductor layer; heating the semiconductor layer by a laser penetrating the covering layer to melt a portion of the semiconductor layer, wherein the unmelted portion includes a plurality of solid particles; and removing the laser to allow the molten portion of the semiconductor layer to recrystallize onto the solid particles as seed crystals

to form a polycrystalline semiconductor thin film.

【指定代表圖】 第3E圖

【代表圖之符號簡單說明】

210 基板

320、324 半導體層

322 圖案化半導體層

326 第一區域

328 第二區域

330 覆蓋層

D2、D3 再結晶方向

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】多晶半導體薄膜、薄膜電晶體及其製造方法

【英文發明名稱】POLYCRYSTAL SEMICONDUCTOR  
THIN FILM, THIN FILM TRANSISTOR AND  
METHOD OF MANUFACTURING THE SAME

### 【技術領域】

【0001】本發明係有關一種多晶半導體薄膜、薄膜電晶體及其製造方法，特別是關於一種經雷射處理之多晶半導體薄膜。

### 【先前技術】

【0002】在電子產業中，薄膜電晶體的應用相當廣泛。隨著技術不斷發展，對於薄膜電晶體的特性及電性均勻度的要求越來越高。目前薄膜電晶體主動層的製造流程複雜，且無法控制主動層中晶界缺陷的分布情形，導致無法提升薄膜電晶體之電性均勻度。這些問題將限制了薄膜電晶體的應用。

### 【發明內容】

【0003】根據本發明之多個實施方式，係提供一種製造多晶半導體薄膜的方法，包含：形成半導體層於基板上；形成覆蓋層於半導體層上；使用雷射光穿透覆蓋層，加熱半導

體層使半導體層部分熔融，其中未熔融之另一部分包含多個固態顆粒；以及移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜。

**【0004】** 在某些實施方式中，覆蓋層包含氧化物、氮化物或氮氧化物，且覆蓋層的厚度介於20nm至500nm。

**【0005】** 在某些實施方式中，在形成覆蓋層前，半導體層包含第一區域、第二區域及第三區域，第一區域位於第二區域與第三區域之間，第一區域具有第一厚度，第二區域具有第二厚度，第三區域具有第三厚度，且第二厚度及第三厚度皆大於第一厚度。

**【0006】** 在某些實施方式中，在形成覆蓋層前，半導體層包含第四區域及多個第五區域，第五區域配置於第四區域的周圍且毗鄰第四區域，第五區域具有第五厚度，第四區域具有第四厚度，第五厚度大於第四厚度。

**【0007】** 在某些實施方式中，第二區域與第三區域間隔的距離介於0.5至4 $\mu\text{m}$ 。

**【0008】** 根據本發明之多個實施方式，係提供一種製造薄膜電晶體的方法，包含：形成半導體層於基板上；形成覆蓋層於半導體層上；使用雷射光穿透覆蓋層，加熱半導體層使半導體層部分熔融，其中未熔融之另一部分包含多個固態顆粒；移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜，多晶半導體薄膜具

有通道區；移除覆蓋層；分別形成源極及汲極於通道區的兩側；以及形成閘極電極於通道區上。

**【0009】** 在某些實施方式中，在形成覆蓋層前，半導體層包含第一區域、第二區域及第三區域，第二區域位於第一區域與第三區域之間，第一區域具有第一厚度，第二區域具有第二厚度，第三區域具有第三厚度，且第一厚度及第三厚度皆大於第二厚度。

**【0010】** 在某些實施方式中，形成源極及汲極的步驟包含摻雜部分的多晶半導體薄膜，使通道區的兩側分別形成第一摻雜區及第二摻雜區。

**【0011】** 本發明之多個實施方式，係提供一種薄膜電晶體，包含；基板、半導體薄膜、源極及汲極、閘極介電層及閘極電極。半導體薄膜配置於基板上，半導體薄膜包含多個晶粒，各晶粒具有長軸，各長軸大致相互平行。源極及汲極分別配置於半導體薄膜的相對兩側。閘極介電層，配置於半導體薄膜上；以及閘極電極，配置於閘極介電層上。

**【0012】** 在某些實施方式中，晶粒尺寸介於 $0.5\mu\text{m}$ 至 $6\mu\text{m}$ 。

**【0013】** 藉由上述實施方式，可以製造具有大晶粒之多晶半導體薄膜。使用此多晶半導體薄膜製造的薄膜電晶體具備高載子遷移率及高電性特性均勻度。為使本發明之上述及其他目的、特徵和優點更明顯易懂，下文特舉出較佳實施

例，並配合所附圖式詳細說明如下。

### 【圖式簡單說明】

#### 【0014】

第1圖為根據某些實施方式之薄膜電晶體之製造方法的流程圖。

第2A-2E、3A-3F、4、5及6圖係繪示依照本發明某些實施方式之薄膜電晶體之製造方法之各製程階段的剖面示意圖。

第3G、3H圖係繪示依照本發明某些實施方式之半導體薄膜的俯視示意圖。

第7A-7B圖為根據本發明第2A-2E繪示的實施方式之半導體層的SEM圖。

第8圖為根據本發明某些實施方式之薄膜電晶體之電性特徵圖。

### 【實施方式】

【0015】 以下將詳細討論本實施例的製造與使用，然而，應瞭解到，本發明提供實務的創新概念，其中可以用廣泛的各種特定內容呈現。下文敘述的實施方式或實施例僅為說明，並不能限制本發明的範圍。

【0016】 此外，在本文中，為了易於描述圖式所繪的某個元



件或特徵和其他元件或特徵的關係，可能會使用空間相對術語，例如「在...下方」、「在...下」、「低於」、「在...上方」、「高於」和類似用語。這些空間相對術語意欲涵蓋元件使用或操作時的所有不同方向，不只限於圖式所繪的方向而已。裝置可以其他方式定向(旋轉90度或定於另一方向)，而本文使用的空間相對描述語則可相應地進行解讀。

**【0017】** 以下提供各種關於多晶半導體薄膜、薄膜電晶體及其製作方法的實施例，其中詳細說明此多晶半導體薄膜及薄膜電晶體的結構及性質以及此多晶半導體薄膜及薄膜電晶體的製造步驟。

**【0018】** 第1圖為根據某些實施方式之薄膜電晶體的製造方法100的流程圖。如第1圖所示，方法100包含步驟110、步驟120、步驟130、步驟140、步驟150、步驟160、步驟170及步驟180。可以理解的是，可以在方法100之前、期間或之後提供額外的步驟，而且某些下述之步驟能被取代或刪除，作為製造方法的額外實施方式。

**【0019】** 第2A-2E圖繪示根據本發明某些實施方式之製備多晶半導體薄膜之各製程階段的剖面示意圖。請參照第1圖及第2A圖，方法100開始於步驟110，形成半導體層於基板上。如第2A圖所示，根據本發明某些實施方式，半導體層220形成於基板210上。基板210可作為蓄熱層，延長後續雷射光照射後半導體層220維持於熔融態的時間。在一實

施例中，基板210為石英基板、無鹼玻璃基板、或絕緣層上覆半導體(Semiconductor On Insulator, SOI)基板。在另一實施例中，形成半導體層220的方法包含化學氣相沉積(CVD)或物理氣相沉積(PVD)。化學氣相沉積可例如為低壓化學氣相沉積(LPCVD)、超高真空化學氣相沉積(UHVCVD)或高密度電漿化學氣相沉積(HDPCVD)。物理氣相沉積可例如為電子束蒸鍍(e-beam evaporation)或濺鍍(sputter)。在某些實施例中，半導體層220可為矽層、鍺層或矽鍺( $\text{Si}_x\text{Ge}_{(1-x)}$ ,  $x < 1$ )層。半導體層220的結晶性質可為非晶、單晶或多晶。半導體層的厚度可介於100nm至400nm，例如150nm、200nm或300nm。

**【0020】** 請參照第1圖及第2B圖，方法100進行至步驟120，形成覆蓋層於半導體層上。如第2B圖所示，根據本發明某些實施方式，形成覆蓋層230於半導體層220上。覆蓋層230可作為抗反射層，提升後續雷射光的能量使用效率。覆蓋層230也可作為蓄熱層，延長後續雷射光L(繪示於第2C圖)照射後半導體層220維持於熔融態的時間。此外，覆蓋層230也作為保護層，防止半導體層220的表面發生熱分解現象，熱分解現象會使半導體層220表面粗糙度增加，以及覆蓋層230也能避免半導體層220表面之熱損失。在某些實施例中，覆蓋層230可為對紫外光、可見光或紅外光具高穿透度之薄膜，例如氧化物層、氮化物層或氮氧化物層。氧

化物層可例如為氧化矽層、氧化鍺層、氧化鋁層、氧化鋅層、氧化錫層、氧化銻錫層或氧化鈦層。氮化物層可例如為氮化矽層或氮化鋁層。氮氧化物層可例如為氮氧化矽層。在某些實施例中，覆蓋層230的厚度介於20nm至500nm，例如50nm、75nm、100nm、200nm、300nm或400nm。覆蓋層230的厚度具有特定的技術效果，詳情將敘述於下文。在某些實施例中，形成覆蓋層230的方法包含化學氣相沉積(CVD)或物理氣相沉積(PVD)。化學氣相沉積可例如為低壓化學氣相沉積(LPCVD)、超高真空化學氣相沉積(UHVCVD)或高密度電漿化學氣相沉積(HDPCVD)。物理氣相沉積可例如為電子束蒸鍍(e-beam evaporation)或濺鍍(sputter)。

**【0021】** 請參照第1圖及第2C圖，方法100進行至步驟130，使用雷射光穿透覆蓋層，並加熱半導體層使半導體層的一部分熔融，其中未熔融之另一部分包含多個固態顆粒。如第2C圖所示，根據本發明某些實施方式，使用雷射光L穿透覆蓋層230，加熱半導體層220使半導體層220熔融至剩餘多個固態顆粒。在一實施例中，雷射光可使用脈衝雷射(pulse laser)或連續波雷射(continuous wave laser)。在另一實施例中，雷射光L的波長介於100nm至1000nm，例如193nm、248nm、308nm、365nm、436nm、532nm、633nm、或808nm。因前文所述之半導體層220及覆蓋層

230的材料對於波長過長的雷射光L具有低吸收係數，故當雷射光L的波長超過1000nm時將會影響後續半導體層220再結晶時的晶粒成長。在又一實施例中，雷射光L的功率介於2至20W，例如5W、7.5W、10W、12.5W、15W或17.5W。

**【0022】** 請參照第1圖及第2D圖，方法100進行至步驟140，移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜。如第2D圖所示，在移除雷射光L停止加熱半導體層220後，半導體層220熔融的部分會以未熔融之固態顆粒為晶種進行再結晶，進而形成再結晶的多晶半導體薄膜222。在某些實施方式中，若沒有形成覆蓋層230於半導體層220上時，在再結晶期間因半導體層220處於高溫，將造成半導體層220表面發生熱分解現象，進而使半導體層220表面粗糙度增加，並會導致半導體層220表面的熱損失。覆蓋層230可有效抑制前述熱分解現象，故覆蓋層230不宜過薄，例如小於20nm。覆蓋層230過厚會影響半導體薄膜220的再結晶型態。當覆蓋層230的厚度大於特定值時，例如500nm，其散熱作用將大於蓄熱作用，使覆蓋層230的作用從蓄熱層變成散熱層，加快雷射加熱時半導體層220的冷卻速率，進而形成不均勻且尺寸小的晶粒。

**【0023】** 請參照第1圖及第2E圖，方法100進行至步驟150，移除覆蓋層。如第2E圖所示，在形成多晶半導體薄膜

222之後移除覆蓋層230。

【0024】 第3A-3F圖繪示根據本發明某些實施方式之製備多晶半導體薄膜之各製程階段的剖面示意圖。請參照1圖及第3A-3B圖，方法100開始於步驟110，形成半導體層於基板上。如第3A圖所示，在某些實施方式中，先形成圖案化半導體層322於基板210上。在一實施例中，圖案化半導體層322可為矽層、鍺層或矽鍺( $\text{Si}_x\text{Ge}_{(1-x)}$ ， $x < 1$ )層。在另一實施例中，圖案化半導體層322的結晶性質可為非晶、單晶或多晶。在某些實施例中，形成圖案化半導體層322的方法包含沉積半導體層(未繪示)，之後在半導體層上方形成光阻(未繪示)並經由將光阻圖案化後曝露部分之半導體層。光阻可藉由使用旋塗技術而形成，並且可藉由使用適當的光微影技術將光阻圖案化。在將光阻圖案化之後，則執行非等向性蝕刻製程在半導體層上形成開口。在非等向性蝕刻製程之後，可藉由適當的灰化製程移除光阻，而形成圖案化半導體層322。

【0025】 如第3B圖所示，形成半導體層324於基板210及圖案化半導體層322上以形成半導體層320。半導體層320具有第一區域326及第二區域328。第一區域326的厚度 $T_1$ 小於第二區域328的厚度 $T_2$ 。在一實施例中，厚度 $T_1$ 與厚度 $T_2$ 相差大於50nm，例如相差100nm、200nm或300nm，以確保後續雷射光L加熱時第一區域326完全熔融

而第二區域328部分熔融。在某些實施例中，第一區域326位於兩第二區域328之間。在一實施例中，半導體層324及圖案化半導體層322具有相同的組成材料。在另一實施例中，形成半導體層324的方法包含化學氣相沉積(CVD)或物理氣相沉積(PVD)。化學氣相沉積可例如為低壓化學氣相沉積(LPCVD)、超高真空化學氣相沉積(UHVCVD)或高密度電漿化學氣相沉積(HDPCVD)。物理氣相沉積可例如為電子束蒸鍍(e-beam evaporation)或濺鍍(sputter)。

**【0026】** 在其他實施方式中，可以用其他製程形成半導體層320，半導體層320具有第一區域326及第二區域328，且第一區域326的厚度 $T_1$ 小於第二區域的厚度 $T_2$ 。例如在未形成圖案化半導體層322的情況下直接沉積半導體層324，可選擇性地使用平坦化製程使半導體層324的表面平整。之後形成圖案化光阻於半導體層324上，藉由蝕刻將圖案轉移至半導體層324以形成具有第一區域326及第二區域328的半導體層320，再移除圖案化光阻。

**【0027】** 請參照第1圖及第3C圖，方法100進行至步驟120，形成覆蓋層於半導體層上。如第3C圖所示，根據本發明某些實施方式，形成覆蓋層330於半導體層320上。覆蓋層330可作為抗反射層，提升後續雷射光的能量使用效率。覆蓋層330也可作為蓄熱層，延長後續雷射光 $L$ (繪示於第3D圖)照射後半導體層320維持於熔融態的時間。此外，覆

蓋層330也作為保護層，防止半導體層320的表面氧化。在某些實施例中，覆蓋層330可為對紫外光、可見光或紅外光具高穿透度之薄膜，例如氧化物層、氮化物層或氮氧化物層。氧化物層可例如為氧化矽層、氧化鍺層、氧化鋁層、氧化鋅層、氧化錫層、氧化銻錫層或氧化鈦層。氮化物層可例如為氮化矽層或氮化鋁層。氮氧化物層可例如為氮氧化矽層。在某些實施例中，覆蓋層330的厚度介於20nm至500nm，例如50nm、75nm、100nm、200nm、300nm或400nm。在某些實施例中，形成覆蓋層330的方法包含化學氣相沉積(CVD)或物理氣相沉積(PVD)。化學氣相沉積可例如為低壓化學氣相沉積(LPCVD)、超高真空化學氣相沉積(UHVCVD)或高密度電漿化學氣相沉積(HDPCVD)。物理氣相沉積可例如為電子束蒸鍍(e-beam evaporation)或濺鍍(sputter)。

**【0028】** 請參照第1圖及第3D圖，方法100進行至步驟130，使用雷射光穿透覆蓋層，加熱半導體層使半導體層部分熔融，其中未熔融之另一部分包含多個固態顆粒。如第3D圖所示，雷射光L穿透覆蓋層330，加熱半導體層320。加熱半導體層320使第一區域326完全熔融。因第二區域328比較厚，故當第一區域326完全熔融時，第二區域328中只有上層部分熔融。在某些實施例中，第二區域328包含熔融的上層部分、未熔融的底層部分及多個固態顆粒。

**【0029】** 請參照第1圖及第3E圖，方法100進行至步驟140，移除雷射光，使熔融部分之半導體層以固態顆粒為晶種進行再結晶，以形成多晶半導體薄膜。如第3E圖所示，在移除雷射光L後，第一區域326為完全熔融，第二區域328包含未熔融的部分，半導體層320中熔融的部分會以未熔融的部分為晶種進行再結晶。第二區域328中未熔融部分的溫度比完全熔融的第一區域326的溫度低，藉由此溫度梯度使熔融的第一區域326進行水平方向的再結晶。在某些實施例中，熔融的第一區域326具有再結晶方向D2及D3。再結晶方向D2垂直於半導體圖案層322的側壁，且再結晶方向D3為再結晶方向D2的反方向。第一區域326再結晶後所形成的晶粒大且尺寸均勻。因此第一區域326中所形成的多晶半導體薄膜若用於製作薄膜電晶體的話可具有高載子遷移率及高電性特性均勻度。

**【0030】** 請參照第1圖及第3F圖，方法100進行至步驟150，移除覆蓋層。如第3F圖所示，在使熔融的第一區域326進行再結晶後，移除覆蓋層330。

**【0031】** 第3G圖繪示根據本發明某些實施方式之半導體層320之俯視示意圖。第一區域326配置於兩相鄰之第二區域328的中間。在一實施例中，第一區域326具有厚度T1(繪示於第3D圖)，第二區域328具有厚度T2(繪示於第3D圖)，且厚度T2大於厚度T1。在另一實施例中，第二區



域328之間間隔距離D1，距離D1介於 $0.5\mu\text{m}$ 至 $4\mu\text{m}$ ，例如 $1\mu\text{m}$ 、 $2\mu\text{m}$ 或 $3\mu\text{m}$ 。在又一實施例中，各第二區域328具有不同的厚度，但各第二區域328的厚度皆大於第一區域326的厚度。

**【0032】** 第3H圖繪示根據本發明另外某些實施方式之半導體層320之俯視示意圖。半導體層320包含多個第一區域326、多個第二區域328及第三區域329。第二區域328配置於第三區域329的周圍且毗鄰第三區域329。第一區域326配置於相鄰之第二區域328的中間，且第一區域326及第二區域328圍繞第三區域329。第三區域329的厚度小於第二區域328的厚度。在一實施例中，第一區域326的厚度及第三區域329的厚度皆小於第二區域328的厚度。在一實施例中，第三區域329的厚度可與第一區域326的厚度相同。在另一實施例中，半導體層320經雷射光處理後，第三區域329再結晶後的晶粒尺寸會比第一區域326再結晶後的晶粒尺寸大。舉例來說，第三區域329可具有再結晶方向D4、D5、D6及D7。在又一實施例中，各第二區域328之間的間隔距離可例如為距離D1，距離D1介於 $0.5\mu\text{m}$ 至 $4\mu\text{m}$ ，例如 $1\mu\text{m}$ 、 $2\mu\text{m}$ 或 $3\mu\text{m}$ 。

**【0033】** 在某些實施方式中，利用再結晶後的多晶半導體薄膜形成電晶體的通道區。例如，可以使用上述的多晶半導體薄膜222、多晶半導體薄膜的第一區域326或第三區域

329作為通道區410(繪示於第4圖)。

【0034】 在某些實施方式中，形成多晶半導體薄膜後可再使用圖案化製程定義出多個區域，各區域在後續製程中會形成薄膜電晶體，且各薄膜電晶體相互電性絕緣。

【0035】 請參照第1圖及第4圖，方法100進行至步驟160，形成源極及汲極，源極及汲極分別配置於通道區的兩側。如第4圖所示，形成源極S及汲極D，源極S及汲極D分別配置於通道區410的兩側。可摻雜多晶半導體薄膜中通道區410兩側的部分，形成源極S及汲極D。在一製作P型通道薄膜電晶體(p-channel TFT)之實施例中，源極S及汲極D的摻質可例如為硼或鎵。在另一製作N型通道薄膜電晶體(n-channel TFT)之實施例中，源極S及汲極D的摻質可例如為磷、砷或銻。源極S及汲極D的摻雜濃度範圍可為 $1 \times 10^{14} \text{ cm}^{-2}$ 至 $1 \times 10^{16} \text{ cm}^{-2}$ ，例如 $5 \times 10^{14} \text{ cm}^{-2}$ 、 $1 \times 10^{15} \text{ cm}^{-2}$ 或 $5 \times 10^{15} \text{ cm}^{-2}$ 。在又一實施例中，通道區410也能經由適當的摻雜提升電性。在一特定的實施例中，通道區410可摻雜磷、砷或銻，降低通道區410的電洞濃度，進而降低薄膜電晶體之漏電流，提升開關電流比。通道區410的摻雜濃度範圍可為 $1 \times 10^{11} \text{ cm}^{-2}$ 至 $5 \times 10^{15} \text{ cm}^{-2}$ ，例如 $1 \times 10^{12} \text{ cm}^{-2}$ 、 $1 \times 10^{13} \text{ cm}^{-2}$ 或 $1 \times 10^{14} \text{ cm}^{-2}$ 。在某些實施方式中，可移除部分多晶半導體薄膜，再形成源極S及汲極D，源極S及汲極D配置於通道區410的兩側。源極S和汲極D的材料可

選自於下列群組，包含但不限於銀(Ag)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、鋁(Al)、鎳(Ni)、鈷(Co)、鈳(Ru)、鈀(Pd)、鉑(Pt)、錳(Mn)、氮化鎢(WN)、氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁(AlN)、矽化鎢(WSi)、氮化鉬(MoN)、矽化鎳(NiSi)、矽化鈷(CoSi<sub>2</sub>)、矽化鈦(TiSi<sub>2</sub>)、鍺化鎳(NiGe)、鍺矽化鎳(NiGeSi)、鋁化鈦(TiAl)、磷(P)或砷(As)摻雜之多晶矽、氮化鋯(ZrN)、碳化鉭(TaC)、氮碳化鉭(TaCN)、氮化矽鉭(TaSiN)、氮化鋁鉭(TiAlN)、矽化物、鍺化物、矽鍺化物或其任意之組合。可使用任何習知之製程形成源極S和汲極D，例如沉積製程、或沉積製程搭配退火製程。沉積製程可例如為有機金屬化學氣相沉積(MOCVD)、原子層沉積(ALD)、電子束蒸鍍(e-beam evaporation)、濺鍍(sputter)或電鍍(electroplating)。退火製程可例如為爐管退火(furnace annealing)、快速熱退火(RTA)、突發式退火(spike anneal)、雷射退火(laser anneal)或其任意之組合。在其他實施方式中，可形成源極S和汲極D，源極S和汲極D配置於通道區410兩側的上方。源極S和汲極D的材料可選自於下列群組，包含但不限於銀(Ag)、銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、鋁(Al)、鎳(Ni)、鈷(Co)、鈳(Ru)、鈀(Pd)、鉑(Pt)、錳(Mn)、氮化鎢(WN)、氮化鈦(TiN)、氮化鉭(TaN)、氮化鋁(AlN)、矽化鎢(WSi)、氮化鉬(MoN)、矽化鎳(NiSi)、矽化鈷(CoSi<sub>2</sub>)、矽化鈦

(TiSi<sub>2</sub>)、鍺化鎳(NiGe)、鍺矽化鎳(NiGeSi)、鋁化鈦(TiAl)、磷(P)或砷(As)摻雜之多晶矽、氮化鋯(ZrN)、碳化鈦(TaC)、氮碳化鈦(TaCN)、氮化矽鈦(TaSiN)、氮化鋁鈦(TiAlN)、矽化物、鍺化物、矽鍺化物或其任意之組合。

**【0036】** 請參照第1圖及第5圖，方法100進行至步驟170，形成閘極介電層於通道區上。如第5圖所示，閘極介電層510形成於通道區410上。在一實施例中，閘極介電層510可為半導體之氧化物層、氮化物層或氮氧化物層。氧化物層可例如為氧化矽層或氧化鍺層，氮化物層可例如為氮化矽層或氮化鍺層，氮氧化物層可為氮氧化矽層或氮氧化鍺層。在其他實施例中，閘極介電層510可為高介電常數介電材料，且高介電常數介電材料的介電常數值大於約7.0。閘極介電層510可由Hf、Al、Zr、La、Mg、Ba、Ti、Pb及上述各者之組合的金屬氧化物或矽酸鹽組成。在另一實施例中，閘極介電層510可為前述各式材料層之任意組合形成之多層結構。在又一實施例中，閘極介電層510的形成方法包含沉積製程擊退火製程。沉積製程包含低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)、有機金屬化學氣相沉積(MOCVD)、原子層沉積(ALD)、電子束蒸鍍(e-beam evaporation)、濺鍍(sputter)。退火製程包含爐管退火(furnace anneal)、快速熱退火(RTA)、突發式退火(spike anneal)、雷射退火(laser anneal)或其任意之組合。

**【0037】** 請參照第1圖及第6圖，方法100進行至步驟180，形成閘極電極於閘極介電層上。如第6圖所示，閘極610形成於閘極介電層510上。在一實施例中，閘極電極610包含金屬或低電阻之化合物，金屬可例如為鋁(Al)、鋁矽銅(Al-Si-Cu)、銅(Cu)、鎳(Ni)、鈦(Ti)、鉑(Pt)或前述金屬組合之合金，低電阻之化合物可例如為氮化鈦(TiN)、矽化鎳(NiSi)或摻雜多晶矽(Doped poly-Si)，亦可為前述各式材料層之任意組合形成之多層結構。在另一實施例中，形成閘極電極610的方法可為低壓化學氣相沉積(LPCVD)、電漿輔助化學氣相沉積(PECVD)、有機金屬化學氣相沉積(MOCVD)、原子層沉積(ALD)、電子束蒸鍍(e-beam evaporation)、濺鍍(sputter)或電鍍(electroplating)。

**【0038】** 請參照第1圖，前述按步驟160至步驟180之順序進行之製程稱為閘極後製(Gate last)。在另一實施例中，當完成步驟150後，可選擇先依序進行步驟170與步驟180，再進行步驟160，此種做法稱為閘極前製(Gate first)。必須說明的是，前述兩種製作流程係提供可行之薄膜電晶體製作概念，實際進行時可加入更多細節，例如在閘極後製製程中加入虛擬閘極(dummy gate)之製作概念以提升通道區410與閘極位置之對準精度。

**【0039】** 根據本發明的另一態樣，提供一種薄膜電晶體。在某些實施方式中，薄膜電晶體包含基板210、半導體薄膜(通道區)410、源極S及汲極D、閘極介電層510及閘極

電極610。半導體薄膜410配置於基板210上。源極S及汲極D分別配置於半導體薄膜410的兩側。閘極介電層510配置於半導體薄膜410上。閘極電極610配置於閘極介電層510上。在各種實施例中，半導體薄膜410的結晶性質為多晶，具有多個晶粒。晶粒具有長軸，且各晶粒的長軸大致相互平行。在一實施例中，半導體薄膜410中的晶粒尺寸介於 $0.5\mu\text{m}$ 至 $6\mu\text{m}$ ，例如 $1\mu\text{m}$ 、 $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$ 或 $5\mu\text{m}$ 。可利用軟體(例如Optimas 6-1)模擬TEM照片中晶粒的面積，將晶粒面積以等面積圓的方式計算其等面積圓的直徑，並將此直徑視為晶粒尺寸。

**【0040】** 第7A-7B圖為根據第2A-2E圖繪示的實施方式之半導體層之SEM圖。在拍攝SEM圖之前先進行濕式缺陷蝕刻製程，使半導體層220之晶界變得明顯可見，蝕刻液之調製通常選擇斷面控制蝕刻(Seccoetching)配方。第7A圖為雷射處理前的半導體層之SEM圖，其中半導體層具有大致平坦的表面。如第7A圖所示，雷射處理前的半導體層中的晶粒尺寸約為 $50\text{nm}$ 。第7B圖為半導體層經雷射處理後再結晶而形成的多晶半導體薄膜之SEM圖。第7B圖中多晶半導體薄膜的晶粒尺寸大於 $3.9\mu\text{m}$ 。值得注意的是，雷射掃描方向為A至A'，雷射掃描方向與再結晶後晶粒的晶界方向平行，故可得知在平坦的半導體層中，雷射掃描方向可控制再結晶的方向。

【0041】 第8圖為根據本發明某些實施方式之薄膜電晶體之電性特徵圖。在第8圖中，橫軸為閘極電壓，縱軸分別為汲極電流及場效載子遷移率。在此實施方式中，薄膜電晶體中的多晶半導體薄膜為銻。曲線A為在固定汲源極電壓( $V_{DS}$ )為-0.1V的條件下，閘極電壓與場效載子遷移率的關係曲線。由曲線A可得知，薄膜電晶體的載子遷移率最高可達 $1495 \text{ cm}^2/\text{V}\cdot\text{s}$ 。曲線B為在固定汲源極電壓( $V_{DS}$ )為-0.1V的條件下之 $I_d-V_g$ 曲線。曲線C為在固定汲源極電壓( $V_{DS}$ )為-1V的條件下之 $I_d-V_g$ 曲線。從曲線B及曲線C可得知，薄膜電晶體的電流開關比約為 $5 \times 10^3$ 。

【0042】 綜上所述，本發明之各實施例提供多晶半導體薄膜的製造方法。利用雷射使半導體層熔融再結晶，而形成具有大晶粒的多晶半導體薄膜。本發明之各實施例更提供薄膜電晶體的製造方法及薄膜電晶體，利用前述方法製備的多晶半導體薄膜製作出薄膜電晶體，此薄膜電晶體具有高載子遷移率及高電性特性均勻度。

【0043】 上文概述若干實施例之特徵結構，使得熟習此項技術者可更好地理解本發明之態樣。熟習此項技術者應瞭解，可輕易使用本發明作為設計或修改其他製程及結構的基礎，以便實施本文所介紹之實施例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離本發明之精神及範疇，且可在不脫離本發明之精神及範疇

的情況下做出對本發明的各種變化、替代及更改。

**【符號說明】**

**【0044】**

100 方法

110、120、130、140、150、160、170、180 步驟

210 基板

220 半導體層

230 覆蓋層

222 多晶半導體層

320、324 半導體層

322 圖案化半導體層

326 第一區域

328 第二區域

329 第三區域

330 覆蓋層

410 通道區

510 閘極介電層

610 閘極電極

D 汲極

D1 距離

D2、D3、D4、D5、D6、D7 再結晶方向



L 雷射

S 源極

T1、T2 厚度

## 【發明申請專利範圍】

【第 1 項】一種製造多晶半導體薄膜的方法，包含：  
形成一半導體層於一基板上；  
形成一覆蓋層於該半導體層上；  
使用一雷射光穿透該覆蓋層，加熱該半導體層使該半導體層一部分熔融，其中未熔融之另一部分包含多個固態顆粒；以及

移除該雷射光，使該熔融部分之該半導體層以該些固態顆粒為晶種進行再結晶，以形成一多晶半導體薄膜。

【第 2 項】如請求項 1 所述之方法，其中該覆蓋層包含氧化物、氮化物或氮氧化物，且該覆蓋層的厚度介於 20nm 至 500nm。

【第 3 項】如請求項 1 所述之方法，其中在形成該覆蓋層前，該半導體層包含一第一區域、一第二區域及一第三區域，該第一區域位於該第二區域與該第三區域之間，該第一區域具有一第一厚度，該第二區域具有一第二厚度，該第三區域具有一第三厚度，且該第二厚度及該第三厚度皆大於該第一厚度。

【第 4 項】如請求項 1 所述之方法，其中在形成該覆蓋層前，該半導體層包含一第四區域及多個第五區域，這些第五區域配置於該第四區域的周圍且毗鄰該第四區域，各該第五區域具有一第五厚度，該第四區域具有一第四厚度，該第五厚度大於該第四厚度。

【第 5 項】如請求項 3 所述之方法，其中該第二區域與該第三區域間隔一距離，該距離介於 0.5 至 4 $\mu\text{m}$ 。

【第 6 項】一種製造薄膜電晶體的方法，包含：

形成一半導體層於一基板上；

形成一覆蓋層於該半導體層上；

使用一雷射光穿透該覆蓋層，加熱該半導體層使該半導體層一部分熔融，其中未熔融之另一部分包含多個固態顆粒；

移除該雷射光，使該熔融部分之該半導體層以這些固態顆粒為晶種進行再結晶，以形成一多晶半導體薄膜，該多晶半導體薄膜具有一通道區；

移除該覆蓋層；

分別形成一源極及一汲極於該通道區的兩側；以及

形成一閘極電極於該通道區上方。

【第 7 項】如請求項 6 所述之方法，其中在形成該覆蓋層前，該半導體層包含一第一區域、一第二區域及一第三區域，該第二區域位於該第一區域與該第三區域之間，該第一區域具有一第一厚度，該第二區域具有一第二厚度，該第三區域具有一第三厚度，且該第一厚度及該第三厚度皆大於該第二厚度。

【第 8 項】如請求項 6 所述之方法，其中形成該源極及該汲極的步驟包含摻雜一部分的該多晶半導體薄膜，使該通道區的兩側分別形成一第一摻雜區及一第二摻雜區。

【第 9 項】一種薄膜電晶體，包含；

一基板；

一半導體薄膜，配置於該基板上，該半導體薄膜包含多個晶粒，各該晶粒具有一長軸，各該長軸大致相互平行；

一源極及一汲極，分別配置於該半導體薄膜的相對兩側；

一閘極介電層，配置於該半導體薄膜上；以及

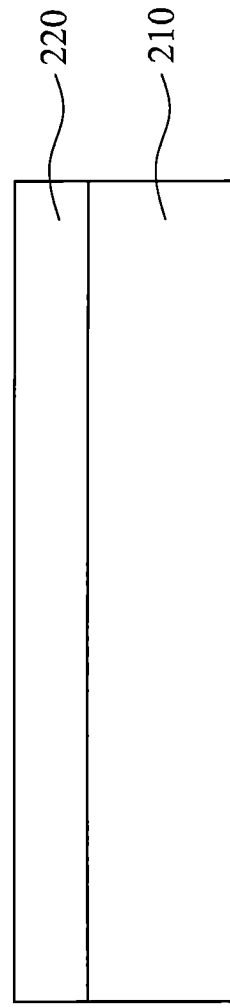
一閘極電極，配置於該閘極介電層上。

【第 10 項】如請求項 9 所述之薄膜電晶體，其中這些晶粒尺寸介於  $0.5\mu\text{m}$  至  $6\mu\text{m}$ 。

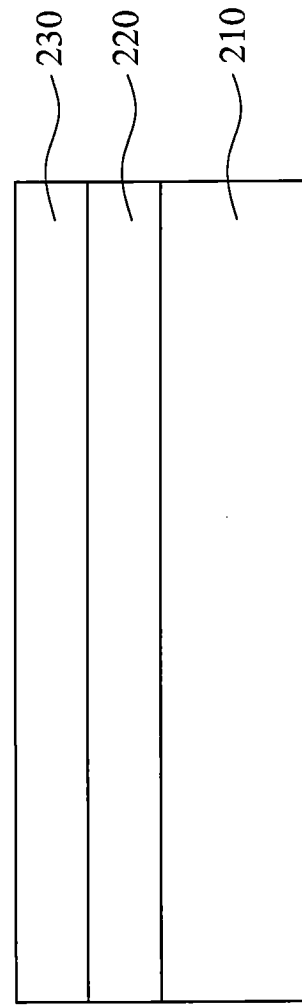


圖式

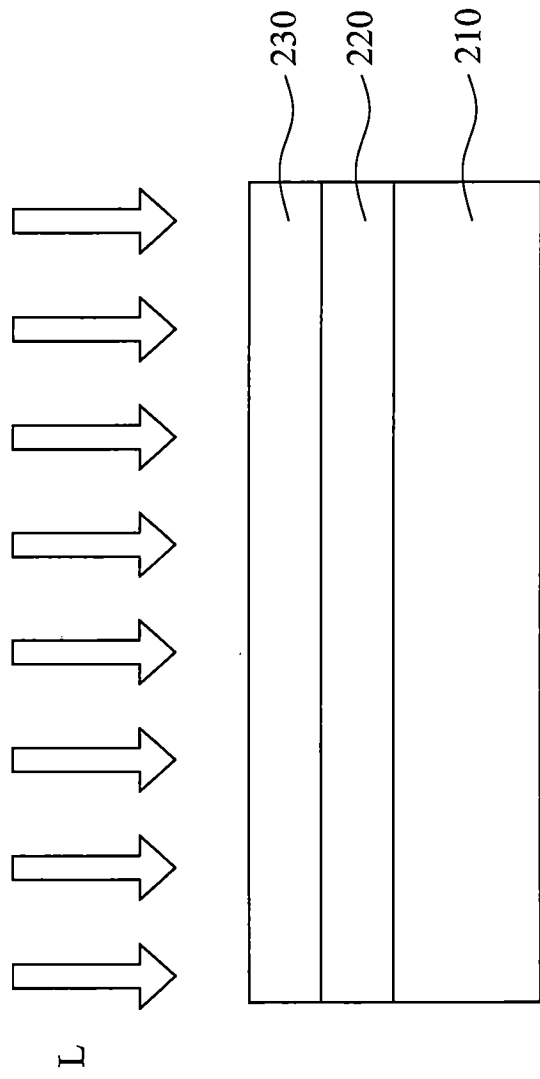
第 1 圖



第 2A 圖

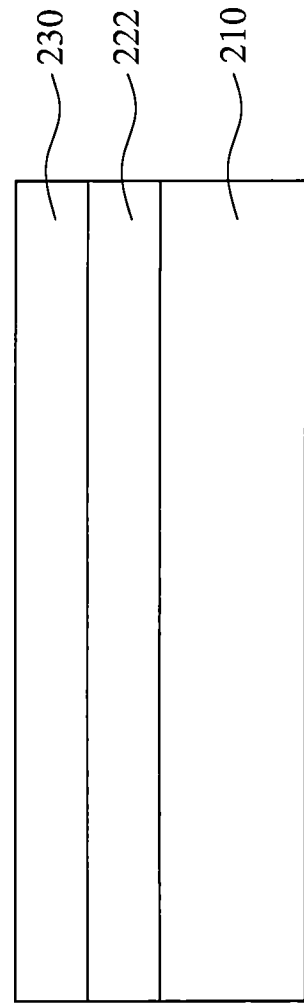


第 2B 圖

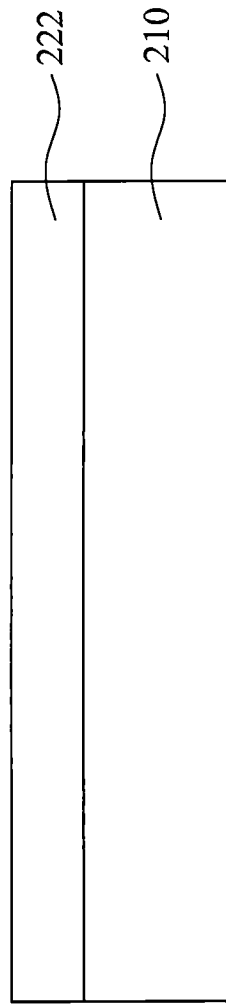


第2C圖

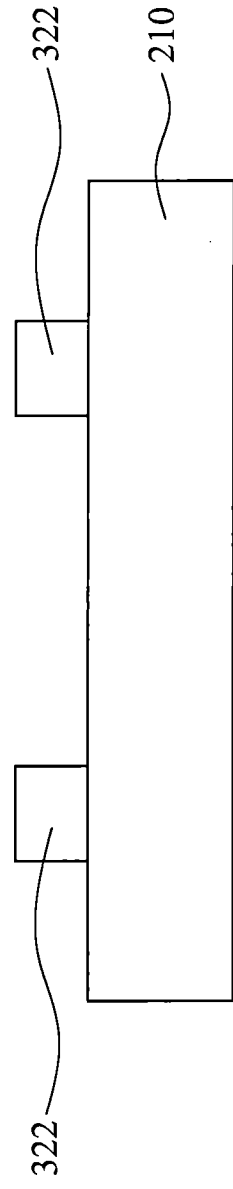




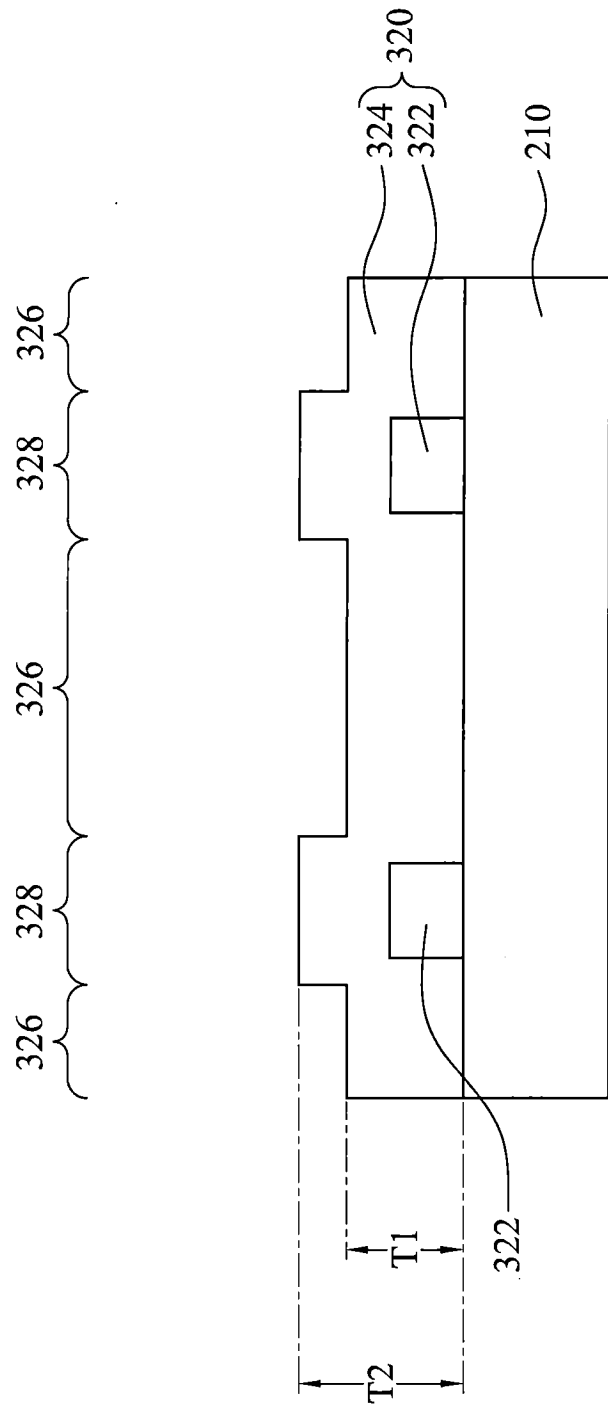
第2D圖



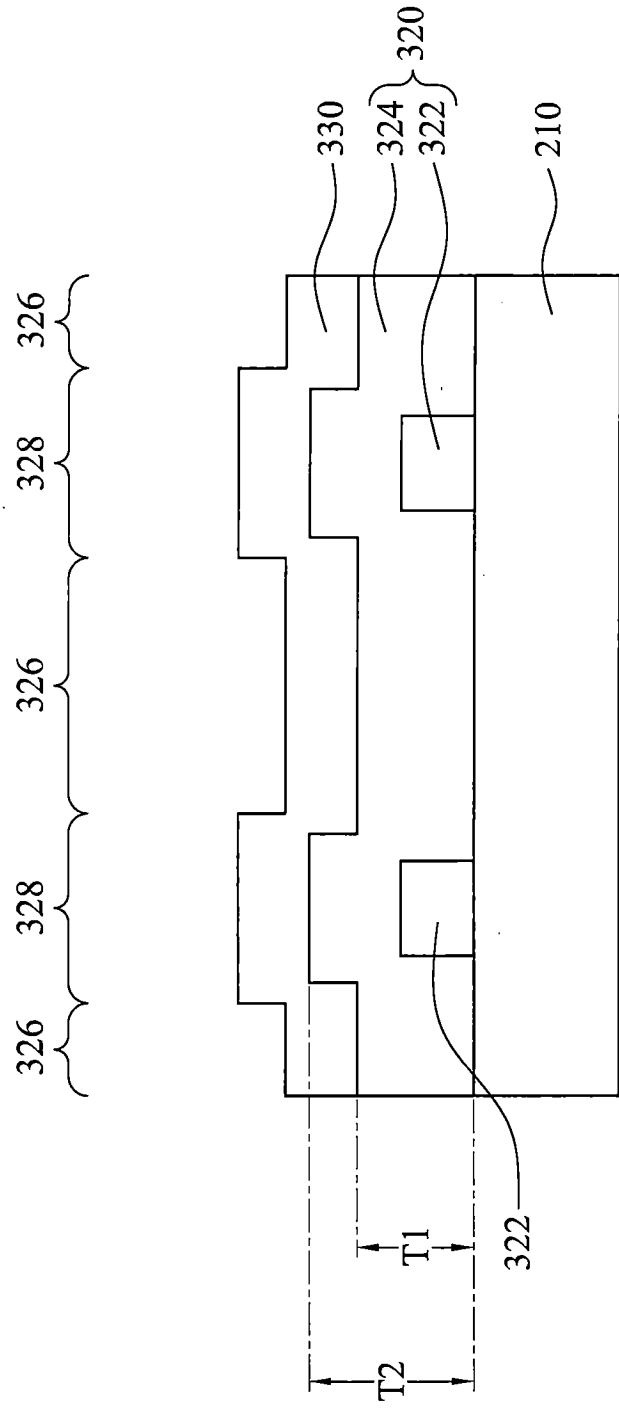
第2E圖



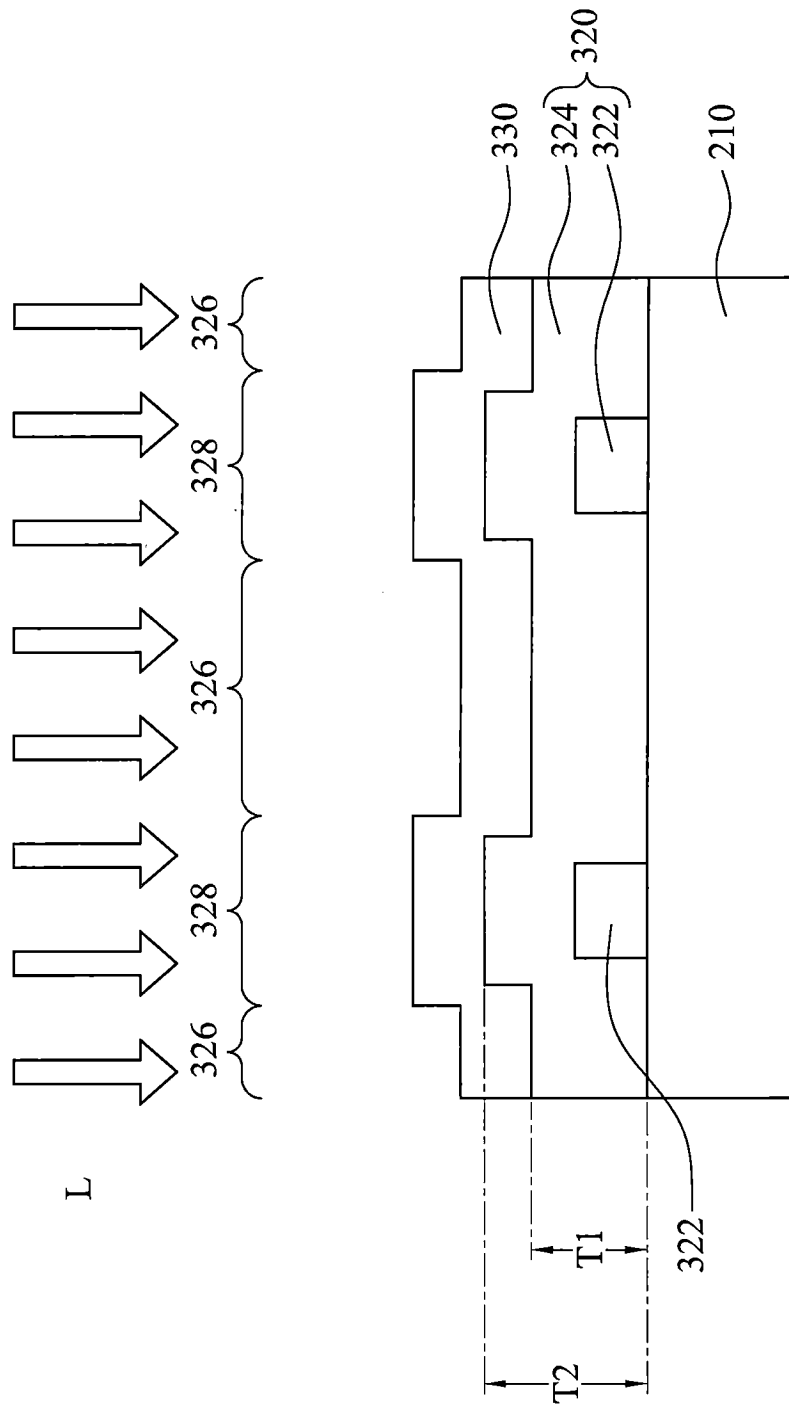
第 3A 圖



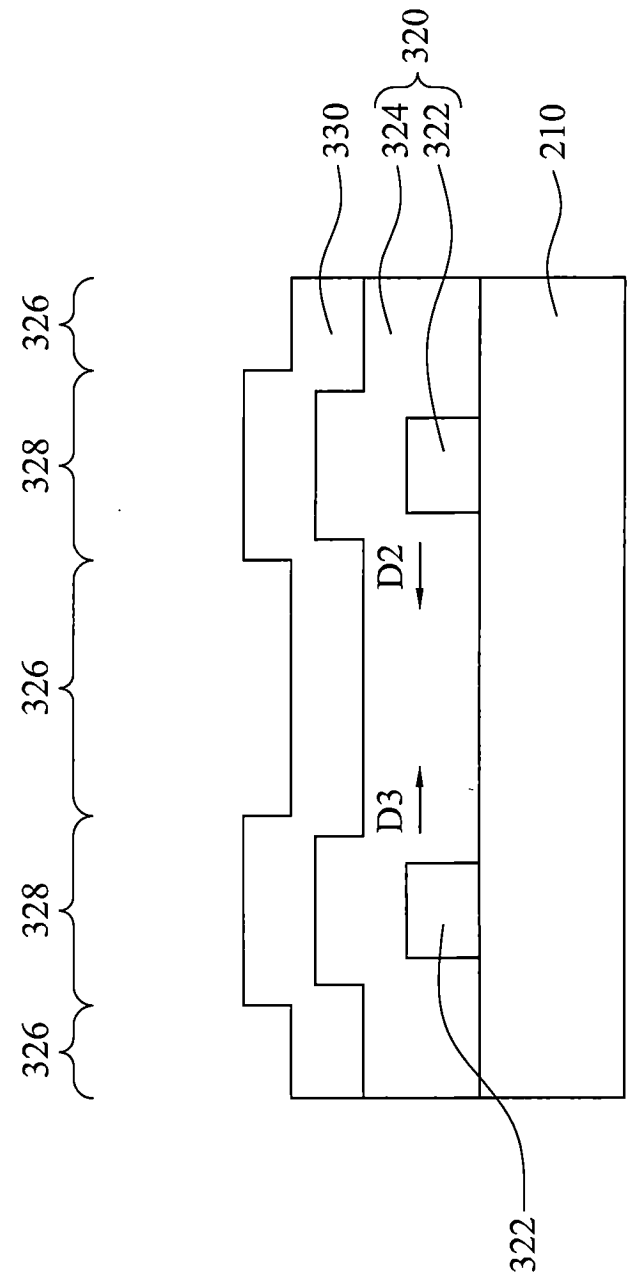
第3B圖



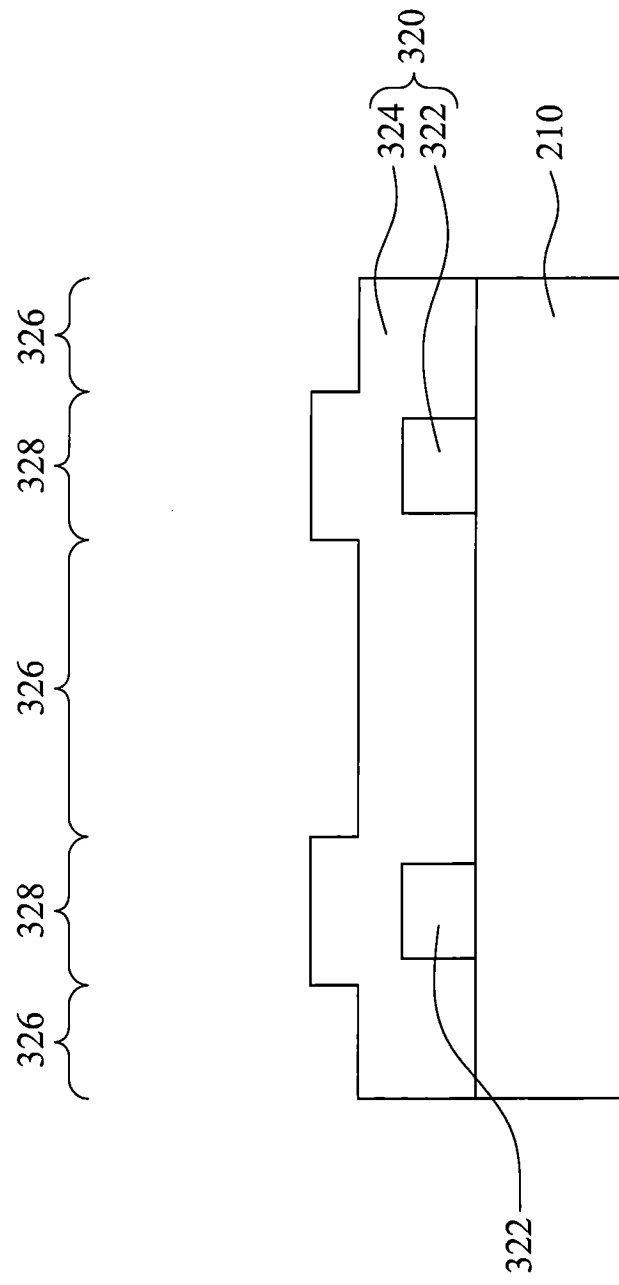
第3C圖



第3D圖

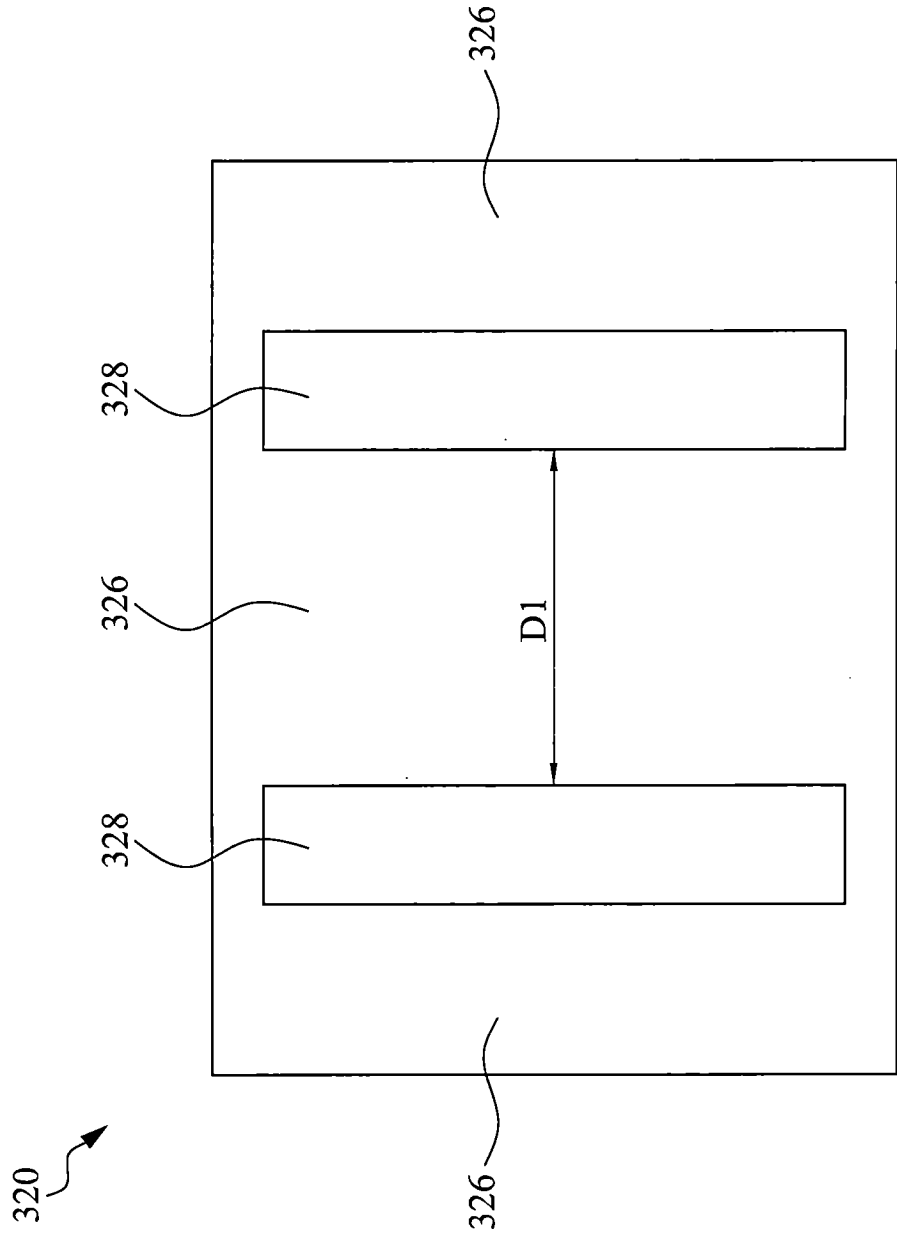


第3E圖

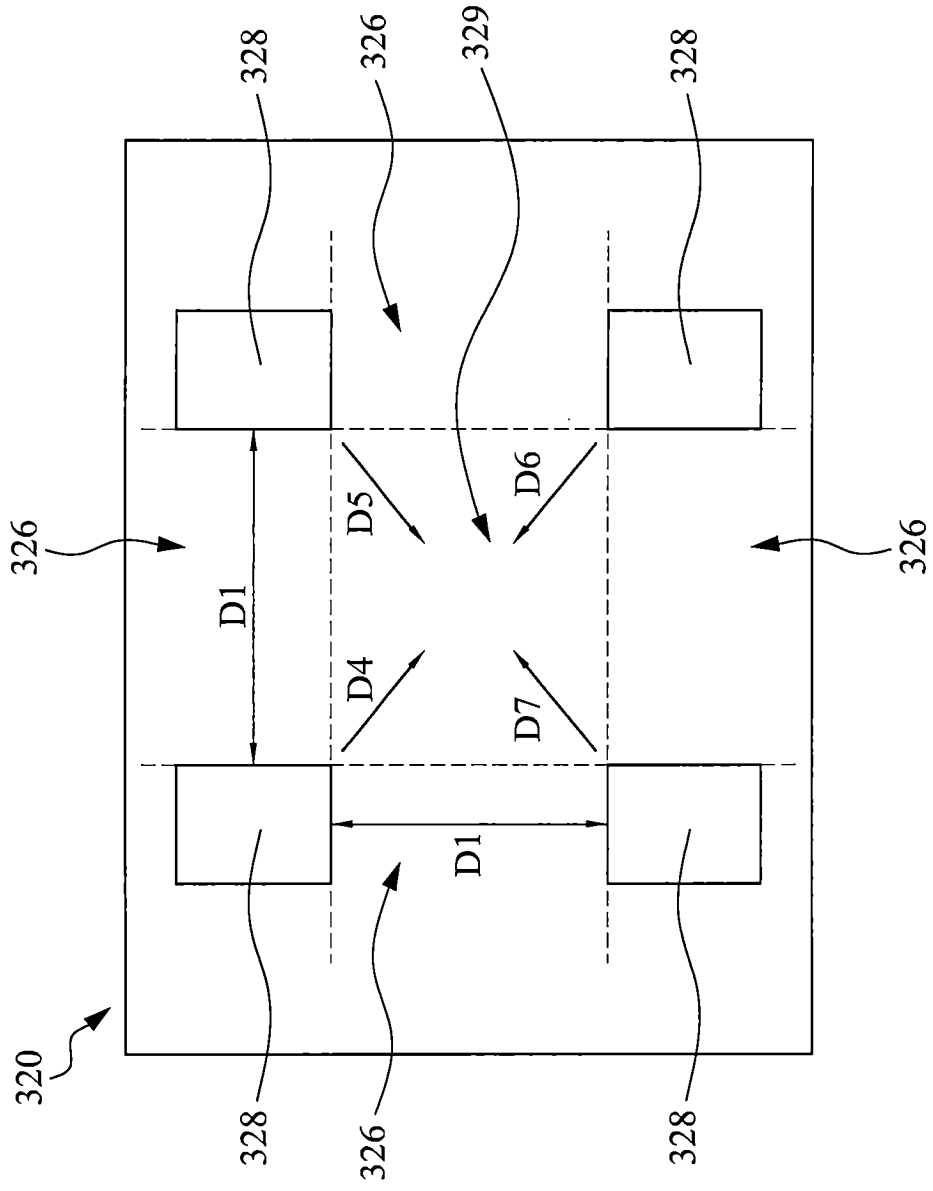


第3F圖

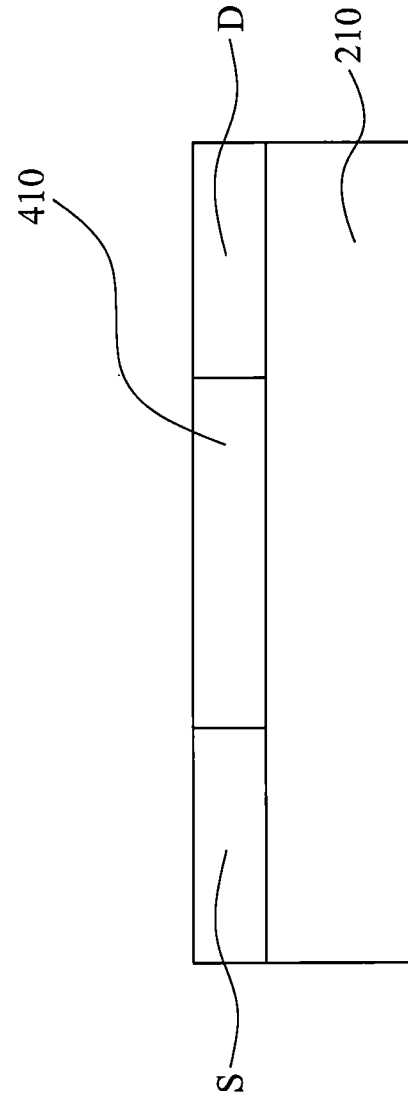




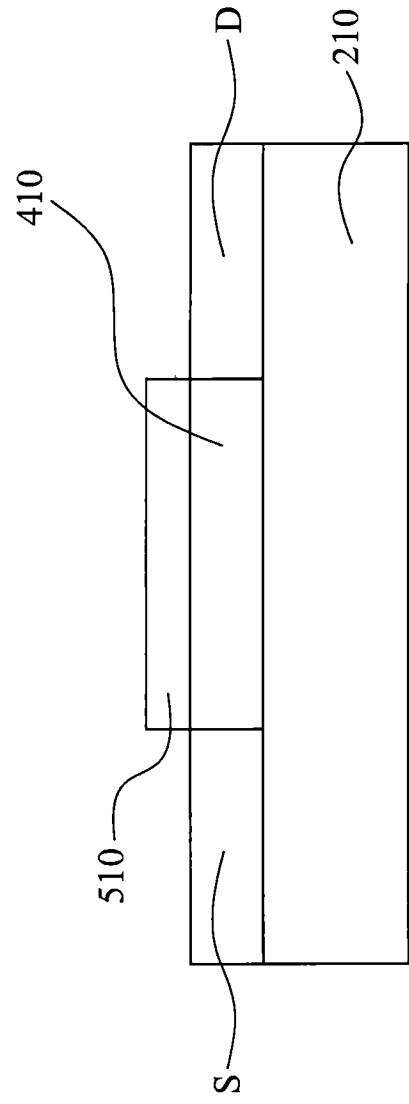
第3G圖



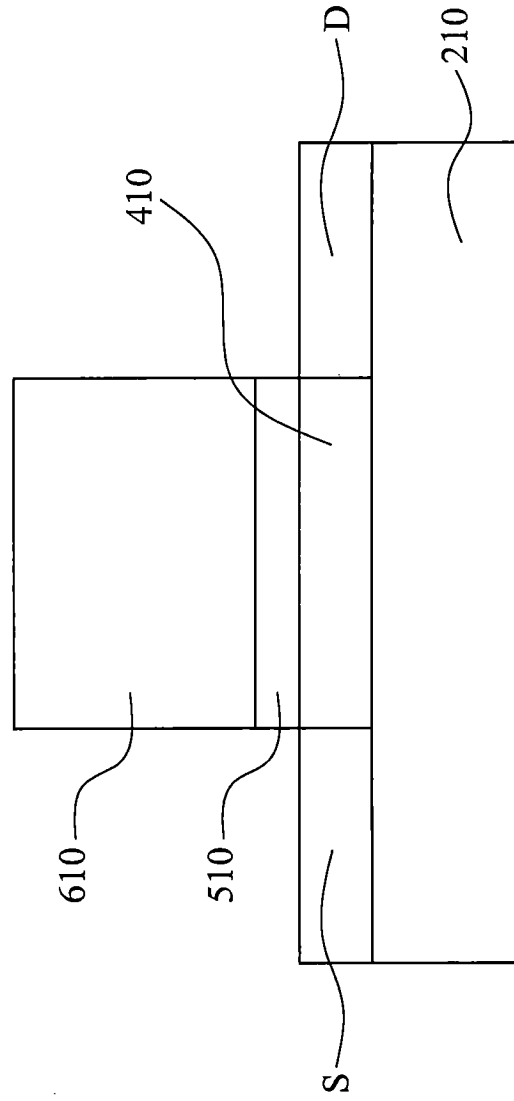
第3H圖



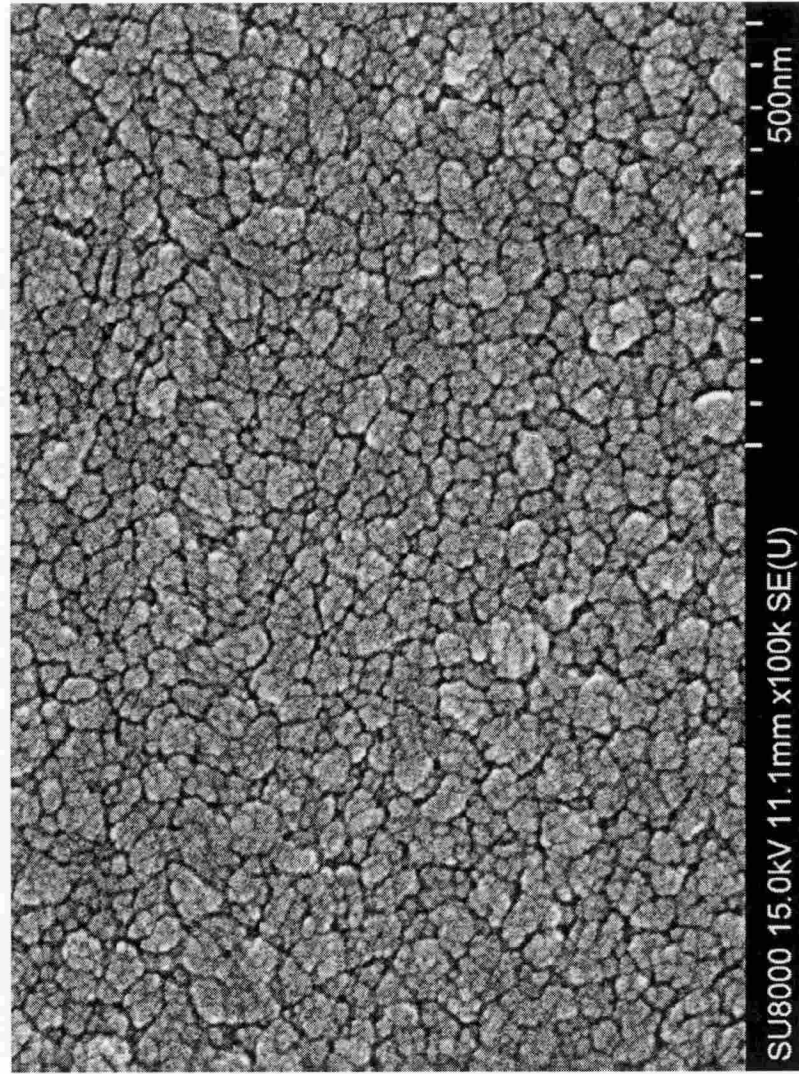
第 4 圖



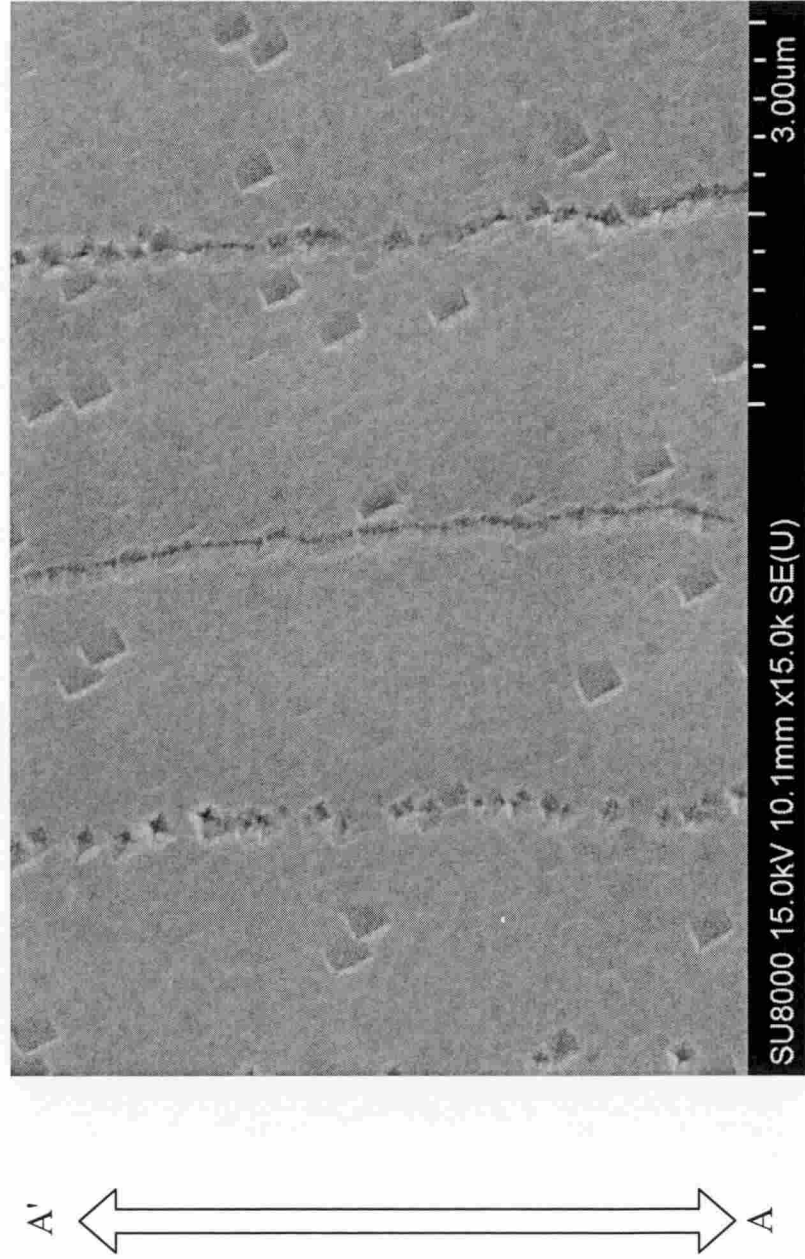
第 5 圖



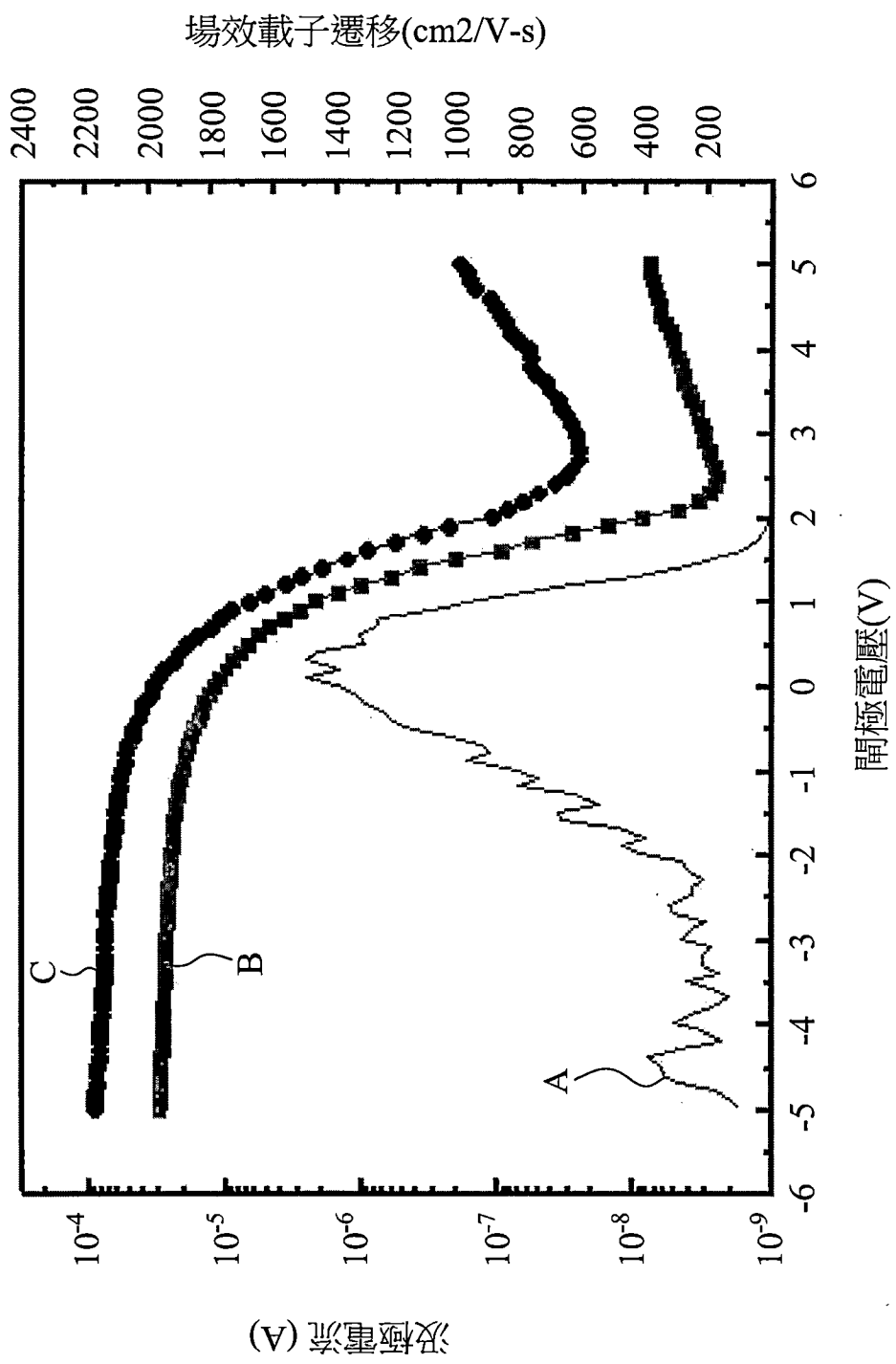
第6圖



第7A圖



第 7B 圖



第 8 圖