

# 國立交通大學

電機學院電機產業研發碩士班

碩 士 論 文

用於區塊化影像處理系統之局部掃描式  
影像感測晶片設計

**Design of locally-scanning CMOS Image Sensor for  
block-based Image processing applications**

研 究 生：蔡嘉洋

指 導 教 授：董蘭榮 教授

中 華 民 國 九 十 八 年 四 月

# 用於區塊化影像處理系統之局部掃描式影像感測晶片設計

Design of locally-scanning CMOS Image Sensor for  
block-based Image processing applications

研究生：蔡嘉洋

Student : Chia-Yang Tsai

指導教授：董蘭榮

Advisor : Lan-Rong Dung

國立交通大學

電機學院電機產業研發碩士班



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Industrial Technology R & D Master Program on

Electrical Engineering

December 2008

Hsinchu, Taiwan, Republic of China

中華民國 九十八 年 四 月

# 用於區塊化影像處理系統之局部掃描式影像感測晶片設計

研究生：蔡嘉洋

指導教授：董蘭榮 博士

國立交通大學電機學院產業研發碩士班

## 中文摘要

本論文的目的是設計一局部掃描式影像感測晶片，此晶片可以節省因為光柵式掃描的像素輸出順序與區塊化影像處理系統的處理順序不匹配而造成的後處理緩衝記憶體面積，以達到減少成本開銷與降低功率消耗。最後本論文設計兩種局部掃描式影像感測晶片 - 區塊式掃描影像感測晶片與區域光柵式掃描影像感測晶片 - 並將其和光柵式掃描影像感測晶片做比較，得出可節省 95% 以上的後處理緩衝記憶體，除此之外在晶片能量消耗最多可節省 48.8309%。

關鍵詞：CMOS 影像感測晶片、影像處理、影像暫存、階層式掃描

# Design of locally-scanning CMOS Image Sensor for block-based Image processing applications

Student: Chia-Yang Tsai      Advisor: Dr. Lan-Rong Dung

Industrial Technology R & D Master Program of  
Electrical and Computer Engineering College  
National Chiao-Tung University

## Abstract

The purpose of this thesis is to design a CMOS Image Sensor which can reduce the area of post-processing buffer memory, caused by pixel output order of raster scan and processing sequence of block-based image processing system does not match, to reduce cost and power consumption. This thesis designs two kinds of locally-scanning CMOS Image Sensor, block-scanning CMOS Image Sensor and locally-raster-scanning CMOS Image Sensor. To compare with raster-scanning CMOS Image Sensor, locally-scanning CMOS Image Sensor can reduce over 95% area of post-processing buffer memory and also can save at most 48.8309% energy consumption.

Keywords : CMOS Image Sensor, Image processing, Image buffering, hierarchical scanning

## 誌 謝

這兩年的研究生涯，培養我獨立思考及冷靜面對並解決問題的能力，使我覺得自己在各方面都有所成長且有更深切的體會，在此謹向我的指導教授董蘭榮老師致上最崇高的敬意，由衷的感謝老師的悉心指導，無論在研究過程及課業方面乃至於生活上，均給予多方的指導與建議。

此外，也要感謝交通大學關河鳴教授、中山科學研究院翁炳國副研究員、以及張騰轟博士在論文上的指導與匡正，使本論文更臻完善。

同時也要感謝實驗室一起奮鬥的學長穎毅和同學們，建勳、登琦、文俊、宇佑、志恆、展嘉、以及學弟嘉宏、智聖、建樺，謝謝你們熱心的協助與指導，使得我在研究過程中遇到的困境能夠迎刃而解。也因為有你們的陪伴，使我的研究生活增添了許多歡樂。特別感謝在我研究低潮時，關心我，陪我度過的朋友們。

最後要感謝我親愛的父母，及哥哥，感謝他們的養育之恩以及在我求學生涯中給我最大的鼓勵與支持，使我得以在精神與生活上無後顧之憂，順利完成學業。

感謝你們，僅以本論文獻給摯愛的大家。

嘉洋 于新竹交大

2009年4月

# 目 錄

|  |     |
|--|-----|
| 中文摘要 .....   | I   |
| Abstract.....  | II  |
| 誌 謝 .....  | III |
| 目 錄 .....  | IV  |
| 圖 目 錄 .....  | V   |
| 表 目 錄 .....  | VI  |
| 第 1 章 緒論 .....                                       | 1   |
| 1.1 研究動機與目的 .....                                    | 1   |
| 1.2 論文大綱 .....                                       | 2   |
| 第 2 章 研究背景 .....                                     | 3   |
| 2.1 影像成像系統 .....                                     | 3   |
| 2.2 Charge-Coupled Device(CCD)影像感測器簡介 .....          | 3   |
| 2.3 CMOS影像感測器 .....                                  | 5   |
| 2.3.1 CMOS影像感測器感光原理 .....                            | 5   |
| 2.3.2 CMOS影像感測器特性規格 .....                            | 6   |
| 2.3.3 CMOS影像感測器整體結構 .....                            | 9   |
| 第 3 章 研究方法 .....                                     | 15  |
| 3.1 傳統掃描方式 - 光柵(Raster)式掃描之CMOS影像感測器 .....           | 15  |
| 3.1.1 光柵式掃描之CMOS影像感測器整體架構 .....                      | 16  |
| 3.2 區塊(Block-scanning)式掃描之CMOS影像感測器 .....            | 21  |
| 3.2.1 區塊式掃描之CMOS影像感測器整體架構 .....                      | 22  |
| 3.3 區域光柵(Locally-raster-scanning)式掃描之CMOS影像感測器 ..... | 27  |
| 3.3.1 區域光柵式掃描之CMOS影像感測器整體架構 .....                    | 27  |
| 第 4 章 分析與模擬 .....                                    | 32  |
| 4.1 掃描方法之分析 .....                                    | 32  |
| 4.1.1 光柵式掃描之分析 .....                                 | 32  |
| 4.1.2 區塊式掃描之分析 .....                                 | 33  |
| 4.1.3 區域光柵式掃描之分析 .....                               | 34  |
| 4.2 掃描方法之比較 .....                                    | 36  |
| 4.2.1 緩衝記憶體比較 .....                                  | 36  |
| 4.2.2 類比電路之比較 .....                                  | 37  |
| 4.2.3 數位電路之比較 .....                                  | 41  |
| 4.3 掃描方法之模擬 .....                                    | 43  |
| 4.3.1 暫態分析 .....                                     | 44  |
| 4.3.2 能量分析 .....                                     | 44  |
| 4.4 總結 .....   | 50  |

|                     |    |
|---------------------|----|
| 第 5 章 結論與未來展望 ..... | 53 |
| 5.1 結論 .....        | 53 |
| 5.2 未來展望 .....      | 53 |
| 參考文獻 .....          | 54 |
| 作者簡介 .....          | 56 |

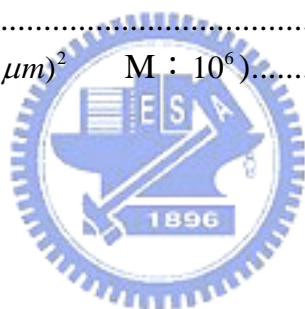
## 圖 目 錄

|  |    |
|--|----|
| 圖 2.1.1 影像成像系統(Image system)基本架構 .....       | 4  |
| 圖 2.1.2 Color filter陣列(Bayer Pattern).....   | 4  |
| 圖 2.1.3 CCD傳送部份之時序 .....                     | 5  |
| 圖 2.3.1 CMOS影像感測器訊號處理程序.....                 | 5  |
| 圖 2.3.2 電子-電洞對激發示意圖 .....                    | 6  |
| 圖 2.3.3 感光二極體內部電流移動示意圖 .....                 | 6  |
| 圖 2.3.4 固定圖像雜訊示意圖 .....                      | 8  |
| 圖 2.3.5 CMOS影像感測器基本結構.....                   | 10 |
| 圖 2.3.6 被動式感測器電路(Passive pixel sensor) ..... | 10 |
| 圖 2.3.7 3T主動式感測器電路.....                      | 12 |
| 圖 2.3.8 $V_{out}$ 與光線強度的關係 .....             | 12 |
| 圖 2.3.9 4T主動式感測器電路.....                      | 13 |
| 圖 2.3.10 相關二次取樣 .....                        | 14 |
| 圖 3.1.1 光柵式輸出示意圖 .....                       | 16 |
| 圖 3.1.2 重置訊號與row-select訊號控制電路架構 .....        | 18 |
| 圖 3.1.3 重置訊號訊號時序圖 .....                      | 20 |
| 圖 3.1.4 CDS詳細電路 .....                        | 20 |
| 圖 3.1.5 減法電路 .....                           | 20 |
| 圖 3.1.6 光柵式掃描CMOS影像感測器整體架構.....              | 21 |
| 圖 3.1.7 兩組CDS動作示意圖 .....                     | 21 |
| 圖 3.2.1 區塊內部像素讀出順序 .....                     | 22 |
| 圖 3.2.2 區塊式掃描CMOS影像感測器的架構.....               | 22 |
| 圖 3.2.3 區塊式掃描CMOS影像感測器之像素電路.....             | 25 |
| 圖 3.2.4 區塊內的讀出順序 .....                       | 25 |
| 圖 3.2.5 區塊式掃描CMOS影像感測器的整理電路.....             | 25 |
| 圖 3.2.6 行(列)解碼器時序圖 .....                     | 26 |

|  |    |
|--|----|
| 圖 3.3.1 區域光柵式掃瞄示意圖 .....               | 29 |
| 圖 3.3.2 區域光柵式掃描CMOS影像感測器之像素電路.....     | 29 |
| 圖 3.3.3 行(列)解碼器時序圖 .....               | 31 |
| 圖 4.1.1 使用光柵式掃瞄所需之緩衝記憶體個數.....         | 33 |
| 圖 4.1.2 使用區塊式掃瞄與區域光柵式掃瞄所需之緩衝記憶體個數..... | 35 |
| 圖 4.3.1 感測器模擬結果 .....                  | 43 |
| 圖 4.4.1 佈局圖 .....                      | 52 |

## 表 目 錄

|   |    |
|---|----|
| 表 4.2.1 因掃描方式不同所需之後處理緩衝記憶體 .....                  | 37 |
| 表 4.2.2 因掃描方式不同所需之主動負載 .....                      | 39 |
| 表 4.2.3 因掃描方式不同所需之相關二次電路與減法電路.....                | 40 |
| 表 4.3.1 類比電路能量比較 .....                            | 45 |
| 表 4.3.2 數位電路能量比較 .....                            | 47 |
| 表 4.3.3 緩衝記憶體電路能量比較 .....                         | 49 |
| 表 4.3.4 總能量比較 .....                               | 49 |
| 表 4.4.1 Overhead(單位： $(\mu m)^2$ M： $10^6$ )..... | 51 |





# 第 1 章 緒論

## 1.1 研究動機與目的

自從進入21世紀以來，科技3C產品永遠在追求進步，影像傳遞早已是人們傳遞資訊重要的方法之一，而影像感測系統已經廣泛的應用在不同的領域上，例如：數位相機[1-3]、醫學影像[4]、天文觀測[5]以及軍事領域上。

隨著積體電路以及相關技術的進步，CMOS影像感測晶片的相關研究愈來愈受到重視，現行的CMOS影像感測晶片大多都使用光柵式的掃瞄方法以便將像素值讀出至外界[6]，此方法對於像素值輸出後無須在做任何空間處理(例如：時域轉頻域等)的應用是相當好的方法。但是對於需要做空間處理(例如：median filter或離散餘弦轉換等)的系統來說，使用光柵式掃瞄將會產生多餘的儲存陣列也就是緩衝記憶體，此舉不但浪費面積並且增加功率消耗。

現今可攜式電器產品愈來愈普遍，縮小產品體積與降低功率消耗則變成一重要的課題。我們以腸胃道膠囊內視鏡為例，由臨床實驗得知一顆膠囊內視鏡自受測者吞入後到自動排出體外，這段時間約為6~8個小時，所以必須盡可能的輕薄短小並且省電。故從節省因為光柵式掃瞄的讀出順序與區塊化影像處理系統的處理順序之不匹配所造成多餘的緩衝記憶體是個不錯的方法。

為了能夠節省多餘的緩衝記憶體，本論文設計兩種局部掃瞄式影像感測晶片分別為區塊式掃瞄CMOS影像感測晶片與區域光柵式掃瞄CMOS影像感測晶片，透過修改影像感測晶片的讀出順序使得其能夠與區塊化影像處理系統之處理順序匹配將可節省95%以上的緩衝記憶體。

## 1.2 論文大綱

論文內容共分成五個章節。第 1 章為緒論，說明本論文研究的動機與目的以及相關研究背景與發展現況；第 2 章為影像成像系統與影像感測晶片之探討與分析，針對影像感測晶片的種類與基本特性，以及對影響影像感測晶片的一些因素予以分析、比較；第 3 章為光柵式掃瞄CMOS影像感測晶片和局部掃瞄式CMOS影像感測晶片的架構與操作方式，此為本論文的重點；第 4 章為模擬與分析，根據第3章所設計之架構進行電路模擬，且探討、驗證其模擬結果；第 5 章為結論與未來展望，說明本論文所採用方法的所達到的結果，並探討未來仍可進行的相關研究。



## 第 2 章 研究背景

雖然 CCD(Charge-Coupled Device) 影像感測器有較高的動態範圍(High Dynamic Range)和較低的讀出雜訊(Low Noise)，但相較於 CCD 影像感測器，CMOS 影像感測器(CMOS Image Sensor)具有 CCD 影像感測器無法達成的優點例如：較低的功率消耗[7]和操作電壓、較低的製作成本和較高的系統整合能力(Much higher level of integration)[8] . . . . . 等，故在許多電子產品裡，CMOS 影像感測器已逐漸取代 CCD 影像感測器，例如：PC cameras、手機和光學滑鼠 . . . . . 等。本章節將針對 CMOS 影像感測器之特性加以整理探討。

### 2.1 影像成像系統

在影像成像系統(Imaging system)裡影像感測器(Image sensor)是主要的部份之一 [2]，圖 2.1.1 為一影像成像系統的基本架構。首先，目標物所產生的光線經過光學鏡頭聚焦於影像感測陣列(包含 Micro-lens 陣列、Color Filter 陣列(圖 2.1.2)和影像感測器)被轉換成類比的電訊號(Electrical signals)；接著此影像感測陣列所轉換的類比訊號通過一類比 / 數位轉換器(Analog - to - digital converter, ADC)將類比訊號轉換成數位訊號；最後再經由後處理系統做處理，例如：為了盡可能還原影像原有的顏色所用到色彩內插(Demosaking)、為了回復系統對白色正確判斷的白平衡(White balance)、色彩校正(Color correct)和影像壓縮(Image compression) . . . . . 等。

前面所描述的每一個環節對於影像系統整體性能的影響都扮演著重要的角色，然而從過去的經驗與已發表的文獻中不難發現，CMOS 影像感測器對於系統整體性能有著極為重要的影響 [9]。

### 2.2 Charge-Coupled Device(CCD)影像感測器簡介

CCD 影像感測器是一種將光線轉換成電壓訊號的元件；一般可分為感光、傳送和輸出三大部分。 [10]

(一)感光部分

通常有PN接面式與MOS電容式兩種結構。

(二)傳送部份

如圖2.1.3所示，靠電荷耦合方式傳遞訊號。基本構造是在矽基板的表面有一層薄絕緣層，絕緣層上佈置平行排列的許多電極，構成並排的MOS電容。CCD的運作即依一定時序將脈衝電壓加於並排的各電極上，被加上電壓的電極將在矽基板表面形成電位井，電荷即存於電位井內，隨著脈衝電壓之時序，電位井將位移，電荷也隨之位移。如此，電荷即由感光部分位移至輸出部分。

(三)輸出部分

電荷經過源極追隨器(Source - follower)轉換成電訊號，此電訊號經讀出放大器放大後輸出。

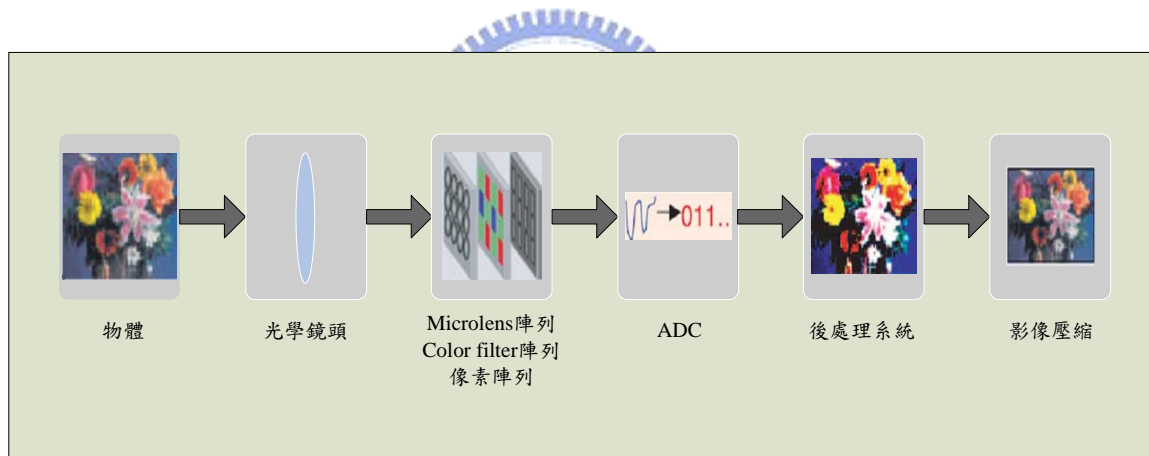


圖 2.1.1 影像成像系統(Image system)基本架構

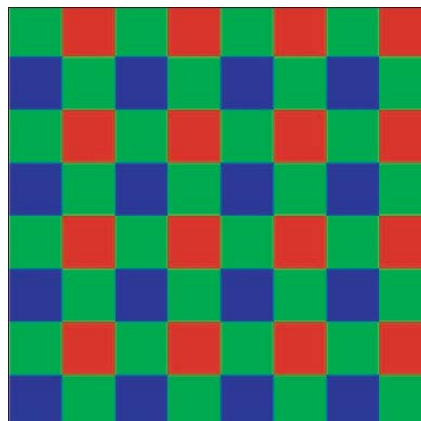


圖 2.1.2 Color filter 陣列(Bayer Pattern)

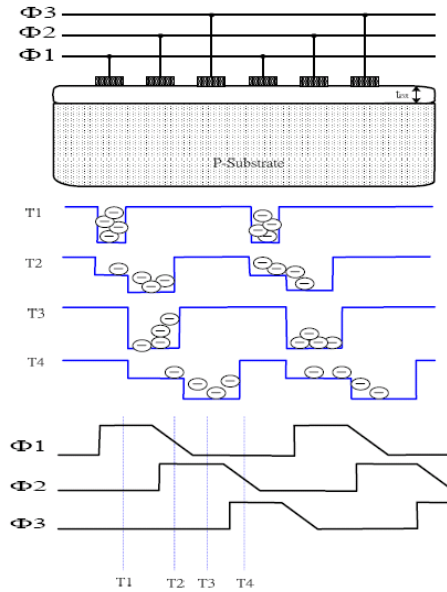


圖 2.1.3 CCD 傳送部份之時序

## 2.3 CMOS 影像感測器

CMOS 影像感測器是一混合訊號電路，其中包含了像素電路、類比訊號處理電路(如相關二次取樣電路)、類比 / 數位轉換器、偏壓電路和時脈電路 . . . . . 等。

### 2.3.1 CMOS 影像感測器感光原理

CMOS 影像感測器之訊號處理程序如圖 2.3.1 所示，光線照射到感測器後，感測器先將光子轉換成光電流，接著再轉換成電荷最後再依照感測器設計電路依序以電壓或電流訊號作為輸出，不同的光線強度造成不同的光電流，光線愈強光電流愈大。

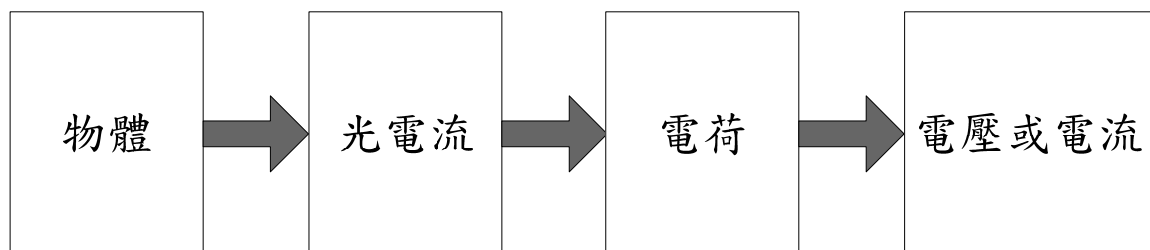


圖 2.3.1 CMOS 影像感測器訊號處理程序

CMOS 影像感測器利用感光二極體(Photodiode)作為接收光線的元件，照射至感光二極體的光子若有足夠的能量便能激發出電子 - 電洞對(e - h pairs)以產生光電流。可見

光波長範圍為  $400\text{ nm}$  到  $700\text{ nm}$ ，利用下列公式

$$E_{ph} = h\nu = \frac{hc}{\lambda} \quad (2.1)$$

$h$  : Planck constant

$c$  : 光速

$\lambda$  : 波長

可計算出可見光子能量約  $1.77\text{ eV}$  到  $3.1\text{ eV}$ ，皆大於感光二極體材料矽(Si)的能隙  $1.124\text{ eV}$ ，故所有可見光照射至感光二極體皆可激發出電子 - 電洞對，如圖 2.3.2 所示。

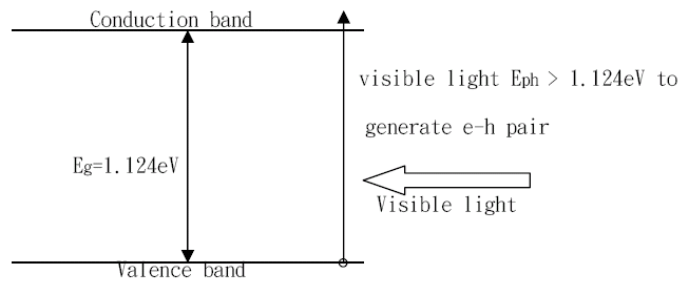


圖 2.3.2 電子 - 電洞對激發示意圖

當電子 - 電洞對被激發出來後，一部份的電子 - 電洞對會因 1) 載體濃度不同而產生擴散電流(Diffusion current)和 2) 因受到庫倫作用力的影響而產生遷移電流(Drift current)，兩者的加總即為光電流  $I_{photodiode}$ ，如圖 2.3.3 所示。

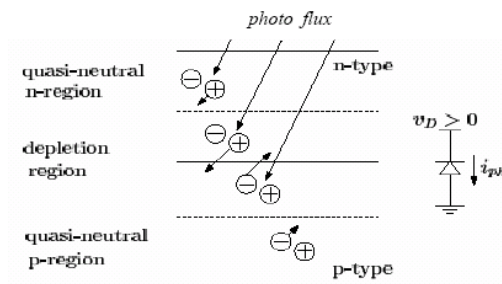


圖 2.3.3 感光二極體內部電流移動示意圖

## 2.3.2 CMOS 影像感測器特性規格

(一) 像素陣列(X, Y)

像素陣列的大小即為影像解析度，就是指一個影像取得系統中像素的個數，像素陣列(X, Y)表示共有  $X \times Y$  個像素，像素陣列愈大影像品質愈好。一般常見的大小為 CIF(352×288)、VGA(640×640)和 SVGA(800×600) . . . . . 等。

(二)像素尺寸(Pixel size,  $\mu m \times \mu m$ )

像素尺寸即像素面積，一般像素的佈局為正方形，當佈局面積固定，較小的像素尺寸將可放入更多的像素陣列。在設計像素尺寸時應同時兼顧製程、成本與應用在何處 . . . . . 等問題。

(三)填充係數(Fill factor, %)

填充係數的定義為有效的感光區域與整個像素尺寸的比值，在傳統的影像感測器中，有效的感光區域為不被光擋板擋住光的感光二極體區域。填充係數典型數值為30%，填充係數愈大，光敏感度愈強。

(四)敏感度(Sensitivity,  $V/lux - sec$ )

敏感度的定義為每勒克斯( $lux$ )—每秒下輸出電壓的變化， $lux$  為光強度的國際單位，敏感度與光電流的大小(光強度決定)、轉換增益(Conversion gain,  $V/electron$ )與感光二極體的電容值有關，對影像性能而言是一個重要的參數。

(五)暗電流(Dark current,  $V/sec$ )

暗電流是一固定之非時變雜訊，對於影像感測器的影響為在黑暗無光照的環境之下，影像感測器仍然會輸出一不為零的值。其主要來源為感光二極體的漏電流，包含

- 1)表面漏電流(Surface leakage current)  $I_{sur}$ 、
- 2)產生複合(generation-recombination)電流  $I_{gen-rec}$ 、
- 3)tunneling電流  $I_{tun}$  和
- 4)擴散電流(Diffusion current)  $I_{diff}$

故暗電流的總和可被表示成  $I_{dark} = I_{suf} + I_{gen-rec} + I_{tun} + I_{diff}$ 。

#### (六)固定圖像雜訊(Fixed pattern noise, FPN)

固定圖像雜訊是一對於影像品質之影響最為嚴重的雜訊，定義為在無光照或均勻光照(即相同光電流輸入)下各個像素輸出值的差異。固定圖像雜訊主要為像素電路內部電晶體臨界電壓  $V_{th}$  不匹配所造成的，通常大於其他雜訊。從圖 2.3.4 中可看出在無光照的環境下，條紋狀不均勻的線條為 C-C FPN，而同一行裡格子狀的不均勻影像稱為 pixel-to-pixel FPN，表示同一行的像素間不匹配所造成的固定圖像雜訊。

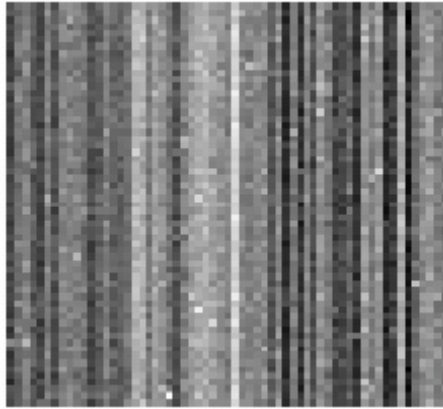


圖 2.3.4 固定圖像雜訊示意圖

#### (七)動態範圍(Dynamic range, DR)

CMOS 影像感測器固有的動態範圍定義如下：

$$DR = 20 \log \frac{e^-}{\sigma} \quad (2.1)$$

其中  $e^-$  為最大可偵測之電子數， $\sigma$  為讀出雜訊電子數之 r.m.s 值，從半導體相關公式中可求得最大可偵測電子數  $e^-$ ，

$$e^- = \left( \frac{C_{equal} \times V_s}{q} \right) \quad (2.2)$$

$$C_{equal} = C_D \times SenseArea \quad (2.3)$$



$$C_D = \frac{\epsilon_s}{x_2 - x_1} \quad (2.4)$$

$$x_2 - x_1 = \sqrt{\frac{2\epsilon_s}{q} (v_D + \phi_n + \phi_p) \left( \frac{1}{N_a} + \frac{1}{N_b} \right)} \quad (2.5)$$

$C_{equal}$  : 感光像素  $p-n$  接面之等效電容

$V_s$  : 像素輸出電壓之 Swing

$q$  :  $1.69 \times 10^{-19}$  col

相同的讀出雜訊電子數之 r.m.s 值  $\sigma$  可由下列公式推算出來，

$$\sigma = \frac{\alpha \times C_{equal} \times \sqrt{kTB}}{q} \quad (2.6)$$

另外動態範圍還可表示成：

$$DR = 20 \log_{10} \frac{I_{max}}{I_{min}} = 20 \log_{10} \frac{\frac{qQ_{max} - I_{dc}}{t_{int}}}{\frac{q}{t_{int}} \sqrt{\frac{1}{q} I_{dark} t_{int} + \sigma_r^2}} \quad (2.7)$$

其中  $t_{int}$  為積分時間、 $\sigma_r$  為因重置電路和讀出電路所造成的雜訊之變異數，由 2.7 式可知積分時間與動態範圍為反比關係，積分時間愈長動態範圍愈小。動態範圍表示為在同一個影像畫面中可感應強光與黑暗區域的能力，而一般主動式感測器典型動態範圍值為 60dB，但是相對於人眼辨識的能力約 90dB 而言，動態範圍仍是一有待改善的參數之一。

#### (八) 量子效率 (Quantum efficiency, %)

所謂的量子效率代表光子轉換為電子或電洞的效率，即對於進入感光二極體的光子數產生訊號電荷數的比率，通常用百分比 (%) 來表示。

### 2.3.3 CMOS 影像感測器整體結構

為了各種不同的目的，CMOS 影像感測器的結構可說是五花八門。大致上 CMOS 影像感測器的主要結構可分為四個部份，如圖 2.3.5 所示，分別為

#### (一) 像素陣列電路

像素電路主要可分兩種，主動式感測器 (Active pixel sensor, APS) 和被動式感測器 (Passive pixel sensor, PPS) [11][12]。被動式感測器是由一個傳輸閘 (Transmission-gate) 與一

photodiode所組成，如圖2.3.6所示。當row-select在高準位時傳輸閘電晶體導通，此時因光線照射而產生的光電流開始對M1放電，換句話說，光電流被轉換成電荷形式輸出至設計者所設計的讀出電路。雖然被動式感測器具有高填充係數(Fill factor)和像素尺寸較小等優點，但卻因為一些致命的缺點如：較高的雜訊、不穩定的偏壓、低注入效率(Injection efficiency)和低訊雜比(Signal-to -noise ratio, SNR)[13] . . . . .等，而不被廣泛的使用。

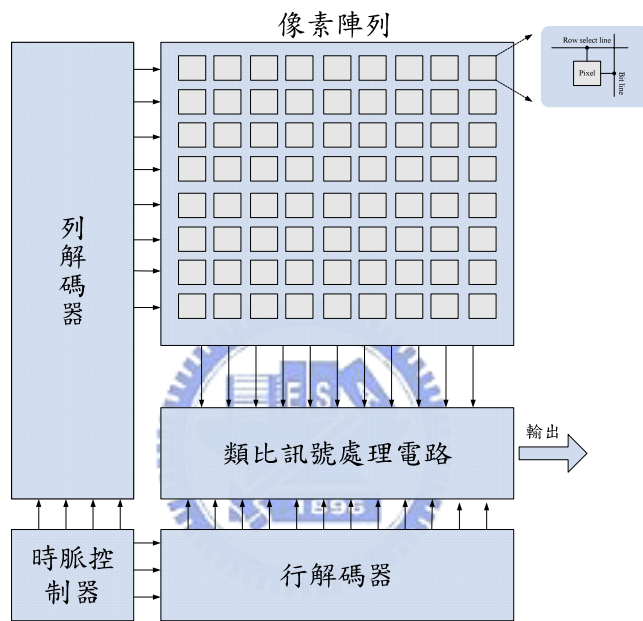


圖 2.3.5 CMOS 影像感測器基本結構

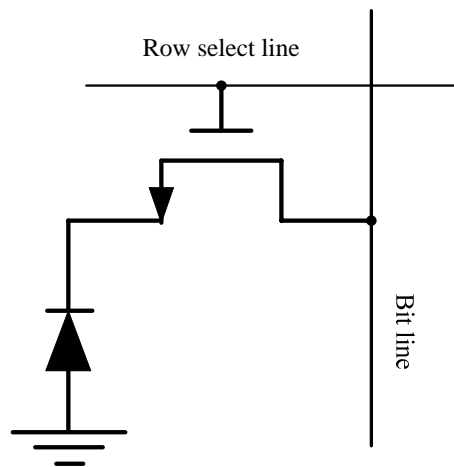


圖 2.3.6 被動式感測器電路(Passive pixel sensor)

圖2.3.7為一3T(3-transistors)主動式感測器電路[14]，包含一個重置電晶體M1(Reset

transistor)、一個源極追隨器M2(Source follower)、一個row-select電晶體M3和一個photodiode所組成。主動式感測器有兩種操作模式，分別為重置模式(Reset mode)與積分模式(Integration mode)。重置模式時， $V_{REST}$  為高準位(Logic high)，重置電晶體M1導通並且對 $V_a$ 節點充電，當充至 $V_a = (V_{dd} - V_{TH,M1})$ 時M1開始進入次臨界區(Subthreshold region)，此時汲極電流為

$$I_{D,M1} = I_0 \exp\left[\frac{V_{GS,M1} - V_{TH,M1}}{nV_{th}}\right] = I_{photodiode} \quad (2.8)$$

$V_{TH,M1}$  為M1的臨界電壓， $V_{th}$  為thermal voltage。當 $V_{GS,M1} = V_{TH,M1}$ 時，

$$V_a = V_{dd} - V_{TH,M1} - nV_{th} \ln\left(\frac{I_{photodiode}}{I_0}\right) \quad (2.9)$$

因通常 $I_{photodiode} \gg I_0$ 故(2.2)式中的 $nV_{th} \ln\left(\frac{I_{photodiode}}{I_0}\right)$ 可被忽略，則

$$V_a \cong V_{dd} - V_{TH,M1} \quad (2.10)$$

積分模式時， $V_{REST}$  為低準位(Logic low)這將使得M1關閉，光電流 $I_{photodiode}$ 對 $V_a$ 放電，光電流愈強則 $\Delta V$ 愈大，故 $V_a$ 最後的數值將由光的強度決定

$$V_a = V_{dd} - V_{TH,M1} - \Delta V = V_{dd} - V_{TH,M1} - \frac{I_{photodiode} \times T_{int}}{C_{photodiode}} \quad (2.11)$$

此時若 $V_{row-select}$ 為高準位則M3導通，當M2操作於飽和區，則電流關係如下：

$$I_{D,M2} = I_{out} = K_{n,M2} (V_{GS,M2} - V_{TH,M2})^2 \quad (2.12)$$

又 $V_{GS,M2} = V_a - V_{out}$ ，故可得

$$V_{out} = V_a - V_{TH,M2} - \sqrt{\frac{I_{out}}{K_{n,M2}}} \quad (2.13)$$

整理後得

$$V_{out} = V_{dd} - V_{TH,M1} - \frac{I_{photodiode} \times T_{int}}{C_{photodiode}} - V_{TH,M2} - \sqrt{\frac{I_{out}}{K_{n,M2}}} \quad (2.14)$$

由上述可知  $V_{out}$  與光的強度有著密不可分的關係，如圖2.3.8所示。

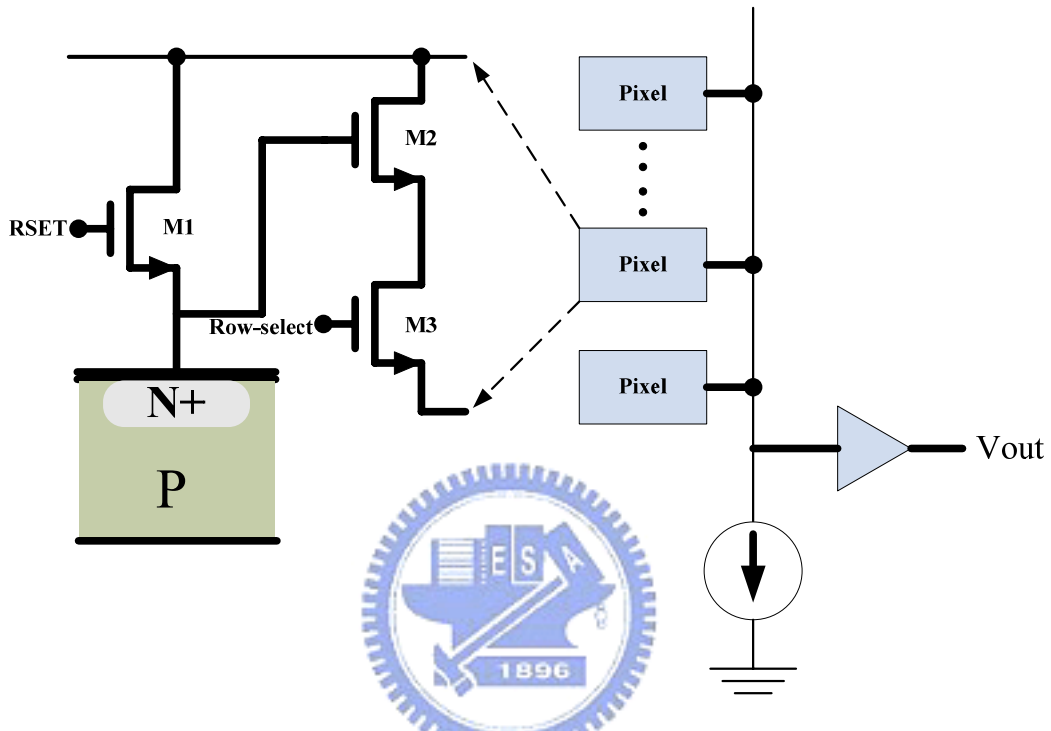


圖 2.3.7 3T 主動式感測器電路

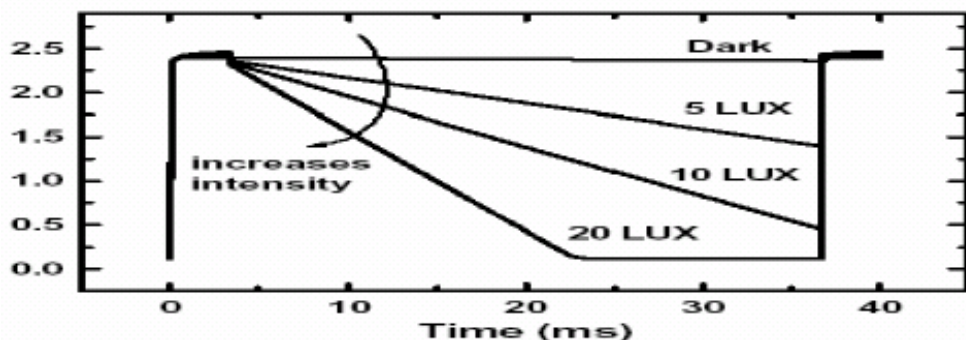


圖 2.3.8  $V_{out}$  與光線強度的關係

另一常見的主動式感測器為4T(4-transistors)主動式感測器或稱為pinned photodiode主動式感測器[15]，如圖2.3.9所示，與3T主動式感測器比較起來，4T主動式感測器再原本

的 photodiode 上方多加了一顆電晶體，並且此電晶體的源極使用  $p^+/n/p^-$  的佈局，而  $p^+/n$  所產生的空乏區會提高感測器的靈敏度。在高逆偏壓下，當  $p^+/n$  所產生的空乏區與  $n/p^-$  所產生的空乏區接觸時，即使光的強度持續增加也無法在產生多餘的多數載體，因此 4T 主動式感測器的動態範圍較小。

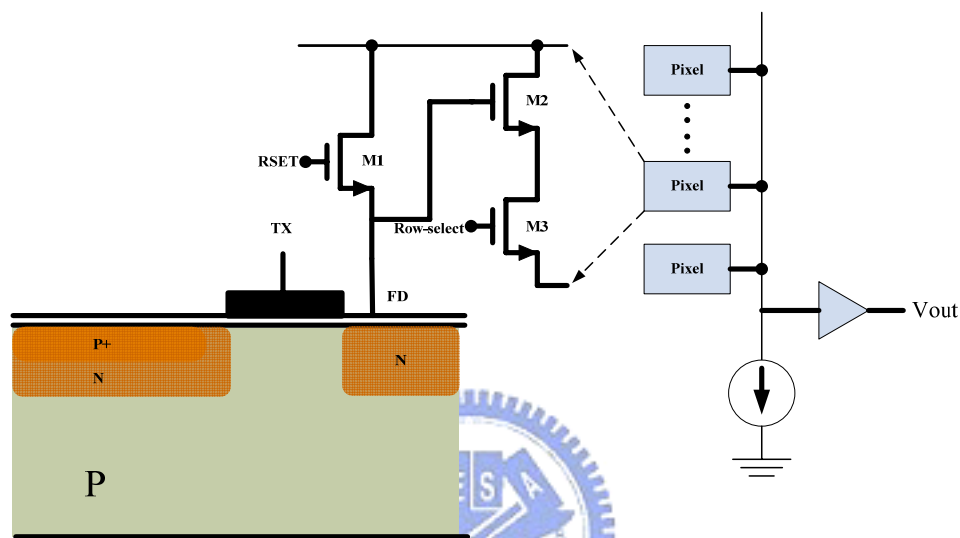


圖 2.3.9 4T 主動式感測器電路

## (二)類比訊號處理電路

類比訊號處理電路通常為相關二次取樣(Correlated double sampling, CDS)[16-19]電路，此電路用於降低固定圖像雜訊(Fixed pattern noise, FPN)；首先，每個像素的輸出均取樣兩次，一次在重置模式結束後另一次積分模式結束前；接著，兩次取樣的值將會相減，如圖2.3.10所示。為了了解此電路所造成的效應，我們假定積分模式結束前所取樣到的雜訊為下列變數的總和：

- 1) Shot雜訊， $Q_{shot}$
- 2) Reset雜訊， $Q_{reset}$
- 3) 因讀出電路元件所產生的thermal雜訊和flicker雜訊， $Q_{readout}$
- 4) 因元件不匹配所造成的FPN， $Q_{FPN}$

5) 暗電流(Dark current)所產生的雜訊， $Q_{dark}$

故重置模式結束後所取樣到的值則可表示成：

$$Sample_1 = Q_{reset} + Q_{1,read} + Q_{FPN} \quad (2.15)$$

而積分模式結束前所取樣到的值則可表示成：

$$Sample_2 = (i_{photodiode} + i_{dark})t_{int} + Q_{shot} + Q_{reset} + Q_{2,read} + Q_{FPN} + Q_{DSNU} \quad (2.16)$$

當  $Sample_2$  和  $Sample_1$  通過相關二次取樣後可得：

$$Sample_2 - Sample_1 = Sample_{21} \quad (2.17)$$

$$Sample_{21} = (i_{photodiode} + i_{dark})t_{int} + Q_{shot} - Q_{1,read} + Q_{2,read} + Q_{DSNU} \quad (2.18)$$

由上述可知相關二次取樣電路抑制了因元件不匹配所造成的FPN和Reset雜訊，但同時也使得讀出元件所產生的雜訊的power增加，其增加的程度與相關二次取樣電路抑制flicker雜訊的多寡有關。注意，相關二次取樣無法抑制暗電流所產生的雜訊，因此CMOS影像感測器的暗電流較CCD影像感測器大。

(三)行(列)解碼器和

(四)時脈產生電路與控制電路。

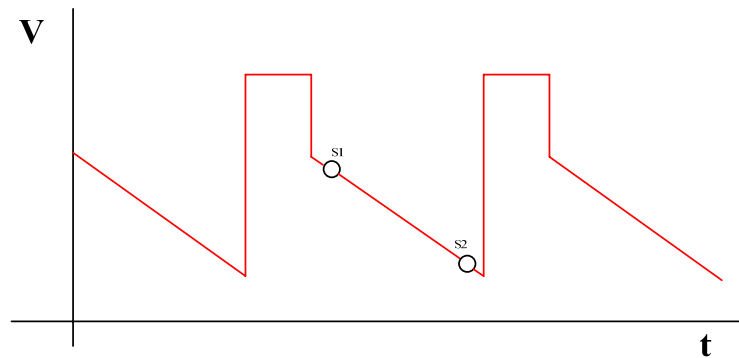


圖 2.3.10 相關二次取樣

## 第 3 章 研究方法

在了解影像感測器的工作原理後，吾人想知道不同掃描方式的 CMOS 影像感測器對於影像成像系統整體性能的影響究竟為何？故本章將介紹三種不同掃描方式的 CMOS 影像感測器之架構，分別為傳統掃描方式 - 光柵式、區塊掃描方式 - block-scanning 與區域光柵式掃描 - locally-raster-scanning，接下來將一一闡述。

### 3.1 傳統掃描方式 - 光柵(Raster)式掃描之 CMOS 影像感測器

一般來說，CMOS 影像感測器的讀出方式為光柵式；首先，列解碼器將  $V_{rst}$  訊號與  $V_{row-select}$  訊號傳送至像素陣列的第一列，故第一列的像素便開始執行重置模式與積分模式以將光子轉換成電荷；重置模式結束後，列解碼器立即將  $V_{sample-rst}$  傳送至相關二次取樣電路以便取得第一次的取樣訊號，同樣的在積分模式結束前，列解碼器將  $V_{sample-signal}$  傳送至相關二次取樣電路以便取得第二次的取樣訊號；在傳送  $V_{sample-signal}$  的同時，列解碼器也傳送  $V_{subtract}$  至相關二次取樣電路使得兩次的取樣訊號能夠進行相減而得到降低固定圖像雜訊的效果，相減過後的電荷會先儲存於 sample-hold 電容裡等待行解碼器訊號到來以讀出至下一級；而行解碼器從左邊第一個輸出依序的將  $V_{readout}$  從傳送至 sample-hold 電路，這時之前儲存於 sample-hold 電容的電荷將輸出至下一級電路，通常為類比 / 數位轉換器。

假設某個 CMOS 影像感測器之解析度為  $M \times N$ ，由上述可知，像素值輸出到外界的順序為先從像素陣列第一列最左邊的第一個像素開始輸出然後依序的由左而右輸出，當第一列最右邊的第  $N$  個像素輸出完成後，將跳至第二列最左邊第一個像素依序的由左而右輸出，接著跳至第三列、第四列、第五列 . . . . . 最後跳至第  $M$  列，換句話說便是依照著先由左而右再由上而下的方式輸出，如圖 3.1.1 所示，這便是傳統掃描方式 - 光柵式的讀出順序。

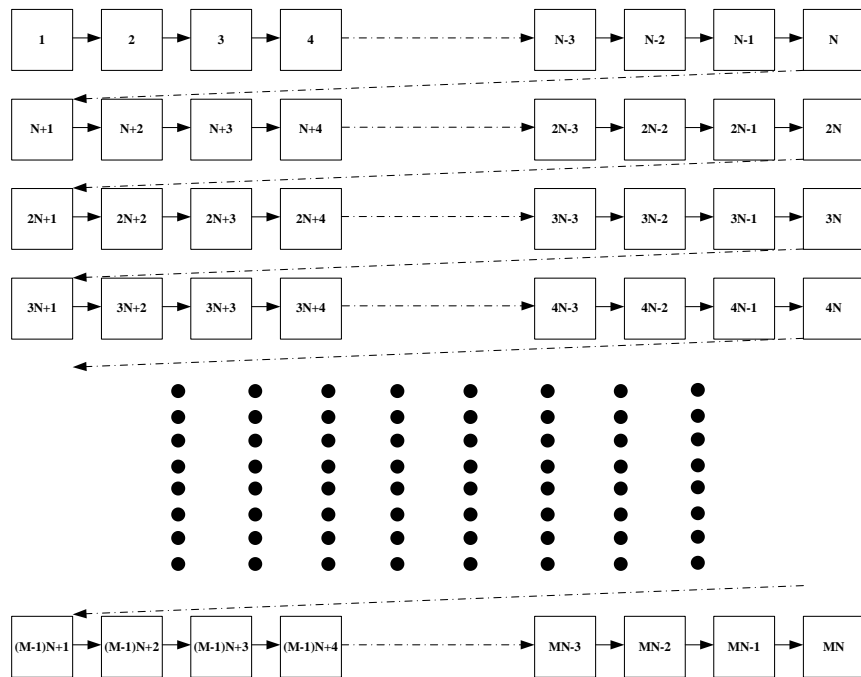


圖 3.1.1 光柵式輸出示意圖

### 3.1.1 光柵式掃描之 CMOS 影像感測器整體架構

光柵式掃描 CMOS 影像感測器之架構包含了

#### (一) 像素陣列

以 3T 主動式感測器為陣列單位元，每列像素電路之重置電晶體與 row-select 電晶體之閘級分別共用一重置訊號與共用一 row-select 訊號，換句話說同一時間內執行重置模式與積分模式的像素個數為  $1 \times N$  個 ( $N$  為像數陣列之行數)。操作方式如下：重置模式時  $V_{REST}$  與  $V_{row-select}$  均為高準位，將  $V_{pixelout}$  大約拉至  $V_{dd} - V_{th,M1} - V_{th,M2}$ ，重置模式結束後  $V_{REST}$  從高準位降至低準位故 M1 關閉，而  $V_{row-select}$  能持續保持高準位，此時立刻開始執行積分模式，因光線而產生的光電流開始對源極追隨器之閘極放電，光電流便因此被轉換成電壓值傳輸至下一級電路。由圖 2.3.7 可知每一行的像素陣列將共用一主動負載 (Active load)，故在像素陣列部分光柵式掃描 CMOS 影像感測器的一共有  $N$  個主動負載。

#### (二) 行(列)解碼器

行(列)解碼器主要用於控制像素之曝光時間與讀出方式。由於光柵式 CMOS 影像感



測器的讀出方式為先由左而右再由上而下的讀取，故其行(列)解碼器便可以位移暫存器(Shift register)做基本單位元，搭配計數器(Counter)與組合邏輯電路(Combinational logic)分別產生相對應之時脈週期與單一時脈週期脈波(Pulse)，以達到控制其曝光時間與由先由左而右再由上而下的讀出方式。圖 3.1.2 為重置訊號與 row-select 訊號之控制架構；以重置訊號與 row-select 訊號為例，首先，組合邏輯電路與計數器會產生一重置訊號  $V_{REST}$  與一 row-select 訊號  $V_{row-select}$ ，同時外界所輸入之 Clock 會經過計數器以及組合邏輯電路而產生新的 Clock， $CLK_{shift\_reset}$  和  $CLK_{shift\_sel}$ ，而  $V_{REST}$  和  $V_{row-select}$  的 Duty cycle 分別為

$$\frac{CLK_{pixel}}{M \times CLK_{shift\_reset}} \times 100\% \text{ 與 } \frac{xCLK_{pixel}}{M \times CLK_{shift\_sel}} \times 100\% \quad (M \text{ 為 CMOS 影像感測器之列數}), \text{ 其中}$$

$x$  可由設計者自行決定， $x$  的大小將影響積分時間的長短；此新 Clock 的頻率與 Frame rate 和像素陣列解析度有關，假設 Frame rate 為每秒 30 張畫面而像素陣列解析度為  $512 \times 512$  則可得像素頻率  $f_{pixel}$  為 786.432KHz，因為像素陣列每列的像素個數為 512 個，故可知位移暫存器之頻率  $f_{shift\_reset}$  與  $f_{shift\_sel}$  (即新 Clock 之頻率)為 15.36KHz 並且 Duty cycle 為  $\frac{1}{512} \times 100\%$  和  $\frac{x}{512} \times 100\%$ ；當  $CLK_{shift\_reset}$  和  $CLK_{shift\_sel}$  由低準位變至高準位時，即正緣觸發(Positive edge trigger)，重置訊號與 row-select 訊號會分別輸入至位移暫存器的第一個位元 REST[0]和 SEL[0]，而 REST[0]和 SEL[0]裡原本的值會位移至第二個位元 REST[1]和 SEL[1]、REST[1]和 SEL[1]裡原本的值位移至第三個位元 REST[2]和 SEL[2]· · · · · REST[M-2]和 SEL[M-2]為移至第 M 個位元 REST[M-1]和 SEL[M-1]，接著，當下一次正緣觸發時將重複先前所描述之動作，如此週而復始的運作便可產生用來控制重置模式與積分模式的訊號，經由位移暫存器的位移分別產生重置訊號  $V_{REST<0>}$ 、 $V_{REST<1>}$ 、 $V_{REST<2>}$  · · · · · 和  $V_{REST<M-1>}$  與 row-select 訊號  $V_{row-select<0>}$ 、 $V_{row-select<1>}$ 、 $V_{row-select<2>}$  · · · · · 和  $V_{row-select<M-1>}$ ，故每次重置訊號與 row-select 訊號使得一列的像素執行曝光，圖 3.1.3 所示為重置訊號之時序圖。

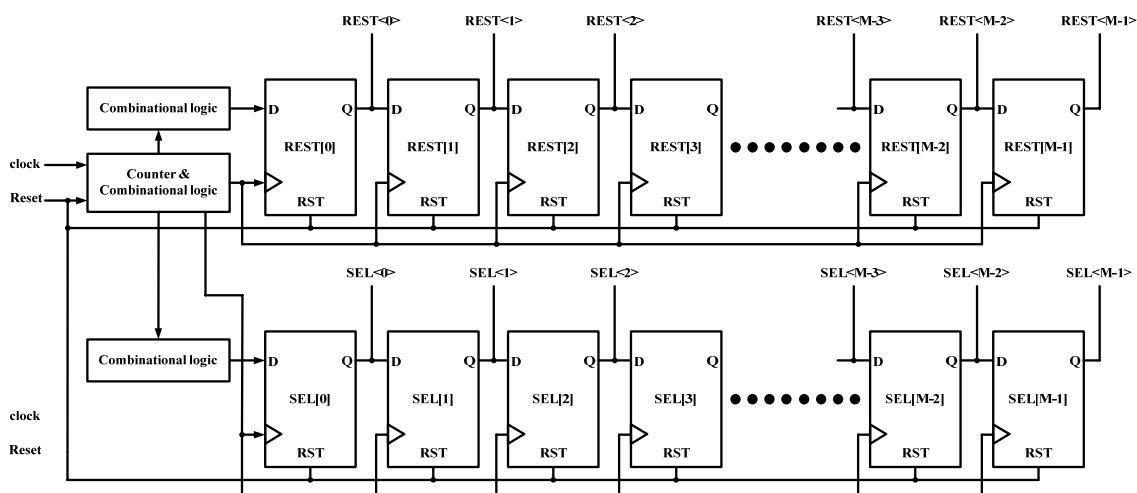


圖 3.1.2 重置訊號與 row-select 訊號控制電路架構

### (三)相關二次取樣電路

當光線經過像素進行光電轉換後，其轉換後的電壓值便輸出至相關二次取樣電路做處理，然後再接到讀出電路。相關二次取樣電路的作用在前一章有討論過，是用來降低固定圖像雜訊與重置雜訊的一種電路，其詳細電路如圖 3.1.4 所示，當像素執行重置模式時， $V_{CDS1}$  為高準位  $V_{CDS2}$  為低準位，故  $M_{CDS1}$  導通，這時重置訊號將經由 Path1 輸出並儲存於電容  $C_1$  中；當積分模式將結束前， $V_{CDS1}$  為低準位  $V_{CDS2}$  為高準位，故  $M_{CDS2}$  導通，因光電流所產生的電壓將經由 Path2 輸出並儲存於電容  $C_2$  中。

經過兩次取樣之後，固定圖像雜訊與重置雜訊均同時存在於 Path1 與 Path2 中，因此只要利用一減法電路將 Path1 輸出的電壓減去 Path2 輸出的電壓，固定圖像雜訊與重置雜訊便能消除。

### (四)減法電路

在曝光過程中，訊號的傳輸我們採用差動式的相關二次取樣電路以達到降低固定圖像雜訊與重置雜訊，因此，我們必須將兩次取樣中所得到的電壓值相減。

如圖 3.1.5 所示，當積分模式快結束時所取樣到的值到達時， $V_{S1}$  為高準位  $V_{S2}$  為低準位故  $M_{S1}$  與  $M_{signal}$  導通，則經由 Path2 的電壓值將輸入至電容  $C_{sub}$ ，此時電容  $C_{sub}$  兩端的值分別為，

$$V_a = V_{Path2} \quad (3.1)$$

$$V_b = 0 \quad (3.2)$$

接著，下一個週期  $V_{S1}$  為低準位  $V_{S2}$  為高準位故  $M_2$  導通，因電容兩端的電壓值不會瞬間改變，故此時電容  $C_{sub}$  兩端的值分別變為，

$$V_a = V_{Path1} \quad (3.3)$$

$$V_b = V_{Path1} - V_{Path2} \quad (3.4)$$

如此一來便能將原本同時存在於 Path1 與 Path2 裡的固定圖像雜訊與重置雜訊消除掉。

最後，從圖 3.1.6 可以發現整體架構裡使用了兩組相關二次取樣電路與減法電路，當第一組電路在執行相關二次取樣與相減時，第二組電路便將以進行過取樣與相減的值依序輸出，反之亦然，這樣便可以很連續的將曝光值輸出至下一級電路，其示意如圖 3.1.7 所示。一開始第一列開始執行曝光與讀出，第一列的像素值會輸入至第一組相關二次取樣與減法電路，此時用以控制經過第二組相關二次取樣與減法電路處理的像素值是否讀出之行解碼器將會開始對第二組相關二次取樣與減法電路做控制，使其最終像素值能依序讀出至外界，當然這時候的值為無意義的值，因為裡面並不知道儲存了什麼值；接著，第二列開始執行曝光與輸出，第二列的像素值會輸入至第二組相關二次取樣與減法電路，此時用以控制經過第一組相關二次取樣與減法電路處理的像素值是否讀出之行解碼器將會開始對第一組相關二次取樣與減法電路做控制，使其最終像素值能依序讀出至外界，這時讀出的值便開始有意義了，因為這次讀出的值為第一列像素電路經過第一組相關二次取樣與減法電路處理而存在取樣 / 保留電路裡的值；然後第三列將輸入至第一組相關二次取樣與減法電路，此時讀出經過第二組相關二次取樣與減法電路處理的值，如此週而復始，便能很連續的將最終像素值輸出至下一級電路，而不需要等待。

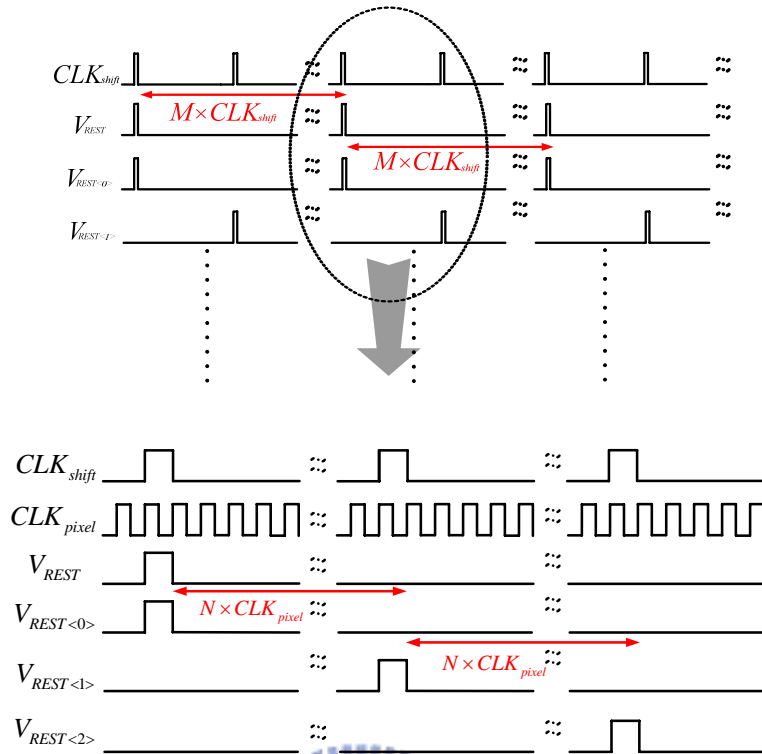


圖 3.1.3 重置訊號訊號時序圖

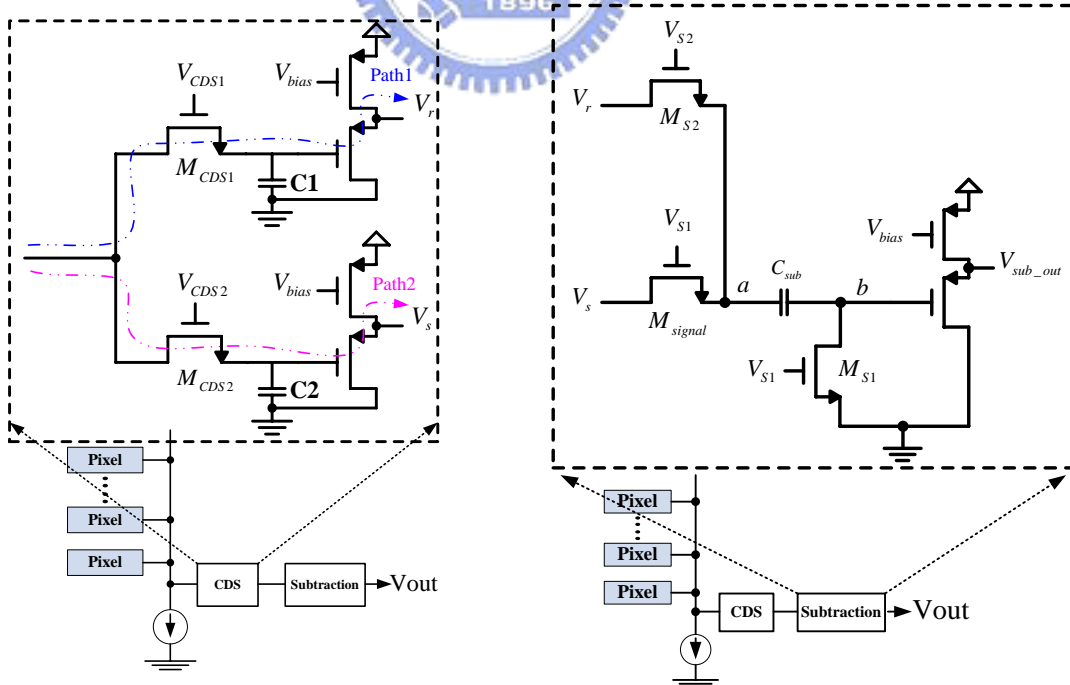


圖 3.1.4 CDS 詳細電路

圖 3.1.5 減法電路

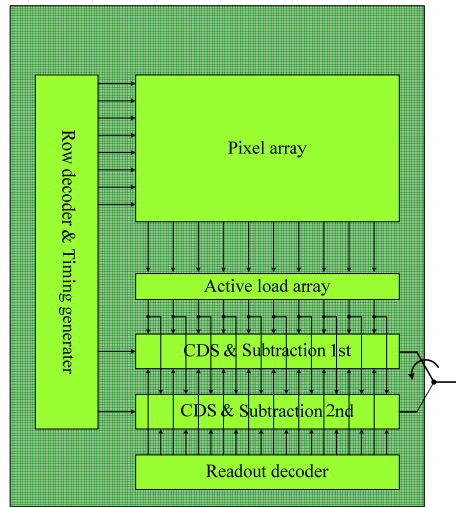


圖 3.1.6 光柵式掃描 CMOS 影像感測器整體架構

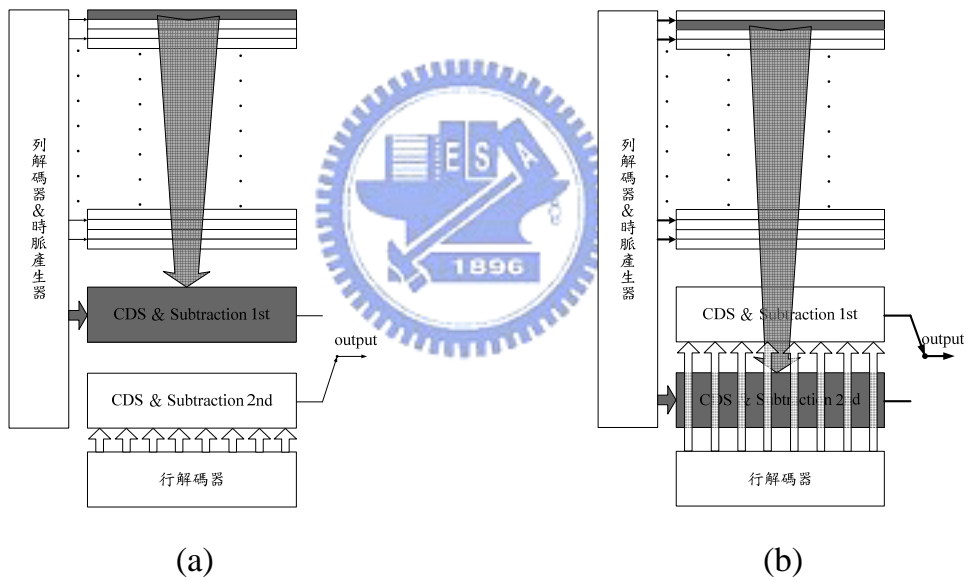


圖 3.1.7 兩組 CDS 動作示意圖

### 3.2 區塊(Block-scanning)式掃描之 CMOS 影像感測器

不同於光柵式掃描 CMOS 影像感測器式以列為單位做為讀出順序的基準，區塊式掃描[20]顧名思義便是以  $W \times W$  ( $W = 2, 4, 8, \dots, 2^n$ ) 的區塊(Block)為單位做為讀出順序的基準，將像素陣列分割為  $\frac{M}{W} \times \frac{N}{W}$  個區塊，其中  $M$  與  $N$  為像素陣列解析度而  $W$  為區塊之解析度(故將有  $\frac{M}{W}$  區塊列與  $\frac{N}{W}$  區塊行)。

如同光柵式掃描 CMOS 影像感測器同時有一整列的像素在執行曝光與讀出，區塊式掃描 CMOS 影像感測器同時執行曝光與讀出的像素個數為  $W \times W$  個，亦即以區塊為單位執行曝光與讀出，而區塊內的像素讀出順序如圖 3.2.1 所示，首先先讀出圖 3.2.1 中編號為 1 的像素輸出值，再依序的讀至編號為  $W \times W$  的像素值。當第  $i$  個區塊列的第  $k$  個區塊完成曝光與讀出後，接下來將執行曝光與讀出的區塊為第  $i$  個區塊列的第  $k+1$  個區塊，依此類推，一直至第  $i$  個區塊列的第  $\frac{N}{W}$  個區塊亦完成曝光與讀出後，則下一個執行曝光與讀出的區域即變為第  $i+1$  個區塊列的第 1 個區塊，如此週而復始的執行到第  $\frac{M}{W}$  區塊列的第  $\frac{N}{W}$  個區塊便完成一個畫面(Frame)的完整輸出。

### 3.2.1 區塊式掃描之 CMOS 影像感測器整體架構

區塊式掃描 CMOS 影像感測器的架構如圖 3.2.2 所示，與光柵式掃描 CMOS 影像感測器最大的不同處包含

- 1) 像素電路須要做點改變、
- 2) 像素陣列亦須要稍加改變、
- 3) 多了一組由 NMOS 傳輸閘所組合起來的整理電路和，
- 4) 在像素陣列的上方多了一組行解碼器。

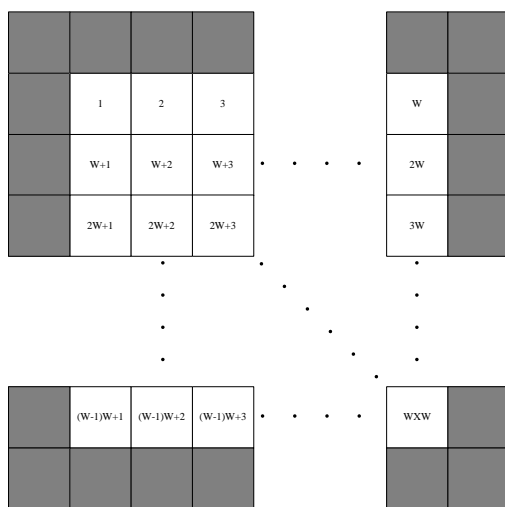


圖 3.2.1 區塊內部像素讀出順序

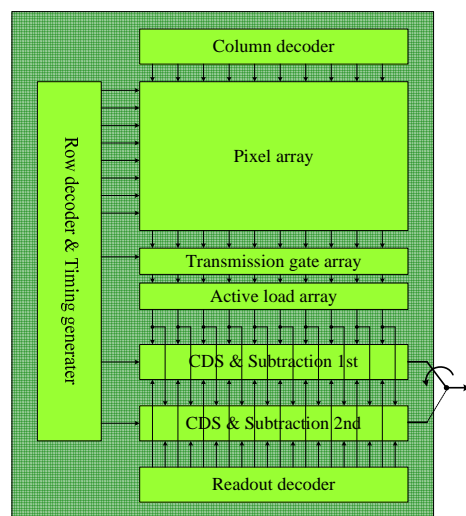


圖 3.2.2 區塊式掃描 CMOS 影像感測器的架構

### (一) 像素電路(如圖 3.2.2)

欲實現區域式掃描 CMOS 影像感測器的讀出方法，那麼就必須再像素電路上做點變化；與光柵式掃描 CMOS 影像感測器所使用的像素電路做比較，區域式掃描 CMOS 影像感測器所使用的像素電路分別在 3T 主動式感測器的重置電晶體 M1 閘極前與 row-select 電晶體 M3 的源極極下各多加了一顆 NMOS 傳輸閘 M4 和 M5，其中 M4 與 M5 的閘極連接在一起，均接到一控制訊號  $V_{rst\_sel\_en}$ ，而 M4 的汲極接到重置訊號  $V_{REST}$ ，M5 的源極就當作像素的輸出點， $V_{row-select}$  與 3T 主動式感測器一樣接至 M3 的閘極；藉由  $V_{rst\_sel\_en}$ 、 $V_{REST}$  和  $V_{row-select}$  這三個控制訊號的組合便能選取某個像素電路(或某組像素電路)做曝光與讀出的動作。當  $V_{rst\_sel\_en}$  與  $V_{REST}$  為高準位而  $V_{row-select}$  亦為高準位時，像素執行重置模式並將像素值讀出至下一級電路；當  $V_{rst\_sel\_en}$  與  $V_{row-select}$  為高準位而  $V_{REST}$  為低準位時，像素執行積分模式並將像素值輸出至下一級。

下列的式子裡為執行曝光時像素電路各點的近似電壓值，

$$V_A \approx V_{dd} - V_{th,M4} \quad (3.5)$$

$$V_{B\_max} \approx V_A - V_{th,M4} \approx V_{dd} - 2V_{th} \quad (3.6)$$

$$V_{out\_max} \approx V_B - V_{th,M2} \approx V_{dd} - 3V_{th} \quad (3.7)$$

由 3.5 式、3.6 式與 3.7 式可得知輸出擺幅(Output swing)為：

$$V_{bias} - V_{th,bias} < V_{out} < V_{dd} - 3V_{th} \quad (3.8)$$

而 3T 主動式感測器之輸出擺幅約為  $V_{dd} - 2V_{th}$ ，顯而易見的，區域式掃描 CMOS 影像感測器的像素電路因多加上了 M4 這顆 NMOS 傳輸閘而造成輸出擺幅的降低。若欲提高其輸出擺幅可讓控制訊號  $V_{rst\_sel\_en}$  的電壓高於  $V_{dd}$ 。

### (二) 像素陣列(如圖 3.2.4)

由圖 3.2.4 中很容易發現，區域式掃描 CMOS 影像感測器的像素陣列與光柵式掃描

CMOS 影像感測器的像素陣列之不同處。

為了能夠讓一個區塊內的像素值同時輸出至下一級電路，區塊式掃描 CMOS 影像感測器在垂直方向分別多加了一些輸出線，並且巧妙的與相鄰區塊共用一部分的輸出線，故在水平方向也多了些連接線。假設陣列中某個區塊被選取並且執行曝光與讀出，這便表示說用於控制其區塊的  $V_{rst\_sel\_en}$  訊號為高準位，再視其區塊目前的模式來控制  $V_{REST}$  與  $V_{row-select}$  訊號，若為重置模式則  $V_{REST}$  與  $V_{row-select}$  同時為高準位，若為積分模式則  $V_{REST}$  為低準位而  $V_{row-select}$  為高準位。在控制訊號的配置方面，垂直方向每一行配置一  $V_{rst\_sel\_en}$  訊號，然後再視區塊大小將其分組共用，例如區塊大小為  $W \times W$  則每  $W$  條  $V_{rst\_sel\_en}$  訊號為一組分別共用其相對之  $V_{rst\_sel\_en}$  訊號；水平方向每一列分別配置一  $V_{REST}$  訊號與  $V_{row-select}$  訊號，與垂直方向相同視區塊大小分組共用，例如區塊大小為  $W \times W$  則每  $W$  條  $V_{REST}$  訊號為一組分別共用其相對之  $V_{REST}$  訊號。

而區塊內的像素之讀出順序也能從圖 3.2.4 中了解(以區塊  $4 \times 4$  為例子)，像素依照圖 3.2.4 中的數字依序被讀出，而輸出線底下的編號與像素的編號是相互對應的。

### (三) 整理電路

整理電路是由許多 NMOS 傳輸閘所組成的，由圖 3.2.4 中可以發現最後的讀出順序並不是按照圖中的編號依序從 0 到 15，再加上因為共用了一部分的輸出線，故需要一整理電路將輸出順序修改成正確的輸出順序並且正確的選取欲輸出之輸出區塊，使得最終輸出不受到其他區塊的影響，如圖 3.2.5(以區塊  $4 \times 4$  為例)。而在整理電路的輸出端會接上主動負載，主動負載的個數與同時進行曝光與讀出的像素個數一樣，若同時進行曝光與讀出的個數為 16 個，則主動負載為 16 個。



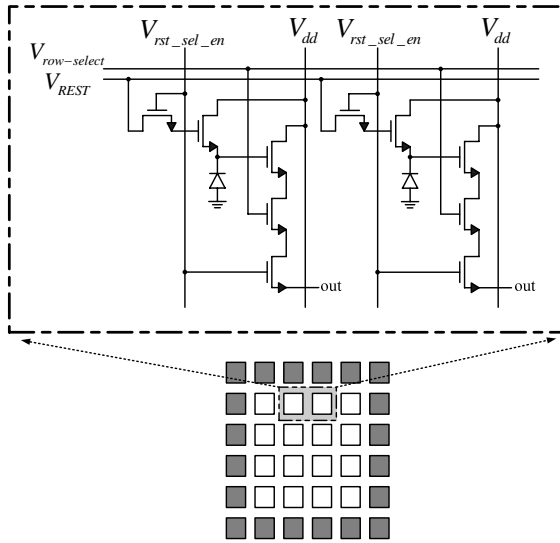


圖 3.2.3 區塊式掃描 CMOS 影像感測器

之像素電路

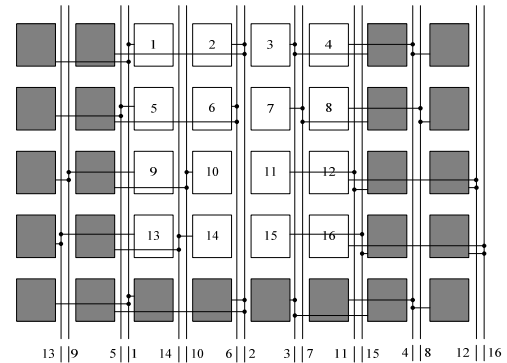


圖 3.2.4 區塊內的讀出順序

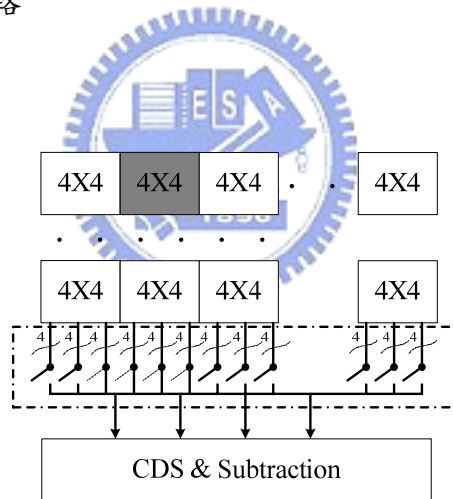


圖 3.2.5 區塊式掃描 CMOS 影像感測器的整理電路

#### (四) 行(列)解碼器

區塊式掃描 CMOS 影像感測器的行(列)解碼器之原理與光柵式掃描 CMOS 影像感測器相同，均是利用位移暫存器、組合邏輯電路和計數器的配合來產生控制訊號，但與光柵式掃描不同之處為  $V_{REST}$  與  $V_{row-select}$  並不是每隔一段時間就位移至下一個暫存器，而是會先在某一個暫存器裡轉了幾圈後才位移至下一個暫存器，假設一解析度為  $M \times N$  而區塊大小為  $W \times W$ ，一開始第一區塊列的  $V_{REST}$  與  $V_{row-select}$  每隔  $W \times W$  個週期會產生一次，

一直到第一區塊列的最後一個區塊內的像素電路都執行完曝光與讀出也就是要  $W \times N$  個週期才會位移至下一個暫存器也就是第二個區塊列，然後第二個區塊列的  $V_{REST}$  與  $V_{row-select}$  也是每隔  $W \times W$  週期產生一次，一直到第二區塊列的最後一個區塊內的像素電路都執行完曝光與讀出在位移至下一個暫存器，如此週而復始的執行，直到第  $\frac{M}{W}$  區塊列的最後一個區塊即區塊  $\frac{N}{W}$  內的像素執行完曝光與讀出則位移至第一個區塊列之暫存器，如此便完成一張完整圖像的曝光與讀出。而行解碼器的  $V_{rst\_sel\_en}$  與用來控制整理電路的  $V_{trans}$  則是每隔  $W \times W$  個週期就會位移一次，這兩個訊號的 Duty cycle 為  $\frac{W}{N} \times 100\%$ ；而讀出解碼器則是很規律的每隔一個週期就位移至下一個暫存器 Duty cycle 為  $\frac{1}{2W^2} \times 100\%$ ，圖 3.2.6 為  $V_{REST}$  與  $V_{row-select}$  的時序圖。

(五) 相關二次取樣電路與減法電路

與光柵式掃描 CMOS 影像感測器所使用的電路一樣，不過區塊式掃描 CMOS 影像感測器所需使用到的個數與區塊解析度  $W \times W$  相關即個數 =  $2 \times W \times W$ ，例如  $W = 4$  則使用 32 個相關二次取樣電路與減法電路。

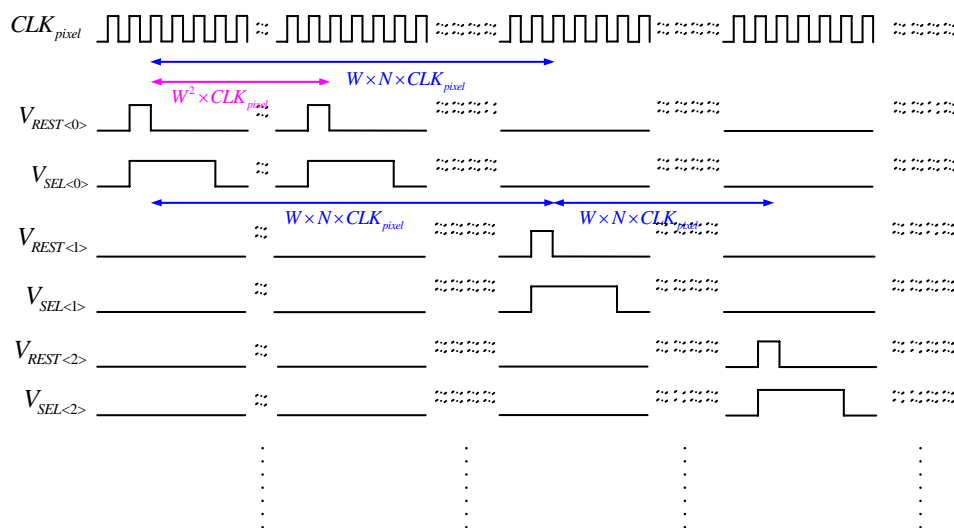


圖 3.2.6 行(列)解碼器時序圖

### 3.3 區域光柵(Locally-raster-scanning)式掃描之 CMOS 影像感測器

相較於光柵式掃描 CMOS 影像感測器與區塊式掃描 CMOS 影像感測器的讀出順序分別是以列為單位做為基準與區塊為單位做為基準，區域光柵式掃描則是前面二者的綜合，以某個區塊裡的一列為單位做為讀出順序的基準，故稱為區域光柵式掃描；同樣的，亦將像素陣列分為  $\frac{M}{W} \times \frac{N}{W}$  個區， $M$ 、 $N$  與  $W$  在 3.2 節已定義過。

在同時執行曝光與讀出的像素個數方面，區域光柵式掃描 CMOS 影像感測器為  $W$  個，如圖 3.3.1 所示(以  $W=4$  為例)，而光柵式掃描 CMOS 影像感測器與區塊式掃描 CMOS 影像感測器分別為一列  $N$  個像素與  $W \times W$  個像素；假設第  $i$  個區塊列的第  $k$  個區塊(之後均以  $Block_{ik}$  表示)被選取並執行曝光與讀出，首先  $Block_{(i,k)}$  裡第一列的像素之控制訊號  $V_{REST}$  和  $V_{row-select}$  將視目前之模式而有所對應之電壓(例如當積分模式時  $V_{REST}$  為低準位而  $V_{row-select}$  為高準位)並且將曝光後的像素值傳送至下一級電路，接著跳至  $Block_{(i,k)}$  裡第二列的像素，同樣的控制訊號將有對應之電壓，然後跳至  $Block_{(i,k)}$  裡第三列的像素，依此類推，最後將跳至  $Block_{(i,k)}$  裡第  $W$  列的像素如此便完成  $Block_{(i,k)}$  的曝光與讀出；在完成  $Block_{(i,k)}$  的曝光與讀出後，則下一個要執行曝光與讀出的區塊為  $Block_{(i,k+1)}$ ，同樣進行上述之步驟，在完成  $Block_{(i,k+1)}$  的曝光與讀出後，則跳至  $Block_{(i,k+2)}$ ，依此類推，最後將跳至  $Block_{(N,M)}$ ，當  $Block_{(N,M)}$  裡第  $W$  列的像素完成曝光與讀出後，這樣即為一張完整畫面的輸出。

#### 3.3.1 區域光柵式掃描之 CMOS 影像感測器整體架構

如同上述，區域光柵式掃描 CMOS 影像感測器為光柵式掃描 CMOS 影像感測器與區塊式掃描 CMOS 影像感測器的綜合，與二者比較起來相同與不同的部份分別為，相同部份：

- 1) 像素陣列、

- 2) 與區塊式掃描 CMOS 影像感測器一樣需要使用整理電路、
- 3) 使用相同架構的相關二次取樣電路與減法電路和
- 4) 像素電路。

不同部分：

- 1) 行(列)解碼器的控制，

以下將一一闡述，

#### (一) 像素電路

如圖 3.3.2 所示，與光柵式掃描 CMOS 影像感測器所使用之像素電路的架構相同，區域光柵式掃描 CMOS 影像感測器亦將 3T 主動式感測器作為陣列單位元，每列像素電路之重置電晶體與 row-select 電晶體之閘級分別共用一重置訊號與共用一 row-select 訊號。故由此可知，與區域掃描式 CMOS 影像感測器之像素電路輸出擺幅相比，區域光柵式掃描 CMOS 影像感測器將有較高之輸出擺幅。

#### (二) 像素陣列與整理電路

與光柵式掃描 CMOS 影像感測器相同，像素與像素間只有一條輸出線，在水平部分也不需與相鄰區塊共用輸出線，如圖 3.3.1 所示。在訊號配置方面，水平方向則與光柵式掃描 CMOS 影像感測器相同每列分別配置一  $V_{REST}$  訊號與一  $V_{row-select}$  訊號。利用整理電路與行(列)解碼器的配合，便能達到區域光柵式此掃描方法。因區域光柵式掃描 CMOS 影像感測器的像素與像素之間只需一條輸出線並且不需與相鄰區塊共用輸出線，再加上區域光柵式掃描是以某個區塊裡的一列為單位做為讀出順序的基準，所以在輸出順序方面並不需要修正，故在整理電路的佈局(Layout)方面將比區塊式掃描 CMOS 影像感測器來的簡單並且更節省面積。而在整理電路的輸出端所接上主動負載個數，將會從 16 個減少至 4 個(此處以區塊 4X4 為例)。

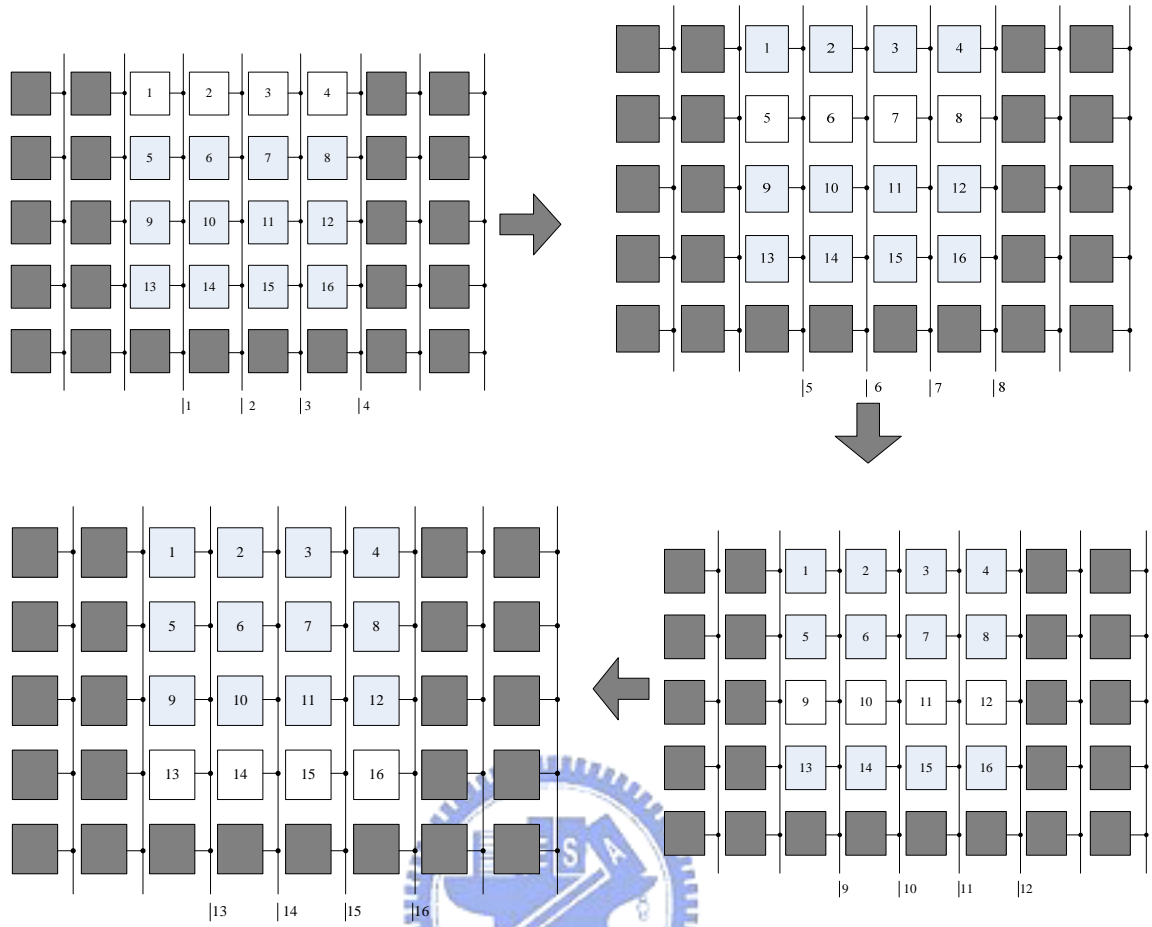


圖 3.3.1 區域光柵式掃描示意圖

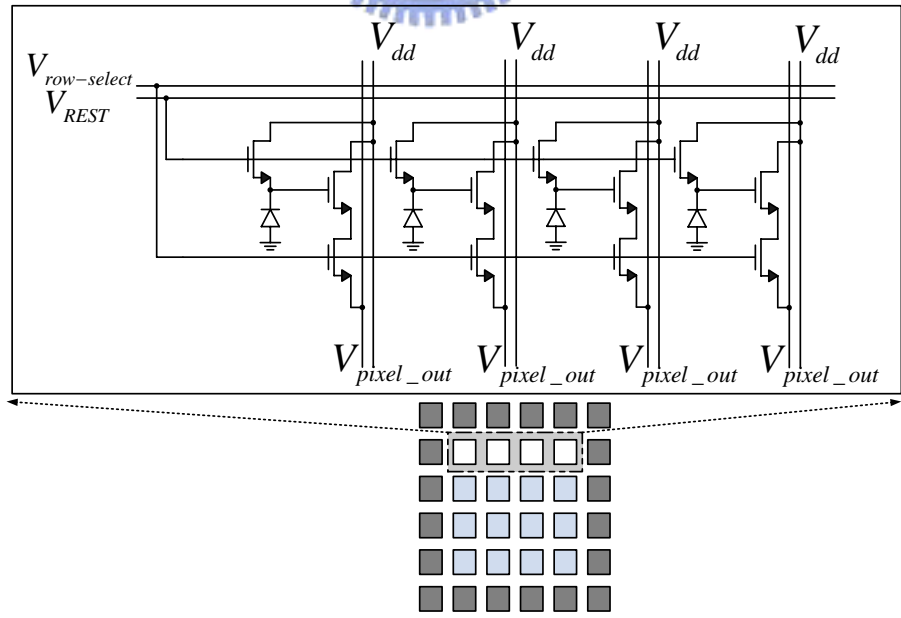


圖 3.3.2 區域光柵式掃描 CMOS 影像感測器之像素電路

### (三) 行(列)解碼器

在上一段內容裡有提到，利用行(列)解碼器與整理電路的配合便可以達到區域光柵式之掃瞄方法，在此我們將詳加介紹。與光柵式掃瞄 CMOS 影像感測器和區塊式掃瞄 CMOS 影像感測器相同，使用位移暫存器、組合邏輯電路和計數器來產生相對應之控制訊號。

如圖 3.3.3 所示，區域光柵式掃瞄 CMOS 影像感測器所使用之列解碼器為一個二維度(2-Dimensions)之列解碼器，此二維解碼器可分為 block-row-decoder 和 row-decoder；其中 block-row-decoder 是用以控制目前到底是哪一區塊列欲進行曝光與讀出，當 block-row-decoder 選定了某個區塊列後，則 row-decoder 便用以控制目前到底是此區塊列裡的哪一列欲進行曝光與讀出。

然而如同本節一開始所述，區域光柵式掃瞄 CMOS 影像感測器是以某個區塊裡的一列為單位做為讀出順序的基準，故此時透過 transmission-gate-decoder 的控制整理電路便發揮其作用，即正確的選擇目前欲輸出之像素值使其輸出至下一級電路。

以一個解析度為 $16 \times 16$ 的像素陣列為例，如圖 3.3.3 所示，欲順利將一張畫面之像素值輸出其解碼器之詳細運作如下述：

一開始 block-row-decoder 定址於 1，即表示此時選取至第一個區塊列進行某列之曝光與讀出，同時 row-decoder 和 transmission-gate-decoder 均定址於 1，故由上述可知這時進行曝光與讀出之像素陣列為第一個區塊列之第一個區塊的第一列(以下用  $Block_{(i,j,k)}$  表示， $i$  為區塊列， $j$  為區塊， $k$  為列)；當  $Block_{(1,1,1)}$  之像素值均依序輸出至外界後，block-row-decoder 與 transmission-gate-decoder 仍然定址於 1，而 row-decoder 將定址於 2，此時進行曝光與讀出之像素陣列為  $Block_{(1,1,2)}$ ；同樣的  $Block_{(1,1,2)}$  均輸出至外界後，block-row-decoder、row-decoder 和 transmission-gate-decoder 將分別定址於 1、3 和 1，故  $Block_{(1,1,3)}$  進行曝光與讀出； $Block_{(1,1,3)}$  輸出至外界後，block-row-decoder、row-decoder 和 transmission-gate-decoder 將分別定址於 1、4 和 1，所以  $Block_{(1,1,4)}$  進行曝光與讀出；

當  $Block_{(1,1,4)}$  輸出至外界後則表示  $Block_{(1,1)}$  裡的像素均已輸出至外界，此時 block-row-decoder、row-decoder 和 transmission-gate-decoder 將以前述之規則分別由定址於 1、1 和 2 變至定址於 1、4 和 2，則  $Block_{(1,2)}$  之像素均輸出至外界，依此類推則  $Block_{(1)}$  之像素將順利依序輸出至外界；接著依此規則 block-row-decoder、row-decoder 和 transmission-gate-decoder 則由定址於 2、1 和 1 變至定址於 2、4 和 4，因此  $Block_{(2)}$  之像素順利輸出至外界；再來 block-row-decoder、row-decoder 和 transmission-gate-decoder 由 3、1 和 1 變至 3、4 和 4， $Block_{(3)}$  之像素順利輸出至外界；最後 block-row-decoder、row-decoder 和 transmission-gate-decoder 由 4、1 和 1 變至 4、4 和 4， $Block_{(4)}$  之像素順利輸出至外界，如此便將一張畫面之像素值輸出至外界。

(四) 相關二次取樣電路與減法電路

使用與光柵式掃描與區塊式掃描影像感測器相同的架構，不過所使用的個數與  $W$  有關即個數= $W$ ，例如當  $W = 4$  則需使用四個取樣與相減電路。

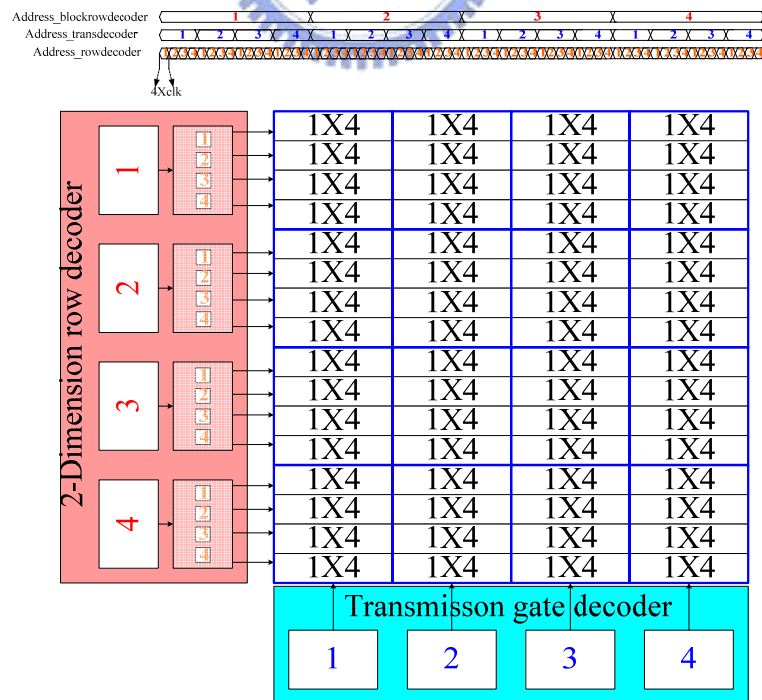


圖 3.3.3 行(列)解碼器時序圖

## 第 4 章 分析與模擬

本論文於上一章節中，描述出三種掃描方式(光柵式掃描、區塊式掃描與區域光柵式掃描)的操作方法與其架構，本章節將針對此三種方法對於影像成像系統中的區塊化影像處理系統的影響進行分析與模擬。

### 4.1 掃描方法之分析

#### 4.1.1 光柵式掃描之分析

在第二章第一節中我們有介紹影像成像系統的基本架構，包含有使目標物能聚焦於 Micro-lens 陣列的光學鏡頭、把光線分成三原色的 Color filter 陣列、將照射至影像感測晶片的光線轉換成電壓訊號的像素陣列、將類比電壓訊號轉換成數位訊號的類比 / 數位轉換器和做後處理的數位影像處理系統 . . . . . 等。其中數位影像處理系統的演算法常常是以某個特定大小區塊為單位對整張畫面執行後處理，例如二維離散餘弦轉換轉換(Discrete cosine transform,DCT)，離散餘弦轉換可將原始訊號從時間域(Time domain)轉換到頻率域(Frequency domain)，它類似於離散傅立葉轉換(Discrete Fourier transform,DFT)。離散餘弦轉換是先將整體圖像分成  $\frac{M}{W} \times \frac{N}{W}$  區塊每個區塊大小為  $W \times W$ ，然後對這些  $W \times W$  大小的區塊逐一進行離散餘弦轉換，而一離散餘弦轉換公式如下：

$$X_{k_1, k_2} = \sum_{n_1=0}^{N_1-1} \sum_{n_2=0}^{N_2-1} x_{n_1} x_{n_2} \cos \left[ \frac{\pi}{N_1} \left( n_1 + \frac{1}{2} \right) k_1 \right] \cos \left[ \frac{\pi}{N_2} \left( n_2 + \frac{1}{2} \right) k_2 \right] \quad (4.1)$$
$$k_1 \text{ or } k_2 = 0, \dots, N-1.$$

由上述可知，區塊化影像處理系統在運作時的掃描方法是以區塊為單位而逐一進行的，但是光柵式 CMOS 影像感測晶片則是以列為單位由左而又再從上而下的進行讀出，故後處理系統勢必需要一後處理緩衝記憶體來暫存一些並不是當時需要的資料，直到真正要進行處理的資料均完全被讀出後才真正進行後處理，而且此後處理緩衝記憶體之面積與光柵式掃描 CMOS 影感測晶片之像素陣列解析度成正比關係，解析度愈大則所需要



之後處理緩衝記憶體的容量便愈大，反之則愈小；假設有一個解析度為 $512 \times 512$ 之光柵式掃描 CMOS 影像感測晶片，並且後處理系統之單位區塊的大小為 $4 \times 4$ ，由於光柵式掃描 CMOS 影像感測晶片的讀出順序是以列為基準，所以後處理系統要蒐集到足夠的資料以便進行處理則須等光柵式掃描 CMOS 影像感測晶片讀出至第四列的第四個像素才能蒐集到足夠的資料，由此可知後處理系統之緩衝記憶體的容量為 $4 \times 512 \times 2\text{bits}$ ，如圖 4.1.1，此舉不但浪費面積且增加功耗。

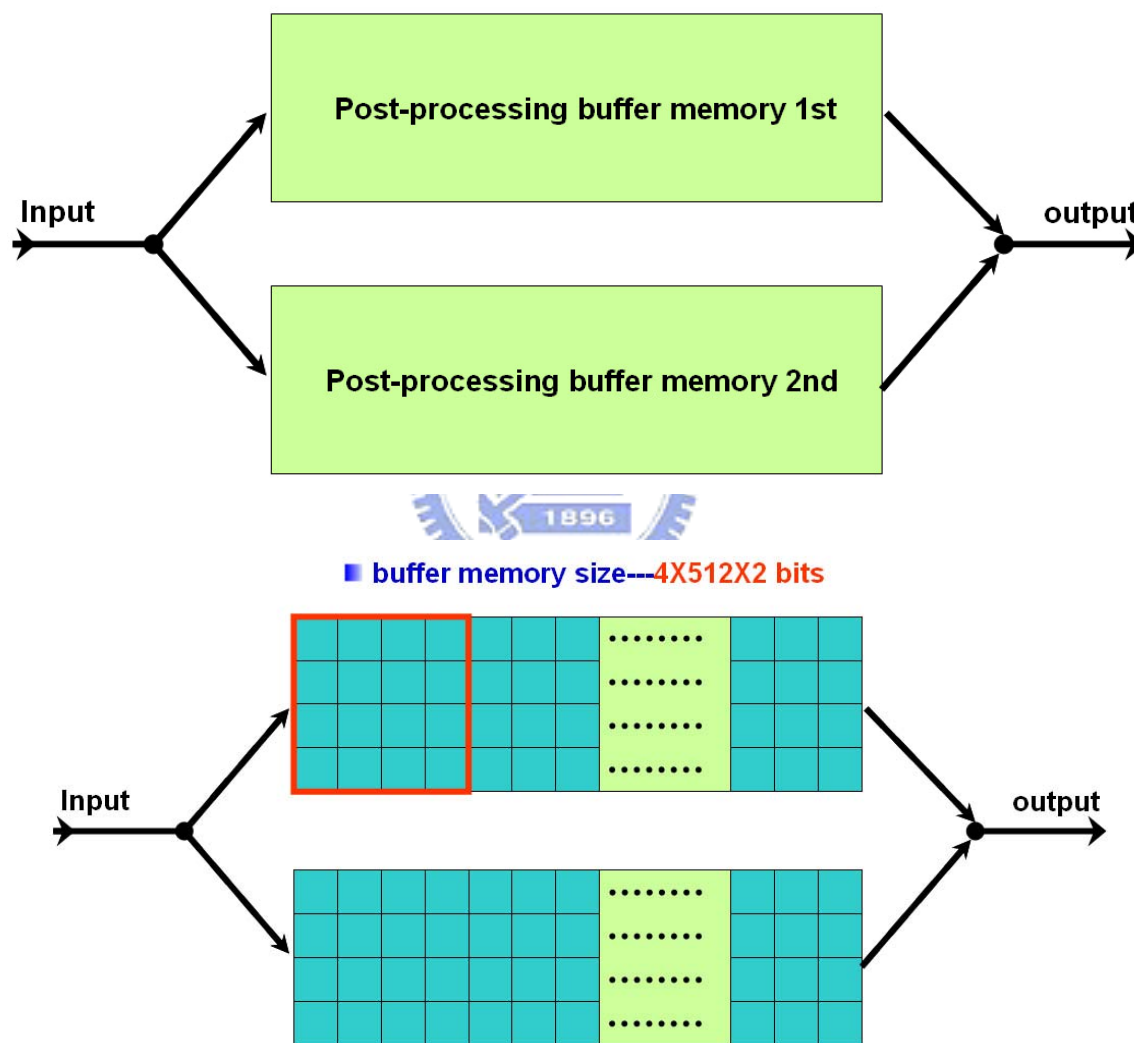


圖 4.1.1 使用光柵式掃描所需之緩衝記憶體個數

#### 4.1.2 區塊式掃描之分析

使用光柵式掃描的 CMOS 影像感測晶片之所以使得區塊化影像處理系統需要用到如此多的緩衝記憶體，主要是因為感測晶片的讀出順序與後處理系統對圖像處理的方法

與順序的不同所造成的，光柵式掃描 CMOS 影像感測晶片其讀出順序是以列為基準，而區塊化影像處理系統的處理演算法則是將整張畫面以  $W \times W$  區塊為單位大小對整張畫面分區在逐一進行處理，兩者明顯不匹配故需要緩衝記憶體來暫存尚未處理的訊號。在 3.2 節與 3.3 節所提出之區塊式掃描與區域光柵式掃描便是為了解決光柵式掃描的讀出順序與區塊化影像處理系統的處理順序之不匹配。本節先對區塊式掃描之 CMOS 影像感測晶片做分析。

區塊式掃描 CMOS 影像感測晶片將像素陣列分成  $\frac{M}{W} \times \frac{N}{W}$  個像素區塊，其中每個區塊大小為  $W \times W$ ，再逐一將這些  $W \times W$  大小的區塊裡的像素讀出，很明顯的這樣子的掃描方式完全與區塊化影像處理系統的處理順序完全匹配，這時雖然還是需要緩衝記憶體來自暫存欲處理的訊號，但卻已經不需要如此多的緩衝記憶體來暫存尚未處理的訊號，並且這個用來暫存欲處理訊號的暫存器之容量大小只與讀出區塊大小和後處理區塊大小有關(讀出區塊大小=後處理區塊大小)；假設有一個解析度為  $512 \times 512$  之區塊式掃描 CMOS 影像感測晶片，並且後處理系統之單位區塊的大小為  $4 \times 4$ ，由於區塊式掃描 CMOS 影像感測晶片的讀出順序是以區塊作為基準，所以後處理要蒐集到足夠的資料以便進行處理則只需等區塊式掃描 CMOS 影像感測晶片將讀出區塊內的像素完全讀出後便能夠蒐集到足夠的資料，由此可知後處理系統之緩衝記憶體容量為  $4 \times 4 \times 2$  bits，如圖 4.1.2 所示。

#### 4.1.3 區域光柵式掃描之分析

在上一節有提到區塊式掃描與區域光柵式掃描均可解決因為光柵式掃描 CMOS 影像感測晶片的讀出順序與區塊化影像處理系統的處理順序不匹配而造成的面積浪費與功率消耗增加。而區塊式掃描與區域光柵式掃描都是將像素陣列分成  $\frac{M}{W} \times \frac{N}{W}$  個區塊再逐一將這些區塊裡的像素讀出，所以說當區塊化影像處理系統遇到使用區域光柵式掃描 CMOS 影像感測晶片時，所需要的後處理緩衝記憶體容量大小與使用區塊式掃描 CMOS 影像感測晶片所需的容量大小是相同的，故套用 4.1.2 節中的例子，感測晶片解析度為  $512 \times 512$  且後處理系統之單位區塊大小為  $4 \times 4$ ，則所需之後處理緩衝記憶體容量大小為

4×4×2bits，如圖 4.1.2 所示。

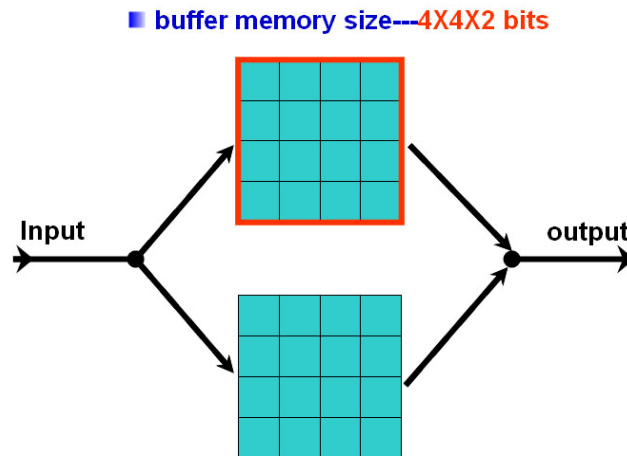


圖 4.1.2 使用區塊式掃描與區域光柵式掃描所需之緩衝記憶體個數

雖然區域光柵式掃描與區塊式掃描 CMOS 影像感測晶片在節省後處理緩衝記憶體方面的能力一樣，但是因為區塊式掃描 CMOS 影像感測晶片有個嚴重的缺點，那就是在 3.2 節中所提及的因為區塊式掃描是一次將區塊內的像素陣列送至下一級電路，所以為了達到目的，故在垂直方向上需要在像素與像素間增加些輸出線和在水平方向上要與相鄰像素區塊共用輸出線所增加的連接線，此舉使得像素的可感光面積變小，並且當讀出區塊與後處理區塊大小的增加時，則增加的輸出線與增加的連接線勢必跟著增加，但不幸的是每個像素電路之佈局面積為固定大小，所以輸出線與連接線的增加會使得感光面積變成零，換句話說區塊式掃描 CMOS 影像感測器並不能隨著讀出區塊與後處理區塊大小增加而有適應性。

而區域光柵式掃描 CMOS 影像感測器則不同，如 3.3 節所說的，此掃描方式為光柵式與區塊式的綜合，讀出順序是以區塊內的一列為基準先由上而下再由左而右將區塊內的像素送至下一級電路，接著再逐一將其他區塊依照相同順序將區塊內的像素讀出，由於區域光柵式掃描一次只將區塊內的某一系列的像素值送至下一級電路，所以在像素與像素之間只需一條輸出線便足夠讓像素值順利的送至下一級電路，這點與光柵式掃描 CMOS 影像感測晶片相同，由上述可知區域光柵式掃描 CMOS 影像感測晶片不但對於

讀出區塊大小和後處理區塊大小的增加有其適應性，並且還保有了區塊式掃描的特性，使得像素讀出順序與後處理系統的處理順序能夠匹配，而節省後處理緩衝記憶體。

## 4.2 掃描方法之比較

### 4.2.1 緩衝記憶體比較

在 4.1 節裡，我們將三種不同的掃描方法對於後處理系統所需要的緩衝記憶體容量大小的影響有詳細的分析，在這裡我們更進一步將其因後處理區塊大小(後處理區塊大小=讀出區塊大小)的不同而分別所需要的後處理緩衝記憶體的容量做比較，

(一) 當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$

此時三種掃描方法所需的後處理緩衝記憶體分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片： $4 \times 512 \times 2bits$
- 2) 區塊式掃描 CMOS 影像感測晶片： $4 \times 4 \times 2bits$
- 3) 區域光柵式掃描 CMOS 影像感測晶片： $4 \times 4 \times 2bits$

由上述可知區塊式掃描與區域光柵式掃描均節省了 99.21875% 的後處理緩衝記憶體。

(二) 當感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $8 \times 8$

此時三種掃描方法所需的後處理緩衝記憶體分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片： $8 \times 512 \times 2bits$
- 2) 區塊式掃描 CMOS 影像感測晶片： $8 \times 8 \times 2bits$
- 3) 區域光柵式掃描 CMOS 影像感測晶片： $8 \times 8 \times 2bits$

由上述可知區塊式掃描與區域光柵式掃描均節省了 98.4375% 的後處理緩衝記憶體。

(三) 當感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $16 \times 16$

此時三種掃描方法所需的後處理緩衝記憶體分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片： $16 \times 512 \times 2bits$
- 2) 區塊式掃描 CMOS 影像感測晶片：N/A
- 3) 區域光柵式掃描 CMOS 影像感測晶片： $16 \times 16 \times 2bits$

由上述可知區域光柵式掃描均節省了 96.875% 的後處理緩衝記憶體。而此時區塊式掃描

CMOS 影像感測器因其增加的輸出線與連接線已經使得可感光的面積變成零，所以無須做統計。表 4.2.1(a)代表當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$ 時所需之緩衝記憶體容量的比較，表 4.2.1(b)代表感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $8 \times 8$ 時所需之緩衝記憶體容量的比較，表 4.2.1(c)代表感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $16 \times 16$ 時所需之緩衝記憶體容量的比較

表 4.2.1 因掃描方式不同所需之後處理緩衝記憶體

(a)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $4 \times 4$

|         | 光柵式掃描              | 區塊式掃描                            | 區域光柵式掃描                          |
|---------|--------------------|----------------------------------|----------------------------------|
| 緩衝記憶體容量 | $4 \times 512bits$ | $4 \times 4bits$<br>(-99.21875%) | $4 \times 4bits$<br>(-99.21875%) |

(b)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $8 \times 8$

|         | 光柵式掃描              | 區塊式掃描                           | 區域光柵式掃描                         |
|---------|--------------------|---------------------------------|---------------------------------|
| 緩衝記憶體容量 | $8 \times 512bits$ | $8 \times 8bits$<br>(-98.4375%) | $8 \times 8bits$<br>(-98.4375%) |

(c)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $16 \times 16$

|         | 光柵式掃描               | 區塊式掃描 | 區域光柵式掃描                          |
|---------|---------------------|-------|----------------------------------|
| 緩衝記憶體容量 | $16 \times 512bits$ | N/A   | $16 \times 16bits$<br>(-96.875%) |

#### 4.2.2 類比電路之比較

在第三章中已將三種掃描方式的影像感測器之架構詳細的闡述，在這節裡我們對這三種掃描方法的類比電路之不同來做比較，同樣的亦將其因後處理區塊大小(後處理區塊大小=讀出區塊大小)的不同而有哪些不同來做比較。

##### 像素陣列之主動負載

由圖 2.3.7 中可看出每個像素電路的輸出均會接上一主動負載，接下來對因不同掃描方式而所需要之主動負載做個比較，

首先就光柵式掃描 CMOS 影像感測器進行分析，假設感測晶片之解析度為  $M \times N$ ，由於每行像素共用一條輸出線，故在光柵式掃描 CMOS 影像感測器所需要之主動負載為  $N$  個；接著就區塊式掃描 CMOS 影像感測器進行分析，假設感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$ ，因為此方法是將主動負載接在整理電路的輸出端，由於其同時由像素陣列輸出的像素個數為整個區塊裡的像素即  $W \times W$  個，故在區塊式掃描 CMOS 影像感測器所需之主動負載為  $W \times W$  個；最後就區域光柵式掃描 CMOS 影像感測器進行分析，假設感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$ ，區域光柵式掃描的主動負載與區塊式掃描一樣都是接整理電路的輸出端，由於其同時由像素陣列輸出的像素個數為區塊裡的一列即  $W$  個，故在區域光柵式掃描 CMOS 影像感測器所需之主動負載為  $W$  個。如此便可將這三種方法因後處理區塊大小(後處理區塊大小=讀出區塊大小)的不同而所需的主動負載做整理比較，同樣分成三種狀況，比較如下，

(一) 當感測晶片解析度為  $512 \times 512$  而後處理區塊大小為  $4 \times 4$

此時三種掃描方法所需的主動負載分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：512 個
- 2) 區塊式掃描 CMOS 影像感測晶片：16 個
- 3) 區域光柵式掃描 CMOS 影像感測晶片：4 個

(二) 當感測晶片解析度為  $512 \times 512$  而後處理區塊大小為  $8 \times 8$

此時三種掃描方法所需的主動負載分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：512 個
- 2) 區塊式掃描 CMOS 影像感測晶片：64 個
- 3) 區域光柵式掃描 CMOS 影像感測晶片：8 個

(三) 當感測晶片解析度為  $512 \times 512$  而後處理區塊大小為  $16 \times 16$

此時三種掃描方法所需的主動負載分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：512 個
- 2) 區塊式掃描 CMOS 影像感測晶片：N/A
- 3) 區域光柵式掃描 CMOS 影像感測晶片：16 個

我們將上述之數值整理成表 4.2.2，其中表 4.2.2(a)代表當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$ 時所需之主動負載的比較，表 4.2.2(b)代表感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $8 \times 8$ 時所需之主動負載的比較，表 4.2.2(c)代表感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $16 \times 16$ 時所需之主動負載的比較。

表 4.2.2 因掃描方式不同所需之主動負載

(a)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $4 \times 4$

|      | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|------|-------|-------|---------|
| 主動負載 | 512   | 16    | 4       |

(b)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $8 \times 8$

|      | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|------|-------|-------|---------|
| 主動負載 | 512   | 64    | 8       |

(c)感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $16 \times 16$

|      | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|------|-------|-------|---------|
| 主動負載 | 512   | N/A   | 16      |

### 相關二次取樣電路與減法電路

由第三章可知，為了能夠讓訊號能夠很連續的由感測器讀出至外界而不需外加些等待時間，不管是光柵式掃描 CMOS 影像感測器、區塊式掃描 CMOS 影像感測器或是區域光柵式掃描 CMOS 影像感測器均使用了兩組相關二次取樣電路與兩組減法電路，故由此可知這三種不同掃描方法因後處理區塊大小(後處理區塊大小=讀出區塊大小)的不同而所需的相關二次取樣電路與減法電路做整理比較，同樣分成三種狀況，

(一) 當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$

此時三種掃描方法所需的相關二次電路與減法電路分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：1024 個
- 2) 區塊式掃描 CMOS 影像感測晶片：32 個
- 3) 區域光柵式掃描 CMOS 影像感測晶片：8 個

表 4.2.3 因掃描方式不同所需之相關二次電路與減法電路

(a)感測晶片解析度512×512為後處理區塊大小為4×4

|                 | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|-----------------|-------|-------|---------|
| 相關二次電路與<br>減法電路 | 1024  | 32    | 8       |

(b)感測晶片解析度為512×512後處理區塊大小為8×8

|                 | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|-----------------|-------|-------|---------|
| 相關二次電路與<br>減法電路 | 1024  | 128   | 16      |

(c)感測晶片解析度為512×512後處理區塊大小為16×16

|                 | 光柵式掃描 | 區塊式掃描 | 區域光柵式掃描 |
|-----------------|-------|-------|---------|
| 相關二次電路與<br>減法電路 | 1024  | N/A   | 32      |

(二) 當感測晶片解析度512×512為而後處理區塊大小為8×8

此時三種掃描方法所需的相關二次電路與減法電路分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：1024 個
- 2) 區塊式掃描 CMOS 影像感測晶片：128 個
- 3) 區域光柵式掃描 CMOS 影像感測晶片：16 個

(三) 當感測晶片解析度512×512為而後處理區塊大小為16×16

此時三種掃描方法所需的相關二次電路與減法電路分別為，

- 1) 光柵式掃描 CMOS 影像感測晶片：1024 個
- 2) 區塊式掃描 CMOS 影像感測晶片： N/A
- 3) 區域光柵式掃描 CMOS 影像感測晶片：32 個

我們將上述之數值整理成表 4.2.3，其中表 4.2.3(a)代表當感測晶片解析度為512×512而後處理區塊大小為4×4時所需之相關二次電路與減法電路的比較，表 4.2.2(b)代表感測



晶片解析度  $512 \times 512$  為而後處理區塊大小為  $8 \times 8$  時所需之相關二次電路與減法電路的比較，表 4.2.2(c) 代表感測晶片解析度  $512 \times 512$  為而後處理區塊大小為  $16 \times 16$  時所需之相關二次電路與減法電路的比較。

### 4.2.3 數位電路之比較

這裡所謂的數位電路指的便是行(列)解碼器，接下來同樣的亦將其因後處理區塊大小的不同而有哪些不同處來做比較，在此僅探討輸出個數較多的訊號，並且因這部分主要是以位移暫存器所組成的，所以之後都會以位移暫存器的個數來做比較。

#### (一) 光柵式掃描 CMOS 影像感測器

在 3.1 節已有提及其整體架構裡，數位電路只有兩部份便是列解碼器與讀出解碼器(亦即行解碼器)，接著將分別闡述，

##### 列解碼器

此處之列解碼器是用於控制重置訊號  $V_{REST}$  與 row-select 訊號  $V_{row-select}$ ，故當感測晶片解析度  $M \times N$  時，所需之位移暫存器為  $2M$  個。

##### 讀出解碼器

此處之讀出解碼器是用於控制經過相關二次取樣與減法電路處理過後而存在取樣/保留(Sample and Hold)電路裡的訊號是否要讀出至外界，故當感測晶片解析度  $M \times N$  時，所需之位移暫存器為  $2N$  個。

#### (二) 區塊式掃描 CMOS 影像感測器

在 3.2 節已有提及其整體架構裡，數位電路有三部分，分別為列解碼器、行解碼器與讀出解碼器，接著將分別闡述，

##### 列解碼器

此處之列解碼器是用於控制重置訊號  $V_{REST}$  與 row-select 訊號  $V_{row-select}$ ，由於區塊式掃描是同時將一個區塊內的的像素值讀出至下一級電路，除了每列分別共用  $V_{REST}$  和  $V_{row-select}$  外，還有每個區塊內也將分別共用  $V_{REST}$  與  $V_{row-select}$ ，所以當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $\frac{M}{W}$  個。

### 行解碼器

此處之行解碼器是用於控制某個區塊是否執行曝光與讀出之訊號，故當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $\frac{N}{W}$  個。

### 讀出解碼器

此處之讀出解碼器是用於控制此處之讀出解碼器是用於控制經過相關二次取樣與減法電路處理過後而存在取樣 / 保留(Sample and Hold)電路裡的訊號是否要讀出至外界，故當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $2 \times W^2$  個。

### (三) 區域光柵式掃瞄 CMOS 影像感測器

如同區塊式掃瞄 CMOS 影像感測器，其整體架構裡，數位電路有三部分，分別為列解碼器、行解碼器與讀出解碼器，接著將分別闡述，

### 列解碼器

由於區域光柵式掃瞄是以某個區塊內的一列為基準將像素值輸出至下一級電路，所以其  $V_{REST}$  和  $V_{row-select}$  的佈局方式與光柵式相同為每列分別共用訊號  $V_{REST}$  和分別共用訊號  $V_{row-select}$ ，故當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $M$  個。

### 行解碼器

此處之行解碼器是用於控制某個區塊是否執行曝光與讀出之訊號，故當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $\frac{N}{W}$  個。

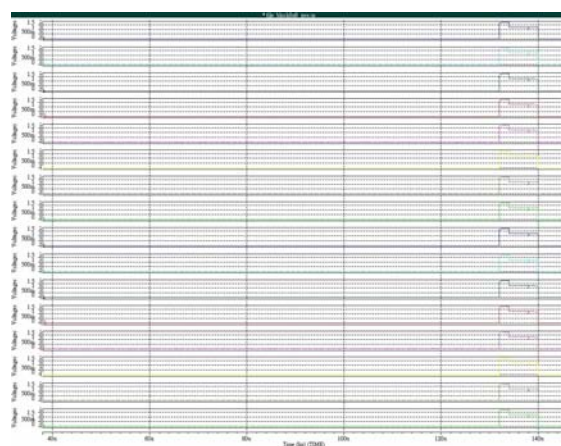
### 讀出解碼器

此處之讀出解碼器是用於控制此處之讀出解碼器是用於控制經過相關二次取樣與減法電路處理過後而存在取樣 / 保留(Sample and Hold)電路裡的訊號是否要讀出至外界，故當感測晶片解析度  $M \times N$  而後處理區塊大小為  $W \times W$  時，所需之位移暫存器為  $2 \times W$  個。

### 4.3 掃描方法之模擬



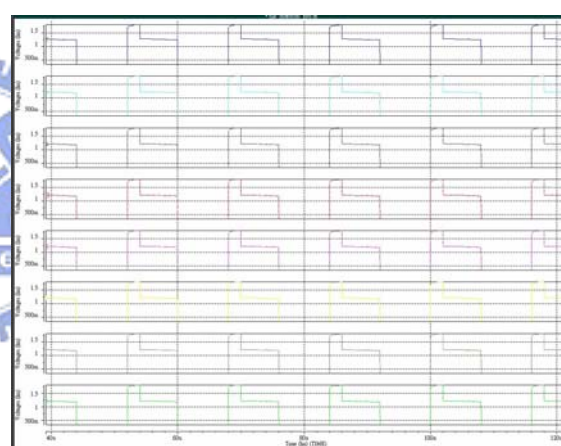
(a) 區塊式(處理區塊 4X4)



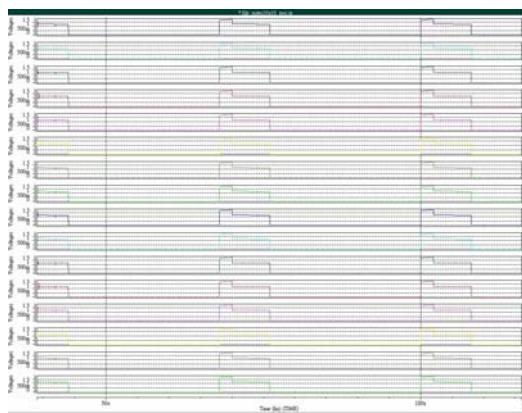
(b) 區塊式(處理區塊 8X8)



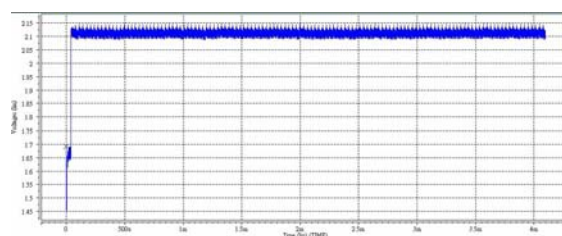
(c) 區域光柵式(處理區塊 4X4)



(d) 區域光柵式(處理區塊 8X8)



(e) 區域光柵式(處理區塊 16X16)



(f) 系統輸出

圖 4.3.1 感測器模擬結果

### 4.3.1 暫態分析

#### 類比電路模擬結果

本節模擬的對象有五個 1) 感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $4 \times 4$ 的區塊式掃瞄 CMOS 影像感測器、2) 感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $8 \times 8$ 的區塊式掃瞄 CMOS 影像感測器、3) 感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $4 \times 4$ 的區域光柵式掃瞄 CMOS 影像感測器、4) 感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $8 \times 8$ 的區域光柵式掃瞄 CMOS 影像感測器和 5) 感測晶片解析度為 $512 \times 512$ 後處理區塊大小為 $16 \times 16$ 的區域光柵式掃瞄 CMOS 影像感測器，我們以一固定電流源來模擬光電流並令其與 photodiode 並聯，模擬結果如圖 4.3.1，其中圖 4.3.1(a)到 4.3.1(e)為像素電路的輸出值而 4.3.1(f)為經過相關二次取樣與減法電路處理後的值，從圖 4.3.1(a)到 4.3.1(e)可以發現本論文所設計之區塊式掃瞄與區域光柵式掃瞄 CMOS 影像感測器之像素電路能夠順利的執行重置模式與積分模式。最終之輸出值因為五個對象使用之固定電流源都一樣故只以第三個模擬對象做為代表。



### 4.3.2 能量分析

#### 類比電路能量

本篇論文統計能量的方法是按照公式  $E = P \times T$ ，其中  $E$  代表能量、 $P$  代表在各種掃瞄方式下所統計到的讀出基準功率(例如：光柵式掃瞄之讀出基準是以一列單位)，而  $T$  代表處理一張畫面(Frame)所需的時間；首先我們討論光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4 \times 4$ 時，所統計到的讀出基準功率為  $4.5738 \times 10^{-4}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 11.99 \times 10^{-5} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，所統計到的讀出基準功率為  $4.5738 \times 10^{-4}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 11.99 \times 10^{-5} J$ 。
- 3) 當後處理區塊為 $16 \times 16$ 時，所統計到的讀出基準功率為  $4.5738 \times 10^{-4}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 11.99 \times 10^{-5} J$ 。

接著討論區塊式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4 \times 4$ 時，所統計到的讀出基準功率為 $9.998 \times 10^{-5}$  watt，而處理一張畫面所需的時間為 $128 \times 128 \times 16 \mu$ ，故可得 $E = 2.6208 \times 10^{-5} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，所統計到的讀出基準功率為 $2.05 \times 10^{-4}$  watt，而處理一張畫面所需的時間為 $64 \times 64 \times 64 \mu$ ，故可得 $E = 5.3734 \times 10^{-5} J$ 。

最後討論區域光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4 \times 4$ 時，所統計到的讀出基準功率為 $7.703 \times 10^{-5}$  watt，而處理一張畫面所需的時間為 $4 \times 128 \times 128 \times 4 \mu$ ，故可得 $E = 2.0192 \times 10^{-5} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，所統計到的讀出基準功率為 $8.116 \times 10^{-5}$  watt，而處理一張畫面所需的時間為 $8 \times 64 \times 64 \times 8 \mu$ ，故可得 $E = 2.1272 \times 10^{-5} J$ 。
- 3) 當後處理區塊為 $16 \times 16$ 時，所統計到的讀出基準功率為 $9.3017 \times 10^{-5}$  watt，而處理一張畫面所需的時間為 $16 \times 32 \times 32 \times 16 \mu$ ，故可得 $E = 2.4384 \times 10^{-5} J$ 。

由上述可知當後處理區塊為 $4 \times 4$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別少了 78.1417% 和 83.1593%；當後處理區塊為 $8 \times 8$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別少了 55.1843% 和 82.2585%；當後處理區塊為 $16 \times 16$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別少了 N/A 和 79.633%，如表 4.3.1 所示。

表 4.3.1 類比電路能量比較

|                              | Raster Scanning | Block-scanning              | Locally-raster-scanning     |
|------------------------------|-----------------|-----------------------------|-----------------------------|
| Energy<br>(block size=4X4)   | 11.99e-05 J     | 2.6208e-05 J<br>(-78.1417%) | 2.0192e-05 J<br>(-83.1593%) |
| Energy<br>(block size=8X8)   | 11.99e-05 J     | 5.3734e-05 J<br>(-55.1843%) | 2.1272e-05 J<br>(-82.2585%) |
| Energy<br>(block size=16X16) | 11.99e-05 J     | N/A                         | 2.4384e-05 J<br>(-79.663%)  |

## 數位電路能量

一樣的統計數位電路能量的方法是按照公式  $E = P \times T$ ，不過參數的定義有些修改，其中  $E$  仍然代表能量、 $P$  則變成代表處理一張畫面所消耗的功率，而  $T$  代表處理一張畫面所需的時間；首先我們討論光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為  $4 \times 4$  時，所統計到處理一張畫面的功率為  $8.2397 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 2.16 \times 10^{-5} J$ 。
- 2) 當後處理區塊為  $8 \times 8$  時，所統計到處理一張畫面的功率為  $8.2397 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 2.16 \times 10^{-5} J$ 。
- 3) 當後處理區塊為  $16 \times 16$  時，所統計到處理一張畫面的功率為  $8.2397 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 2.16 \times 10^{-5} J$ 。

接著討論區塊式掃瞄下的各種狀況：

- 1) 當後處理區塊為  $4 \times 4$  時，所統計到的讀出基準功率為  $4.388 \times 10^{-4}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 1.1502 \times 10^{-4} J$ 。
- 2) 當後處理區塊為  $8 \times 8$  時，所統計到的讀出基準功率為  $3.854 \times 10^{-4}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 1.0103 \times 10^{-4} J$ 。

最後討論區域光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為  $4 \times 4$  時，所統計到的讀出基準功率為  $4.294 \times 10^{-4}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 1.1256 \times 10^{-4} J$ 。
- 2) 當後處理區塊為  $8 \times 8$  時，所統計到的讀出基準功率為  $1.8218 \times 10^{-4}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 4.7756 \times 10^{-5} J$ 。
- 3) 當後處理區塊為  $16 \times 16$  時，所統計到的讀出基準功率為  $2.292 \times 10^{-4}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.008 \times 10^{-5} J$ 。

由上述可知當後處理區塊為  $4 \times 4$  時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別多了 432.5% 和 421.111%；當後處理區塊為  $8 \times 8$  時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式

掃瞄 CMOS 影像感測器分別多了 367.7315% 和 121.0925%；當後處理區塊為 16×16 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別多了 N/A 和 178.1481%，如表 4.3.2 所示。

表 4.3.2 數位電路能量比較

|                              | Raster Scanning | Block-scanning               | Locally-raster-scanning      |
|------------------------------|-----------------|------------------------------|------------------------------|
| Energy<br>(block size=4X4)   | 2.16e-05 J      | 1.1502e-04 J<br>(+432.5%)    | 1.1256e-04 J<br>(+421.111%)  |
| Energy<br>(block size=8X8)   | 2.16e-05 J      | 1.0103e-04 J<br>(+367.7315%) | 4.7756e-05 J<br>(+121.0925%) |
| Energy<br>(block size=16X16) | 2.16e-05 J      | N/A                          | 6.008e-05 J<br>(+178.1481%)  |

#### 緩衝記憶體電路能量

統計記憶體電路能量的方法仍然是按照公式  $E = P \times T$ ，其中  $E$  仍然代表能量、 $P$  則變成代表一個緩衝記憶體單位元所消耗的功率，而  $T$  代表處理一張畫面所需的時間；首先我們討論光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為 4×4 時，所統計到處理一張畫面的功率為  $2.6367 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.91195 \times 10^{-5} J$ 。
- 2) 當後處理區塊為 8×8 時，所統計到處理一張畫面的功率為  $2.6367 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.91195 \times 10^{-5} J$ 。
- 3) 當後處理區塊為 16×16 時，所統計到處理一張畫面的功率為  $2.6367 \times 10^{-5}$  watt，而處理一張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.91195 \times 10^{-5} J$ 。

接著討論區塊式掃瞄下的各種狀況：

- 1) 當後處理區塊為 4×4 時，所統計到的讀出基準功率為  $2.6367 \times 10^{-5}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.91195 \times 10^{-5} J$ 。
- 2) 當後處理區塊為 8×8 時，所統計到的讀出基準功率為  $2.6367 \times 10^{-5}$  watt，而處理依張畫面所需的時間為  $512 \times 512 \mu$ ，故可得  $E = 6.91195 \times 10^{-5} J$ 。

最後討論區域光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4\times 4$ 時，所統計到的讀出基準功率為 $2.6367\times 10^{-5}$  watt，而處理依張畫面所需的時間為 $512\times 512\mu$ ，故可得 $E = 6.91195\times 10^{-5} J$ 。
- 2) 當後處理區塊為 $8\times 8$ 時，所統計到的讀出基準功率為 $2.6367\times 10^{-5}$  watt，而處理依張畫面所需的時間為 $512\times 512\mu$ ，故可得 $E = 6.91195\times 10^{-5} J$ 。
- 3) 當後處理區塊為 $16\times 16$ 時，所統計到的讀出基準功率為 $2.6367\times 10^{-5}$  watt，而處理依張畫面所需的時間為 $512\times 512\mu$ ，故可得 $E = 6.91195\times 10^{-5} J$ 。

雖然不管處於哪種狀況下處理一張畫面所需要的緩衝記憶體能量都一樣為 $6.91195\times 10^{-5} J$ ，如表 4.3.3 所示，但是由 4.1 節的分析可得知在不同情況下之記憶體功率消耗分別為：

- 1) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $4\times 4$ 的光柵式掃瞄 CMOS 影像感測器：0.17999 W
- 2) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $8\times 8$ 的光柵式掃瞄 CMOS 影像感測器：0.21599 W
- 3) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $16\times 16$ 的光柵式掃瞄 CMOS 影像感測器：0.43199 W
- 4) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $4\times 4$ 的區塊式掃瞄 CMOS 影像感測器： $8.43744\times 10^{-4}$  W
- 5) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $8\times 8$ 的區塊式掃瞄 CMOS 影像感測器： $3.3749\times 10^{-3}$  W
- 6) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $4\times 4$ 的區域光柵式掃瞄 CMOS 影像感測器： $8.43744\times 10^{-4}$  W
- 7) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $8\times 8$ 的區域光柵式掃瞄 CMOS 影像感測器： $3.3749\times 10^{-3}$  W
- 8) 感測晶片解析度為 $512\times 512$ 後處理區塊大小為 $16\times 16$ 的區域光柵式掃瞄 CMOS 影像感測器： $1.3499\times 10^{-2}$  W





表 4.3.3 緩衝記憶體電路能量比較

|                              | Raster Scanning | Block-scanning | Locally-raster-scanning |
|------------------------------|-----------------|----------------|-------------------------|
| Energy<br>(block size=4X4)   | 6.91195e-06 J   | 6.91195e-06 J  | 6.91195e-06 J           |
| Energy<br>(block size=8X8)   | 6.91195e-06 J   | 6.91195e-06 J  | 6.91195e-06 J           |
| Energy<br>(block size=16X16) | 6.91195e-06 J   | N/A            | 6.91195e-06 J           |

總能量

我們將類比電路、數位電路和緩衝記憶體電路在處理一個畫面下所需要的能量相加後便能得知以下的結果，首先討論光柵式掃瞄下的各種情況：

表 4.3.4 總能量比較

|                              | Raster Scanning | Block-scanning            | Locally-raster-scanning    |
|------------------------------|-----------------|---------------------------|----------------------------|
| Energy<br>(block size=4X4)   | 1.4841e-04 J    | 1.4814e-04 J<br>(-0.182%) | 1.3966e-04 J<br>(-5.8958%) |
| Energy<br>(block size=8X8)   | 1.4841e-04 J    | 1.6168e-04 J<br>(+8.941%) | 7.594e-05 J<br>(-48.8309%) |
| Energy<br>(block size=16X16) | 1.4841e-04 J    | N/A                       | 9.1376e-05 J<br>(-38.43%)  |

- 1) 當後處理區塊為 $4 \times 4$ 時，總能量  $E = 1.4841 \times 10^{-4} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，總能量  $E = 1.4841 \times 10^{-4} J$ 。
- 3) 當後處理區塊為 $16 \times 16$ 時，總能量  $E = 1.4841 \times 10^{-4} J$ 。

接著討論區塊式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4 \times 4$ 時，總能量  $E = 1.4814 \times 10^{-4} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，總能量  $E = 1.6168 \times 10^{-4} J$ 。

最後討論區域光柵式掃瞄下的各種狀況：

- 1) 當後處理區塊為 $4 \times 4$ 時，總能量  $E = 1.3966 \times 10^{-4} J$ 。
- 2) 當後處理區塊為 $8 \times 8$ 時，總能量  $E = 7.594 \times 10^{-5} J$ 。
- 3) 當後處理區塊為 $16 \times 16$ 時，總能量  $E = 9.1376 \times 10^{-5} J$ 。

由上述可知當後處理區塊為 $4 \times 4$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別少了 0.182% 和 5.8958%；當後處理區塊為 $8 \times 8$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別多了 8.941% 和少了 -48.8309%；當後處理區塊為 $16 \times 16$ 時，在處理一張畫面所需的能量這方面，區塊式掃瞄 CMOS 影像感測器和區域光柵式掃瞄 CMOS 影像感測器較光柵式掃瞄 CMOS 影像感測器分別多了 N/A 和 38.43%，如表 4.3.4 所示。

## 4.4 總結

### 優點

由 4.1 節和的分析 4.2 節模擬很容易可以發現兩件事，

(一) 因光柵式掃瞄的讀出順序與後處理系統處理順序的不匹配而使用大量的緩衝記憶體所造成的面積浪費和功率增加，此問題可藉由改變影像感測器的掃瞄方法而解決，而因為不同狀況下所節省的後處理緩衝記憶體分別為

- 1) 當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$ 共節省了 99.21875%
- 2) 當感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $8 \times 8$ 共節省了 98.4375%
- 3) 當感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $16 \times 16$ 共節省了 96.875%

(二) 相較於光柵式掃瞄 CMOS 影像感測器，區域光柵式 CMOS 影像感測器的能量消耗降低，其幅度約為 5.8958%~48.8309% 可由表 4.3.4 發現。

### 缺點

(一) 由 3.2 節與 3.3 節可知，為了將掃瞄方法改為區塊式掃瞄必需將像素電路做些微的修改，此舉將造成填充係數的下降，圖 4.4.1 分別為(a)當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$ 之區塊式掃瞄 CMOS 影像感測器的一個像素佈局圖、(b)當感測晶片解析度 $512 \times 512$ 為而後處理區塊大小為 $8 \times 8$ 之區塊式掃瞄 CMOS 影像感測器的一個像素佈局圖、(c) 當感測晶片解析度為 $512 \times 512$ 而後處理區塊大小為 $4 \times 4$ 之區域光柵

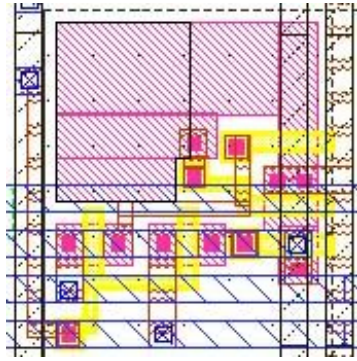
式掃描 CMOS 影像感測器的一個區塊佈局圖、(d) 當感測晶片解析度512×512為而後處理區塊大小為8×8之區域光柵式掃描 CMOS 影像感測器的一個區塊佈局圖和(e) 當感測晶片解析度512×512為而後處理區塊大小為16×16之區域光柵式掃描 CMOS 影像感測器的一個區塊佈局圖。

表 4.4.1 Overhead(單位： $(\mu m)^2$  M： $10^6$ )

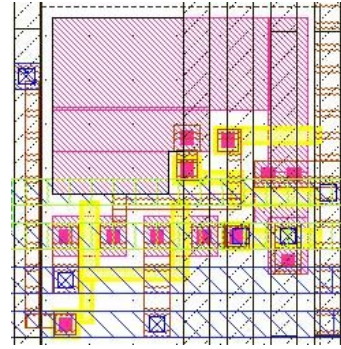
|       | Raster Scanning | Locally-raster-scanning (block size=4X4) | Locally-raster-scanning (block size=8X8) | Locally-raster-scanning (block size=16X16) | Block-scanning (block size=4X4) | Block-scanning (block size=8X8) |
|-------|-----------------|--|--|--|---------------------------------|---------------------------------|
| Poly  | 0.9413M         | 1.002M                                   | 0.9715M                                  | 0.9564M                                    | 1.1832M                         | 1.1832M                         |
| M1    | 1.266M          | 1.6933M                                  | 1.4794M                                  | 1.3725M                                    | 2.3808M                         | 2.819M                          |
| M2    | 2.6278M         | 2.3683M                                  | 2.5974M                                  | 2.712M                                     | 5.1074M                         | 6.514M                          |
| M3    | 1.206M          | 1.4814M                                  | 1.333M                                   | 1.259M                                     | 3.796M                          | 6.3268M                         |
| M4    | 0               | 2.653M                                   | 2.653M                                   | 2.653M                                     | 0                               | 2.1084M                         |
| Total | 6.0351M         | 9.198M<br>(+52.41%)                      | 9.0343M<br>(+49.7%)                      | 8.9529M<br>(+48.35%)                       | 12.4674M<br>(106.58%)           | 19.6002M<br>(225%)              |

(二) 為了達到區塊式掃描與區域光柵式掃描，與光柵式掃描比較在像素陣列繞線面積會增加，最後所增加的百分比(如表 4.4.1 所示)分別為

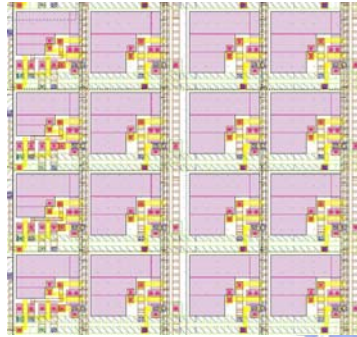
- 1) 感測晶片解析度為512×512後處理區塊大小為4×4的區塊式掃描 CMOS 影像感測器：106.58%
- 2) 感測晶片解析度為512×512後處理區塊大小為8×8的區塊式掃描 CMOS 影像感測器：225%
- 3) 感測晶片解析度為512×512後處理區塊大小為4×4的區域光柵式掃描 CMOS 影像感測器：52.41%
- 4) 感測晶片解析度為512×512後處理區塊大小為8×8的區域光柵式掃描 CMOS 影像感測器：49.7%
- 5) 感測晶片解析度為512×512後處理區塊大小為16×16的區域光柵式掃描 CMOS 影像感測器：48.35%



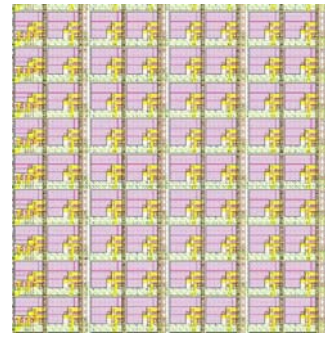
(a) 區塊式(處理區塊 4X4)



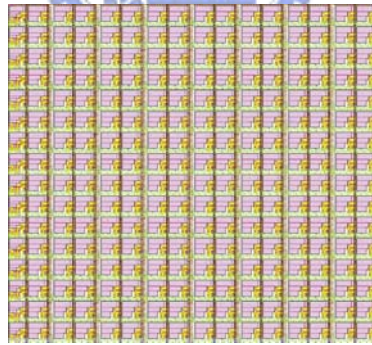
(b) 區塊式(處理區塊 8X8)



(c) 區域光柵式(處理區塊 4X4)



(d) 區域光柵式(處理區塊 8X8)



(e) 區域光柵式(處理區塊 16X16)

圖 4.4.1 佈局圖

# 第 5 章 結論與未來展望

## 5.1 結論

本論文設計兩種局部掃瞄掃瞄式 CMOS 影像感測晶片，並且將其分別與光柵式掃瞄 CMOS 影像感測晶片做比較；在節省區塊化影像處理系統之緩衝記憶體這方面區塊式掃瞄 CMOS 影像感測晶片與區域光柵式掃瞄 CMOS 影像感測晶片均可節省 95% 以上的緩衝記憶體(在後處理區塊尺寸小於 $16 \times 16$ 的情況下)，然而因電路結構的問題所以區塊式掃瞄 CMOS 影像感測器對於後處理區塊大小的改變較無適應性；在功率消耗這方面，相較於光柵式掃瞄 CMOS 影像感測器最多節省了 48.8309% 的能量消耗，但也因此付出了繞線面積變大與填充係數變小的代價。

## 5.2 未來展望

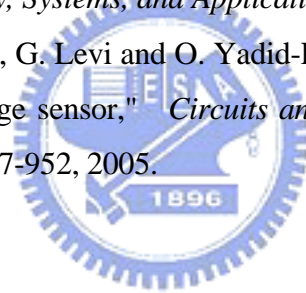
單晶片系統是未來晶片設計趨勢，本論文之設計並無將類比 / 數位轉換器所造成的效應考慮進去，故除了可以將 CMOS 影像感測晶片與類比 / 數位轉換器結合在一起，成為一個更完整之數位系統外，還可以朝矽智產(Silicon Intellectual-Properties)的方向研究。



## 參考文獻

- [1] M. Hillebrand, N. Stevanovic, B. Hosticka, J. Santos Conde, A. Teuner and M. Schwarz, "High speed camera system using a CMOS image sensor," in *Intelligent Vehicles Symposium, 2000. IV 2000. Proceedings of the IEEE*, 2000, pp. 656-661.
- [2] E. Fossum and L. C. Photobit, "CMOS image sensors: electronic camera-on-a-chip," *Electron Devices, IEEE Transactions on*, vol. 44, pp. 1689-1698, 1997.
- [3] S. Y. Ma and L. G. Chen, "A single-chip CMOS APS camera with direct frame difference output," *Solid-State Circuits, IEEE Journal of*, vol. 34, pp. 1415-1418, 1999.
- [4] A. El Gamal, H. Eltoukhy, K. Salama and S. G. T. Center, "11 CMOS SENSORS FOR OPTICAL MOLECULAR IMAGING,"
- [5] C. Liebe, E. Dennison, B. Hancock, R. Stirbl and B. Pain, "Active pixel sensor (APS) based star tracker," in *Aerospace Conference, 1998. Proceedings., IEEE*, 1998,
- [6] O. Yadid-Pecht, R. Ginosar and Y. Shacham-Diamand, "A random access photodiode array for intelligent image capture," *Electron Devices, IEEE Transactions on*, vol. 38, pp. 1772-1780, 1991.
- [7] S. Kempainen, "CMOS image sensors: eclipsing CCDs in visual information?" *EDN-BOSTON THEN DENVER-*, vol. 42, pp. 101-119, 1997.
- [8] C. Chen, H. Tsai, K. Huang and H. Liu, "Study for cross contamination between cmos image sensor and ic product, in 2001 IEEE," in *SEMI Advanced Semiconductor Manufacturing Conference*, 2001, pp. 121-123.
- [9] J. E. Farrell, F. Xiao, P. B. Catrysse and B. A. Wandell, "A simulation tool for evaluating digital camera image quality," in *Proceedings of SPIE*, 2004, pp. 124-131.
- [10] W. BOYLE, "CHARGE COUPLED SEMICONDUCTOR DEVICES," 1970.
- [11] G. Weckler, "Operation of pn Junction Photodetectors in a Photon Flux Integrating Mode," *Solid-State Circuits, IEEE Journal of*, vol. 2, pp. 65-73, 1967.
- [12] R. Dyck and G. Weckler, "Integrated arrays of silicon photodetectors for image sensing," *Electron Devices, IEEE Transactions on*, vol. 15, pp. 196-201, 1968.
- [13] T. Lule, S. Benthien, H. Keller, F. Mutze, P. Rieve, K. Seibel, M. Sommer and M. Bohm, "Sensitivity of CMOS based imagers and scaling perspectives," *Electron Devices, IEEE Transactions on*, vol. 47, pp. 2110-2122, 2000.
- [14] P. Noble, "Self-scanned silicon image detector arrays," *Electron Devices, IEEE Transactions on*, vol. 15, pp. 202-209, 1968.

- [15] P. Lee, R. Gee, M. Guidash, T. Lee and E. Fossum, "An active pixel sensor fabricated using CMOS/CCD process technology," in *1995 IEEE Workshop on CCDs and Advanced Image Sensors, Dana Point, CA, 1995*,
- [16] K. Yonemoto and H. Sumi, "A numerical analysis of a CMOS image sensor with a simple fixed-pattern-noise-reduction technology," *IEEE Trans. Electron Devices*, vol. 49, pp. 746-753, 2002.
- [17] B. Fowler, J. Balicki, D. How, M. Godfrey and P. D. I. Inc, "Low-FPN high-gain capacitive transimpedance amplifier for low-noise CMOS image sensors," in *Proceedings of SPIE*, 2001, pp. 68.
- [18] K. Yonemoto and H. Sumi, "A CMOS image sensor with a simple fixed-pattern-noise-reduction technology and a hole accumulation diode," *Solid-State Circuits, IEEE Journal of*, vol. 35, pp. 2038-2043, 2000.
- [19] J. Ho, M. Chiang, H. Cheng, T. Lin and M. Kao, "A new design for A 1280× 1024 digital CMOS image sensor with enhanced sensitivity, dynamic range and FPN," in *1999 International Symposium on VLSI Technology, Systems, and Applications*, 1999, pp. 235–238.
- [20] E. Artyomov, Y. Rivenson, G. Levi and O. Yadid-Pecht, "Morton (Z) scan based real-time variable resolution CMOS image sensor," *Circuits and Systems for Video Technology, IEEE Transactions on*, vol. 15, pp. 947-952, 2005.



# 作者簡介

## 個人資料：

姓 名：蔡嘉洋 (Chia-Yang Tsai)

生 日：民國72年04月30日

出 生 地：台北市

## 學 歷：

2006.2 ~ 2009.4 交通大學電機產業研發碩士專班

2001.9 ~ 2005.7 淡江電機工程系

1998.9 ~ 2001.7 台北市立中正高中

