

# 國立交通大學

電機學院微電子奈米科技產業研發  
碩士班

碩 士 論 文

氟摻雜濃度對於二氧化鉛堆疊式閘極 P 型  
金氧半場效電晶體其可靠性的影響

**Effect of Fluorine dosage on the Reliability Issue of  
pMOSFETs with HfO<sub>2</sub>/SiON Gate Stack**

研 究 生：謝岳展

指導教授：羅正忠 教授

邱碧秀 教授

中 華 民 國 九 十 七 年 十 一 月

氟摻雜濃度對二氧化矽堆疊式閘極 P 型  
金氧半場效電晶體其可靠性的影響

**Effect of Fluorine dosage on the Reliability Issue of  
pMOSFETs with HfO<sub>2</sub>/SiON Gate Stack**

研究生：謝岳展

Postgraduate：Yueh-Chan Hsieh

指導教授：羅正忠 博士

Advisor：Dr. Jen-Chung Lou

邱碧秀 博士

Dr. Bi-Shiou Chiou

國立交通大學

電機學院微電子奈米科技產業研發碩士班



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on

Microelectronics and Nano Sciences

November 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十一月

# 氟摻雜濃度對二氧化矽堆疊式閘極 P 型 金氧半場效電晶體其可靠性的影響

研究生：謝岳展

指導教授：羅正忠博士

邱碧秀博士

國立交通大學電機學院產業研發碩士班

## 摘要

根據半導體積體電路的微縮定理，極薄的二氧化矽介電質層(1 至 1.5 奈米)將遭遇量子穿隧效應的問題而導致極大的洩電流，導致元件可靠度上的問題。近年來使用高介電質材料來取代傳統以二氧化矽當介電質層已廣泛被研究。相較於二氧化矽，由於在相同的等效厚度之下高介電質物質有較厚的實際厚度，因此可以抵擋因量子的穿隧效應而導致的大量漏電。然後，以高介電質材料當閘極介電質層卻遭遇到其它的問題。例如：相對於二氧化矽操作在相同電壓下，高介電質材料有較高的界面狀態產生及較多的電荷捕捉，這對於元件操作時臨限電壓的漂移有較嚴重的影響。

在 P 型金氧半場效電晶體中，負偏壓溫度不穩定效應是主要的問題。我們於閘極介電質沈積前，以離子佈值的方式植入氟摻雜，使氟原子在後續的高溫摻雜活化的過程中，使其擴散至通道和閘極介電質

層。利用氟的摻入, 我們深入的探討氟對二氧化鈣/氮氧化矽閘極之 P 型金氧半場效電晶體對於負偏壓溫度不穩定效應的影響。我們發現, 摻雜氟對於元件的基本特性, 有顯著的改善。對於固定電壓應力(CVS) 量測時, 含氟摻雜的元件有較低的界面狀態產生, 和較少的電荷捕捉, 對於元件的可靠度和穩定性有明顯的改善, 因此改善了以高介電質材料為閘極介電極層的穩定性和可靠性。我們也發現以本論文的實驗結果而論是  $1E14$  的氟濃度摻雜是最好改善 Hf-based dielectric 缺陷的製程條件。



# **Effect of Fluorine dosage on the Reliability Issue of pMOSFETs with HfO<sub>2</sub>/SiON Gate Stack**

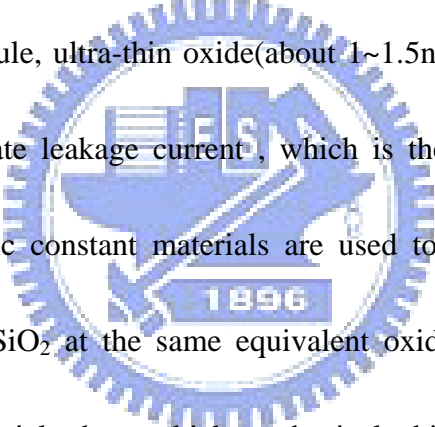
**Student : Yueh-Chan Hsieh**

**Advisor : Dr. Jen-Chung Lou**

**Dr. Bi-Shiou Chiou**

**Industrial Technology R & D Master Program of  
Electrical and Computer Engineering College  
National Chiao Tung University**

## **Abstract**



According scaling rule, ultra-thin oxide (about 1~1.5nm) will undergo tunneling effect and then cause gate leakage current, which is the issue of the reliability. Recently, high dielectric constant materials are used to replace SiO<sub>2</sub> has widely studied. Compare with SiO<sub>2</sub> at the same equivalent oxide thickness (EOT), high dielectric constant materials have thicker physical thickness which can resist tunneling effect, and then avoid leakage current. However, using high dielectric constant materials as gate dielectric experience other problems. For example, high dielectric constant materials have higher interfacial states and charge traps, these will cause more serious threshold voltage shift when working device as the same voltage compare with SiO<sub>2</sub>. In pMOSFETs, negative bias temperature instability is the main issue. We incorporate F before gate dielectric deposition via channel implantation technique, which was subsequently diffused into the gate stack during annealing

process . By fluorine incorporation , we discuss the effects of negative bias temperature instability (NBTI) of F incorporated in pMOSFETs with HfO<sub>2</sub>/SiON stack in depth . We found that F incorporated improves the fundamental electrical properties of the fabricated transistors . In addition , under constant voltage stress (CVS) , we found that lower generation rate of interface states and charge trapping are observed for device with F incorporation , thus enhances the reliability and the stability of high-k devices. We also found that at 1E14 fluorine dosage has maximum improvement to Hf-based dielectric in turns of this thesis.



## 誌謝

首先，感恩我的指導教授羅正忠博士與邱碧秀博士。因為有他們的教導，讓我更加的茁壯，讓我從不知研究為何物的大學生歷練為“耐操”的研究生。

在研究所的這兩年半裡，歷經了幾次波折，學到了如何從困境中爬起，其中的關鍵點就在心裡。首先要有正確的研究生價值觀，研究生要做哪些事，要如何與人應對，因為研究生不能只是讀自己的書而已，最重要的是要學會“team work”，如果有人問我說你念兩年研究所學到什麼，我會說：「學做人，做個自重而人重之的人。」

感謝實驗室的大學長 陳永裕博士，還有智仁學長，與以前一起合作過的黃信富、陸冠文、葉佳樺、晨修、土豆、鄭元凱、簡先生。其中我最感謝小陸，沒有他的幫忙實在難以完成這項人生大事“碩士學位”。

還有，我要感謝實驗室的學弟妹：哲輔、翌裳、介銘、侑庭和實驗室剛進來的尚勳、芳毓、文新等新氣象。沒有他們我可能還要呆更久，哈！

最後我要感謝交大禪學社的大家，任瑾哥、國瑞老師、崇豪爸爸、貴笠哥哥、幸芸妹妹，正銘學長沒有你們的幫忙與協助我的心裡會更加惶恐與無助。

最後，我不會忘記您的，媽媽，沒有您的扶養與精神支柱上的鼓勵，我根本不可能讀到交大與從這裡畢業。謝謝您，媽媽。還有我最喜歡的弟弟與爸爸，感謝你們。





## 目錄

摘要 (中文) .....	I
摘要 (英文) .....	III
誌謝 .....	V
目錄 .....	VII
表目錄 .....	IX
圖目錄 .....	X
第一章 簡介 .....	1
1-1 研究和背景 .....	1
1-2 論文的架構 .....	3
第二章 摻雜 fluorine 離子在 pMOSFETs 的基本電性探討 .....	4
2-1 實驗 .....	4
2-2 元件基本電性的結果與討論 .....	4
2-3 總結 .....	8
第三章 Fluorine 結合在 pMOSFETs 對於元件可靠度的影響 .....	9
3-1 Fluorine 結合對於 NBTI Degradation 的抑制 .....	9
3-2 NBTI 的理論型 .....	9
3-3 量測設定 .....	10
3-4 High-k dielectric 量測的近似估算 .....	10

3-5 固定偏壓應力測試元件可靠度·····	11
第四章 結論與未來工作·····	13
參考文獻·····	44



## 表目錄

### 表 1-1 2007 International Technology Roadmap for Semiconductors

[1.1]。.....14

表 1-2 各種不同高介電材料的材料特性與電性總結 [1.2]。.....15

表 2-1  $V_{th}/G_{mmax}/I_{dsat}$  在 pMOSFETs 的總結。.....20



## 圖目錄

圖 1-1 各種不同以矽為基底的高介電材料的能隙和能隙補償 〔1.3〕。.....	16
圖 2-1 通道佈植節後才結合氟離子。.....	17
圖 2-2 氟藉由熱退火後進入 $\text{HfO}_2/\text{SiON}$ 介電質內，且在介面處形成比 (矽-氫)鍵結還強的(矽-氟)鍵結。.....	17
圖 2-3 二氧化鈣堆疊式閘極 P 型金氧半場效電晶體的截面圖。.....	18
圖 2-4 有無氟摻雜 pMOSFETs 的 C-V 圖。.....	19
圖 2-5 施加偏壓應力前的 P 型金氧半場效電晶體 $I_d$ - $V_d$ fit 曲 線。.....	19
圖 2-6 施加偏壓應力前的 P 型金氧半場效電晶體 $I_d$ - $V_g$ 和 $G_m$ - $V_g$ 曲 線。.....	20
圖 2-7 P 型金氧半場效電晶體閘極漏電流分布。.....	21
圖 2-8 P 型金氧半場效電晶體遷移率對有效電場的分佈。.....	21
圖 2-9 在反轉模式下的電流載子分佈(a)control sample, 和 (b)with F sample。.....	22
圖 2-10 在累積模式下的電流載子分佈(a)control sample, 和 (b)with F sample。.....	23
圖 2-11 二氧化鈣堆疊式閘極 P 型金氧半場效電晶體在反轉模式下	

(a) 能帶圖, (b) 載子分離法的概略圖。.....	24
圖 2-12 二氧化鈣堆疊式閘極 P 型金氧半場效電晶體在累積模式下	
(a) 能帶圖, (b) 載子分離法的概略圖。.....	25
圖 2-13 符合 F-P emission 傳導機制在反轉模式下的源極/洩極漏電	
流(a) without fluorine sample (b) with fluorine	
sample。.....	26
圖 2-14 符合 F-P emission 傳導機制在反轉模式下的基板漏電流(a)	
without fluorine sample (b) with fluorine sample。 27	
圖 3-1 氟藉由熱退火後進入 HfO <sub>2</sub> /SiON 介電質內, 且在介面處形成比	
(矽-氫)鍵結還強的(矽-氟)鍵結。.....	28
圖 3-2 結構圖在 : (a) [ 111 ] 晶面, 和(b) [ 100 ] 晶面。.....	29
圖3-3顯示介面電荷狀態得P通道MOS元件的能帶圖(a)在平帶模式下	
介面狀態為負電荷(b)在反轉模式下介面狀態為正電荷	
[ 3.4 ]。.....	30
圖3-4 Si - SiO <sub>2</sub> 介面的二維結構圖(a)the SiH defect, (b)氫原子經	
過偏壓應力後形成interface trap, fixed oxide chargey,	
droxy group, 和(c)會移動地OH 分子擴散進入氧化層裡。	
After Jeppson and Svensson [ 3.5 ]。.....	30
圖 3-5 CVS (constant voltage stress)量測設定。.....	31

圖 3-6 PMOSFET 未摻雜氟的 $I_d$ - $V_g$ 特性曲線	
(a)w/o small stress, (b)small stress	32
圖 3-7 PMOSFET 摻雜氟的 $I_d$ - $V_g$ 特性曲線	
(a)w/o small stress, (b)small stress	33
圖 3-8 Fast charging effects(FCE)在二氧化鈣堆疊式閘極 P 型金 氧半場效電晶體的能帶圖	34
圖 3-9 PMOSFET 在 25°C 之下施加偏壓應力 1000 秒前後的 $I_d$ - $V_g$ 特性 曲線(a)control sample, and (b)5E13(c)1E14 samples	35、36
圖 3-10 在 25°C 下隨著偏壓應力時間變化的臨界電壓的漂移量, $V_g$ - $V_t$ =-2V~-2.5V(a)control sample, and (b)5E13cm <sup>-2</sup> , (c)1E14cm <sup>-2</sup>	37、38
圖 3-11 在 25°C 下隨著偏壓應力時間變化的臨界電壓的漂移量 , $V_g$ - $V_t$ =-2V 在 control sample 和 fluorine sample	39
圖 3-12 在 25°C 下隨著偏壓應力時間變化的臨界電壓的漂移量 , $V_g$ - $V_t$ =-2.5V 在 control sample 和 fluorine sample	40
圖 3-13 在 25°C 下隨著偏壓應力時間變化的次臨界電壓擺幅的變化 量, $V_g$ - $V_t$ =-2V 在 control sample 和 fluorine sample	41

圖 3-14 在 25°C 下隨著偏壓應力時間變化的次臨界電壓擺幅的偏移量,  $V_g - V_t = -2V$  在 control sample 和 fluorine sample。.....42

圖 3-15 在 25°C 下隨著偏壓應力時間變化的介面狀態密度的偏移量,  $V_g - V_t = -2V$  在 control sample 和 fluorine sample。.....42

圖 3-16 Total trap density 和 interface density 隨著時間變化的函數,  $V_g - V_t = -2V$  在 control sample 和 fluorine sample。.....43



# 第一章

## 簡介

### 1-1 研究和背景

過去在以 SiO<sub>2</sub> 為介電質的 CMOS 元件，在元件微縮時會導致大漏電流和元件可靠度的問題。因此後來有了 High-k(高介電質常數)材料的研究與發展廣泛的應用在 CMOS 電晶體元件上，原因為它的高介電常數允許有較厚的物理厚度比起相等的 EOT 超薄 SiO<sub>2</sub> 而論，它還具有降低漏電流和改善可靠度的問題在 CMOS 元件上。

因此在 International Technology Roadmap for Semiconductors (表 1-1) [ 1.1 ]，上發表了我們所希望 CMOS 元件的 High-k(高介電質常數)材料能夠達到以低漏電流和足夠低的等效氧化層厚度而論的藍圖。

最近幾年有許多的 High-k 材料被應用，如 HfO<sub>2</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, La<sub>2</sub>O<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, SrTiO<sub>3</sub>, HfSiO<sub>4</sub>, ZrSiO<sub>4</sub>，而這些材料的特性總結在表 1-2 [ 1.2 ] 和圖 1-1 [ 1.3 ]，而圖 1-1 是以 Si 為基底的 bandgap 和 bandgap offset，在 Si 的 conduction band 以上 1eV 和 valence band 以下 1eV 的虛線是去防止電子和電洞穿隧所引起 schottky emission 漏電流的最小能障 [ 1.3 ]。由表 1-2 和圖 1-1 的歸納可知 HfO<sub>2</sub> 具有中等的介電常數值(k~20-25)，大的 bandgap(E<sub>g</sub>~5.7-6.0 eV) 與高的 conduction bandgap offset for electron(~1.5-1.9 eV) 和與 Si 結合極佳的熱穩定性(~950°C)。但是，HfO<sub>2</sub> 的 bulk oxide traps 很嚴重，會嚴重影響臨界電壓不穩



定漂移等的可靠度問題。

我們已知道的，傳統以  $\text{SiO}_2$  為 gate oxide 的 MOS 元件在 gate electrode 施加大的偏壓 stress 會引起大的 flat band voltage shift 和 threshold voltage shift，特別在升溫時更加嚴重。而這個現象稱之為 BTI(Bias-Temperature Instability)，這個原因已由 Ogawa *et al.* 所發展的一套 diffusion-reaction model 理論 [ 1.4 ] 和成功的實驗結果 [ 1.5 ] 可解釋出來，他藉由探討升溫、加 stress 和不同厚度的結果來印證他的理論，且實驗發現 Nit 和 Nox 的產生是由於 Si-H bond 的斷裂形成 hydrogen-related species 的擴散所造成的。

因為  $\text{SiO}_2$  在元件微縮時會引起大漏電流且嚴重影響元件可靠度，所以我們就使用高介電常數的  $\text{HfO}_2$  來代替  $\text{SiO}_2$  來當作元件的介電材料。但由於  $\text{HfO}_2$  gate oxide 的 bulk traps 數量遠大於  $\text{SiO}_2$ ，它會隨著 stress 時間的加長造成連續性地 threshold voltage shift 和 drain current degradation，進而造成電晶體元件可靠度的退化。

在本論文裡，我們把 fluorine 結合在 substrate，借由 fluorine 離子修補 SiON 和 substrate 的界面，以取代 Si-H bond 的方式使其降低預先存在地  $\text{HfO}_2$  bulk traps 來改善臨界電壓漂移的不穩定與元件可靠度的提升。

## 1-2 論文的架構

在本章節中，我們介紹為什麼使用 High-k 材料當 CMOS 介電質的理由且與系統化地探討 fluorine 結合在  $\text{HfO}_2/\text{SiON}$  堆疊式閘極 pMOSFETs 的特性。

在第二章裡我們詳細地描述實驗步驟和我們對摻雜 fluorine 離子在 pMOS-FETs 的基本電性探討，包括 CV、IV 特性和用 split C-V 方法(100kHz)去得到 mobility，並用載子分離法判別電晶體元件的漏電機制。

第三章為摻雜 fluorine 離子在 pMOSFETs 的可靠度探討，首先我們先加一點小 stress 偏壓使可靠度的量測更為精確，之後使用 constant voltage stress 來測試 pMOSFETs 的偏壓不穩定地現象。

第四章為本論文的研究發現與結論，和未來對 fluorine 離子結合在 CMOS 的 dynamic AC stress 可靠度研究。



## 第二章

### 摻雜 fluorine 離子在 pMOSFETs 的基本電性探討

#### 2-1 實驗

在本論文共有 pMOSFETs 三片樣本，都於 channel 上摻雜 fluorine 離子，另外有一片 control sample 當對照組。首先使用 n 型基板 (100) 晶面製作 Well (Source: P, Dose:  $7.5E12$ , Energy: 120keV for pMOSFETs)，再成長 pad oxide (350Å)、 $Si_3N_4$  (1500Å) 並且上光阻微影、蝕刻後形成 LOCOS Isolation，之後做 channel stop implant 以防止 punchthrough 效應，然後再成長場氧化層 (5500Å)、覆蓋犧牲氧化層後，在 APT (anti-punch through) implant 後摻雜 fluorine 離子，如圖 2-1 所示。之後使用 oxide RTA 在  $700^\circ C$  開  $N_2O$  氣體下成長  $SiON \sim 10Å$  (量測厚度  $SiON \sim 11Å$ )，MOCVD 沉積  $HfO_2 \sim 30Å$ ，爐管沉積 poly  $\sim 2000Å$ 。經過 TCP 乾式蝕刻 poly 之後做 Source、Drain implant 和 Body implant，之後 RTA 活化  $950^\circ C$  20sec 以使氟從  $SiON/Silicon$  界面處擴散到  $HfO_2$  如圖 2-2 所示，最後 metal 使用 sputter 濺鍍，與使用 TCP9600 乾式蝕刻後形成元件如圖 2-3 所示。

#### 2-2 元件基本電性的結果與討論

我們基本電性的量測使用 HP4156A precision semiconductor parameter analyzer 與 HP4284 LCR meter 來分析 (I-V) 與 (C-V; 100kHz) 特性。在圖 2-4 不考慮量子效應時，我們估算在強反轉時 pMOSFETs 的 EOT (2.1) [2.1] 為 34Å (without Fluorine) 和 36Å ( $5E12$ )、34Å ( $5E13$ )、34Å ( $1E14$ )。引用公

式如下：

$$EOT = \varepsilon_{SiO_2} \varepsilon_0 \left( \frac{Area}{C_{inv}} \right) \quad (2.1)$$

由圖 2-4 的 C-V 圖也可看到 pMOSFET 有氟摻雜的樣本在強反轉的  $V_t$  值往正  $V_g$  值漂移，且濃度愈大絕對值  $V_g$  愈小，內插圖的 C-V 遲滯現象亦是如此。這是因為 SiON/Si 界面被氟修補後使得界面狀態的正電荷減少並導致臨界電壓減少使得驅動電流上升(2.1) [ 2.2 ] 如圖 2-5 所示。

$$I_{D(sat)} = \frac{1}{2} \frac{C_{ox} \mu_n W}{L} (V_{gs} - V_t)^2 \quad (2.2)$$

圖 2-6 顯示 pMOSFETs 的  $I_d$ - $V_g$  和  $G_m$ - $V_g$  曲線，可以看到由於驅動電流得上升亦讓轉導上升。表 2-1 顯示總覽 threshold voltage、 $G_{mmax}$ 、 $I_{dsat}$  的大小。我們可以看到在高濃度 fluorine 摻雜的樣本它的  $V_t$  值和  $G_{mmax}$  值明顯優於沒 fluorine 摻雜的樣本。原因為 pMOSFET 在摻雜氟離子時，氟離子會修補在 SiON/Si 界面的 interface state( $D_{it}$ )，使得在 gate oxide 本體的正電荷缺陷的捕捉減少或負電荷缺陷的捕捉增加 [ 2.3 ] [ 2.4 ] [ 2.5 ]。而低濃度的氟會導致元件特性下降，原因是氟在佈植時會造成基板損毀，並且在後續的高溫退火中形成 out-diffusion。

圖 2-7 比較在 inversion region 和 accumulation region 下的漏電流，我們可以發現 fluorine 摻雜的樣本與對照組漏電流的大小類似。圖 2-8 顯示 pMOSFETs 的 mobility，我們發現在  $5E13$ 、 $1E14$  的 mobility 都高於對照組，原因為 SiON/Si 界面被修補後使得 mobility 增加。

得到電洞 mobility 的方法如下：

洩極電流為漂移電流加上擴散電流

$$I_D = \frac{Wu_{eff}Q_nV_{DS}}{L} - Wu_{eff} \frac{kT}{q} \frac{dQ_n}{dx} \quad (2.3)$$

Effective mobility 在 pMOSFETs 被量測在低 drain voltage (大約 -50mV 或 -100mV)，因為在通道上的電荷較為均勻，所以可以得到擴散二次項為

$$u_{eff} = \frac{g_d L}{WQ_n} \quad (2.4)$$

drain conductance  $g_d$  定義如下

$$g_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}} = const. \quad (2.5)$$

$Q_n$  和  $Q_b$  為空乏區和反轉層的電荷密度( $C/cm^2$ )

$$Q_n = \int_{\infty}^{-V_{gs}} (C_{gc}) dV_{gs} \quad (2.6)$$

$$Q_b = \int_{V_{fb}}^{V_{gs}} (C_{gb}) dV_{gs} \quad (2.7)$$

$E_{eff}$  是垂直表面電場

$$E_{eff} = \frac{(Q_b + \eta Q_n)}{KE_0} \quad (2.8)$$

而 hole mobility  $\eta=1/3$ ，最後可以得到 universal mobility

$$\mu_p(eff) = \frac{180}{1 + \left( \frac{E_{eff}}{4.5 \times 10^5} \right)} \quad (2.10)$$

由於低濃度的氟摻雜對於元件基本特性較無改善現象 (2.7)，因此我們後續就只著重在高濃度的氟摻雜對元件可靠度的影響。

現在要確定在流經過  $HfO_2/SiON$  dual gate dielectrics 在反轉層和累積層漏電流的載子種類，因此使用載子分離法(carrier separation method) (2.8)。圖 2-9 顯示 pMOSFETs 在反轉層的載子分離結果。我們可以發現 pMOSFETs 在反轉層時

的主要電流為 Source/Drain 電流，原因為 HfO<sub>2</sub>/SiON dual gate dielectrics 結構的能帶圖 2-11 顯示在反轉時電洞(I<sub>SD</sub>)的導通機率是大於電子(I<sub>B</sub>)的；而在累積時圖 2-12 HfO<sub>2</sub>/SiON 能帶結構導通機率是電子(I<sub>B</sub>)大於電洞的(I<sub>SD</sub>)，圖 2-10 顯示在累積時電洞(I<sub>B</sub>)的導通機率是大於電子(I<sub>SD</sub>)的。

在高介電材料裡，閘極漏電流會隨溫度上升而增加。這代表著載子是靠著 oxide trap 傳導地，也就是 trap-assisted tunneling (TAT), Frenkel-pooler 傳輸機制。

存在 HfO<sub>2</sub>/SiON dual gate 的閘極漏電流有兩種載子種類（電子和電洞）。為了去決定在 HfO<sub>2</sub>/SiON dielectric 的傳導機制我們使用 Frenkel-pooler (F-P) plots 去相應電子和電洞的漏電流。

Frenkel-pooler emission 的形式如下：

$$I \propto V \exp\left(\frac{2a\sqrt{V}}{n} - \frac{q\Phi_B}{k_B T}\right) \quad (2-12)$$

$$J = B * E_{ox} \exp\left(\frac{-q(\Phi_B - \sqrt{qE_{ox} / \pi\epsilon_{ins}\epsilon_0})}{k_B T}\right) \quad (2-13)$$

$$\ln\left(\frac{J}{E_{ox}}\right) = \frac{q\sqrt{q / \pi\epsilon_{ins}\epsilon_0}}{k_B T} \sqrt{E_{ox}} - \frac{q\Phi_B}{k_B T} \quad (2-14)$$

$$\Rightarrow \text{intercept gives the Barrier height } \left(-\frac{q\Phi_B}{k_B T}\right)$$

B 為 HfO<sub>2</sub> film 的缺陷密度常數，Φ<sub>B</sub> 是 the barrier height，E<sub>ox</sub> 是 HfO<sub>2</sub> film 的介電場 ε<sub>0</sub> 是 free space permittivity，ε<sub>ins</sub> 是 HfO<sub>2</sub> 介電常數，k<sub>B</sub> 是 Boltzmann constant，而 T 為 Kelvin 量測的溫度。

圖 2-13、圖 2-14 可以看見在反轉模式之下的閘極漏電流呈現非常線性的

Frenkel-Poole 曲線的傳導機制，不管是電子還是電洞地反轉，它的流動機制都是 Frenkel-Poole 傳導。

在 barrier height 方面 electron traps 的  $\Phi_B$  在 control sample 和 F-incorporated sample 大約是 0.65eV 和 0.65eV, Hole traps 的  $\Phi_B$  在 control sample 和 F-incorporated sample 大約是 0.743eV and 0.744eV。我們定義  $\Phi_B$  為有效值 (2.9)。我們知道在 HfO<sub>2</sub> 裡的流動載子為借由缺陷幫助流動的 Frenkel-Poole 傳導，它的能障為  $\Phi_B$  隨著製程條件的變化而變化 (2.10)。

這些實驗結果顯示無氟樣本與有氟樣本的電子游離能障  $\Phi_B$  差不多的。且在 pMOSFET 的 hole barrier height 大於 electron barrier height ~0.9eV。



## 2-3 總結

我們第二章為摻雜 fluorine 離子在 pMOSFETs 的基本電性探討，包括詳細的實驗製造流程與氟離子佈植的位置，元件基本電性的結果與討論，包括對(I-V) 與(C-V;100kHz)的特性分析，有無 fluorine 離子的 mobility 比較圖，使用載子分離法去判斷流經 HfO<sub>2</sub>/SiON dual gate dielectrics 在反轉層和累積層漏電流的載子種類，閘極漏電流對 V<sub>g</sub> 在反轉層與累積層下隨溫度的變化去吻合在 high-k 的傳導機制，也就是., Frenkel-poole (F-P) emission。

## 第三章

### Fluorine 結合在 pMOSFETs 對於元件可靠度的影響

#### 3-1 Fluorine 結合對於 NBTI Degradation 的抑制

Fluorine 結合在元件的應用早在一九八零年由 Wright and Saraswat 所提出 (3.1)，他們利用 Fluorine 的結合來改善界面品質。在本論文裡，我們亦利用 Fluorine 對 Si 強力的鍵結(5.73eV)取代容易斷裂的 Si-H bonds (3.18eV) (3.2)，如圖 3-1 所示。在加偏壓時，由於 Si-F bonds 不易斷裂，因此可以減少 interface state，進而使得 Bulk oxide traps 減小，因此改善 NBTI Degradation 的免疫性。

Huard et al. 已經證明使用 BF<sub>2</sub> implants 在 S/D 和 poly gate 在傳統的 p<sup>+</sup>-gated pMOSFETs 裡面，而 Fluorine 在中等濃度是較佳用來改善 gate oxide 可靠度的問題[3.3]。



#### 3-2 NBTI 的理論模型

此論文並沒有量測溫度變化的可靠度，我們只量 CVS 的可靠度，但因 NBTI 理論模型機制與 CVS 一樣，所以我們引用此模型來解釋 CVS。我們由圖 3-2(3.4) 看到在(a) [111] Si surface 和(b) [100] Si surface 的結構模型，其中要注意的為 Pb centers 它就是俗稱的 Nit，它定義為



其中 Si<sub>3</sub> 為三價矽原子，Si· 為未被補償的四價價電子。圖 3-3 (3.4) 為 p-channel



MOS device 在(a) flatband 模式和(b) inversion 模式下界面狀態的佔據情形。從圖觀察，在 flatband 時費米能階和本質能階的中間本來是受體離子捕捉一個電子，但在 inversion mode 時，由於界面能帶向上提，導致費米能階以上的氫原子被排掉，造成正電性的界面狀態產生使得臨界電壓( $V_t$ )的漂移和驅動電流( $I_d$ )的下降。圖 3-4 (3.5) 則是二維的 Si-SiO<sub>2</sub> 界面圖，我們可以發現在(a)圖的 Si-H bonds 在施加應力時被打斷而形成 hydroxy group 如(b)圖所示，最後 OH 擴散至 gate oxide 裡面形成會造成  $V_t$  shift 的 mobile charge。如圖(c)所示。

### 3-3 量測設定

Constant voltage stress (CVS)被用來檢測元件的可靠度，它在源極、汲極、基極接地，閘極施加固定偏壓( $V_g - V_t$ )約-2~-2.5V 在 pMOSFETs，且 stress 區間為 1、5、10、20、50、100、200、500、800、1000 秒利用  $I_d - V_g$  的 shift 來計算  $\Delta V_t$  和 subthreshold swing 並可估算界面狀態的數量  $C_{it}$  顯示如圖 3-5， $C_d$  為空乏電容。

$$S = \left( \frac{KT}{q} \right) \ln 10 \left[ 1 + \left( \frac{C_d + C_{it}}{C_{ox}} \right) \right] \quad (3-2)$$

### 3-4 High-k dielectric 量測的近似估算

首先，我們先從正電壓掃到負電壓(3V~-3V)，再從負電壓掃到正電壓(-3V~3V)，定義此為一個周期，共做兩個周期如圖 3-6、圖 3-7 所示，我們可以發現在第二的週期有加小偏壓 stress 的元件它兩個周期的曲線較為吻合，原因為

施加小偏壓應力(0.5V)時可以消除 fast trapping 和 de-trapping charges effect，解說如圖 3-8 所示。

### 3-5 固定偏壓應力測試元件可靠度

圖 3-9 顯示在室溫下  $I_d-V_g$  特性曲線在施加偏壓應力。可以發現臨界電壓的漂移在有 fluorine 摻雜的樣本略微小了一點，由於 Si-F bonds 不易斷裂，因此可以減少 interface state，進而使得 Bulk oxide traps 減小。在圖 2-4 的遲滯漂移的減少亦可解釋。可以看到 Threshold voltage shift 的方向在 pMOSFET 是往負臨界電壓值 shift。原因為 pMOSFET 在 gate oxide 的 net positive mobile charged 所致。且偏壓愈大漂移愈大，如圖 3-10 所示。圖 3-11、圖 3-12 顯示有無氟摻雜的臨界電壓漂移的比較，可以發現地，有 fluorine 結合的樣本在不同的偏壓應力中，Threshold voltage shift 幾乎是小於 control sample。圖 3-13 也顯示與 interface state 相關的 subthreshold swing 亦顯示氟有效地降低界面狀態的數量，也可以看到在  $1E14$  的 interface state 降得非常地低，由於  $1E14$  的濃度大於  $5E13$ ，所以對於界面的修補效果更好這是與第二章的基本 I-V、C-V、mobility 電性相符合地。

圖 3-14 顯示  $\Delta S.S$  對偏壓時間的變化，得到公式如下 (3.7)：

$$\Delta S.S = \frac{[KT \times \ln(10) \times \Delta D_{it}]}{C_{ox}} \quad (3-3)$$

可以得到  $\Delta D_{it}$  (圖 3-15) 對偏壓時間的變化，如預期的一樣，有氟離子結合的樣本界面的狀態密度小於對照組，且從圖 3-16 可以發現高界電質的本體缺陷密度  $\Delta N_{tot}$  大於  $\Delta D_{it}$  兩個 order，這表示主要影響臨界電壓不穩定的是為本體缺陷

密度 $\Delta N_{tot}$  而不是 $\Delta D_{it}$ 。

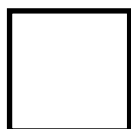


## 第四章

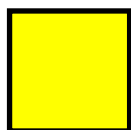
### 結論與未來工作

在本論文裡，fluorine 離子結合在  $\text{HfO}_2/\text{SiON}$  gate stack 的結果發現，第一點，在基本電性的量測可看到有 fluorine 離子結合的樣本，它的臨界電壓值和最大轉導值都獲明顯的改善，在 gate leakage 方面，也沒因為 fluorine 離子的結合而造成退化，且因為有 fluorine 離子的結合使得  $\text{HfO}_2/\text{SiON}$  界面改善讓驅動電流上升和 mobility 上升， $\text{HfO}_2/\text{SiON}$  在反轉和累積時漏電的機制由載子分離法分析出來， $\text{HfO}_2$  的漏電機制也符合 Frenkel-pooler 傳輸機制。第二點，CVS 對於元件可靠度方面，fluorine 離子的結合樣本在  $V_t$  shift 的範圍也明顯小於 control sample，原因為 fluorine 離子的結合使得  $\text{HfO}_2/\text{SiON}$  介面的 Si-H bonds 被 fluorine 離子取代形成 Si-F bonds。第三點，在氟濃度對元件的影響方面，可以發現高濃度的氟摻雜對元件基本特性有明顯的改善，尤其在  $1\text{E}14$  方面，原因為高濃度的氟離子對於 SiON/Silicon 界面的修補效果最好，因為氟離子的結合會先到 SiON/Silicon 介面，之後才會藉由 RTA 擴散到  $\text{HfO}_2/\text{SiON}$  oxide 的裡面，但由 C-V 遲滯範圍得知  $5\text{E}12, 5\text{E}13, 1\text{E}14$  對於 oxide trap danling bond 修補的效果是差不多地，而又可從圖 3-16 得知 oxide traps 遠大於 interface traps，所以氟對於介面的改善仍不足以影響整個  $V_t$  shift，所以在  $5\text{E}13, 1\text{E}14$  在可靠度量測的結果是差不多地。最後，以本論文的實驗結果而論是  $1\text{E}14$  的氟濃度摻雜是最好改善 Hf-based dielectric 缺陷的製程條件。

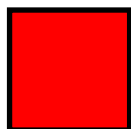
Years of Production	2005	2006	2007	2008	2009	2010	2011
EOT (Physical ) for High –performance(nm)	1.2	1.1	1.1	0.9	7.5	6.5	5.5
Electrical thickness adjustment for gate depletion and inversion layer effects (nm)	0.73	0.74	0.74	0.31	0.29	0.28	0.27
Nominal gate leakage current density limit (at 25°C ) (A/cm <sup>2</sup> )	188	536	184	121	104	93	82



Manufacturable solutions, and are being optimized.



Manufacturable solutions are known.



Manufacturable solutions are not known.



表 1-1 2007 International Technology Roadmap for Semiconductors [ 1.1 ] 。

Dielectric	Dielectric constant	Bandgap (eV)	Conduction band offset (eV)	Leakage reduction	Thermal stability on Si substrate
SiO <sub>2</sub>	3.9	9	3.5	N/A	>1050°C
Si <sub>3</sub> N <sub>4</sub>	7	5.3	2.4		>1050°C
Al <sub>2</sub> O <sub>3</sub>	~10	8.8	2.8	10 <sup>2</sup> -10 <sup>3</sup> x	~1000°C
Ta <sub>2</sub> O <sub>5</sub>	25	4.4	0.36		Not stable
La <sub>2</sub> O <sub>3</sub>	~21	6*	2.3		
Gd <sub>2</sub> O <sub>3</sub>	~12				
Y <sub>2</sub> O <sub>3</sub>	~15	6	2.3	10 <sup>4</sup> -10 <sup>5</sup> x	<b>Silicate formation</b>
HfO <sub>2</sub>	~20	6	1.5	10 <sup>4</sup> -10 <sup>5</sup> x	~950°C
ZrO <sub>2</sub>	~23	5.8	1.4	10 <sup>4</sup> -10 <sup>5</sup> x	~900°C
SrTiO <sub>3</sub>		3.3	~0.1		

表 1-2 各種不同高介電材料的材料特性與電性總結 [1.2]。



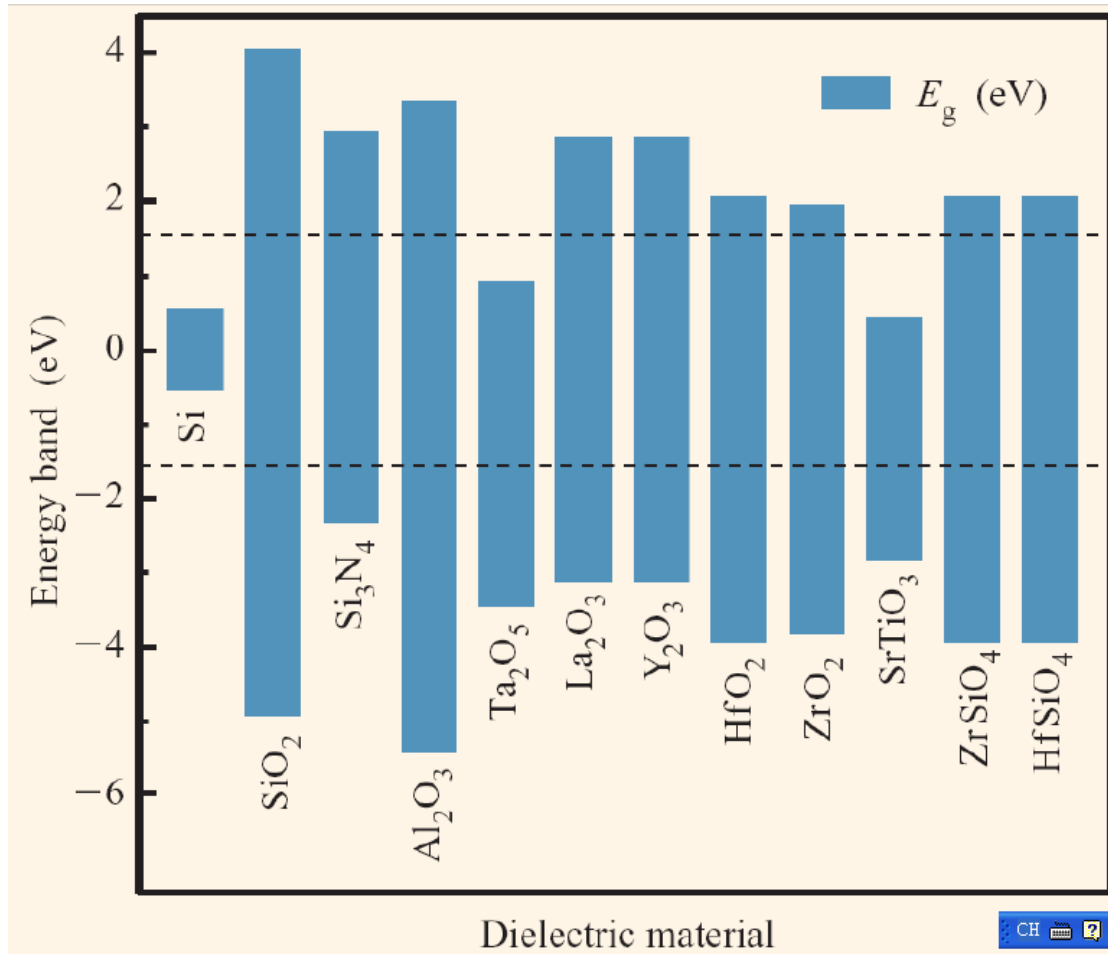


圖 1-1 各種不同以矽為基底的高介電材料的能隙和能隙補償〔1.3〕。

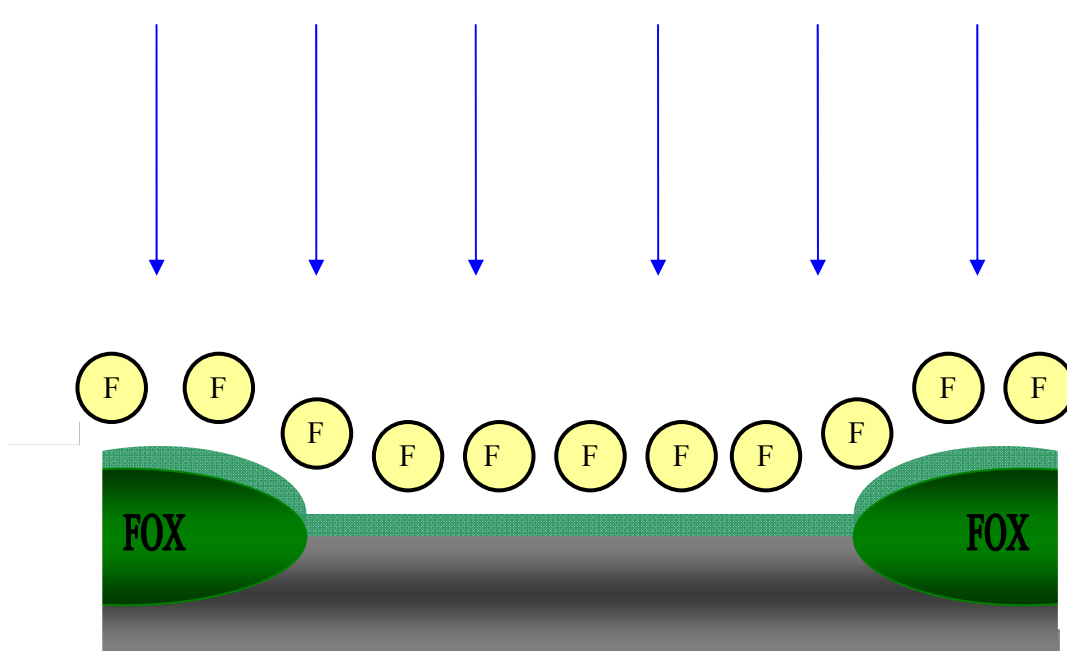


圖 2-1 通道佈植節後才結合氟離子。

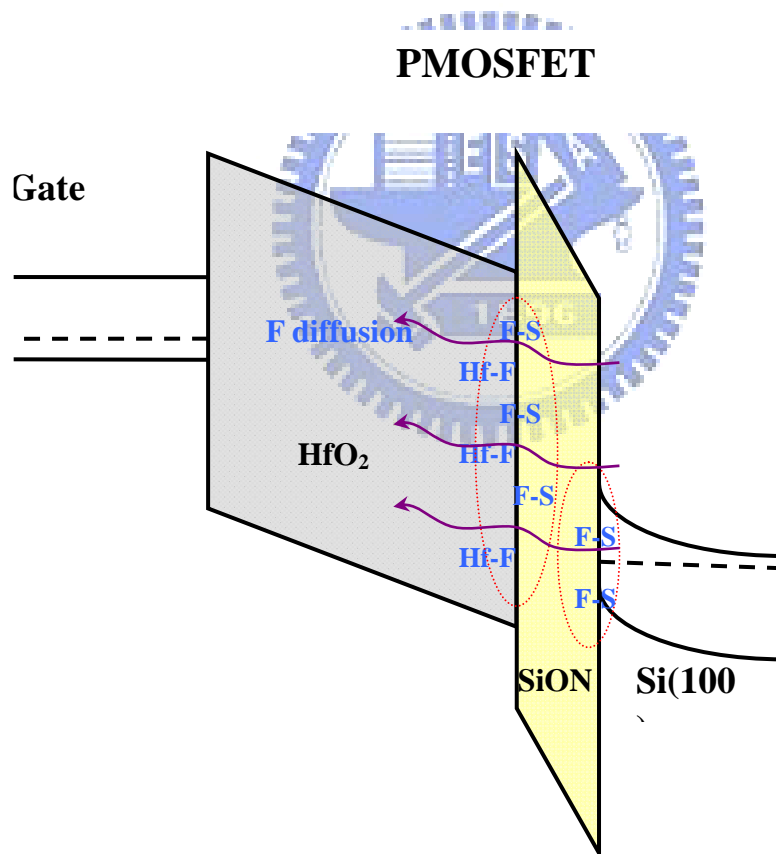


圖 2-2 氟藉由熱退火後進入  $\text{HfO}_2/\text{SiON}$  介電質內，且在介面處形成比  
 (矽-氫)鍵結還強的(矽-氟)鍵結。



The process flow of pMOSFETs with HfO<sub>2</sub>/SiON gate stack

- Standard LOCOS process
- Fluorine implantation(Dose: 5E12,5E13,1E14 Energy:10KeV)  
For pMOSFETs
- RCA clean and HF dip
- 800°C in N<sub>2</sub>O ambient by oxide RTA ~SiON 1nm
- MOCVD of 30Å HfO<sub>2</sub>
- PDA 700°C 25sec in N<sub>2</sub> ambient
- poly-Si deposition 200nm and patterning
- Spacer , S/D extension , S/D implant
- Dopant activation : 950°C , 20s
- Passivation layer : TEOS 550nm
- Metallization : Al-Si-Cu 900nm
- Forming gas sintering : 400°C , 30min

## Device Structure

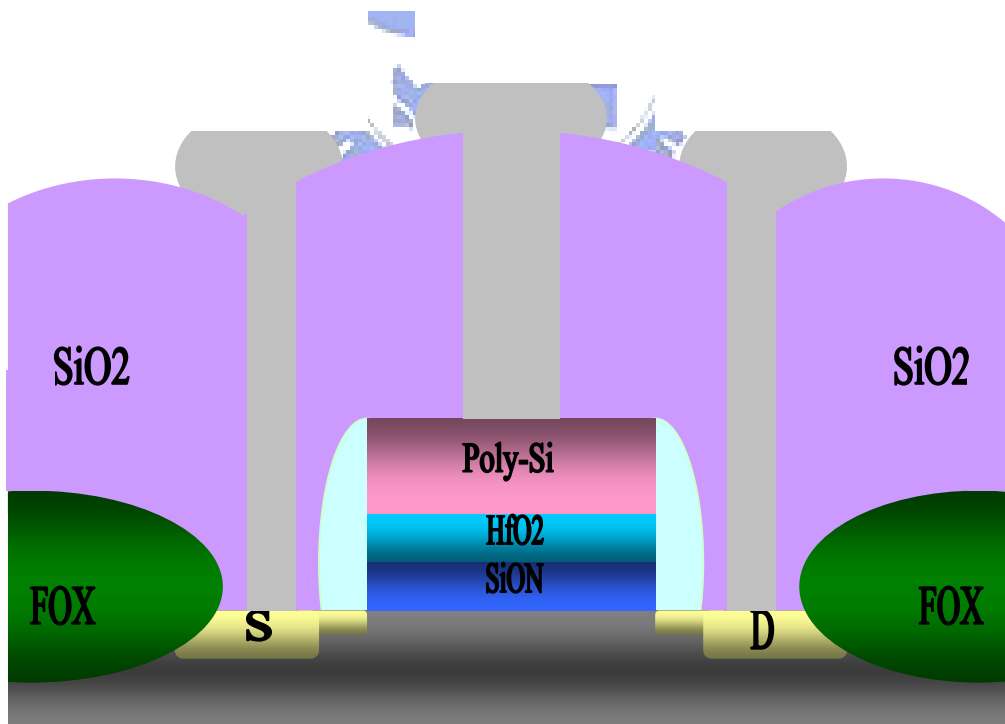


圖 2-3 二氧化鈣堆疊式閘極 P 型金氧半場效電晶體的截面圖。

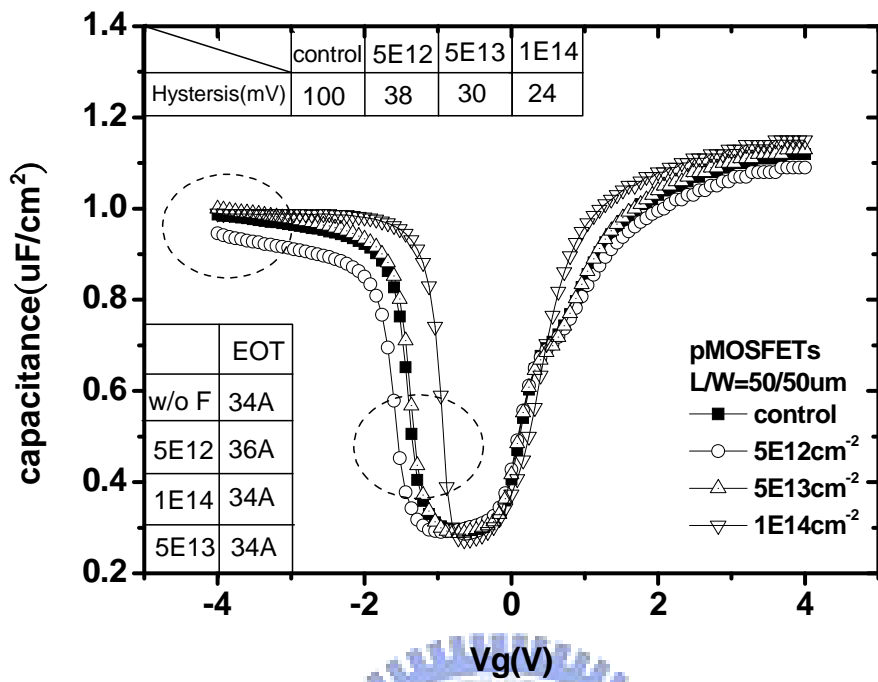


圖 2-4 有無氟摻雜 pMOSFETs 的 C-V 圖。

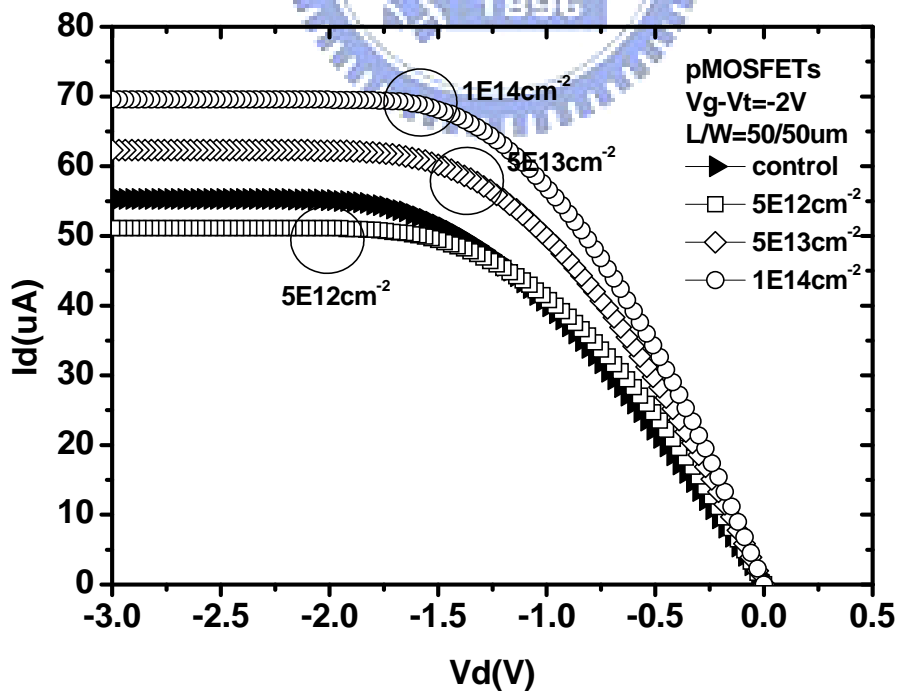


圖 2-5 施加偏壓應力前的 P 型金氧半場效電晶體 Id-Vd fit 曲線。

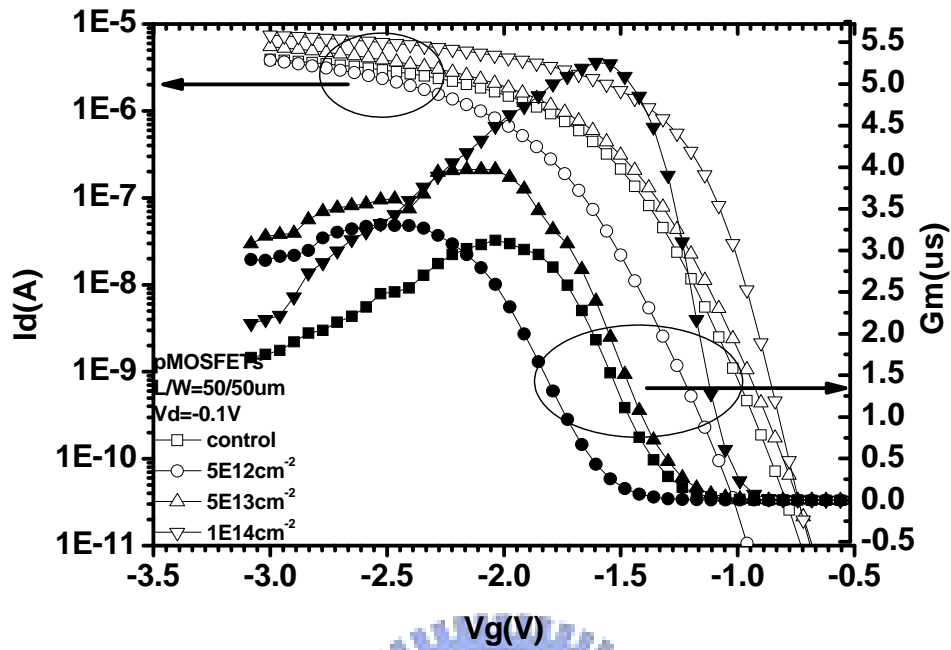


圖 2-6 施加偏壓應力前的 P 型金氧半場效電晶體 Id-Vg 和 Gm-Vg 曲線。



	control	5E12	5E13	1E14
Vt(V)	-1.51	-1.81	-1.49	-1.09
Gmmax(us)	3.12	3.31	3.76	5.22
Idsat(uA)	55.3	51.1	62.3	69.6

表 2-1 Vth/Gmmax/Idsat 在 pMOSFETs 的總結。

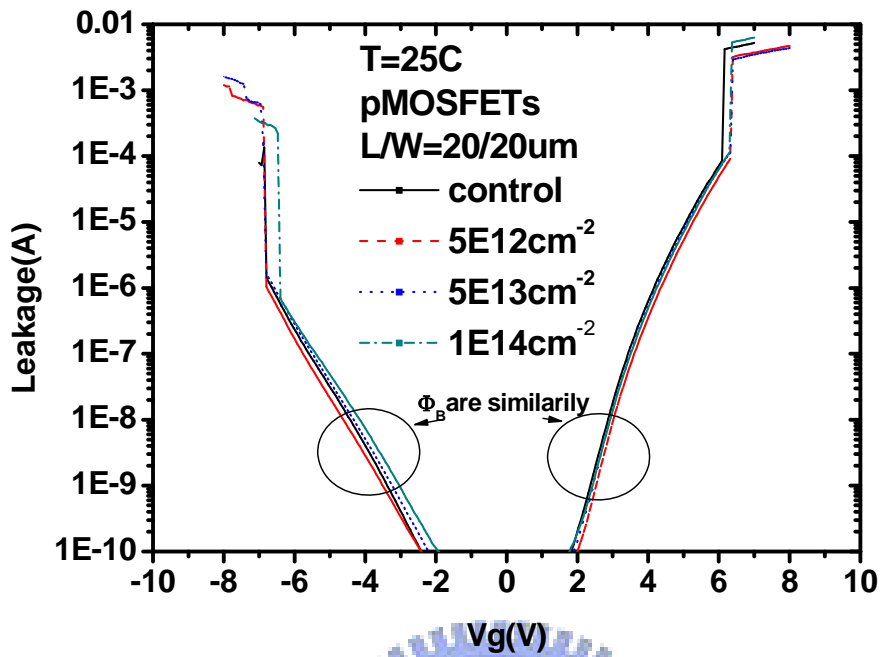


圖 2-7 P 型金氧半場效電晶體閘極漏電流分布。

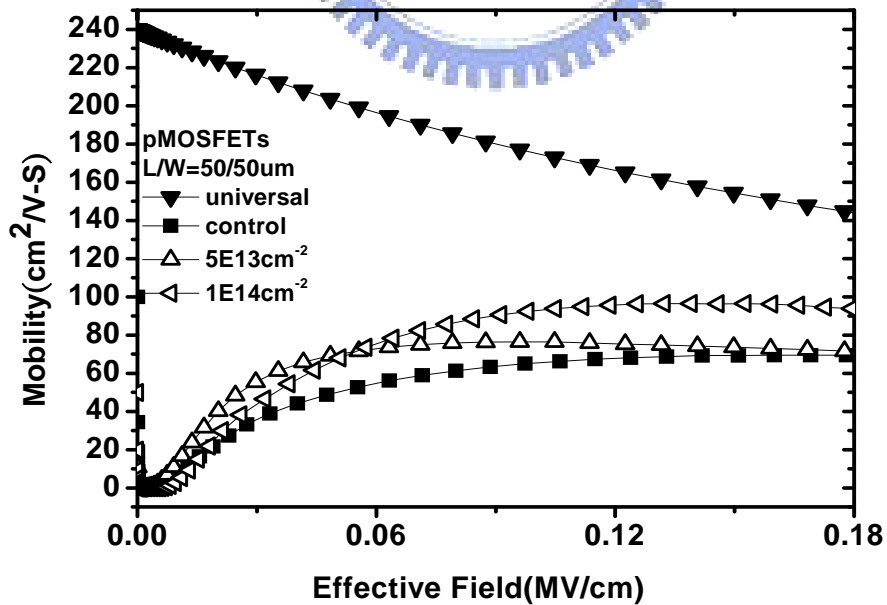
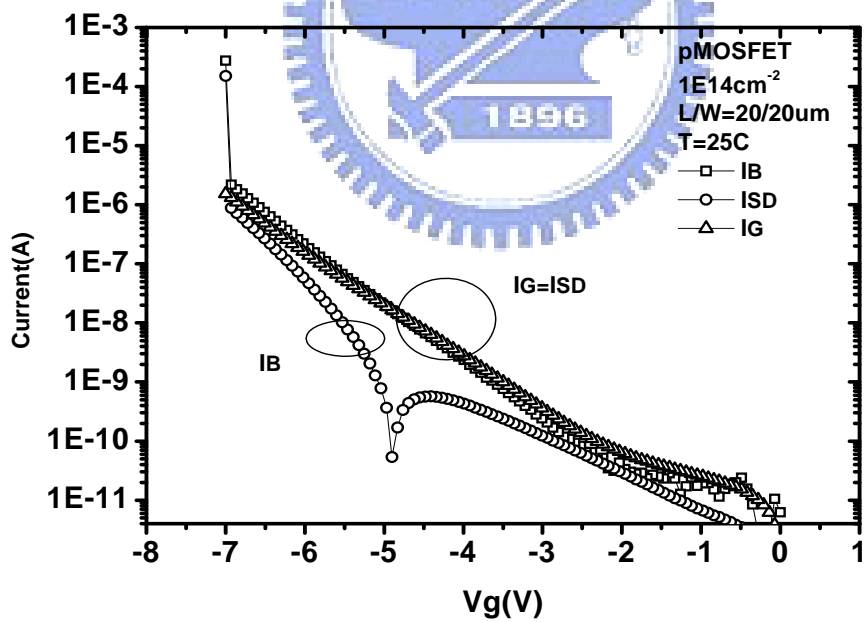
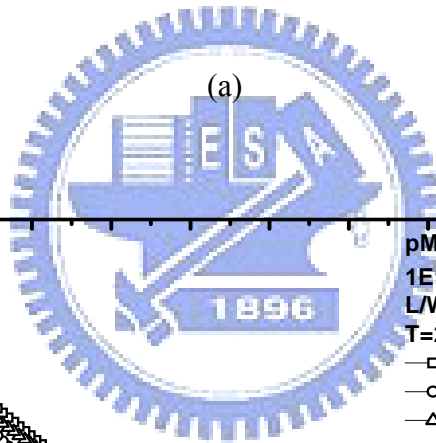
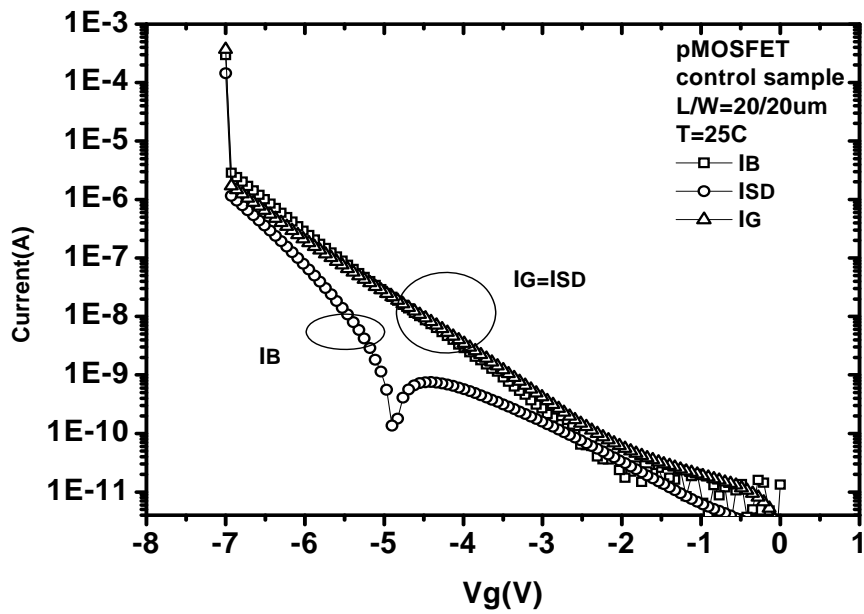
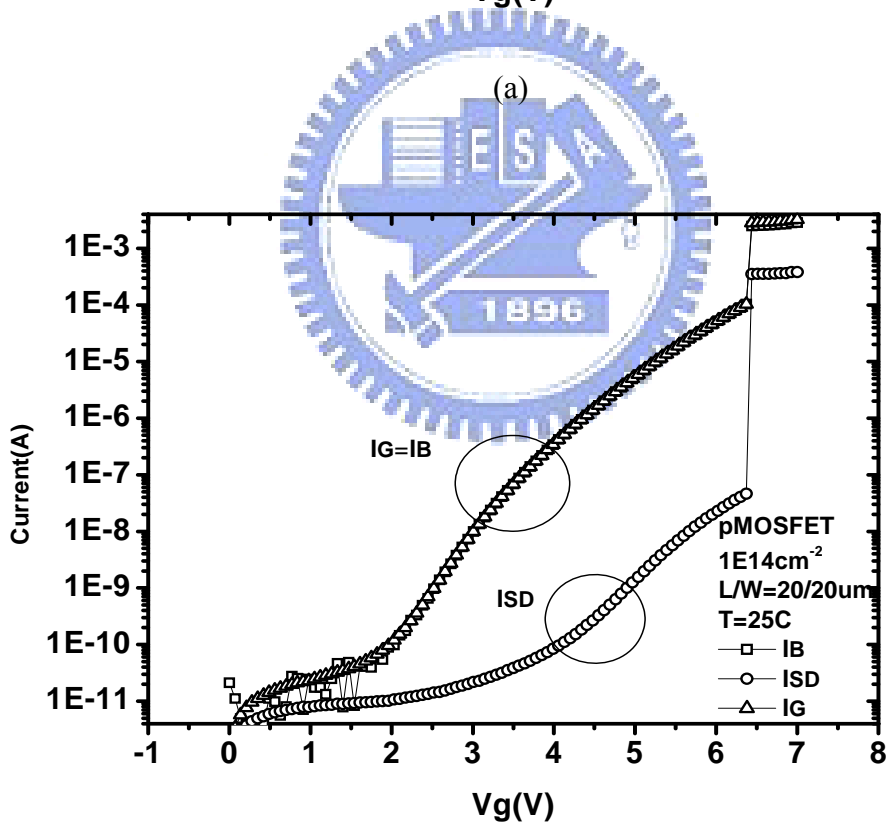
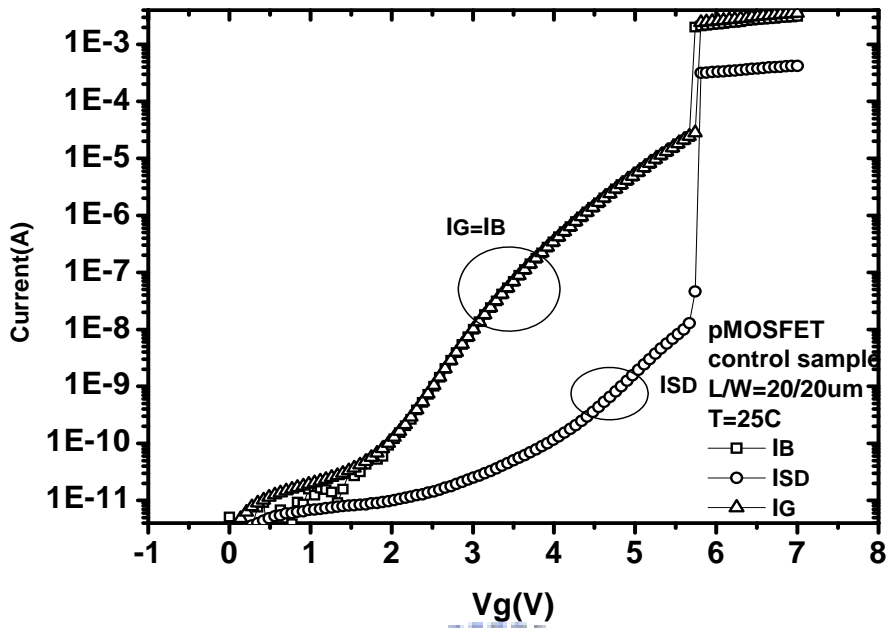


圖 2-8 P 型金氧半場效電晶體遷移率對有效電場的分佈。



(b)

圖 2-9 在反轉模式下的電流載子分佈(a)control sample, 和  
(b)with F sample。



(b)

圖 2-10 在累積模式下的電流載子分佈(a)control sample, 和 (b)with F sample。

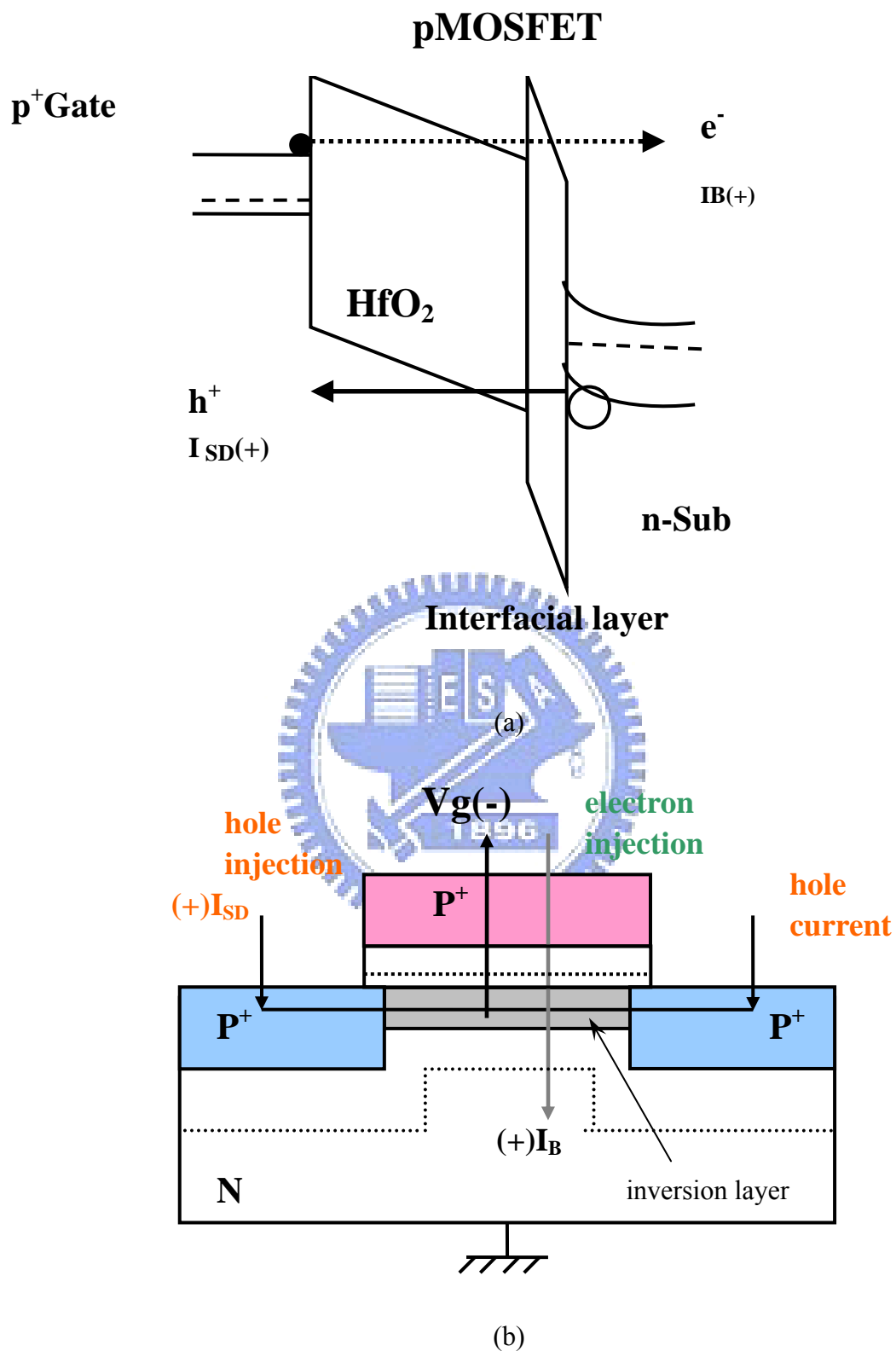


圖 2-11 二氧化鈣堆疊式閘極 P 型金氧半場效電晶體在反轉模式下

(a) 能帶圖，(b) 載子分離法的概略圖。

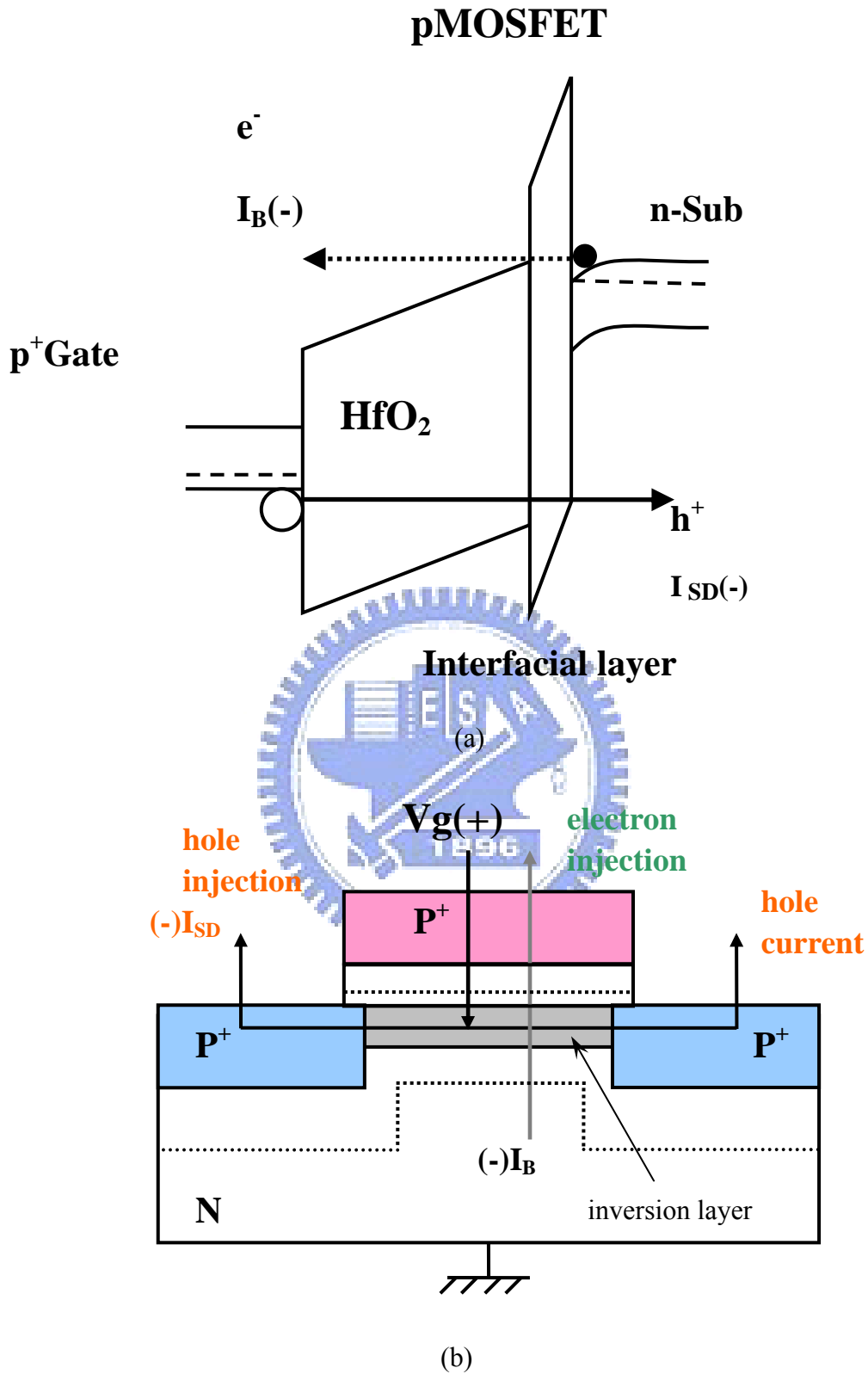
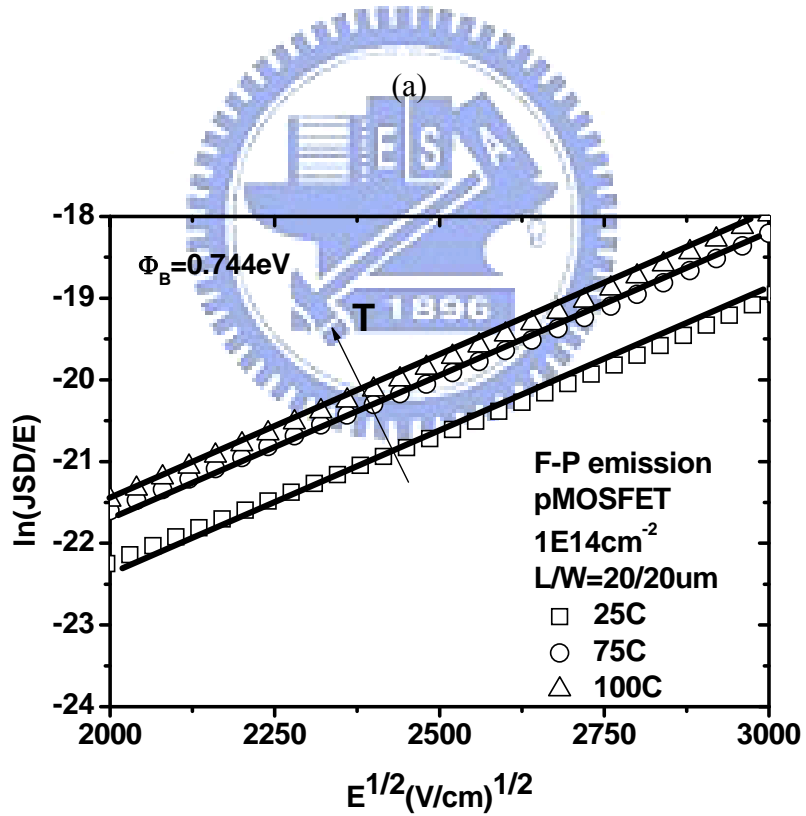
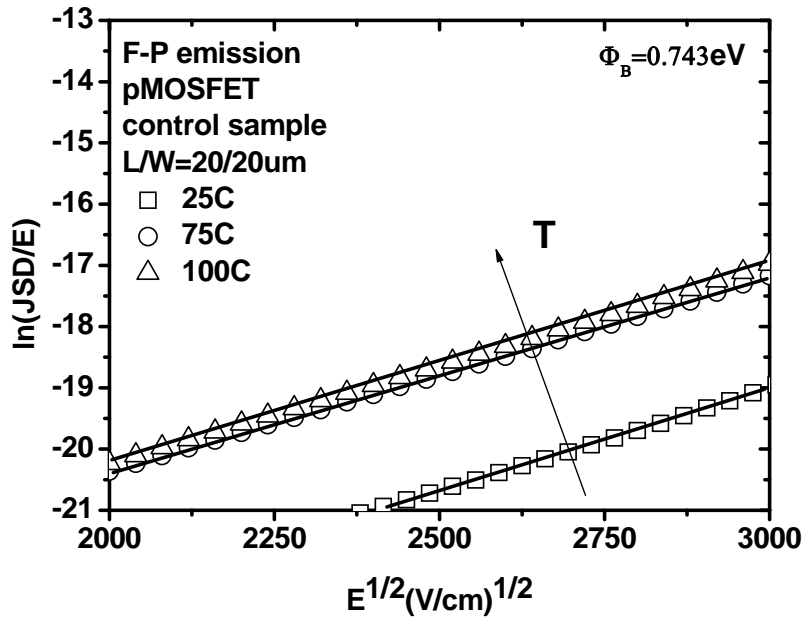


圖 2-12 二氧化鈦堆疊式閘極 P 型金氧半場效電晶體在累積模式下

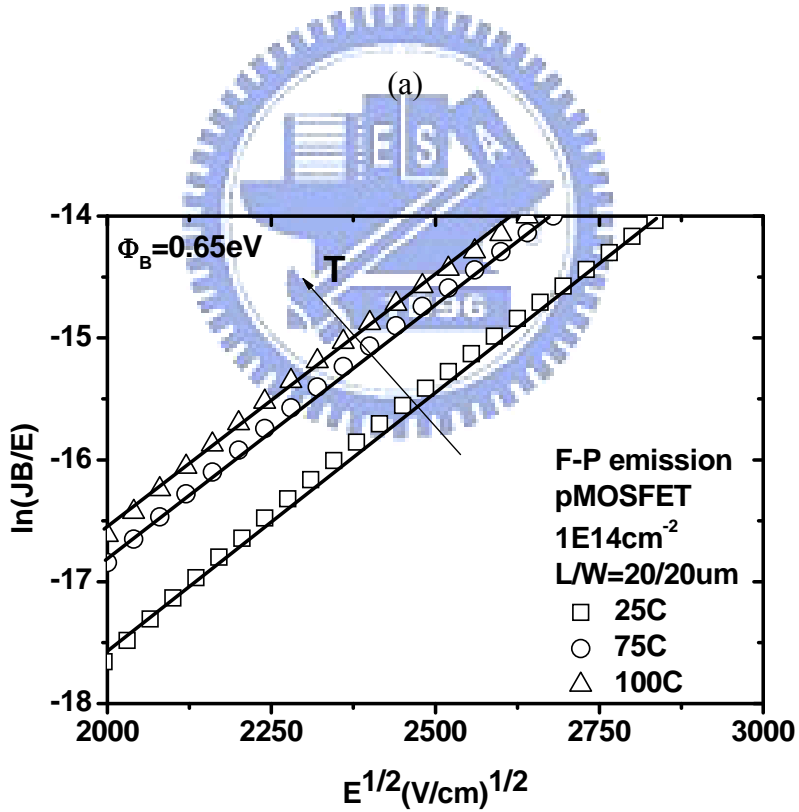
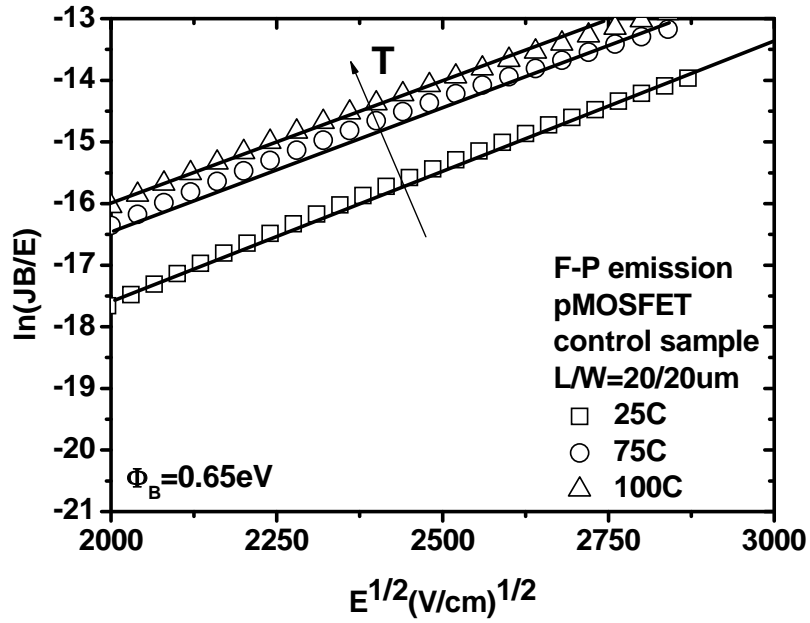
(a) 能帶圖，(b) 載子分離法的概略圖。





(b)

圖 2-13 符合 F-P emission 傳導機制在反轉模式下的源極/洩極漏電流(a) without fluorine sample (b) with fluorine sample。



(b)

圖 2-14 符合 F-P emission 傳導機制在反轉模式下的基板漏電流(a)

without fluorine sample (b) with fluorine sample。

# PMOSFET

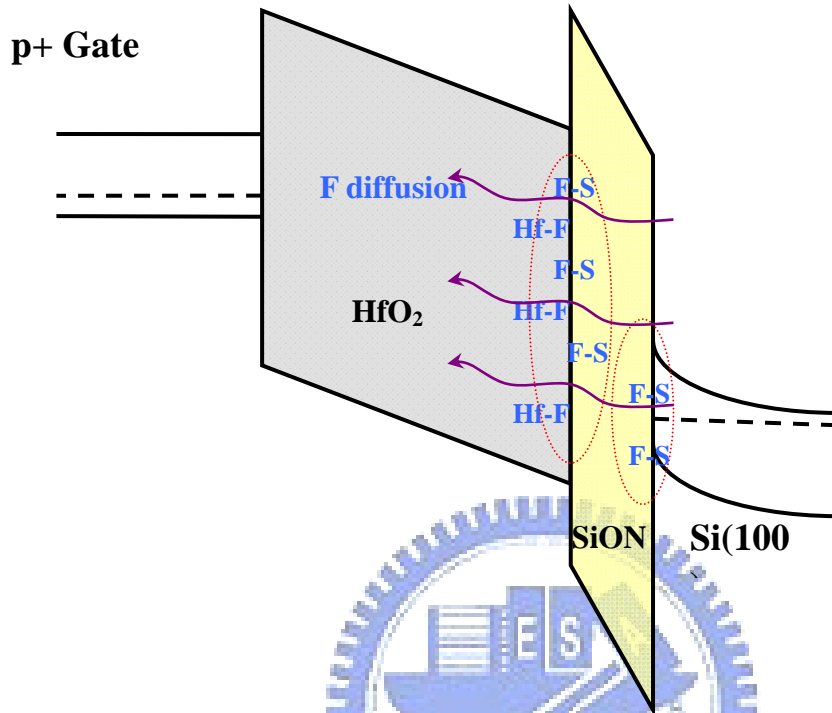
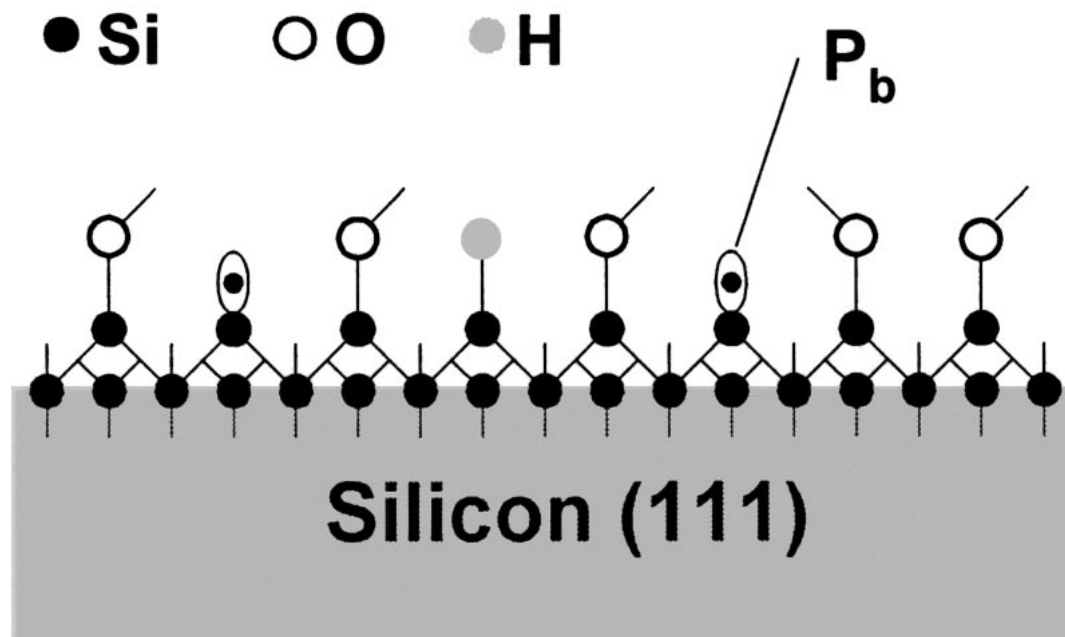
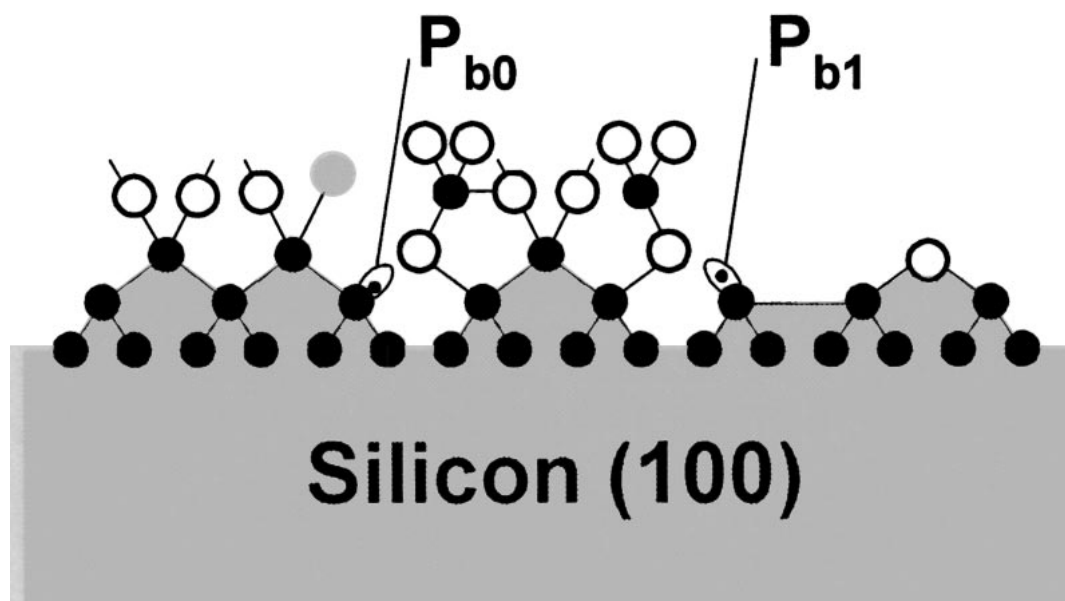


圖 3-1 氟藉由熱退火後進入  $\text{HfO}_2/\text{SiON}$  介電質內，且在介面處形成比  
(矽-氫)鍵結還強的(矽-氟)鍵結。



(a)



(b)

圖 3-2 結構圖在：(a)  $[111]$  晶面，和(b)  $[100]$  晶面 [3.4]。

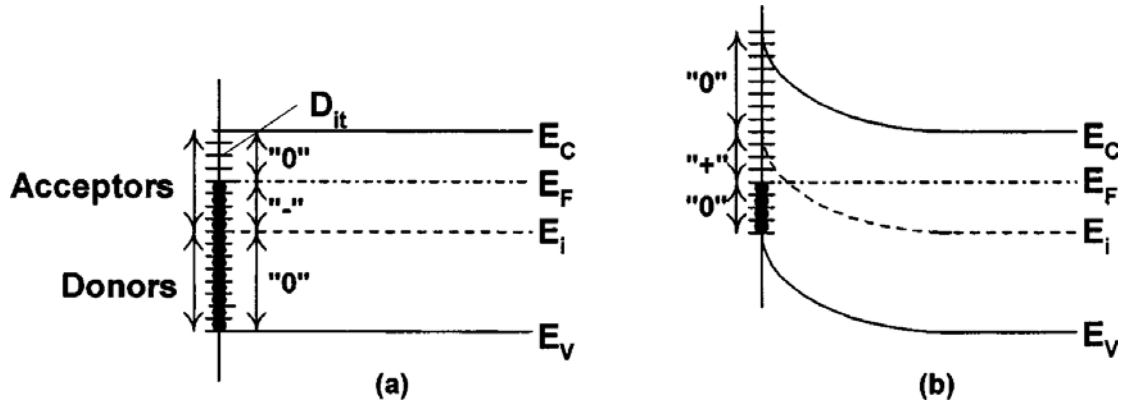


圖3-3顯示介面電荷狀態得P通道MOS元件的能帶圖(a)在平帶模式下

介面狀態為負電荷(b)在反轉模式下介面狀態為正電荷 [ 3. 4 ] 。

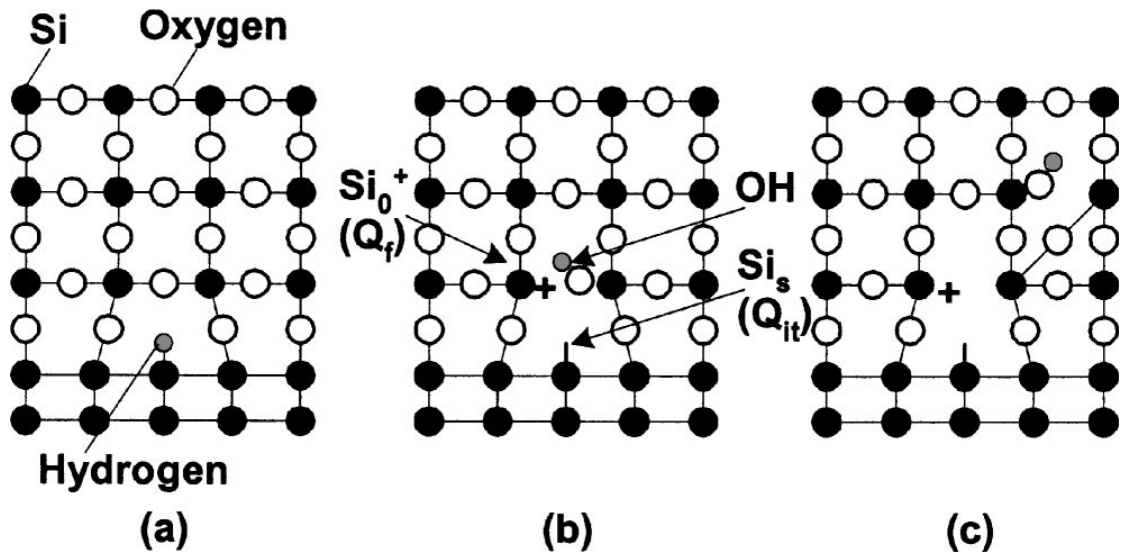


圖3-4 Si - SiO<sub>2</sub>介面的二維結構圖(a)the SiH defect, (b)氫原子經

過偏壓應力後形成interface trap, fixed oxide chargey,

droxy group, 和(c)會移動地OH 分子擴散進入氧化層裡。

After Jeppson and Svensson [ 3. 5 ] 。

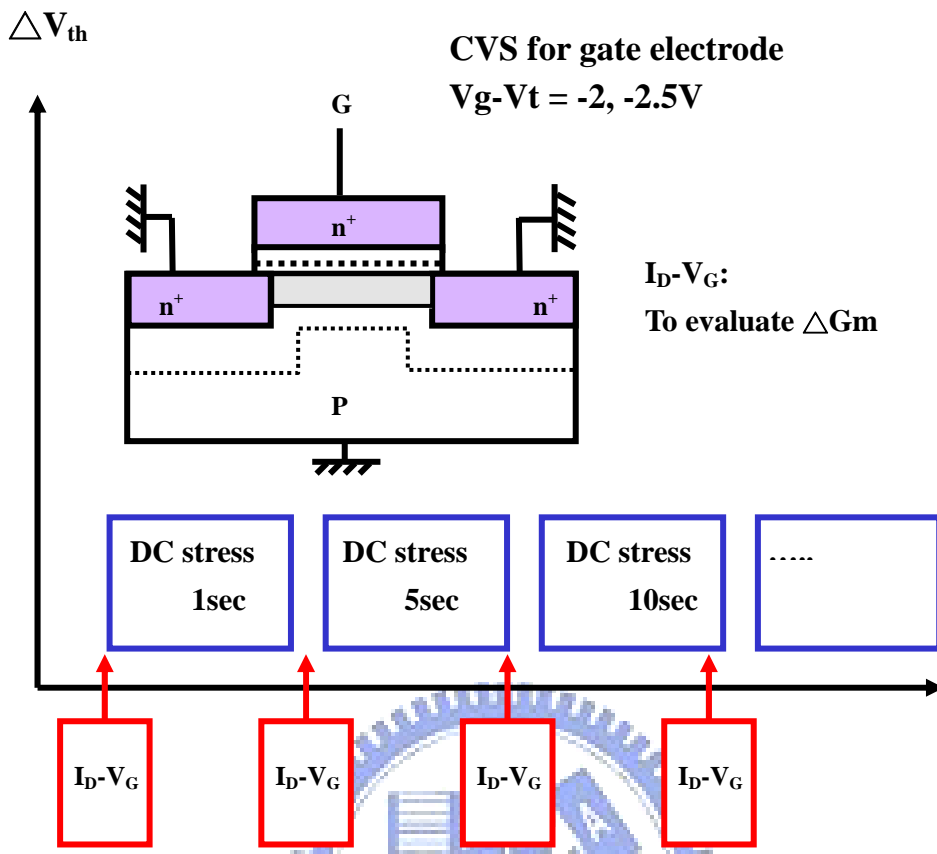
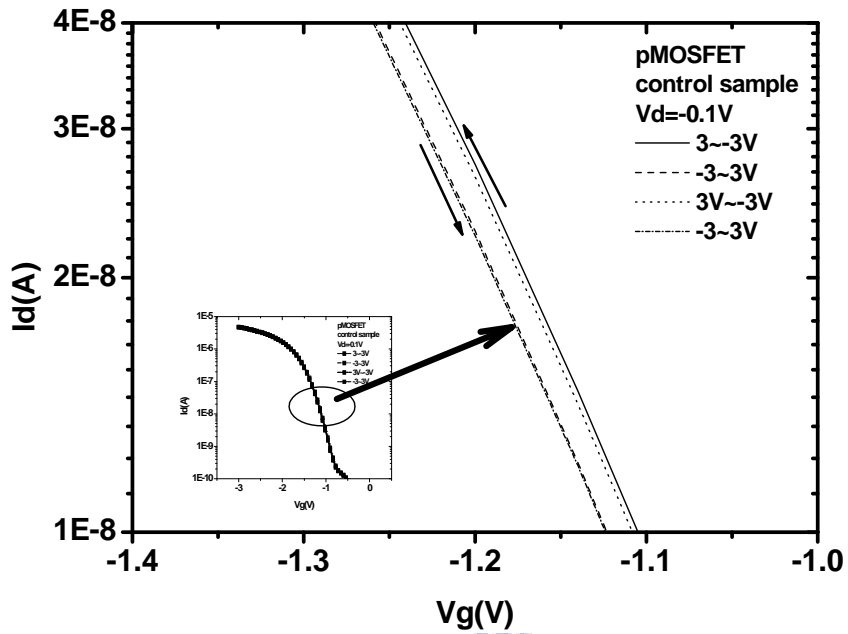
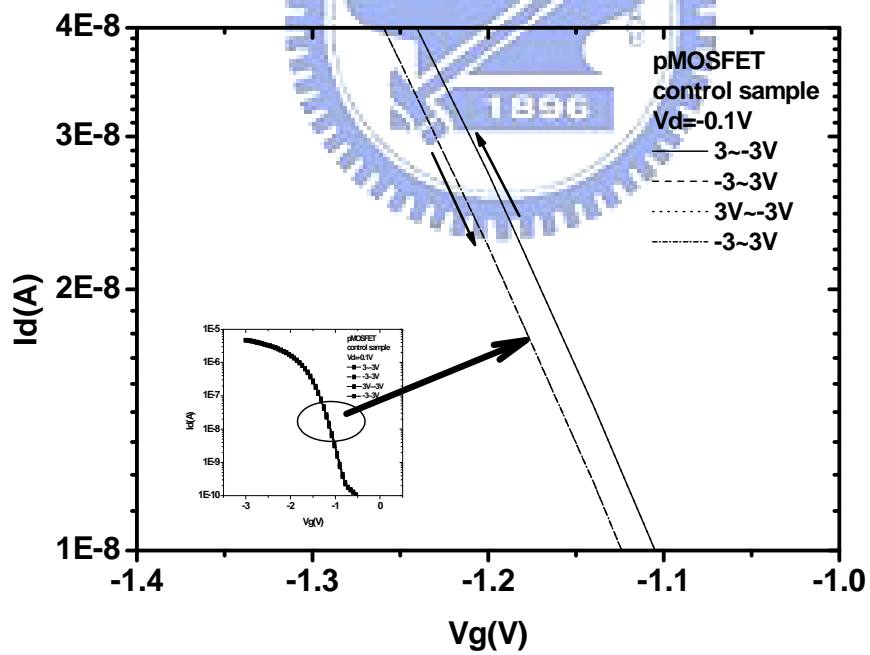


圖 3-5 CVS (constant voltage stress) 量測設定。



(a)



(b)

圖 3-6 PMOSFET 未摻雜氟的  $I_d$ - $V_g$  特性曲線

(a)w/o small stress, (b)small stress。

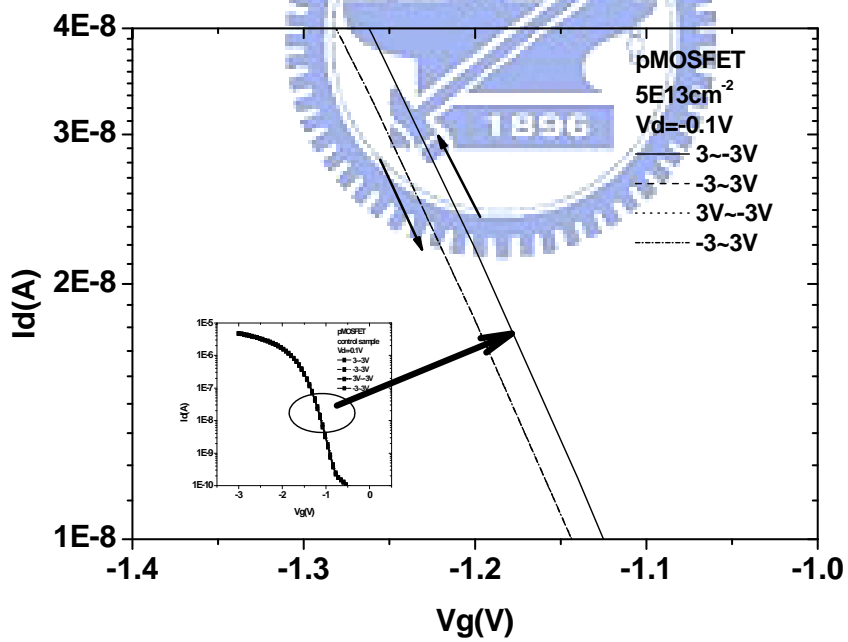
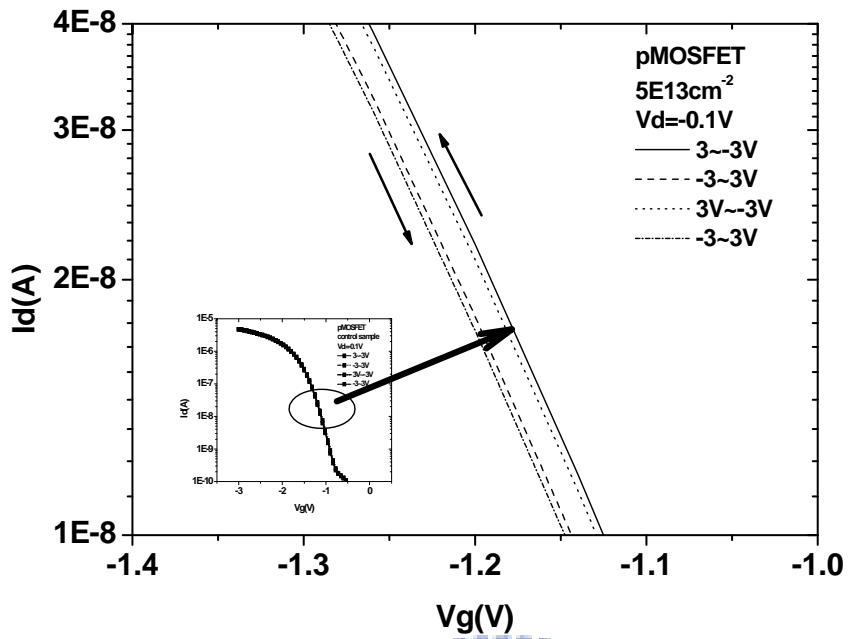


圖 3-7 PMOSFET 摻雜氟的  $I_d$ - $V_g$  特性曲線

(a)w/o small stress, (b)small stress。



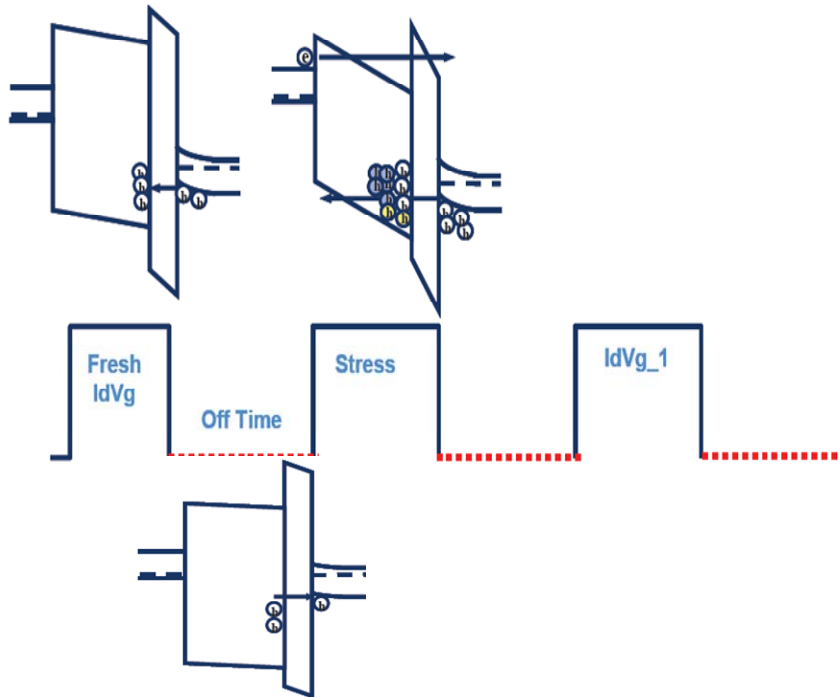
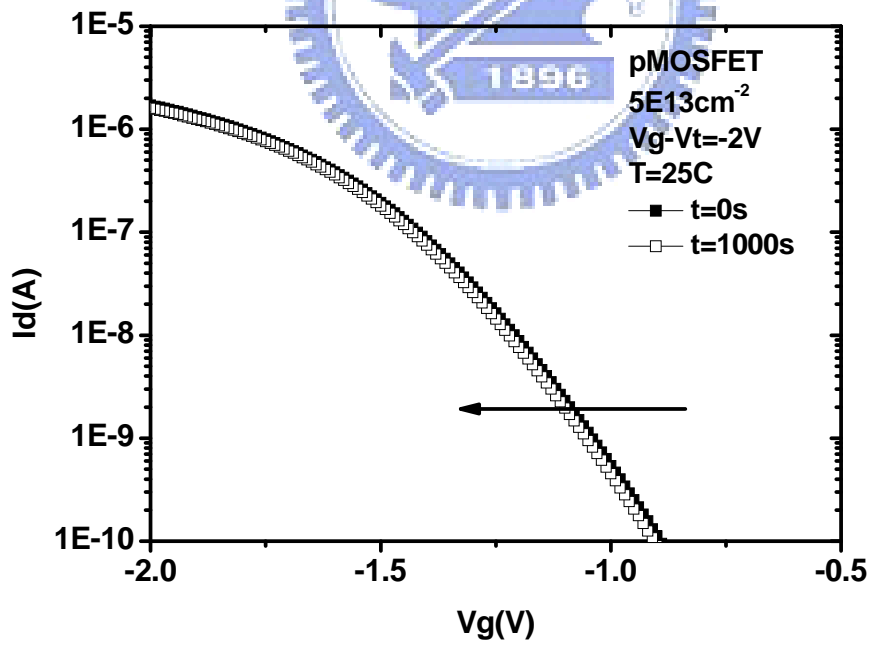
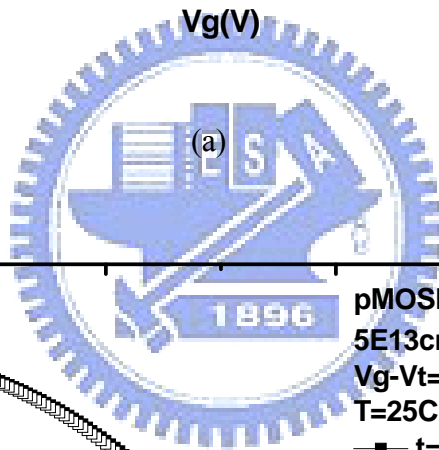
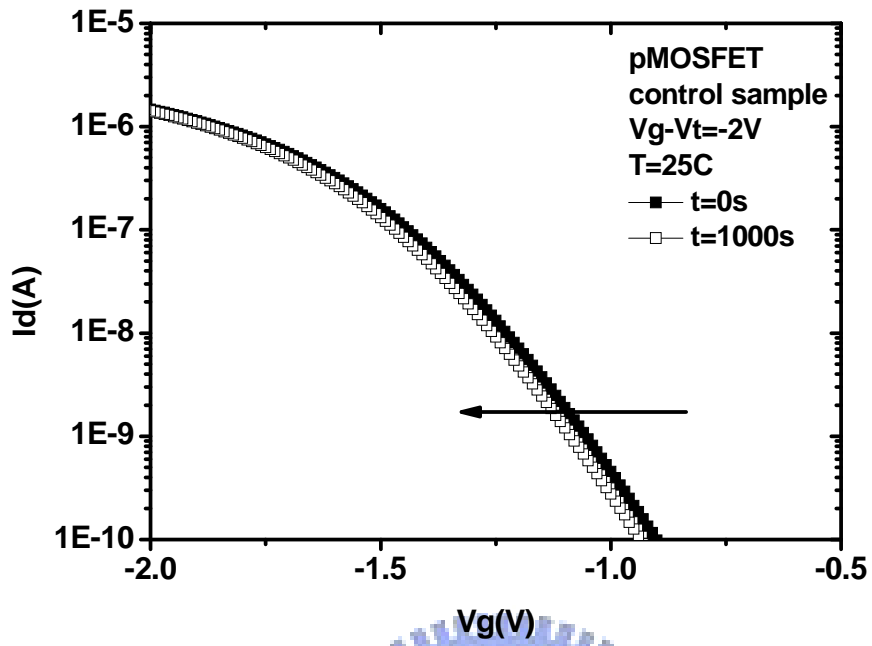
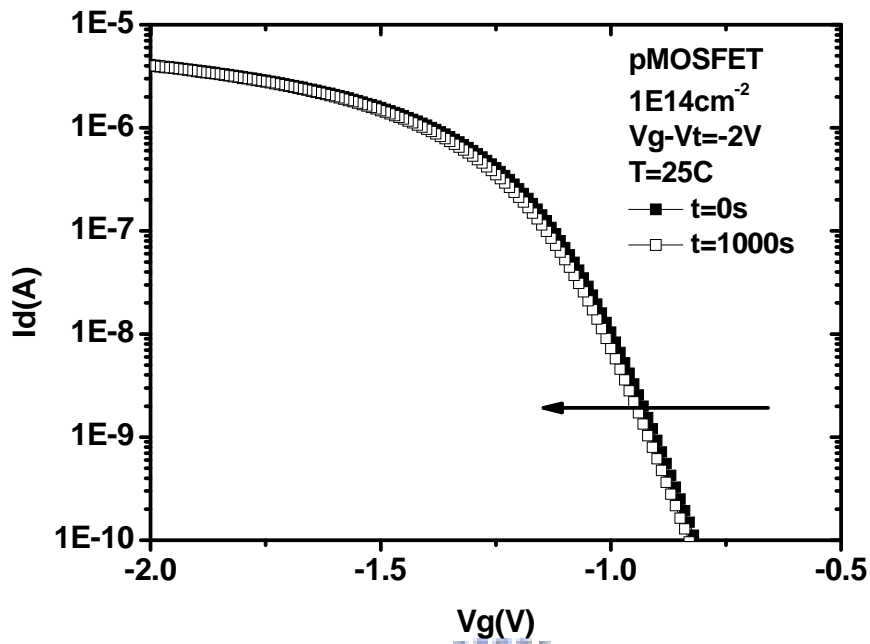


圖 3-8 Fast charging effects(FCE)在二氧化鉛堆疊式閘極 P 型金  
 氧半場效電晶體的能帶圖。





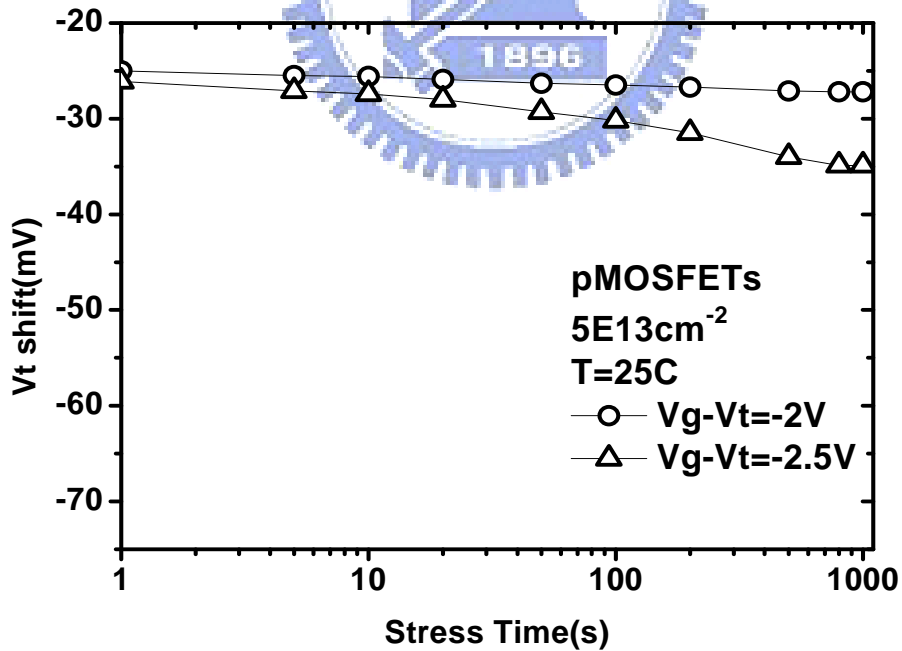
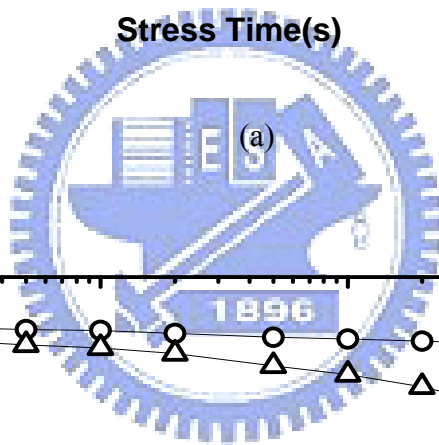
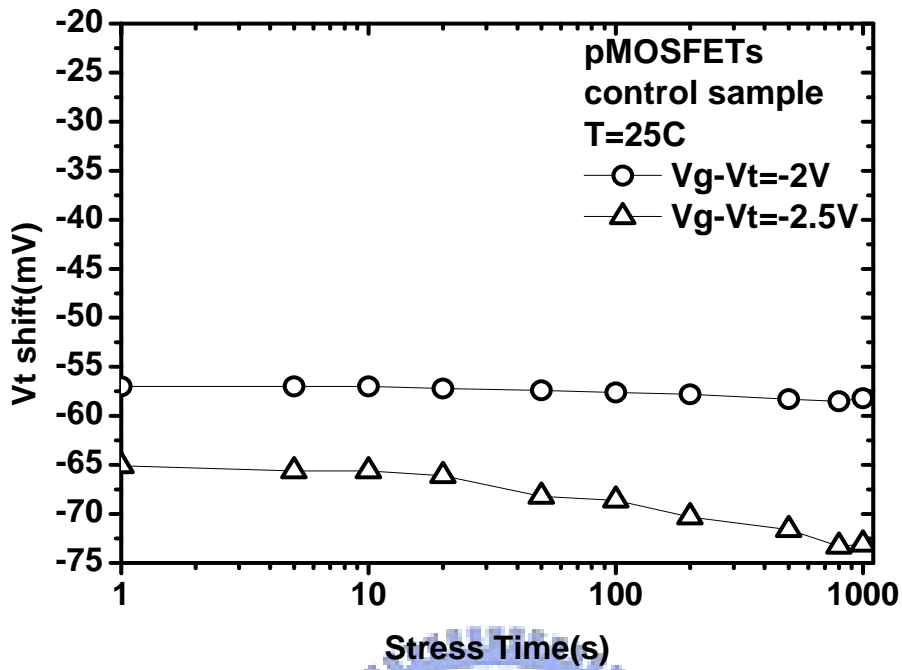
(b)



(c)

圖 3-9 PMOSFET 在  $25^\circ\text{C}$  之下施加偏壓應力 1000 秒前後的  $I_d$ - $V_g$  特性

曲線(a)control sample, and (b) $5E13$ (c) $1E14$  samples。



(b)

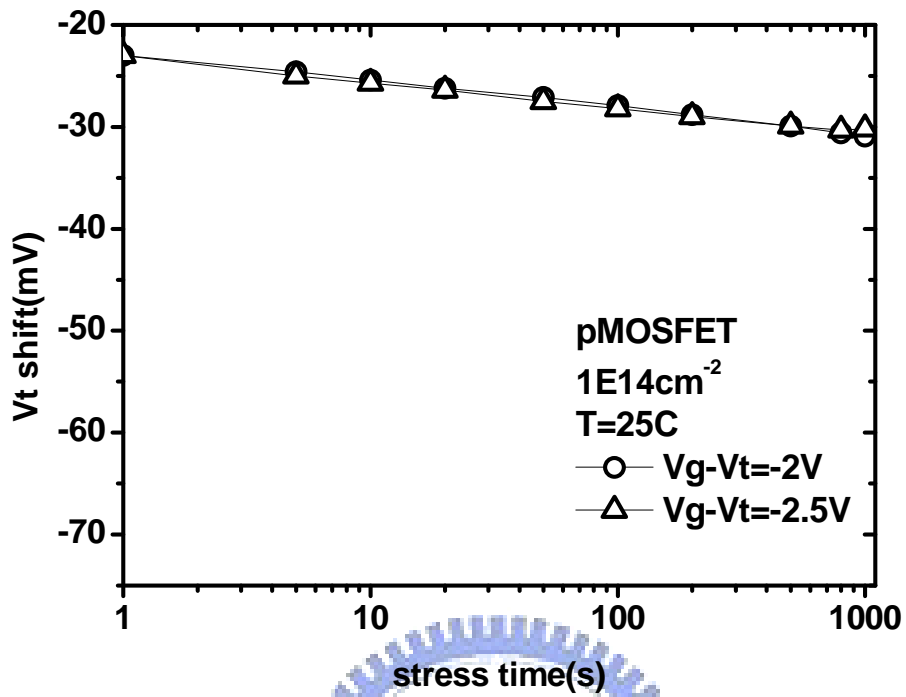


圖 3-10 在  $25^\circ\text{C}$  下隨著偏壓應力時間變化的臨界電壓的漂移量，  
 $V_g-V_t=-2\text{V}\sim-2.5\text{V}$ (a)control sample , and (b) $5E13\text{cm}^{-2}$ ,  
 (c) $1E14\text{cm}^{-2}$ 。

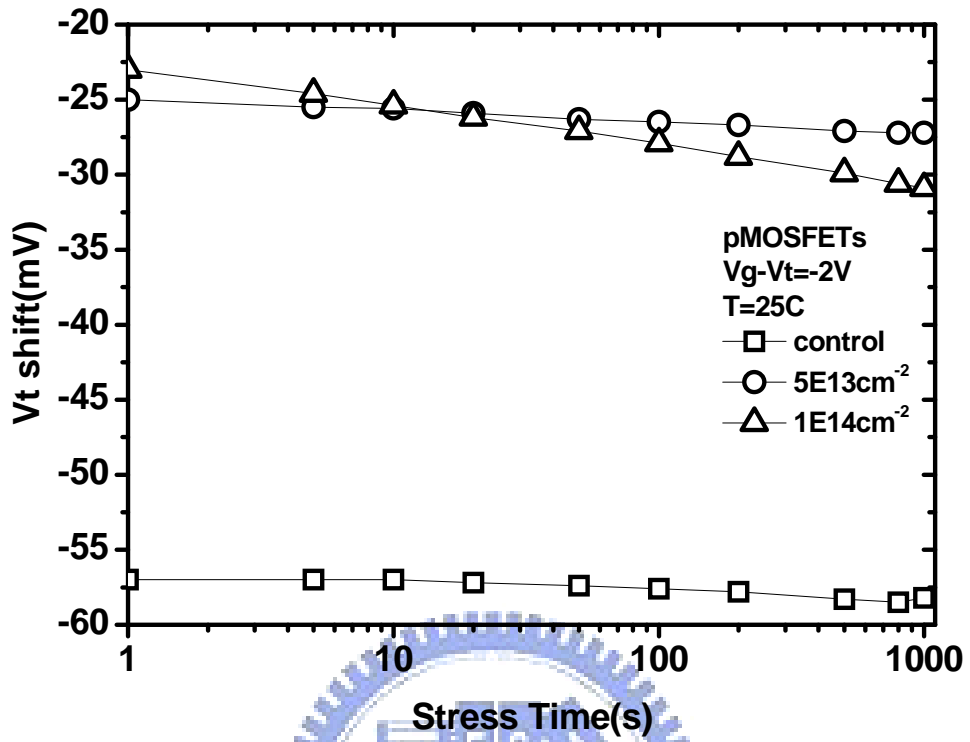


圖 3-11 在  $25^{\circ}C$  下隨著偏壓應力時間變化的臨界電壓的漂移量  
 ,  $V_g - V_t = -2V$  在 control sample 和 fluorine sample 。

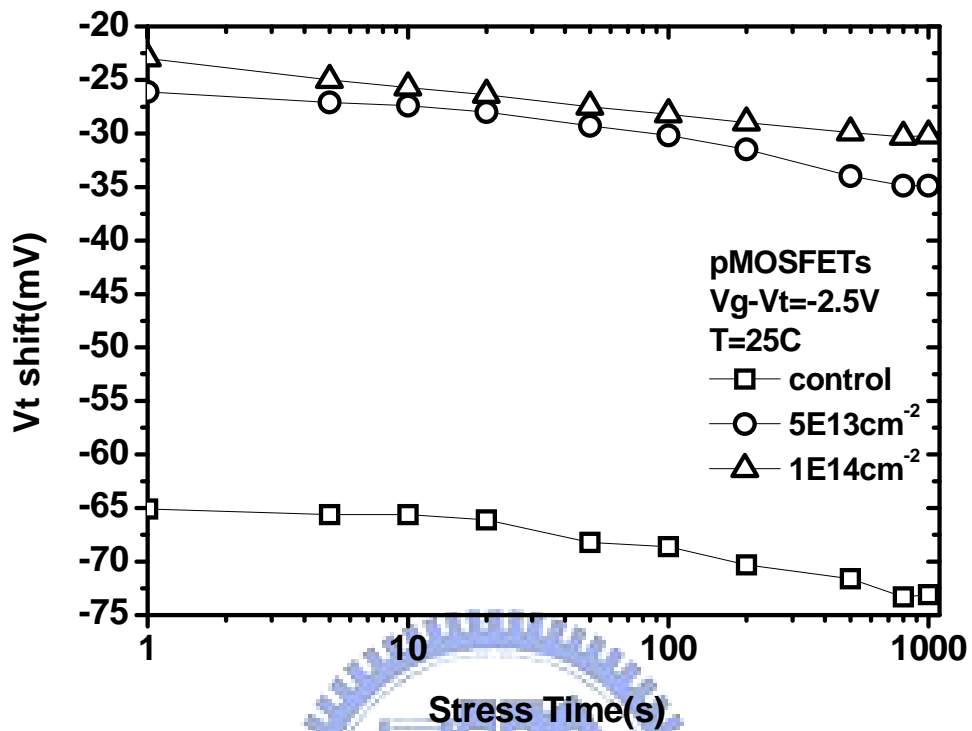


圖 3-12 在  $25^\circ C$  下隨著偏壓應力時間變化的臨界電壓的漂移量  
 $V_g - V_t = -2.5V$  在 control sample 和 fluorine sample。

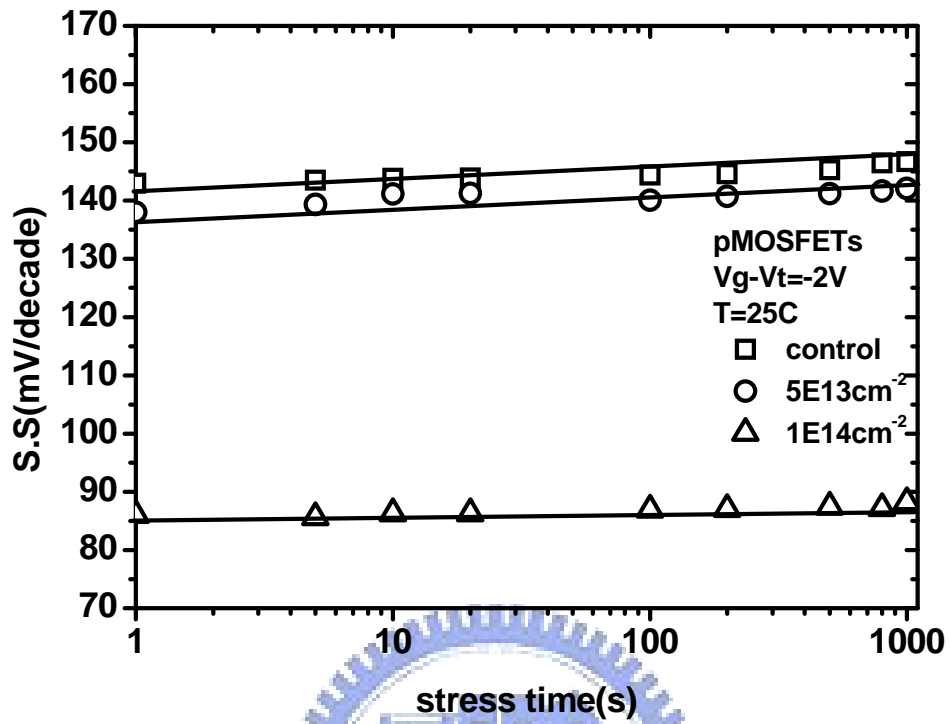


圖 3-13 在 25°C 下隨著偏壓應力時間變化的次臨界電壓擺幅的變化量， $V_g - V_t = -2V$  在 control sample 和 fluorine sample。



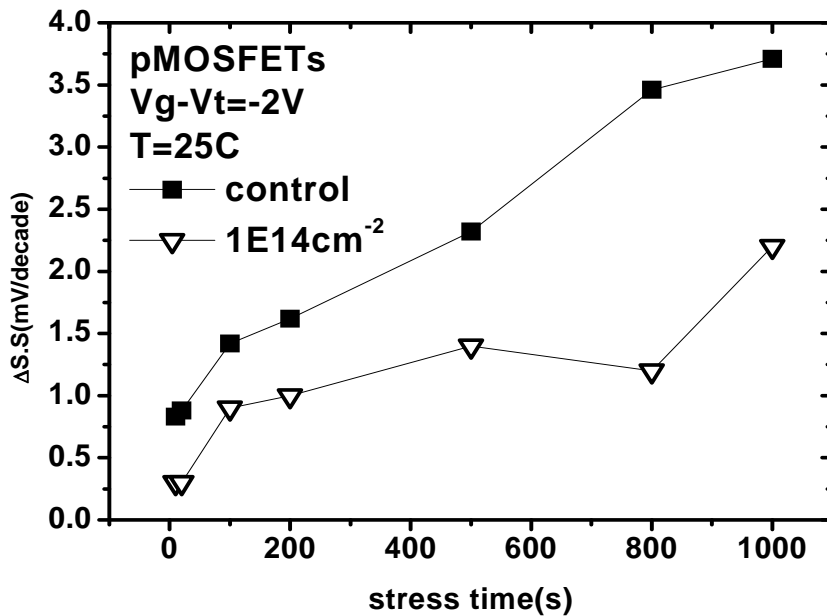


圖 3-14 在 25°C 下隨著偏壓應力時間變化的次臨界電壓擺幅的偏移量， $V_g - V_t = -2V$  在 control sample 和 fluorine sample。

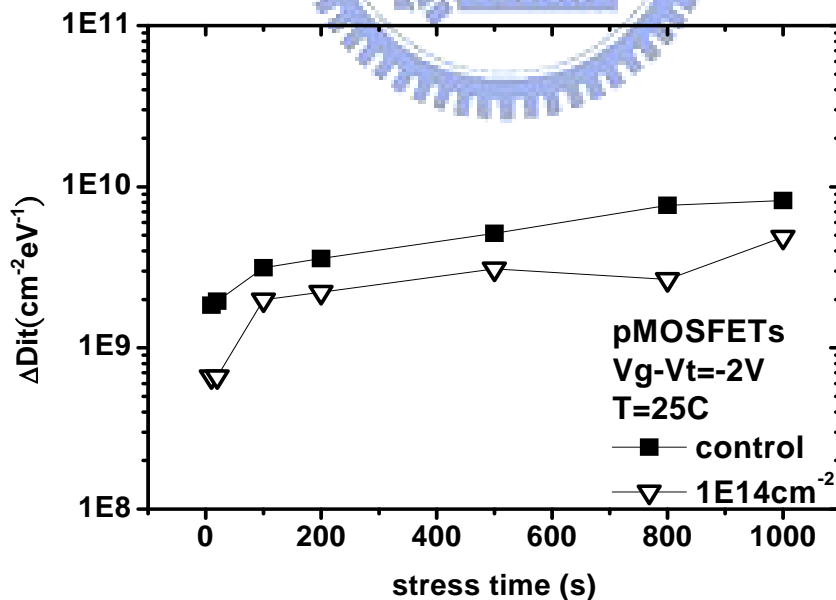


圖 3-15 在 25°C 下隨著偏壓應力時間變化的介面狀態密度的偏移量， $V_g - V_t = -2V$  在 control sample 和 fluorine sample。

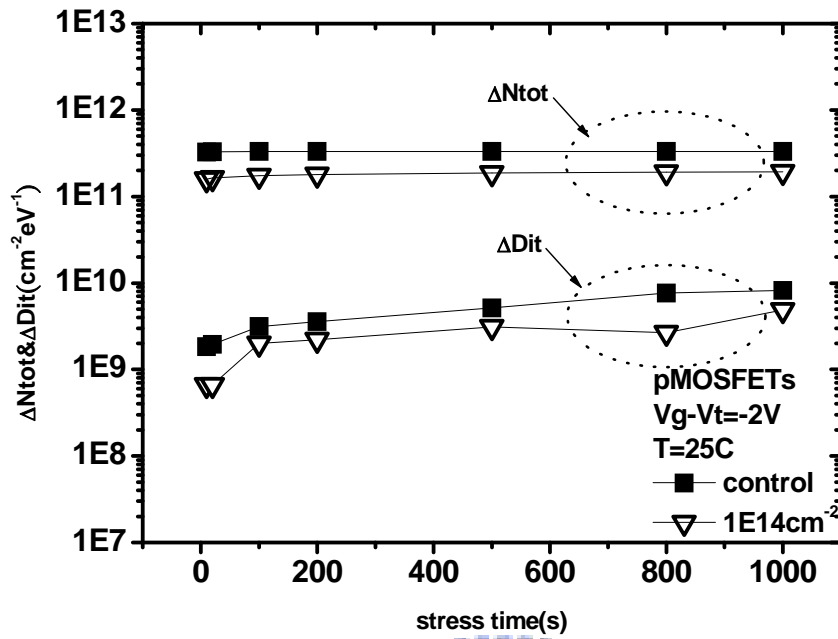
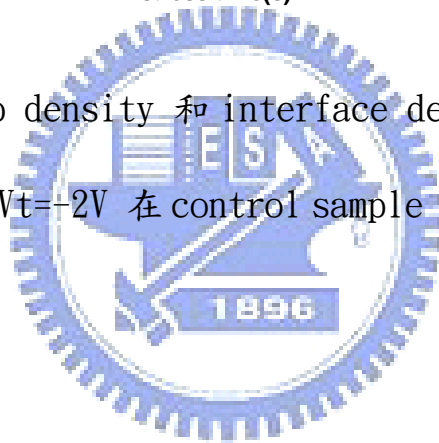


圖 3-16 Total trap density 和 interface density 隨著時間變化的函數,  $V_g - V_t = -2V$  在 control sample 和 fluorine sample。



## 參考文獻

- [ 1.1 ] “International technology roadmap for semiconductors: process integration devices and structures,” ITRS 2007 edition, san jose, California.
- [ 1.2 ] H.-S.P. Wong, “Beyond the conventional transistor,” IBM J. Res. Develop., vol.46, no.2/3, pp.133-168, 2002.
- [ 1.3 ] J. Robertson, “Band offsets of wide-band-gap oxides and implications for future electronic devices,” J. Vac. Sci. Tech. B, vol.18, no.3, pp.1785-1791, May/Jun 2000.
- [ 1.4 ] S. Ogawa and N. Shiono, “Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si □ SiO interface,” Phys. Rev. B, vol. 51, pp. 4218–4230, 1995.
- [ 1.5 ] S. Ogawa, M. Shimaya, and N. Shiono, “Interface-trap generation at ultrathin SiO (4–5 nm)-Si interfaces during negative-bias temperature aging,” J. Appl. Phys., vol. 77, pp. 1137–1148, 1995.
- [ 2.1 ] John F. Conley, IRPS Tutorial, IRPS proceedings, 2004.
- [ 2.2 ] Anderson, Betty Lise, “Fundamentals of Semiconductor Devices,” McGrawHill. Boston, pp.409., 2005.
- [ 2.3 ] K. Seo, R. Sreenivasan, P. C. McIntyre, K. C. Saraswat, “Improvement in High-k (HfO<sub>2</sub>/SiO<sub>2</sub>) Reliability by Incorporation of Fluorine,” in IEDM Tech. Dig., pp. 417-420, 2005.
- [ 2.4 ] Inoue, M.; Tsujikawa, S.; Mizutani, M.; Nomura, K.; Hayashi, T.; Shiga, K.; Yugami, J.; Tsuchimoto, J.; Ohno, Y.; Yoneda, M., “Fluorine Incorporation into HfSiON Dielectric for V<sub>th</sub> Control and Its Impact on Reliability for Poly-Si Gate pFET,” in IEDM Tech. Dig., pp. 413-416, 2005,
- [ 2.5 ] Raghavasimhan Sreenivasan and Pul C. McIntyre, “Effect of impurities on the fixed charge of nanoscale HfO<sub>2</sub> film grown by atomic layer deposition,” Applied Physics Letters, Volume 89, Issue 11, id. 112903 (3 pages) , 2006.
- [ 2.6 ] Ging-Tan Yu, “Study on the reliability of pMOSFETs with different nitrogen and fluorine implantation dosages,” Master thesis, 2005.
- [ 2.7 ] Hsin Chih Wang, “Effect of Fluorine Incorporation on the Reliability Issue of pMOSFETs with HfO<sub>2</sub>/SiON Gate Stack,” Master thesis, 2007.

- [ 2.8 ] M. Houssa, M. Naili, V. V. Afanas'ev, M. M. Heyns, and A. Stesmans, "Electrical and Physical Characterization of High -K Dielectric Layers," in Tech. Dig. Symp. on VLSI Technology, pp. 196-199, 2001.
- [ 2.9 ] W. J. Zhu, Tso-Ping Ma, Takashi Tamagawa, J. Kim, and Y. Di, "Current Transport in Meatl/Hafnium Oxide/Silicon structure," IEEE Electron Device Lett., Vol.23, pp. 97-99, 2002.
- [ 2.10 ] W. Mizubayashi, N. Yasuda, H. Ota, H. Hisamatsu, K. Tominaga, K. Iwamoto, K. Yamamoto, T. Horikawa, T. Nabatame, and A. Toriumi, "Carrier separation analysis for clarifying leakage mechanism in unstressed and stress HfAlOx/SiO2 stack dielectric layers," IEEE Reliability Physics Symposium, pp. 188-193, 2004.
- [ 3.1 ] Peter J. Wright and Krishna C. Saraswat, "The effect of Fluorine In Silicon Dioxide Gate Dielectrics ," IEEE trans. Electron Dev. 36, p879 , 1989.
- [ 3.2 ] Inoue, M.; Tsujikawa, S.; Mizutani, M.; Nomura, K.; Hayashi, T.; Shiga, K.; Yugami, J.; Tsuchimoto, J.; Ohno, Y.; Yoneda, M., "Fluorine Incorporation into HfSiON Dielectric for Vth Control and Its Impact on Reliability for Poly-Si Gate pFET," in IEDM Tech. Dig., pp. 413-416, 2005.
- [ 3.3 ] A. Kerber, L. Pantisano, M. Rosmeulen, R. Degraeve, G. Groeseneken, H. E. Maes, and U. Schwalk, "Charge trapping in SiO2/HfO2 gate dielectrics: Comparison between charge-pumping and pulsed ID-VG," Microelectric Engineering. Volume 72, Issues 1-4, Pages 267-272, April 2004.
- [ 3.4 ] Dieter K. Schroder, Jeff A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," JOURNAL OF APPLIED PHYSICS., Volume 94, number 1, 1 July 2003.
- [ 3.5 ] K. O. Jeppson and C. M. Svensson, J. Appl. Phys. 48, 2004 ~1977.
- [ 3.6 ] V. Huard, M. Denais, F. Perrier, N. Revil, C. Parthasarathy, A. Bravaix, and E. Vincent, "A through investigation of MOSFETs NBTI degradation," Microelectronics Reliability, Volume 45, Issue 1, pp 83-98, January 2005.
- [ 3.7 ] Rino Choi, B.S., M.S., "PROCESSING AND RELIABILITY STUDIES ON HAFNIUM OXIDE AND HAFNIUM SILICATE FOR THE ADVANCED GATE DIELECTRIC APPLICATION," 2004.