

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文

低功率低失真無濾波級之 D 類功率放大器



Low Power and Low Distortion Filterless
Class D Power Amplifier

研究生：傅崇賢

指導教授：洪崇智 博士

中華民國九十六年十月

低功率低失真無濾波級之 D 類功率放大器

Low Power and Low Distortion Filterless Class D
Power Amplifier

研究生：傅崇賢

Student : Chung-Sian Fu

指導教授：洪崇智

Advisor : Chung-Chih Hung

國立交通大學
電機學院 IC 設計產業研發碩士班
碩士論文



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on IC Design

October 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年十月

低功率低失真無濾波級之 D 類功率放大器

學生：傅崇賢

指導教授：洪崇智

國立交通大學電機學院產業研發碩士班

摘 要

放大器對一個音響系統扮演著很重要的角色。在目前音響系統中市場仍以 AB 類放大器為主要設計。若以功率效益方面來比較，D 類功率放大器有較優越的輸出功率表現。主要是因為 D 類功率放大器是以切換的方式來完全導通或是完全關閉電晶體。因此 D 類功率放大器可以擁有 AB 類放大器較少的功率消耗。

本論文重心著重於發展一種高功率效益 D 類功率放大器的調變方式。此電路有別於傳統全橋式 D 類功率放大器，它改善了傳統 D 類功率放大器訊號失真過大的缺點，同時卻不因此使得功率效益變小；改善方法是藉由加入回授系統；這是一種降低雜訊的技巧；並且改變脈衝寬度調變的方式來實現電路。此外，所設計的電路還有一項優點，就是不需要 D 類功率放大器的輸出濾波級，此技術使得電路的面積變小，功率效益提高。本電路是使用台積電製程 $0.35\mu m$ 2P4M（混合訊號）來模擬與設計。整個系統架構包括“兩個誤差放大器”，“兩個比較器”，“一個三角波產生器”，“緩衝器”，“閘極驅動級”，“H-橋”等電路方塊。

D 類功率放大器模擬結果，輸入頻率 2KHz，振幅 0.7V 的正弦波，操作在 250KHz，截止頻率 20KHz。輸出結果在功率效益得到 85%，總諧波失真值為 0.12

%，整體消耗功率在 12.57mW。

經由各種調變設計結果與模擬，可以明白比較出四種調變方法的優缺點。若欲使 THD < 1%，則最好選擇輸入訊號振幅為載波訊號振幅的 0.7 倍以內會有較佳結果。實際上，一般 D 類功率放大器功率效益大約是在 85%~95%。若要在提高 D 類功率放大器的功率效益則必須用較大的晶片面積來換取。



Low Power and Low Distortion Filterless Class D Power Amplifier

student : Chung-Sian Fu

Advisor : Chung-Chih Hung

Industrial Technology R & D Master Program of
Electrical and Computer Engineering College
National Chiao Tung University



Amplifiers play an important role in the audio system. Class-AB amplifiers seem to be the dominative design in recent markets. Compared by power efficiency, Class-D power amplifiers have better performance than Class-AB amplifiers. It is based on the fact that Class-D power amplifiers use the switching operation to fully turn on or off the transistors. Class-D power amplifiers have less power dissipation than Class-AB amplifiers.

The focus on this thesis is to develop the modulation of Class-D amplifiers with high power efficiency. This circuit is different from the traditional H-bridge Class-D power amplifier. It has improved the shortcoming of the traditional Class-D power amplifier with too big signal distortion, but not make the power efficiency diminished at the same time. The addition of the feedback system can improve the shortcoming ; this is a technology that can reduce noise. And the circuit is realized by changing the way of the Pulse Width Modulation (PWM) method. In addition, this circuit has another advantage that it eliminates the Class-D output filter. This technology can

reduce the area of the circuit and can improve power efficiency at the same time. This circuit was fabricated by TSMC 0.35 μm 2P4M(Mixed – Signal)process. It includes two error amplifiers, two comparators, triangular wave generator, buffer, gate-driver, and H-bridge.

The Class-D power amplifier has the input sinusoidal-wave frequency of 2 KHz, the amplitude of 0.7 V. It is operated at 250 KHz with the cutoff frequency of 20 KHz. The result shows the power efficiency of 85%, the Total Harmonic Distortion is 0.12%, and the power dissipation is about 12.57 mW.

All the modulation simulations are shown in this thesis, and we can obviously compare their advantages and disadvantages. If $\text{THD} < 1\%$ is desired, then it is better to choose the amplitude of the input signal to be within 0.7 times of the carrier wave. In fact, the power efficiency of Class-D power amplifier is about 85% to 95% generally. If we still would like to increase the power efficiency, the tradeoff is between the power efficiency and the chip area.



致謝

本論文得已完成，首先感謝我的指導教授 洪崇智博士，不厭其煩的指導我，不論是專業知識的培養與外語能力的提升，亦或是做研究的態度和處理問題的方法，使我對於研究學問的方法及態度有更深一層的領悟，皆讓我獲益良多。

此外，感謝羅天佑學長、薛文弘學長、廖介偉學長及葉俊麟學長，感謝他們對我類比電路的基礎及量測上相關知識的指導，使得我的論文能順利的進行。也要感謝林明澤、吳國璽、邱建豪、高正昇、黃旭右同學與陳家敏、何俊達、蔡宗彥、林政翰等碩二學長們還有白逸維、廖德文、夏竹緯、楊文霖、黃介仁等學弟們在實驗上的指導與協助及在生活上帶给了我許多歡笑與快樂。加上學校自然樸實的美麗風景，使得這兩年的求學過程中，增添了許多值得回憶的生活片段。

還要感謝電資大樓801室量測實驗室裡的同學提供完整的量測設備，使我的論文得以順利的完成。還有，感謝國家系統晶片中心提供先進的半導體製程，讓晶片的製作得以順利完成。

最後，我要感謝我父親的養育之恩及辛苦栽培，也在我求學過程中給予鼓勵，讓我在學業上能專心致力，追求自己的理想。此外要感謝我的哥哥，他在這幾年來一路上的支持、激勵，使我有信心的走下去，及所有關心我的人，使我能夠無後顧之憂順利完成學業。

傅崇賢 敬上

於交通大學

民國九十六年十月

目錄

中文摘要	i
英文摘要	iii
致謝	v
目錄	vii
圖目錄	ix
表目錄	xiii
第一章 導論	1
1. 1 研究動機與背景	1
1. 2 研究考量	1
第二章 傳統的 D 類功率放大器	4
2. 1 各類功率放大器	4
2. 1. 1 線性功率放大器	4
2. 1. 2 非線性功率放大器	7
2. 1. 3 各類功率放大器比較	9
2. 2 低功率 D 類音頻功率放大器	10
2. 2. 1 架構	10
2. 2. 2 脈衝寬度調變切換技術(PWM Switching Scheme)	11
2. 2. 3 全橋式輸出級	12
2. 3 D 類功率放大器的功率效益	13
2. 3. 1 理論分析	13
2. 3. 2 實際考量	15
2. 4 影響 D 類放大器總諧波失真(THD)的因素	18

第三章 設計理論	21
3.1 改善失真度的方法	21
3.1.1 Feedforward 分析	21
3.1.2 Feedback 分析	22
3.2 Feedback 在 D 類放大器的設計	24
3.2.1 所有閉迴路網路設計	24
3.2.2 閉迴路之轉換函數	25
3.2.3 設計上的考量	28
3.3 無濾波輸出及調變機制	29
3.4 PWM 訊號調變分析	32
3.4.1 PWM 單電壓極性切換	33
3.4.2 其他各類調變方法	34
第四章 電路模擬分析與討論	37
4.1 介紹	37
4.2 內部應用電路設計	37
4.2.1 運算放大器(Operational Amplifier)	37
4.2.2 遲滯比較器(Hysteresis Comparator)	41
4.2.3 三角波產生器(Triangle Generator)	47
4.3 外部電路設計	51
4.3.1 參數的設計	51
4.3.2 閘極驅動電路(Gate-Driver)	52
4.3.3 低通濾波器	56
4.4 D 類功率放大器之模擬結果與討論	58
4.4.1 電路模擬與討論	58
4.4.2 針對 THD 之設計限制的模擬分析	64
4.5 其它調變方式對於 THD 的模擬分析	66
4.5.1 兩個不同載波振幅之 PWM 對 THD 模擬分析	67
4.5.2 50% 責任週期 Clock 之 PWM 對 THD 模擬分析	69

4. 5. 3 兩個反相載波振幅之 PWM 對 THD 模擬分析	70
4. 5. 4 四種調變方式的比較	70
第五章 測試安裝和實驗的結果	74
5. 1 介紹	74
5. 2 實驗的結果	74
5. 2. 1 標準	74
5. 2. 2 測試安裝	75
5. 2. 3 測量結果	79
5. 3 討論	81
第六章 結論和未來工作	83
6. 1 結論	83
6. 2 未來展望	83
參考文獻	84



圖目錄

圖 2-1. 共汲極組態	4
圖 2-2. A 類的工作點	4
圖 2-3. B 類放大器電路	5
圖 2-4. B 類的工作點	5
圖 2-5. AB 類放大器電路	7
圖 2-6. AB 類的工作點	7
圖 2-7. D 類放大器的基本架構	7
圖 2-8. E 類功率放大器	8
圖 2-9. F 類功率放大器	9
圖 2-10. K 類功率放大器	9
圖 2-11. 基本 D 類功率放大器	11
圖 2-12. 脈衝寬度調變(PWM)	12
圖 2-13. PWM 輸出頻譜	12
圖 2-14. 全橋式輸出級	13
圖 2-15. 全橋式之輸入架構	13
圖 2-16. D 類輸出級之等效電路	14
圖 2-17. Gate Driver 之簡化等效電路	16
圖 2-18. 傳導損耗路徑圖	17
圖 2-19. 三角波之等效電路	19
圖 2-20. 三角波操作時域	19
圖 3-1. Feedforward 基本架構	22
圖 3-2. 負回授(NFB)基本架構	23
圖 3-3. 閉迴路設計架構	24
圖 3-4. 閉迴路波形分析	25

圖 4-18. 三角波產生器電路	49
圖 4-19. 史密特觸發器之轉換曲線	50
圖 4-20. 三角波產生器輸出波形	50
圖 4-21. 各種製程corner的三角波	51
圖 4-22. Gate-Driver 架構	52
圖 4-23. Gate-Driver 電路	55
圖 4-24. Gate-Driver 上升延遲時間	55
圖 4-25. Gate-Driver 下降延遲時間	56
圖 4-26. 二階低通濾波器	56
圖 4-27. 濾波器簡化電路	57
圖 4-28. 低通濾波器頻率響應	58
圖 4-29. D 類功率放大器模擬電路架構	59
圖 4-30. 比較器之輸出入訊號模擬波形	59
圖 4-31. PWM 單電壓極性切換模擬	60
圖 4-32. 輸入的正弦波	62
圖 4-33. 五種製程 corner 之輸出波形	62
圖 4-34. 輸入頻率對 THD 之變化趨勢	64
圖 4-35. 振幅太大的失真結果	65
圖 4-36. 輸入振幅與 THD 的關係	65
圖 4-37. 參數 R_f 對 THD 之變化趨勢	66
圖 4-38. 不同載波振幅對 THD 的關係	68
圖 4-39. 不同輸入振幅與 THD 的關係	68
圖 4-40. 50% clock 輸入不同振幅與 THD 的關係	69
圖 4-41. 反相載波輸入不同振幅與 THD 的關係	70
圖 4-42. 四種不同調變對 THD 的比較	71
圖 4-43. (a)M2 與(b)M3 不同調變方式之頻譜分析	72
圖 4-44. (c)M1 與(d)M4 不同調變方式之頻譜分析	73
圖 5-1. D 類功率放大器電路佈局圖	74
圖 5-2. Die 電子顯微照片	75

圖 5-3. 封裝後之腳位	75
圖 5-4. LM 317 調整器	76
圖 5-5. 調整器輸出的旁路濾波器	76
圖 5-6. D類放大器量測方塊	77
圖 5-7. 測試儀器照片	78
圖 5-8. PCB 電路板佈局	78
圖 5-9. PCB 測量電路	78
圖 5-10. 在晶片座輸入端量測到的波形	79
圖 5-11. 積分器輸出波形	80
圖 5-12. 比較器輸出 PWM 波形	80
圖 5-13. 輸出 V_{OUT1} 、 V_{OUT2} 及 V_{IN1} 的波形	81



表目錄

表 2-1. 各類功率放大器比較	10
表 4-1. 運算放大器之規格	41
表 4-2. 比較器之規格	47
表 4-3. 整體電路的五種 corner 模擬規格表	63
表 4-4. 功率效益	63
表 4-5. 輸入頻率與THD的關係	64
表 4-6. 參數 R_f 對 THD 的關係	66
表 4-7. 電容值與載波振幅的關係	67
表 4-8. 輸入不同頻率與THD之關係	69
表 4-9. 50% clock 不同輸入頻率與 THD 之關係	70
表 4-10. 反相載波不同輸入頻率與 THD 之關係	70
表 4-11. D類功率放大器規格	73

導論

1.1 研究動機與背景

功率放大器是一個重要的類比系統，它用來驅動前端積體電路的訊號到輸出負載上，可說是扮演著訊號線路與現實生活的一個介面；有時我們會希望輸出級之電晶體能夠傳導安培範圍的電流且承受幾瓦特的功率，則此電晶體的結構、構裝和規格將與前級的電晶體不同，我們稱此電晶體為功率元件。

功率放大器的一個重要應用就是使用在音頻上，由於近年來影音產品，如手機、MP3 隨身聽等市場的帶動下，對於音頻之積體電路的要求也越來越高，針對功率放大器的主要要求就是指功率效益和雜訊失真問題；在幾年前所設計的功率放大器是以線性的電路技術為主，它雖然沒有明顯失真問題，但其功率效益卻不夠高；因此，在最近對於使用切換式功率放大器的研究越來越多，因為此種技術可以獲得較高的功率轉換效益。本論文所設計的電路技術也是以此模式去思考。

此種切換式功率放大器是一種非線性系統，沒有一定的方法去控制及建立其模型，但是卻有相同優點缺點，優點是功率效益高，缺點就是失真的問題嚴重，因此，如何設計出高功率效益，高品質（低雜訊失真）的功率放大器是本論文所要研究的。

1.2 研究考量

要設計出一個好的功率放大器，在設計考量上主要在功率效益和輸出失真問題。一般功率轉換效益或是直接稱功率效益，可被定義為 (1.1) 式：

$$\eta = \frac{\overline{P}_L}{P_S} \times 100\% \quad (1.1)$$

其中 \overline{P}_L 為負載功率， \overline{P}_S 為供應功率；假設輸出電壓是一個振幅為 V_p 的正弦波，則平均負載功率為

$$\overline{P}_L = \frac{1}{T} \int_0^T \frac{(V_p \sin \omega t)^2}{R} dt \quad (1.2)$$

其中 T 表示一個正弦波週期；再由 (1.2) 式得

$$\begin{aligned} \overline{P}_L &= \frac{V_p^2}{RT} \int_0^T (\sin^2 \omega t) dt = \frac{V_p^2}{2RT} \int_0^T (1 - \cos 2\omega t) dt \\ &= \frac{V_p^2}{2R} \end{aligned} \quad (1.3)$$

瞬時負載功率可表示如下：

$$P_{L(t)} = \frac{V_p^2}{R} \sin^2 \omega t \quad (1.4)$$

電源供應的平均功率表示如下，令電源供應電流為常數 I_Q [1]。

$$\overline{P}_S = V_{DD} \left[\frac{1}{T} \int_0^T \left(I_Q + \frac{V_p}{R} \sin \omega t \right) dt \right] = V_{DD} I_Q \quad (1.5)$$

在本論文中會提到雜訊失真的問題，其代號可表示成 THD+N，THD 稱為總諧波失真，N 是指其他雜訊干擾；但是由於 THD 比 N 值大許多，因此，對於雜訊的考量就以 THD 為其主。

當有一個正弦波輸入到非線性的放大器時，其諧波將會在輸出級發生；假設二次諧波大小為 2V，基頻大小為 100V，則我們稱此放大器有 2% 的二次諧波失真；我們利用均方根簡稱 rms，來定義訊號的大小。令輸入訊號

$V_{rms} = V_1 \cos(\omega_0 t + \phi)$ ，其均方根大小 $\frac{V_1}{\sqrt{2}}$ 。(1.6) 式為輸出訊號，其中包含了基本波及其諧波。

$$\begin{aligned}
 d_{(t)} = & V_1 \cos(\omega_0 t + \phi_1) \\
 & + V_2 \cos(2\omega_0 t + \phi_2) \\
 & + V_3 \cos(3\omega_0 t + \phi_3) \\
 & + \dots + V_N \cos(N\omega_0 t + \phi_N)
 \end{aligned} \tag{1.6}$$

諧波項的均方根總和表示如下

$$\left[\left(\frac{V_1}{\sqrt{2}} \right)^2 + \left(\frac{V_2}{\sqrt{2}} \right)^2 + \dots + \left(\frac{V_N}{\sqrt{2}} \right)^2 \right]^{\frac{1}{2}} \tag{1.7}$$

總諧波失真定義為 (1.8) 式：

$$\begin{aligned}
 THD = & \frac{V_{rms} \text{ of } d_{(t)}}{V_{rms} \text{ of } V_1 \cos(\omega_0 t + \phi)} \\
 = & \frac{\left[\left(\frac{V_1}{\sqrt{2}} \right)^2 + \left(\frac{V_2}{\sqrt{2}} \right)^2 + \dots + \left(\frac{V_N}{\sqrt{2}} \right)^2 \right]^{\frac{1}{2}}}{\frac{V_1}{\sqrt{2}}}
 \end{aligned} \tag{1.8}$$

或表示為：

$$THD = \sqrt{\left(\frac{V_2}{V_1} \right)^2 + \left(\frac{V_3}{V_1} \right)^2 + \dots + \left(\frac{V_N}{V_1} \right)^2} \tag{1.9}$$

一般 THD 的表示法是用 % 表示。

第二章 傳統的 D 類功率放大器

2.1 各類功率放大器

為了區別眾多的功率放大器，我們可以分成線性與非線性兩種。線性放大器：依據偏壓方式的不同，可得到不同位置的工作點，在標準弦波輸入時，得到各種範圍但不為零的輸出訊號。另一種是非線性放大器，他操作在切換的模式下，而功率電晶體只是當開關用。

2.1.1 線性功率放大器

A 類功率放大器[1]，如圖 2-1（共汲組態）電晶體一直工作在線性區內，工作點取在交流負載線的中央，當標準的弦波輸入時，輸出為全週期的波形，如圖 2-2。

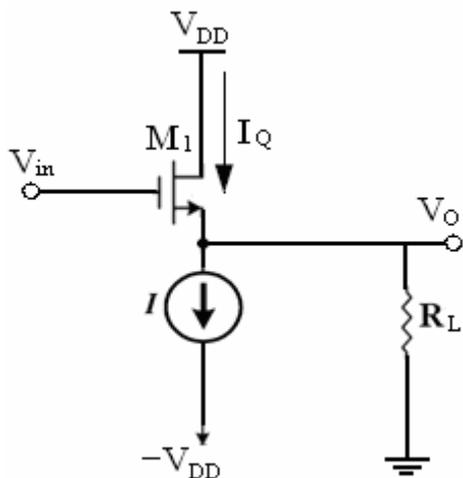


圖 2-1. A 類放大器電路

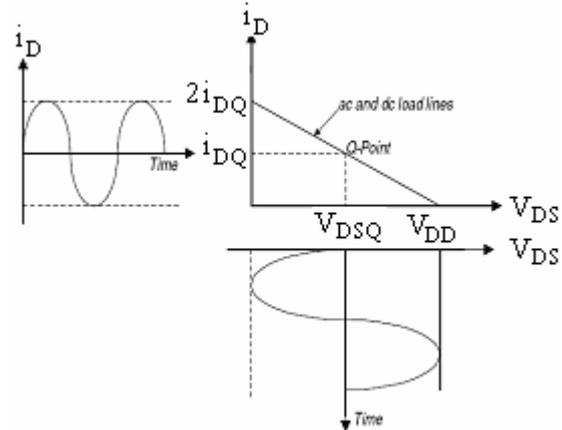


圖 2-2. A 類的工作點

假設輸出訊號為 $V_p \sin(\omega t)$ ，在負載上的平均功率 $\overline{P_L}$ 為

$$\overline{P}_L = \frac{1}{2} \frac{V_P^2}{R_L} \quad (2.1)$$

由士 V_{DD} 所提供的功率 \overline{P}_S 皆為 $V_{DD} I_{DQ}$ ，所有電源供應的功率為 $2V_{DD} I_Q$ ，所以功率效益為

$$\eta = \frac{\overline{P}_L}{2\overline{P}_S} = \frac{1}{4} \frac{V_P^2}{I_{DQ} R_L V_{DD}} \quad (2.2)$$

因為 $V_P \leq V_{DD}$ 且 $V_P \leq I_{DQ} R_L$ ，所以當 $V_P = V_{DD} = I_{DQ} R_L$ ，將有最大功率效益約為 25%。

B 類功率放大器[1]，採用推挽式 (PUSH-PULL) 的對接電晶體，如圖 2-3，在同一個時刻，只有其中一顆電晶體是導通的。在輸入正半週期時， M_1 導通；而在輸入負半週期時， M_2 導通；兩顆電晶體不會同時導通，在此忽略了交越失真 (Crossover Distortion)。

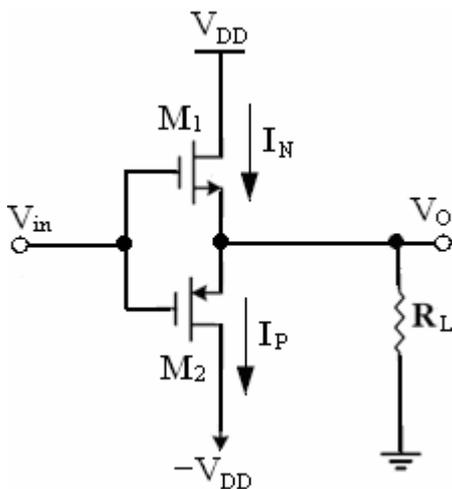


圖 2-3. B 類放大器電路

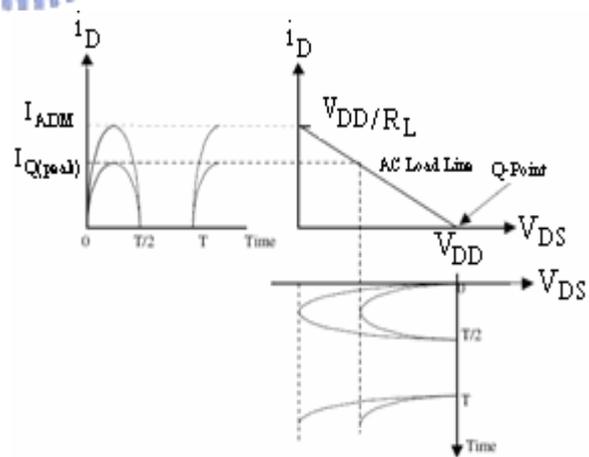


圖 2-4. B 類的工作點

如圖 2-4，B 類放大器的工作點取在交流負載線與 V_{DS} 軸交點，在標準弦波輸入時，輸出為半週波形。在負載上得到半個弦波週期的電流，其平均電流為

$\frac{V_P}{\pi R_L}$ ，由 $\pm V_{DD}$ 所提供的功率如式 (2.3) 所示；

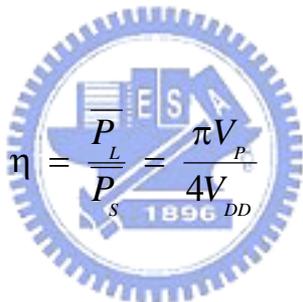
所有的供應功率如式 (2.3) 所示。

$$\overline{P_S} = \overline{P_{S+}} + \overline{P_{S-}} = 2V_{DD} \frac{V_P}{\pi R_L} \quad (2.3)$$

在負載上所得到的平均功率

$$\overline{P_L} = \frac{1}{2} \frac{V_P^2}{R_L} \quad (2.4)$$

因此，功率效益為

$$\eta = \frac{\overline{P_L}}{\overline{P_S}} = \frac{\pi V_P}{4V_{DD}} \quad (2.5)$$


因為 $V_P \leq V_{DD}$ ，所以最大的功率效益發生在 $V_P = V_{DD}$ ，得到最大功率效益約 78.5%，顯然地，它比 A 類放大器好得多。然而，當輸入的訊號範圍在零附近時，會有 M_1 和 M_2 同時關閉， $V_O = 0V$ ，輸出波形有不連續的失真現象，稱之為交越失真。為了避免交越失真，在 M_1 和 M_2 閘極提供一個壓降，使得直流工作時， M_1 和 M_2 均導通，而無交越失真；此時，這樣的電路稱為 AB 類功率放大器[1]，如圖 2-5 所示。

AB 類功率放大器的工作點取在交流負載線位於 A 類和 B 類之間，在標準弦波輸入時，輸出為大於半週期的波形，如圖 2-6 所示。當無訊號輸入時，其靜電流 I_Q 大小介於 A 類和 B 類之間，平均功率損耗大於 B 類小於 A 類，功率效益約為 50%。

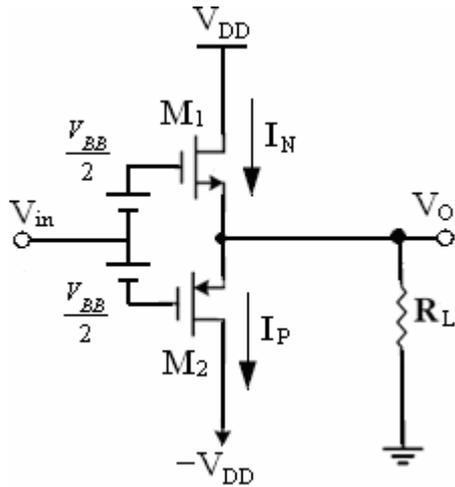


圖 2-5. AB 類放大器電路

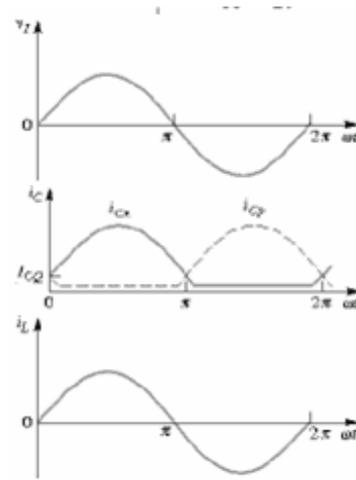


圖 2-6. AB 類的工作點

2.1.2 非線性功率放大器

D 類功率放大器，是一種逐漸取代線性放大器的重要設計。在操作上，需要一個參考電壓對輸入訊號做訊號的調變，而後再經過解調將訊號還原；一個基本的架構方塊如圖 2-7。



圖 2-7. D 類放大器的基本架構

在功率效益方面，它有接近 100% 的功率效益，這是線性放大器所不能比的，其癥結出在 D 類放大器輸出端的電晶體只需要開和關，也就是操作於線性區，而線性放大器是操作在主動區，D 類放大器的 R_{on} 遠小於負載電阻 R_L ，所以負載可得最大的功率。由於輸出訊號不是直接由輸入取得，所以訊號準確度沒有線性放大器好[2]。

E 類功率放大器（圖 2-8），在目前國際期刊所發表的論文中，於 CMOS 及 GaAs 製程方面多應用於輸出功率較高的手機頻段上，例如 $0.25\mu m$ - CMOS 製程應用在 900MHz [3]。它的操作模式也是將電晶體視為一個開關，理想上，當開關打開時，電阻為零；關閉時為無限大。此外，輸出端網路將時域上的電壓電流

波形完全錯開，因此消耗功率為零，整體上的功率效益可達 100%，它與 D 類功率放大器所得效益差不多，只是用途不同。至於失真問題，輸出端串聯網路讓所有諧波項不能通過，以減少失真，輸出為載波頻率的弦波[4][5]。

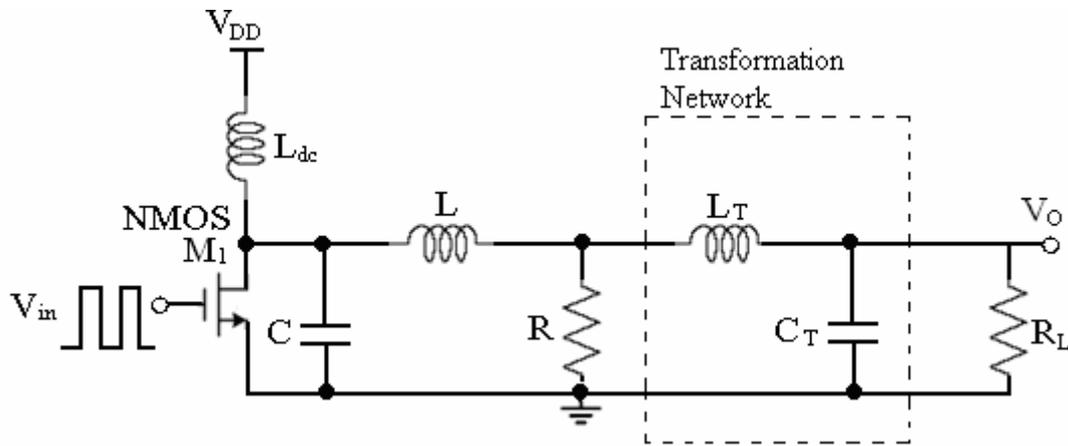


圖 2-8. E 類功率放大器

此外，如 F 類功率放大器和 K 類功率放大器也都是屬於非線性的放大器，F 類功率放大器在輸出網路使用了諧波共振器 (Harmonic-resonator) 來形成輸出波形，電壓的波形包含了一次或是多次的單數諧波；在汲極為類似方波的波形， V_{out} 還原成弦波。F 類功率放大器的斜坡略高；功率效益也差不多 50% 左右。F 類功率放大器需要一個比其他功率放大器更複雜的輸出濾波器[6]。

K 類功率放大器是改良的非線性放大器，它結合了類比(線性)放大器區塊，和切換(非線性)放大器區塊。類比放大器的函數是一個與電壓源無關的放大器，而切換放大器函數是電流控制電流源。K 類功率放大器最主要的優點是：1. 由於結構中包含類比放大器的區塊，使得總諧波失真 (Total-Harmonic Distortion) 降低，2. 切換放大器的區塊則有優良的功率效益表現。它改善了非線性放大器失真過大的問題[7]。

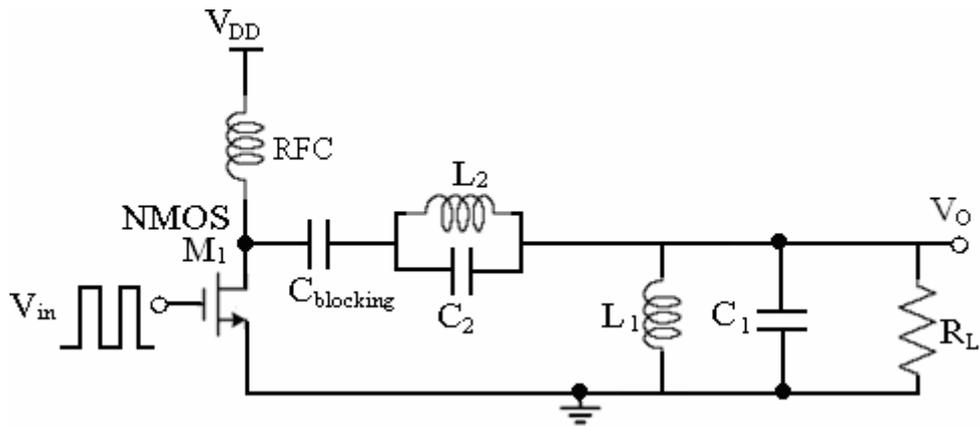


圖 2-9. F 類功率放大器電路

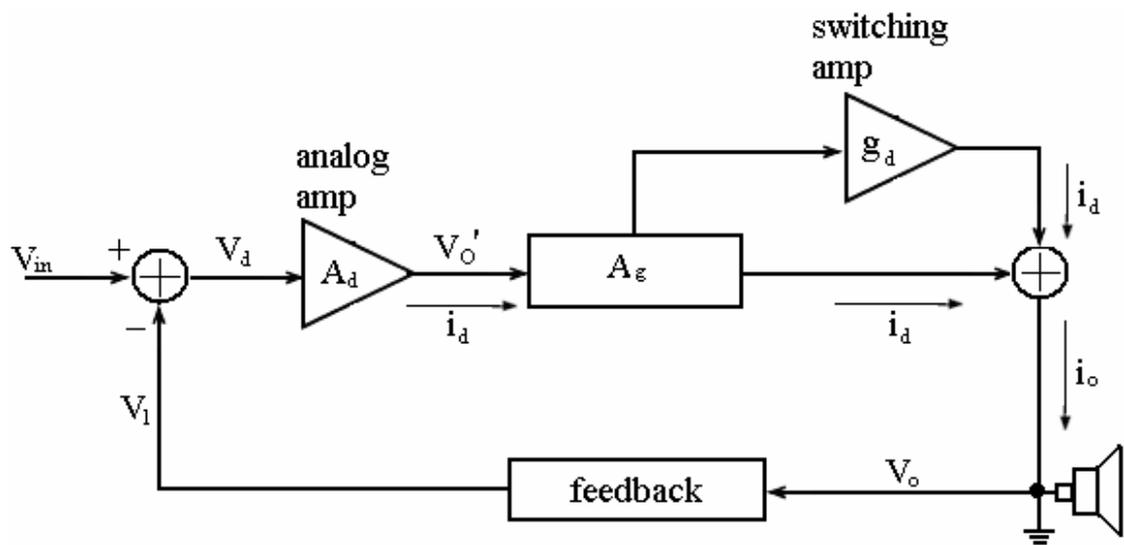


圖 2-10. K 類功率放大器電路

2.1.3 各類功率放大器比較

綜合以上所做的討論，大致上可以歸納如表 2-1

	種類	失真度	最大功率效益
線性	A 類	最低（輸出完全從輸入取得）	最低（最差）
	B 類	略高（由於交越失真導致）	線性最好
	AB 類	尚可（消除交越失真）	<75%（約 50%）
非線性	D 類	最高（輸入訊號調變所致）	約 100%
	E 類	尚可（利用輸出端網路減少失真）	約 100%
	F 類	諧波略高	約 50%左右
	K 類	比 D 類低（結合線性所致）	比 D 類低

表 2-1. 各類功率放大器比較

功率放大器最重要的就是功率效益要高，非線性的放大器比線性放大器高許多[8]，所以近年來所討論的功率放大器大都是以非線性居多。但是，對於訊號的失真問題卻是很頭痛，於是，為了改善這類問題，有人提出 K 類放大器：結合線性與非線性設計；也有人把線性放大器（如 A 類）作為非線性放大器（如 D 類）的補償失真用。不論是 K 類或是這種 AD 類放大器，都是在非線性放大器的結構裡添加額外的電路對失真度做改善，一個很直觀的缺點是面積變大了[9][10]。

2.2 低功率 D 類音頻功率放大器

2.2.1 架構

D 類功率放大器的操作頻率在低頻，也就是音頻訊號，在依據輸出不同的瓦數應用於不同的產品，從音響的喇叭到一般 PDA 或是手機都有[11]。詳細架構如圖 2-11 所示，音頻訊號與三角波輸入比較器內，使輸入的音頻訊號分離，變成一種寬度不一的數位訊號，這種調變稱為脈衝寬度調變切換技術[12]。再將訊號經過 Gate-Driver 來驅動輸出級，輸出級再將 PWM 訊號以低阻抗加到低通濾波器和負載上。

Gate-Driver 是用來推動輸出級這種功率元件，使輸出級電晶體可以正常開關；這種輸出級稱為半橋式（Half-Bridge）輸出級。最後一部份分為低通濾波級，它把高頻項給濾掉，這些高頻項是由於切換調變所產生出來的失真。

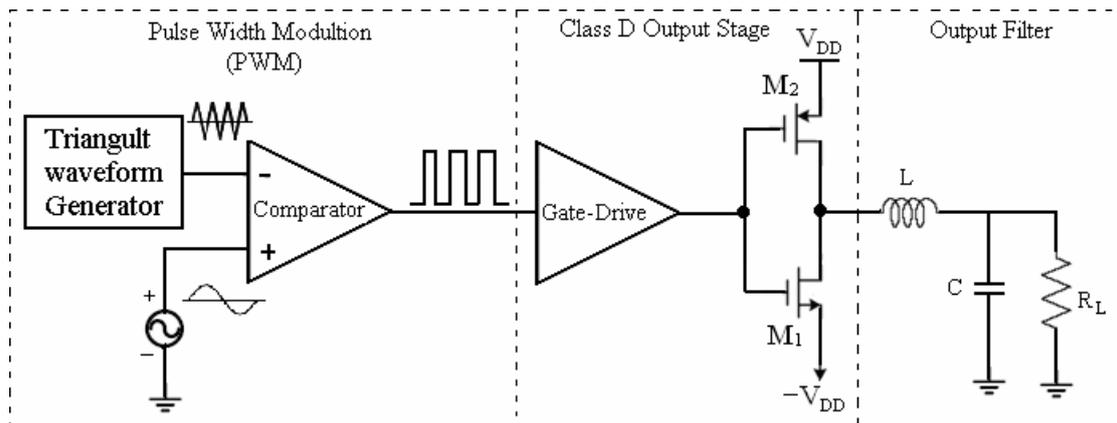


圖 2-11. 基本 D 類功率放大器

2.2.2 脈衝寬度調變切換技術 (PWM Switching Scheme)

理想的 PWM 切換技術如圖 2-12[2] [12] 所示，由正弦波 $V_{control}$ 與三角波 V_{tri} 比較；當三角波大於輸入音頻訊號時，比較器輸出為 low ($-V$)；當三角波小於輸入弦波時，比較器輸出切換至 high ($+V$)。每一個脈波具有固定的振幅及可改變的脈波時間寬度（時間區間），此寬度正比於調變訊號的瞬時振幅大小。當輸入音頻訊號的振幅愈大，調變出脈波的寬度就愈寬；輸入音頻訊號的振幅愈小，調變出脈波的寬度就愈窄。在一個音頻訊號的週期中，就會產生寬度不同的脈波，這樣的調變方式稱為脈波寬度調變（Pulse-Width-Modulation），簡稱為 PWM 調變。

三角波（又稱為載波）之振幅為 V_T ，頻率為 f_s ， f_s 決定開關的切換頻率；正弦波控制訊號 $V_{control}$ 的基頻 f_1 決定輸出電壓頻率，其振幅決定輸出電壓大小。

定義振幅調制指數為正弦波振幅 V_C 與三角波振幅 V_T 的比值， $M_a = \frac{V_C}{V_T}$ ；頻率

調制指數為三角波頻率與正弦波基頻 f_1 的比值， $M_f = \frac{f_s}{f_1}$ [13]。

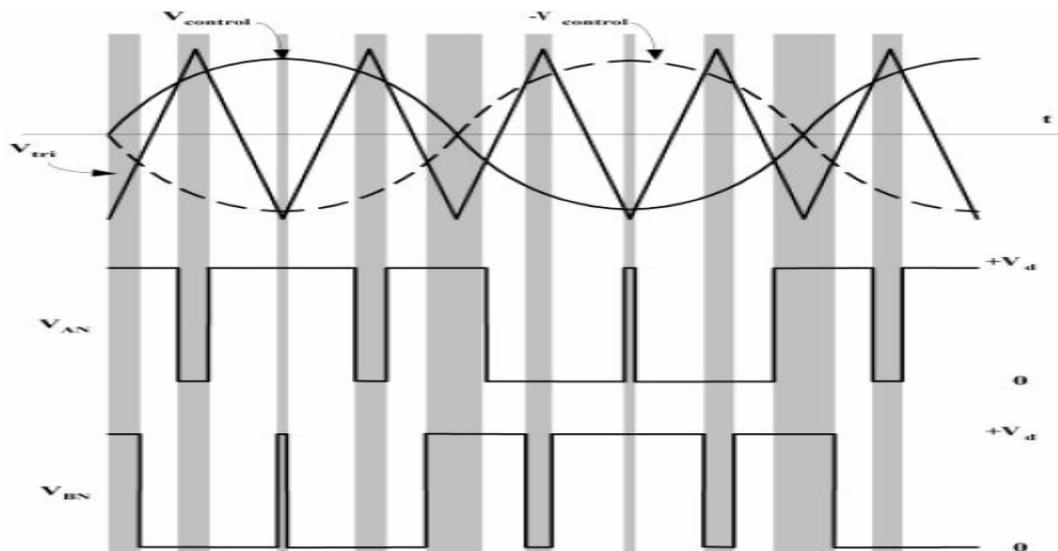


圖 2-12. 脈衝寬度調變 (PWM)

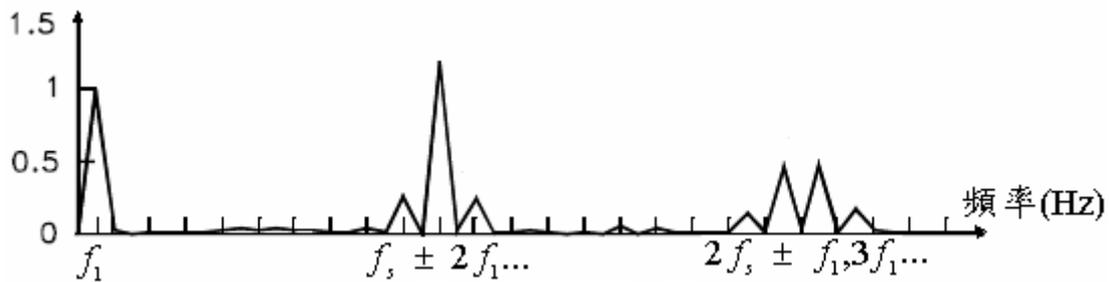


圖 2-13. PWM 輸出頻譜

D 類功率放大器的 PWM 調變中，三角波振幅必須大於弦波的振幅，也就是 $M_a \leq 1$ ，如此才可以利用載波把弦波的每一小段給數位化。對於此 PWM 在設計上需要注意的是 M_f 愈大愈好，因為 PWM 所產生的諧波次項會是 M_f 的整數倍，如上圖 2-13，當 M_f 很大時，就濾波器的觀點來看是越容易濾除的。

2.2.3 全橋式輸出級 (H-Bridged output stage)

圖 2-14 為全橋式輸出級，而圖 2-15 為圖 2-14 的輸出電路，在 M1 和 M2 的 Gate 端輸入相同的 PWM 訊號，而 M3 和 M4 輸入的 PWM 訊號 High、Low 與 M1、M2 相反。跨在喇叭上的訊號 (V_{o1} 與 V_{o2}) 就會是反相， $V_{load} (V_{o1} - V_{o2})$ 變為之前的兩倍，換句話說，利用全橋式的結構可增加輸出功率，而不用增加電源供應電壓。通常設計上會把 $V^- = 0$ ，因此就可以消除一項

電源供應電壓，同時，得到輸出會和圖 2-11 的結構一樣[2] [14]

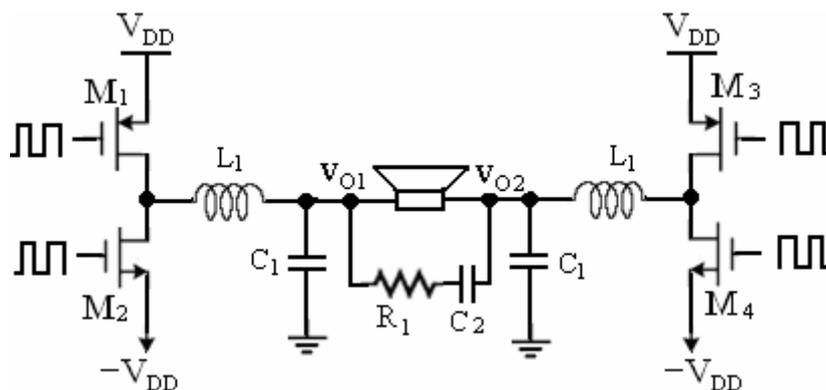


圖 2-14. 全橋式輸出級

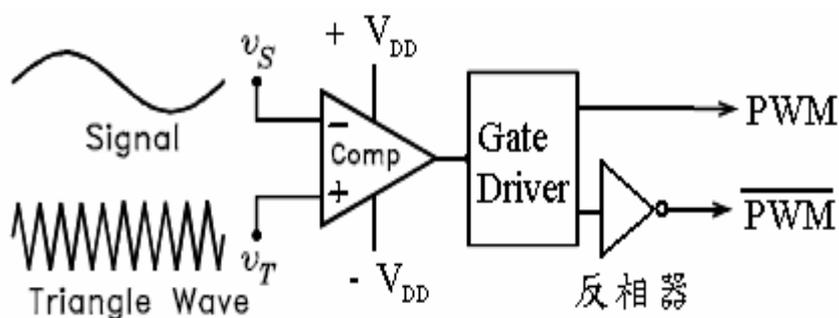


圖 2-15. 全橋式之輸入架構

2.3 D 類功率放大器的功率效益

2.3.1 理論分析

圖 2-16 為 D 類功率放大器之輸出級的簡化表示圖，圖中的四個電阻皆代表功率電晶體汲極到源極的阻抗，並假設電流的流向如箭頭所示。 $R_{DS(on)}$ ：當電晶體操作在線性區時的導通電阻，其值很小（約為歐姆級）； $R_{DS(off)}$ ：當電晶體操作在截止區時的關閉電阻，其值很大（約 MEGA 歐姆級）[15]。

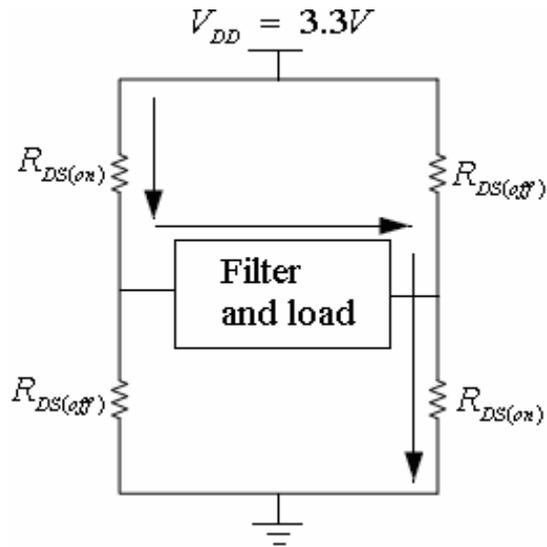


圖 2-16. D 類輸出級之等效電路

功率效益 η 的分析如 (2.6) ~ (2.9) 所示：

$$R_{DS(on)} = \frac{1}{\mu_n c_{ox} \left(\frac{W}{L} \right) (V_G - V_{TH})} \quad (2.6)$$

令負載上的功率為 P_L ，負載上的電阻為 R_L ：

$$\begin{aligned} P_L &= \frac{1}{2R_L} \left(\frac{R_L}{R_L + 2R_{DS(on)}} V_{DD} \right)^2 \\ &= \frac{1}{2} \times \frac{R_L}{(R_L + 2R_{DS(on)})^2} V_{DD}^2 \end{aligned} \quad (2.7)$$

電源提供的功率 P_S ：

$$\begin{aligned} P_S &= \frac{1}{2} \langle I \rangle V_{DD} \\ &= \frac{1}{2} \times \frac{V_{DD}^2}{R_L + 2R_{DS(on)}} \end{aligned} \quad (2.8)$$

功率效益 η ：

$$\eta = \frac{P_L}{P_S} \times 100\% = \frac{R_L}{R_L + 2R_{DS(on)}} \times 100\% \quad (2.9)$$

如果是半橋式 (Half-Bridge) 的輸出級， $2R_{DS(on)}$ 改成 $R_{DS(on)}$ ；由於 $R_{DS(on)}$ 很小，所以功率效益 η 大概可以在 90% 以上。以 Texas Instruments (德州儀器) 的 datasheet (TPA005D02) 為例[8]：一般小喇叭的負載電阻約 8Ω ， $R_{DS(on)}$ 約 0.3Ω ，故功率效益 $\eta \cong 93\%$ 。

2.3.2 實際考量

從整個 D 類功率放大器的系統來看，可參考圖 2-11，就實際上能有一些值得我們注意的功率損耗：例如切換損耗、閘極驅動 (Gate-Driver) 損耗、和傳導損耗 [16]。

切換損耗：發生在電晶體由線性區到截止區的轉換週期，也就是切換頻率所造成的損失；在轉換時，電流和電壓都有上升和下降時間。這個不為零的值造成了功率損耗，可以以下式表示：

$$P_{loss} = \frac{1}{2} V_d I_o f_s [t_c(on) + t_c(off)] \quad (2.10)$$

其中 t_c 是開和關時的導通週期； f_s 是切換頻率。所以如果 f_s 變小，也就是降低載波頻率，則可以降低切換損失，但是卻會發生兩個缺點：1. 由於載波頻率下降，使得諧波項更靠近音域範圍。2. 降低載波頻率會增加輸出濾波級在解調的設計困難度，這是因為基本波頻率靠近載波頻率，使得濾波器的截止頻率不易適當的設計。

閘極驅動 (Gate-Driver) 損耗：一個最基本 Gate Driver 是由數個反相器所組成，藉由一級推動一級，使得輸出級 (功率電晶體) 得以工作。

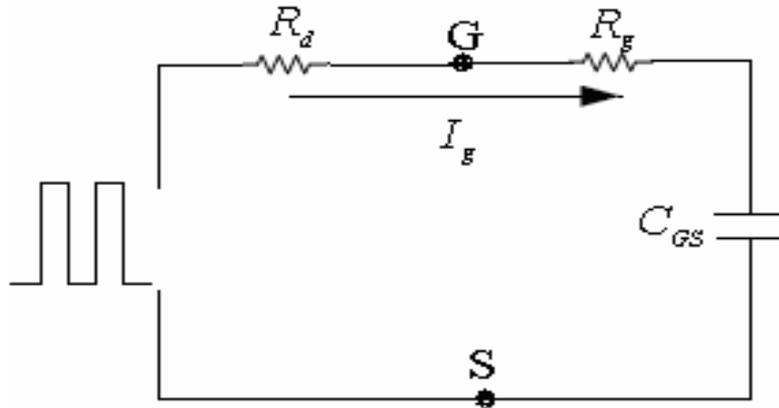


圖 2-17. Gate Driver 之簡化等效電路

在低頻下，Driver MOSFET 的功率損耗很小，但是，當頻率增加，由閘極電容的充電和放電所造成的功率損耗就變得重要了。閘極的電容需要被充電來提升電壓值，當電壓達到某一程度，則使下一級的元件得以打開 (turn on)，在這充電過程中，會有電流流過電阻而造成能量的損失；相對的，當閘極電容放電，在這放電的過程中也會造成能量的損失。因此，結合元件開 (ON) 和關 (OFF) 之週期能量損耗，可寫成下式：

$$P_g = V_{gs} Q_g f_s \quad (2.11)$$

其中 Q_g 為提升閘極電壓 V_{gs} 所需的電荷。

用來切換 MOSFET 的 peak 電流與切換速度有關。RC 網路之時間常數決定 t_{on} ， t_{on} 讓閘極電容可充電至 V_{gs} 。一般而言，充電時間，也就是 t_{on} ，需要四倍時間常數 τ 。因此，以一個閘極電容 C_{gs} 、閘極電阻 R_g 和閘極驅動電路的電阻 R_d 可寫成下式：

$$T_{on} = 4\tau = 4(R_d + R_g)C_{gs} \quad (2.12)$$

其中 C_{gs} 為 $V_{ds} = 0$ 時的電容值，當 $V_{ds} = 0$ 時，對於閘極電阻和閘極驅動電路的電阻有一組最差的阻抗值。Gate Driver 電路的 peak 電流值為：

$$I_{sp} = \frac{V_{gs}}{R_d + R_g} \quad (2.13)$$

由這些式子將可以推出開極驅動電路所要消耗的能量。

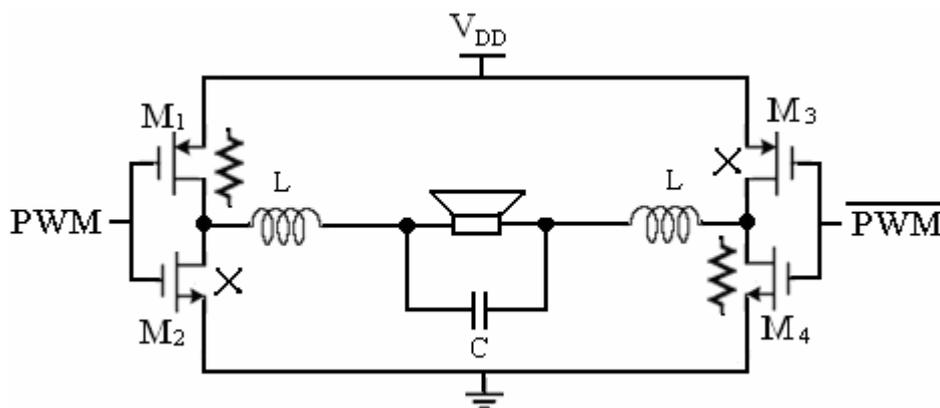


圖 2-18. 傳導損耗路徑圖

傳導損耗：如圖 2-18，利用全橋式輸出級和一個簡單的 LC 濾波器來分析：假設 M1、M4 (ON) 且 M2、M3 (OFF) 其傳導路徑為 V_{DD} 經過功率電晶體 (M1、M4) 和濾波器到地 (GND) 所造成的功率損耗。其中電流流過功率電晶體的電阻 ($R_{DS(on)}$) 損耗，在 2.3.1 節以分析得知；其次為較不重要的濾波器損耗。

濾波器損耗 [17]：利用通過電感的 ripple 電流和濾波器上的阻抗及其他組成可推出功率損耗。在第一個半切換週期，電感上的跨電壓是正電源供應器的電壓值 (V_{DD})；第二個半切換週期，電感上的跨壓是負電源供應器的電壓值 ($-V_{DD}$)，電感電流改變的速度能用 (2.14) 式計算：

$$V = L \times \frac{di}{dt} \quad (2.14)$$

其中 V 為跨在電感上的電壓， $\frac{di}{dt}$ 電感上電流之切換速度。

在每半個週期的電感跨壓大小為一個常數，只有正負極的變化 ($\pm V_{DD}$)。

當電感為一個常數值時， $\frac{di}{dt}$ 也為常數。因此，產生了一個三角波形的 peak-to-peak 電流：

$$i_{L(\text{peak-peak})} = \frac{T_{SW} \times V_{DD}}{2 \times L} = \frac{V_{DD}}{2 \times L \times f_{SW}} \quad (2.15)$$

其中 T_{SW} 為電流 peak-to-peak 的週期， f_{SW} 為其頻率。

利用電感電流和濾波器及其它成份之阻抗值，可推算出傳導功率的損耗 (P_T):

$$\begin{aligned} P_T &= \frac{1}{2} \times I_{\text{peak-peak}}^2 R_{ALL} \\ R_{ALL} &= R_{C(\text{Filter-C})} + R_{L(\text{Filter-L})} + (2R_{DS(on)}) \\ P_T &= \frac{V_{DD}^2}{8 \times L^2 \times f_{SW}^2} \times [R_{C(\text{Filter-C})} + R_{L(\text{Filter-L})} + 2R_{DS(on)}] \end{aligned} \quad (2.16)$$

雖然 D 類功率放大器有以上幾種的功率損耗 [15] [16]，但是最主要的是傳導損耗中的功率電晶體阻抗的損耗，其次是切換損耗。所以，在電路設計上會注重的是輸出電晶體為導通時的阻值，以及在切換時，上升和下降的時間越短越好 [18] [19]。

2.4 影響 D 類放大器總諧波失真 (THD) 的因素

在 2-2 節曾經提到訊號與三角載波進行 PWM 調變的過程當中會產生諧波項，因而有總諧波失真 (THD) [20] [21]，使得在輸出端得不到與輸入端一樣的訊號。不過，就實際考量上，仍有兩個因素會影響 THD：

1. 載波波形的線性度
2. 輸出級之有限的輸出阻抗 [22]。

載波波形的線性度：這項因素被設計者所考量的地方為三角波的形狀，三角波在上升與下降邊緣儘可能的能線性化，不過，這會增加設計上的複雜度和增加

IC 的面積。圖 2-19 把三角波產生器以一個簡化等效電路表示，三角波的產生是先設計一個固定的方波（方波產生器），其振幅為 V_{cp} ，頻率為 f_{sw} （亦為三角波的頻率），在利用等效的 RC 網路的充電和放電來產生指數載波；圖 2-20 即為電容充電後的波形，它是將峰值 V_{cp} ，頻率 f_{sw} 的方波積分得到。

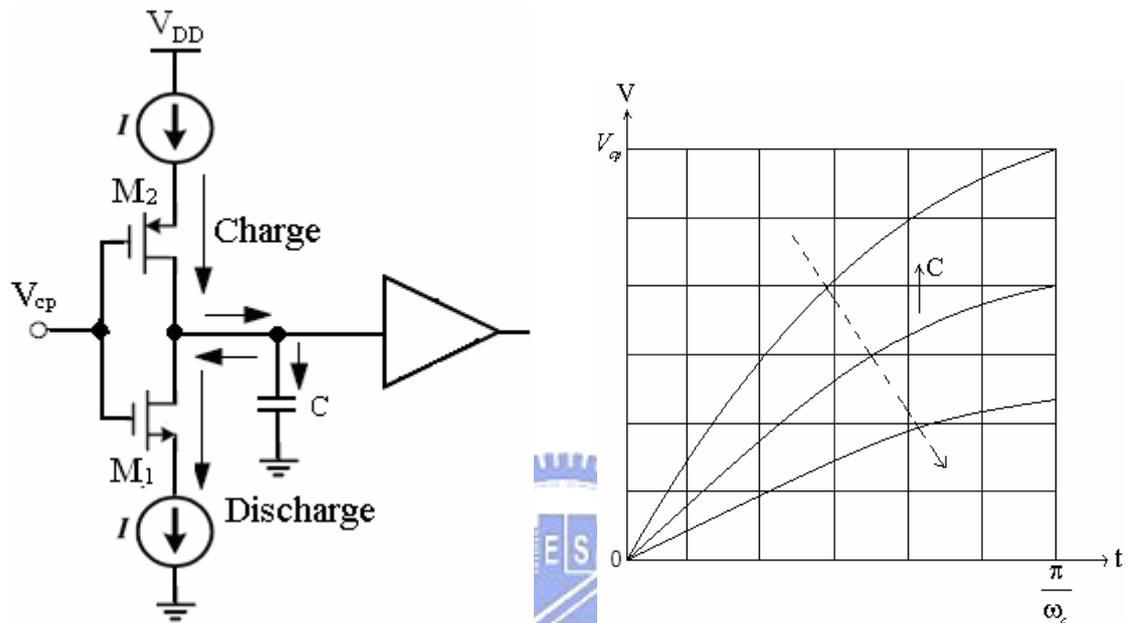


圖 2-19. 三角波之等效電路 圖 2-20. 三角波操作時域

由圖 2-19 的三角波產生器之等效電路可以推導出 (2.17) 式，用此式子也可以看出 V_{ri} 的波形。

$$V_{ri}(t) = V_{CP} \left[1 - e^{-\frac{t}{t_0}} \right] \quad (2.17)$$

其中 $t_0 = RC$ ， $0 < t < T_c = \frac{2\pi}{\omega_c}$ 。

從圖 2-20 中可以看到改變電容值將得到不同的三角波振幅大小和三角波形上升與下降的線性度，不過，頻率不會改變。因此，如果非線性度越大，和載波比較成為 PWM 調變的脈衝「偏向」就越大；此「偏向」的增加會使諧波失真變大。以致於設計者通常利用調整 t_0 和 ω_c 來改善三角波形上升與下降的線性

度，然而這種改善會換來三角載波信號峰值電壓的減少，它會依次降低輸入信號的動態範圍。

輸出級之有限的輸出阻抗：在輸出級之反相器的打開電阻也會對 THD 造成影響，如圖 2-16 所示；THD 會隨著振幅調制指數 (M_a) 增加而上升但是影響的程度很小，約略 0.01% 的變化，故設計者常常忽略不考慮。



第三章 設計理論

3.1 改善失真的方法

D 類音頻功率放大器的特性有別於其它的功率放大器，差別在於有較高功率效益和較高的失真問題；在這一節中，將分析 Feed-forward 和 Feedback 兩種技術[23] [24]來降低 D 類功率放大器的失真度。

3.1.1 Feed forward 分析

非線性功率放大器的輸出電壓波形可以視為輸入線性訊號和錯誤訊號的總和；就 D 類功率放大器而言，錯誤訊號是指輸出訊號中的非線性失真，如之前所提到，即為非線性的調變訊號和非理想的切換波形所產生。Feed forward 技術就是在估算這種錯誤，設計出一組在輸出端只有錯誤訊號的電路，然後與原本的輸出訊號相減來達到降低失真的目的。

基本的架構如圖 3-1 所示， V_C 為主要放大器 (Main Amp) 的輸出點；主要放大器是指設計者所設計的主要電路，在這裡是指 D 類功率放大器； V_C 包含放大輸入訊號和電路所產生的放大失真，也就是 $V_C = G_1(V_{in} + D)$ ，再透過 β 網路可得到 V_B ，其中 τ_1 方塊，為時間延遲 (Time Delay) 結構，是為了補償主要電路和 β 網路所產生的相移，可得到 $V_B = D$ ，再透過 Error Amp (G_2) 把失真放大 ($G_2 D$)，如此一來，可以把 V_C 訊號中的失真項給消除，剩下我們想要的輸入放大器訊號。而 τ_2 結構是為了補償 Error Amp (G_2) 所產生的相移；在 D 類功率放大器中，是利用其輸出濾波級來代替 τ_2 造成的相移。

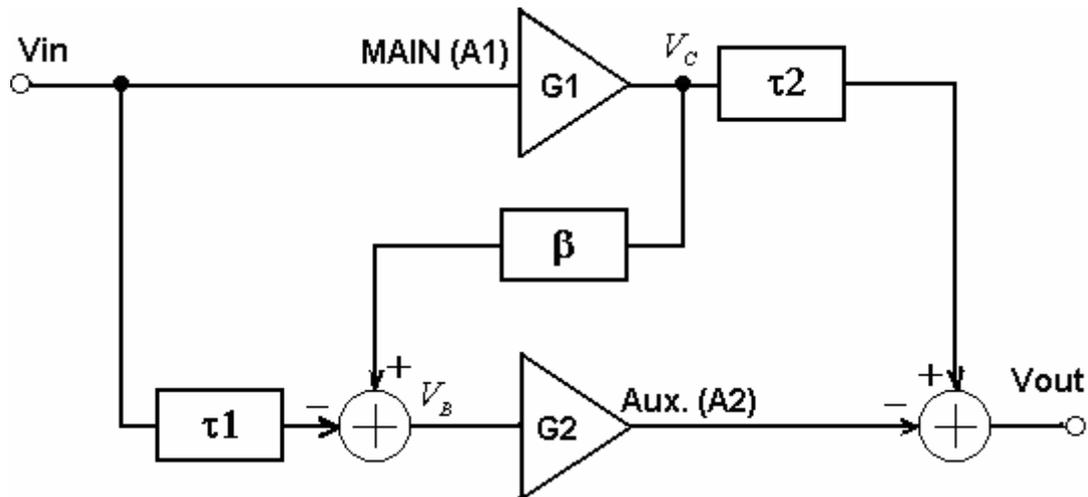


圖 3-1. Feed forward 基本架構

Feed forward 技術的優點在於其電路是屬於開迴路型態，不會因為內部的任何一個放大器和相移電路而造成振盪。然而，此技術也有一些困難和缺點：第一、在設計每一個方塊皆要特別小心，尤其是時間延遲電路（ τ 方塊），若是增益不同或是相位偏移，都會造成整個系統新的失真，也會使得此電路的規格和表現變差。第二、 τ_2 和輸出端的相減器會造成功率率的損耗。第三、D類功率放大器中， τ_2 方塊是利用二階低通濾波器來設計，來達到所需的相移，然而，也要考量到截止頻率，在設計上增加其困難度。第四、元件特性，有時會因為外在因素（如溫度變化）而稍稍改變電壓，造成不匹配，增加失真的情形，此 Feed forward 架構特別敏感[25] [26]。

3.1.2 Feedback 分析

負回授（Negative Feedback）基本架構如圖 3-2 所示， A_o 為開迴路增益； β 為回授因子，或稱回授增益；令 V_n 為開迴路路徑所產生的諧波失真的成分。

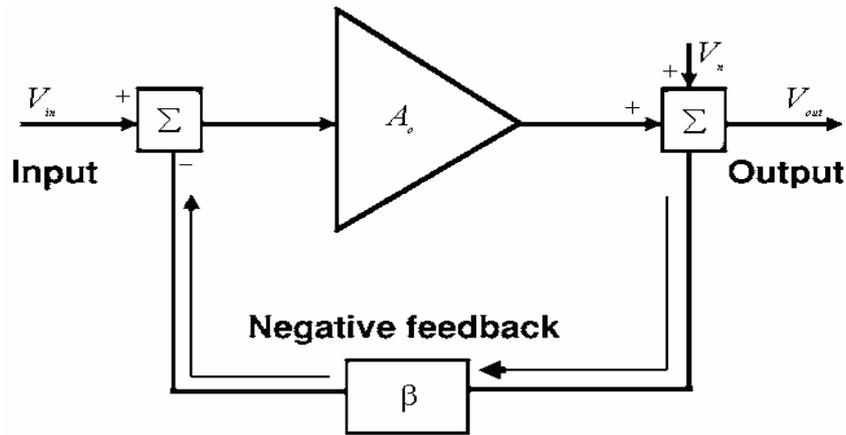


圖 3-2. 負回授 (NFB) 基本架構

經由數學分析得：

$$V_{out} = \frac{A_o V_{in}}{1 + A_o \beta} + \frac{V_n}{1 + A_o \beta} \quad (3.1)$$

(3.1) 式的第一項為整個系統閉迴路的增益也就是 $A_f = \frac{A_o}{1 + A_o \beta}$ ，重新整理得：

$$V_{out} = A_f V_{in} + \frac{V_n}{1 + A_o \beta} \quad (3.2)$$

經由總諧波失真 (THD) 的定義得：

$$THD = \sqrt{\sum_{n=2}^{\infty} (V_n)^2} / A_f V_{in} (1 + A_o \beta) \quad (3.3)$$

利用負回授技術可使總諧波失真 (THD) 降低了 $(1 + A_o \beta)$ 倍。

比較 Feed forward 技術與 Negative Feedback 技術：在特性上：Feed forward 電路是利用相消的方法來去消除失真，而 Negative Feedback 電路則是修正錯誤，

把失真降低 $(1 + A_o\beta)$ 倍。比較優缺點方面：第一、Feed forward 電路屬於開迴路型態，不會振盪，穩定性極佳，但是負回授電路會，需要補償設計。第二、由於 Feed forward 電路比 Negative Feedback 電路多幾個架構方塊，比較複雜，面積也比較大。第三、就設計的動態範圍而言，Feed forward 電路設限的幅度很小，容易出錯而影響原來的電路；Negative Feedback 電路幅度寬，基本上只要在穩定性的範圍內，不要造成振盪即可，比較好設計。基於上述分析，採用負回授網路來降低 D 類功率放大器失真是比較好的方法。

3.2 Feedback 在 D 類放大器的設計

3.2.1 所有閉迴路網路設計

由上一節得知，為了降低 D 類功率放大器的總諧波失真，採用了負回授網路；所設計的閉迴路結構如圖 3-3 所示[27]：除了 D 類放大器的基本架構外，另外加入一個回授電阻和前置放大器（Pre-amplifier），其中前置放大器又稱為誤差放大器（Error-amplifier），回授訊號必須在低通濾波級之前的切換輸出拉回，為了是避開由輸出級所產生的相移[28][29]。

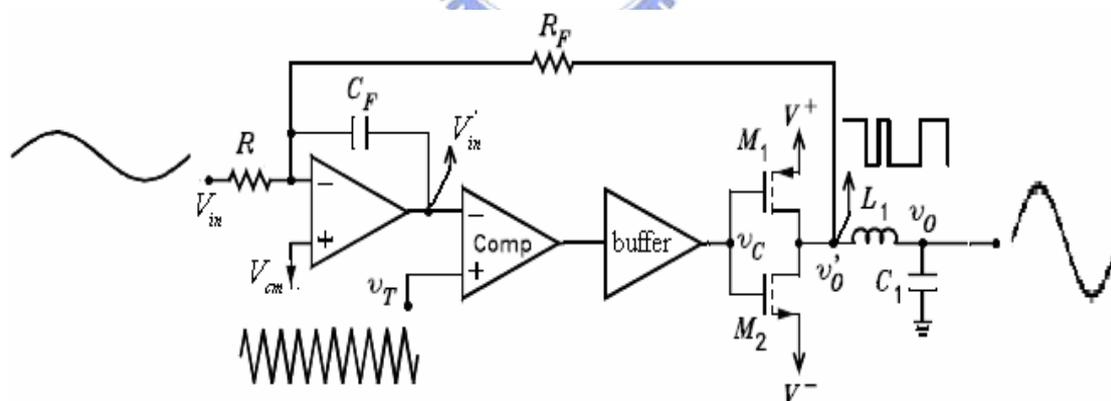


圖 3-3. 閉迴路設計架構

由誤差放大器、電阻和電容所組成的網路是一種積分器，此積分器有兩個用途：第一、用來當作低通濾波器已得到高直流開迴路增益，和消除高頻成分。第二、利用積分器中的電容來平均切換式的回授訊號。此外，輸入訊號由 V_{in} 到 V'_o 的過程中，訊號被放大，直流準位也不一樣，若是不考慮 V_{cm} 的設計，直接把 V'_o

的訊號拉回，會有不匹配的情形，造成比較器無法正確的比較輸入的兩個訊號，因而就會得不到 PWM 的輸出訊號。 V_o' 的直流準位在 $V_{DD} \sim GND$ 的中間，因此， V_{cm} 必須為 $\frac{V_{DD}}{2}$ 。

利用圖 3-4 和圖 3-5 來分析加入額外的電路後，訊號波形的變化。圖 3-4 為 PWM 訊號中的一小段放大圖示，左圖說明一開始瞬間， V_o' 為一般弦波和三角波比較得到的 PWM，經過如圖 3-5 的合成得到如右圖 V_{in}' 新的波形，因而在經過比較後的 V_o' 波形也就不大一樣。

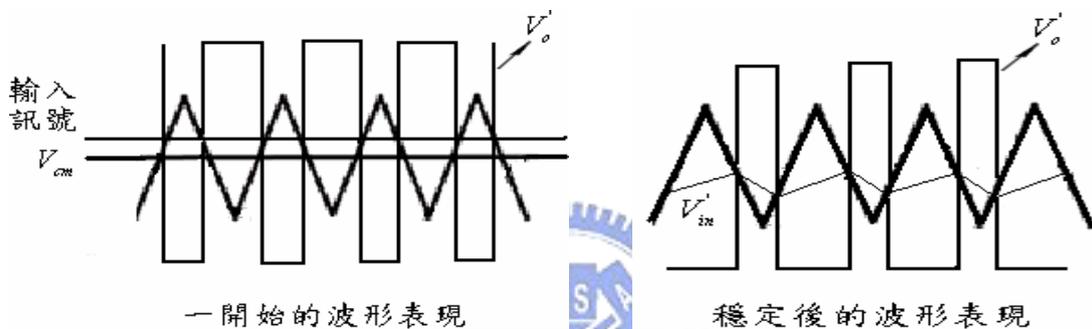


圖 3-4. 閉迴路波形分析

圖 3-5 為圖 3-4 中細部訊號的合成， V_o' 藉由積分器中的電容充電放電得到以 V_{cm} 準位的波形， V_{in} 透過積分器反相，兩個訊號在 V_{in}' 處合成，形成如圖 3-4 右圖的 V_{in}' 波形。

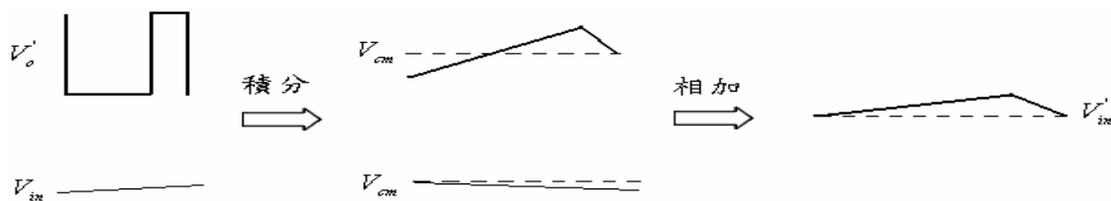


圖 3-5. 訊號合成分析

3.2.2 閉迴路之轉換函數

在分析閉迴路 D 類功率放大器之前，先把圖 3-3 等效電路簡化成如圖 3

—6 所示：比較器、Gate-Driver 和輸出級可以等效成單端輸入與單端輸出的放大器。 V_{in}' 為 PWM 的輸入電壓，振幅和 V_{in} 一致； V_o 與電源供應器提供的電壓大小一致，從 V_{in}' 到 V_o 的轉換過程中只有訊號調變（PWM），沒有極點與零點的顧慮，所以這部份可以等效成增益為 G_{PWM} 的放大器。

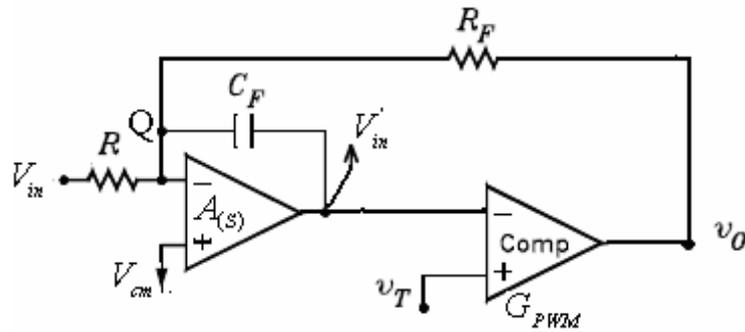


圖 3-6. 閉迴路等效簡化網路

下聯第一式是利用 KCL 對 Q 點分析；第二式和第三式分別對 $A_{(s)}$ 和 G_{PWM} 的轉換函數。

$$\begin{cases} \frac{V_{in} - V_Q}{R} + \frac{V_o - V_Q}{R_F} = sC(V_Q - V_{in}') \\ V_Q = -\frac{V_{in}'}{A_{(s)}} \\ V_o = G_{PWM} \times V_{in}' \end{cases}$$

經由數學分析結果得：

$$V_{in} \left(\frac{R_F}{R} \right) + V_o$$

$$= - \left[\frac{1 + \left(\frac{R_F}{R} \right)}{A_{(s)}} + \frac{sR_F C_F}{A_{(s)}} + sR_F C_F \right] \times \frac{V_o}{G_{PWM}} \quad (3.4)$$

設計一個誤差放大器，會希望它的增益愈大愈好，同時也要注意極點的位置，以免在負回授網路中產生振盪；假設誤差放大器的增益非常大，亦 $A_{(s)}$ 項很大，則 (3.3) 式可改寫成如下：

$$V_{in} \left(\frac{R_F}{R} \right) + V_o = -(sR_F C_F) \times \frac{V_o}{G_{PWM}}$$

$$\frac{V_o}{V_{in}} = - \frac{1}{R \times \left(\frac{1}{R_F} + \frac{sC_F}{G_{PWM}} \right)} = - \frac{\frac{G_{PWM}}{RC_F}}{s + \frac{G_{PWM}}{R_F C_F}} \quad (3.5)$$

由 (3.5) 式可以得到主極點 $s = -\frac{G_{PWM}}{R_F C_F}$ 和閉迴路直流增益 $A_D = -\frac{R_F}{R}$ ；此外，可以藉由下式來分析開迴路增益和回授因子：

$$H(s) = \frac{A_{(s)}}{1 + A_{(s)}\beta} = \frac{-\frac{G_{PWM}}{sRC_F}}{1 + \frac{G_{PWM}}{sR_F C_F}} \quad (3.6)$$

由 (3.6) 式可得到開迴路增益 $A = -\frac{G_{PWM}}{sRC_F}$ 和回授因子 $\beta = -\frac{R}{R_F}$ 。由

以上分析得到積分器影響整個系統的頻寬。此外，負回授網路可把 THD 降低

$1 + A\beta$ 倍，又 $A\beta = \frac{G_{PWM}}{sR_F C_F}$ ，所以若希望 THD 降低，可把 G_{PWM} 增加，或 R_F 、

C_F 降低。

3.2.3 設計上的考量

在設計上有一個重要的因素會影響系統的準確性，就是在積分後輸出三角波形的斜率，由圖 3-7 分析，積分後輸出波形 V_{in}' 的斜率不可大於三角載波 V_{tri} 的斜率；如果 V_{in}' 的斜率大於 V_{tri} 的斜率，則大於的部份將無法被比較而造成失真。

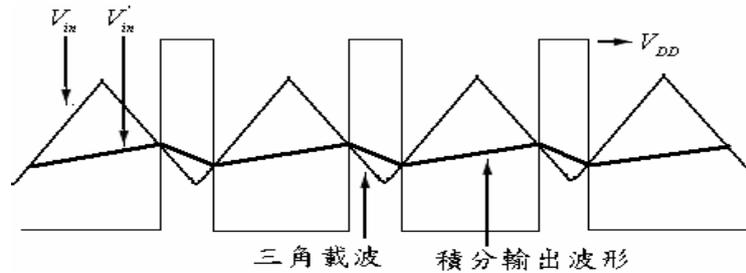


圖 3-7. 斜率比較分析圖

利用圖 3-3 來分析所要考量的因素，已達到不失真的目的；積分器上電容充放電的方程式為：

$$\frac{V_{in} - V_{cm}}{R} + \frac{V_{DD}}{2R_F} = C_F \frac{dV_{in}'}{dt}$$

V_{in}' 的斜率必須小於 V_{tri} 的斜率；令 V_T 三角載波的振幅， f_{sw} 為其頻率，則：

$$\left| \frac{dV_{in}'}{dt} \right| < \frac{2V_T}{T_{sw}} = 2f_{sw} \frac{V_{DD}}{G_{PWM}}$$

$$\frac{V_{in} - V_{cm}}{C_F R} + \frac{V_{DD}}{2C_F R_F} < 2f_{sw} \frac{V_{DD}}{G_{PWM}} \quad (3.7)$$

假設 V_A 為 V_{in} 可允許的最大振幅，則：

$$\frac{V_A}{C_F R} + \frac{V_{DD}}{2C_F R_F} < 2f_{sw} \frac{V_{DD}}{G_{PWM}}$$

$$\frac{V_A R_F}{R} + \frac{V_{DD}}{2} < 2f_{SW} \frac{R_F C_F V_{DD}}{G_{PWM}} \quad (3.8)$$

結合 (3.5) 式的閉迴路直流增益 $|A_D| = \frac{R_F}{R}$ ，並且由已知的截止頻率

$$f_D = \frac{G_{PWM}}{2\pi R_F C_F} \text{ (Hz)}, \text{ 可得:}$$

$$V_A |A_D| + \frac{V_{DD}}{2} < \frac{f_{SW} V_{DD}}{\pi f_D} \quad (3.9)$$

V_{in} 的最大振幅 $V_A = \frac{V_{DD}}{2|A_D|}$ ，將其代入 (3.9) 式，可得到重要的通式

$f_{SW} > \pi f_D$ ；此外，截止頻率 f_D 也必須大於音頻訊號，一般人可聽到的最大音頻為 20KHz，所以設計 f_D 的範圍必須在 $20\text{KHz} < f_D < \frac{f_{SW}}{\pi}$ 。

3.3 無濾波輸出級調變機制

無濾波器調變機制[30][31]的發展是為了大幅簡化或免除輸出濾波器，這種無濾波器調變機制會將開關電流減至最小，讓損耗值很大的電感，甚至喇叭，能用來取代 LC 濾波器作為能量儲存的零件，同時讓放大器保持高效率。

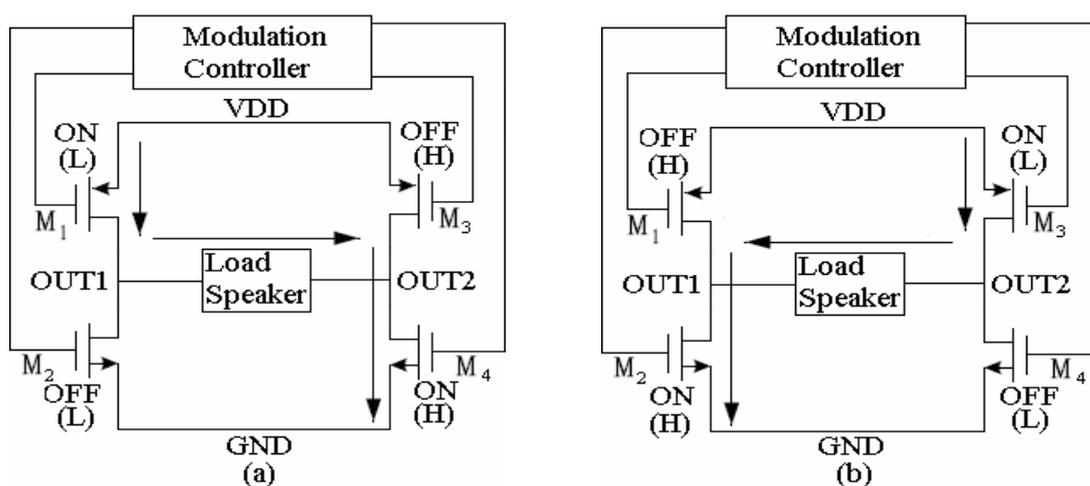
傳統 D 類功率放大器的調變機制，在提供全橋式差動輸出，兩隻輸出接腳的相位剛好相差 180 度，並且在零電位 GND 和供應電壓 V_{DD} 之間變動，因此濾波前的差動輸出會在正 V_{DD} 和負 V_{DD} 之間變動，濾波後的 50% 負載週期則會在負載上產生 0V 電壓。注意：就算負載的平均電壓為 0V (50% 負載週期)，峰值輸出電流仍然很大，這將使得濾波器產生功率損耗，進而造成供應電流增加。傳統調變機制需要 LC 濾波器，讓很大的開關電流能在 LC 濾波器內循環流動，而不是進入喇叭造成功率損耗[32]。

無濾波器調變機制的每隻輸出接腳都會在零電位和供應電壓之間切換，不過， V_{OUT+} 和 V_{OUT-} 在沒有訊號輸入時會保持相同的電位。當輸入電壓為正

時， V_{OUT+} 的負載週期將大於 50%， V_{OUT-} 則會小於 50%；若輸入電壓為負，則 V_{OUT+} 的負載週期小於 50%， V_{OUT-} 則大於 50%。在切換過程的大部份時間裡，負載兩端的電壓都會等於零，這能大幅減少開關電流，進而降低濾波器或是喇叭上的功率損耗。由於開關損耗非常小，因此可利用喇叭來儲存電能，同時讓放大器保持極高的工作效率。雖然開關頻率成分並沒有被濾掉，但喇叭對於開關頻率的阻抗很大，因此只有很少的功率會被喇叭消耗。除此之外，喇叭也無法再生開關頻率，即便它能做到，人耳也無法聽到大約 20KHz 以上的頻率。

傳統的 D 類功率放大器與線性功率放大器比較起來還有一項缺點，就是面積過大，這會花費近乎兩倍的面積成本，因此藉由無濾波輸出級的技術將可以來改善此問題。

無輸出濾波級的 D 類功率放大器經由調變控制之後，在輸出級共可分成四種操作模式，如下圖 3-8 所示；其中圖 3-8 (a) 與圖 3-8 (b) 為傳統 D 類放大器的切換模式，在負載兩端不論是有無音頻訊號輸入皆為一端為 High，另一端為 Low；而圖 3-8 (c) 與圖 3-8 (d) 為無濾波技術所增加的切換操作模式，不論有訊號或是無訊號輸入時，這兩種操作模式皆會發生；此外，值得一提的是，當無訊號輸入時，就只有這兩種操作模式，它使得在負載兩端產生相同位準的電壓，其好處是可得提高功率效益與節省電路面積[33][34]。



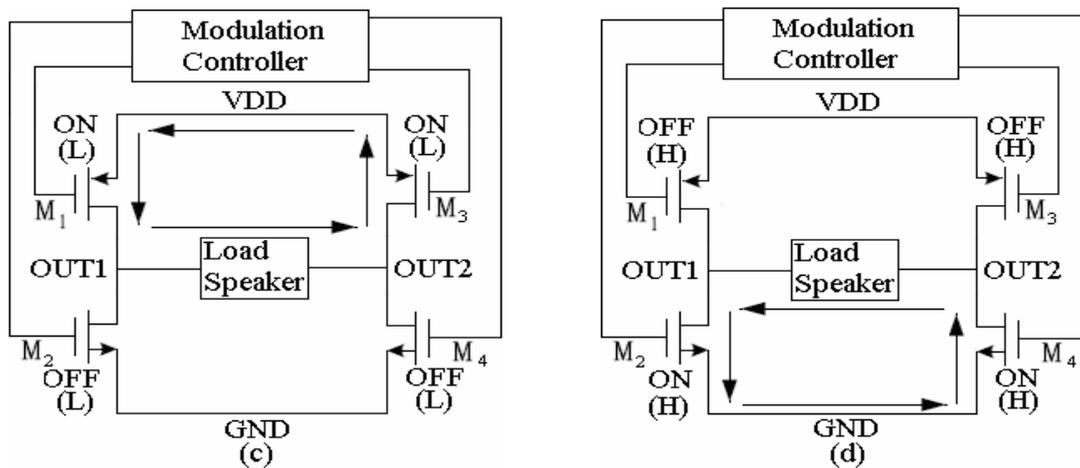
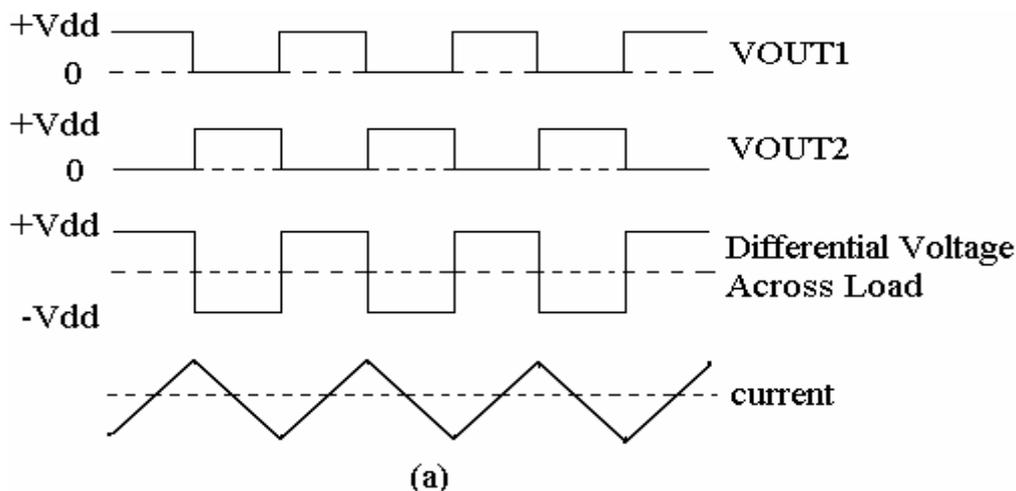


圖 3-8. 無濾波輸出級之操作模式

當輸入音頻訊號極小或是沒有訊號時，負載兩端所產生的訊號，如圖 3-9 所示，其中 圖 3-9 (a) 為濾波器之前的兩端切換訊號，亦為圖 3-8 (a) 與 (b) 的模式；圖 3-9 (b) 為無濾波 D 類放大器的訊號，在輸出兩端接腳為相同的電壓；由此可知，無訊號輸入時，傳統 D 類放大器仍有電流通過，而無濾波形式沒有；不難發現，在輸入音頻訊號極小或沒有訊號時，傳統 D 類放大器會有較大的功率損耗。

把圖 3-8 這四種模式組合起來，就會產生如上所述，在每一段比較出來的數位訊號，其寬窄不同的兩個 PWM 訊號；切換訊號如圖 3-10 所示，取一個音頻週期的一小段放大來看；在 PWM 調變之後，利用比較器輸出兩端的脈衝寬度不一，可以產生兩倍大的切換頻率，在負載上由於負載有電感性所造成的電流影響的消耗功率也比較小，可以提高功率效益[35][36]。



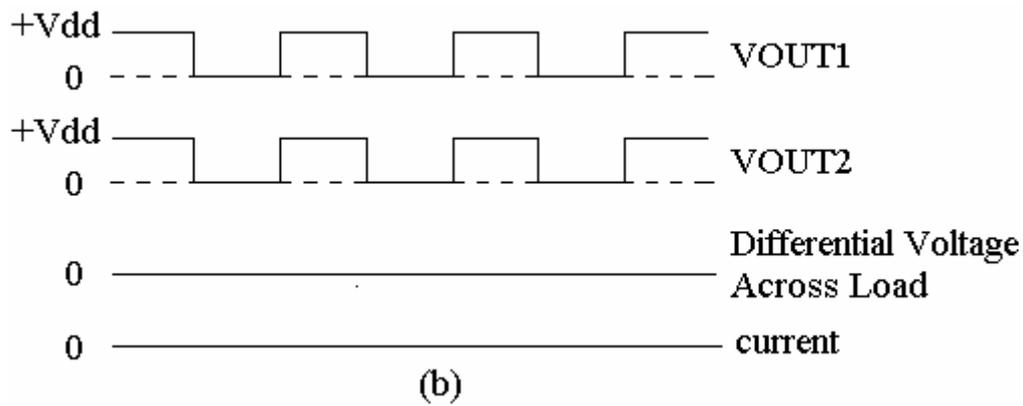


圖 3-9. 無輸入時負載上的訊號 (a) 傳統式 D 類放大器 (b) 無濾波級 D 類放大器

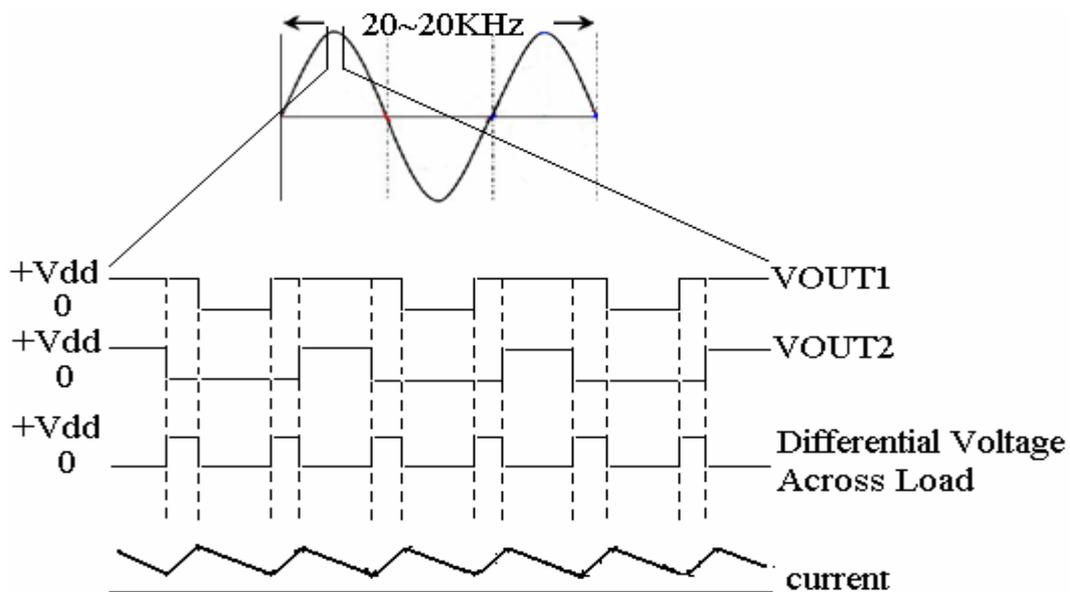


圖 3-10. 有輸入時負載上的訊號

3.4 PWM 訊號調變分析

為了能得到 3.3 節中所討論的優點，在本節提出了幾種電路調變方式來實現。基本上，所採取的架構如圖 3-11 所示，不同之處在於訊號輸入端和三角波產生器的改變。

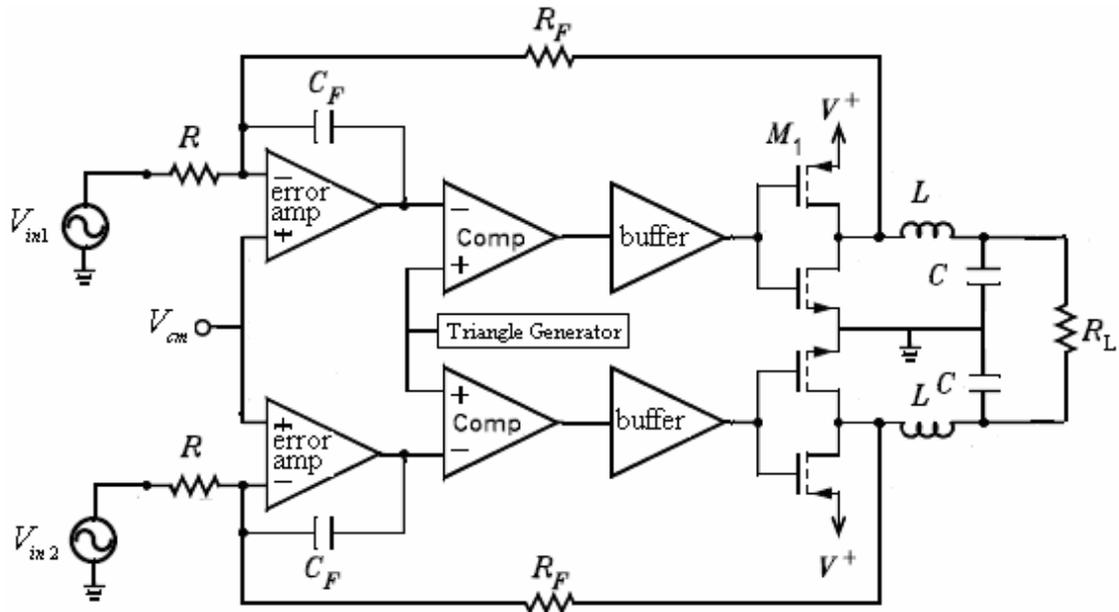


圖 3-11. 調變架構

3.4.1 PWM 單電壓極性切換

在本論文中，主要採取單電壓極性切換的調變方式分析；在輸入端採用如圖 3-11 中的方法，在 V_{in1} 端為 $\frac{1}{2}V_{in}$ ， V_{in2} 端為 $-\frac{1}{2}V_{in}$ ，三角載波產生器則共同對兩個比較器輸入相同的三角波；調變的方式如圖 3-12 所示，全橋式的切換控制信號分別由兩個相反的音頻弦波 V_{in1} 和 V_{in2} 與三角載波比較後產生；其中 V_{in1} 和 V_{in2} 為比較器之負向輸入端， V_{PDM+} 和 V_{PDM-} 為比較器輸出 PWM 訊號。

由於輸出電壓在 0 及 $+V_{DD}$ 或 0 及 $-V_{DD}$ 切換，故稱為單電壓極性切換。其優點為切換頻率可以等效提昇一倍，且輸出電壓之變動為 V_{DD} 而非雙電壓極性切換之 $2V_{DD}$ （傳統全橋式 D 類放大器）；切換頻率提高一倍，可使輸出電壓之最低諧波出現在兩倍切換頻率之邊帶上[37]。

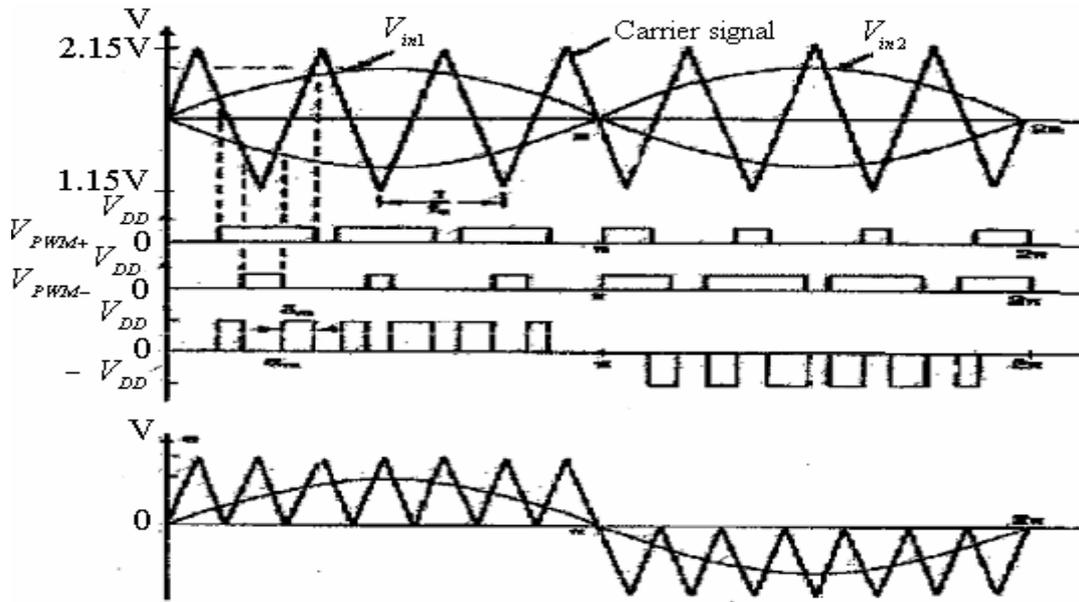


圖 3-12. PWM 單電壓極性切換調變

3.4.2 其他各類調變方法

除了上述的主要調變方法外，針對無輸出濾波級的理念，再提出幾個調變方式來做比較：

第一、針對三角波產生器設計，產生的調變方式：將三角波產生器輸出的兩個訊號反相，產生相位相差 180 度的三角波訊號；輸入訊號採用兩個相同的正弦波來對三角波做比較，調變如圖 3-13 所示，我們能見到透過負載的差動電壓改變的結果從 $-V_{DD}$ 到 V_{DD} 。

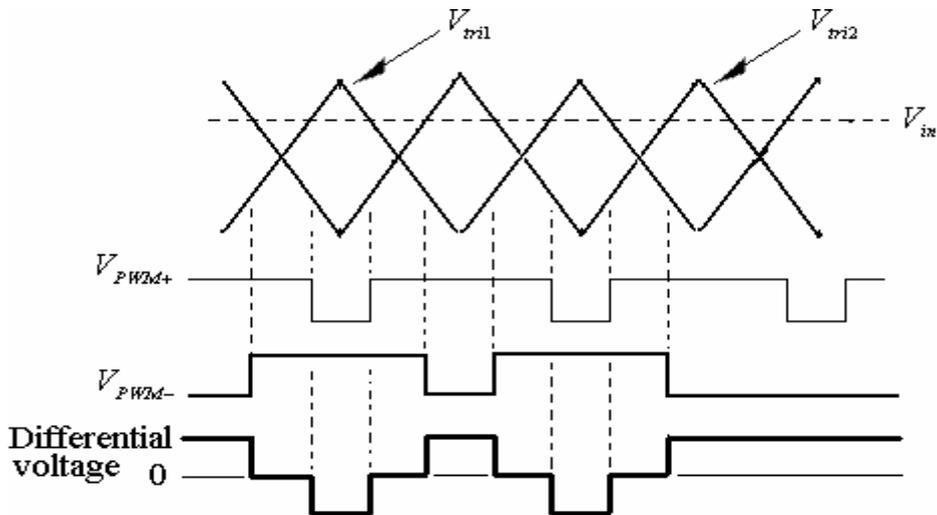


圖 3-13. 反相載波振幅 PWM 設計

第二、我們能改變輸入信號的型態；一個正弦曲線；另一個被連接到接地。主要的目的將製造作為 50% PWM 的一個任務週期 (Duty-Cycle) 的 Clock。另外 PWM 被輸入信號調整，功率消耗降低下和在每個週期被調整的訊號頻率加倍。此調變方式如下圖 3-14 所示[38]。

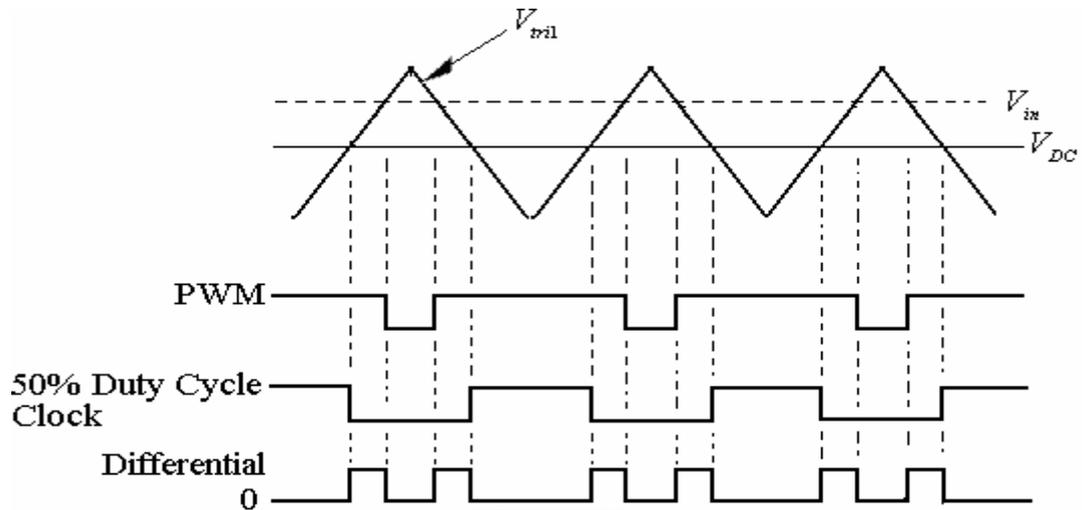


圖 3-14. Clock 對 PWM 設計

第三、再針對三角波產生器設計，產生的調變方式：利用電流大小來提供電容充電放電，產生振幅大小不同的三角波；輸入訊號採用兩個相同的正弦波來對三角波做比較，其中 V_{in} 必須以較小的三角波振幅為準，也就是 V_{in} 不能大於 V_{tri2} ，以避免輸入信號和載波有交錯不到而無法比較的情形。

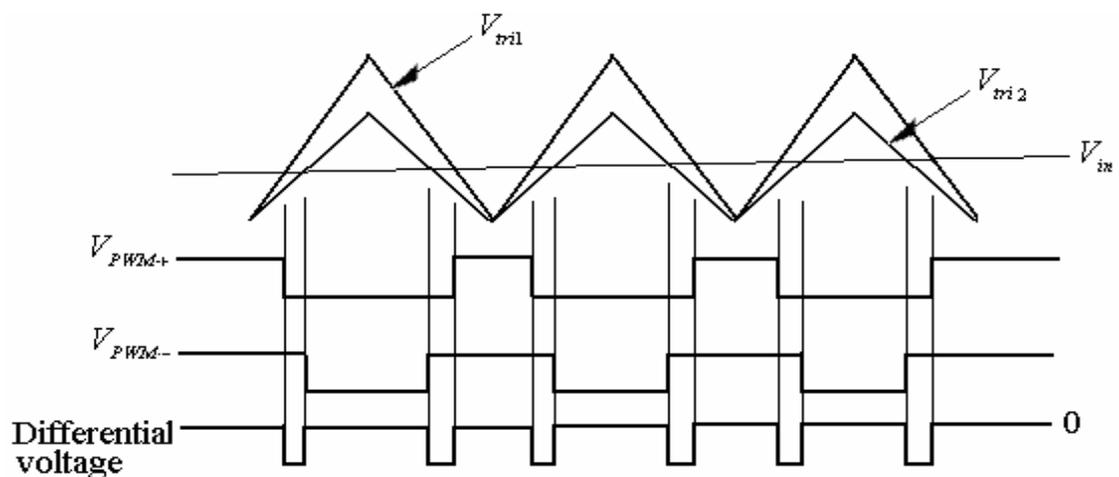


圖 3-15. 不同載波振幅 PWM 設計

以上四種採用無濾波機制的調變方式，在沒有訊號輸入時，比較器輸出兩端所產生的訊號皆為 50% 任務週期的 Clock，在負載兩端有相同的電壓值。



第四章 電路模擬分析與討論

4.1 介紹

本章電路模擬採用 TSMC 0.35 μm 2P4M CMOS 製程技術設計且提供電壓 (V_{DD}) 為 3.3V，針對 D 類功率放大器之積體電路做模擬分析與討論。其分節的方式為積體電路 (IC) 之內部應用電路，外接和模擬用電路，和 D 類功率放大器電路的性能及不同調變方式之模擬比較。

4.2 內部應用電路設計

4.2.1 運算放大器 (Operational Amplifier)

運算放大器又稱為 OP，在這裡當作積分器用，也有人稱之為前置放大器 (Pre Amplifier) 或是誤差放大器 (Error Amplifier)。從第 3.2.2 節中得知，所要設計的 OP 必須直流增益大，儘可能使轉換函數 (3.4 式) 不受 OP 影響，進而得到 (3.5) 式；再由第 3.2.1 節知，此積分器輸出訊號的頻率包含了音頻和三角波頻率，訊號如圖 3-4 所示，架構在圖 3-3，輸出訊號為 V_{in}' ；為了讓鋸齒波之上升與下降訊號不受 OP 之延遲率 (Slew-Rate) 影響，SR 值必須大於鋸齒波之斜率。

結合上述結論，可知所要設計的 OP，最重要在於增益和延遲率，因此，我所定的規格如下：1. 直流電壓增益約 10K (80dB)，在約 250KHz 時，增益不可衰減至零；此外，相位邊界 Phase Margin (PM) 要大於 60° ，也就是大小響應之增益值為零時，所對應的相角響應必須小於 120° ，目的是避免在閉迴路下，訊號發生振盪。2. 延遲率 (SR) 的限制：積分器的輸出訊號上有鋸齒波的產生，是由於將 PWM 訊號從輸出端回授積分器所致，其頻率和三角波一致，不過，鋸齒波的斜率沒有三角波來的大，但是每一週期之斜率皆不一樣，故為了確保每一

個鋸齒波都不受延遲率的影響，就統一以延遲率大於三角波斜率值來設計，也就是延遲率為 $SR > 0.5 V/\mu \text{ sec}$ 。

下圖 4-1 為自偏壓互補摺疊串接運算放大器 Self-biased complementary folded cascade operational amplifier (SBCFC)，為了要增加輸入電壓擺幅的一個互補用摺疊串接兩個N通道 (M_1 和 M_2) 並且使用並聯連接的P通道 (M_{1a} 和 M_{2a}) 差動輸入對。電晶體 M_3 和 M_{3a} 是差動輸入的電流源。

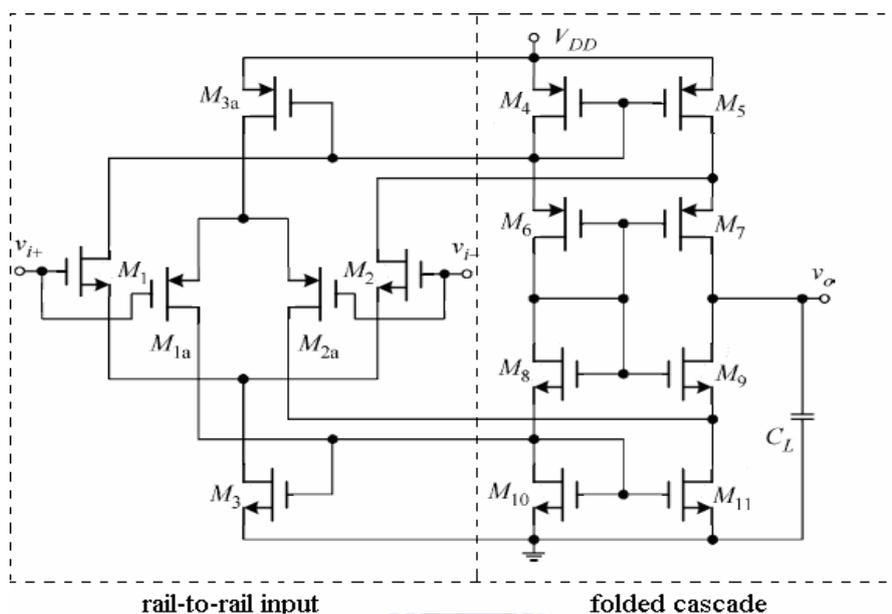


圖 4-1. 自偏壓互補摺疊串接運算放大器

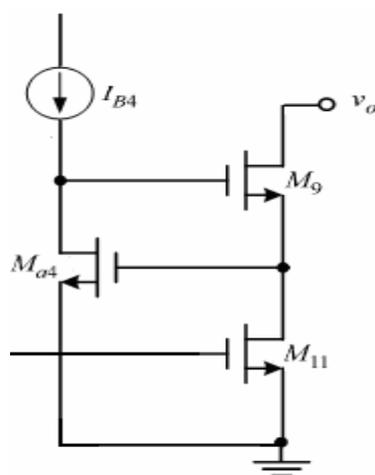


圖 4-2. 電流鏡可提高輸出電阻

這些電晶體用 M4、M6、M8 和 M10 是自給偏壓。重要的低頻增益是串接電流鏡 M4-M7 和 M8-M11 的結果。增益是

$$A_{v0} = g_{mT} R_o \quad (4.1)$$

g_{mT} 是輸入級的總跨電導

$$g_{mT} = g_{m2} + g_{m2a} \quad (4.2)$$

而且是研究 M7 和 M9 汲極的小訊號輸出電阻

$$R_o = (g_{m7} r_{d5} g_{m5}) \parallel (g_{m9} r_{d11} g_{m11}) \quad (4.3)$$

在 (4.2) 和 (4.3) g_{mi} 和 r_{di} 是電晶體的跨電導和輸出電阻。頻率補償被負載電容 C_L 達成。

低頻增益能被提升技術的增益提高。依照圖 4-2 所示的想法將藉由使用回授放大器提高串接電流鏡輸出電阻使 M11 的汲極—源極電壓保持儘可能穩定的。圖 4-2 所示的方法提議在[39] 回授放大器由共源極放大器了解 M_{a4} 的組成地方。

$$R_{o9} \approx g_{m9} g_{m4} r_{d9} r_{d11} r_{da4} \quad (4.4)$$

圖 4-3 為運算放大器的頻率響應，包含各種製程corner的大小響應與相位響應，其一般 (TT) 直流增益為83.7dB，在250KHz時，仍有34.4dB；大小響應 0dB時的相角約為96.3度，PM = 83.7度；其各種corner中，直流增益最差情形發生在FF項，為81.3dB，而且其相位也是最差，為98.6度，PM = 81.4度，全都有大於60度，而在250KHz時，最差的corner為30dB左右，增益皆沒有減至零。

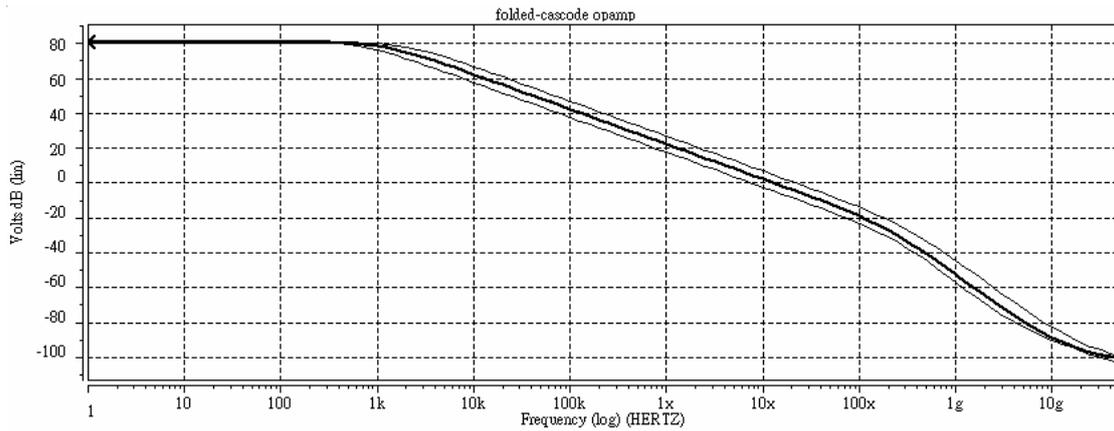


圖 4-3. OP增益大小

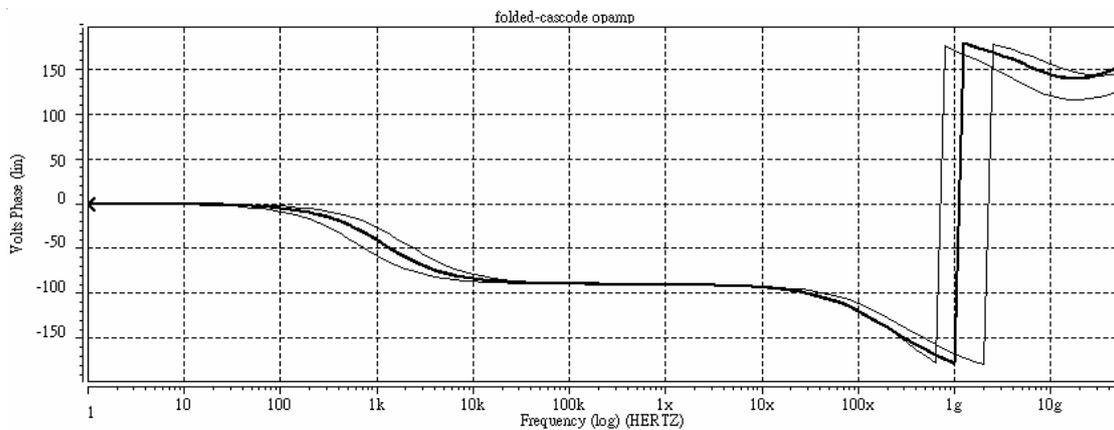


圖 4-4. OP相位大小

若要看延遲率 (SR)，則把 V_o 和 V_i^- 連接在一起，然後在 V_i^+ 輸入方波，看 V_o 輸出波形，模擬結果如下圖 4-5 所示，同樣包含各種製程corner， V_i^+ 輸入方波， V_o 輸出波形，皆有上升和下降的延遲時間，取其斜率即為SR值；上升和下降的SR值皆不可小於 $0.5 (V/\mu s)$ ，而模擬所得一般情形 (TT) 的上升時間為 $SR = 4.01V/us$ ，且下降延遲時間的 $SR = 4.73V/us$ 。至於最差的情形發生在SS，得到上升延遲時間的 $SR = 3.53 V/\mu s$ ，且下降時間的 $SR = 5.04 V/\mu s$ ，最好的情況是發生在FF；以上各製程corner皆符合不可小於 $0.5 (V/\mu s)$ 的條件。表 4-1 為誤差放大器模擬結果規格。

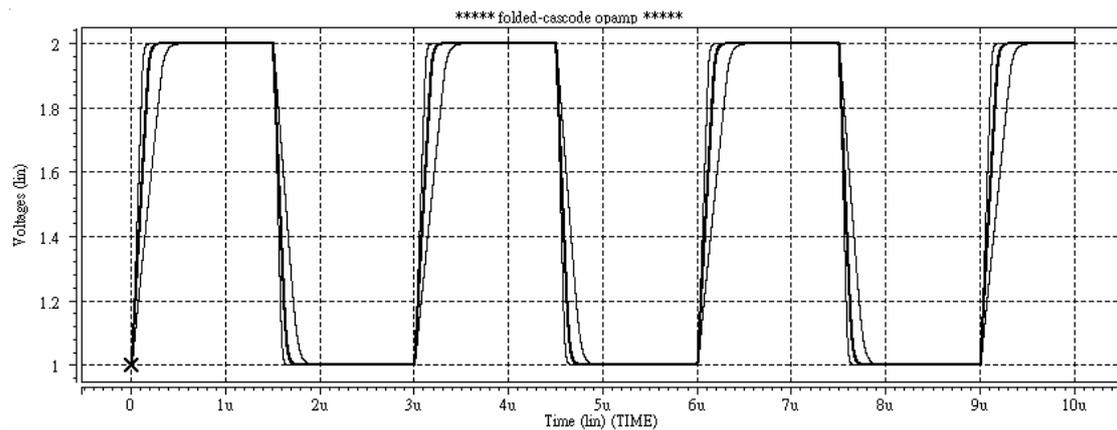


圖 4-5. OP延遲率

Gain	83.7dB
Phase margin	83.7°
3dB-bandwidth	1.1692KHz
Unity-gain bandwidth	13.173MHz
Slew rate up/down	4.01V/us 4.73V/us
CMRR	90.4dB
PSRR	103dB
settling time	3.01 us
Input Common Mode Range	2.791V
power dissipation	0.9022mW
CL	20pF

表 4-1. 運算放大器之規格 (TT.)

4.2.2 遲滯比較器 (Hysteresis Comparator)

速度是比較器中相當重要的特性。決定比較器速度的兩個特性為傳輸延遲時間和單位增益，另外輸入抵補電壓的大小也是所要探討的重點之一。傳輸延遲時間的大小是輸入訊號與輸出訊號的差異量所決定的，而單位增益的大小與比較器的速度有著很大的關係。在本論文中比較器將被設計成具有高速度比較的功能，與最佳化晶片面積和功率消耗。圖 4-6 為一個比較器之基本架構和比較器之轉換曲線，利用這兩個圖正好清楚地說明了比較器的工作狀態。

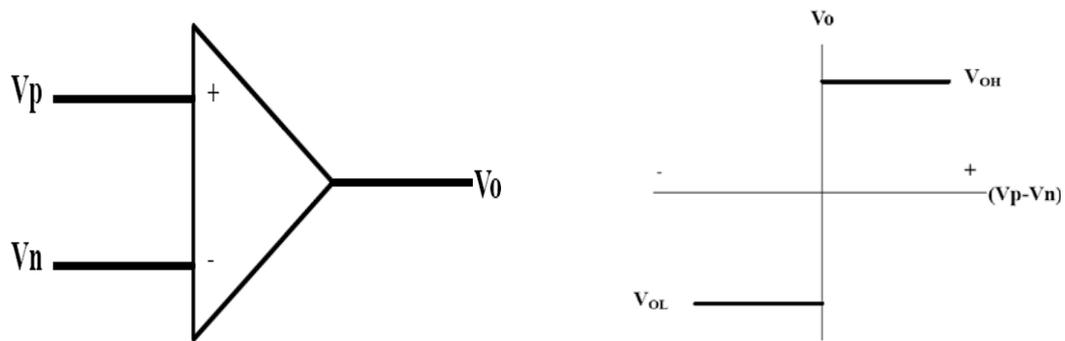
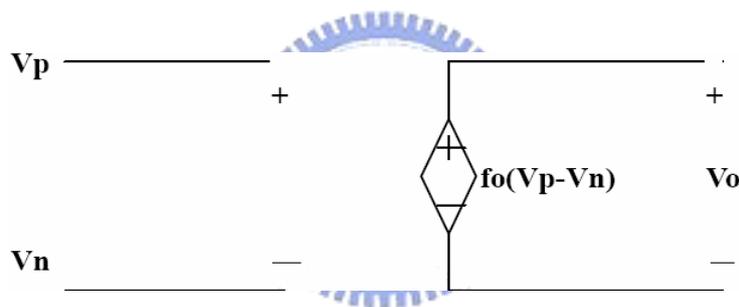


圖 4-6. 比較器和轉換曲線

圖 4-7 為比較器之理想模型，說明了當比較器的 V_p (非反相輸入端) - V_n (反相輸入端) 大於零，需達到一個 V_{IH} 電壓，則輸出端有一個 V_{OH} 電壓； V_p (非反相輸入端) - V_n (反相輸入端) 小於零，需達到一個 V_{IL} 電壓，則輸出端有一個 V_{OL} 電壓。



$$f_0(v_p - v_n) = \begin{cases} V_{OH} & \text{for } (v_p - v_n) > 0 \\ V_{OL} & \text{for } (v_p - v_n) < 0 \end{cases}$$

圖 4-7. 理想比較器模型

在互補型金氧半差動放大器或比較器中，最嚴重的影響莫過於輸入抵補電壓，輸入抵補電壓不僅由偏壓的不協調(bias mismatch)所造成的，還加上元件和架構的不協調(device and component mismatch)，基本上輸入抵補電壓能容許的範圍在5mV到20mV，如果輸入抵補電壓太大的話，將會使整個電路失去其功能。圖 4-8 為輸入抵補電壓對差動比較器之影響。

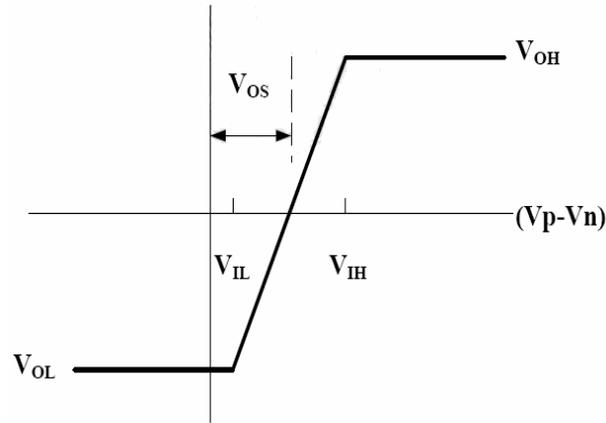


圖 4-8. 輸入抵補電壓對差動比較器之影響

比較器的傳輸延遲時間計算方法為，在輸入端輸入一個訊號，然後輸出端可得到另一個訊號，再將兩者放在時間軸上比較其差異，我們可從圖 4-9 很清楚地了解，其中 t_p 就是訊號在比較器中傳輸所延遲的時間。

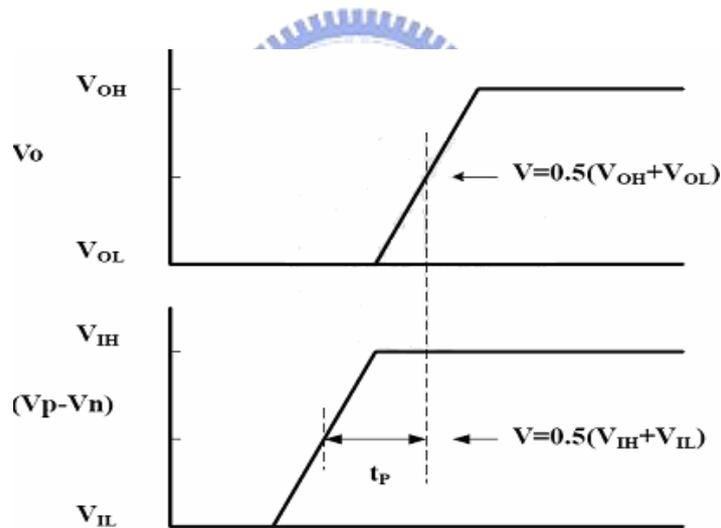


圖 4-9. 比較器之時間響應

因為比較器時常被放置在一個吵鬧的環境裡，卻必須偵測輸入訊號間差異而作出正確地判斷，所以需要對於比較器的轉換曲線作一番修正，以適應於各種環境，即使是在非常吵鬧的環境，比較器也能正確無誤地運作。因此遲滯現象是比較器相當重要的特性之一。圖 4-10 是比較器之遲滯曲線，其中 V_{TRP+} 為正膝點電壓(positive trip point)、 V_{TRP-} 為負膝點電壓(negative trip point)。當輸入電壓從負到正時，直到達到 V_{TRP+} ，輸出電壓才會轉態(Low→High)；當輸入電壓從

正到負時，直到達到 V_{TRP-} ，輸出電壓也才會轉態(High→Low)。

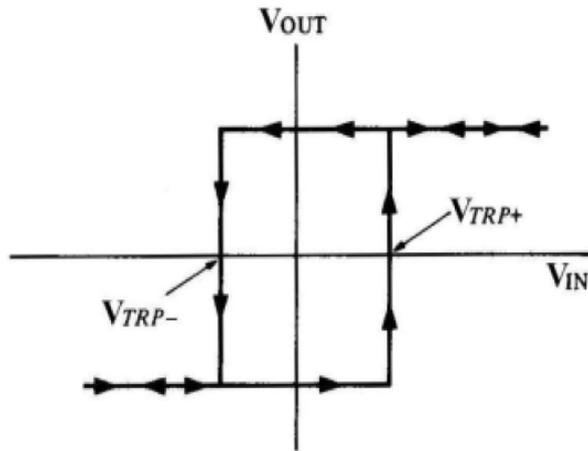


圖 4-10. 比較器遲滯轉換曲線

另外圖 4-11(a) 正說明了比較器的輸入有雜訊時，當沒有遲滯現象的比較器的輸出結果仍然帶有雜訊和不規律，而圖 4-11(b) 則表示有遲滯現象的比較器的輸出結果則是清楚而有規律，為了能適應各種環境，比較器的遲滯現象是需要的。

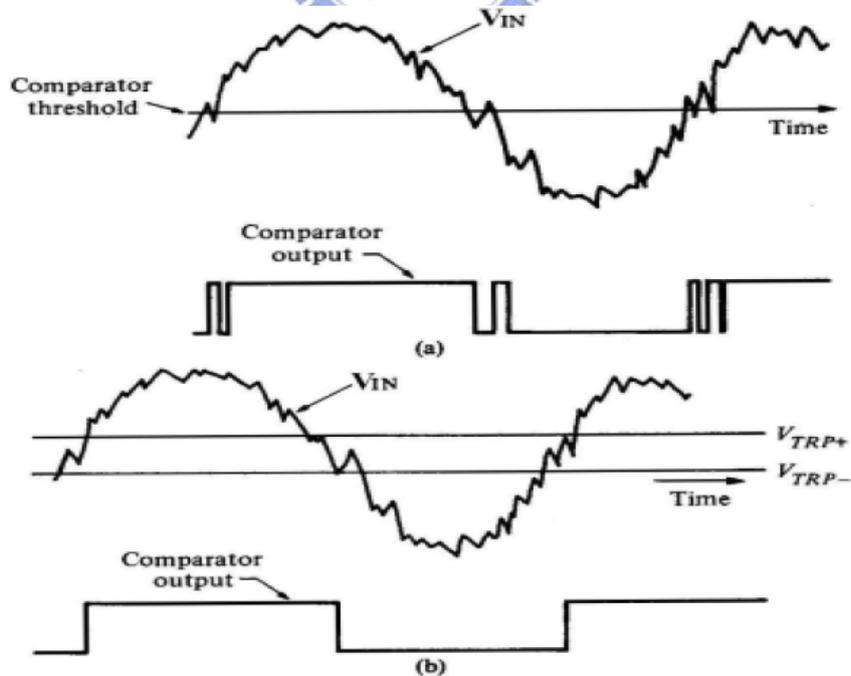


圖 4-11. (a)有雜訊輸入之無遲滯現象的比較器響應

(b)有雜訊輸入之有遲滯現象的比較器響應

本論文所設計的比較器電路可大概分為三個部分：1. 自我偏壓參考電壓源；2. 輸入級為一個P型差動放大電路；3. 輸出級為一個Push-pull互補型金氧半(CMOS)反相器。在參考了“CMOS Analog Circuit Design”這本書的做法[40]，加入兩個gate-drain connection的電晶體來提升電路的遲滯現象。圖 4-12(a) 為P通道差動輸入比較器在 V_n 小於零和 M_1 接地時的狀態，因而造成 M_1 off 和 M_2 on，進一步造成 M_3 、 M_{10} off 和 M_4 、 M_{11} on， i_5 所有電流都流入 M_2 和 M_4 ，所以輸出為low。圖 4-12(b) 當 V_n 大於零和 M_1 接地時的狀態，因而造成 M_1 on 和 M_2 off，進一步造成 M_3 、 M_{10} on 和 M_4 、 M_{11} off， i_5 所有電流都流入 M_1 和 M_3 ，所以輸出為high。

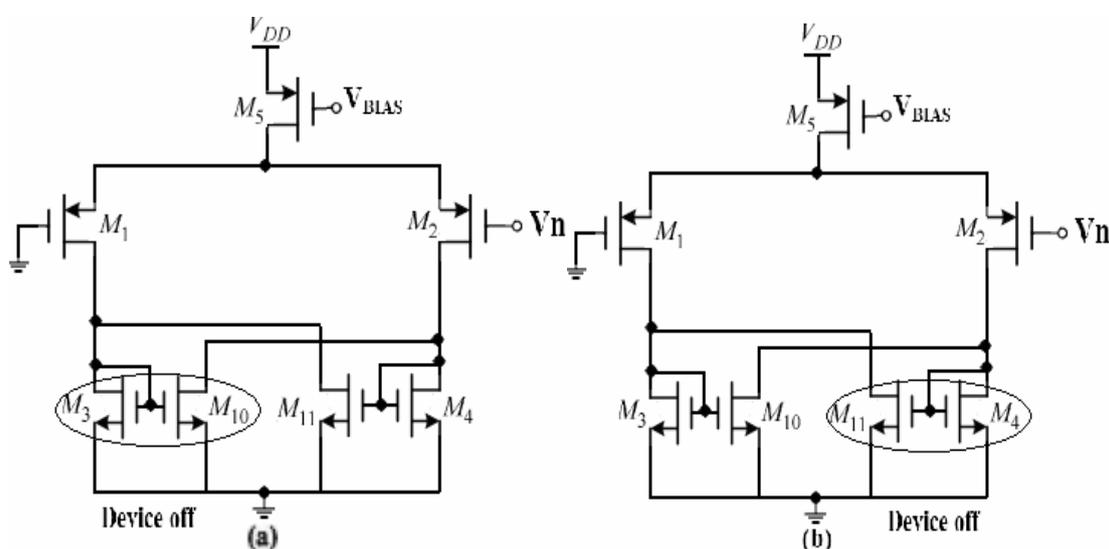


圖 4-12. (a)P通道差動輸入比較器在 V_n 小於零和 M_1 接地時的狀態
(b)P通道差動輸入比較器在 V_n 大於零和 M_1 接地時的狀態

偏壓電路為能自我偏壓gm電壓參考電路(Self-Biasing MOST gm Voltage Reference Circuit) [41]，如圖 4-13 所示，其優點在於電阻值一但固定以後，則 M_1 的gm不會受到溫度和供應電壓的改變而有所變化。

利用一個Push-Pull CMOS 反相器作為輸出級，其優點在於能提供電路較高的電壓增益和較好的輸出擺幅範圍(Output Swing Range)，這兩項優點對於設計高速比較器而言，有很大的幫助。

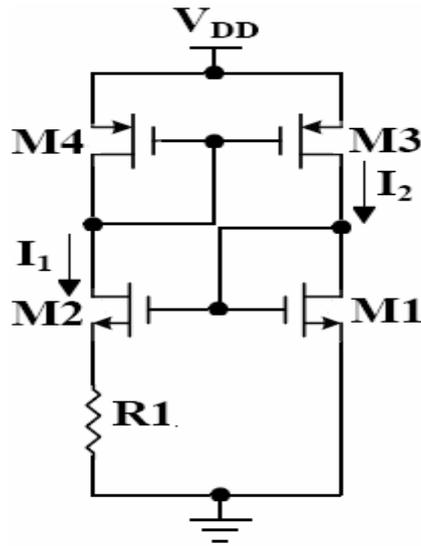


圖 4-13. 自我偏壓gm 電壓參考電路

上述詳細地討論及分析比較器的各個區塊後，以下是比較器的整體電路與其各項特性模擬的結果。比較器的兩個輸入端分別為Vp、Vn，輸出端為Vout，由於D類功率放大器的設計架構之直流準位必須為 $\frac{V_{DD}}{2}$ ，所以由模擬圖 4-15 所示，可以看出遲滯區間的中心點為1.65V，其區間設計在30mV。圖 4-16 為比較器的頻率響應模擬，其表 4-2 為比較器模擬結果規格。

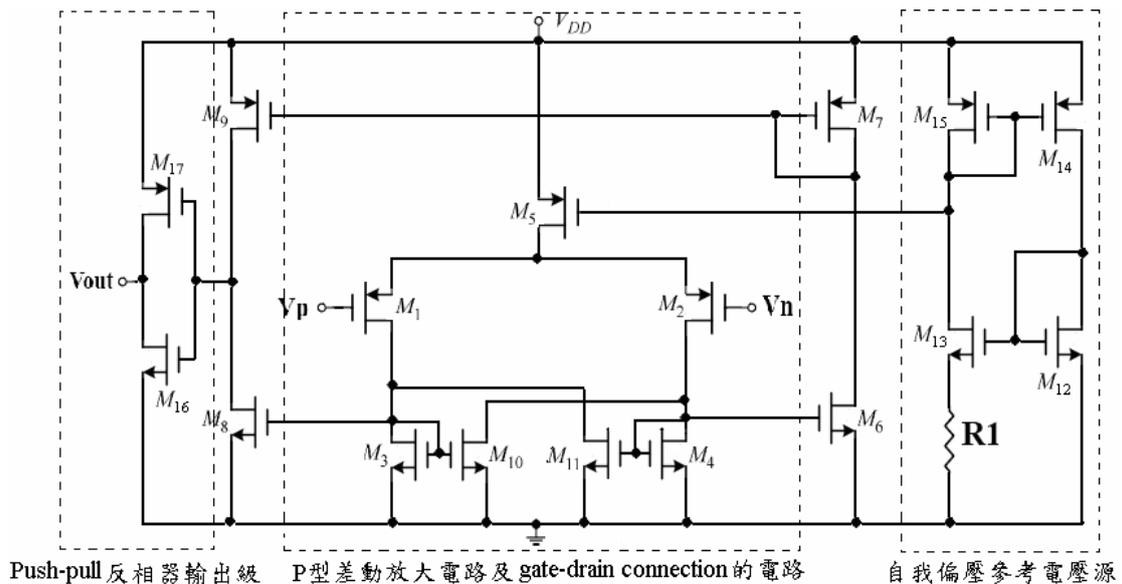


圖 4-14. 遲滯比較器電路

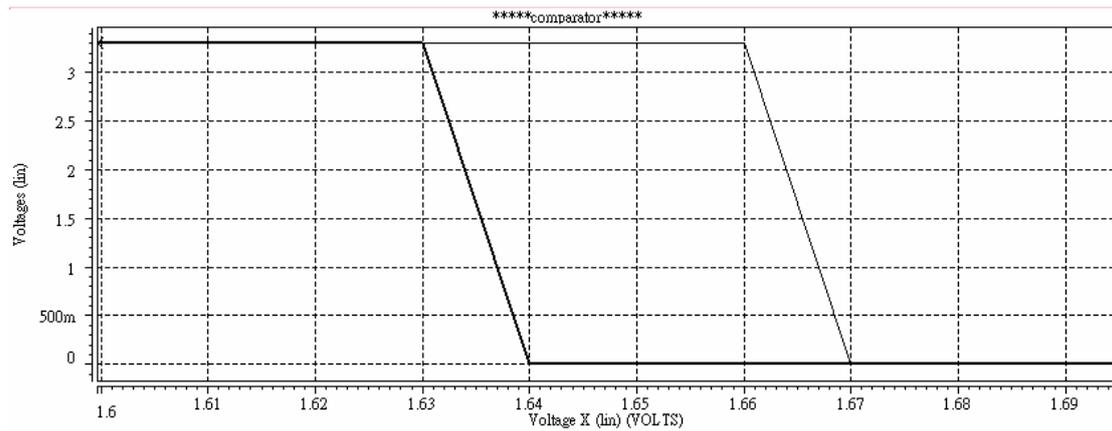


圖 4-15. 遲滯曲線

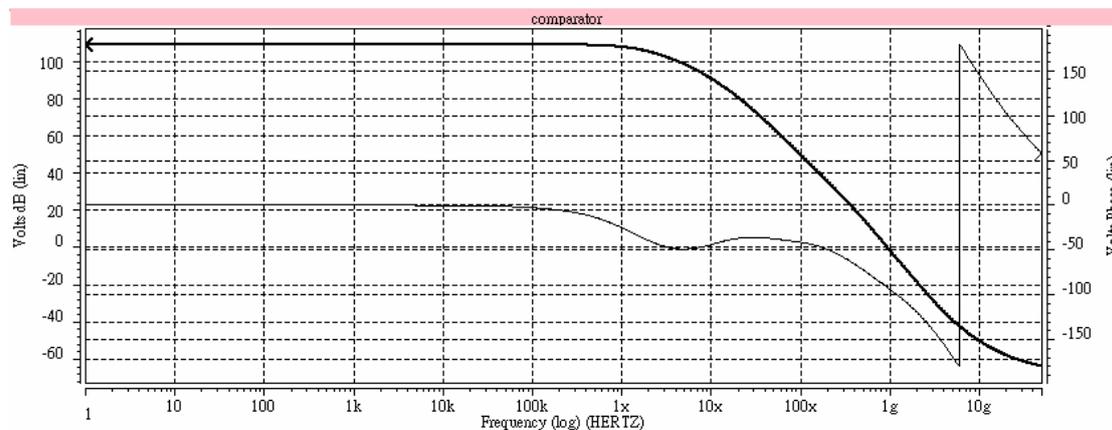


圖 4-16. 比較器頻率響應

Gain	103dB
Phase margin	88.3°
3dB-bandwidth	1.15MHz
Unity-gain bandwidth	980MHz
Offset voltage	1.65mV
CMRR	185dB
PSRR	164dB
power dissipation	1.609mW

表 4-2. 比較器之規格

4.2.3 三角波產生器 (Triangle Genertor)

三角波產生器的設計是利用電容的充放電荷，使方波電壓上升（充）與下降（放）。如圖 4-17，及利用史密特觸發器產生一個clock電壓訊號來控制M1和

M2兩個開關，使得有一電流路徑流通電容，使電壓上升下降，因此產生三角波。

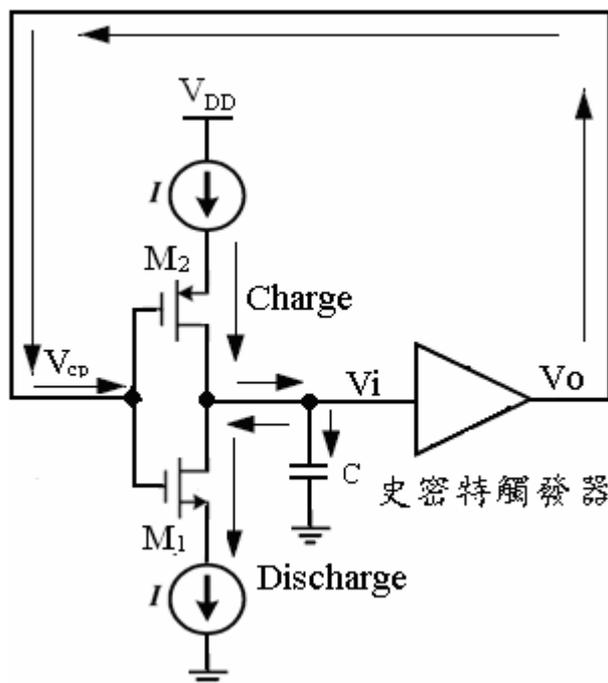


圖 4-17. 三角波電路設計架構

針對設計的D類功率放大器之PWM調變的三角波（載波），有頻率和直流（DC）準位的限制。三角波的頻率不可接近20KHz（音頻極限），也不可太高，會有前述的切換損耗問題。因此，在設計上約取250KHz來做為PWM的載波。為了配合整體設計的直流準位 $\left(\frac{V_{DD}}{2}\right)$ ，取1.65V為其DC值。至於振幅，則設計峰值到峰值的電壓為1V。

利用電容特性公式，（4.5）式，可得三角波形的斜率，進而可以設計出如上圖 4-17 所要的電流源（I）與電容值。首先將250KHz換算成週期是4 μ s，而三角波斜率為峰值到峰值電壓與半週期（2 μ s）比，得 2×10^5 （V/t），令 $C_1 = 20$ pF，則可推出需要電流10 μ A。

$$\frac{dV}{dt} = \frac{I}{C_1} \quad (4.5)$$

為了得到1.65V之 DC 準位，需要限制電容的充放電在 1.15V~2.15V 之間，因此，設計上則是利用史密特觸發器的切換區間設計，其切換區間設計在輸入電壓在1.15V~2.15V時，輸出端會切換 High 與 Low。

下圖 4-18 為電路設計，共可分成三個部份來做說明。第一部分的目的是為了提供 M13、M14、M17、M18 之閘極偏壓用，利用電流源來製造四組偏壓。第二個部份中的 M13、M14 為一個電流為提供電容充電的電流源，M17、M18 則是讓電容放電的電流源，而 M15、M16 當開關用，讓電容有一路徑可以進行充放電。第三個部份為史密特觸發器，其工作原理是先對 V_{out} 給一個觸發訊號，接著在 V'_{out} 會產生方波時脈，使 M15、M16 交互開關；此外，也對此觸發器設計了一個1.15V~2.15V的遲滯區間，模擬如下圖 4-19 所示，圖 4-19 為 V_{out} 對 V'_{out} 的轉換曲線，當電容充電至2.15V時， V_{out} 為high，M15 關，M16 開，電容開始放電，當放電到1.15V時， V_{out} 為low，M15 開，M16 關，電容再次進行充電，不斷的循環，因此產生一個1.15V~2.15V的三角波，模擬如下圖 4-20 所示。

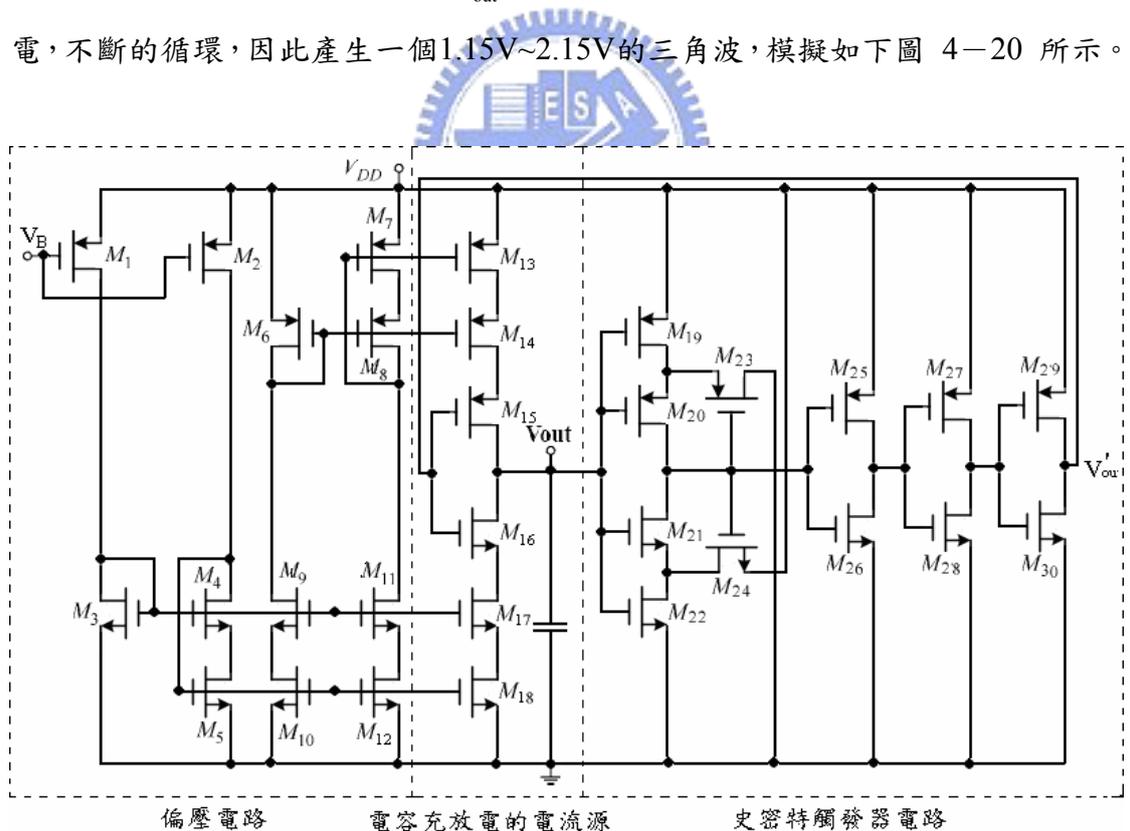


圖 4-18. 三角波產生器電路

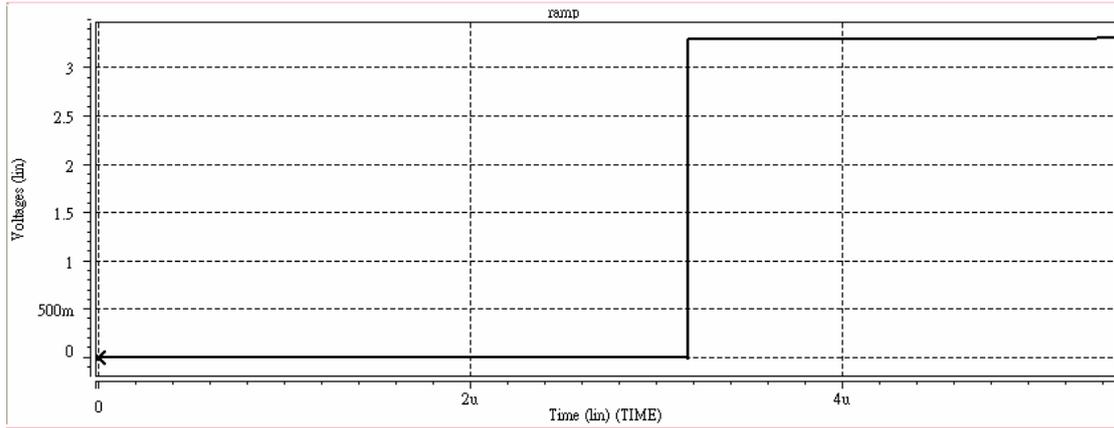


圖 4-19. 史密特觸發器之轉換曲線

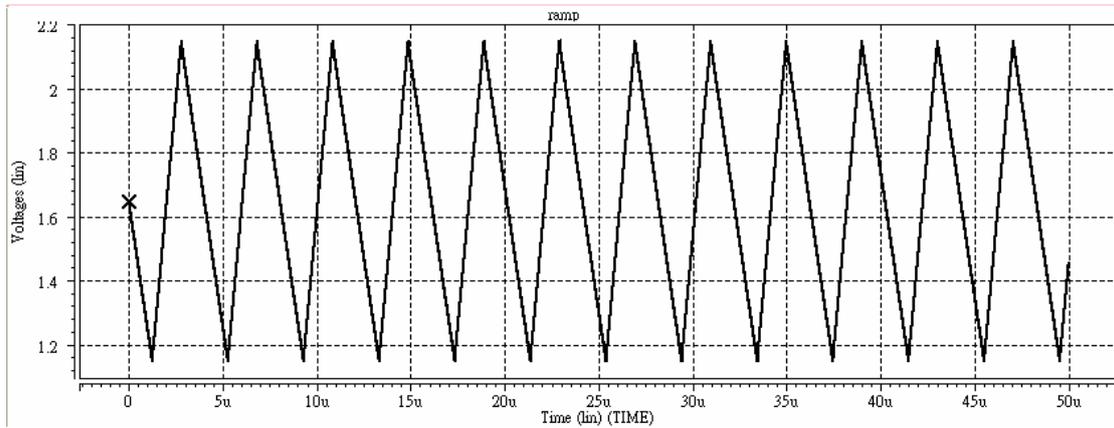


圖 4-20. 三角波產生器輸出波形

上圖 4-20 的三角波的週期為 $4\mu\text{s}$ ，頻率為 250KHz ；此外，三角波 peak-to-peak 值為 $1.15\text{V}\sim 2.15\text{V}$ 。圖 4-21 為各種製程 corner 之三角波，依序為 TT、SS、FF、SF、FS，其頻率的範圍為 $130\text{KHz}\sim 590\text{KHz}$ ，振幅為 0.55V (FS) $\sim 0.55\text{V}$ (SF)；由此可知，若輸入弦波振幅大於 0.55V 時，在 FS 及 SF 的狀態下，會發生三角波與弦波交不到而無法比較的情形，因而造成失真。

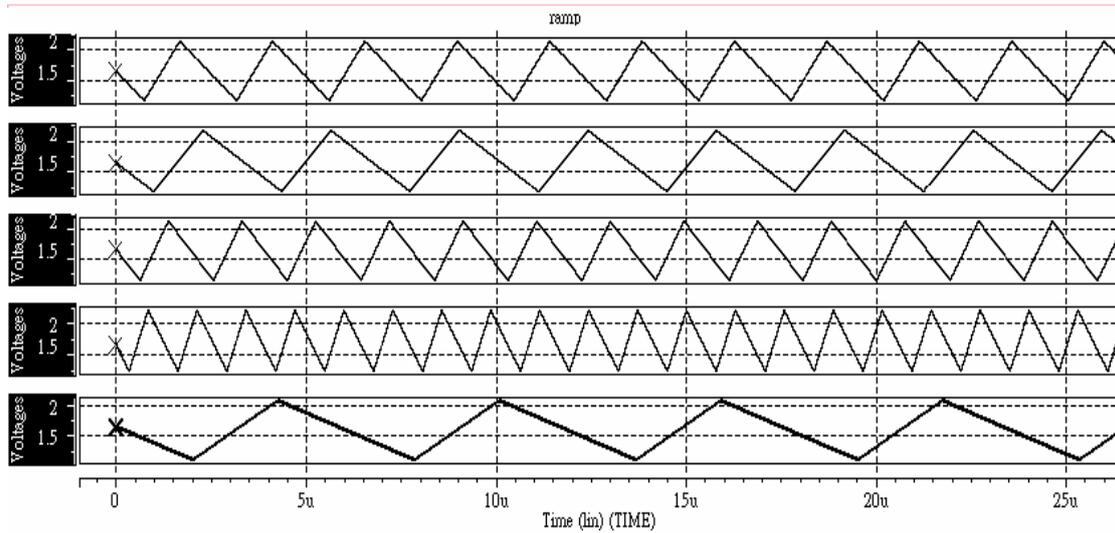


圖 4-21. 各種製程corner的三角波

4.3 外部電路設計

4.3.1 參數的設計

在這小節所設計的參數是指外部電容和電阻值的選取，即圖 3-6 中的 C_F 、 R_F 和 R 。從 3.2.3 節的 (3.7) 式~(3.9) 式所得到的結論限制如 (4.6) 式和 (4.7) 式所示：

$$f_{SW} > \pi f_c = \frac{G_{PWM}}{2R_F C_F} \quad (4.6)$$

且 $f_c > 20KHz$ (4.7)

從 4.2.1 節模擬結果：三角波頻率 (f_{SW}) 為 250KHz； G_{PWM} 為 PWM 調變的增益，當輸入最大弦波 1V (振幅)，理想最大輸出為 3.3V，因此， $G_{PWM} = 3.3$ ；取 $C_F = 20pF$ ， $R_F = 0.6M\Omega$ ，得 $\pi f_c = 82.5KHz < 250KHz$ ，且 f_c 為 26.26KHz，大於 20KHz；在從 3.2.2 節之 (3.5) 式得到閉迴路增益如下式：

$$|A_D| = \frac{R_F}{R} \quad (4.8)$$

由理論分析， $|A_D|$ 最大不超過3.3，又 $R_F = 600K\Omega$ ，所以令 $R = 182K\Omega$ 。

4.3.2 閘極驅動電路 (Gate-Driver)

由於輸出級為功率元件，擁有很大的電容效應，一般的電路無法驅動它，會造成訊號嚴重的延遲，因此，必須加入Gate-Driver電路。Gate-Driver的用途是將訊號送達到輸出級之後，所發生的延遲時間能達到最小，使得訊號能在輸出級的負載上完整呈現。

本文所設計的Gate-Driver電路架構如下圖 4-22，是利用一聯串接的反相器，藉由上一級推動下一級，直到驅動輸出級為止。其中 β 為反相器每一級的放大因子， C_L 代表輸出級的電容值 [42]。

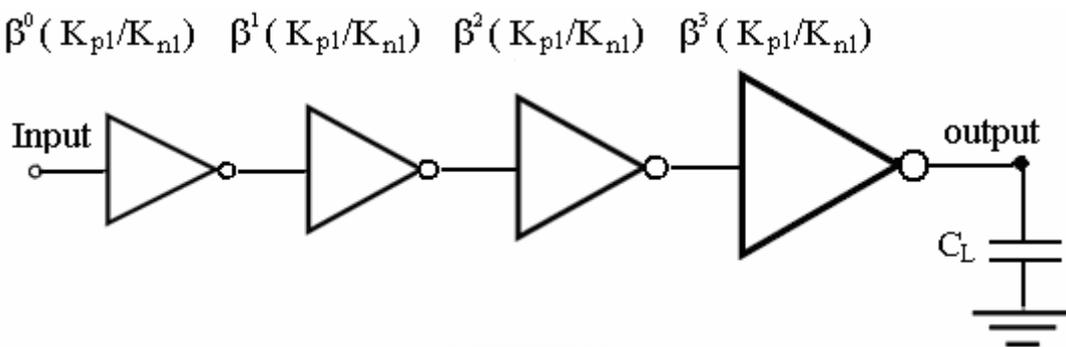


圖 4-22. Gate-Driver 架構

設計每一級反相器的大小取決於以下的數學推導，首先，令單一反相器要驅動負載電容 C_L 的延遲時間為：

$$t_{PHL} + t_{PLH} = (R_n + R_p) \times (C_{out} + C_L) \quad (4.9)$$

令 X 為所需串接反相器的最少數目，且要得到最小的訊號延遲時間。令最後一級的輸入電容，也就是負載電容為：

$$C_{in1} \times \beta^X = C_L \quad (4.10)$$

其中 C_{in1} 為第一級的輸入電容；再由式 (4.10) 得下式 (4.11)。

$$\beta = \left[\frac{C_L}{C_{in1}} \right]^{\frac{1}{X}} \quad (4.11)$$

故一連串所有反相器的延遲時間為：

$$\begin{aligned} (t_{PHL} + t_{PLH})_{total} &= (R_{n1} + R_{p1}) \times (C_{out1} + \beta C_{in1}) \\ &+ \frac{(R_{n1} + R_{p1})}{\beta} \times (\beta C_{out1} + \beta^2 C_{in1}) \dots \end{aligned} \quad (4.12)$$

式中第一列為第一級的延遲時間，第二列為第二級的延遲時間； R_{n1} 與 R_{p1} 分別為第一級反相器之NMOS和PMOS的電阻； C_{out1} 為第一級的輸出電容。如果反相器增加 β 倍尺寸，則反相器的輸入電容和輸出電容皆會增加 β 倍；電阻則會減少 β 倍。再把 (4.12) 式整理，得 (4.13) 式，如下：

$$\begin{aligned} (t_{PHL} + t_{PLH})_{total} &= \sum_{S=1}^X (R_{n1} + R_{p1}) \times (C_{out1} + \beta C_{in1}) \\ &= X(R_{n1} + R_{p1}) \times (C_{out1} + \beta C_{in1}) \end{aligned} \quad (4.13)$$

再由 (4.11) 與 (4.13) 式得：

$$\begin{aligned} (t_{PHL} + t_{PLH})_{total} &= \sum_{S=1}^X (R_{n1} + R_{p1}) \times (C_{out1} + \beta C_{in1}) \\ &= X(R_{n1} + R_{p1}) \times \left[C_{out1} + \left(\frac{C_L}{C_{in1}} \right)^{\frac{1}{X}} \times C_{in1} \right] \end{aligned} \quad (4.14)$$

為了要取得在最小的串聯個數 X 有最小的延遲時間，可以把 (4.14) 式的延遲時

間對X微分，且結果等於零，如式（4.15），然後來求X值，這是利用極限的觀念來推得。

$$\begin{aligned} & (R_{n1} + R_{p1}) \times C_{out1} + (R_{n1} + R_{p1}) \times C_{in1} \\ & \times \left[\left(\frac{C_L}{C_{in1}} \right)^{\frac{1}{X}} + X \left(\frac{C_L}{C_{in1}} \right)^{\frac{1}{X}} \times \frac{\ln \frac{C_L}{C_{in1}}}{-X^2} \right] = 0 \end{aligned} \quad (4.15)$$

此式第一項很小，可以忽略，故可得：

$$X = \ln \frac{C_L}{C_{in1}} \quad (4.16)$$

由以上推導，可得一個結論：利用（4.11）式和（4.16）式可以得到需要增大多少的尺寸，以及需要多少級數的反相器。

下圖 4-23 為所設計的Gate-Driver電路，假設以很大的MOSFET來代替功率元件（MP1和MP2），令寄生電容約1pF，為一個很大的負載電容，而比較器的輸出電容約10fF，可以約略推出需要四級的反相器。

要測試模擬一個Gate-Driver的優劣性，可以在輸入端 V_{in} 輸入一個 50% duty-cycle的方波，且其頻率為250KHz，因為比較器輸出端為頻率約 250KHz的PWM訊號，看在輸出端 V_{out} 所產生的延遲，一般上升與下降的延遲時間設定在小於輸入週期的1/10，也就是小於0.4 μ s即可。

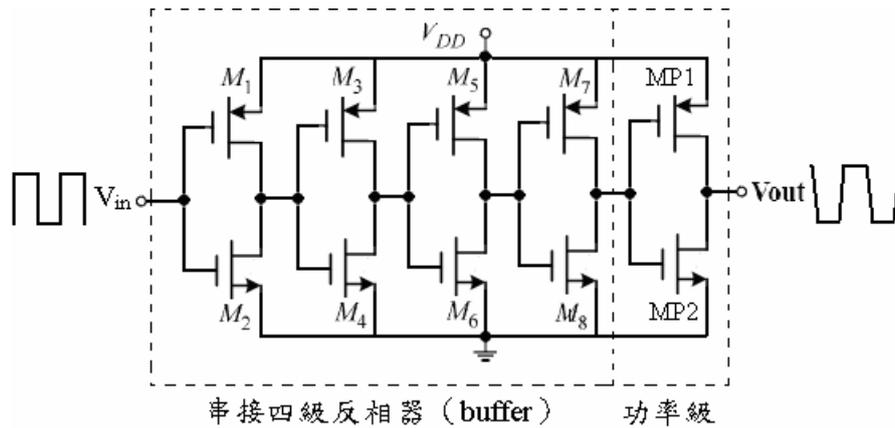


圖 4-23. Gate-Driver 電路

在圖 4-24 中的 1.65V 位置，看 V_{in} 與 V_{out} 相差的時間，即為上升延遲時間，得延遲時間約為 7.2nsec，其斜率約 6.23G。

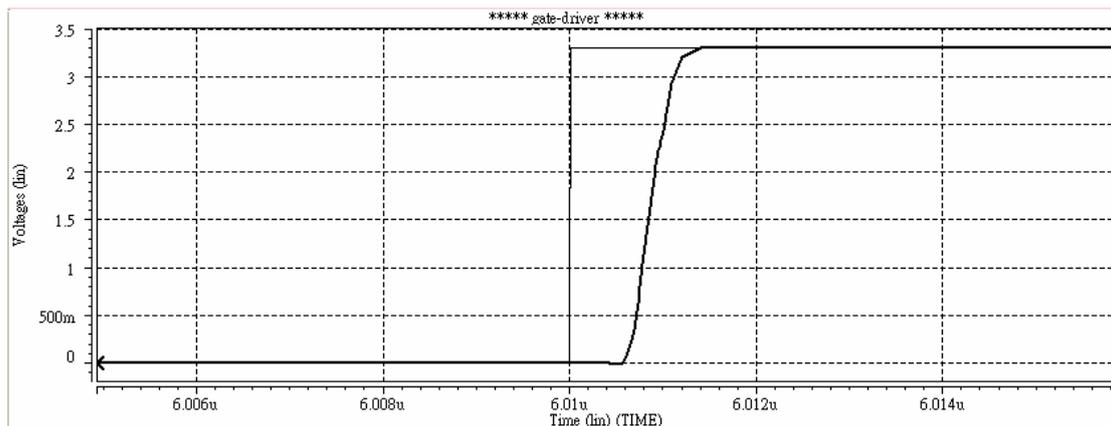


圖 4-24. Gate-Driver 上升延遲時間

在圖 4-25 也依此看法可推算出下降延遲時間約為 8.1nsec，斜率約 5.94G。因此，加入此電路將使得 PWM 訊號不會因為輸出級造成嚴重的訊號延遲。

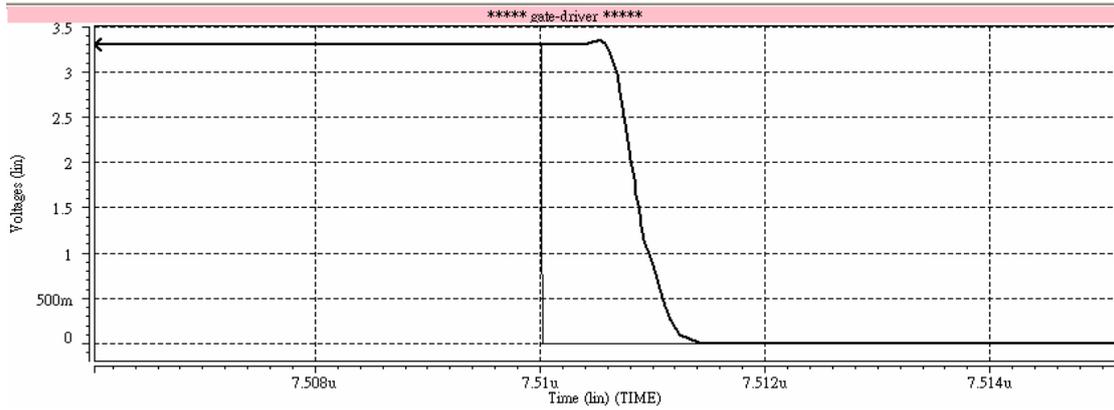


圖 4-25. Gate-Driver 下降延遲時間

往後，若是用其他的功率元件，其寄生電容更大，也可以依照以上所推的公式，求出更多所需級數的反相器。

4.3.3 低通濾波器

雖然本論文所設計的D類功率放大器是屬於無濾波器型式，不過，在模擬電路時仍需要加入低通濾波器，其目的是在將訊號還原，並且只取得20KHz內的輸出訊號來進行雜訊分析，因為20KHz以上的雜訊，人耳聽不到，可以忽略。此處設計的濾波器為二階RLC低通濾波器，其電路如下圖 4-26 所示，在設計RLC值時，必須先確定Quality Factor (Q) 值和所需的截止頻率（-3dB時的頻率）。

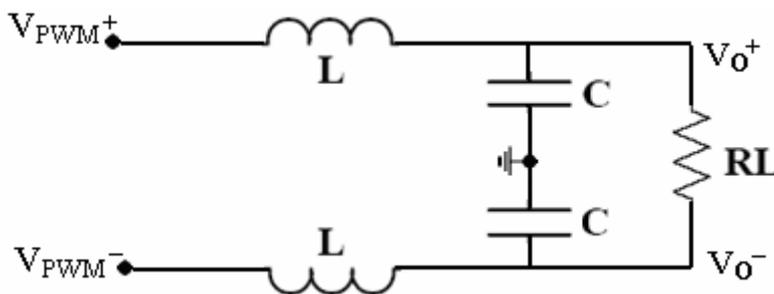


圖 4-26. 二階低通濾波器

把上圖 4-25，化簡成半橋的型式，如圖 4-26 的形式：

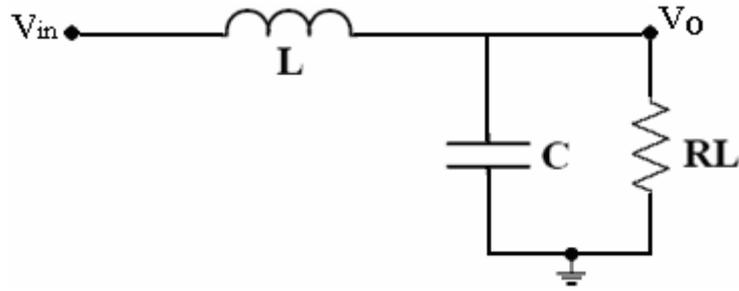


圖 4-27. 濾波器簡化電路

然後我們能得到轉換函數如下式 (4.17) ~ (4.19) 所示：

$$T(s) = \frac{V_o}{V_{in}} \quad (4.17)$$

$$\begin{aligned} V_o &= V_{in} \times \frac{(R_L // C)}{L + (R_L // C)} \\ &= V_{in} \times \frac{R_L}{S^2 R_L LC + SL + R_L} \\ &= V_{in} \times \frac{1}{LC} \\ &= V_{in} \times \frac{1}{S^2 + S \frac{1}{R_L C} + \frac{1}{LC}} \end{aligned} \quad (4.18)$$

$$V_o = V_{in} \times \frac{\omega_0^2}{S^2 + S \frac{\omega_0}{Q} + \omega_0^2} \quad (4.19)$$

因此我們知道：

$$\omega_0^2 = \frac{1}{LC} \quad (4.20)$$

$$\frac{\omega_0}{Q} = \frac{1}{R_L C} \quad (4.21)$$

令電阻 $R_L = 8\Omega$ ，當 $Q = \frac{1}{\sqrt{2}} \approx 0.707$ ，我們有最佳化的值，且假設

$\omega_0 = 20\text{KHz}$ ，則可計算出 $C \approx 0.7\mu\text{F}$ 與 $L \approx 0.09\text{mH}$ 。再把以上所求得的结果做SPICE模擬，如下圖 4-28 所示，在 V_{o+} 和 V_{o-} 的頻率響應之截止頻率（-3dB處）發生在約20KHz。

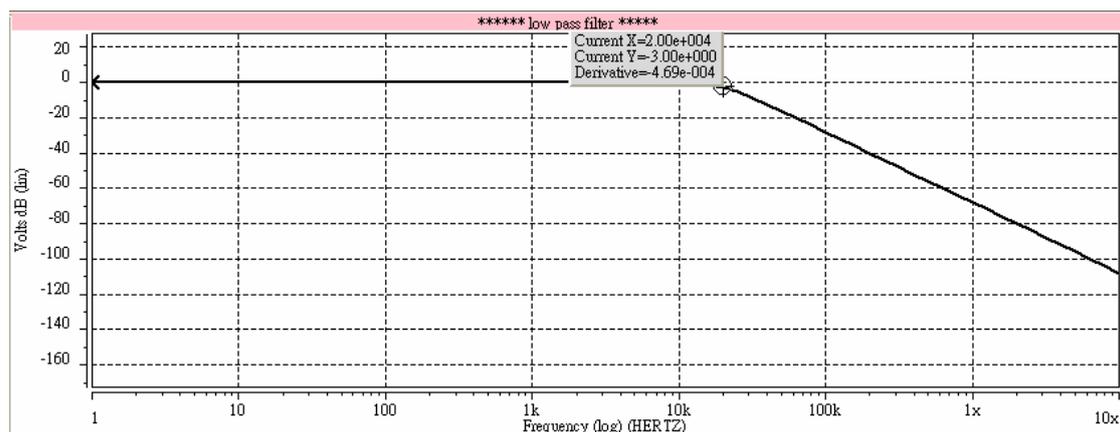


圖 4-28. 低通濾波器頻率響應

4.4 D類功率放大器之模擬結果與討論

4.4.1 電路模擬與討論

綜合以上參數的選擇，和引用第三章中圖 3-12，得到圖 4-29，其中箭頭標示英文數字的地方為值得注意的地方，輸出負載 8Ω ，跨在 V_{out+} 與 V_{out-} 間，輸入 V_{in1} 可以等效成一端輸入 $1/2 V_{in}$ 和另一端 V_{in2} 為 $-1/2 V_{in}$ ；藉由SPICE模擬，驗證各節點所產生的訊號是否與理論一致。

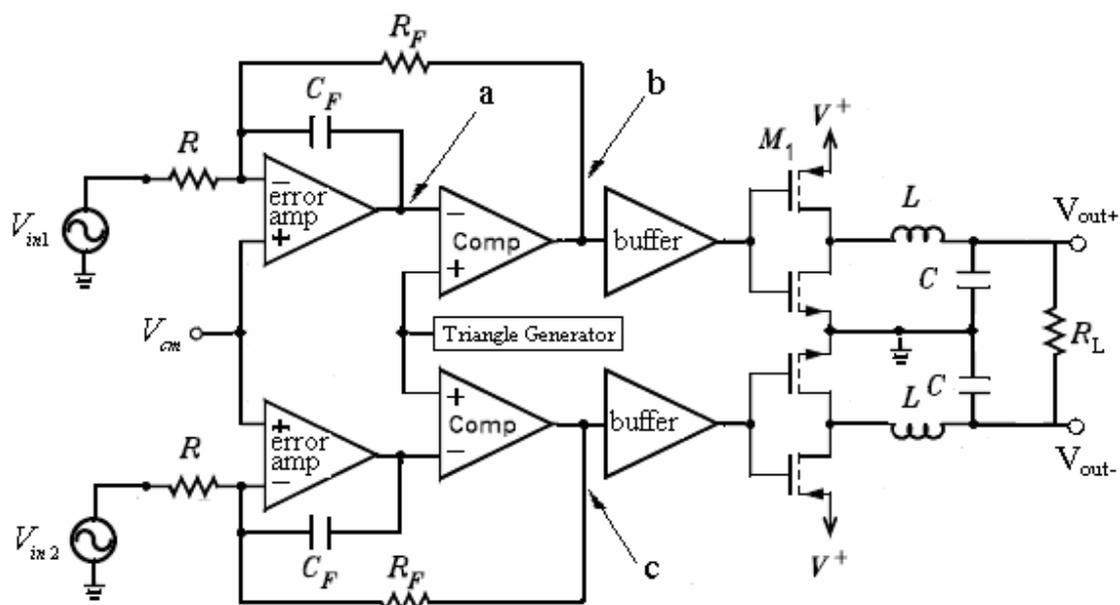


圖 4-29. D類功率放大器模擬電路架構

令輸入振幅 $V_{in1+2} = 0.7V$ ，頻率12KHz，則一個輸入波形會和三角波比較出約21個責任週期Duty-Cycle ($250KHz/12KHz$) 可以清楚分析一個輸入波形訊號的調變；圖 4-30 為圖4-29 中標示 a 的訊號，可以看出由標示 b 處所產生的PWM訊號被回授積分，與輸入訊號合成得到的結果。

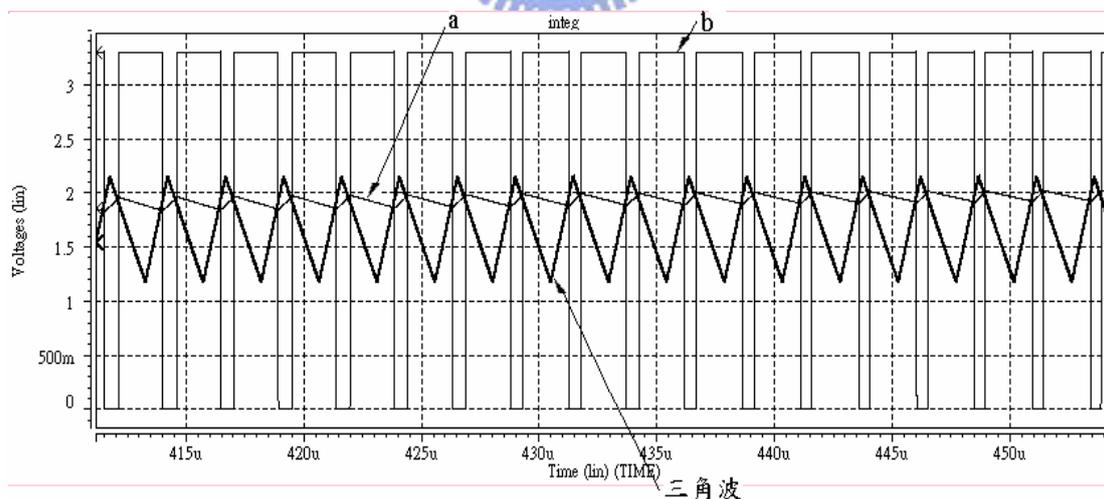


圖 4-30. 比較器之輸出入訊號模擬波形

下圖 4-31 為PWM單電壓極性切換模擬，由圖 4-29 中標示b和c的訊號相減所得的結果。

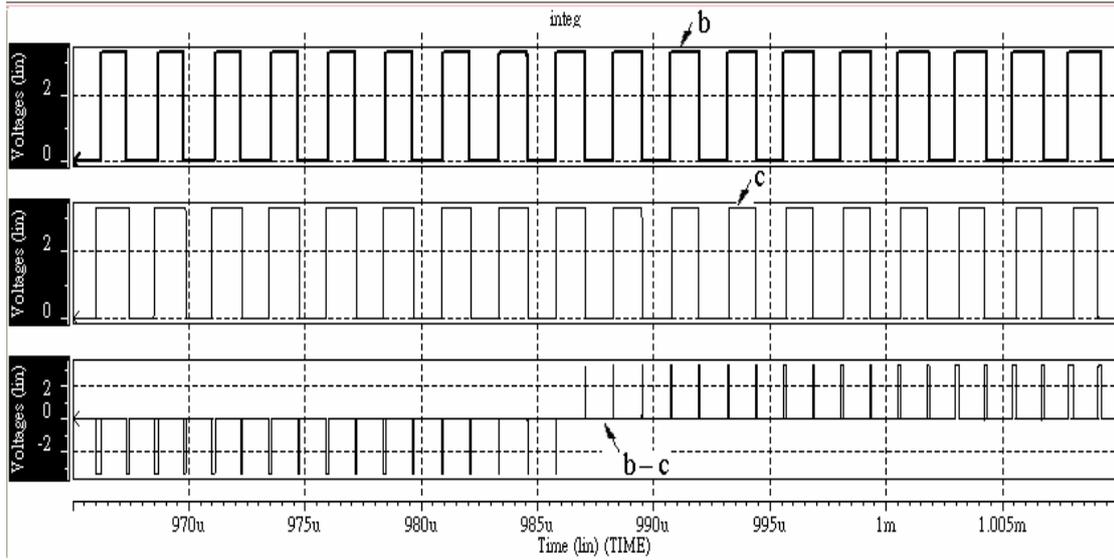


圖 4-31. PWM單電壓極性切換模擬

若是要得到THD的值，可以在SPICE中用FFT之頻率分析，且本論文將只取小於20KHz的諧波來求THD。若是要求功率效益，本論文所採取的方式是用推算的，至於推算觀念已在第二章說明，在此只做推導的過程。(4.22)式是功率效益 (E_{ff}) 公式，其定義為輸出功率與供應功率之比。濾波器電感或是喇叭電感會將高頻開關電流降低，使得此處所用的電流就是音頻電流，開關電流功率損耗將在後面討論的靜態功率中列入考慮。通過 $R_{DS(on)}$ 的電流等於通過負載的電流，因此(4.22)式的輸出功率項可以去掉，這使得導通功率損耗對於效率的影響變成與輸出功率無關。(4.23)式就是在導通之功率損耗 ($E_{ff(turn-on)}$) 影響下的效率值。

$$E_{ff} = \frac{P_{OUT}}{P_{SUP}} \quad (4.22)$$

$$E_{ff(turn-on)} = \frac{i_L^2 \times R_L}{i_L^2 \times (R_{p(on)} + R_{n(on)} + R_L)}$$

$$= \frac{R_L}{R_{p(on)} + R_{n(on)} + R_L} \quad (4.23)$$

此外，D類放大器的偏壓電流、開極電荷和開關切換電流...等也會產生各種

功率損耗；這些損耗已在第二章提及；為了計算在兩種或是多種功率損耗影響下的效率值，(4.22)式中的 P_{SUP} 必須分開成輸出功率項和功率損耗項，如(4.24)式：

$$E_{ff} = \frac{P_{OUT}}{P_{SUP}} = \frac{P_{OUT}}{P_{OUT} + P_{D1} + P_{D2} + P_{D3} + \dots + P_{DN}} \quad (4.24)$$

導通功率損耗是最大輸出功率時最主要的功耗，因此放大器的偏壓電流、閘極電荷和開關電流損耗等可視為與輸出功率無關，我們可以將這三項加在一起成為靜態功耗 P_Q 。靜態功耗的計算方式如下：在元件處於工作區而沒有輸入訊號時，量測它的供應電流，將此電流乘上供應電壓即可得到靜態功耗。

$$P_Q = I_{DD(q)} \times V_{DD} \quad (4.25)$$

要使用(4.24)式得更準確的功率效益，必須先從(4.23)式中求出導通功率的損耗值。利用(4.23)式和(4.24)式求解導通功耗，計算結果如下(4.26)式所示：

$$E_{ff(turn-on)} = \frac{R_L}{R_{p(on)} + R_{n(on)} + R_L} = \frac{P_{OUT}}{P_{OUT} + P_{D(turn-on)}}$$

$$P_{D(turn-on)} = \frac{P_{OUT} \times (R_{p(on)} + R_{n(on)})}{R_L} \quad (4.26)$$

將(4.25)式和(4.26)式的功率損耗帶入(4.24)式，即可得到D類功率放大器的功率效益，如(4.27)式所示：

$$E_{ff} = \frac{P_{OUT}}{P_{OUT} + \left(\frac{P_{OUT} \times (R_{p(on)} + R_{n(on)})}{R_L} \right) + P_Q} \quad (4.27)$$

從 (4.27) 式可看出，輸出功率很小時，靜態功耗的影響最大，但當輸出功率很高時，導通功耗就成為主要的功耗來源。然後，藉由SPICE所得到的靜態電流 $I_{DD(q)}$ 、 $R_{DS(on)}$ 和輸出功率帶入 (4.27) 式。

功率元件的 R_{on} 值會對功率效益有很大的影響，在TSMC 0.35 μm 製程的SPICE模擬檔案中並沒有功率元件，因此，本論文以大尺寸的MOS來等效，尺寸愈大， $R_{DS(on)}$ 值愈小；針對假設的輸出級而言，功率效益的規格要求為大於70%；而THD主要是受調變影響，對於設計規格的要求以人耳能分辨不出其雜訊為主，因此，定在1%以下。

輸入一個振幅為0.7V，頻率2KHz的弦波，來看此D類功率放大器所得到的規格，輸入訊號如圖 4-32。

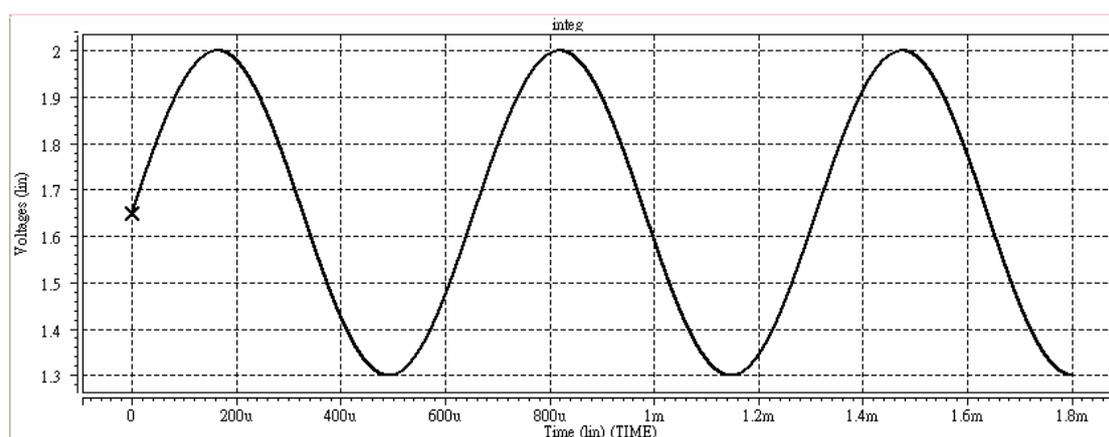


圖 4-32. 輸入的正弦波

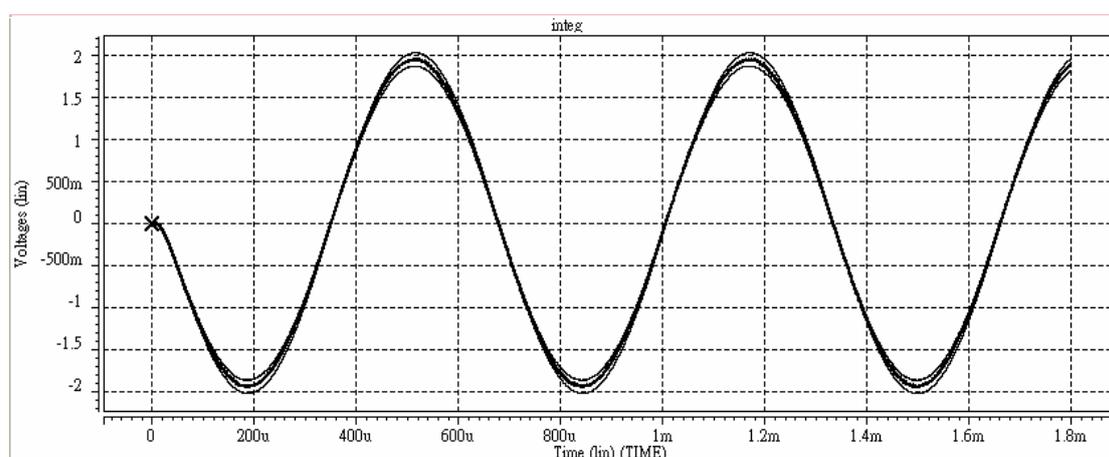


圖 4-33. 五種製程corner之輸出波形

經過PWM單電壓極性切換調變後，再經由濾波器將訊號還原得上圖 4-33，圖 4-33 為五種製程corner的輸出波形，五種波形的幅度變化皆不大；表 4-3 為此電路的五種corner規格，對於總諧波失真和功率效益皆在預期的範圍內，其輸出平均功率約為277mW。

	電壓峰值	總諧波失真	功率效率	功率消耗	平均功率
TT (70°)	1.94~-1.94	123.1m%	85%	12.6mW	277mW
SS(125°)	1.87~-1.87	213.1m%	82%	14.7mW	266mW
FF (0°)	2.02~-2.02	70.97m%	88%	15.5mW	289mW
SF (70°)	1.94~-1.94	98.02m%	86%	10.8mW	278mW
FS (70°)	1.94~-1.94	440m%	84%	9.39mW	276mW

表 4-3. 整體電路的五種corner模擬規格表

在此，由於本論文所設計的D類功率放大器之輸出級是以示意表示，其寬長比約在幾千比一，模擬結果得到 $R_{DS(on)}$ 值偏高，都在 0.7Ω 左右才會造成較小的功率效益；另外，靜態電流 $I_{DD(q)}$ 在幾個 μA ，不太影響整體的功率效益，甚至可以把它忽略；下表 4-4 為各種製程corner對功率效益的表格，在此的模擬是把輸出級的寬長比加大許多，做一個比較誇張一點的設計，設計其大小分別為 NMOS：W/L=143200/0.5；PMOS：W/L=172800/0.5，此時必須再Gate-Driver 中多串接幾級的反相器；利用公式計算，增加了兩級：把原來的輸出級當成是推動下一級的反相器，然後多增加的反相器為NMOS：W/L=10800/0.5；PMOS：W/L=43200/0.5。所得到的 $R_{DS(on)}$ 值變小許多，數值約在 0.1Ω ，靜態電流仍有幾十 μA ，不太影響整體的功率效益；對於 $R_{DS(on)}$ 變小許多的結果，使得功率效益明顯的增加許多。

製程corner	TT	SS	FF	SF	FS
功率效益	99.5%	98.6%	99.7%	98.8%	99.4%

表 4-4. 功率效益

4.4.2 針對THD之設計限制的模擬分析

在現實生活中，一個音頻訊號的輸入，有高低大小聲，也就是訊號振幅與頻率皆不斷隨時在變化，因此，為了了解所設計的電路可用於現實生活中，可固定輸入振幅，改變頻率，看THD值是否在所規定的範圍內，然後，在固定輸入頻率，改變振幅，看THD值是否仍在所規定的範圍內。下表 4-8 為輸入固定的振幅， $V_{in1+2} = 0.7V$ ，取樣幾種頻率看THD的變化，可得知輸入頻率愈大，THD值愈小；此外，在8KHz之上的THD更小，這是因為此架構沒有偶次項諧波，以8KHz而言，它沒有二次項諧波，且本論文的截止頻率又只到20KHz(人耳音頻範圍)，所以才有這麼低的THD值；由下圖 4-34 更可看出其趨勢。由此可知，在可聽到的音頻範圍內，不論高低音，THD值都可以在可以接受的範圍內。

輸入頻率 (Hz)	100	200	500	1K	2K	4K	10K	12K
THD (%)	0.13	0.12	0.11	0.1	0.09	0.08	0.018	0.019

表 4-5. 輸入頻率與THD的關係

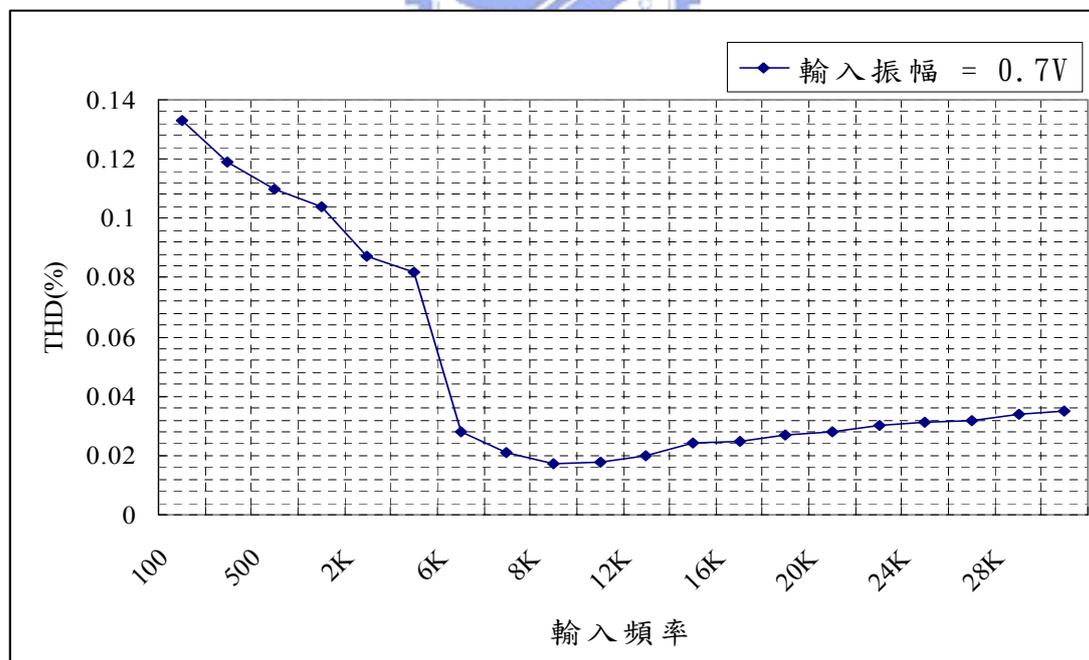


圖 4-34. 輸入頻率對THD之變化趨勢

之前曾討論過，若是振幅太大而導致三角波無法和輸入振幅比較時，將有嚴重的失真。模擬所得的失真訊號如圖 4-35 所示，輸入頻率6KHz，輸出振幅

1.4V，等效上，電路的兩邊的輸入各為0.7V和-0.7V但由於三角波的振幅為0.5V所以可以比較到的輸入訊號就是1V，至於超出極限的0.2V無法被比較，就一直維持在High，導致在負載端的輸出訊號會被截掉，其截掉的部分與超出極限的電壓成正比，當然，訊號失真也就愈來愈嚴重。

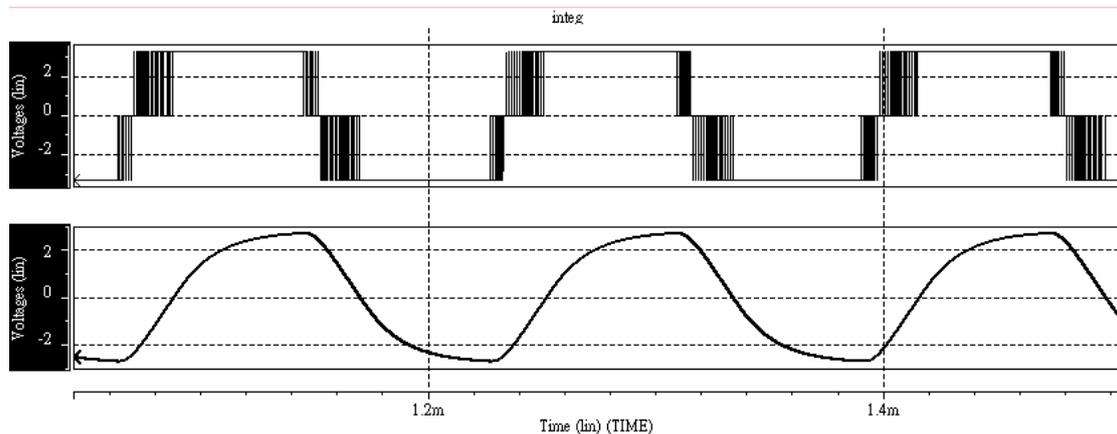


圖 4-35. 振幅太大的失真結果

下圖 4-36 分析振幅對THD的關係（固定頻率），取的固定頻率為1KHz和6KHz。其中包含圖 4-35 中嚴重失真的THD值。

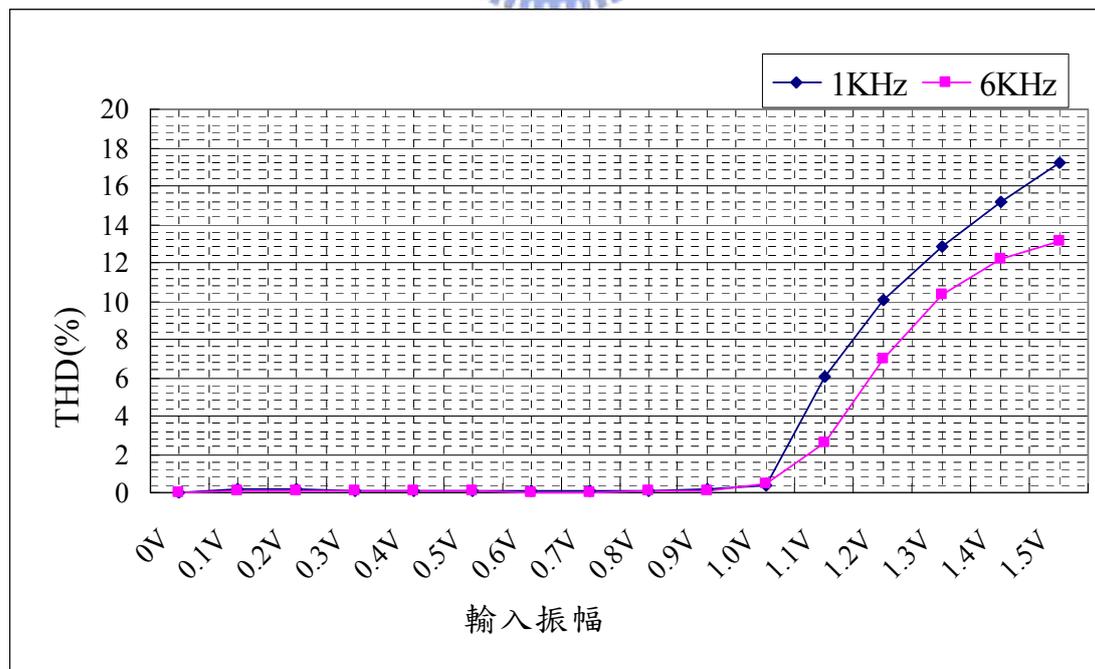


圖 4-36. 輸入振幅與THD的關係

在 4-2 節中提到外部參數 (R 、 R_F 和 C_F) 的限制，必須遵守 (4.2) 式和 (4.3) 式；表 4-6 為固定輸入頻率 6KHz，振幅 0.7V， C_F 值也固定，改變回授電阻 R_F 值；由於 R 為 3.3 倍 R_F ，故 R 為一個隨 R_F 變化的參數，看對 THD 的關係。得知超出 (4.2) 式或 (4.3) 式的限制時，將有較大的 THD，尤其是與 (4.3) 式不合時，會產生更大的失真情形；在圖 4-37 中，可看出 R_F 之可選取的範圍。

回授電阻	0.3MΩ	0.4MΩ	0.6MΩ	1.0MΩ	1.2MΩ	5MΩ	7MΩ
THD(%)	1.013%	0.043%	0.041%	0.039%	0.043	8.64%	15.03%
限制	與(4.2)式不合	兩式皆可	兩式皆可	兩式皆可	兩式皆可	與(4.3)式不合	與(4.3)式不合

表 4-6. 參數 R_F 對 THD 的關係

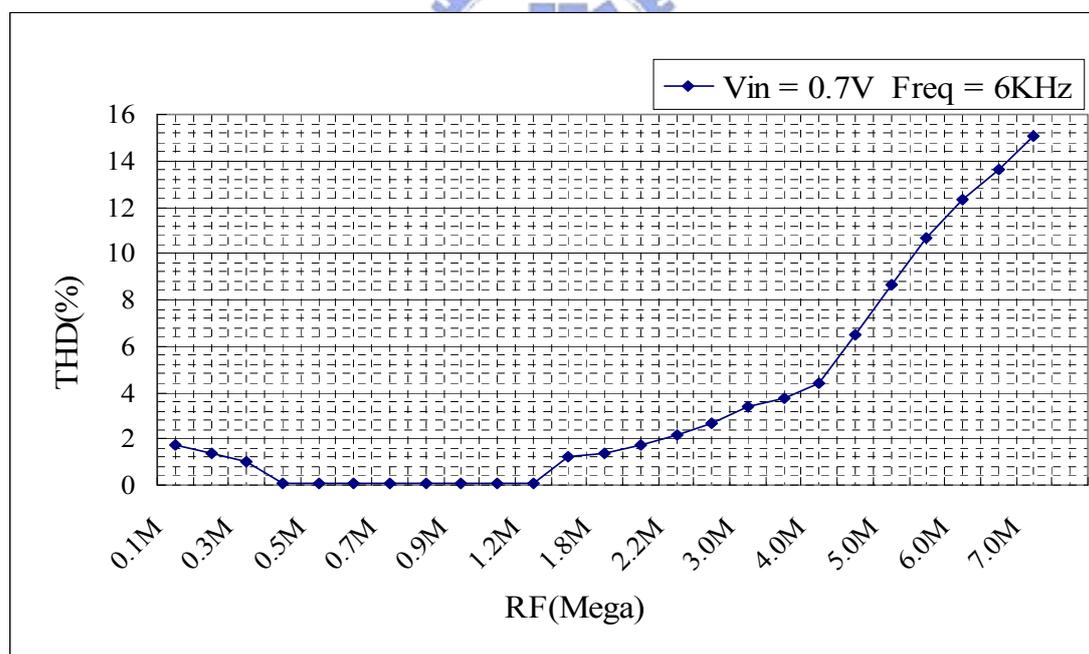


圖 4-37. 參數 R_F 對 THD 之變化趨勢

4.5 其他調變方式對於 THD 的模擬分析

從 3.4 節中得知其他調變方式皆是為了無輸出濾波級而設計，也說明了電路架構 (圖 3-11) 與調變的方法 (圖 3-13、圖 3-14、圖 3-15)；更進一步

的，需要知道這種調變所產生的失真是否在我們可接受的範圍之內，以及此調變方法的限制範圍；最後，比較一下這些種種的調變方式對於THD的優劣性。

4.5.1 兩個不同載波振幅之PWM對THD模擬分析

此種調變方法是利用電容大小的不同，使得載波的振幅大小不同；電容愈小，振幅愈大，當電容小到某一個值時，電壓被充到3.3V，然後維持一小段時間才因放電而下降；下降至0V後也會維持一小段時間才因充電而上升，這是一種不理想的載波波形；不過，在設計電容值會調整在約1V~2.3V間，以避免載波波形失真。下表 4-7 為不同的電容對應不同的載波峰值對峰值（peak-to-peak），得知在1pF將接近失真狀態。

電容	20pF	15pF	10pF	4pF	2pF	1pF
載波(V)	1.15~2.15	1.13~2.17	1.01~2.20	0.42~2.52	0.05~2.86	0~3.3
載波振幅	0.5V	0.52V	0.6V	1.05V	1.405V	1.65V

表 4-7. 電容值與載波振幅的關係

這種調變設計和PWM單電壓極性切換調變比較起來有一個明顯的缺點：由於上下兩邊的輸入端皆輸入相同的訊號，又兩個載波的峰值對峰值1.15V~2.15V和1V~2.3V，所以輸入的弦波振幅被限制在0.5V內，大於0.5V的部份會因為無法和載波比較而失真；至於不拿1V~2.3V來考量輸入振幅，是為了避免輸入弦波振幅會交不到振幅為1.15V~2.15V的載波。它不像PWM單電壓極性切換調變的輸入為 V_{in} ，範圍在1V內。下圖 4-38 為第二個載波振幅對THD關係，圖中的失真開始於載波波形的失真；此外，可以從中選出最適當的電容值，為2pF。

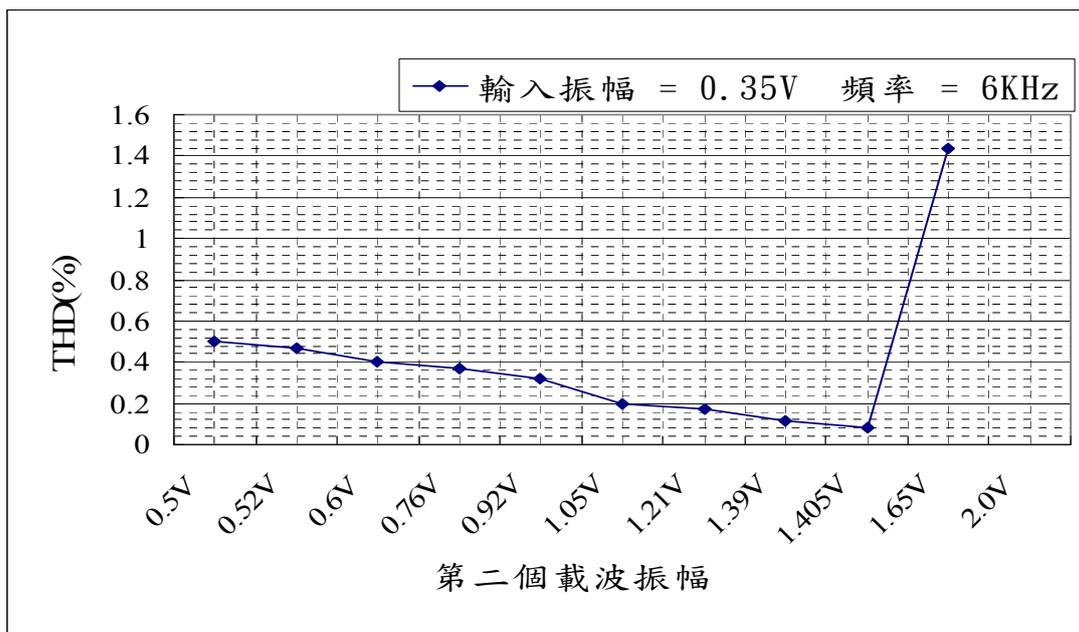


圖 4-38. 不同載波振幅對THD的關係

下圖 4-39 為輸入振幅與THD的關係，其中輸入0.7V時得到的THD=25%，由於太大而沒有顯示於圖中；在0.4V時就超出規定的規格，0.4V~0.45V之間的THD值也在1%之上，可知這種調變方式的THD值比PWM單電壓極性切換調變高出許多。

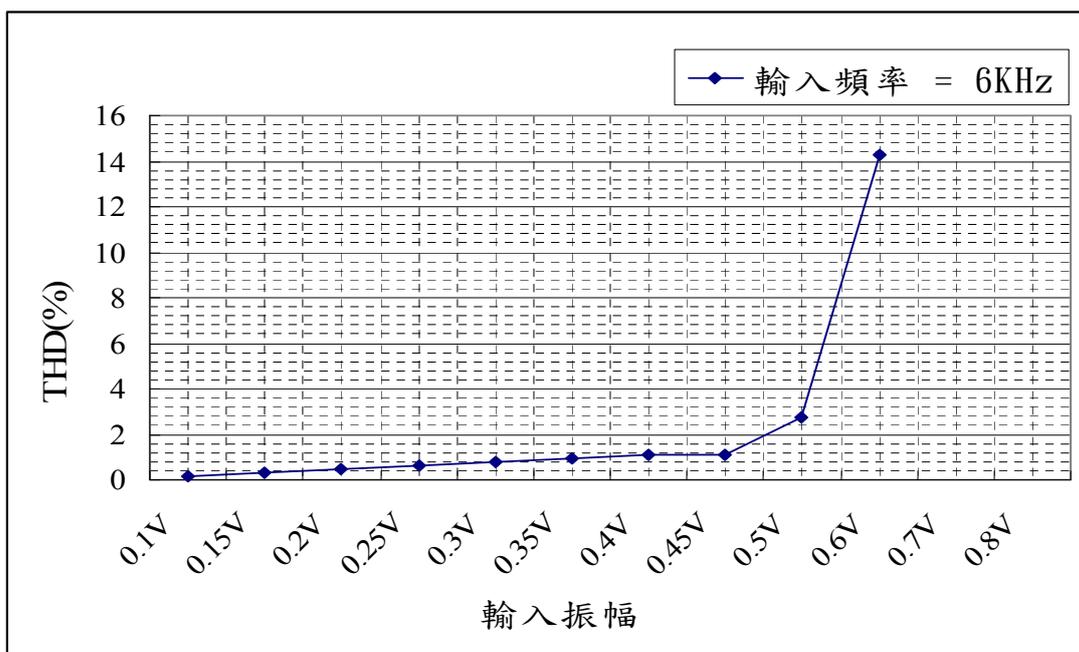


圖 4-39. 不同輸入振幅與THD的關係

表 4-8 為固定輸入振幅為0.3V，取樣幾個輸入頻率，看THD值的變化，發現在6KHz下的頻率，THD都偏高。

輸入頻率	0.2K	0.5K	1K	2K	6K	8K	10K
THD (%)	1.58	0.87	0.72	0.48	0.15	0.21	0.33

表 4-8. 輸入不同頻率與THD之關係

綜合圖 4-39 和表 4-7 得到一個結論，由於振幅愈大，THD愈大；所以當取樣輸入振幅為0.3V的頻率時，得到的THD都蠻大的，若是輸入更大的振幅，取各個頻率時，不難預測將會有更多的輸入頻率超出1%的總諧波失真，由此，可知這個調變方式不是很好。

4.5.2 50%責任週期Clock之PWM對THD模擬分析

這個調變方式的缺點和 4.4.1 節一樣，輸入的弦波振幅被限制在0.5V內。下圖 4-40 為輸入不同振幅與THD的關係，表 4-9 為輸入振幅為0.3V，取樣幾個輸入頻率，看THD的範圍，在頻率為2KHz時的THD變的比PWM單電壓極性切換調變大許多，主要是因為調變電路沒有對稱，無法消去偶次項諧波。

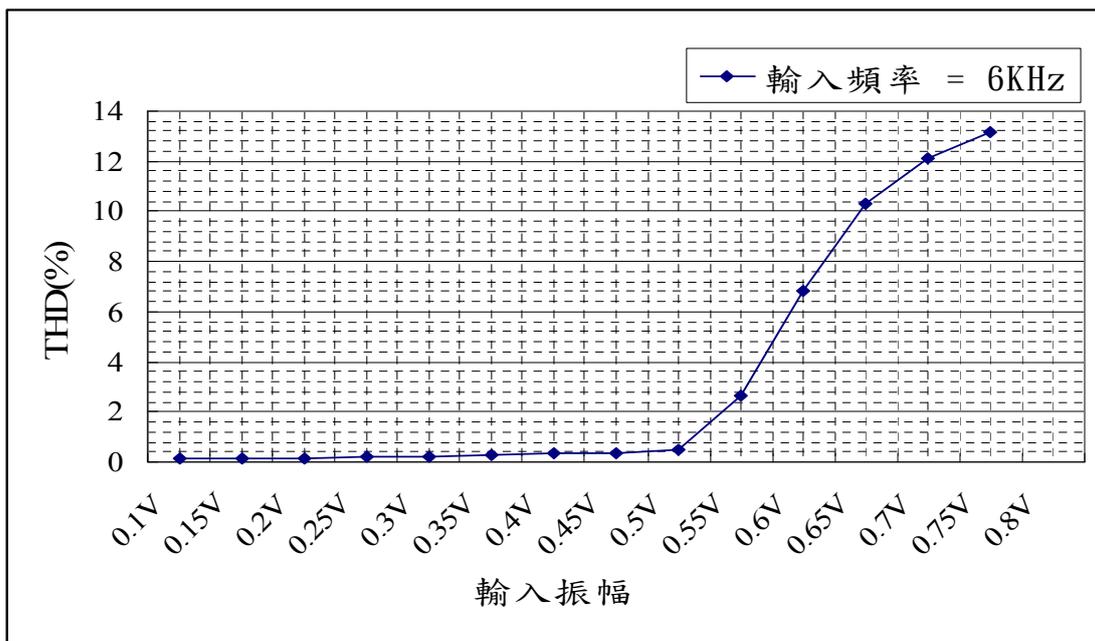


圖 4-40. 50% clock 輸入不同振幅與THD的關係

輸入頻率	0.2K	0.5K	1K	2K	4K	8K	10K
THD (%)	0.201	0.212	0.245	0.246	0.224	0.266	0.382

表 4-9. 不同輸入頻率與THD之關係

4.5.3 兩個反相載波振幅之PWM對THD模擬分析

此種調變方法是將輸入兩個比較器的載波反相，使得輸入的載波相位相差 180 度，這個調變方式的缺點和 4.4.1 節及 4.4.2 節一樣，輸入的弦波振幅被限制在 0.5V 內。下圖 4-41 為輸入不同振幅與 THD 的關係，表 4-10 為輸入振幅為 0.3V，取樣幾個頻率，看 THD 的範圍，在頻率為 4KHz 時的 THD 變化已超過當初所訂的 1%，這個電路調變方式容易受到寄生電阻(電容)效應的影響，所以在這四種調變方式裡，此種調變方式的 THD 值是算適中的。

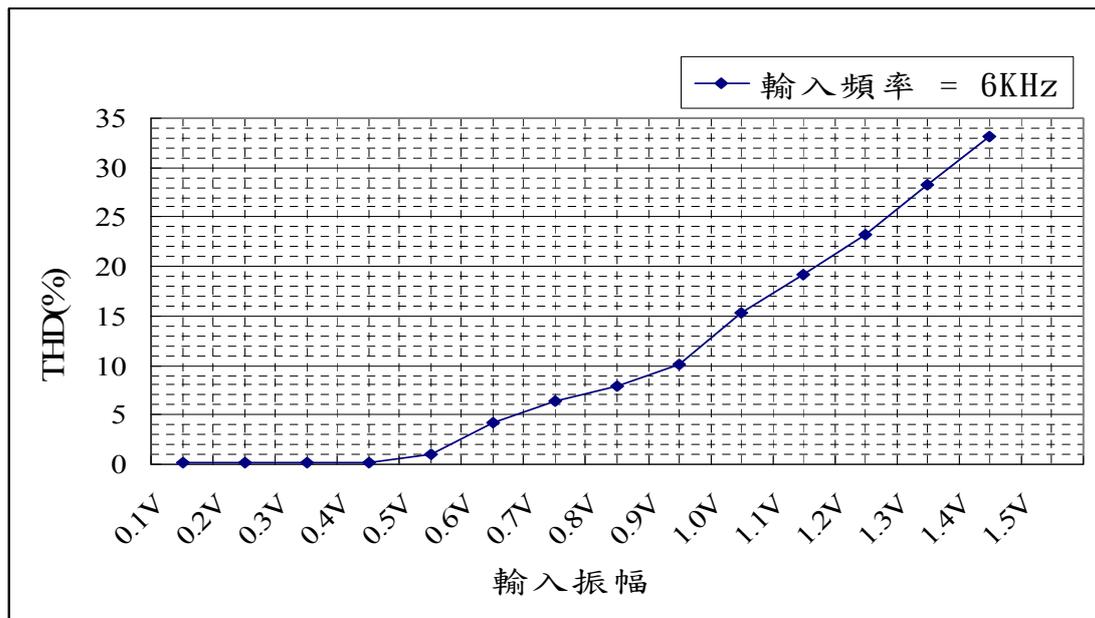


圖 4-41. 反相載波輸入不同振幅與THD的關係

輸入頻率	0.2K	0.5K	1K	2K	4K	8K	10K
THD (%)	0.624	0.481	0.392	0.293	0.198	0.258	0.415

表 4-10. 不同輸入頻率與THD之關係

4.5.4 四種調變方式的比較

利用圖 4-36、圖 4-39、圖 4-40 和圖 4-41 整理可得到圖 4-42 (皆固定輸入6KHz的頻率)，圖中的M1表示PWM單電壓極性切換調變，M2表示兩個不同載波振幅之PWM的調變，M3表示50%責任週期Clock之PWM的調變，M4表示兩個相位相反的載波振幅之PWM的調變；雖然這四種皆採用無濾波輸出級的機制，但仍然可以看出用M2的調變方式來設計D類功率放大器是比較不好的。

將正弦波和三角波比較，產生了PWM訊號，此訊號主要包含了正弦波及其諧波、三角波及其諧波和非線性比較所產生的雜訊。上述四種調變方式產生的THD之所以會有明顯的差異，主要影響分別為，M1調變法利用上下兩個對稱電路，將偶次項諧波消除；而M3的調變方式就沒有辦法消除偶次項諧波，因此造成的THD值就比M1高；至於M2的調變方式也仍然存有偶次項諧波，並且多一項額外的失真：就是第二章所提到的，載波的非線性會產生失真；M2利用同一個正弦波輸入，在對應不同載波時，由於兩端切到的部份皆不一樣，兩端產生的THD就不一樣，再負載兩端有各自的頻譜，相減的結果會無法得到一定的規則，而且每項諧波也都較大，所以這種調變的方式得到的THD是四種中最差的；M4的調變方式是因為輸入的載波為兩個相反的載波，也因為載波的非線性會產生失真，因此M4的THD失真僅次於M1的THD值，但卻因為也是上下對稱所以沒有偶次項諧波。

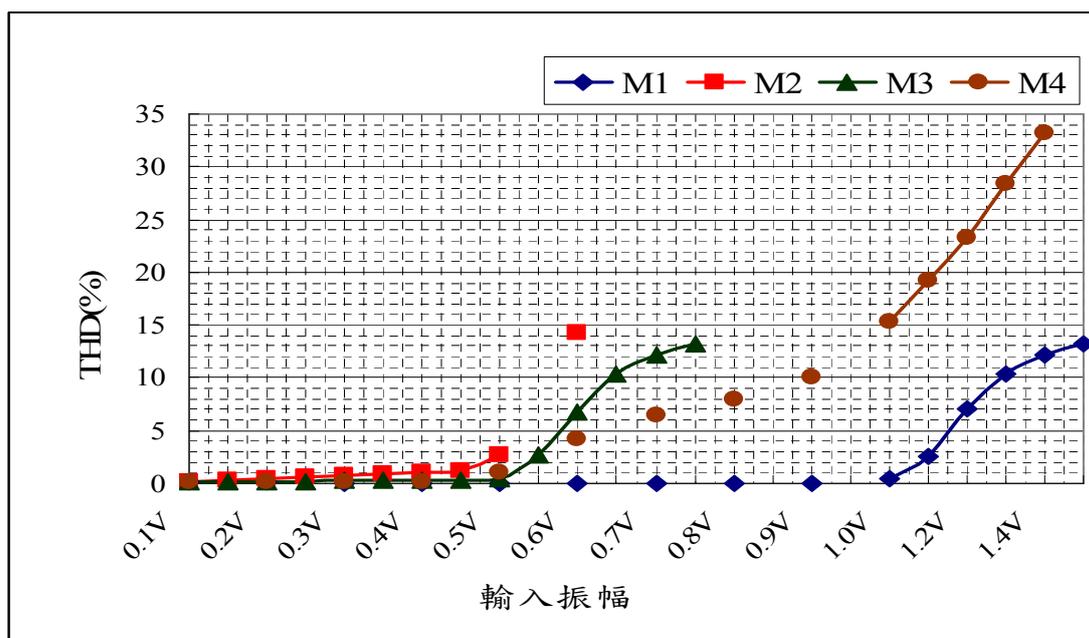
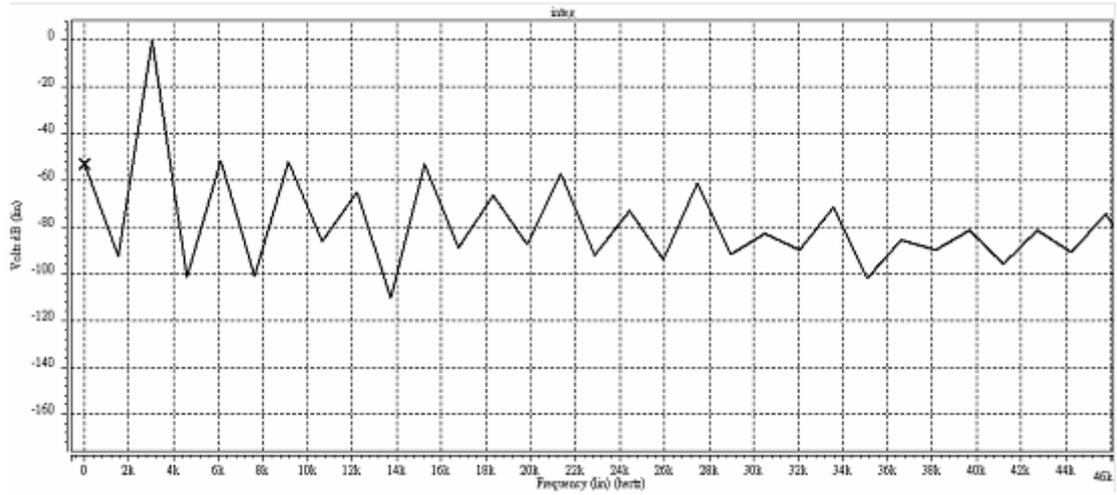
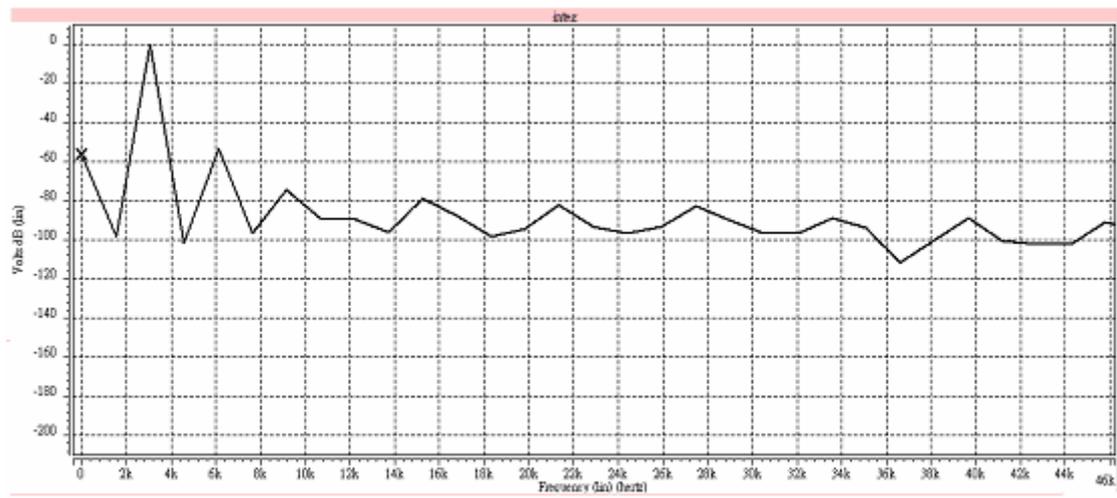


圖 4-42. 四種不同調變對THD的比較

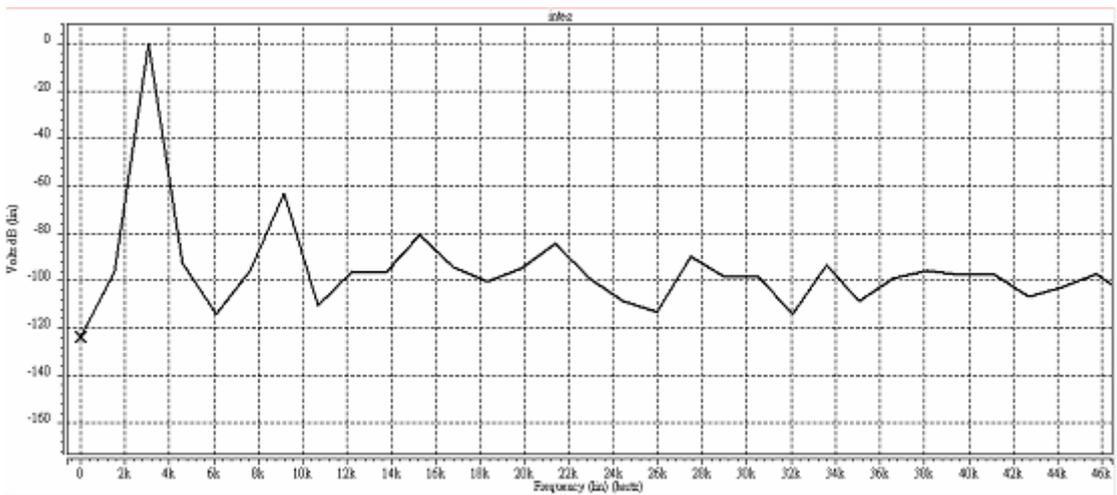


(a) M2

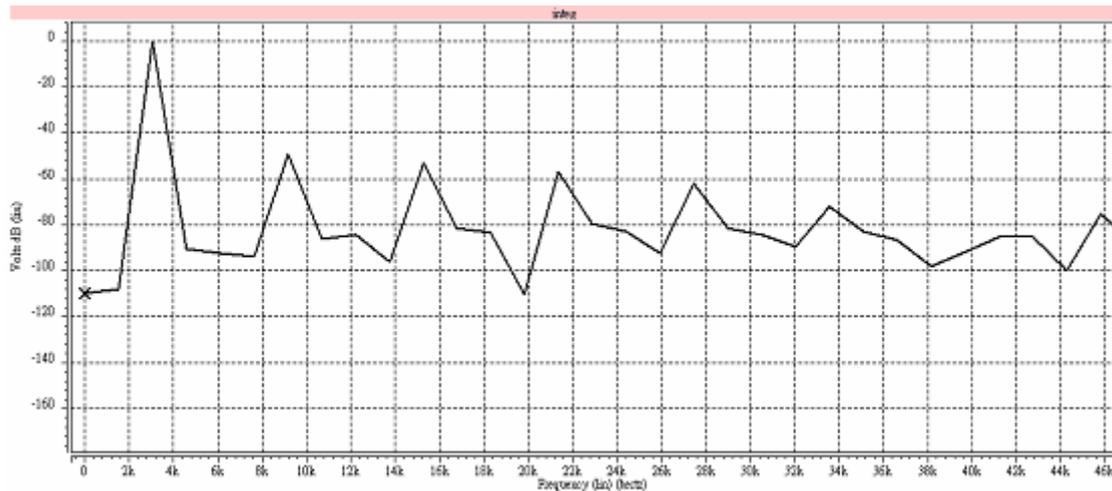


(b) M3

圖 4-43. (a) M2 與 (b) M3 不同調變方式之頻譜分析



(c) M1



(d) M4

圖 4-44. (c) M1 與 (d) M4 不同調變方式之頻譜分析

上圖 4-43 與圖 4-44 為四種不同調變方式的頻譜分析，輸入訊號的振幅皆為0.3V，頻率為3KHz。把M1及M4放在一起，M2及M3放在一起做比較；M1及M4沒有第二次諧波失真，也就是在6KHz，而M2及M3有第二次諧波失真，而且M2的諧波大小又比M3大。以此類推所有的偶次項諧波失真皆是如此。D類功率放大器的參數和性能規格在表 4-11 中列出。

規格	結果
電源供應電壓	3.3V
輸入頻率/振幅	2KHz / 0.7V
操作頻率	250KHz
截止頻率	20KHz
消耗功率	12.5709mW (.TT)
平均消耗功率	277mW (.TT)
總諧波失真	123.19m% (.TT)
功率效益	85% (.TT)
製程種類	TSMC 0.35 μ m CMOS Mixed-Signal

表 4-11. D類功率放大器規格

第五章 測試安裝和實驗的結果

5.1 介紹

在這一個章節中，我們呈現測試的環境，在印刷電路基板（PCB）上包括儀器和元件。對於在第四章中被描述的 D 類功率放大器的實驗結果將被呈現。

5.2 實驗的結果

5.2.1 標準

提出的 D 類功率放大器在一個 $0.35\mu\text{m}$ 的 2P4M CMOS 製程製造的積體電路中被實現。圖 5-1 所示 D 類功率放大器的電路佈局圖（Layout）。這一個晶片使用包括音頻訊號輸入，脈寬調變（PWM）輸出，負回授、偏壓和 DC 直流電壓的總數為 16 個 PAD。晶片的總面積是 0.633×0.706 毫米平方。圖 5-2 為 Die 的電子顯微照片，圖 5-3 所示為經過封裝後的接腳位置圖。

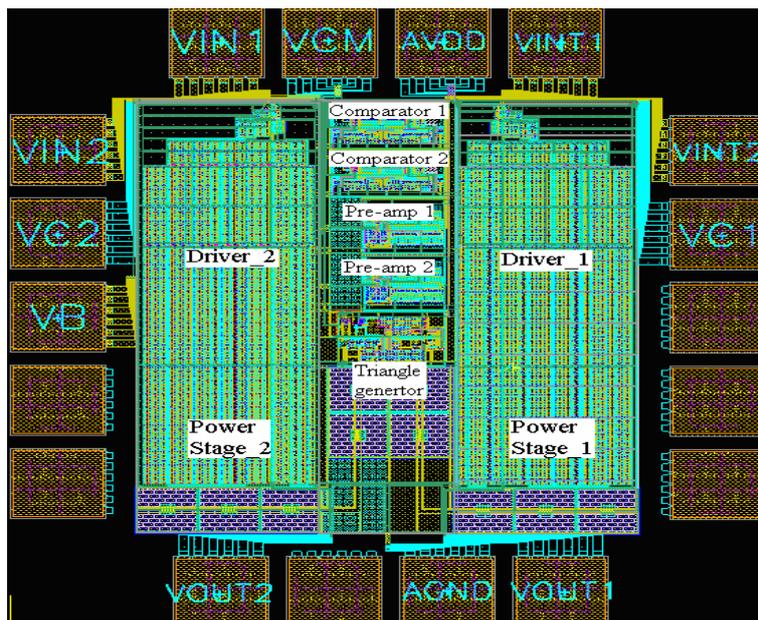


圖 5-1. D 類功率放大器電路佈局圖

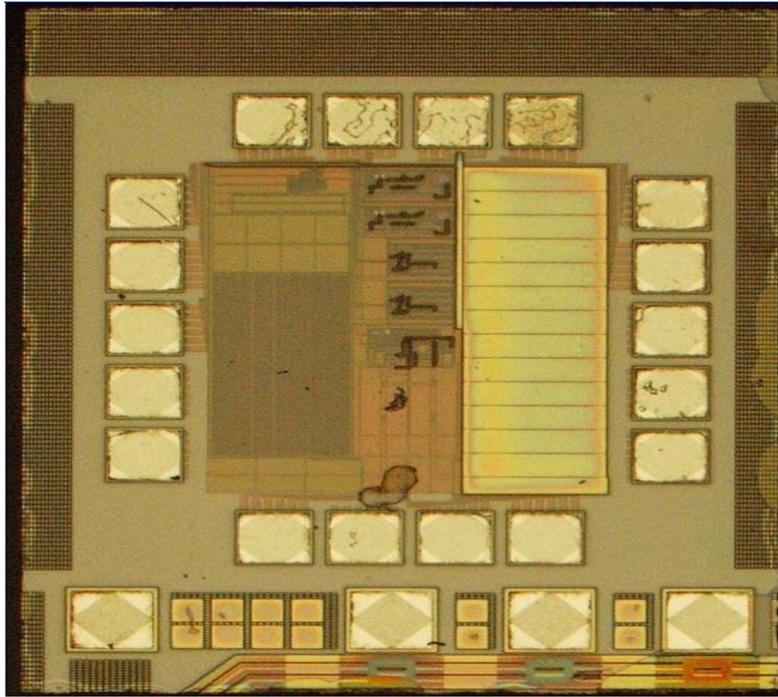


圖 5-2. Die 電子顯微照片

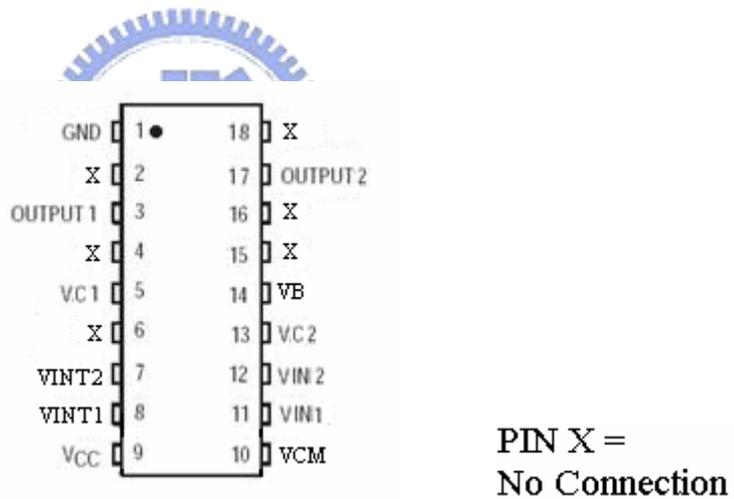


圖 5-3. 封裝後之腳位

5.2.2 測試安裝

設計出來的 D 類功率放大器將測試觀察它的性能與模擬做比較。輸入的偏壓與 DC 直流電壓可由如圖 5-4 所示的 LM317 可調整的調整器產生。調整器電路很容易設計，而且輸出電壓可以由(5.1)式的方程式推導出來。

$$V_{OUT} = 1.25 \times \left(1 + R_1/R_2\right) + I_{ADJ} \times R_2 \quad (5.1)$$

I_{ADJ} 是調整器的 ADJ 端外面的 DC 電流。此外，電容器 C1 和 C2 是旁路電容器。

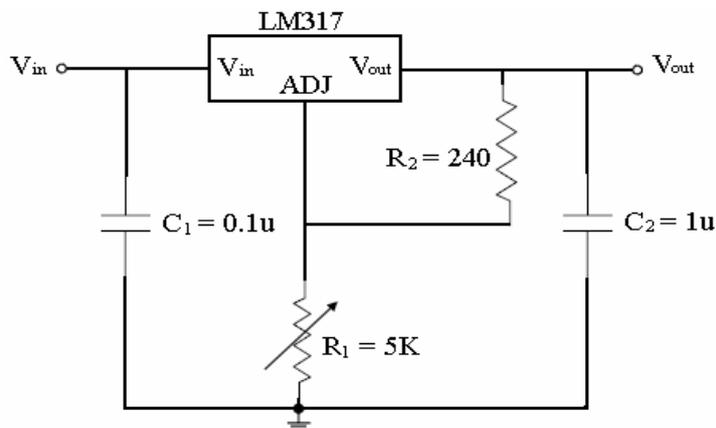


圖 5-4. LM 317 調整器

調整器的輸出在PCB板上繞過與並聯的組合電容器連接到晶片。旁路濾波器網路如圖 5-5 所示的 10uF、1uF、0.1uF 和 0.01uF 電容的組合電容器。這個排列可能提供消除耦合大振幅低頻率雜訊和小振幅高頻率雜訊。

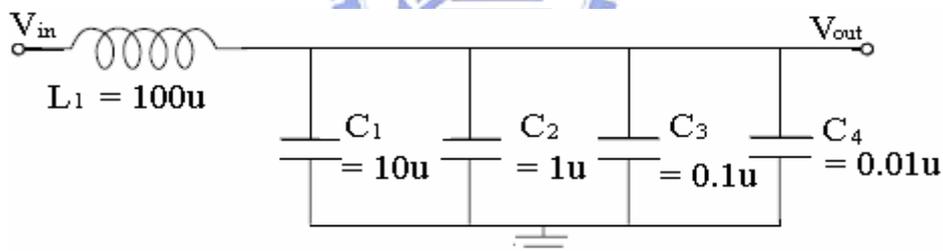


圖 5-5. 調整器輸出的旁路濾波器

D 類功率放大器的測量建立在圖 5-6 所示。輸入弦波由信號產生器 (Agilent 33250A) 產生。輸出波形由示波器 (Agilent DSO8104A) 觀察。圖 5-7 所示相關儀器的相片。測試的 PCB Layout 在圖 5-8，圖 5-9 所示。

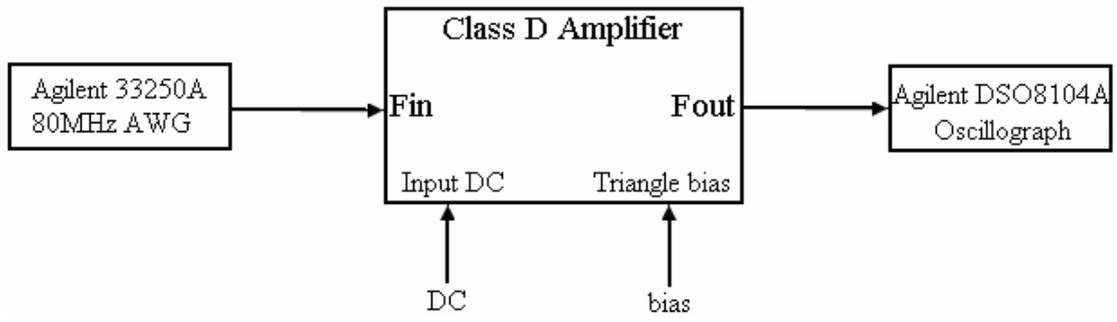
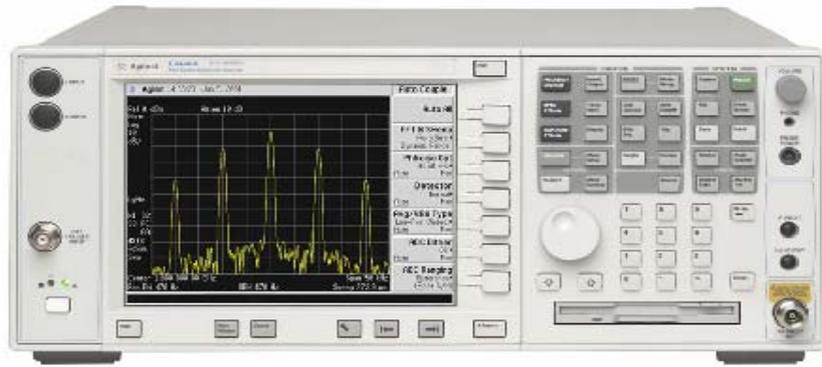


圖 5-6. D 類放大器量測方塊



(a)



(b)



(c)

圖 5-7. 測試儀器照片 (a) 頻譜分析儀 (b) 示波器 (c) 訊號產生器

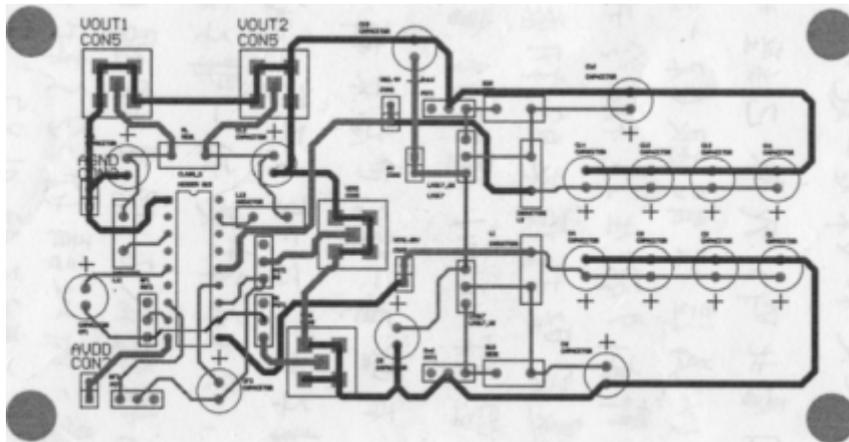


圖 5-8. PCB 電路板佈局

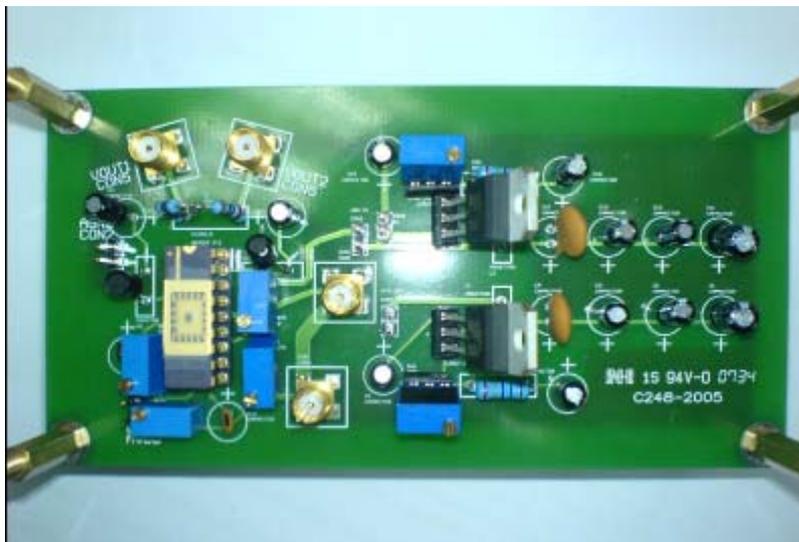


圖 5-9. PCB 測量電路

5.2.3 測量結果

在這部分中，我們將討論 D 類功率放大器的測量結果。第一，我們將調整器輸出電壓調整到所要的偏壓值，在由比較器輸出的回授電阻調到所設計的 $600\text{K}\Omega$ 與訊號輸入端的電阻 $182\text{K}\Omega$ 。接上訊號產生器設定輸出弦波頻率為 10kHz ，振幅大小 0.7V ，輸出訊號再經過 DC 位準調整電路，使得在 PCB 電路板上晶片座輸入腳位測量到的波形為頻率 10kHz ，振幅大小 0.7V 的弦波位準由 0V 上升到 1.65V 的位準。圖 5-10 所示為用示波器量測 PCB 板上的晶片座輸入接腳時所顯示的波形。

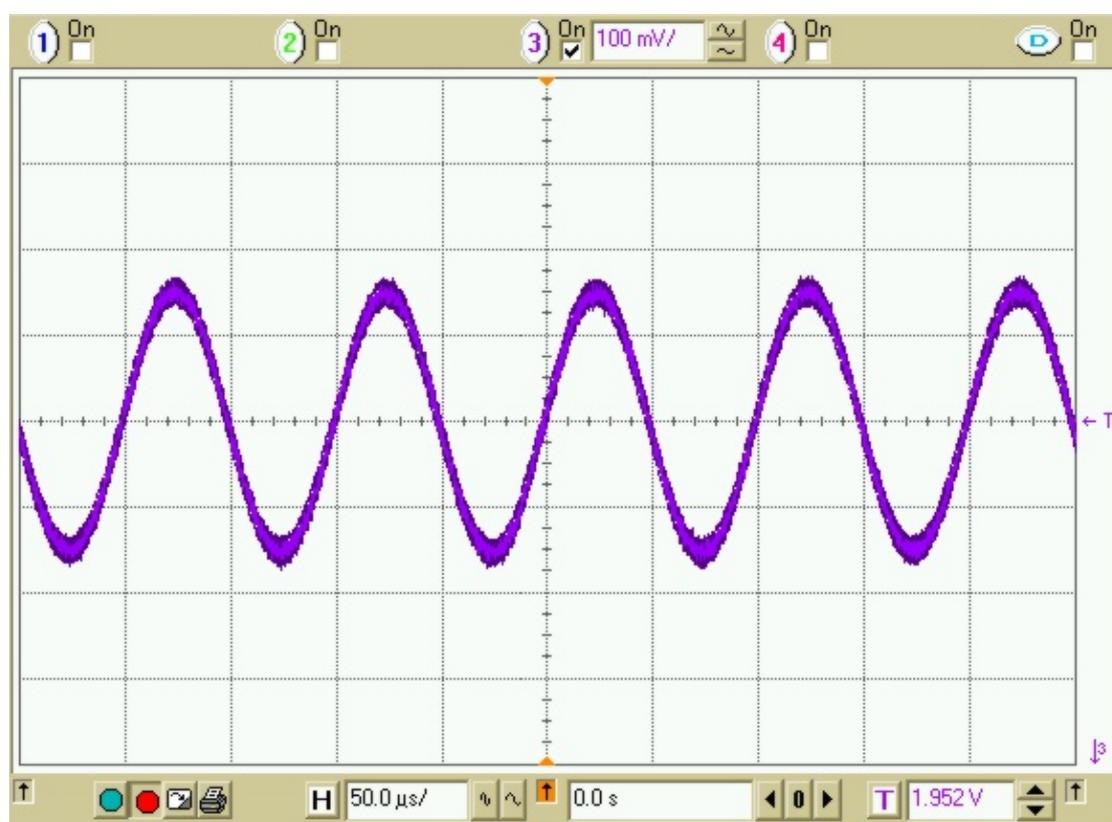


圖 5-10. 在晶片座輸入端量測到的波形

第二，我們測試 D 類功率放大器的整體系統。將 D 類功率放大器晶片安裝在 PCB 電路板上的晶片座上，量測各節點的輸出波形。圖 5-11 所示為積分器輸出測量到的波形。圖 5-12 所示為比較器輸出的 PWM 調變波形。

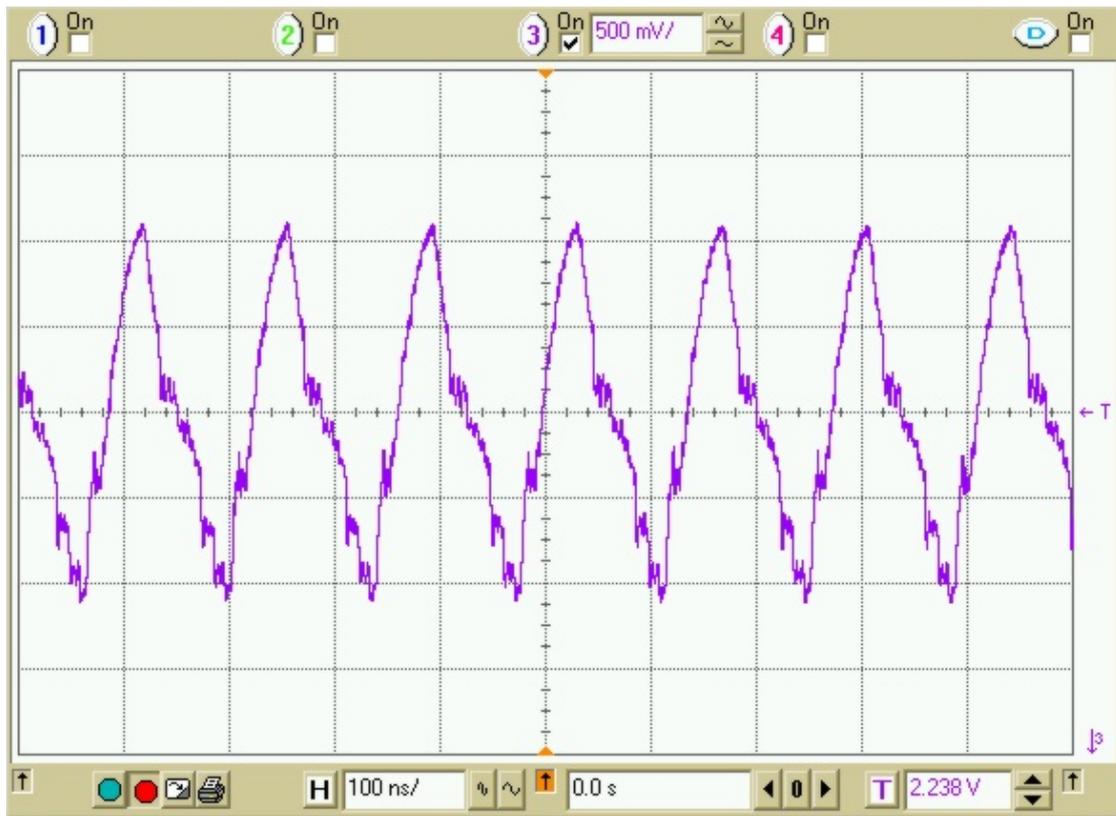


圖 5-11. 積分器輸出波形

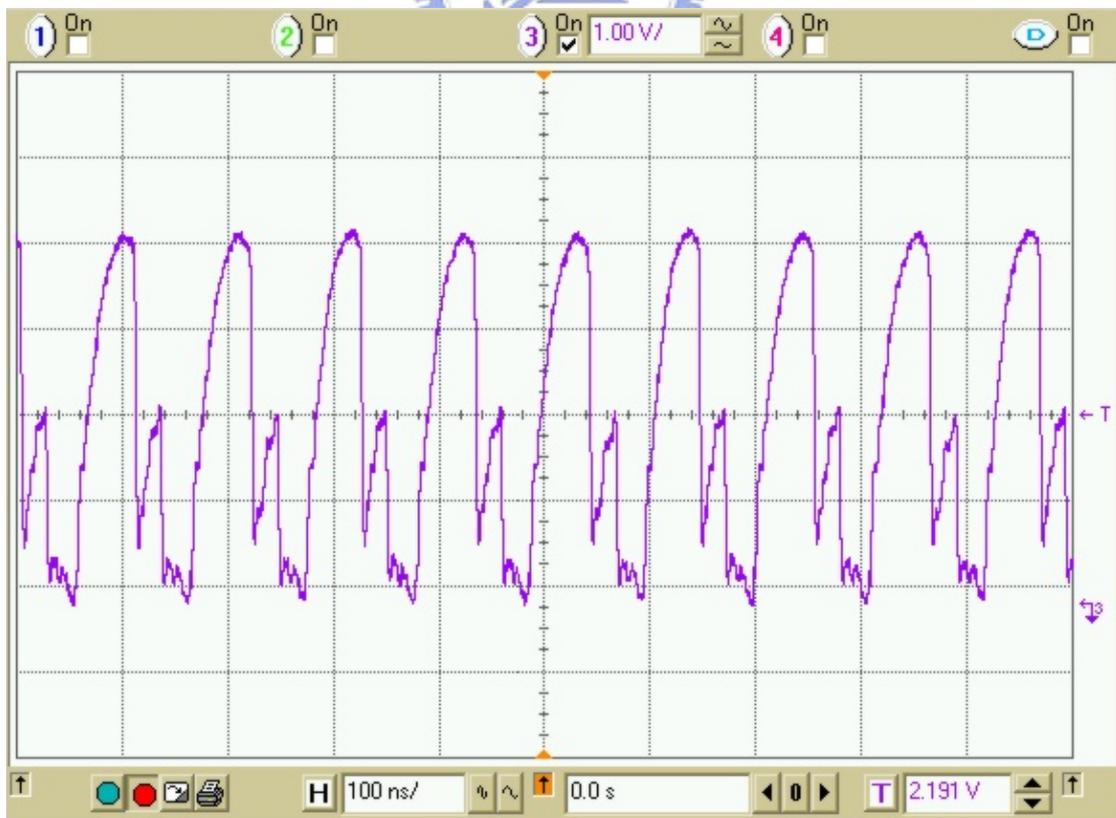


圖 5-12. 比較器輸出 PWM 波形

最後量測輸出與輸入的波形相比較，從上面圖 5-11 與圖 5-12 所示可以看出 D 類功率放大器在裝上晶片時，輸入的波形與原本未裝上晶片時的波形不一樣，導致在積分器和比較器的輸出波形與模擬出來的波形不一樣，因此，輸出波形得不到與輸入波形的放大訊號。圖 5-13 所示為兩個輸出與一個輸入的量測波形。

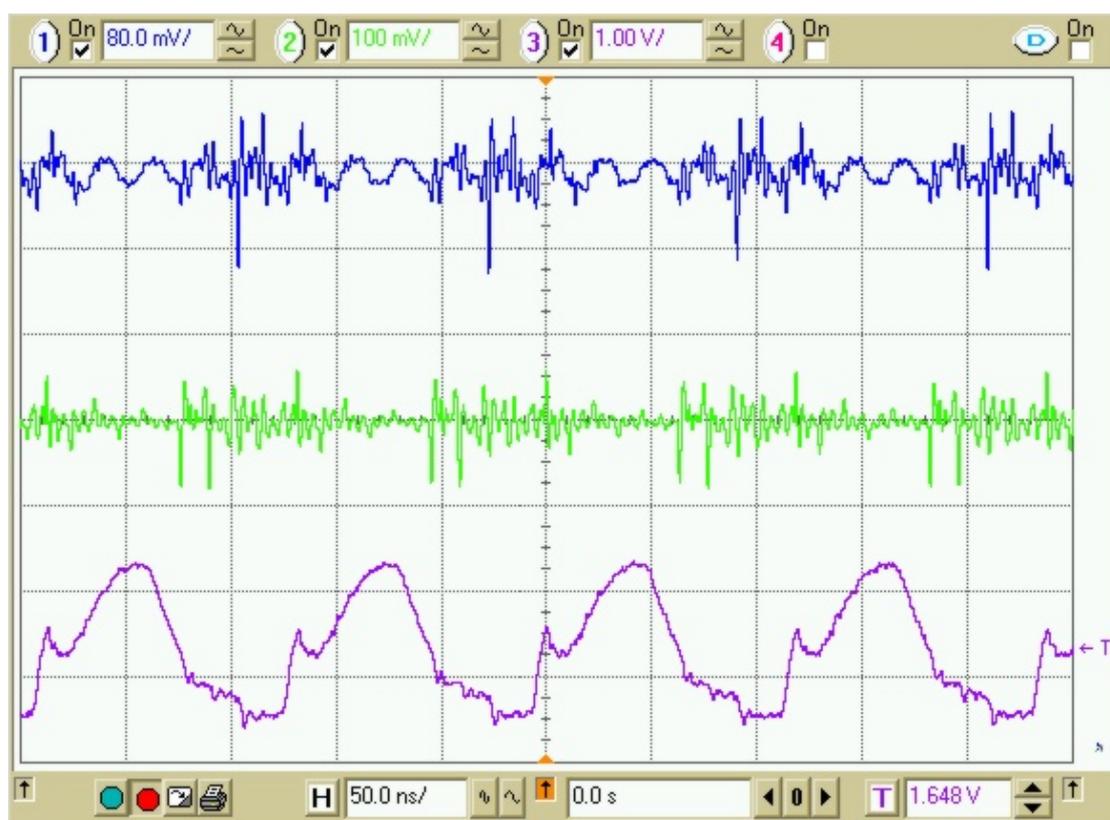


圖 5-13. 輸出 V_{OUT1} 、 V_{OUT2} 及 V_{IN1} 的波形

5.3 討論

在晶片還未安裝在 PCB 板上時由波形產生器輸出的弦波訊號，可以經由示波器測量到 PCB 板上的輸入弦波與波形產生器輸出波形一樣，但在裝上 D 類功率放大器晶片時，再次由 PCB 板上的的輸入端量測到的弦波波形變成不是原來的輸入波形。本認為是沒做靜電防護措施，晶片在量測時受到靜電影響而壞掉，在做好防護措施後，取另外一個好的晶片再次量測，得到的輸入的波形還是與原來的訊號產生器輸出波形不一樣。之後再檢查 PCB 电路板的線路佈局，看是否為 PCB 的佈局有錯誤，檢查後也沒有錯誤，再次的檢查晶片的打線圖，也沒有

錯誤。檢查晶片的電路佈局圖，跑過 DRC、LVS 與 PEX 也沒有錯誤，在檢查看是在電路佈局拉 PAD 時有拉錯或是在補 matel 時有去接觸到主電路的部份，也將各部份的電路跑過 DRC、LVS 與 PEX，都沒有錯誤出現，也檢查過電路內是否有佈局錯的地方，也沒有錯誤的地方。判斷是因為在拉 PAD 的訊號線與 VDD 及 GND 太近或是重疊在一起，雖然沒有接觸在一起，但因為太近而產生干擾，因而影響到電路而無法動作。



第六章 結論和未來展望

6.1 結論

我們已經呈現 D 類音頻功率放大器的一個分析與外部回授補償，而且已經顯示如果一個負回授適當地被應用，THD 實質上可能會減少。藉由補償，輸出響應較開迴路 D 類功率放大器要來的好，總諧波失真也能被減少。對於頻率響應，藉由使用回授技術能增加頻寬和相位邊界。在本論文中，選擇 PWM 單電壓性切換調變方式做為 D 類功率放大器的主要設計，所得到的規格皆在可接受的範圍內；另外，在取不同載波振幅之脈寬調變法和 50% 責任週期 Clock 脈寬調變法做其比較。在選擇調變方式之前，由理論分析已可預知用 PWM 單電壓極性切換可得到最低的總諧波失真，且模擬驗證的結果也是如此，此電路主要規格是 THD 值和功率效益，其值：THD = 0.1%，功率效益為 85%。此外，一個回授設計為 D 類功率放大器用簡單的硬體在這一論文中被提議。

6.2 未來展望

雖然我們已經藉由使用回授補償成功地減少 D 類音頻功率放大器的總諧波失真，但是更多工作需要做為了完成整體的 D 類功率放大器設計。在這篇論文中，D 類運算積體電路是參考其它 D 類放大器所設計的。如果我們能透過我們自己設計 D 類運算核心，我們設定系統的定義是更方便的。混合模式積體電路是達成這一個目標的一個好方法，D 類核心能在類比電路中設計，而且回授控制器也能在類比或數位電路中被設計。在調變電路之中，PWM 調變是一個好的選擇，但我們可以嘗試用三角積分調變為數位應用的另一個調變方法。最後，大部份的 D 類功率放大器設計受限於它的高頻性能方面的固有限制，限制它在超重低音喇叭系統上的應用。對改進這個局限的領域研究在 D 類功率放大器的音頻放大器市場上將給 D 類放大器很大的助力。

參考文獻

- [1] A. S. Sedra and K. C. Smith, "Microelectronic Circuits", Saunders College, Third edition, 1991.
- [2] W. Marshall Leach, Jr. , "The Class-D Amplifier", From the book Introduction to Electroacoustics and Audio Amplifier, publish by Kendall/Hunt, 2001.
- [3] Changsik Yoo, and Qiuting Huang, "A Common-gate switched, 0.9W Class-E Power Amplifier with 41% PAE in 0.25um CMOS", *IEEE Journal of Solid-State Circuits*, Vol.36, pp.56~57, May. 2001.
- [4] T. Sowlati, C. Andrn, T. Salama, J. Sitch, G. Rabjohn and D. Simth, "Low Voltage High Efficiency Class-E GaAs Power Amplifiers For Mobile Communications", *IEEE GaAs IC Symposium*, pp171~174, Oct. 1994.
- [5] Chien C., Homg Tzyy Sheng, "Design and Implementation of High-Efficiency 2.4GHz Class-E Power Amplifier MMICs and Moduies", National Sun Yat-Sen University, 2000.
- [6] Aoki, N. Asano, "Improved Output Spectrum of Linearized Class-F Power Amplifier For Digital Cellular Mobile Communication" *IEEE MTT-S Digest*, pp801~805, Oct. 1992.
- [7] Wejon C., "The Low Voltage and Low Power Switch Mode Power Amplifier", National Sun Yat-Sen University, pp10~11, 2004.
- [8] Don Dapkus and Robin Chen, "Utilizing Class-D Audio Power Amplifier for high efficiency", TEXAS INSTRUMENTS, TPA005D02 Class D Stereo Audio Power Amplifier Evaluation Module, User's Guide, 1998.
- [9] S. Burrow and D. grant, "EFFICIENCY OF LOW POWER AUDIO AMPLIFIERS AND LOUDSPEAKERS", *IEEE Transactions on Consumer Electronics*, Vol.47 NO.3, August 2001.
- [10] D. A. Grant, Y. Darroman and S. Burrow, "Class-D Amplification Combined With Switched-Mode Power Conditioning-The Route To Long Battery Life", *IEEE Transactions on Consumer Electronics*, Vol.48, NO.3, Aug. 2002.

- [11] D. Dapkus, "CLASS-D AUDIO POWER AMPLIFIER : AN OVERVIEW",
IEEE Consumer Electronics, pp.400~401, June 2000.
- [12] MOHAN, UNDELAND, ROBBINS, "POWER ELECTRONICS : Converters,
Applications and Design", WILEY, 1989.
- [13] J. M. D. Murphy and F. G. Turnbull, "Power Electronic Control of AC Motor",
Pergamon Press, 1988.
- [14] John K. F. "SWITCHING AMPLIFIER CLOSED LOOP
DUALCOMPARATOR MODULATION TECHNIQUE", US Patent
NO.5,767,740, Jun.16, 1998.
- [15] Chiew Tiam Boon, "Switch Mode Multilevel (Class D) Power Amplifier",
Department of Electrical and Computer Engineering The University of
Queensland, October 1998.
- [16] TNG CHEE WAN, "MULTI-LEVEL SWITCHMODE CLASS D AMPLIFIER",
Department of Electrical and Computer Engineering The University of
Queensland, October 1998.
- [17] Kim Madsen and Ron Alexander, "System Design Consideration for True Digital
Audio Power Amplifiers", TEXAS INSTRUMENTS Application Report,
Number SLAA117A, Jan. 2001.
- [18] Christopher N. Memmings, "Improving Class D Audio Power Amplifiers",
Department of Electrical and Computer Engineering The University of
Queensland, October 1999.
- [19] Ronan van der Zee, "High Efficiency Audio Power Amplifier Design And
Practical Use", Philips Semiconductors in Nijmegen, 1999.
- [20] Cheng Z. , "Analysis and Design Of a Micropower Low Voltage Class D Audio
Amplifier", Master thesis, Nanyang Technology University, Singapore, 1995.
- [21] Mellor, P. H. & Cheetham, BMG, "Reduction of spectral distortion in a Class D
Amplifiers by an enhanced Pulse width modulation sampling process", *IEEE
processing-G*, Vol.138, NO.4, August 1991.
- [22] Meng Tong Tan, Hock-Chuan Chua, Bah Hwee Gwee and Joseph S. Chang, "An
Investigation on the Parameters Affecting Total Harmonic Distortion in Class D
Amplifiers", *IEEE Circuit and Systems*, Vol.4, pp.193~193, May 2000.
- [23] Shuanghe Zhu and Caizhang Lin, "Reducing Distortion of Class-D (PWM)
Power Amplifier by Using Feed-Forward Techniques", *IEEE Circuit and*

Systems, pp.630~633, Dec. 2000.

- [24] Joseph S. Chang, B. H. Gwee, Yong Seng Lon and Meng Tong Tan, "A Novel Low Power Low-Voltage Class-D Amplifier with Feedback for Improving THD Power Efficiency and Gain Linearity", *IEEE Circuit and Systems*, Vol.1, pp.635~638, May 2001.
- [25] Vanderkoog J. and Lipshitz, S. P., "Feed-forward Error-correction In Power Amplifier", *J. Audio Eng. Soc*, no.28, pp.2~16, 1980.
- [26] Zhu, S. H. and Ren, T. L., "Late-model Feed-forward Switched Power Supply with Low Ripple", *IEEE, Lett.*, NO.33, pp.1271~1273, 1997.
- [27] Marco Berkhout, "An Integrated 200-W Class-D Audio Amplifier", *IEEE Journal of Solid-State Circuits*, Vol.38, NO.7, July 2003.
- [28] Ronan A. R. van der Zee and Ed (A. J. M.) van Tuijl, "A Power-Efficient Audio Amplifier Combiing Switching and Linear Techniques", *IEEE Journal of Solid-State Circuits*, Vol.34, NO.7, July 1999.
- [29] Alejandro R. Oliva, Simon S Ang and Thuy V. Vo, "A multi-Loop Voltage Feed-back Filterless Class-D Switching Audio Amplifier using unipolar PWM", *IEEE Transactions on Consumer Electronics*, Vol.50, NO.1, pp312~319, Feb. 2004.
- [30] TPA3002D2, "9-W STEREO CLASS-D AUDIO POWER AMPLIFIER WITH DC VOLUME CONTROL", TEXAS INSTRUMENTS Data Sheet, 2002.
- [31] Richard Palmer, "Design Considerations for Class D Audio Power Amplifier", TEXAS INSTRUMENTS Application Report, Publications Number SLOA031, August 1999.
- [32] Michael D. Score, "Reducing and Eliminating the Class-D Output Filter", TEXAS INSTRUMENTS Application Report, publications Number SLOA023, 1999.
- [33] W. Tien-Feng Chen, M. Corsi, R. Clifton Jones, III, M. David Score, all of TX(US), "MODULATION SCHEME FOR FILTERLESS SWITCHING AMPLIFIERS", US Patent NO.6,211,728, Apr.3,2001.
- [34] Marco Corsi, Wayne Tien-Feng Chen, Roy Clifton Jones, III, all of TX(US); Dan Mavencamp, Kenneth Arcudia, both of MS(US), "CONCEPT AND METHOD TO ENABLE FIL TERLESS, EFFICIENT OPERATION OF CLASS-D AMPLIFIER", US Patent NO.6,262,632, Jul.17, 2001.
- [35] Michael D. Score, Paras M. Dagli, Roy Cligton Jones, III, Wayne Tien-Feng

- Chen, "MODULATION SCHEME FOR FILTERLESS SWITCHING AMPLIFIERS WITH REDUCED EMI", US Patent NO.6,614,297 B2, Sep.2, 2003.
- [36] TPA2000D1, "2-W FILTERLESS MONO CLASS-D AUDIO POWER AMPLIFIER", TEXAS INSTRUMENTS Data Sheet, 2003.
- [37] Jenchieh Hu, "On-Line DSP-based Uninterruptible Power Supply", National Sun Yat-Sen University, July 2001.
- [38] MAX9712, "500mW, Low EMI, Filterless, Class D Audio Amplifier", MAXIM Data Sheet, 2003.
- [39] E. Sackinger, W. Guggenbuhl, "A High-Swing. High-Impedance MOS Cascode Circuit" , *IEEE J. Solid-State Circuits*, Vol. 25, pp. 289-298, Feb. 1990.
- [40] E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design", Second Edition, OXFORD UNIVERSITY PRESS, 2002.
- [41] Hoi-Jun Yoo, Seung-Jun Lee, Jeong-Tae Kwon, Wi-Sik Min and Kye-Hwan Oh, "A Precision CMOS Voltage Reference With Enhanced Stability for the Application to Advanced VLSI's," *IEEE Circuit and Systems*, pp.1318-1321, May 1993.
- [42] R. J. Baker, Harry W. Li, David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", WILEY-INTERSCIENCE, 1998.
- [43] Razavi, "Design of Analog CMOS Integrated Circuits", Mc Graw Hill, 2002.