

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文

應用於生醫訊號之可重組三角積分調變器設計

Design of Reconfigurable Sigma-Delta Modulator for

Bio-Signal Applications

研究生：徐靜瑩

指導教授：林進燈 教授

中華民國九十六年八月

應用於生醫訊號之可重組三角積分調變器設計

Design of Reconfigurable Sigma-Delta Modulator for
Bio-Signal Applications

研究生：徐靜瑩

Student：Jing-Ying Hsu

指導教授：林進燈 博士

Advisor：Dr. Chin-Teng Lin

國立交通大學

電機學院 IC 設計產業研發碩士班



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on
IC Design

August 2007

Hsinchu, Taiwan, Republic of China

中華民國 九十六年八月

應用於生醫訊號之可重組三角積分調變器設計

學生：徐靜瑩

指導教授：林進燈 博士

國立交通大學電機學院產業研發碩士班

摘 要

由於生醫訊號具有訊號微弱及變化緩慢的特質，為求達到高解析度及低功率消耗，所以採用在這兩方面都有良好效果的三角積分調變器以符合應用所需。為了針對不同生醫訊號處理提供不同解析度的需求，本論文提出一個具可重組三角積分調變器。設計優點在於將三個調變器透過數位開關控制並使用重組的方式，達到高解析度的類比-數位訊號轉換。相較於一般因應不同解析度而增加元件設計的作法，更為節省晶片面積及提高轉換效率。可重組三角積分調變器具有兩種工作模式，一種分別為兩個一階架構，提供較低解析度，可減少轉換時間；另一種為前者重組而成的一個二階架構，可提供高解析度的訊號轉換。

本論文提出的可重組三角積分調變器設計採用台積電(TSMC) 0.35um 2P4M CMOS 製程來實現，在取樣頻率 256 KHz 情形下，消耗功率為 3 mW。對生裡訊號頻寬在 1 KHz 及超取樣率為 128 倍的情形下，一階 SNR 可達到 66dB，二階 SNR 可達到 86dB，分別具有十位元與十四位元的解析度。本論文的研究結果與不可重組的兩個一階及一個二階之傳統三角積分調變器面積相比，可節省 30% 晶片設計面積。

Design of Reconfigurable Sigma-Delta Modulator for Bio-Signal Applications

Student: Jing-Ying Hsu

Advisor: Dr. Chin-Teng Lin

Industrial Technology R & D Master Program of
Electrical and Computer Engineering College
National Chiao Tung University

Abstract

Due to low-amplitude and non-stationary properties of biomedical signals, high resolution and low-power consumption are necessary for the analog-to-digital (A/D) converter. Based on the above reason, the sigma-delta modulator (SDM) which has well performance in the resolution and power consumption is chosen. To deal with different biomedical signals and offering different resolution, this thesis proposes a reconfigurable sigma-delta modulator. The advantage of design is to use three built-in modulators to implement hardware reconfiguration and to achieve transformation of high resolution via digital switching control. Compared with the traditional method, the proposed design has higher efficiency and saves chip area. There are two kinds of operating modes. One is two first-order SDMs used to low resolution. The other is the second-order SDM which is reconfigured by two first-order SDMs, and it is suitable for higher resolution.

The proposed sigma-delta modulator fabricated in TSMC 0.35 μ m 2P 4M CMOS technology consumes 3 mW at 256 KHz. The SNR of the first-order and the second-order modulator can reach 66 dB and 86 dB, respectively, within 1 kHz of signal bandwidth and 128 times sampling rate. The resolutions are 10 bits and 14 bits with the respective to the first-order and the second-order modulator. Most importantly, the core area of the proposed one can be saved around 30% compared with area of two first-order and one second-order sigma-delta modulators without reconfigurability.

誌 謝

本論文的完成，首先要感謝指導教授林進燈博士這兩年來的悉心指導，讓我學習到許多寶貴的知識，在學業及研究方法上也受益良多。另外也要感謝口試委員們的建議與指教，使得本論文更為完整。

其次，感謝協助指導資訊媒體實驗室的鍾仁峰博士、范倫達教授，在理論及程式技巧上給予我相當多的幫助與建議，讓我獲益良多。此外，也衷心感謝學長宗哲、經翔、家昇、紹航，同學智文、德璋及俊傑的相互砥礪，以及學弟妹建昇、毓廷、孟修、儀晟、煒忠、寓鈞、舒愷、孟哲，在研究過程中所給我的鼓勵與協助。

感謝我的父母親對我的教育與栽培，並給予我精神及物質上的一切支援，使我能安心地致力於學業。此外也感謝亞書對我不斷的關心與鼓勵。

謹以本論文獻給我的家人及所有關心我的師長與朋友們。

目錄

中文摘要	iii
英文摘要	iv
誌謝	v
目錄	vi
表目錄	viii
圖目錄	ix
第一章 序論	1
1.1 前言	1
1.2 論文架構	2
第二章 三角積分調變器原理介紹	4
2.1 奈奎氏與超取樣類比數位轉換器	4
2.2 量化誤差	7
2.3 超取樣技術	10
2.4 雜訊移頻技術	11
2.5 一階三角積分調變器	13
2.6 二階三角積分調變器	15
2.7 高階三角積分調變器	17
第三章 系統模型規劃與模擬	21
3.1 系統設計	21
3.2 三角積分調變器之模型	22
3.3 電路非理想效應考量	24
3.3.1 取樣電阻	24
3.3.2 取樣雜訊	26
3.3.3 熱雜訊	28
3.3.4 運算放大器之非理想效應	30
3.4 系統規格訂定	33
第四章 可重組三角積分調變器之設計與模擬	35
4.1 系統設計	35
4.2 交換電容式積分器	37
4.2.1 不受寄生電容影響積分器	37

4.3 運算放大器.....	40
4.4 比較器.....	44
4.5 時脈產生器.....	45
4.6 電路模擬結果.....	46
第五章 佈局與量測考量	51
5.1 佈局考量.....	51
5.2 量測考量.....	53
5.2.1 PCB 量測板設計與考量	53
5.2.2 時域量測方法.....	54
5.2.3 頻域量測方法.....	56
第六章 結論與未來展望	58
6.1 結論.....	58
6.2 未來展望.....	58
參考文獻	60
附錄 63	
A DRC Verification.....	63
B LVS Verification.....	64
C Tapeout Review Form.....	64



表目錄

表 1: 各種不同 ADC 架構.....	5
表 2: 一階調變器系統模擬係數.....	23
表 3: 二階調變器系統模擬係數.....	24
表 4: 三角積分調變器規格.....	34
表 5: 各種架構運算放大器效能比較.....	40
表 6: 不同溫度之運算放大器規格.....	43
表 7: 三角積分調變器規格表.....	49
表 8: 與其他論文之比較.....	50



圖目錄

圖 2-1:	(a) 奈奎氏取樣率 ADC (b) 超取樣 ADC.....	6
圖 2-2:	(a) 奈奎氏取樣率 ADC 頻譜圖 (b) 超取樣 ADC 頻譜圖.....	6
圖 2-3:	(a) A/D 轉換曲線 (b) 量化誤差.....	7
圖 2-4:	(a) 線性模型 (b) 反求量化誤差電路.....	8
圖 2-5:	(a) 量化誤差機率密度函數圖 (b) 量化誤差功率頻譜密度函數圖.....	9
圖 2-6:	訊號頻寬內之量化誤差.....	10
圖 2-7:	雜訊移頻線性模型.....	11
圖 2-8:	(a) 奈奎氏 ADC (b) 加入超取樣技術 (c) 加入雜訊移頻技術.....	13
圖 2-9:	一階調變器線性模型.....	14
圖 2-10:	二階三角積調變器線性模型.....	15
圖 2-11:	一階與二階雜訊移頻.....	17
圖 2-12:	高階三角積分調變器線性模型.....	17
圖 2-13:	Interpolative 架構線性模型.....	18
圖 2-14:	MASH 架構線性模型.....	19
圖 3-1:	設計流程圖.....	21
圖 3-2:	理想一階三角積分調變器模型.....	22
圖 3-3:	理想一階三角積分調變器輸出頻譜.....	23
圖 3-4:	理想二階三角積分調變器模型.....	23
圖 3-5:	理想二階三角積分調變器輸出頻譜.....	24
圖 3-6:	取樣電路.....	25
圖 3-7:	Transmission Gate 取樣電路.....	26
圖 3-8:	(a) NMOS 取樣電阻 (b) PMOS 取樣電阻.....	26
圖 3-9:	NMOS 開關取樣電路之通道電荷注入.....	27
圖 3-10:	NMOS 開關取樣電路之時脈饋入.....	28
圖 3-11:	(a) 取樣電路 (b) 熱雜訊模型.....	29
圖 3-12:	(a) SC 積分電路 (b) 直流增益非理想模型.....	31
圖 3-13:	迴轉率(SR)之限制.....	32
圖 3-14:	常見之生理訊號電壓與頻率分佈.....	33
圖 4-1:	可重組三角積分調器系統方塊圖.....	35
圖 4-2:	可重組三角積分調變器重組流程 (a) 重組前 (b) 重組後為二階系統.....	36
圖 4-3:	不受寄生電容影響之積分器.....	38
圖 4-4:	(a) 取樣模式 (b) 積分模式.....	38
圖 4-5:	加入 CDS 技術之積分器.....	39
圖 4-6:	全雙端積分器.....	40
圖 4-7:	(a) 全差動摺疊疊接運算放大器 (b) 共模回授(CMFB)電路.....	41

圖 4-8 :	constant- g_m wide-swing 偏壓電路	42
圖 4-9 :	運算放大器之 (a)增益響應 (b)頻率響應	43
圖 4-10 :	一位元比較器	44
圖 4-11 :	比較器模擬結果	44
圖 4-12 :	時脈產生器	45
圖 4-13 :	(a) P1、P2 非重疊時脈及 Pa1 (b)P1、P2 非重疊時脈及 Pa2	46
圖 4-14 :	(a)一階系統電路圖 (b)二階系統電路圖	47
圖 4-15 :	(a)一階 (b)二階 三角積分調變器輸出頻譜	48
圖 4-16 :	(a)FF (b)SS 二階三角積分調變器輸出頻譜	48
圖 4-17 :	(a) 2.7V (b) 3.3V 二階三角積分調變器輸出頻譜	49
圖 5-1 :	三角積分調變器佈局圖	52
圖 5-2 :	量測佈局圖	54
圖 5-3 :	時域量測方法	55
圖 5-4 :	單端轉雙端電路	56
圖 5-5 :	頻域量測方法	57



第一章 序論

1.1 前言

三角積分調變器(Sigma-Delta Modulator, 簡稱 SDM)[1], 已廣泛的被應用於現今超大型積體電路中的類比數位轉換介面, 其最大優點是可藉由雜訊移頻(Noise shaping)與超取樣(Oversampling)的技巧, 來增加信號雜訊比(Signal to Noise Ratio, 簡稱 SNR), 三角積分調變器大多被使用中速或低速、高解析度的類比數位轉換器中, 例如: 音頻系統。現今製程進步, 供應電壓縮小, 使得三角積分調變技術更適合於系統之整合。此技術由 1980 年代發展至今, 技術已能達到 24-bit 解析度[2], 因此研究再高之解析度, 已不是非常迫切, 但對於整合來說卻有很大的未來。



隨著積體電路製程技術的日新月異, 元件製作微小化, 電路為了達到低價、省電、適於整合, 且能以無線方式傳輸等, 紛紛朝向系統單晶片化(SOC)為目標, 系統整合晶片乃是目前晶片製作的一項指標。生物科技為近年來快速成長的新興產業, 隨著高科技發展及製程的進步, 生物科技在應用上有了很大的突破, 從前需要使用大型的監測儀器, 現在皆可用晶片化來達成, 面積縮得更小, 讓應用更為廣泛。一般晶片化可分為兩種, 感測器部分和後端處理電路。感測器部分大多使用微機電製程, 而後端處理電路以積體電路來實現, 在類比電路方面主要為前置放大器和類比數位轉換器, 在數位方面主要為數位濾波器。

由於生醫訊號具有信號微弱及變化緩慢的特質、如: 體溫、酸鹼值、葡萄糖濃度等, 為求達到高解析度及低功率消耗, 所以我們選用三角積分類比數位轉換

器以符合應用所需。為因應不同生醫訊號量測會有不同解析度的需求，我們設計實現一個具可重組兩種模式的三角積分調變器，可依實驗情況切換兩種模式，以符合所需的效能。

1. 模式一：兩個分別的一階架構，可同時提供兩個 10 bit 解析度的輸出，需要較低解析度時，可選擇此模式。
2. 模式二：將模式一的兩個一階架構，重新組合而成的一個二階架構，可以提供 14 bit 解析度的輸出，需較高解析度時可選擇此模式。

由於模式二是由模式一重新組合而來的，所以電路成本較為節省，不用因為需要一個較高解析度的輸出而另外設計一個新的晶片，相對的面積也較為節省，和(兩個分別一階架構晶片 + 一個二階架構晶片= 三個晶片)相比，面積比 $=0.4027\text{mm}^2/0.528\text{mm}^2$ ，大約節省了 30% 的面積。

本論文所實現的系統可應用於多種不同訊號，例如：EEG (electroencephalogram，腦電波)、ECG (electrocardiogram，心電圖)、EMG (electromyogram，肌電圖)、EOG (electro-oculogram，眼電圖)，等電生理訊號，未來可和前置放大器整合，實現一個完整的可攜式電生理訊號量測系統。

1.2 論文架構

本論文一共分為六章，在第一章序論後，各章節的內容簡述如下：

第二章介紹三角積分調變器的原理，從奈奎氏與超取樣兩種類比數轉換器的比較開始，介紹三角積分調器兩大技術：超取樣與雜訊移頻，並介紹推導不同階數之調變器特性。

第三章為系統模擬與規劃，針對三角積分調變器建立系統模型，並考量各種電路非理想效應的影響，且運用 Matlab Simulink 來做系統的模擬，進而訂定系統規格參數。

第四章設計實現三角積分調變器，運用系統模擬的結果來考量電路設計的各种因素，利用 Hspice 做電路模擬，最後將電路實現。

第五章為佈局與量測考量，介紹佈局時應注意的事項與量測方面的考量，及各種量測方法。

第六章對本論文做個總結，並提出未來的研究方向及目標。



第二章 三角積分調變器原理介紹

近年來電腦運算能力與數位訊號處理(Digital Signal Processing, DSP)的速度明顯進步，因此許多訊號處理的方式都將以數位化取代，這也是未來的趨勢之一。在我們生活的自然界中，舉凡各種如光、溫度、聲音等訊號，都是連續時間的類比訊號，不但資料量龐大，而且在運算上的準確度也比不上使用數位式的運算，因此將這些類比訊號轉換成電腦可以處理的數位訊號，我們需要類比數位轉換器(Analog to Digital Converter, ADC)作為兩者的媒介。所以在數位訊號處理中，類比數位轉換器扮演著一個重要的角色，它的規格與效能將會直接影響到整體系統的好壞。

在這一章節裡，我們先比較奈奎氏取樣率與超取樣率類比數位轉換器，說明量化誤差的概念，並介紹如何利用超取樣及雜訊移頻技術來達到高解析度輸出，最後再簡介各種不同調變器的架構與效能。

2.1 奈奎氏與超取樣類比數位轉換器

類比數位轉換器因應用領域的不同而有所區分，一般而言，我們希望類比數位轉換器具有高速及高解析度的效能，不過這是無法兼得的結果。在設計或選用時會依據系統的特性來要求精確度或速度，選擇適合的架構。一般根據 ADC 的取樣方式，可以區分為奈奎氏取樣率(Nyquist-rate)及超取樣率(Oversampling-rate)兩大類[1][7]。在各種類比數位轉換器的應用上，可以分為以下三類[5]。

表 1：各種不同 ADC 架構

Low to Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low to Medium Accuracy
<ul style="list-style-type: none"> ● Integrating ● Oversampling* (Sigma-Delta ADC) 	<ul style="list-style-type: none"> ● Successive approximation ● Algorithmic 	<ul style="list-style-type: none"> ● Flash ● Two step ● Interpolating ● Folding ● Pipelined ● Time interleaved

*只有 Oversampling 不是奈奎氏取樣率 ADC

由上表可以看出，超取樣率主要應用在低速高解析度，而奈奎氏取樣率則應用在中高速中低解析度上，因此 ADC 架構主要區分還是以速度及解析度的取捨。

奈奎氏 ADC 一般是操作在 1.5~10 倍的取樣率，也就是 3~20 倍的訊號頻寬，如圖 2-1(a)、2-2(a)。而超取樣 ADC 的取樣率則比奈奎氏高出許多，一般都是 16 倍以上，甚至達到 256 倍，如圖 2-1(b)、2-2(b)，它利用超取樣(oversampling)和雜訊移頻(noise shaping)的技巧，將訊號頻寬內的雜訊移至高頻，有效降低頻寬內的雜訊準位，以提升解析度。並在後端使用數位降頻濾波器(digital decimation filter)來濾除高頻雜訊，且將取樣率降回正常的倍率。由於它將大部份轉化的過程移到數位領域，使類比電路與數位處理相結合，更適合應用在混合訊號系統整合晶片中。

以下列舉超取樣 ADC 的幾項優點[1][6]：

1. 降低類比電路設計的複雜度。
2. 因為超取樣，故可省略或降低前端類比抗交連濾波器的設計。
3. 不需要額外的取樣/保持電路。
4. 對元件匹配有較低的靈敏度。
5. 具有良好的線性度，高的訊號-雜訊比及動態範圍。

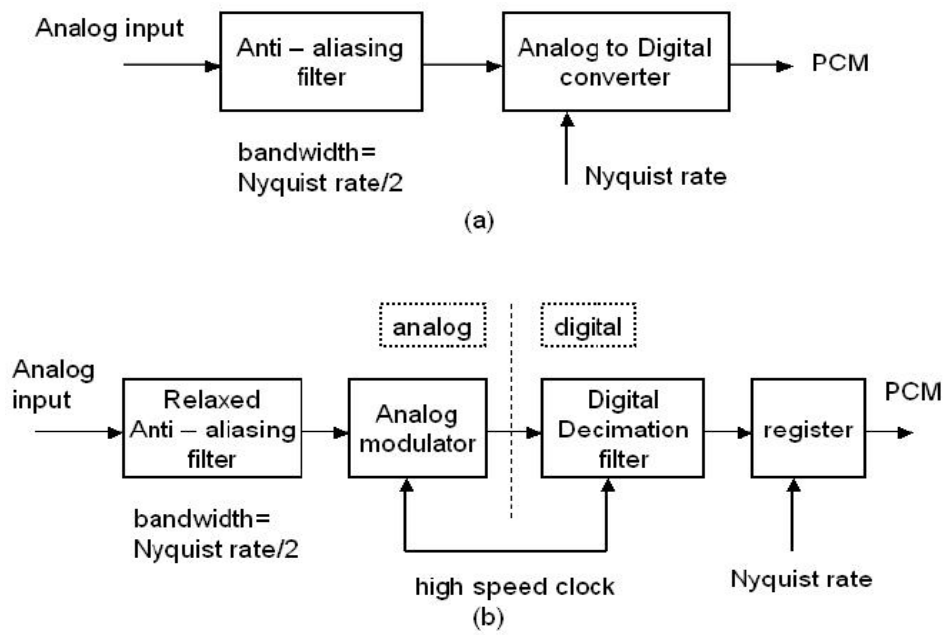


圖 2-1：(a) 奈奎氏取樣率 ADC (b) 超取樣 ADC

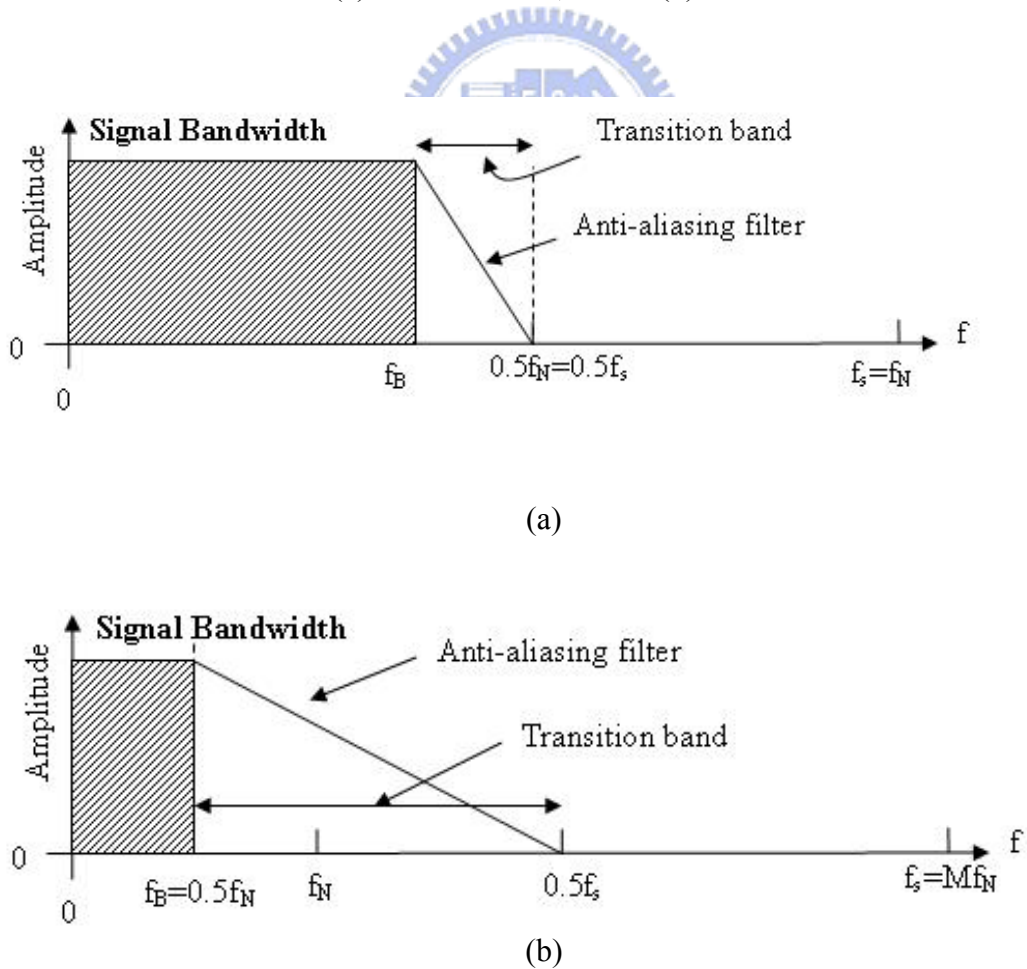


圖 2-2：(a) 奈奎氏取樣率 ADC 頻譜圖 (b) 超取樣 ADC 頻譜圖

2.2 量化誤差

量化的過程，基本上是一個非線性的行為轉換。在一個轉換的系統中，假設輸入為一個斜波，輸出如圖 2-3(a)所示，出現如同階梯狀的輸出，如果我們用理想的轉換曲線，與梯狀的輸出做相減，就會出現如圖 2-3(b)所示的鋸齒波形，這就是所謂的量化誤差[7][29]。

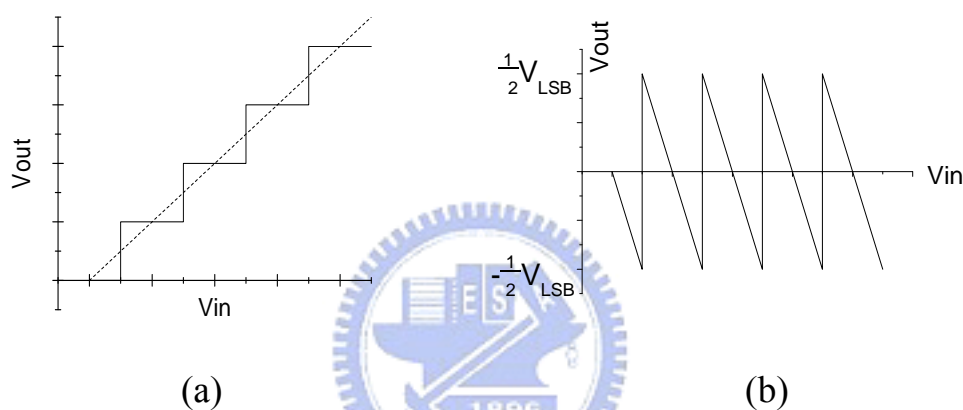


圖 2-3：(a) A/D 轉換曲線 (b) 量化誤差

這是一個在轉換過程中無法避免的誤差，且相對於其他雜訊如熱雜訊、 $\frac{1}{f}$ 雜訊等等有相加的效果，沒辦法互相抵消掉。如果將量化誤差當做一個外加的雜訊 $q(n)$ ，而輸入訊號為 $x(n)$ ，輸出訊號為 $y(n)$ ，如圖 2-4(a)，則關係式可表示為：

$$q(n) = y(n) - x(n) \quad (2.1)$$

另外，如果將 N-bit 之 ADC 接上 M-bit 之 DAC，那麼量化誤差就可以表示成如圖 2-4(b)所示，其中 $M \geq N$ 。

$$V_q = V_1 - V_{in} \quad (2.2)$$

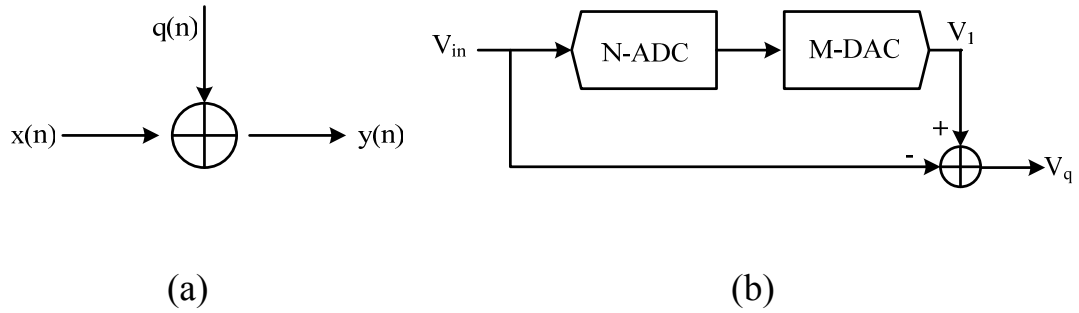


圖 2-4：(a)線性模型 (b)反求量化誤差電路

假設輸入 $x(n)$ 的範圍在 $+V_{ref} \sim -V_{ref}$ 之間，且為 N 位元 ADC，則總共有 2^N 個 level，每一階的大小為 $\Delta = V_{LSB} = \frac{2V_{ref}}{2^N}$ ，量化誤差 q 就介於 $-\frac{\Delta}{2} \sim +\frac{\Delta}{2}$ 之間。如果全部的量化能階非常大，也就是相鄰近的量化能階非常小的情況下，則量化誤差是均勻分在 $\frac{1}{2}V_{LSB} \sim -\frac{1}{2}V_{LSB}$ 之間之隨機變化值，其中 $V_{LSB} = \frac{2V_{ref}}{L}$ ， $L = 2^N$ (N 為轉換器的位元數)。那麼整體的機率密度函數圖(probability density function)則會呈現一個定值即為白色雜訊(white noise)，且均勻分佈在 $\frac{1}{2}V_{LSB} \sim -\frac{1}{2}V_{LSB}$ 之間，如圖 2-5(a)所示。整體的量化誤差平均將會是 0，如下式表示：

$$V_{q(avg)} = \int_{-\frac{1}{2}V_{LSB}}^{\frac{1}{2}V_{LSB}} q \cdot f_q(q) \cdot dq = \frac{1}{V_{LSB}} \int_{-\frac{1}{2}V_{LSB}}^{\frac{1}{2}V_{LSB}} q \cdot dq = 0 \quad (2.3)$$

如果要分析訊號雜訊比等特性，則需要求出量化雜訊的有效值(root mean-square)，如下式表示：

$$V_{q(rms)} = \left(\int_{-\frac{1}{2}V_{LSB}}^{\frac{1}{2}V_{LSB}} q^2 \cdot f_q(q) \cdot dq \right)^{1/2} = \left(\frac{1}{V_{LSB}} \int_{-\frac{1}{2}V_{LSB}}^{\frac{1}{2}V_{LSB}} q^2 \cdot dq \right)^{1/2} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.4)$$

值得注意的是，此量化誤差 $\frac{V_{LSB}}{\sqrt{12}}$ 是均勻分佈的，且不隨取樣頻率與輸入訊號不同而改變。如果我們將整個機率密度函數轉化為功率頻譜密度函數圖(power

spectral density)，如圖 2-5(b)所示，那麼整個量化雜訊功率將會隨著取樣頻率而被展開，使得功率頻譜密度函數高度隨著取樣頻率增加而減小，但全部總合是不變的， $V_{q(rms)}^2 = S_q(f) \cdot f_s$ ，因此功率密度 $S_q(f) = \frac{\Delta^2}{12f_s}$ ，我們可用以下的方程式來表示：

$$V_{q(rms)}^2 = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_q(f) \cdot df = \frac{V_{LSB}^2}{12} = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} \frac{V_{LSB}^2}{12 \cdot f_s} \cdot df \quad (2.5)$$

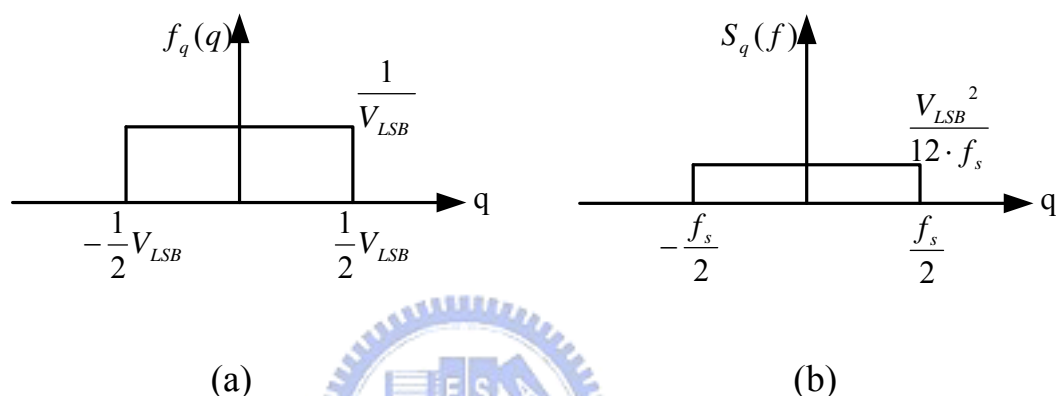


圖 2-5：(a)量化誤差機率密度函數圖 (b)量化誤差功率頻譜密度函數圖

假設輸入訊號是一個鋸齒波(或隨機訊號)，介於 $0 \sim V_{ref}$ 之間，那麼訊號雜訊比就等於：

$$SNR = 20 \cdot \log \left(\frac{V_{in(rms)}}{V_{q(rms)}} \right) = 20 \cdot \log \left(\frac{V_{ref} / \sqrt{12}}{V_{LSB} / \sqrt{12}} \right) = 20 \cdot \log(2^N) = 6.02N \text{ dB} \quad (2.6)$$

而假設輸入訊號是一個弦波，介於 $0 \sim V_{ref}$ 之間，那麼訊號雜訊比就等於：

$$SNR = 20 \cdot \log \left(\frac{V_{in(rms)}}{V_{q(rms)}} \right) = 20 \cdot \log \left(\frac{V_{ref} / \sqrt{12}}{V_{LSB} / \sqrt{12}} \right) = 20 \cdot \log \left(\sqrt{\frac{3}{2}} 2^N \right) = 6.02N + 1.76 \text{ dB} \quad (2.7)$$

對於 N 位元的 ADC 而言，此為最大可能的 SNR。由(2.7)式可知，每增加 1 位元，SNR 就會增加 6dB，但奈奎氏 ADC 受限於類比電路的精確度，無法達到

很大的 SNR，高解析度也因此受限。

接下來介紹三角積分調變器的兩大主要技術：超取樣和雜訊移頻。

2.3 超取樣技術

由上一小節我們知道量化誤差會均勻分佈在取樣頻率內，如圖 2-6 即為一功率頻譜密度函數圖，其中 f_s 為取樣頻率， f_B 為訊號頻寬。

如果取樣頻率增加，落在訊號頻寬內的量化誤差將會減少，但是值得注意的是，整體的量化誤差並不會因此而減少，因為能量並不會無故消失，相對地解析度也不會提高。這時，如果再將訊號頻寬以外的雜訊濾掉，只保存訊號以及訊號頻寬內的量化誤差，這時整體的量化誤差便會減少，跟著解析度也因此增加，這就是所謂的超取樣技術。

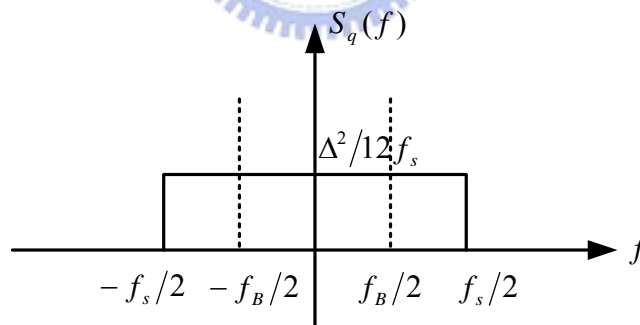


圖 2-6：訊號頻寬內之量化誤差

我們定義超取樣率(oversampling ratio, OSR)為：

$$OSR = \frac{f_s}{2 \cdot f_B} \quad (2.8)$$

而落在訊號頻寬以內的量化誤差就等於：

$$V_{Bq(rms)}^2 = \int_{-\frac{f_s}{2}}^{\frac{f_s}{2}} S_q(f) \cdot |H^2(f)| \cdot df = \int_{-f_B}^{f_B} S_q(f) \cdot df = \frac{2 \cdot f_B}{f_s} \cdot \frac{V_{LSB}^2}{12} = \frac{V_{LSB}^2}{12} \cdot \frac{1}{OSR} \quad (2.9)$$

再根據式(2-5)，我們可以得到訊號雜訊比為：

$$\begin{aligned}
 SNR_{\max} &= 20 \cdot \log\left(\frac{V_{in(rms)}}{V_{q(rms)}}\right) = 20 \cdot \log\left(\frac{V_{ref}/2\sqrt{2}}{V_{LSB}/\sqrt{12 \cdot OSR}}\right) = 20 \cdot \log\left(\sqrt{\frac{3 \cdot OSR}{2}} \cdot 2^N\right) \\
 &= 20 \cdot \log\left(\sqrt{\frac{3}{2}} \cdot 2^N\right) + 20 \cdot \log(\sqrt{OSR}) = 6.02N + 1.76 + 10 \cdot \log(OSR) \text{ dB}
 \end{aligned} \tag{2.10}$$

由上式可以知道，當取樣頻率每增加一倍，訊號雜訊比會增加 3dB，相當於 0.5 位元，因此增加超取樣倍數，便可增加轉換器的解析度。但若要達到高解析度，則需要非常大的取樣頻率。舉例來說，假設我們需要一 16 位元解析度應用於音頻訊號($f_0=25\text{kHz}$)的 ADC，表示 SNR 要達到 96dB，若只使用超取樣技術，取樣頻率要達到 $4^{(16-1)} \times 2 \times 25\text{kHz} = 54000\text{GHz}$ ，對於現今製程技術來說是不可能實現的，所以要達到高解析度的目標，還需要加上雜訊移頻技術。

2.4 雜訊移頻技術

雜訊移頻的概念是，透過改變訊號頻寬內的量化雜訊的分佈情形，將雜訊從訊號頻寬內移出至訊號頻寬以外之高頻，之後再使用數位低通濾波器移除被移至高頻的雜訊，由圖 2-7 的線性模擬來推導雜訊移頻的操作。

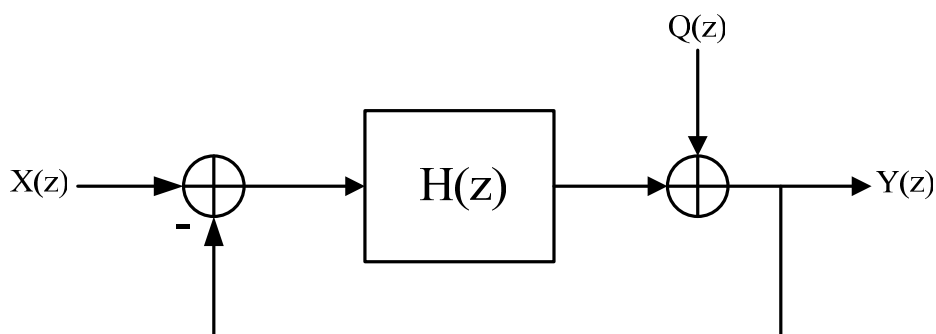


圖 2-7：雜訊移頻線性模型

此線性模型有個獨立的輸入源：輸入訊號 $X(z)$ 和量化雜訊 $Q(z)$ ，推導此回授系統的轉移函數，

$$\text{先設 } Q(z) = 0, \text{ 可得訊號轉移函數: } S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)}, \quad (2.11)$$

$$\text{再設 } X(z) = 0, \text{ 可得雜訊轉移函數: } N_{TF}(z) = \frac{Y(z)}{Q(z)} = \frac{1}{1 + H(z)}, \quad (2.12)$$

因此系統可寫成：

$$Y(z) = S_{TF}(z)X(z) + N_{TF}(z)Q(z) = \frac{H(z)}{1 + H(z)} X(z) + \frac{1}{1 + H(z)} Q(z) \quad (2.13)$$

- $H(z)$ ：積分器函數
- $S_{TF}(z)$ ：訊號轉移函數
- $N_{TF}(z)$ ：雜訊轉移函數

為了要達到雜訊移頻的效果，我們希望 $S_{TF}(z)$ 為一低通濾波函數，不會衰減的保留訊號頻寬內訊號大小 $X(z)$ ，同時也希望 $N_{TF}(z)$ 為一高通濾波函數，將 $Q(z)$ 移至高頻頻域，而在低頻處 $Q(z)$ 則趨近於零。

圖 2-8[9]說明了從一開始奈奎氏取樣率 ADC，到加入超取樣與雜訊移頻的量化雜訊概念流程。

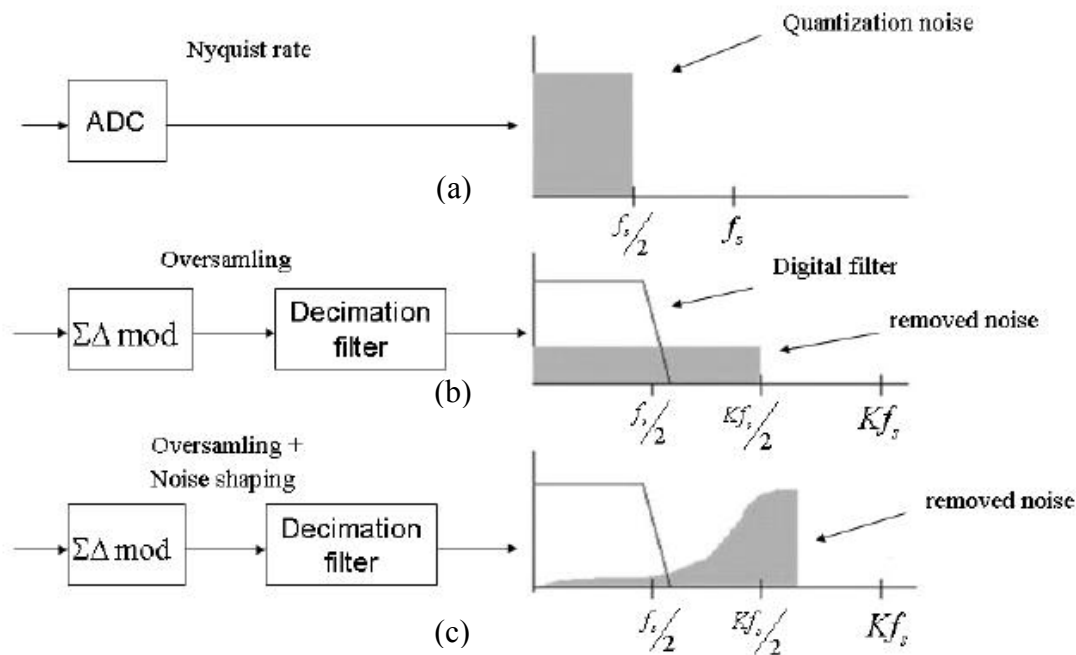


圖 2-8：(a)奈奎氏 ADC (b)加入超取樣技術 (c)加入雜訊移頻技術

雜訊移頻除了能改變量化雜訊的能量分佈，使量化雜訊集中至高頻，透過後端的數位濾波器移除雜訊，來達成很高的 SNR 及解析度，更重要的是，它可大幅降低超取樣率，達到一個合理的範圍。例如，一般商用的三角積分 ADC 取樣頻率為 5MHz，而不是 54000GHz。

2.5 一階三角積分調變器

圖 2-9 為一階之調變器的線性模型[7][10]，其中使用了一個離散時間積分器，和一個 1 位元的量化器，組成一階系統。以下解釋其原理。

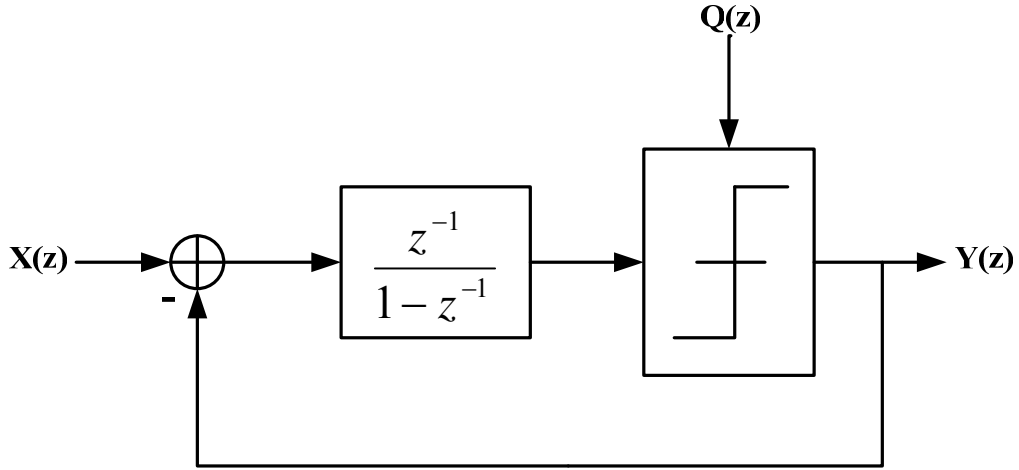


圖 2-9：一階調變器線性模型

基於雜訊移頻的原理，我們希望 $N_{TF}(z)$ 在直流時大小為零，也就是在 $z = 1$ 處 $N_{TF}(z)$ 有一個零點，因此使用一離散時間積分器當作 $H(z)$ ，

$$H(z) = \frac{1}{z-1} = \frac{z^{-1}}{1-z^{-1}}, \quad (2.14)$$

$$\text{則訊號轉移函數即為：} S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} = \frac{\frac{1}{z-1}}{1+\frac{1}{z-1}} = z^{-1}, \quad (2.15)$$

$$\text{而雜訊轉移函數則為：} N_{TF}(z) = \frac{Y(z)}{Q(z)} = \frac{1}{1+H(z)} = \frac{1}{1+\frac{1}{z-1}} = 1-z^{-1}, \quad (2.16)$$

整個一階三角積分調變器系統即可寫成：

$$Y(z) = S_{TF}(z)X(z) + N_{TF}(z)Q(z) = z^{-1}X(z) + (1-z^{-1})Q(z) \quad (2.17)$$

觀察得知，對於輸入訊號 $X(z)$ 而言，經過此系統後，只是多一個延遲時間而已，但對於量化雜訊 $Q(z)$ ，其經過一個離散時間微分器，相當於是一高通濾波器。

我們可以推導雜訊轉移函數的大小，來證明雜訊確實被移至高頻。對一離散時間訊號而言， $z = e^{j\omega} = e^{j2\pi f/f_s}$ ，代入(2.16)式，可得雜訊轉移函數：

$$N_{TF}(z) = 1 - z^{-1} = 1 - e^{-j2\pi f/f_s} = \sin\left(\frac{\pi f}{f_s}\right) \cdot 2j \cdot e^{-j\pi f/f_s} \quad (2.18)$$

而雜訊轉移函數的大小為 $|N_{TF}(z)| = 2 \sin\left(\frac{\pi f}{f_s}\right)$ ，則在訊號頻寬內的量化雜訊功率

$$\text{為： } P_Q = \int_{-f_B}^{f_B} S_q(f) \cdot |N_{TF}(f)|^2 df = \frac{V_{LSB}^2}{12f_s} \int_{-f_B}^{f_B} \left[2 \sin\left(\frac{\pi f}{f_s}\right)\right]^2 df \quad (2.19)$$

因取樣頻率遠大於訊號操作頻率，故 $\left(\frac{f}{f_s}\right) \ll 1$ ，我們可將 $\sin\left(\frac{\pi f}{f_s}\right)$ 近似於 $\frac{\pi f}{f_s}$ ，代入(2.19)式，可得到：

$$P_Q = \frac{V_{LSB}^2}{12f_s} \int_{-f_B}^{f_B} \left[2\left(\frac{\pi f}{f_s}\right)\right]^2 df = \frac{V_{LSB}^2 \pi^2}{36} \cdot \left(\frac{1}{OSR}\right)^3 \quad (2.20)$$

假設輸入訊號為一正弦波，我們可以得到最大訊號雜訊比為：

$$SNR_{\max} = 10 \cdot \log\left(\frac{P_S}{P_Q}\right) = 6.02N + 1.76 - 5.17 + 30 \cdot \log(OSR) \text{ dB} \quad (2.21)$$

由(2.21)式可看出，在一階三角積分調變器中，當我們加大一倍取樣頻率時，可增加 SNR 9dB，相當於增加 1.5 位元解析度。

2.6 二階三角積分調變器

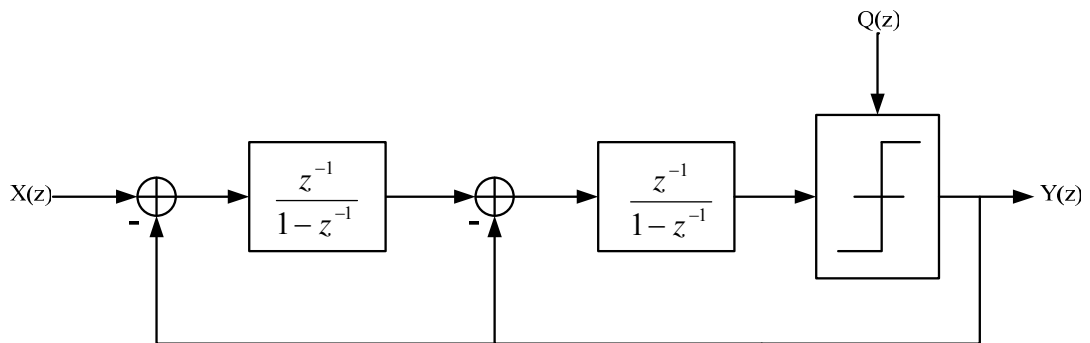


圖 2-10：二階三角積分調變器線性模型

如圖 2-10 所示為二階三角積調變器線性模型，

$$S_{TF}(z) = \frac{Y(z)}{X(z)} = \frac{\left(\frac{z^{-1}}{1-z^{-1}}\right)^2}{1 + \left(\frac{z^{-1}}{1-z^{-1}}\right)^2} = z^{-2} \quad (2.22)$$

$$N_{TF}(z) = \frac{Y(z)}{Q(z)} = \frac{1-z^{-1}}{1+z^{-1} + \frac{z^{-2}}{1-z^{-1}}} = (1-z^{-1})^2 \quad (2.23)$$

經過推導後系統轉移函數為：

$$Y_{(z)} = z^{-2} \cdot X_{(z)} + (1-z^{-1})^2 \cdot Q_{(z)} \quad (2.24)$$

如同之前所提的，我們可以得知雜訊轉移函數大小為：

$$|N_{TF}(z)| = \left[2 \sin\left(\frac{\pi f}{f_s}\right) \right]^2 \quad (2.25)$$

而訊號頻域內之量化誤差為：

$$P_Q = \int_{-f_B}^{f_B} S_q(f) \cdot |NTF(f)|^2 \cdot df = \frac{V_{LSB}^2 \pi^4}{60} \cdot \left(\frac{1}{OSR}\right)^5 \quad (2.26)$$

最後，可以得到最大訊號雜訊比為：

$$SNR_{\max} = 10 \cdot \log\left(\frac{P_S}{P_Q}\right) = 6.02N + 1.76 - 12.9 + 50 \cdot \log(OSR) \text{ dB} \quad (2.27)$$

由(2.27)式可知二階三角積分調變器，當增加一倍取樣頻率時，可增加 SNR 15dB，相當於增加 2.5 位元解析度。相較於一階系統，二階的雜訊移頻明顯優於一階系統，它可將較多的量化誤差移至訊號頻寬以外，得到較高之解析度，如下圖 2-11 所示。

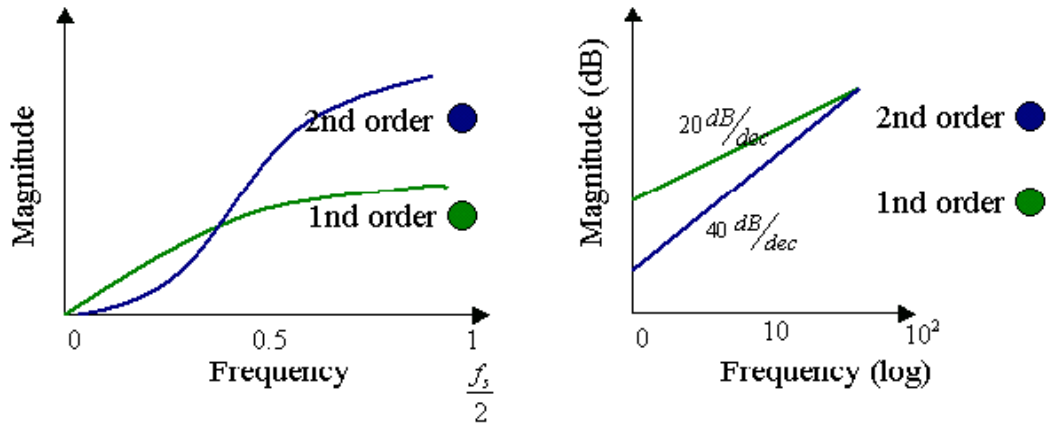


圖 2-11：一階與二階雜訊移頻

2.7 高階三角積分調變器

由 2-6 節，我們可以推知高階的三角積分調變器，如圖 2-12 所示，而使用相同的方法，也可以推導在訊號頻寬內，高階之量化誤差為：

$$P_Q = \frac{V_{LSB}^2}{12} \cdot \frac{\pi^{2 \cdot N}}{2 \cdot N + 1} \left(\frac{1}{OSR} \right)^{2N+1} \quad (2.28)$$

並且，最大訊號雜訊比為：

$$SNR_{\max} = 6.02N + 1.76 - 10 \log \left(\frac{\pi^{2 \cdot N}}{2^{N+1}} \right) + 10(2N + 1) \cdot \log(OSR) \text{ dB} \quad (2.29)$$

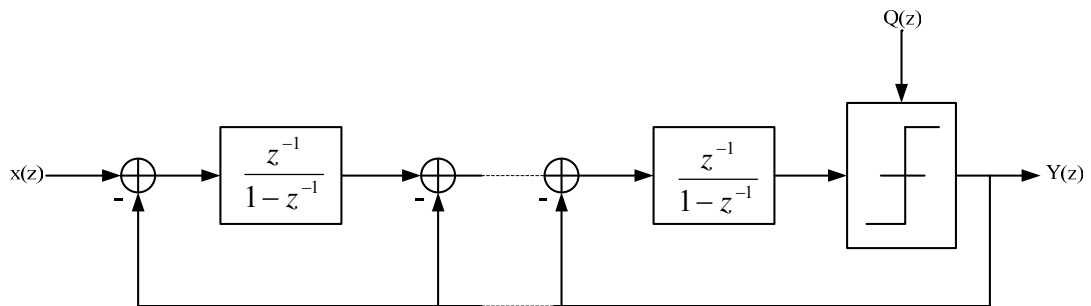


圖 2-12：高階三角積分調變器線性模型

愈高階的調變器產生之雜訊移頻效果愈大，但伴隨的最大問題便是穩定度的考量，使得必須對系統架構有效之設計。大致可以有二種的解決方法[7]：

1. 可在系統架構上加入 feedforward 與 feedback，去增加阻尼(damping)
2. 改為多級串疊(multistage cascade)架構，只使用一階與二階的調變器，確定系統的穩定。

但這些設計也都各存在彼此之限制，愈難去實現。因此高階調變器大致可分為二種架構，單迴路(single-loop)與多級串疊(multistage cascade)架構。

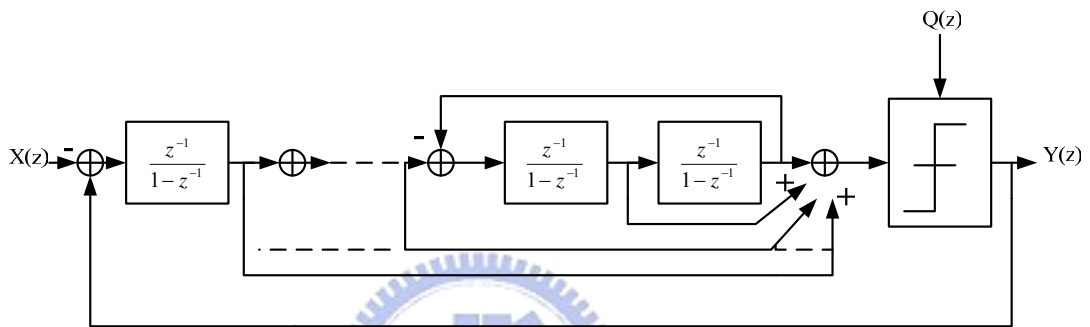


圖 2-13 : Interpolative 架構線性模型

單迴路(single-loop)架構[11][12]是指只使用單個 A/D 與 D/A 去做回授，如一階與二階的調變器，而如圖 2-12 的高階調變器亦是屬於單迴路架構。圖 2-13 顯示一種 Interpolative 調變器，它是最常見的單迴路架構，如同一個濾波器的型式，去實現高階的調變器。

單迴路架構存在以下的幾項特性：

1. 較低的元件匹配與特性需求。
2. 可組成非常高階的三角積分調變器。
3. 訊號頻寬內有較低的 tone。
4. 克服元件解析度限制，可獲得很高之解析度(24-bit)。
5. 會有不穩定度的問題，且無法自動恢復。

6. 需加入穩定偵測與重置電路。

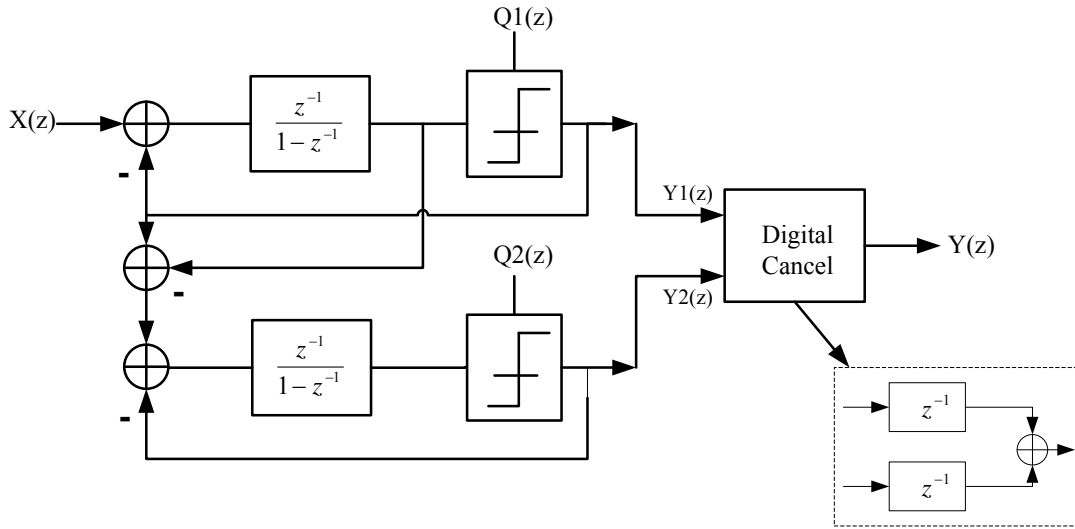


圖 2-14 :MASH 架構線性模型

多級串疊(multistage cascade)架構[13][14]又稱為 MASH (Multi-stage noise SHaping), 它使用一階及二階調變器去組合成高階的系統, 主要的優點為確保系統之穩定, 且同時能夠有高階的效果, 但無法避免需要二組 A/D 與 D/A, 造成二個量化誤差, 因此需額外的數位電路來移除多的量化誤差。

如圖 2-14 為一個 1+1 之 MASH 架構, 可以看出第二組調變器的輸入是第一組的量化誤差, 這二組調變器的輸出分別為:

$$Y_{1(z)} = z^{-1} \cdot X_{(z)} + (1 - z^{-1}) \cdot Q_{1(z)} \quad (2.30)$$

$$Y_{2(z)} = z^{-1} \cdot Q_{1(z)} + (1 - z^{-1}) \cdot Q_{2(z)} \quad (2.31)$$

將二個輸出經過適當的數位電路, 可以得到:

$$Y_{(z)} = z^{-1} \cdot Y_{1(z)} - (1 - z^{-1}) Y_{2(z)} = z^{-2} X_{(z)} - (1 - z^{-1})^2 \cdot Q_{2(z)} \quad (2.32)$$

最後可以發現, 整體的輸出便是二階移頻效應, 而值得注意的是, 之前的計

算我們都假設積分器與數位消除(digital cancel)內的積分器都是理想且相同的，且也假設增益與數位消除內之增益是一樣的。這些假設在現實上，因為製程的漂移以及放大器的非理想效應，是幾乎沒辦法達成的，因此會有量化誤差滲漏(leak)至輸出而沒辦法消除，這結果使得再高階的串疊也無法使解析度提高，所以MASH 架構大部分只使用於 3-5 階的調變系統，解析度也因此受限[10]。

MASH 架構存在以下的幾項特性：

1. 只使用一階及二階調變器，系統穩定度高。
2. 電路架構較簡單，設計較容易。
3. 第二組 D/A 線性度需求較小，適合多位元輸出。
4. 較高的元件匹配與特性需求。
5. 訊號頻寬內有較高的 tone。
6. 無法獲得非常高之解析度。
7. 需加入數位消除電路。



第三章 系統模型規劃與模擬

在本章中，我們使用 Matlab Simulink 來建立三角積分調變器的系統模型，先從理想的系統模擬開始，之後再考慮實際電路之非理想效應，進而訂定相關之電路參數，以便之後電路設計模擬。

3.1 系統設計

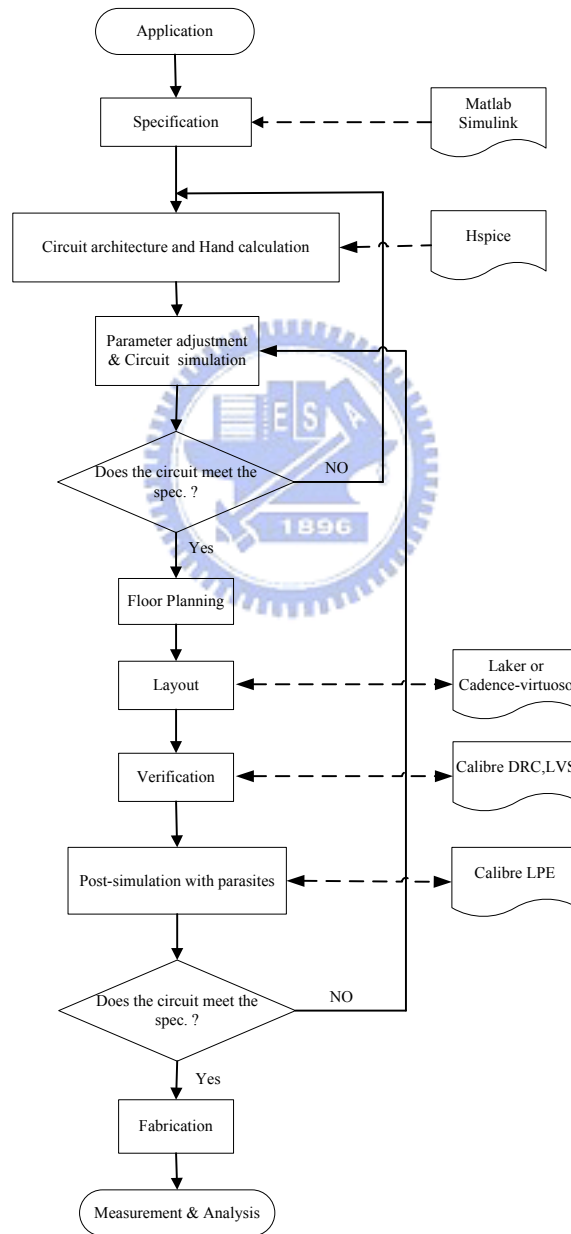


圖 3-1：設計流程圖

圖 3.1[32]為電路設計之流程。首先，對於電路應用領域來訂定相關規格，再使用 Matlab 的 Simulink 做整個系統的行為模擬(behavioral simulation)，以確定系統運作的可行性及決定所需系統的參數和達到所定的規格。之後分別考慮每個方塊的電路特性，包括非理想效應的考量，使用 Hspice 做各個方塊的電路模擬，以達到所需的功能，如此便完成了整個系統的電路模擬，以期符合所定規格。

最後進行積體電路佈局，並驗證佈局結果的正確性(DRC、LVS)，驗證無誤後，可萃取佈局中所產生之寄生電容、電阻，進行佈局後模擬(Post Layout Simulation)，如此可得到較接近真實晶片操作情況，以 TSMC 0.35um CMOS 製程下線，晶片回來後進行量測。

3.2 三角積分調變器之模型

如圖 3-2 為使用 Matlab Simulink 建立的一階三角積分調變器模型。根據之前推導的結果我們可以知道此系統輸出為 $Y(z) = Z^{-1}X(z) + (1 - Z^{-1})Q(z)$ ，我們可以設定輸入訊號與取樣頻率，將輸出結果做 FFT 運算，以得到相對應的頻譜與訊號雜訊比。在模擬過程中可以設定相關的增益、回授參數(a1、b1)，以取得較佳的輸出結果。模擬結果為圖 3-3 所示，得到最大的 SNR=70.5 dB，設定的參數如表 2 所示。

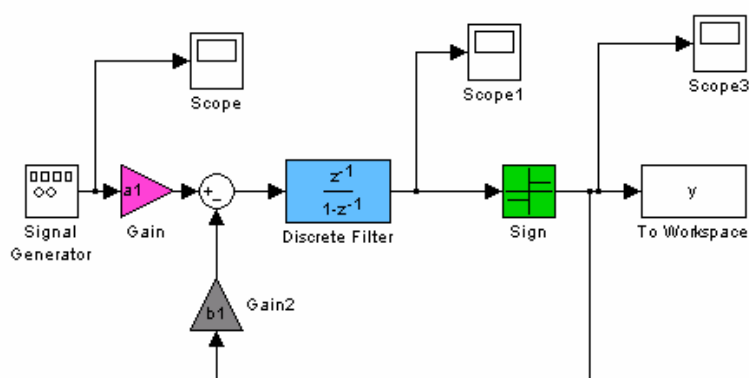


圖 3-2：理想一階三角積分調變器模型

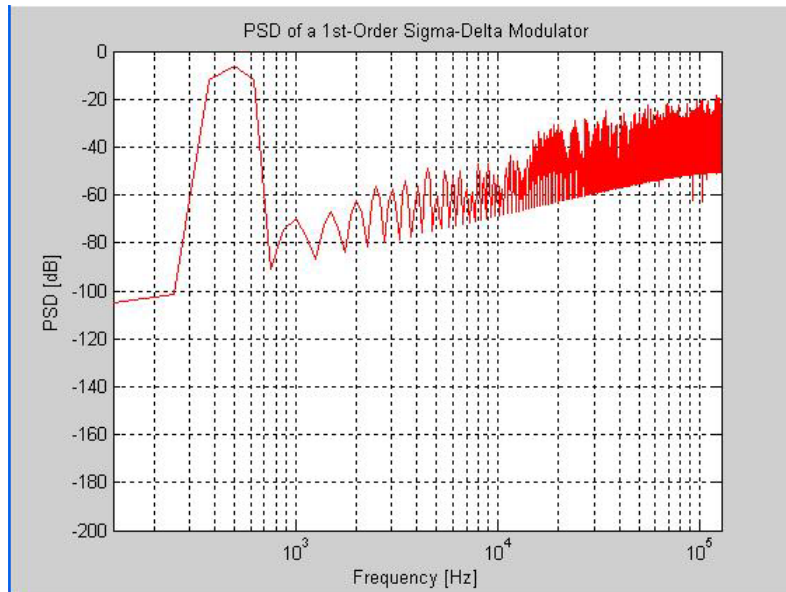


圖 3-3：理想一階三角積分調變器輸出頻譜

表 2：一階調變器系統模擬係數

增益係數 a1	回授係數 b1
0.5	1

接下來看二階系統如圖 3-4，根據之前推導的結果我們可以知道此系統輸出為 $Y(z) = Z^{-2}X(z) + (1 - Z^{-1})Q(z)$ ，經 Matlab 模擬後，可得到相關的係數如表 3，與輸出頻譜，經過 FFT 運算後可得到最大 SNR=100 dB，如圖 3-5。

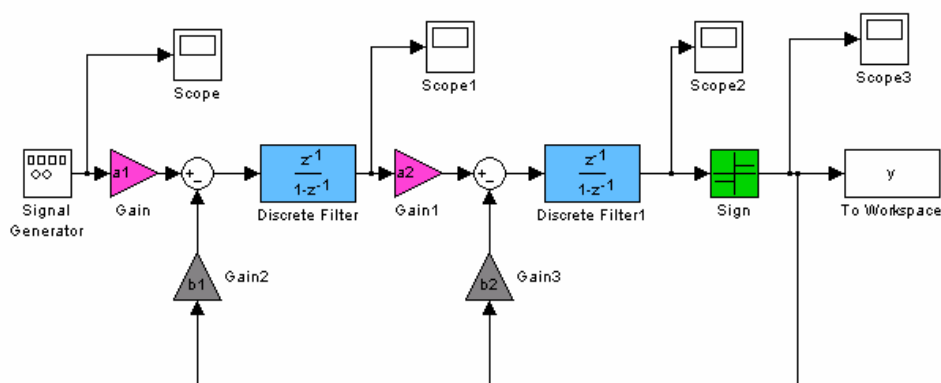


圖 3-4：理想二階三角積分調變器模型

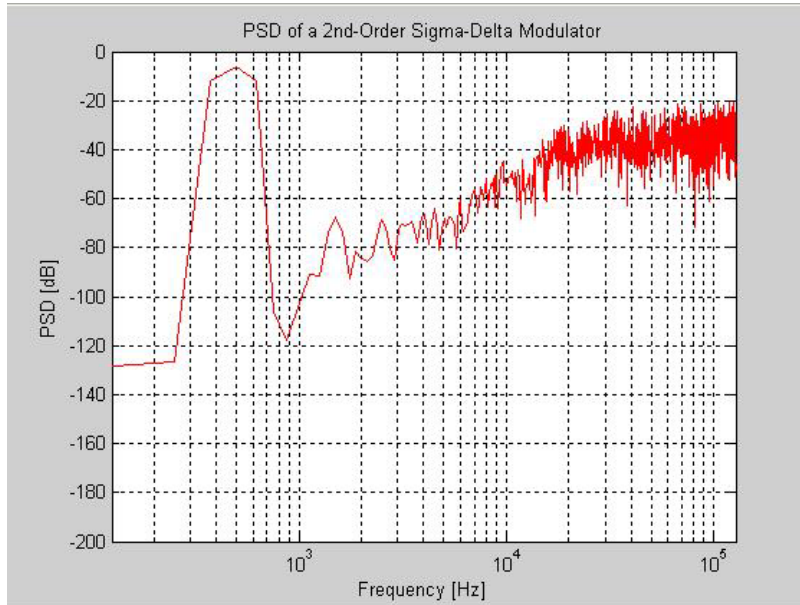


圖 3-5：理想二階三角積分調變器輸出頻譜

表 3：二階調變器系統模擬係數

增益係數		回授係數	
a1	b2	b1	b2
0.5	0.5	1	1

3.3 電路非理想效應考量

3.3.1 取樣電阻

一般在積體電路裡，都以 MOSFET 當取樣開關，由閘極(G)的開關去控制源極(S)與汲極(D)是否導通。如圖 3-6 所示。當輸入為 V_{dd} 且 Clock ON 時，此時電晶體 $V_{gs} = V_{dd}$ ，瞬間引入一電流 $I_d = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2$ 使得電容電壓往上升。漸漸地電壓愈大電流愈小，而當 $V_x = V_{dd} - V_{th}$ 時，電晶體則停止充電，因此輸出電容電壓就只上升至 $V_{dd} - V_{th}$ [15]。

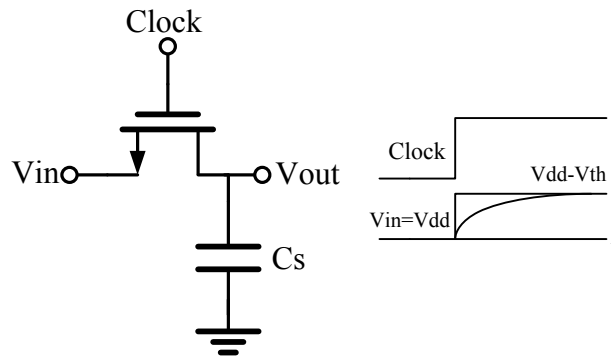


圖 3-6：取樣電路

當輸出一一直追隨輸入電壓時，MOSFET 處於三態區，因此可以得到：

$$I_d = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \cdot V_{ds} \quad (3.1)$$

而將 MOSFET 之 V_{ds} 除以電流可得電阻為：

$$R_{on} = \frac{V_{ds}}{I_d} = \frac{V_{ds}}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \cdot V_{ds}} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (3.2)$$

此電阻將隨著輸入電壓不同而改變，且會形成 RC 電路限制了取樣速度。速度必須跟隨著準確度的需求，為了達到較高速度，可增加取樣電晶體之長寬比。

以上提到 NMOS 取樣電路有 $V_{out} < V_{dd} - V_{th}$ 與 R_{on} 的限制，一般可以使用 NMOS 與 PMOS 形成的互補式開關(transmission gate)加以改善，如圖 3-7 所示。當 $V_{out} > V_{dd} - V_{th}$ 時以 PMOS 導通， $V_{out} < V_{th}$ 時以 NMOS 導通，且由二個電晶體並聯，可降低 R_{on} 值。

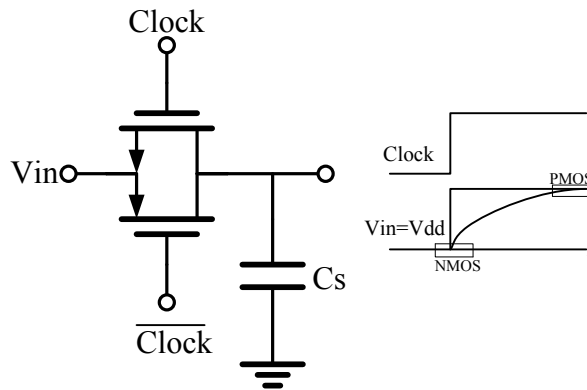


圖 3-7：Transmission Gate 取樣電路

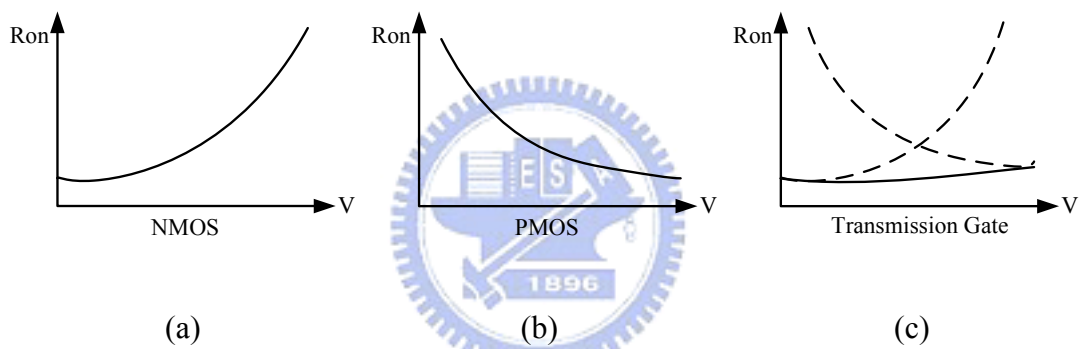


圖 3-8：(a)NMOS 取樣電阻 (b)PMOS 取樣電阻
(c) Transmission Gate 取樣電阻

3.3.2 取樣雜訊

在取樣過程中，由於電晶體開關切換時所造成的訊號瞬間誤差，統稱為取樣雜訊。例如通道電荷注入誤差(charge-injection error)、時脈饋入(clock feedthrough)及時脈抖動等等[15]。

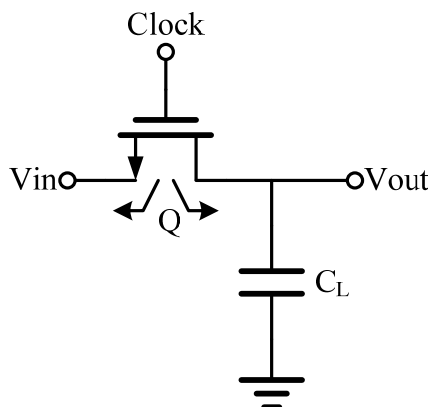


圖 3-9：NMOS 開關取樣電路之通道電荷注入

通道電荷注入(charge-injection)意指當 MOSFET 開啟時，必須在氧化層-矽界面存在一個通道，假設 $V_{in} \approx V_{out}$ ，可以知道在通道上全部電荷為：

$$Q_{ch} = WLC_{ox}(V_{gs} - V_{th}) = WLC_{ox}(V_{dd} - V_{in} - V_{th}) \quad (3.3)$$

如圖 3-9 所示，假設電荷流動為平均分佈，往左邊注入之電荷被輸入源吸收，不會產生誤差，而注入右邊的電荷存於 C_L 上，並對儲存於電容器中的電壓產生誤差為：

$$\Delta V = \frac{Q_{ch}/2}{C_s} = \frac{WLC_{ox}(V_{dd} - V_{in} - V_{th})}{2 \cdot C_s} \quad (3.4)$$

此電壓與電容值成反比，而與電晶體大小成正比。通道電荷注入誤差對於三角積分調變器的影響，主要為增益誤差(gain error)、偏移誤差(offset error)與非線性誤差(nonlinearity)，非線性誤差在調變器中會增加電路的失真(distortion)而降低訊號雜訊比。在電路上可使用互補式開關以互相抵消而減少此誤差，而在積分電路中，一般可透過控制時脈的延遲來降低通道電荷注入誤差。

時脈饋入(clock feedthrough)意指當時脈的變動會藉由 MOS 重疊電容(C_{gs} 、

C_{gd})而傳入訊號端，如圖 4-5 所示。此效應會對 C_s 上的訊號產生誤差，假設重疊電容是固定的，那麼此誤差可以表示為：

$$\Delta V_{feed} = V_{clock} \cdot \frac{WL_{OV}C_{ox}}{WL_{OV}C_{ox} + C_s} \quad (3.5)$$

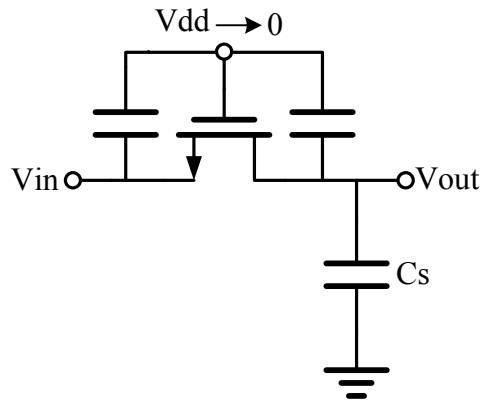


圖 3-10 :NMOS 開關取樣電路之時脈饋入

L_{OV} 為重疊距離，通常是一個憑經驗的數值。這個誤差與輸入是無關的，而與重疊電容和取樣電容有關。此誤差主要在時脈變動時，造成輸出端固定的偏移，由於與輸入訊號無關，所以可藉由差動電路設計來消除此誤差。

3.3.3 熱雜訊

熱雜訊的產生是由於載子隨機擾動而產生熱能所致。如圖 3-11(a)所示，在一個取樣電路中，取樣電容 C_s 串聯一個電晶體開關等效電阻 R_{on} ，在取樣過程中，因為電荷的轉移，會在輸出端產生熱雜訊。在後半周期開關關閉時，此時熱雜訊會伴隨所取樣的訊號電壓被儲存在取樣電容內，造成誤差，如圖 3-11(b)所示[16]。

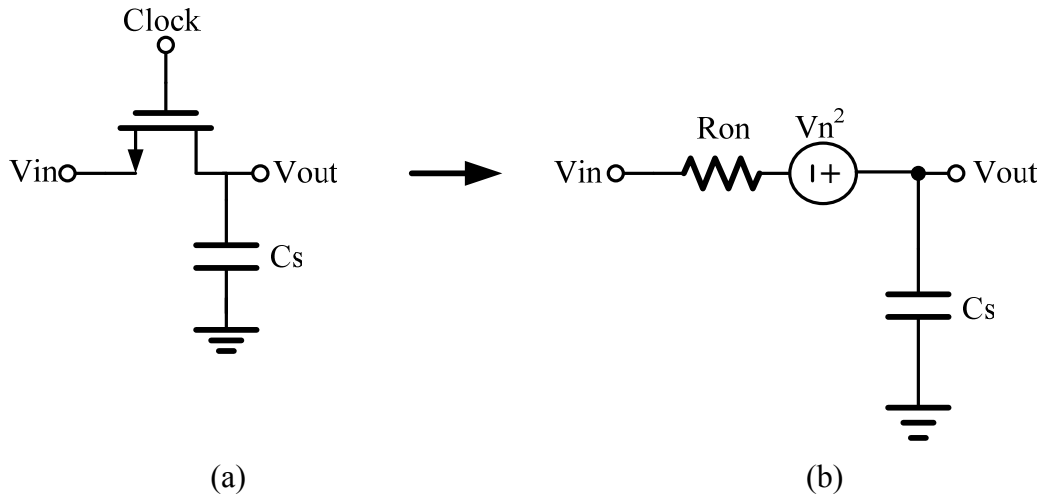


圖 3-11 : (a)取樣電路 (b)熱雜訊模型

一般的熱雜訊可以表示為：

$$V_n^2 = 4KTR_{on} \quad (3.6)$$

經過取樣電路等效的 RC 低通濾波器，可將熱雜訊化簡為：

$$V_n^2 = \int_0^\infty \frac{4KTR_{on}}{1 + \left(\frac{f}{f_0}\right)^2} df = \frac{4KTR_{on}\pi f_0}{2} = \frac{KT}{C_s} \quad f_0 = \frac{1}{2\pi R_{on} C_s} \quad (3.7)$$

其中 K 為 Boltzmann's constant = $1.38 \times 10^{-23} \text{ J/K}$ ，T 為絕對溫度， C_s 為取樣電容。可以看出熱雜訊是由 R_{on} 所產生的，可是卻與 R_{on} 無關，而與 C_s 成反比。

若我們將熱雜訊頻譜擴展至頻率 $0 \sim \frac{f_s}{2}$ ，且將頻寬 f_b ，則在訊號頻寬內的

雜訊可表示為：

$$V_{n-sw}^2 = \int_0^\infty \frac{2}{f_s} \cdot \frac{KT}{C_s} \cdot df = 2 \cdot \frac{KT}{C_s} \cdot \frac{f_b}{f_s} = 2 \cdot \frac{KT}{C_s} \cdot \frac{1}{OSR} \quad (3.8)$$

在取樣電容(SC)電路裡，每個週期必須對電容取樣二次，如此則造成熱雜訊增加為：

$$V_{n-sw}^2 = 4 \cdot \frac{KT}{C_s} \cdot \frac{1}{OSR} \quad (3.9)$$

如果只考慮熱雜訊的效應，那麼將可得到最大之訊號雜訊比為：

$$SNR_{peak} = 10 \log \frac{P_s}{P_n} = 10 \log \left(\frac{\frac{V_{ref}^2}{2}}{\frac{4KT}{C_s \cdot OSR}} \right) = 10 \log \left(\frac{OSR \cdot C_s \cdot V_{ref}^2}{8KT} \right) \quad (3.10)$$

其中 V_{ref} 為輸入訊號的差動振幅。

由(3.10)式可得知當增加超取樣率(OSR)、取樣電容(C_s)與輸入訊號的差動振幅(V_{ref})時，可以有效增加輸出的訊號雜訊比(SNR)，其中 OSR 受限於系統規格， V_{ref} 則由放大器之輸入與輸出範圍限制，而放大 C_s 也影響了放大器負載以及晶片面積，這些都影響到系統規格的制定。

3.3.4 運算放大器之非理想效應

我們在做系統模擬時，都採用理想的積分器，但在實際電路上，由運算放大器所組成的積分器，有許多非理想的效應存在，因此需要去考量，使模擬與實際情況更貼近。在實際的運算放大器存在[17][18][10][19]：

1. 直流增益(DC gain)
2. 非線性(nonlinearity)
3. 穩定時間(settling time)

等等限制，這些因素對於一個切換電容積分器(如圖 3-12)的影響就是不完整

的電荷傳遞，也造成三角積分調變器解析度之無法有效提升。由於三角積分調變器有雜訊移頻的效果，使得第一級積分器最受非理想效應的影響。

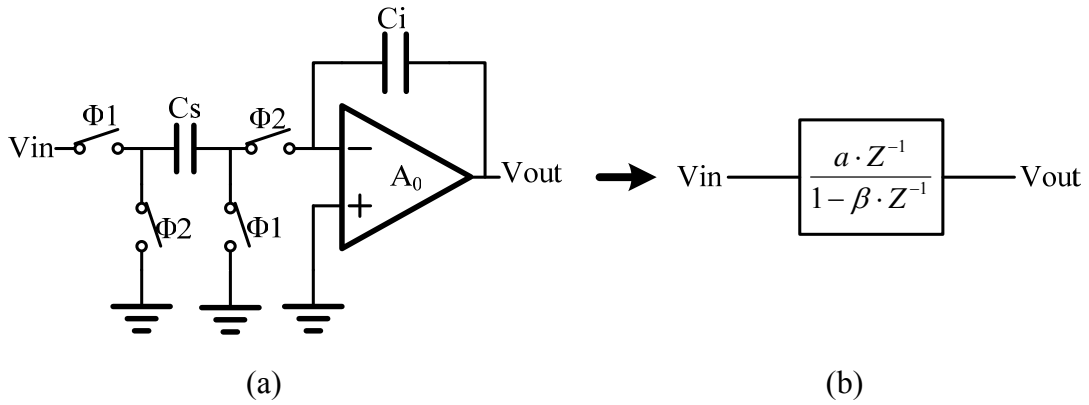


圖 3-12 : (a) SC 積分電路 (b) 直流增益非理想模型

一個理想積分器的轉移函數可表示為：

$$H_{(z)} = \frac{C_s}{C_i} \cdot \frac{Z^{-1}}{1 - Z^{-1}} = g \frac{Z^{-1}}{1 - Z^{-1}} \quad \text{Ideal} \quad (3.11)$$

上式是假設一個理想的運算放大器，也就是直流增益為無限大。但由於實際電路之直流增益為有限值，所以在推導時如果考量運算放大器之直流增益 A_o ，則式子會改寫為[20][21]：

$$H_{(z)} = \frac{\alpha \cdot Z^{-1}}{1 - \beta \cdot Z^{-1}} \quad \text{Non-ideal} \quad (3.12)$$

$$\text{其中：} \quad \alpha = \frac{g}{1 + \frac{1}{A_o}(1 + g)} \quad \beta = \frac{1 + \frac{1}{A_o}}{1 + \frac{1}{A_o}(1 + g)}$$

而非線性(nonlinearity)，主要包含電壓相依電容與非線性直流增益。

$$C_{(v)} = C_0(1 + k_1 v + k_2 v^2) \quad (3.13)$$

當 OP 輸入訊號不同時，其直流增益也會產生變化，可將式子寫為：

$$V_o = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 \quad (3.14)$$

如果在推導積分電路時考慮這些誤差，可發現積分公式將增加非線性之誤差項，如此便造成積分器之非理想。一般來說較高的直流增益與較低的積分電容比例將可減少非線性誤差。

除此之外，放大器的有限頻寬與迴轉率也會影響穩定時間(settling time)。由於輸出電壓是隨時間慢慢上升，其式子可寫為：

$$V_o(n) = V_o(n-1) + V_{in}(n-1) \cdot (1 - e^{-t_s/\tau}) \quad (3.15)$$

其中 τ 為時間常數(time constant) $\cong \frac{1 + \frac{C_s}{C_f}}{BW}$

t_s 為取樣時間

如果取樣時間不夠長，或者時間常數不夠小，那麼將造成輸出穩定電壓與理想相差太大，如此會造成誤差使解析度下降，這便是頻寬(BW)限制。一般說來時間常數必須小於五~七倍取樣時間，如此可以確保足夠的解析度。

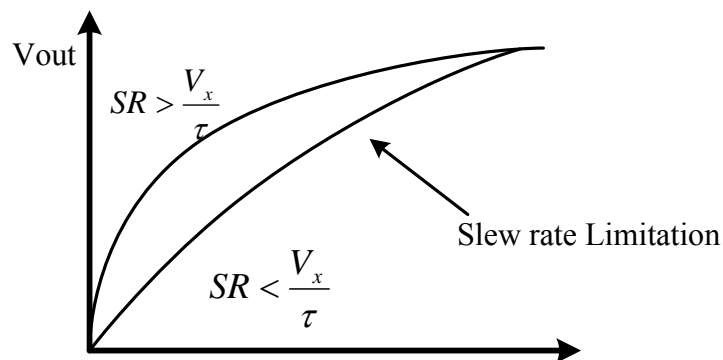


圖 3-13 : 迴轉率(SR)之限制

另一方面，如果迴轉率(SR)不足以提供完全的輸出電壓爬升，那麼將使輸出電壓如圖 3-13 所示，造成不平滑的曲線，也增加了穩定時間與非線性誤差，影響整個三角積分調變器的諧波失真(harmonic distortion)，降低電路之解析度。

3.4 系統規格訂定

由於各種生醫訊號都有其特定的振幅與頻率範圍，因為我們所設計的晶片是應用於生醫領域，處理生醫訊號的轉換，所以必需先確定要處理訊號的種類，才可以依此制定規格。如圖 3-14 所示，常見的生理訊號如：眼動圖(EOG, electrooculogram)、腦波圖(EEG, electroencephalogram)、心電圖(ECG, electrocardiogram)、肌電圖(EMG, electromyogram)、軸突動作電位(AAP, axon action potential)等等，這些訊號非常小，從幾個微伏特(Micro-volt)到數百個毫伏特(Milli-volt)，頻率從接近直位準位到幾 kHz 內[22]。

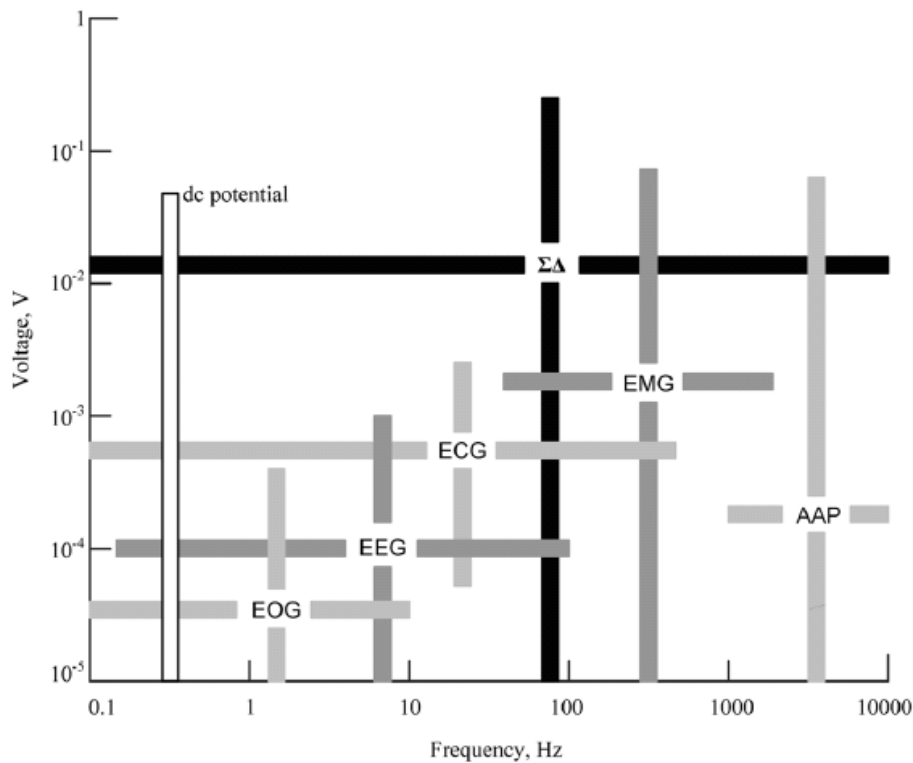


圖 3-14：常見之生理訊號電壓與頻率分佈

我們所設計的晶片是針對眼動圖、腦波圖、心電圖及肌電圖，所以訊號頻寬設定在 1kHz。依據 3.3 節所探討的各種電路非理想效應，因此在訂定規格時，要將訊號雜訊比(SNR)略高估一些，而為了能辨識出生醫訊號的微小變化，則需要足夠的動態範圍(dynamic range)，所以預定要達到的解析度為 10 位元(一階)與 14 位元(二階)。表 4 為我們訂定的系統規格。

表 4：三角積分調變器規格

Parameter	Specification
Technology	0.35um CMOS
Power Supply	3.0V
Sample Frequency	256 kHz
Bandwidth	1 kHz
OSR	128
Mode 1 : Two Channel 10-bit A/D Converters	
Order	1st
SNR	> 60 dB
Reconfigurable Mode 2 : One Channel 14-bit A/D Converter	
Order	2nd
SNR	> 80 dB

第四章 可重組三角積分調變器之設計 與模擬

本章節裡，我們將設計實現一個可應用於生醫訊號量測之可重組三角積分調變器，由兩個一階系統串接，可以重組為高解析度的二階或較低解析度的一階架構。預計所接受的訊號頻寬為 1kHz，在超取樣倍率 128 倍下，可達到之解析度在二階為 14 位元，而在一階則有 10 位元。

4.1 系統設計

本系統採用兩個分別的一階架構，在訊號輸入端以一控制器(解碼器+開關電路)做訊號路徑切換，可選擇輸出為兩個一階或是二階的效果，系統方塊如圖 4-1 所示。

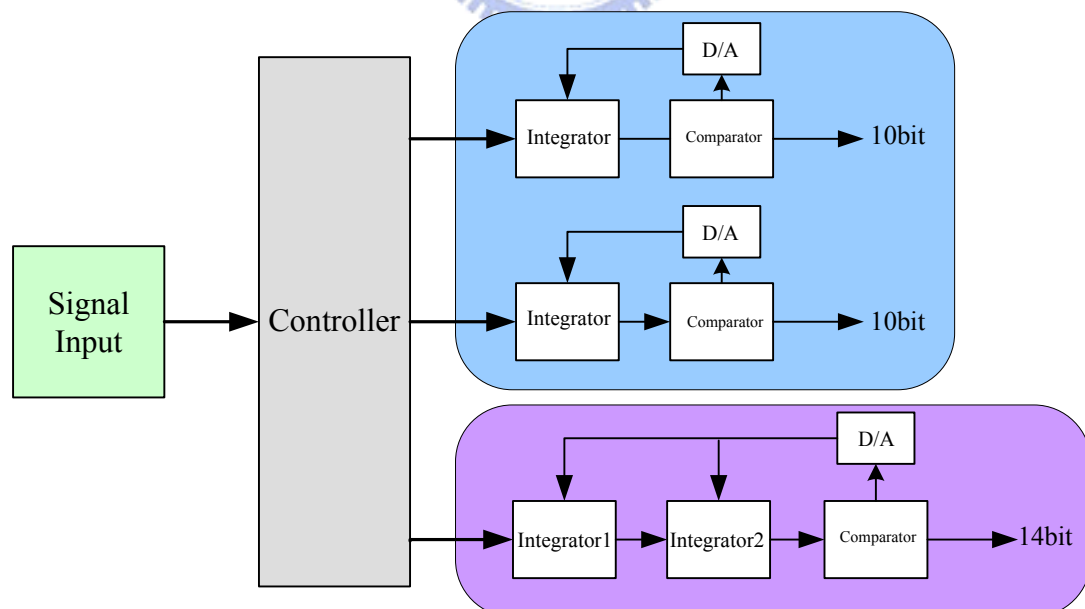


圖 4-1：可重組三角積分調器系統方塊圖

以下我們解釋系統如何運作，如圖 4-1 中，藍色區塊表示兩個訊號輸入分別

的一階架構，這時有兩個分別的輸出，解析度為 10bit，而紫色區塊為兩個一階架構重組而成的一個二階架構，重組過程如圖 4-2(a)，重組後得到一個二階架構如圖 4-2(b)，解析度為 14bit。

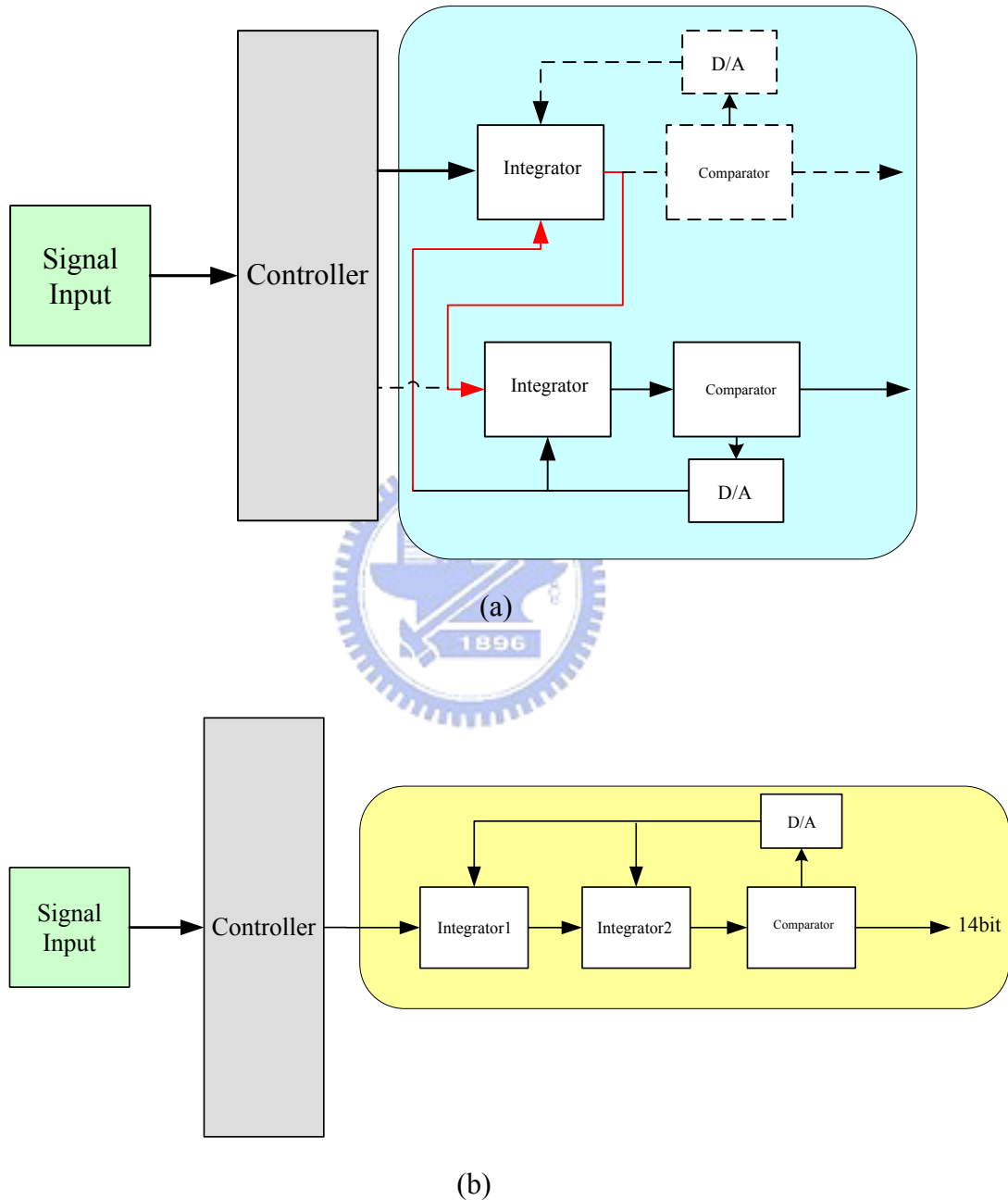


圖 4-2：可重組三角積分調變器重組流程 (a)重組前 (b)重組後為二階系統

以下各小節將分別介紹每個方塊的電路是如何實現及其模擬結果。

4.2 交換電容式積分器

積分器是在建立三角積分調變器系統中很重要的一塊電路。設計積分器有許多方法，以架構而言可以分為離散時間型與連續時間型，隨著製程的進步積體電路的有效元件長度的縮小，電路的積集密度逐漸增加下，積體電路技術已經一日千里。然而在實際製程技術上，電阻的製造比電容來的困難，受到製程變異的影響也相對地大，反觀電容卻具有極小的不匹配率。而離散時間型積分器的優點是可以很準確，適合使用在低頻訊號。因此在積體電路中離散時間型的交換電容 (Switched Capacitor, SC) 式電路已相當純熟，所以我們使用交換電容技術來實現此積分器[7]，由於 SC 電路同時具有取樣與保持(S/H, sample and hold)的功能，所以不需要額外的電路做 S/H，對於高解析度電路的應用是相當的普遍。

4.2.1 不受寄生電容影響積分器

如圖 4-3 所示。此為一個與寄生電容較無關之非反向積分器 (parasitic-insensitive integrator)，允許應用於高解析度之電路，適合使用於三角積分調變器，依其動作原理可分為取樣模式與積分模式。在取樣模式(sample mode)時， Φ_1 接通如圖 4-4(a)所示，此時會儲存電荷 ($C_s \cdot V_{in}(nT - T)$) 於取樣電容 (C_s) 內。當積分模式(integrator mode)時， Φ_1 關閉 Φ_2 接通，如圖 4-4(b)所示，由於取樣電容二邊接地導致電荷轉移至積分電容 (C_i) 內，最後我們可以將積分器寫成式子：

$$V_o(n) = V_o(n-1) + \frac{C_s}{C_i} V_i(n-1) \quad (4.1)$$

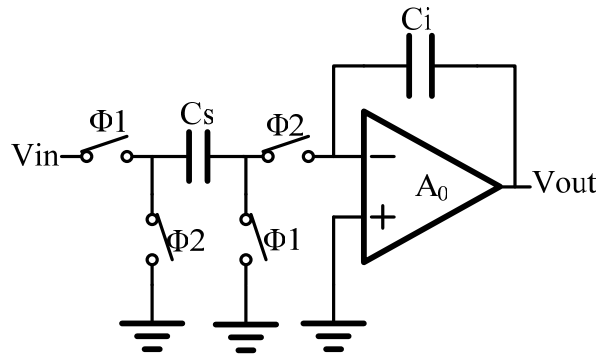


圖 4-3：不受寄生電容影響之積分器

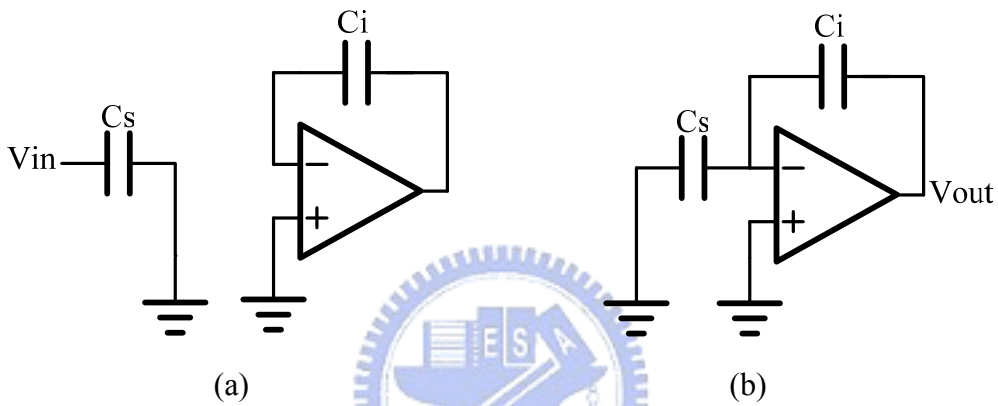


圖 4-4：(a)取樣模式 (b)積分模式

進一步我們可以在積分器內部利用 CDS(Correlated Double Sampling)技術，去消除放大器之偏移電壓(offset voltage)、 $\frac{1}{f}$ 雜訊以及有限放大增益[23]。此技術廣泛應用於 SC 電路中去實現高解析之 S/H(sample and hold)與積分電路。如圖 4-5 所示，在積分器內加入一個適當的 C_{ds} ，當 Φ_1 開啟時，去儲存放大器之輸入誤差，當 Φ_1 關閉且 Φ_2 開啟時，放大器之輸入誤差將被上半週期儲存於 C_{ds} 之電荷所消除，可用下式表示為：

$$V_o(n) = V_n - Z^{-\frac{1}{2}}V_n \quad (4.2)$$

由上式(4.2)可看出放大器低頻雜訊將經過高通濾波器而被移除，如此便增加了此積分器的解析度

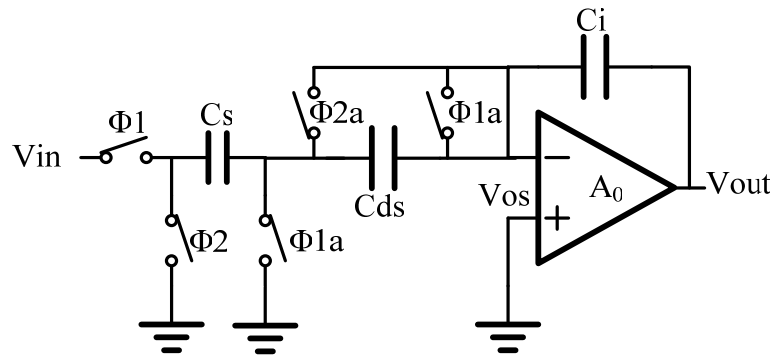


圖 4-5：加入 CDS 技術之積分器

以上我們介紹的為單端積分器，如果我們將積分器接成全雙端架構(Fully differential)，如圖 4-6 所示，將可以達到以下幾點優點[24]：

1. 壓抑了偶數次諧波(even order harmonic distortion)，使得全部諧波失真 (THD)降低。
2. 改善取樣雜訊，增加了元件之解析度。
3. 輸入訊號範圍為單端電路之二倍。

因此在調變器系統中的電路，我們皆選擇以全差動式電路來實現，雖然會增加晶片製作的面積，及成本，但這些優點使高解析度得以達成，是值得的。

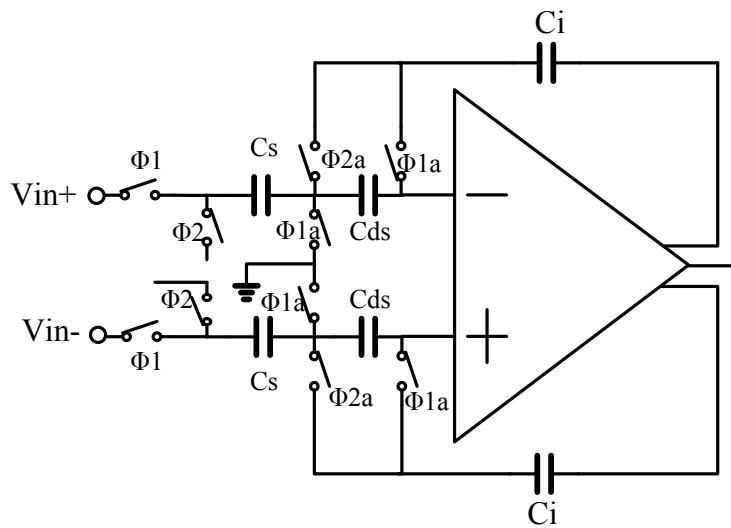


圖 4-6：全雙端積分器

4.3 運算放大器



在積分器中最主要的主體為運算放大器，由之前的說明可知運算放大器的規格會影響積分器的非理想性，也是決定整體系統的速度與效能。針對各種運算放大器的架構，我們可以依其效能來做分類，如表 5[15]所示：

表 5：各種架構運算放大器效能比較

	Gain	Output Swing	Speed	Power dissipation	Noise
Telescopic	Medium	Medium	High	Low	Low
Folded-cascode	Medium	Medium	High	Medium	Medium
Two-stage	High	Highest	Low	Medium	Low
Gain-boosting	High	Medium	Medium	High	Medium

我們所使用的是全差動摺疊疊接運算放大器 (Fully differential folded-cascode)。在設計之初要考量的是輸入差動對選擇，若是速度考量，NMOS 具有較大的電子漂移率 $\mu_n > \mu_p$ ，且因單增益頻寬與輸入差動對的轉導值成正比，故 NMOS 輸入差動對適用於高速的應用；而 PMOS 輸入差動對因使用 N-well 製程，將 body 與整塊矽基板的 P-substrate 隔開，所以有較低的基板雜訊，且因 flicker noise = $\frac{2K_f}{WLC_{ox}f}$ ，其中 1/f 雜訊係數 $K_{fp} < K_{fn}$ ，故 PMOS 具有較低的 1/f 雜訊，適用於低雜訊和高精度的領域。基於我的運算放大器是使用在低速和高解析度的三角積分調變中，故選用 PMOS 做我們的輸入差動對。

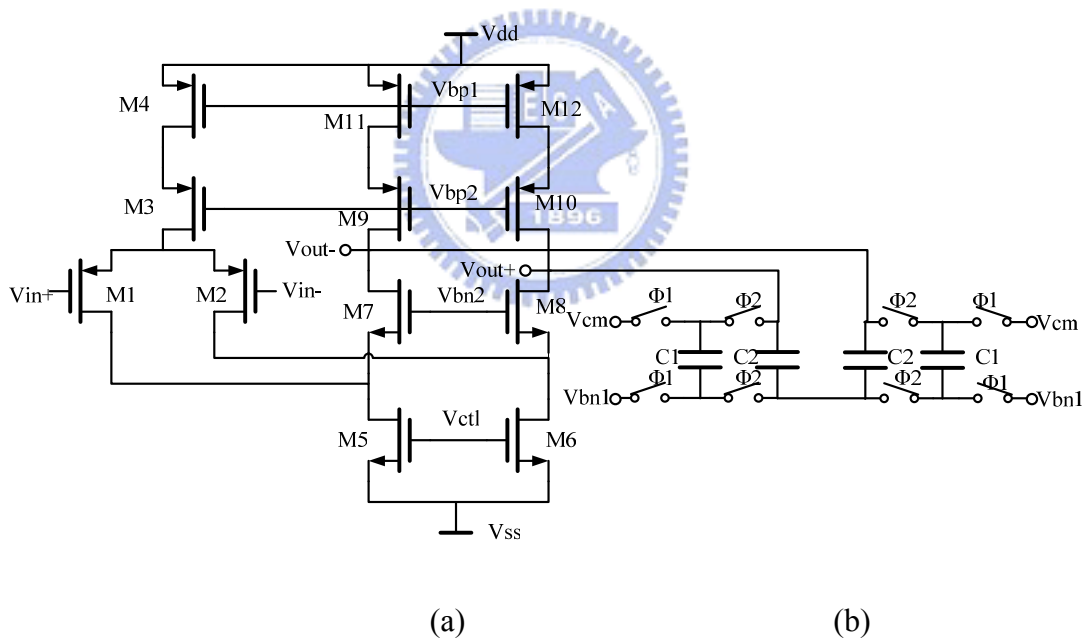


圖 4-7：(a)全差動摺疊疊接運算放大器 (b)共模回授(CMFB)電路

在全動運算放大器中，需使用 CMFB(common-mode feedback)電路來定義輸出共模準位[7]，CMFB 有分連續時間和離散時間兩種。我們使用的是離散時間 CMFB，如圖 4-7(b)所示為我們所選用的交換電容式 CMFB。

由於這種 CMFB 電路架構對放大器的輸出會有電容負載效應，所以必需選擇

當的電容大小。如果太大會對放大器輸出產生 overload，太小則會容易受到開關電荷注入影響，而產生輸出共模偏移電壓。一般選擇 $C1/C2$ 約為 $1/4 \sim 1/10$ 之間。

偏壓電路的設計中，我們使用的是 constant- g_m wide-swing 的架構[7]，如圖 4-8 所示。其中 M1~M8 產生自我偏壓(self-bias)，並利用 R_b 來產生一不受製程影響的固定 g_m ，且使用疊接(cascode)電晶體來增加偏壓電路輸出阻抗，和寬大的操作範圍。由於電路一開始並無電流，所以需加上一個啟動電路(M15~M18)，來啟動各電晶體電流，且能快速穩定的進入飽和區正常工作，以得到所需之輸出電壓。

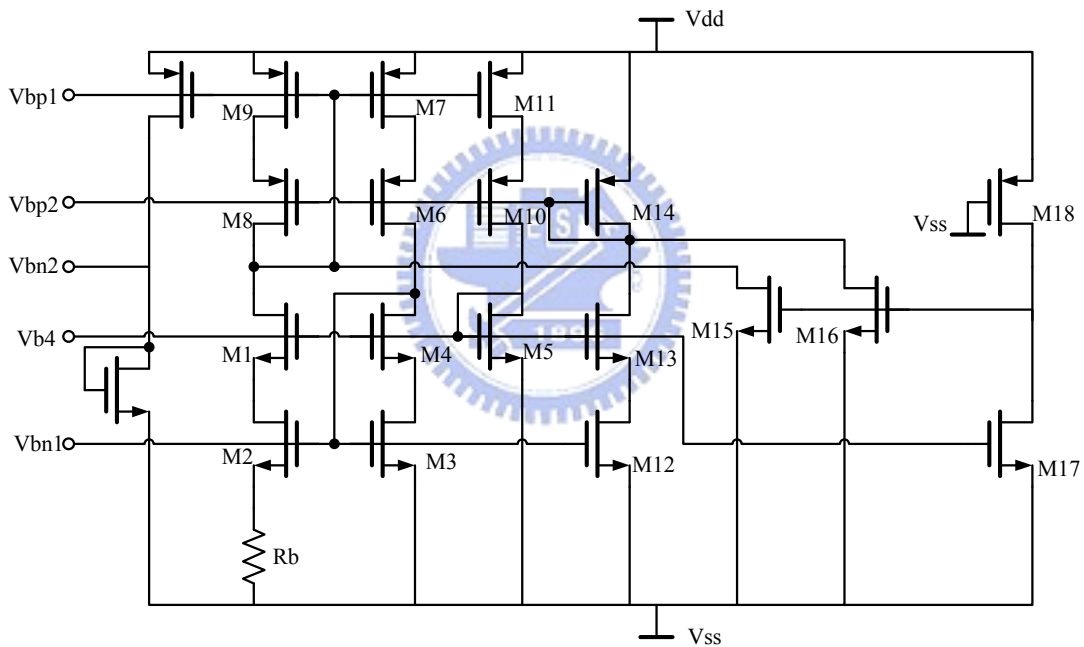


圖 4-8：constant- g_m wide-swing 偏壓電路

圖 4-9 為運算放大器的增益與頻率響應圖，而在表 6 中則列出了運算放大器在不同溫度下的規格。

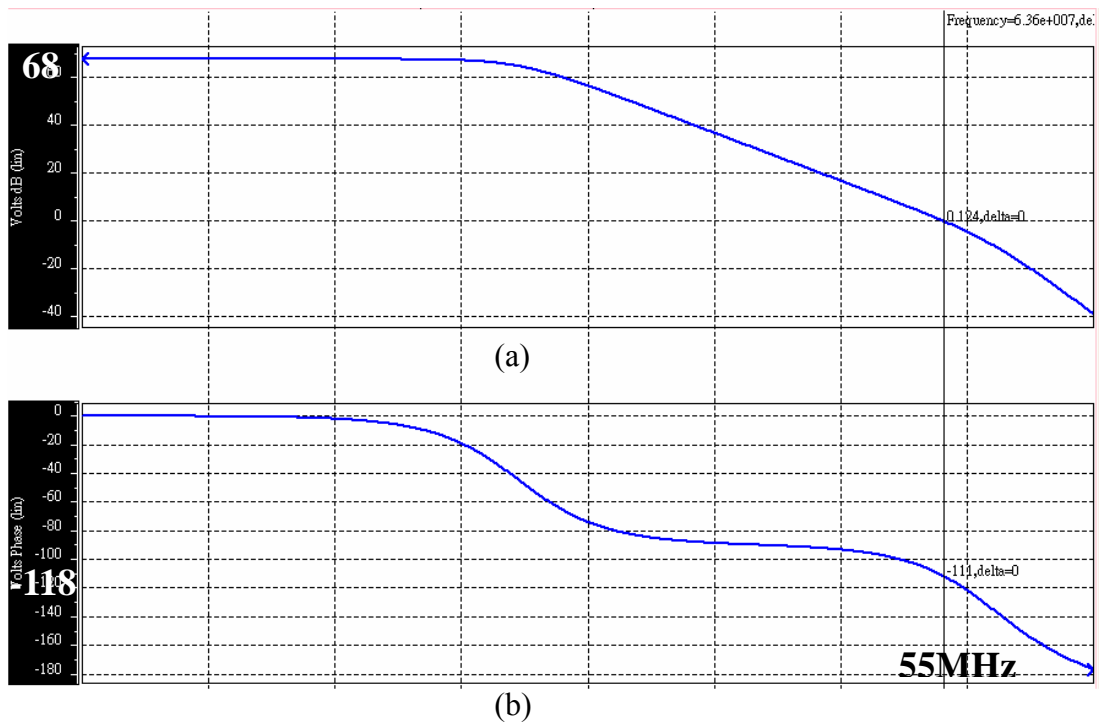


圖 4-9：運算放大器之 (a)增益響應 (b)頻率響應

表 6：不同溫度之運算放大器規格

Temperature	T=-25°	T=50°	T=85°
DC gain	65 dB	68 dB	64 dB
Phase Margin	72°	71°	70°
Unity-gain Freq.	55MHz	61 MHz	62 MHz
Slew Rate	25.5V/μs	26V/μs	26.5V/μs
Input Range	0V ~ 2.2V	0V ~ 2.2V	0V ~ 2.2V
Output Swing	0.2V ~ 2.8V	0.2V ~ 2.8V	0.2V ~ 2.8V
Power	0.78 mW	0.91 mW	1 mW
Load	2 pF	2 pF	2 pF

4.4 比較器

在本系統中，我們採用一位元量化器，主要是考量到電路的線性問題，而一位元量化器就是一比較器如圖 4-10[25]，是由一前置放大器加上閃鎖(latch)器組合而成。當輸入訊號 $V_{I+} > V_{I-}$ 時，輸出 Y 就會被拉到 V_{DD} 反之 Y' 會被拉到 V_{DD} 。圖 4-11 為模擬結果。

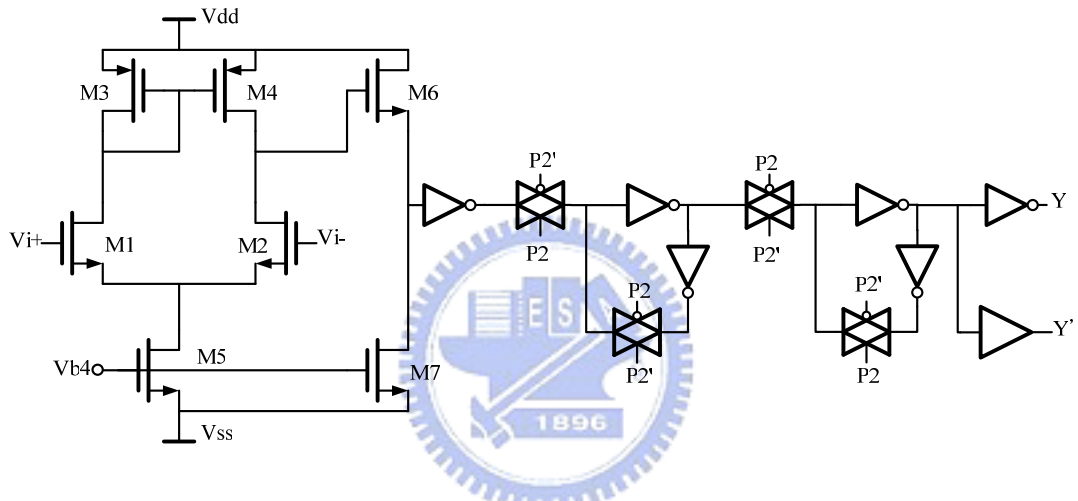


圖 4-10：一位元比較器

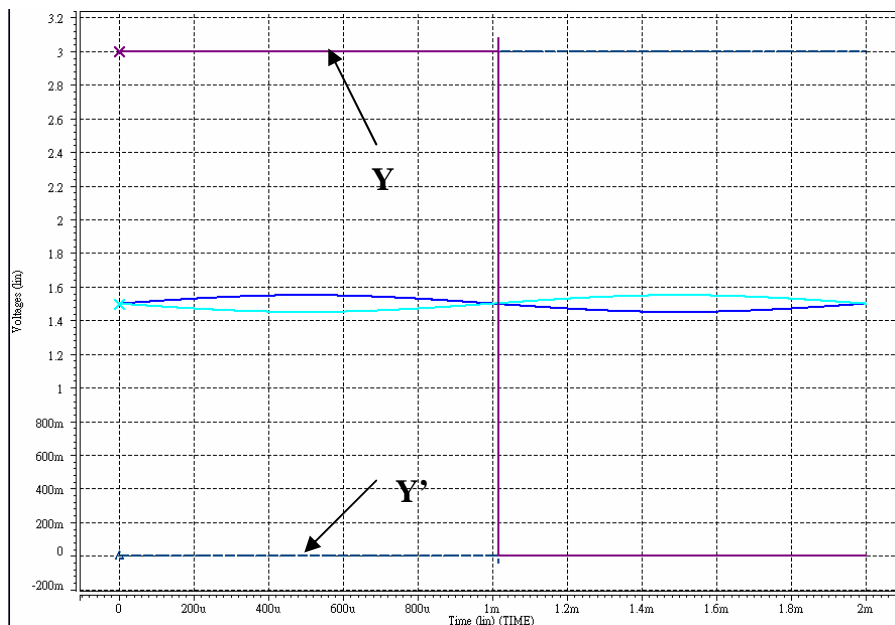


圖 4-11：比較器模擬結果

4.5 時脈產生器

圖 4-12 為我們使用的時脈產生器[25]，用來提供三角積分調變器各電路所需的時脈訊號。三角積分調變器所使用到的時脈相位有 P1、P2、Pa1、Pa2 及其反相等非重疊(Non-overlapping)時脈。其中 P1 與 Pa1 時脈為同時開啟，但 Pa1 比 P1 提早關閉，同樣的 Pa2 也比 P2 提早關閉，如此的設計是為減少取樣電路上的誤差，如通道電荷注入誤差等[10]，模擬結果如圖 4-13 所示。

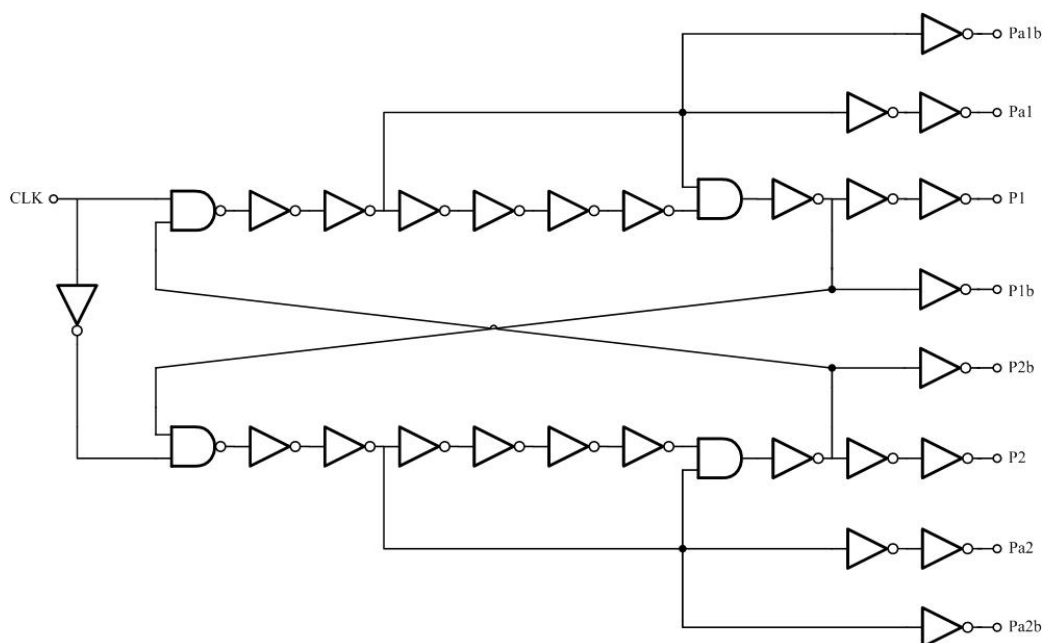
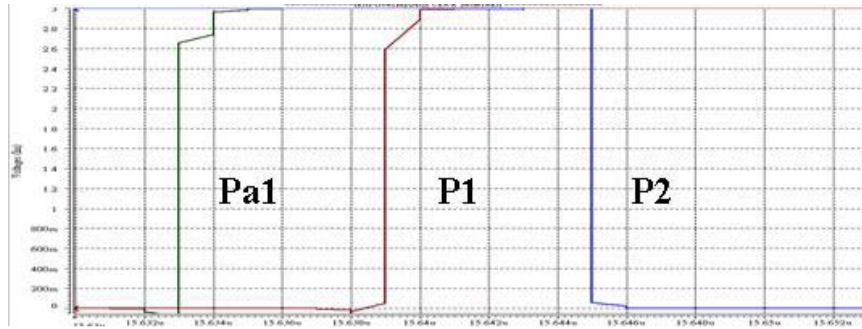
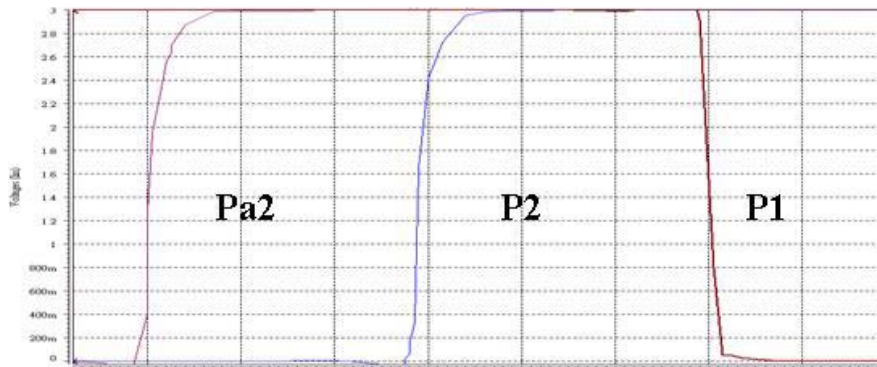


圖 4-12 : 時脈產生器



(a)



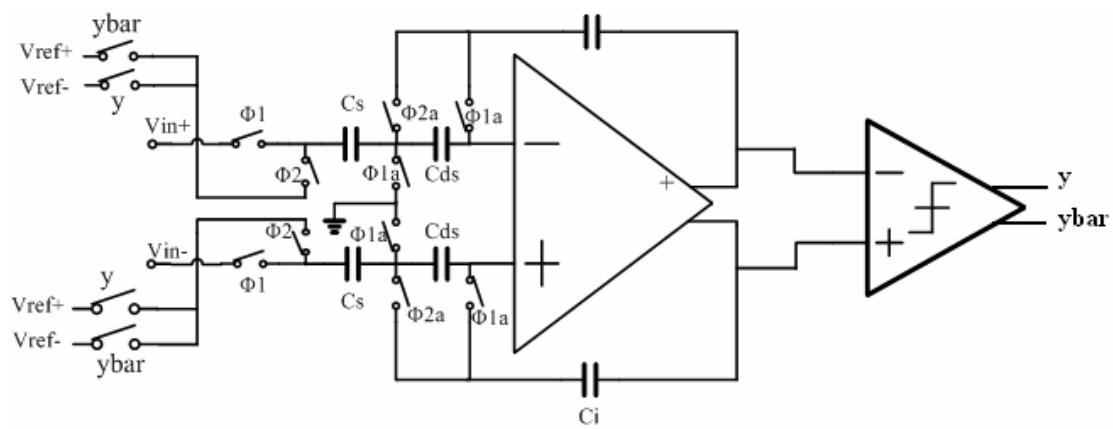
(b)

圖 4-13 : (a) P1、P2 非重疊時脈及 Pa1 (b) P1、P2 非重疊時脈及 Pa2

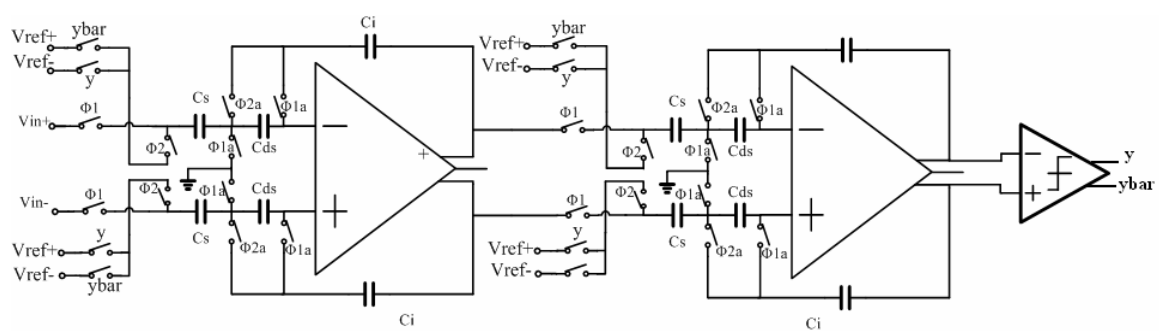


4.6 電路模擬結果

圖 4-14 分別為一階與二階三角積分調變器系統電路圖，使用台積電 0.35um 2P4M CMOS 製程製作，供應電源 3V，而外部參考電壓為 V_{ref+} 為 2V、 V_{ref-} 為 1V，經 HSPICE 模擬後，在取樣頻率 256kHz，訊號頻寬為 1kHz，超取樣率為 128 倍的情況下，一階輸出 SNR 可達到 66dB，二階 SNR 可達到 86dB，輸出頻譜如圖 4-15 所示，預計規格列表如表 7 所示，表 8 為和其他論文比較結果。



(a)



(b)

圖 4-14 : (a)一階系統電路圖 (b)二階系統電路圖

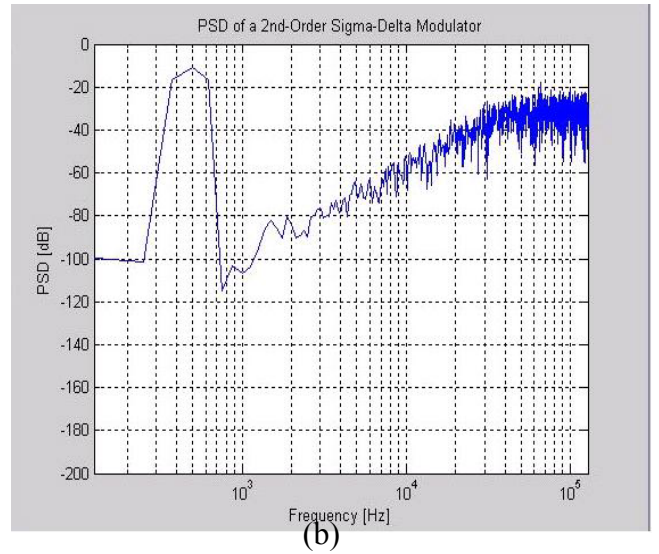
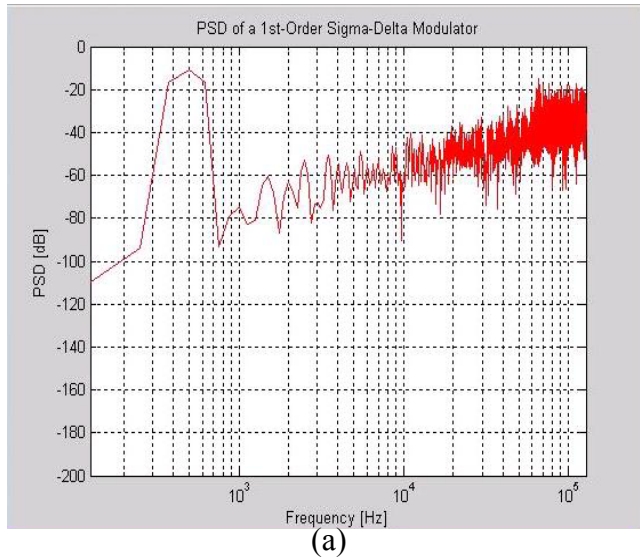
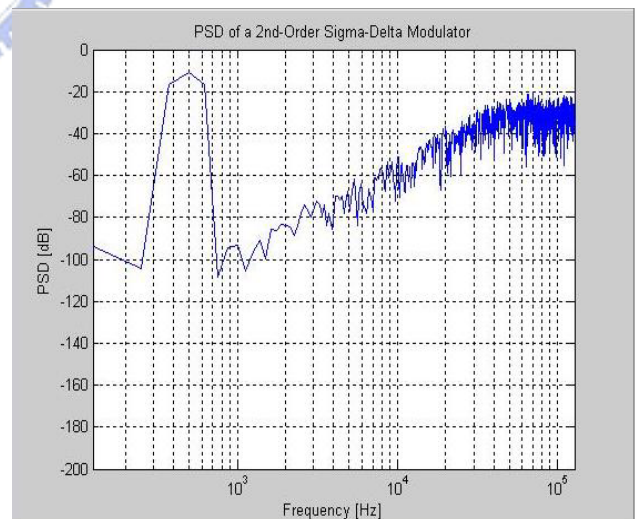
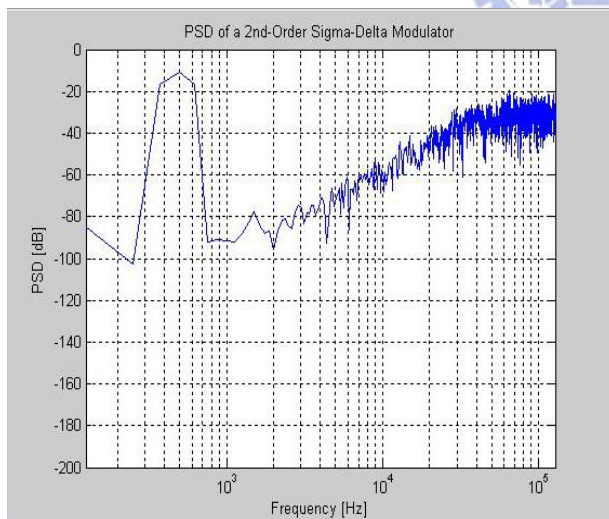


圖 4-15 : (a)一階 (b)二階 三角積分調變器輸出頻譜

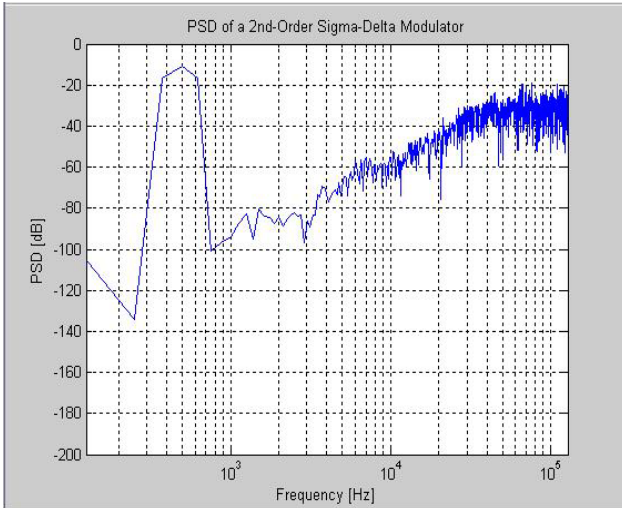
此外，我們在製程變異的模擬方面，針對二個 corner (FF、SS) 對二階進行模擬，如圖 4-16 所示。電壓變異的模擬方面，我們對電源電壓正負 10% 的變異模擬，也就是針對電壓變異由 2.7V 與 3.3V 進行模擬，如圖 4-17 所示。



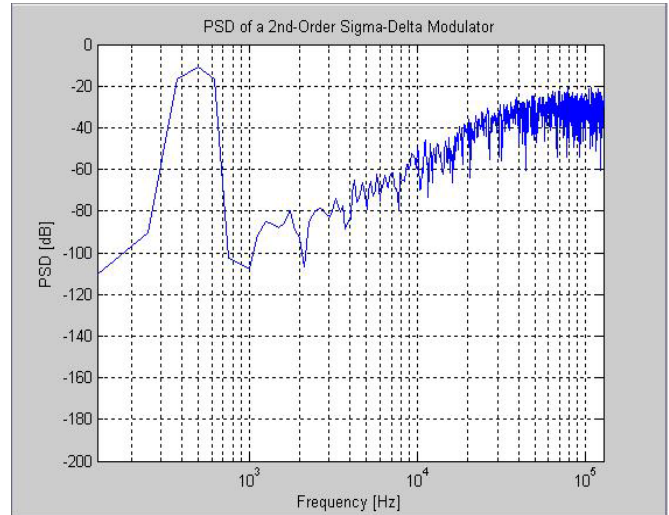
(a) FF:SNR=75dB

(b) SS:SNR=80dB

圖 4-16 : (a)FF (b)SS 二階三角積分調變器輸出頻譜



(a) 2.7V:SNR=85dB



(b) 3.3V:SNR=82dB

圖 4-17 : (a) 2.7V (b) 3.3V 二階三角積分調變器輸出頻譜

表 7：三角積分調變器規格表

Process	TSMC 0.35um 2P4M	
Supply Voltage	3V	
Temperature range	-25° ~ 85°	
Order	一階	二階
Signal Bandwidth	1kHz	
Sampling Frequency	256kHz	
SNR	66 dB	86 dB
Resolution	10 bit	14 bit
Power Dissipation	2.1 mW	3 mW

表 8：與其他論文之比較

Parameter	2001[26]	2002[27]	2002[28]	This work	
Technology	0.6um CMOS	0.35um CMOS	0.18um CMOS	0.35um CMOS	
Topology	SC	SC	SC	SC	
VDD	3.3 V	1 V	1.8 V	3 V	
Order	2nd	2nd	2nd	1st	2nd
Sampling Frequency	1 MHz	10.24 MHz	53 MHz	256 kHz	
Bandwidth	8 kHz	20 kHz	300 kHz	1 kHz	
OSR	64	256	96	128	
SNR	49.7 dB	78.6 dB	82 dB	66 dB	86dB
Resolution	7.96 bit	12.76 bit	13.3 bit	10 bit	14 bit
Power dissipation	6.996 mW	5.6 mW	9 mW	2.1 mW	3 mW
Reconfigurability	No	No	No	Yes	

第五章 佈局與量測考量

電路模擬完後，我們要將電路作佈局以下線製作成晶片實體，晶片製作回來後要量測，看實際晶片功能是否正確，並符合應用的規格。以下幾節分別針對佈局與量測時該注意的地方做介紹。

5.1 佈局考量

在電路模擬完畢後，要將電路佈局，以提供製程廠商下線製成晶片實體。而在佈局時須符合 DRC(design rule check)，以保證各層之間的安全距離，使晶片能正常工作，也須符合 LVS(layout v.s. schematic)，使佈局能與設計的電路匹配等規範外，對於佈局中的走線，還要考量到雜訊干擾的影響，這將會直接影響晶片完成後的實際效能。我們可以分成以下三類來討論：

- 耦合(coupling)雜訊：又稱為 cross talk，一般為數位高頻訊號線耦合至類比低頻訊號線，在佈局時可用遮蔽(shielding)來避免其干擾，此外對於使用不同金屬層的訊號走線，儘量維持以正交方式相疊減少干擾。
- 基板(substrate)雜訊：由於晶片製作都在同一基板上，雜訊可藉由共同的基板影響至各電路，尤其是類比與數位電路之間的交互影響。可以在重要電路外部都加上 guard ring 來保護電路。
- 電源(power)雜訊：數位的高頻訊號會經過電源耦合至類比端，影響類比電路的效能，所以在電源部分必須將類比和數位電路分開，以保持乾淨

的類比電源。

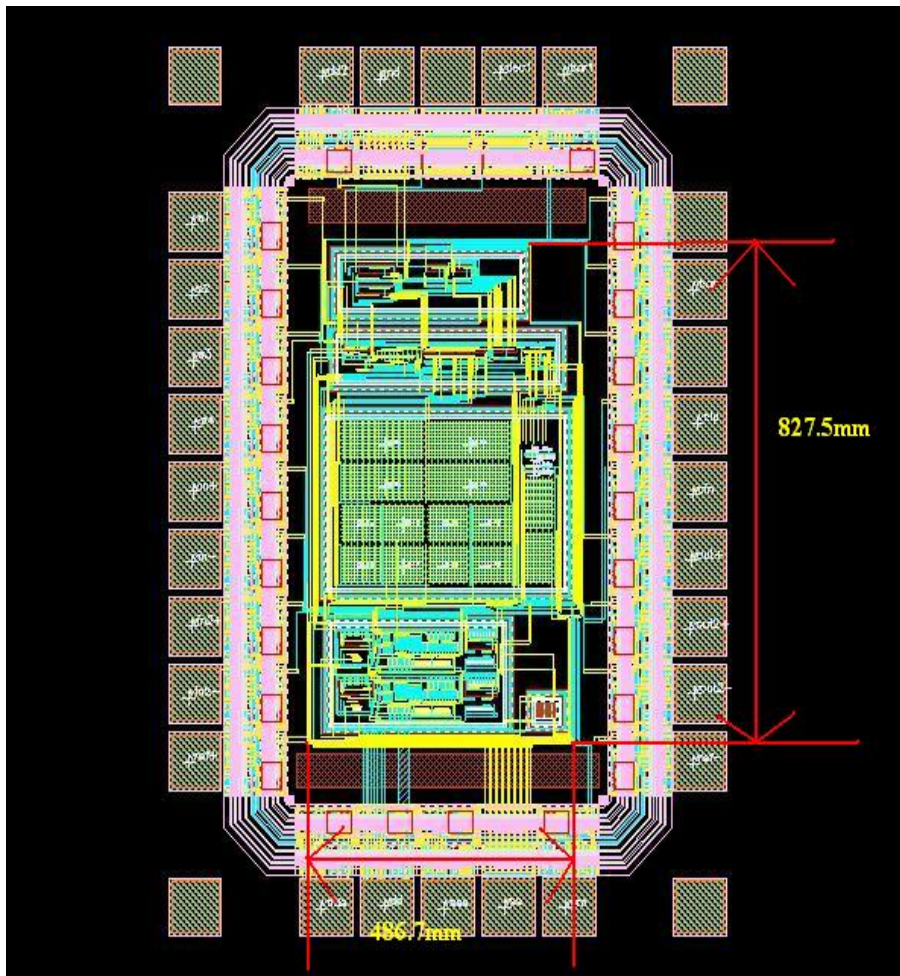


圖 5-1：三角積分調變器佈局圖

如圖 5-1 為我們的三角積分調變器佈局圖，面積為 $486.7 \times 827.5 \text{ mm}^2$ (core)，由於此晶片是類比和數位混合訊號的電路，因此佈局時將有以下重點需注意：

- ◆ 數位與類比電路之間要以電容隔開，避免數位高頻訊號耦合至類比電路產生雜訊。
- ◆ 數位與類比的電源要分開供應，且儘可能的遠離，並用不同的 pad 接至外部，以提高類比電路的 PSRR(power supply rejection ratio)
- ◆ 在敏感電路中，外加一層或多層 guard ring，來保護電路，並能將雜訊從 guard ring 排除。

- ◆ 若電容或電阻的精確度要求高，在佈局時，電容要使用共質心(common centroid)佈局，而電阻要用交叉(intersection)佈局。
- ◆ 在佈局差動輸入元件時(如：運算放大器的差動輸入對)要儘可能的對稱。
- ◆ 為了降低 latch up 效應，必須做 ESD(electro-static discharge)防護，在 PAD 製作時可以使用有靜電保護電路的 PAD。
- ◆ 在元件兩旁做 dummy cell 以避免元件蝕刻不完全。

5.2 量測考量

量測是採用 On Board 的量測方式，而量測環的架設是相當的重要，因為我們所模擬的只是在於晶片中的電路，實際量測時，需要加上其他的步驟，如：PCB 板製作，才能完成整個測環境，再配合量測儀器得到所需要量測資料。

5.2.1 PCB 量測板設計與考量

如圖 5-2 為量測佈局圖，在電源的供應上，加上了旁路電容(bypass capacitance, C_b)，將電壓上的交流雜訊濾除，使電源穩定。在 PCB 板設計時，在輸入至輸出都採用最短且對稱的路徑來實現，可以使得訊號因為 PCB 板所造成的時間延遲或負載降到最低。而為了保護測試儀器，在 I/O 的腳位到輸入或輸出，加上了交流耦合電容(coupling capacitance, C_c)，阻擋掉直流訊號來保護儀器。

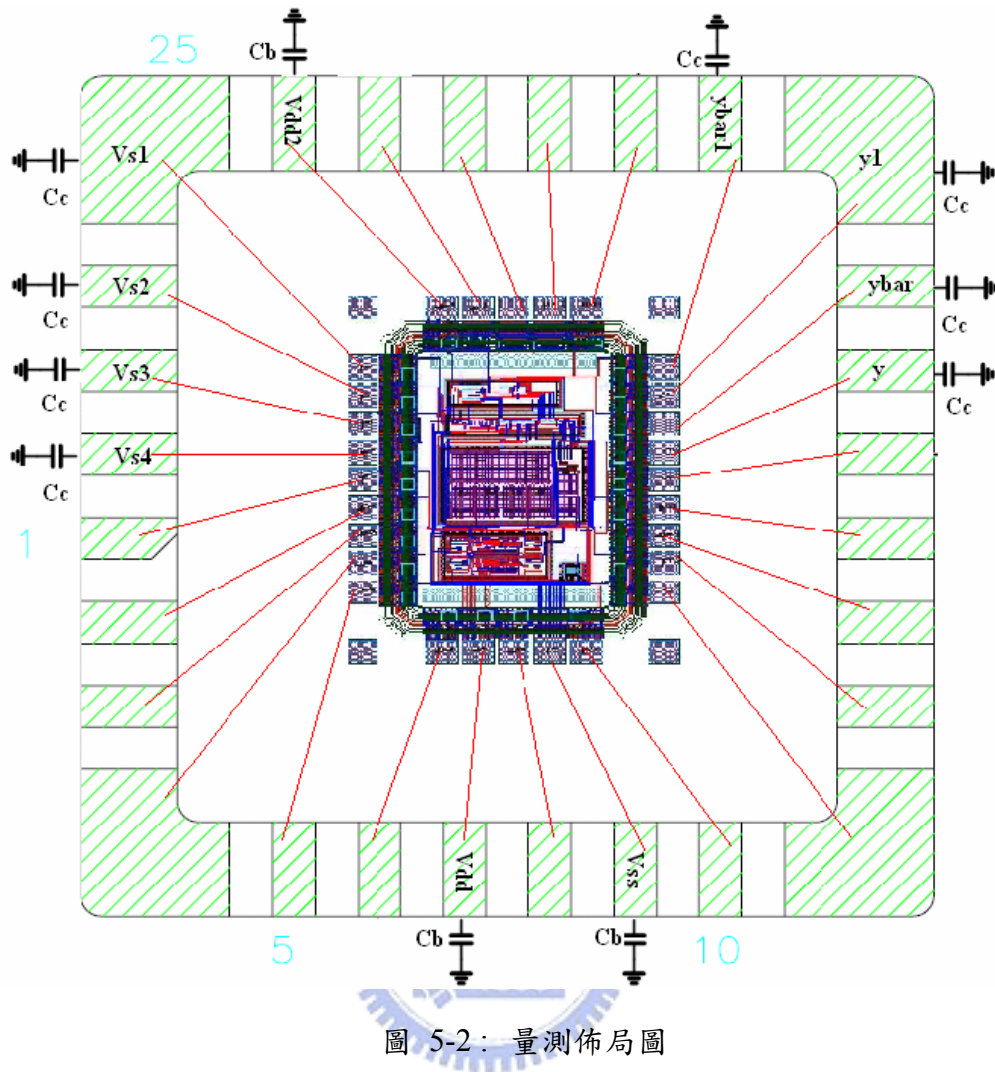


圖 5-2：量測佈局圖

5.2.2 時域量測方法

如圖 5-3 為調變器時域量測方法，主要是在晶片中提供類比與數位電路的電源供應。首先在訊號產生器的 Port 輸出一訊號，經過濾波電容後，輸入單端轉雙端的電路轉成差動輸入，再輸入至 DUT(Device Under Test)中，並設置另一訊號產生器產生數位時脈，將其輸入到 DUT 之非重疊時脈產生電路端，最後觀察數位示波器的輸出。

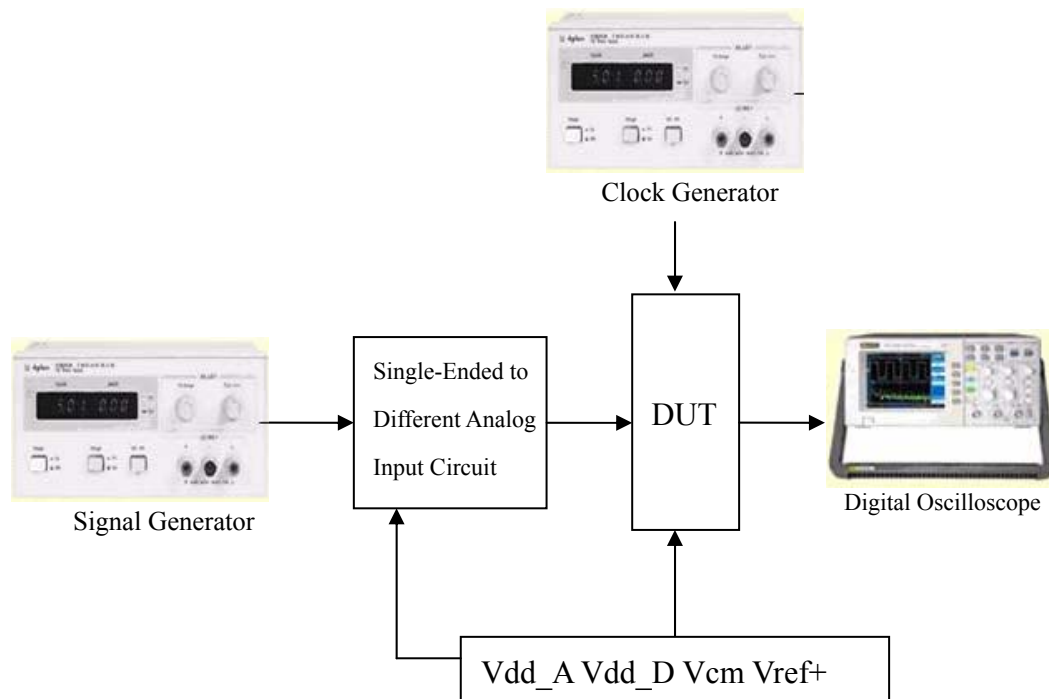


圖 5-3：時域量測方法

由於我們所使用之訊號產生器只能產生單端弦波訊號，所以必須加上單端轉雙端的電路將訊號轉成差動輸入，如圖 5-4 所示[2]。此電路由二個反相放大器所組成，一端輸出接上另一端輸入，經由適當設計電阻與電容值，可得到差動訊號的輸出，並且也可當成低通濾波器消除訊號源高頻雜訊。

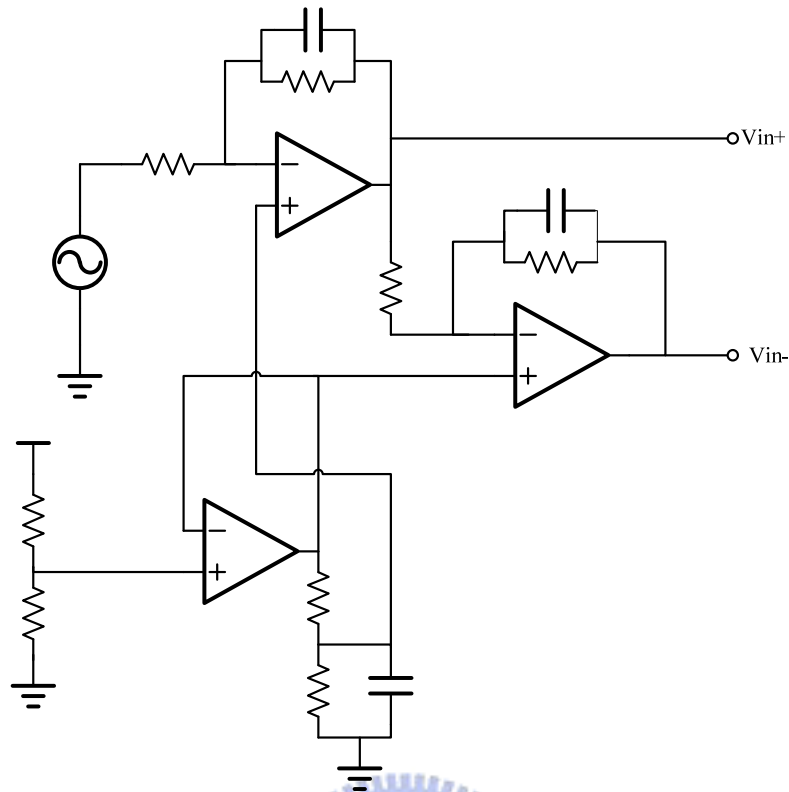


圖 5-4：單端轉雙端電路

5.2.3 頻域量測方法

如圖 5-5 為調變器頻域量測方法，首先在訊號產生器的 Port 輸出一訊號，經過濾波電容後，輸入單端轉雙端的電路轉成差動輸入，再輸入至 DUT(Device Under Test)中，並設置另一訊號產生器產生數位時脈，將其輸入到 DUT 之非重疊時脈產生電路端，最後透過邏輯分析儀抓取數位訊號得到輸出結果，並代回到 EDA 軟體 Matlab 執行 FFT 分析來確認頻域響應，及獲得正確的 SNR 值。

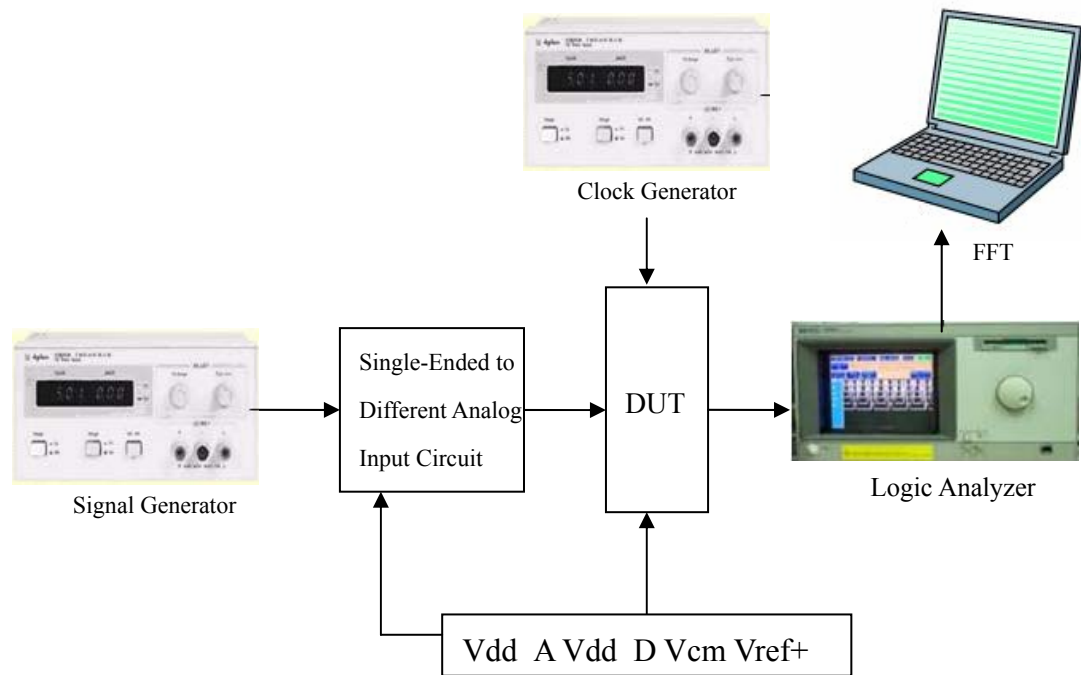


圖 5-5：頻域量測方法

而後端數位濾器部分，後續會加以整合，以得到一個完整的類比數位轉換器，等確認系統轉換動作正確後會與前端感測電路及前端放大濾波電路整合，以正確的擷取出生醫訊號。

第六章 結論與未來展望

6.1 結論

本論文中，我們實現了一個應用於生醫訊號系統之可重組三角積分調變器，採用兩個一階系統，可針對不同訊號量測切換一階與二階系統，達到不同解析度的需求。由於二階系統是由兩個一階系統重組而來，因此各個電路的使用率很高，且不用因為需要更高的解析度而重新設計一個晶片，可以節省電路成本、面積，面積比= 0.4027mm^2 (本設計)/ 0.528mm^2 (兩個一階晶片+一個二階晶片)，約節省了 30% 的面積。

在晶片製作上使台積電 0.35 μm 2P4M CMOS 製程實現，在訊號頻寬 1kHz、取樣頻率 256kHz、超取樣率 128 倍的情形下，一階輸出 SNR 可達到 65dB，二階輸出可達到 86dB，分別具有十位元與十四位元的解析度，平均消耗功率為 1.7mW。在晶片測試方面，我們也將使用電生理訊號作測試，以實際驗證電路的可行性。

6.2 未來展望

因應生醫訊號量測常需要長時間的觀測與紀錄，可攜式與低功率消耗設計是目前電路或系統設計所朝的方向。對於三角積分調變部分，未來透過更深入探討類比電路設計時的各種考量，以期能降低訊號頻寬內的雜訊，進而提高三角積分調變器之 SNR 及解析度，且希望能朝向低電壓的設計，以進一步降低功率消耗，並結後端數位降頻濾波器，整合類比與數位電路，真正實現一個完整的三角積分類比數位轉換器之混合訊號晶片，有助於生醫晶片系統整合。

在驗證整個系統之可行性後，期望能和前端感測器及前置放大濾波器整合，以完成生醫感測系統晶片，並將數位輸出訊號交由電腦分析，或是利用數位無線通訊系統傳輸，完成無線生醫感測系統，希望能對生醫工程領域有所貢獻。



參考文獻

- [1] S. R. Norsworthy, R. Schreier, and G.C. Temes, “Delta-Sigma Data Converters,” *IEEE Press*. 1997.
- [2] Analog Devices Inc., “AD7720 CMOS sigma-delta modulator,” <http://www.analog.com>.
- [3] A. Bakker and J.H. Huijsing, “Micropower CMOS temperature sensor with digital output,” *IEEE Trans. Solid-State Circuits*, vol. 31, July 1996.
- [4] A. Bakker and J.H. Huijsing, High-accuracy CMOS Smart Temperature Sensors, Kluwer Academic Publishers, 2000.
- [5] A. Boni, “Op-amps and startup circuits for CMOS bandgap references with near 1-V supply,” *IEEE J. Solid-State Circuits*, vol. 37, no. 10, Dec 2002
- [6] S.J. Chang, “Advanced analog IC design” EE, NCKU, 2003.
- [7] D.A. Johns and K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, New York, 1997.
- [8] Phillip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design, Oxford, 1987.
- [9] 旺陽文獻：Sigma-Delta-ADC 簡介, <http://www.vp-ic.com/pdf/sigmald001.pdf>
- [10] S.R. Norsworthy, R. Schreier, and G.C. Temes, “Delta-sigma Converters: theory, design and simulation,” *IEEE Press*. 1997.
- [11] P. Ferguson, A. Ganesan, and R. Adams, “One bit higher order sigma-delta ADC based on data weighted averaging,” Proc. 1990 *IEEE Int. Symp. Circuit Syst.*, May 1990.
- [12] S. Brigati, F. Francesconi, P. Malcovati, and F. Maloberti, “A fourth-order single-bit switch-capacitor sigma-delta modulator for distributed sensor applications,” *IEEE Instrumentation and Measurement Technology Conference Anchorage, AK, USA, 21-23, May 2002*.
- [13] I. Fujimori, L. Longo, and A. Hairapetian, “A 90-dB SNR 2.5-MHz output rate ADC using cascaded multibit delta-sigma modulation at 8x oversampling ratio,” *IEEE J. of Solid-State Circuits*, vol. 35, no. 12, December 2000.
- [14] Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, M. Ishikawa, and T. Yoshitome, “A 16-bit oversampling A-to-D conversion technology using triple-integration noise shaping,” *IEEE J. of Solid-State Circuits*, vol. SC-22, December 1987.
- [15] Behzad Razavi, Design of Analog CMOS Integrated Circuit, McGraw-Hill, New York, 2001.

- [16] J.C. Candy and G.C. Temes, "Oversampling Delta-Sigma Converters," *IEEE Press*, 1992.
- [17] B. Boser and B. Wooley, "The design of sigma-delta modulation analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. SC-23, no. 6, December 1988.
- [18] S. Rabbii and B.A Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8mm CMOS," *IEEE J. Solid-State Circuits*, vol. 32, no. 6, June 1997.
- [19] Y. Geerts, M.S.J. Steyaert and W. Sansen, "A 3.3-V, 15-bit delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications," *IEEE J. of Solid-State Circuits*, vol. 34, no. 7, July 1999.
- [20] K. Nagaraj, "SC circuits with reduced sensitivity to finite amplifier gain," Proc. *IEEE Int. Symp. Circuits and Syst.*, 1986.
- [21] T.H. Kuo, "Advanced analog IC design," EE, NCKU, 2002.
- [22] J. Goes, N. Paulino, H. Pinto, R. Monteiro, Bruno Vaz, and A.S. Garcao, "Low-Power Low-Voltage CMOS A/D Sigma-Delta Modulator for Bio-Potential Signals Driven by a Single-Phase Scheme," *IEEE Transactions on Circuits and Systems, I: Regular Papers*, vol. 52, no. 12, December 2005.
- [23] O. Nys and R.K. Henderson, "A 19-bit low-power multibit sigma-delta ADC based on data weighted averaging," *IEEE J. of Solid-State Circuits*, vol. 32, no. 7, July 1997.
- [24] C. Renato T. de Mori, P. Cesar Crepaldi, T. Cleber Pimenta, "A 3-V 12-Bit second order sigma-delta modulator design in 0.8-um CMOS," Grupo de Microeletronica-Escola federal de Engenharia de Itajuba ,2001.
- [25] Babak Vakili Amini, and Farrokh Ayazi, "A 2.5-V 14-bit $\Sigma\Delta$ CMOS SOI Capacitive Accelerometer," *IEEE J. of Solid-State Circuits*, vol. 39, no. 12, December 2004.
- [26] S. Boujelben, Ch. Rebai, D. Dallet, Ph. Marchegay, "Design and implementation of an audio analog to digital converter using oversampling techniques," *IEEE Press*, 2001.
- [27] Mustafa Keskin, Un-Ku Moon, and Gabor C. Temes, "A 1-V 10-MHz Clock-Rate 13-Bit CMOS Modulator Using Unity-Gain-Reset Opamps," *IEEE J. of Solid-State Circuits*, vol. 37, no. 7, July 2002.
- [28] Richard Gaggl, Andreas Wiesbauer, Christian Schramz, Peter Pessl, "A 14-Bit Delta-Sigma Modulator for ADSL-CO Applications in 0.18um CMOS," ESSCIRC 2002
- [29] 薛子建, The Design Implementation of Low Pass Multibit Delta-Sigma Modulator 國立台灣大學電機工程學研究所碩士論文, 民國九十年六月.

- [30] 洪裕隆, The Implementation of Sigma-Delta Modulator and CMOS Temperature Sensing Chip 國立成功大學電機工程研究所碩士論文, 民國九十三年六月.
- [31] 繆永光, The Design and Implementation of Thermal Sensor and Sigma-Delta ADC System IC 國立成功大學電機工程研究所碩士論文, 民國九十四年六月.
- [32] 楊東盛, A Discrete-Time Lowpass Sigma-Delta Modulator for Voice Band Application 國立清華大學電子工程研究所碩士論文, 民國九十五年七月.



附錄

A DRC Verification

Whole chip DRC

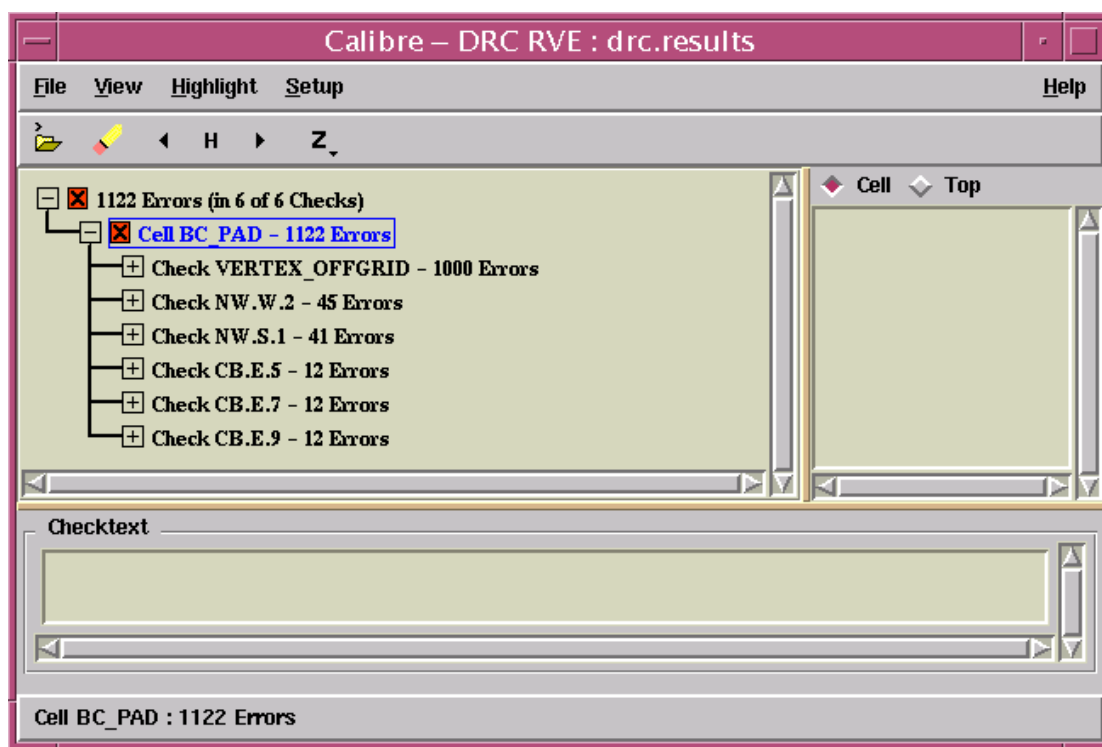


圖 A：全系統電路佈局之 DRC 驗證

(DRC Error 為 TSMC I/O Cell 內部上錯誤，如 Table A 所示，為可忽略的錯。)

Table A、TSMC ESD PAD 使用說明書 (可允許 DRC 錯誤說明)

3.3V I/O Cell 可允許 DRC Errors

DRC Errors	出現 DRC Errors 的 I/O cells
NW.W.2	VDDI_33、VDDE_33、VSSE_33、AIN_33
NW.S.1	VDDI_33、VDDE_33、VSSE_33、AIN_33
CO.E.1	BI33_XX、DIN_33
CB.E.5、CB.E.7、CB.E.9	ALL PADS

B LVS Verification

Whole chip LVS

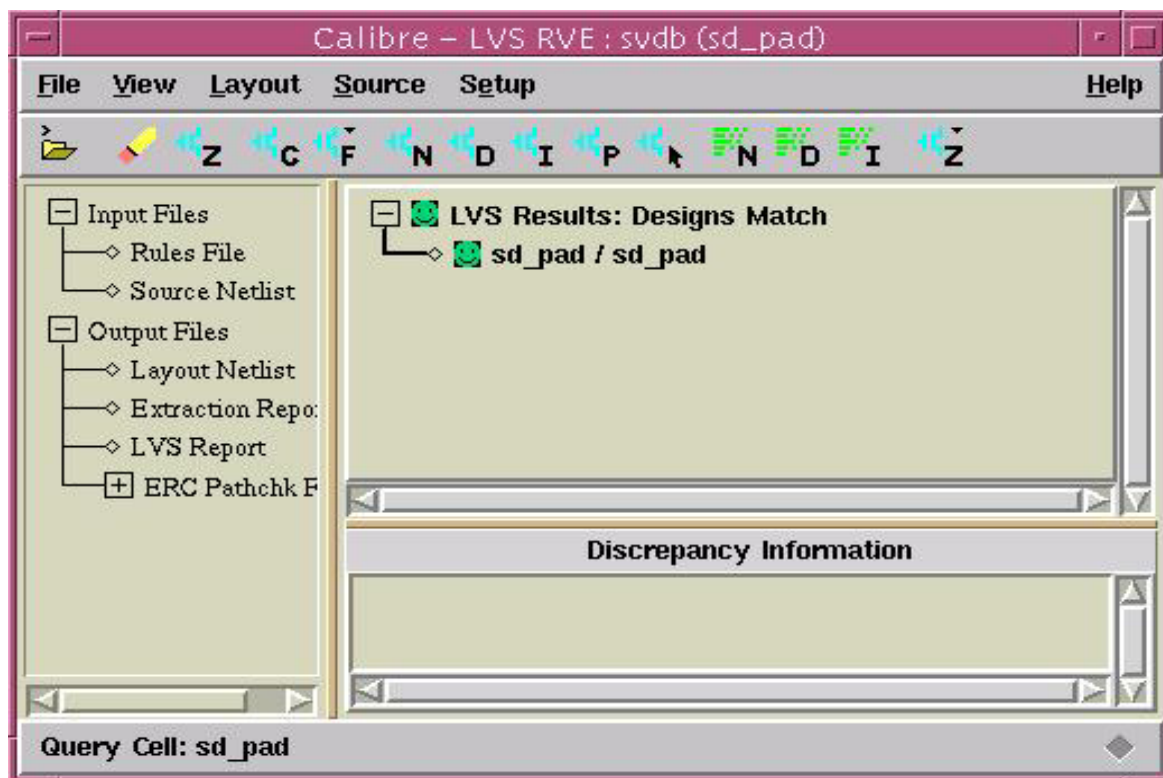


圖 B：全系統電路佈局之 LVS 驗證 (LVS 驗證無誤)

C Tapeout Review Form

Tapeout review form 的用意在提醒設計者在設計、模擬、佈局、佈局驗證及 tapeout 時具備設計理念及了解應注意事項,希望能藉此提昇晶片設計的成功率及達到完整的學習效果。因此,請指導教授及設計者確實檢查該晶片設計過程是否已注意本表格之要求,並在填寫確定後簽名,若審查時發現設計內容與 Tapeout Review Form 之填寫不符,很可能遭取消該晶片下線製作資格。可參考本表後所附範例確實填寫。

1 電路概述

- 1-1. 電路名稱: 應用於生醫訊號之可重組三角積分調變器設計
- 1-2. 製程名稱: TSMC .35 2P4M
- 1-3. 工作電壓: 3V
- 1-4. 工作頻率: 2MHz (Max)

- 1-5. 功率消耗: 1.7mW
- 1-6. 是否使用 CIC 提供之 ARM CPU IP?
 使用 CPU 之種類為何? (ARM7TDMI or ARM926EJ)
- 1-7. 此電路架構於貴實驗室是否第一次設計?是(接 2-1) 是 否(接 1-6-1)
- 1-7-1. 此電路之前不 work 或 performance 不好的原因為何?
- 1-7-2. 對之前的錯誤作何種修改?
- 2 電路模擬考量
- 2-1. 已用 SS,SF,TT,FS,FF 中哪些不同狀態之 spice model 模擬? 是
- 2-2. 已模擬過電壓變動+/-10%中哪些情況對電路工作之影響? 2.7V 和 3.3V 都已模擬過
- 2-3. 如何考量溫度變異之影響? 設不同溫度來模擬
- 2-4. 如何考量電阻、電容製程變異之影響? 代入變異最大最小值作模擬
- 2-5. 模擬時是否加入 IO PAD、Bonding wire 的效應及考量測試儀器之負載等影響? 是 .
 是否作 LPE 及 post layout simulation? 是 使用的軟體為 laker & calibre & hspice
- 3 Power Line 佈局考量
- 3-1. Power Line 畫多寬? 4.6um
- 3-2. 是否考量 power line current density? 是
- 3-3. 是否考量 Metal Line 之寄生電阻、電容? 是
- 4 DRC,LVS
- 4-1. 是否有作 whole chip 的 DRC 及 LVS? 是
- 4-2. 除了 PAD 上 DRC 的錯誤之外,內部電路及與 PAD 連接的線路是否有錯? 是 錯誤原因為何? Offgrid、NW.W2、NW.S1、CB.E5、CB.E7、CB.E9 均發生在 PAD 上且均為可忽略的錯
- 4-3. 在作 LVS 的過程中,PIN 腳及元件是否 match? 是 不 match 的原因為何?
- 4-4. 檢查 PAD 與 PAD 間是否有移位、短路或斷路的現象? 否
- 5 類比-混合訊號電路佈局考量(類比-混合訊號電路設計者填寫)
- 5-1 佈局對稱性及一致性考量
- 5-1-1 OP(Comparator) Input Stage 是否對稱? 是
- 5-1-2 OP(Comparator) Input Stage 是否對稱? 是
- 5-1-3 佈局中對稱元件是否使用 dummy cell 技巧? 是
- 5-1-4 對稱電容是否採用同心圓佈局? 是
- 5-1-5 對稱單位電容四周是否切成 45 度斜角? 是

- 5-1-6 對稱電容的單位面積是否一致? 是
 單位電容面積多大? 11.1 um x 11.1 um
 單位電容值多大? 0.05 pF
- 5-1-7 電阻採用哪一材質製作? N+ Diffusion
 單位電阻值多大? 1K
- 5-2 電路雜訊佈局考量
- 5-2-1 是否將 Analog 及 Digital 的 power line 分開? 是
- 5-2-2 Analog area 是否用 guard ring 隔絕? 是
- 5-2-3 Digital area 是否用 guard ring 隔絕? 是
- 5-2-4 對於 sensitive line 是否使用 shield 的技巧? 是
- 5-2-5 Analog guard ring 及 shield 是否接至乾淨之電位? 是
- 5-2-6 是否將 sensitive line 儘量縮短及避免跨越 noise(clock)line? 是
- 5-2-7 電容的上下極板是否接對? 是
- 6 MEMS 設計考量(MEMS 設計者填寫)
- 6-1 請簡述所進行之後製程: _____
- 6-2 後製程操作地點: _____
- 6-3 下線者目前是否有操作該製程設備之合法授權? _____ 若目前無操作該製程設備之合法授權, 是否可在晶片取回前得到合法授權? _____
- 6-4 下線者是否有使用該製程設備之經驗? _____
- 6-5 是否有該後製程之製程參數(壓力、溫度、流量、……)? _____
- 6-6 之前是否有成功實現過該後製程? 1896
- 6-7 Layout 違反 design rule 的部分是否會影響微結構本身或元件操作? _____
- 6-8 Layout 之蝕刻孔尺寸是否足以讓結構懸浮? _____
- 6-9 元件驅動電壓範圍? _____
- 7 RF Circuit 電路佈局考量 (RF 操作頻段設計者填寫):
- 7-1 電路規格適用何種系統? _____
- 7-2 說明被動元件模型的來源 _____
- 7-3 模擬軟體 (可不只一種)? _____
- 7-4 系統整合 chip 裡之各個 block 是否曾下過線且量測符合預期規格 (chip 為系統整合者回答,並說明製程梯次代號)? _____
- 7-5 佈局考量:
- 7-5-1 元件佈局方式是否與模型提供者所提供的佈局一致? 是
- 7-5-2 接地與電壓源是否均勻? 是
- 7-5-3 元件與拉線的電流承載能力考量? 是
- 7-5-4 拉線是否過長過細? 否
- 7-5-5 PAD 的佈局是否配合量測上之考量? 是
- 7-5-6 PAD 與 Bond-wire 的效應是否考量? 是
- 7-6 DRC 驗證過程中, 部分錯誤若為特殊考量, 請說明 是, Offgrid、NW.W2、

NW.S1、CB.E5、CB.E7、CB.E9 等 DRC 錯誤均發生在 TSMC PAD 上，且均為可忽略的錯。

7-7 LVS 驗證過程中，電感電容或其他特殊元件的比對是否做過處理，請說明 是
加入 DUMMY CELL 減少製程上的飄移與 shadow 現象

7-8 量測方式為 on wafer, on PCB or in package? 並說明量測時應該注意事項與量測地點
On PCB，初步先電性分析，之後再與前置放大器整合，實際接收電生理訊號，
看是否有達到功能。

8 PAD Replacement 考量(使用 TSMC I/O PAD 設計者填寫)

8-1 已於申請表勾選申請使用 TSMC I/O PAD

8-2 個人設計的 Cell 名稱(cell-name)未與 TSMC 所提供之任一 Pad Cell 名稱相同 是

8-3 採用 Create Instance 方式加入 I/O Pad，未用 Copy 或 Flatten 破壞 Instance 的結構 是

8-4 由 IC Core 部份拉線到 Pad 只拉到最邊緣部分，未過於覆蓋 Pad 是

9 其他考量

9-1 是否考量測試時的輸出量測點? 是

9-2 是否考量電路之可修改性(如用 laser cut 設備) 是

設計者簽名: 徐靜瑩 指導教授簽名: 林進燈