

國立交通大學

電機學院光電顯示科技產業研發碩士班

碩士論文

低壓降線性穩壓電路的靜電放電防護應用

ESD Impacts on Low Dropout Voltage Circuit



研究生：李宗隆

指導教授：陳科宏 教授

戴亞翔 教授

中華民國九十七年一月

低壓降線性穩壓電路的靜電放電防護應用
ESD Impacts on Low Dropout Voltage Circuit

研究生：李宗隆

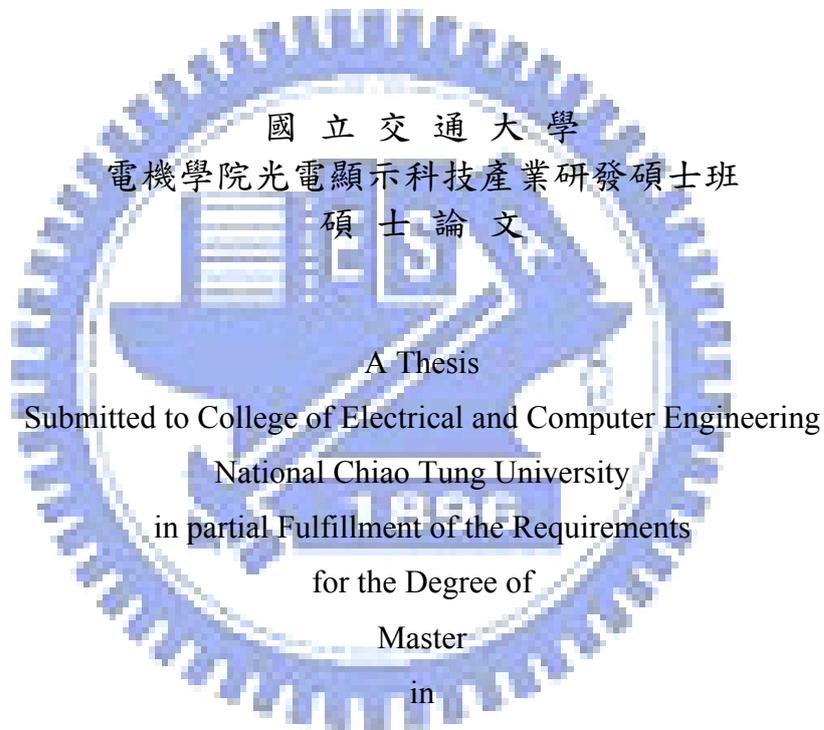
Student : Zon-Lon Lee

指導教授：陳科宏

Advisor : Ke-Hong Chen

戴亞翔

Advisor : Ya-Hsiang Tai



Industrial Technology R & D Master Program on
Photonics and Display Technologies

June 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年一月

低壓降線性穩壓電路的靜電放電防護應用

學生：李宗隆

指導教授：陳科宏
戴亞翔

國立交通大學電機學院產業研發碩士班

摘要

本篇論文詳細討論了利用低壓降線性穩壓器，來實現靜電放電防護應用，文章內容主要可以分成二個部分。第一部分是探討低壓降線性穩壓器。隨著可攜式電子產品的快速發展，例如：手機、數位照相機等等；電源管理已經變得越來越重要與關鍵，並且朝著減少功率消耗發展。低壓降穩壓器大量的用在電源管理上，因為相較於切換式的穩壓器有著較好的暫態響應、較小的雜訊與較少的外接元件。

穩定度一直是在設計低壓降線性穩壓器的過程中一個重要的議題。在傳統的電路架構中，負載電流大小以及輸出電容值為兩項主要影響穩定度的因素。因此，到目前為止已有許多補償的方法被提出來改善整體的效能。就應用的方面來說大致分為輸出電容外接和內建兩類，利用電容外接的方式可增加輸出電容的容值並產生一個主極點維持穩定，主要應用在系統較大對於面積較不注重的產品如電視。另一類的低壓降線性穩壓器的輸出電容靠著米勒效應使得電容值小且可整合在晶片當中，省下不少面積因此適合應用在可攜式電子產品裡作為穩定的直流電壓源。

第二部分探討靜電放電防護應用。功率電晶體雖然被設計應用於高電壓、大電流的偏壓條件，但對於動輒上千伏特的靜電放電電壓、數安培的靜電放電電流而言，功率電晶體仍嫌脆弱，所以為了確保功率電晶體等高功率元件的可靠度，靜電放電保護電路設計是當務之急。

當積體電路製成的精密度，越來越細緻，積體電路的可靠性工程，一直有著非常重要的地位，在設計、製程、技術的改善，均可提高積體電路的可靠度，在良率提升之後，還有其他影響可靠性工程的因素，ESD 的破壞是其中之一項，而遭 ESD 的破壞是可避免的，學術上已有許多的 ESD 保護電路的產生。本論文將以保護電路的元件做 ESD 電擊測試，分析其抗 ESD 能力。

ESD Impacts on Low Dropout Voltage Circuit

student : Zon-Lon Lee

Advisors : Dr. Ke-Hong Chen
Dr. Ya-Hsiang Tai

Industrial Technology R & D Master Program of
Electrical and Computer Engineering College
National Chiao Tung University

Abstract

The thesis proposes a low-dropout (LDO) regulator with ESD Impacts. Thus, the content of this thesis contains two parts. The first part discusses the design of a low-dropout regulator. With the exponentially increasing of portable battery-powered electronic equipments, such as mobile phones, digital cameras and so on, power management has becoming more and more important and popular. The design of low dropout regulators is widely used in power management since it has a better load transient response, less output noise, and few off-chip components compared to the design of switch-mode regulators.

Stability is an important issue in the design of LDO linear regulators. In the conventional architecture, the key factors affecting the system stability are the wide load current range and the value of the output capacitor. Therefore, there exist many proposed compensation techniques to stabilize and improve the whole system. According to the type of output capacitor, LDO regulators can be simply classified into two groups: LDOs with off-chip or on-chip output capacitor. These LDO linear regulators with off-chip capacitor need a large capacitance at output node to generate a dominant pole at low frequency to achieve the stability. They are mostly used for supplying the system with the characteristic of low quiescent current at light loads owing to the current efficient buffer used in the LDOs. The other LDO regulators use an on-chip small output capacitor based on the Miller-compensated technique. Thus, the capacitor can be integrated into the chip, which has the advantage of the saving the footprint area. This type of capacitor-free LDOs is well suited as a stable dc voltage supply for portable electronic devices.

The second part of this thesis discusses how ESD impacts the low-dropout regulators. In some situation, the latent damage of electrostatic discharge in a power MOSFET can't easily find out immediately. Eventually, in order to make sure a good reliability and long lifetime of power MOSFETs, the ESD protection circuit design is needed to prevent ESD damages in a power MOSFET design. This thesis provides the reliability engineers of integrated circuit a most important concept of ESD design of power IC. The improvement of the ESD will enhance the reliability of integrated circuit in power IC designs.

誌 謝

首先要感謝指導教授陳科宏老師的教導，讓我感受到追求學問與思考問題的樂趣，老師總是要我們跳脫傳統思維來面對問題，才能有新的突破，真的很感謝您。同時由衷的感謝口試委員，王清松教授及黃立人博士對本論文費心地提供寶貴的意見與指正，使本論文更加完善。

感謝紹璋學長在學期間，利用晚上時間撥空指導，研究專業與待人處世讓筆者學習生涯獲益匪淺。

在研究所期間，難免遭遇到種種挫折和困難，感謝實驗室心欣學姊、宗隆、柏逢在實驗室的照顧以及 703、701、802 實驗室同學給予的幫助，大家互相鼓勵，一起伴我度過一段美好的日子，在這裡由衷的感謝大家。

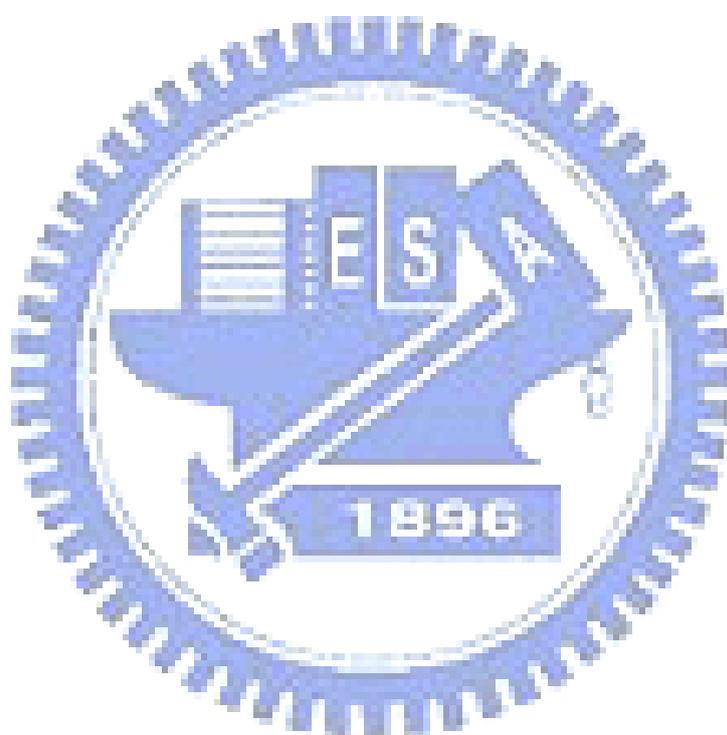
最後要感謝我的父母及女友馨玉，感謝你們多年來的關懷與支持，並在背後支持著我，讓我得以在求學期間專心唸書無後顧之憂，我心中也是充滿無限感激這一路上所有幫助過我的人，謹將此論文獻給我家人。



目 錄

摘 要.....	1
Abstract.....	ii
誌 謝.....	iii
目 錄.....	iv
圖 目 錄.....	vii
表 目 錄.....	ix
第一章 概論.....	1
1.1 研究背景.....	1
1.2 研究動機及目的.....	1
1.3 論文架構.....	1
第二章 低壓降線性穩壓器概論與重要特性參數.....	2
2.1 低壓降線性穩壓器概論.....	2
2.2 重要特性參數.....	3
2.2.1 輸出電壓差(Dropout Voltage).....	3
2.2.2 線性調節率(Line Regulation).....	4
2.2.3 負載調節率(Load regulation).....	6
2.2.4 靜態電流或接地電流(Quiescent current or Ground Current).....	7
2.2.5 功率效率(Efficiency).....	8
2.2.6 輸出準確率(Output accuracy).....	9
2.2.7 暫態響應(Transient response).....	12

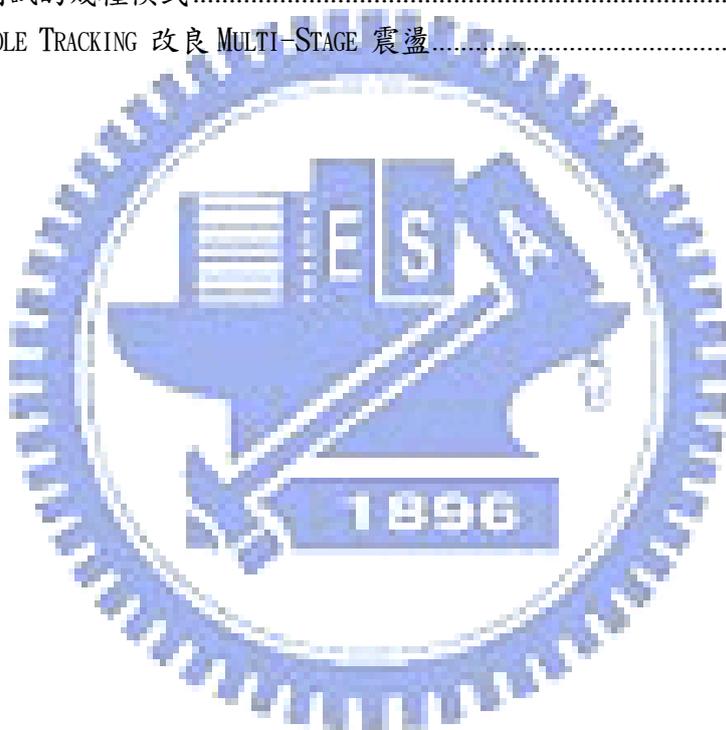
2.2.8 頻率響應(Frequency response)	15
第三章 回授穩定度及頻率補償	19
3.1 等效串聯電阻	20
3.2 極零點補償	21
3.3 追蹤零點補償	23
3.4 米勒頻率補償	27
第四章 低壓線性穩壓器設計與模擬	32
4.1 Pole Tracking(電阻R2、電晶體MP3)	32
4.2 模擬結果(TT, SS, FF, FS, SF)	33
第五章 靜電放電防護設計概念與測試	39
5.1 靜電放電防護概論	39
5.2 靜電放電模式	39
5.2.1 人體模式(HBM)	39
5.2.2 機械模式(MM)	41
5.2.3 元件電荷模式(CDM)	42
5.3 靜電放電防護設計概念	43
5.3.1 靜電放電防護設計	45
5.4 靜電放電測試及判讀	50
5.4.1 靜電放電測試組合	50
5.4.2 靜電放電防護的測試	52
第六章 結論	55



圖目錄

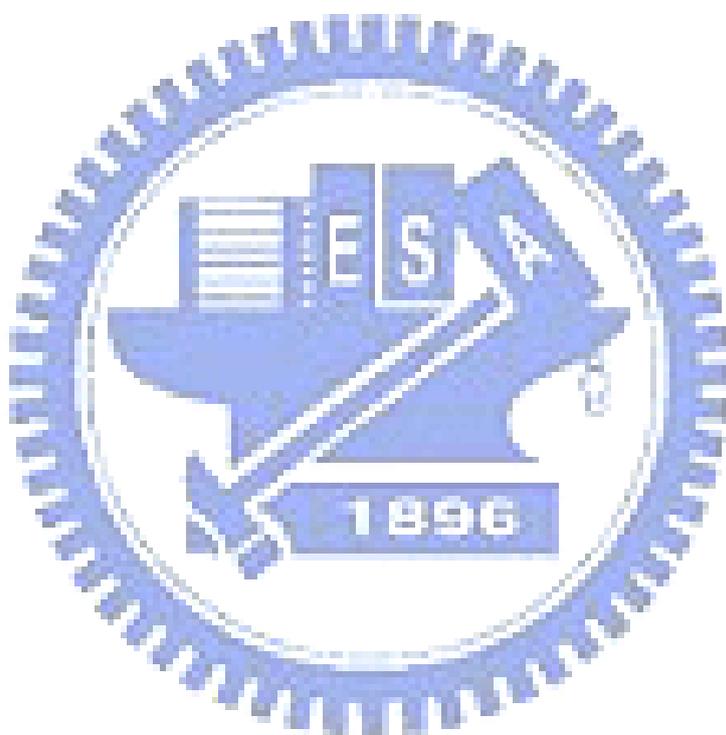
圖 2-1 性穩壓器的基本架構圖.....	2
圖 2-2 輸出電壓差.....	3
圖 2-3 線性調節率.....	4
圖 2-4 LDO 電路架構.....	5
圖 2-5 靜態電流.....	7
圖 2-6 輸出電壓誤差.....	9
圖 2-7 誤差放大器電壓偏移.....	10
圖 2-8 電阻值誤差.....	11
圖 2-9 步階負載.....	12
圖 2-10 輸出電壓對於負載之變化.....	13
圖 2-11 交流分析等效模型.....	15
圖 2-12 低壓降線性穩壓器的頻率響應.....	17
圖 2-13 等效串聯電阻過大之情形.....	17
圖 2-14 等效串聯電阻過小之情形.....	18
圖 3-1 輸出阻抗示意圖.....	20
圖 3-2 利用電容前饋產生零點.....	21
圖 3-3 產生左半平面的零點.....	22
圖 3-4 極零點補償低壓降線性穩壓器.....	22
圖 3-5 主極點及頻寬隨負載電流之變化.....	23
圖 3-6 用 NMOS 取代補償電路中的電阻.....	24
圖 3-7 改變 V_{DS} 時電阻值的變化.....	25
圖 3-8 追蹤零點補償低壓降線性穩壓器.....	26
圖 3-9 SMC 兩級放大器示意圖.....	27
圖 3-10 SMC 兩級放大器的頻率響應.....	28
圖 3-11 MULTI-STAGE LDO.....	29
圖 3-12 電流持續增加， P_{1st_non} 和 P_{Par} 的根軌跡.....	30
圖 3-13 P_{1st_non} 和 P_{Par} 行成 COMPLEX POLES.....	31
圖 4-1 POLE TRACKING 的四級放大器 LDO 主要電路.....	32
圖 4-2 頻率響應(FOR $V_{DD}=5V$, $I_{LOAD}=200MA$, 5 CORNER).....	33
圖 4-3 頻率響應(FOR $V_{DD}=5V$, $I_{LOAD}=1MA$, 5 CORNER).....	34
圖 4-4 POWER SUPPLY REJECTION RATIO(FOR $V_{DD}=5V$, $I_{LOAD}=200MA$, 5CORNER).....	35
圖 4-5 暫態響應($V_{DD}=5V$, $I_{LOAD}=0.1MA\sim 200MA$, 5 CORNER).....	35
圖 4-6 LINE REGULATION(FOR $V_{DD}=0V\rightarrow 5.5V$, $I_{LOAD}=0.1MA$, 5CORNER).....	36
圖 4-7 LINE REGULATION(FOR $V_{DD}=0V\rightarrow 5.5V$, $I_{LOAD}=200MA$, 5CORNER).....	37
圖 4-8 LOAD REGULATION(FOR $I_{LOAD}=0.1MA\rightarrow 200MA$, 5 CORNER).....	37

圖 5-1 典型的人體模式靜電放電等效電路.....	40
圖 5-2 典型的機械模式靜電放電等效電路.....	41
圖 5-3 元件電荷模式的電流波形.....	42
圖 5-4 WHOLE-CHIP 靜電放電防護電路.....	43
圖 5-5 異常靜電放電損傷積體電路內部的原因示意圖.....	44
圖 5-6 典型的輸入電路.....	46
圖 5-7 (A)N 型金氧半導體的剖面圖，包含旁路電晶體 NPN。(B)0.13MM 製程下，高電流的電流對電壓曲線圖，包含 LNPN 打開電壓(VAV)、突然跳回的操作電壓(VSP)與熱能導致的第二次崩潰電流(IT2)。	47
圖 5-8 典型的輸出電路.....	48
圖 5-9 典型的二極體電路.....	49
圖 5-10 ESD 測試的幾種模式.....	52
圖 6-1 使用 POLE TRACKING 改良 MULTI-STAGE 震盪.....	55



表目錄

表 1-1 壓器分類.....	1
表 4-1 模擬數據.....	38



第一章 概論

1.1 研究背景

隨著可攜式電子產品的發展與盛行，低功率與高效率成為可攜式電子產品的首要考量，因此這些利用電池提供電源的電子電路必須工作在低電壓與低電流以減少功率消耗，使得電池得以延長工作時間。因此，有效率的電源管理已成為電子電路設計的重要因素之一。電源效率可在三個設計領域加以處理：首先是電池管理，它必須能將電池充飽，長期保持所儲存的電力，並在重新充電之前供應最多電力；其次是系統功率消耗零件的主動管理，例如處理器和周邊，它們的功率消耗可以根據系統效能需求進行管理；第三則是電源轉換程序，它必須能將不斷變動的電池電壓轉換成系統所需的多個固定電壓。為了節省功率消耗，穩壓器常被用來降低工作電壓，將較高的輸入電壓轉換為較低的電壓以供其他的電路使用。電壓轉換的方式大致分為切換式與線性穩壓器兩種，如表(1-1)。

	儲能元件	穩壓電路	優點	缺點	應用
線性穩壓器		LDO	<ul style="list-style-type: none"> ● 結構簡單 ● 低雜訊與輸出電壓漣波 	<ul style="list-style-type: none"> ● 僅有降壓 ● 轉換率不高 	類比、射頻或電流較小的電路
切換式穩壓器	電感	Buck Boost	<ul style="list-style-type: none"> ● 三種轉換形式：升、降、負壓 ● 易達成多重輸出 ● 較高的轉換率 	<ul style="list-style-type: none"> ● 面積大 ● 需外接電感元件 ● 有較大雜訊與輸出電壓漣波 	數位電路或其它電流需求較大的電路
	電容	Charge Pump	<ul style="list-style-type: none"> ● 三種轉換形式：升、降、負壓 ● 較LDO高的轉換率 	<ul style="list-style-type: none"> ● 雜訊大且具有輸出電壓漣波 ● 易發出電磁干擾 	電流需求小的電路

表 1-1： 壓器分類。

由上圖(1-1)可知，線性穩壓器中又以低壓降線性穩壓器(LDO)在可攜式電子產品蓬勃發展的今日更顯重要，其優點在於輸出電壓對輸入電壓或負載的變化反應較為迅速、輸出電壓的漣波與雜訊較低、電路結構較簡單、體積較小、價格較為低廉，且近年來更因為其轉換效率的提升，成為小功率降壓與穩壓電路的主流。在各式由電池供應的電子產品如手機、數位相機…等，由於是利用內部電池來維持運作，因此電源的功率消耗部份更是格外受到重視，這些產品需要低功率消耗、高操作效率，能讓電池壽命延長，低壓降線性穩壓器在這些產品之中被大量地使用。

1.2 研究動機及目的

低壓降線性穩壓器為電源管理系統一不可或缺的元件，在較低電壓、較小功率的電壓轉換場合，低壓降線性穩壓器是相當經濟的選擇。而低壓降線性穩壓器根據應用場合的需要，也分成許多不同種類：針對低輸出雜訊、高速暫態響應、低靜態電流、大輸出電流等不同的需求，均要作電路架構上的修改，方能達到理想的特性。

本論文針對低壓降線性穩壓器，操作在不同負載電流下，其穩定度的問題加以研究，為了能夠在負載電流改變時，維持良好的暫態響應以及頻率響應，達到輸出電壓迅速穩定的功用，將在論文中提出低壓降線性穩壓器的頻率補償方式。

除了主要頻率補償電路架構，積體電路的可靠性工程，一直有著非常重要的地位，在設計、製程、技術的改善，均可提高積體電路的可靠度，在良率提升之後，還有其他影響可靠性工程的因素，ESD的破壞是其中之一項，而遭ESD的破壞是可避免的，為了增加晶片之靜電放電防護本論文將以保護電路的元件做ESD電擊測試，分析其抗ESD能力。

1.3 論文架構

論文共分6章，首先第一章介紹研究背景、研究動機及目的。第二章，針對低壓降線性穩壓器特項特性做詳細說明。第三章，則是本論文所使用的頻率補償技術。第四章，低電壓線性穩壓器設計與模擬結果。第五章則是靜電放電防護設計與測試。最後一章，再對本論文所採用之低壓降線性穩壓電路的靜電放電防護應用作一個總結，並提出未來研究之方向。

第二章 低壓降線性穩壓器概論與重要特性參數

2.1 低壓降線性穩壓器概論

線性穩壓器的基本架構圖如圖2-1所示[1]，大略上可分成四個部份：參考電壓源(V_{ref})、誤差放大器(Error Amplifier)、兩個分壓電阻(R_{fb1} 、 R_{fb2})所組成的回授網路以及輸出功率電晶體(Pass Transistor)。其中的參考電壓源目的在於提供一個不隨外外部環境變化如工作電壓[2]、溫度及半導體製程而改變的固定電壓VREF，而分壓電阻則是用來觀測輸出電壓，並提供一個和輸出電壓成正比的VFB來供比對，其工作原理是將誤差放大器的兩個輸入端，分別接到參考電壓源與回授網路，則誤差放大器便會隨著參考電壓與回授電壓之間的差，來調整功率電晶體開極端的電壓，進而控制輸出端的電流以產生穩定的輸出電壓值；回授電壓大於參考電壓時，誤差放大器就會控制功率電晶體，使其輸出電流減小以降低輸出電壓，反之亦然。如此一來，輸出電壓就可以被控制在一個準確的值，無論輸入供應電壓或輸出負載電流有任何變化，輸出電壓都可在很短的時間內拉回至一個固定的位準。輸出的電壓值[3]可表示如式(2.1)：

$$V_{out} = V_{ref} \left(1 + \frac{R_{fb1}}{R_{fb2}} \right) \quad (2.1) \text{式}$$

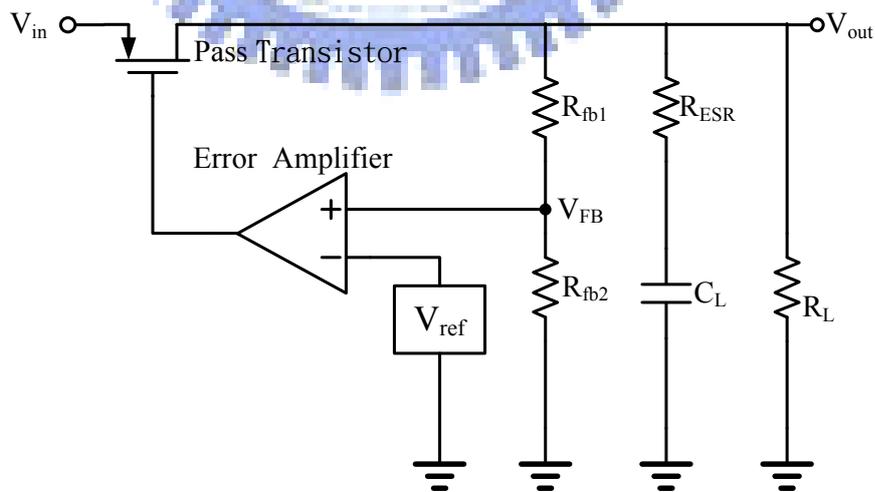


圖 2-1： 性穩壓器的基本架構圖。

2.2 重要特性參數

2.2.1 輸出電壓差(Dropout Voltage)

輸出電壓差在線性穩壓器中是一個非常重要的參數，而其定義為：當輸入電壓（電壓源）降到某個程度時，其輸出電壓將不再穩壓在預計的輸出電壓，而在臨界點時的輸入電壓與輸出電壓的差值即為壓降電壓。以圖 2-2 為例，其輸出電壓差為 $3.3\text{V}-2.5\text{V}=800\text{mV}$ 。簡單來說就是輸出功率電晶體的汲極和源極的壓差，直接關係到的就是電源功率的消耗，越大的跨壓所損失的功率就越大，所以說，輸出電壓差是越小越好。

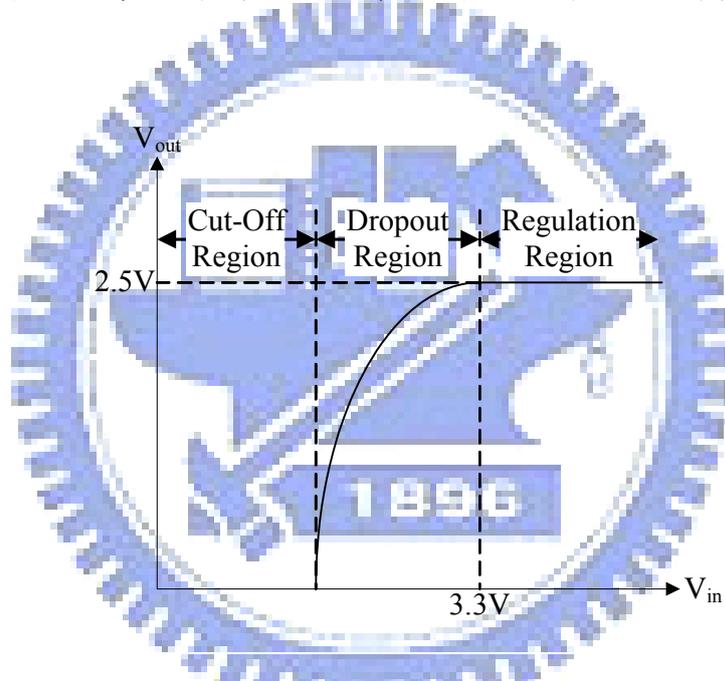


圖 2-2：輸出電壓差。

對輸出PMOS 電晶體而言，其汲極是連接到輸出端，因此當輸入端（源極）電壓很小時，電晶體是關閉狀態，當源極電壓加大後，電晶體開啟，輸出端電壓開始爬升，一直到穩定的設定值之間的這段輸入電壓差，即是輸出電壓差。其實對於輸出電晶體來說，就是它的飽和電壓差 (V_{SD-sat})，當MOS 電晶體大小確定，且閘極電壓固定之後，其飽和電壓差基本上就不會改變，所以提供閘極電壓的前一級放大器，和輸出電晶體的大小在設計上都要能達到理想的輸出電壓差。

對於電源功率消耗的部份，將電晶體飽和電壓 (V_{SD-sat}) 差乘上輸出端所流過的電流，即是消耗功率如式(2.2)。

$$P = I_{out} \times V_{SD-sat} \quad (2.2) \text{式}$$

對於一個可攜帶式電子產品來說，都是由電池來提供電源，這部份的電源消耗當然是越小越好，以求電池壽命能夠長久，低壓降線性穩壓器能夠如此受歡迎的原因，就是在這方面能夠節省很多的電力。

2.2.2 線性調節率(Line Regulation)[4]

這項參數在線性穩壓器中也是非常重要的，指的是當輸入電壓產生變化時，相對於輸出端電壓的改變如式(2.3)。

$$\text{Line Regulation} = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2.3) \text{式}$$

我們預期當輸入電壓改變時，輸出電壓能一直維持穩定，但是實際上是有一小幅度改變，通常以百分比(%)表示，如圖(2-3)所示。

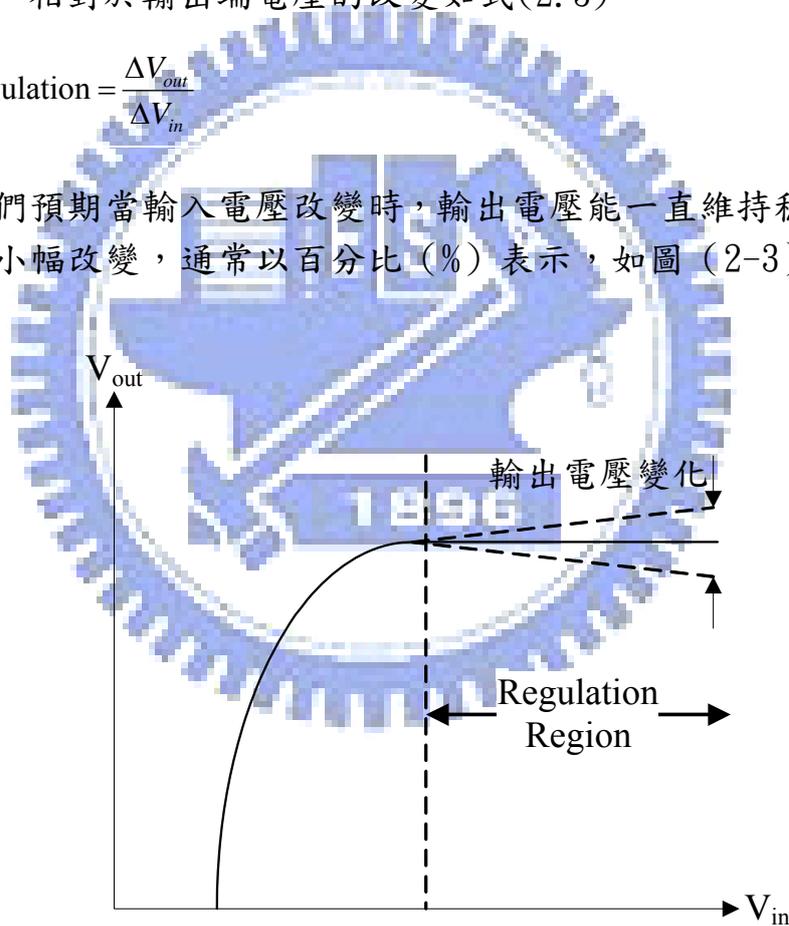


圖 2-3：線性調節率。

如圖 (2-4) 所示，分析電路可得：

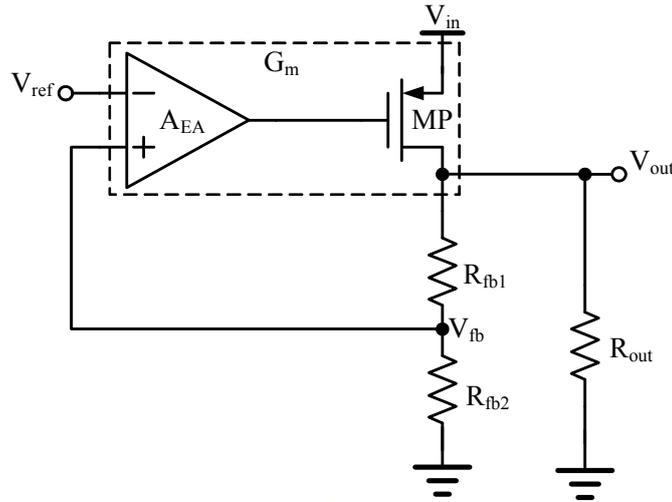


圖 2-4：LDO 電路架構。

$$\begin{aligned}
 \Delta V_{out} &= \frac{R_{out}}{R_{ds} + R_{out}} V_{in} - V_{out} \\
 \Delta V_{out} &= \Delta I_{out} \times R_{out} \\
 V_{out} &= \frac{R_{out}}{R_{ds} + R_{out}} \times V_{in} - G_m (V_{fb} - V_{ref}) R_{out} \\
 V_{fb} &= \frac{R_{fb2}}{R_{fb1} + R_{fb2}} V_{out} \\
 V_{out} &= \frac{\frac{R_{out} (R_{fb1} + R_{fb2})}{R_{ds} + R_{out}} V_{in} + (R_{fb1} + R_{fb2}) G_m V_{ref} - R_{out}}{R_{fb1} + R_{fb2} + G_m R_{fb2} R_{out}} \\
 &\cong \frac{R_{fb1} + R_{fb2}}{G_m R_{fb2}} V_{in} + \frac{R_{fb1} + R_{fb2}}{R_{fb2}} V_{ref} \\
 \frac{\Delta V_{out}}{\Delta V_{in}} &= \frac{1}{R_{ds} + R_{out}} \times \frac{R_{fb1} + R_{fb2}}{G_m R_{fb2}} \tag{2.4}
 \end{aligned}$$

最後可以得到如上式(2.4)新的線性調節率(Line Regulation)，其中 R_{ds} 為傳輸電晶體(MP)的等效電阻， R_{out} 為負載電阻， G_m 是Error Amplifier的Gain與傳輸電晶體(MP)轉導(g_{mp})的乘積。

由於輸入電壓改變時，會造成回授電壓的改變，再由誤差放大器加以調節輸出電晶體 (PMOS)，來控制輸出電壓，因此若增加整個電路的開迴路增益，對於線性調節率的提升有很大的幫助。

2.2.3 負載調節率(Load regulation)[5]

相對於線性調節率，線性穩壓器另一個主要考量就是負載調節率，表示當負載端有變化，也就是輸出電流有改變時，輸出電壓的變化率如式(2.5)。

$$\text{Load Regulation} = \frac{\Delta V_{out}}{\Delta I_{out}} \quad (2.5) \text{式}$$

當負載有變化時，輸出電壓會跟著改變，再藉由回授網路讓誤差放大器對於電壓變化作反應，控制輸出電晶體，輸出電流也會隨之改變來應整個電壓的變化。如圖(2-4)所示，

$$\begin{aligned} \Delta I_{out} &= G_m \Delta V_{fb} \\ &= G_m \frac{R_{fb2}}{R_{fb1} + R_{fb2}} \times \Delta V_{out} \\ \Rightarrow \frac{\Delta V_{out}}{\Delta I_{out}} &= \frac{R_{fb1} + R_{fb2}}{R_{fb2}} \times \frac{1}{G_m} \end{aligned} \quad (2.6) \text{式}$$

由式子(2.6)可以看出，負載的改變造成電壓的變化，經誤差放大器放大之後，輸出電流也跟著做變化。明顯的，最後的式子可以得知，負載調節率被線性穩壓器的轉導(G_m ，也就是誤差放大器的增益乘上輸出電晶體的電流增益)所限制，所以要改善負載調節率，可以增加DC的電流增益，可以得到不錯的效果。

2.2.4 靜態電流或接地電流(Quiescent current or Ground Current)

接地電流又稱為偏壓電流(Quiescent current)，就是輸入電流與輸出電流的差值如式(2.5)及圖(2-5)，關係到整體的電流效率。

$$I_q = I_{in} - I_{out} \quad (2.5) \text{式}$$

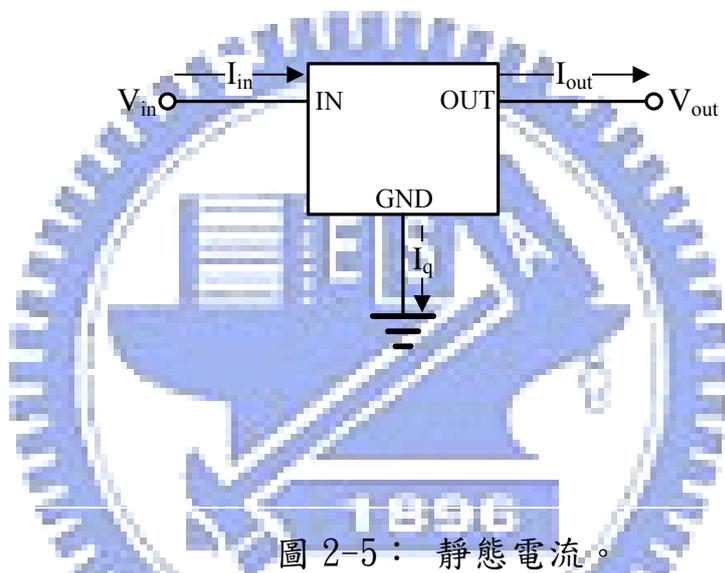


圖 2-5：靜態電流。

一般而言，靜態電流包括了電路中的偏壓電流(如：誤差放大器、參考電壓源)和驅動輸出電晶體的電流，這些對於輸出效率並無幫助，造成無謂的消耗電源，因此在設計上是越小越好。

一個以雙載子電晶體做為輸出端的線性穩壓器，天生就存在有蠻大的靜態電流，也就是基極電流，且基極電流是正比於輸出電流，因此它的靜態電流是會隨輸出電流增加而變更大。在低壓降線性穩壓器中，是使用MOS電晶體來當作輸出電晶體，MOS電晶體是用VGS來控制電流，而其閘極並無電流通過，因此其靜態電流可以保持固定，且無視於負載端的變化，這也是用MOS當輸出端優於雙載子電晶體的好處之一 [6]。

2.2.5 功率效率(Efficiency)

低壓降線性穩壓器的效率，定義為輸出功率和輸入功率的比值如式(2.6)：

$$\begin{aligned} \text{Efficiency} &= \frac{I_{out} \times V_{out}}{I_{in} \times V_{in}} \\ &= \frac{I_{out} \times V_{out}}{(I_q + I_{out}) \times V_{in}} \end{aligned} \quad (2.6) \text{式}$$

由上式(2.6)可以看出，靜態電流(I_q)和輸出、輸入電壓，也是影響效率的因素之一，在輕載時，為了改善功率效率，必須降低靜態電流。

當 I_q 很小，小到可以忽略時如式(2.7)，

$$\text{Efficiency} \cong \frac{I_{out} \times V_{out}}{I_{out} \times V_{in}} \quad (2.7) \text{式}$$

$$= \frac{V_{out}}{V_{out} + (V_{in} - V_{out})} \quad (2.8) \text{式}$$

由上式(2.7)可知，當 I_{out} 很大時，功率效率值大約等於一。

由上式(2.8)可知，當 I_q 很小，小到可以忽略的時候，明顯的效率是由輸入電壓和輸出電壓的差值決定，由此可知，為了增加功率效率，降低靜態電流及減少輸出電壓差(Dropout Voltage)。

2.2.6 輸出準確率(Output accuracy)

輸出電壓的準確度如式(2.9)和低壓降線性穩壓器的各個部份的電壓誤差關係密切，像是：線性調節率(ΔV_{LR})、負載調節率(ΔV_{LDR})、參考電壓偏移($\Delta V_{o,REF}$)、誤差放大器電壓偏移($\Delta V_{o,EA}$)、外部回授電阻的誤差($\Delta V_{o,res}$)、溫度係數(ΔV_{TC})...等，如圖(2-6)。

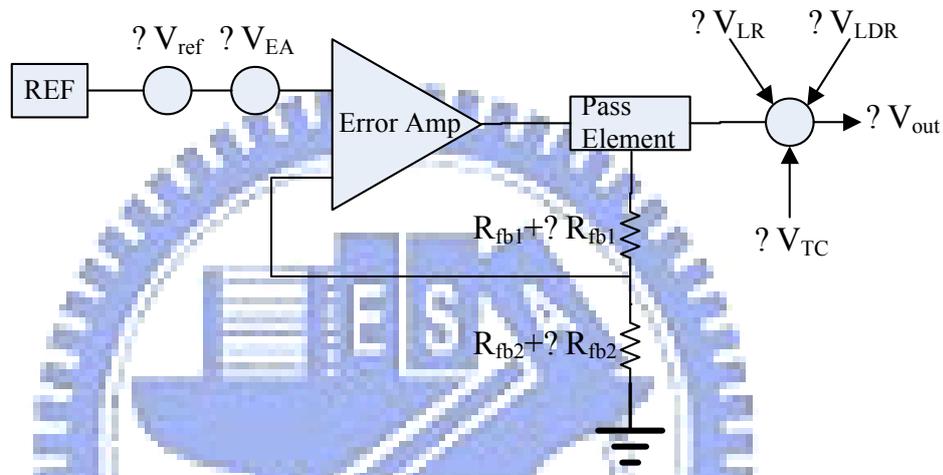


圖 2-6：輸出電壓誤差。

$$Accuracy \approx \frac{|\Delta V_{LR}| + \Delta V_{LDR} + \sqrt{\Delta V_{o,ref}^2 + \Delta V_{o,EA}^2 + \Delta V_{o,res}^2 + \Delta V_{TC}^2}}{V_o} \times 100\% \quad (2.9)式$$

輸出電壓誤差主要是由環境溫度改變所造成的參考電壓偏移、誤差放大器的特性改變(增益誤差、偏移電流)、電阻值誤差，這些誤差加上線性調節率和負載調節率通常會使得精確度改變1%~3%。另外，製程上的變異也同樣會造成上述各部份產生誤差。

接下來仔細討論各部份造成的誤差，就參考電壓源的部份，和輸出電壓的關係式：

$$V_{out} + \Delta V_{o,ref} = \left(1 + \frac{R_{fb1}}{R_{fb2}}\right) \times (V_{ref} + \Delta V_{ref})$$

$$\Delta V_{o,ref} = \left(1 + \frac{R_{fb1}}{R_{fb2}}\right) \times V_{ref} \quad (2.10) \text{式}$$

從上述式(2.10)可以得到，參考電壓的誤差會直接影響到輸出電壓，而且是直接正比於誤差百分比。

再來是關於誤差放大器的誤差部分，如圖(2-7)：

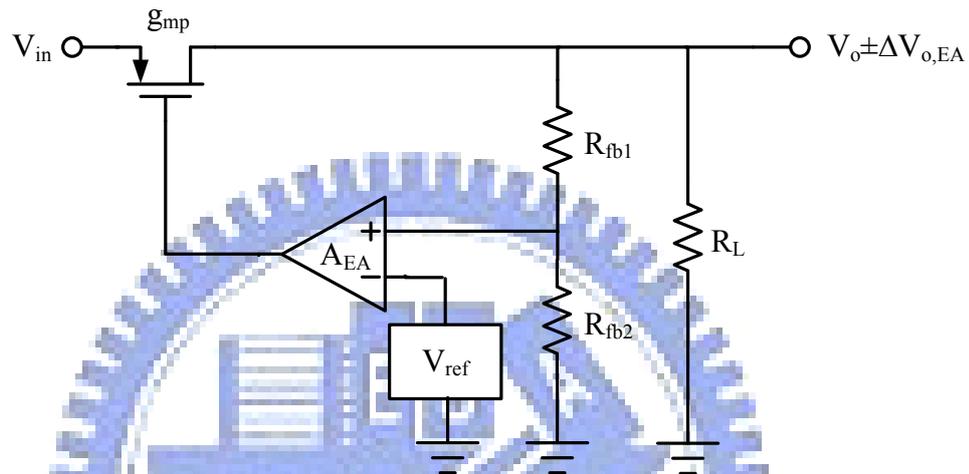


圖 2-7：誤差放大器電壓偏移[5]。

$$\Delta V_{fb} = \frac{R_{fb2}}{R_{fb1} + R_{fb2}} \Delta V_{o,EA}$$

$$\Delta V_{o,EA} = g_{mp} \Delta V_{EA} R_L + A_{EA} g_{mp} \Delta V_{fb} R_L$$

考慮 $A_{EA} g_{mp} \gg 1$ ，將上兩式合併的結果：

$$\Delta V_{o,EA} = \frac{\Delta V_{EA} (R_{fb1} + R_{fb2})}{g_{mp} R_{fb2}}$$

最後是電阻的誤差部分，如圖(2-8)：

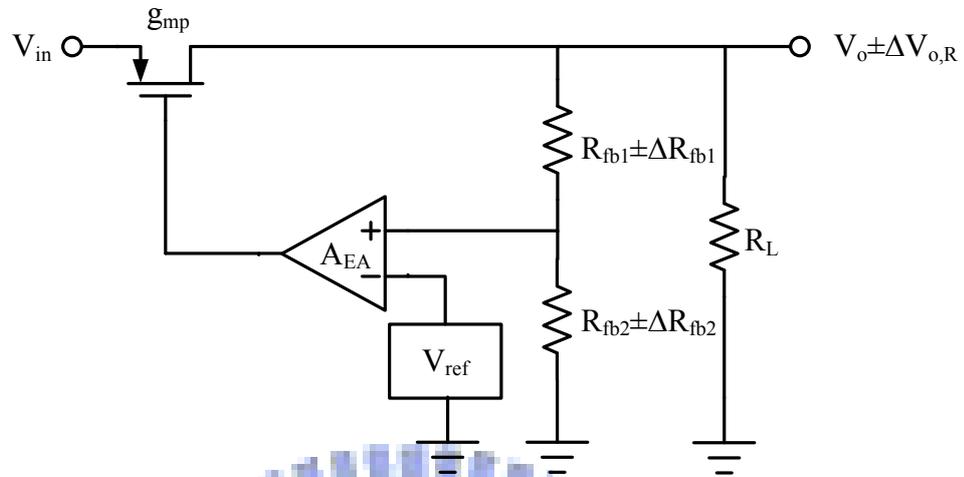


圖 2-8：電阻值誤差[5]。

$$V_o + \Delta V_{o,R} = \frac{R_{fb1} + \Delta R_{fb1} + R_{fb2} + \Delta R_{fb2}}{R_{fb2} + \Delta R_{fb2}} V_{ref}$$

$$\Rightarrow \Delta V_{o,R} = \frac{\Delta R_{fb1} + \Delta R_{fb2}}{R_{fb2} + \Delta R_{fb2}} V_{ref} \quad (2.11) \text{式}$$

關係式如(2.11)式，顯然的，電阻誤差影響輸出電壓相對於前面幾項來得比較小，且 R_{fb2} 的影響要比 R_{fb1} 還要大。

2.2.7 暫態響應(Transient response)

主要是當負載電流在瞬間改變時，如圖(2-9)，輸出電壓變化的情況以及電壓回穩的時間。影響到暫態響應的包括：穩壓器的頻寬、輸出電容(C_{out})、輸出電容的等效串聯電阻(R_{esr})、最大負載電流...等。

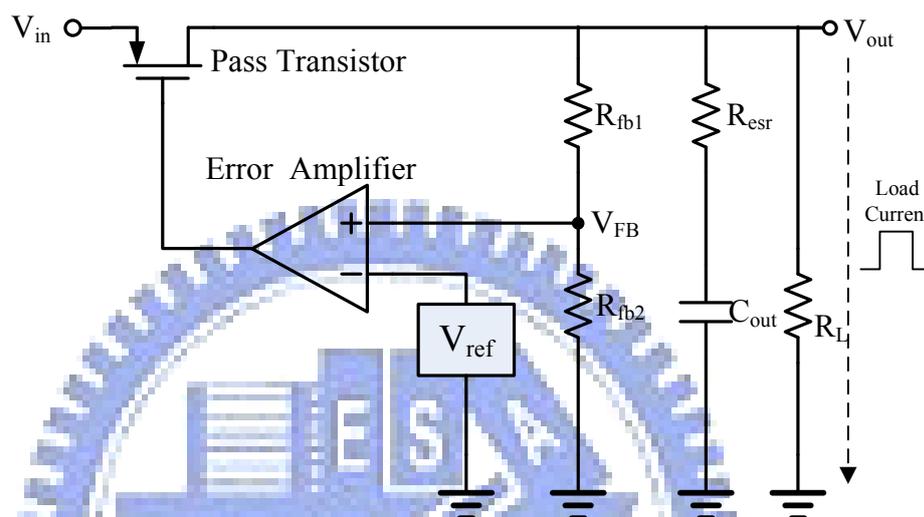


圖 2-9：步階負載。

接下來分成幾個部分來分析當負載改變時，輸出電壓的變化。首先以一個步階負載應用，觀察相對的輸出電壓反應，當負載端忽然從穩壓器抽取大量電流，此時由於穩壓器頻寬的關係，反應不及造成無法及時提供負載端足夠的電流，輸出電壓就如圖(2-10)中T1時間內的反應，產生一段不小的壓降(V_{drop})，這段時間內由輸出電容暫時提供負載所需的大量電流，由 C_{out} 流向 V_{out} 。

這段壓降我們可以經由計算得到如式(2.12)：

$$V_{drop} = \frac{I_{out}}{C_{out}} \times T1 + \Delta V_{esr} \quad (2.12) \text{式}$$

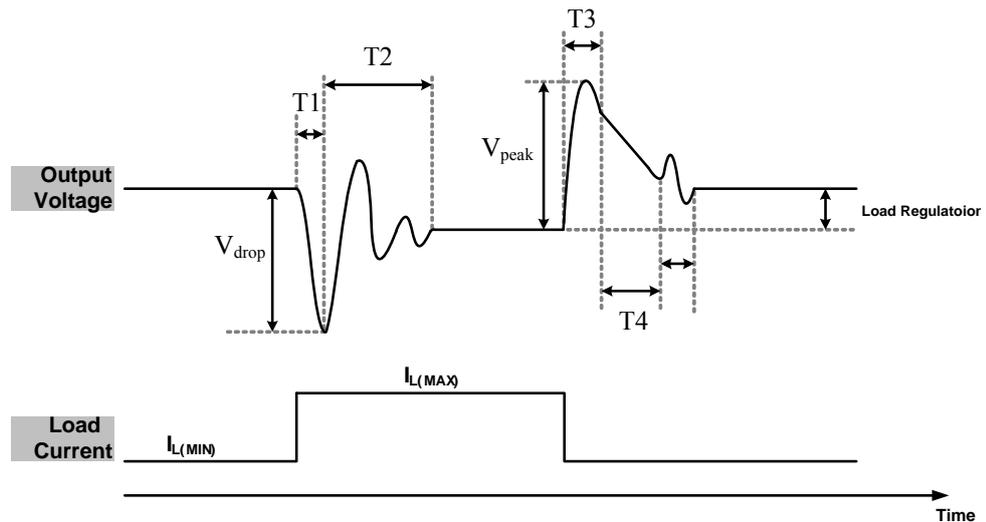


圖 2-10：輸出電壓對於負載之變化。

T1這段時間主要受限於低壓降線性穩壓器的頻寬和變化率(slew rate)，一個頻寬大反應快的低壓降線性穩壓器自然可縮短這段時間，此外夠大的輸出電容，足以用來提供時負載電流，才能保持輸出電壓，減少瞬間的壓降。接下來，當過了T1這段時間後，回授網路感測到電壓變化，並加以做穩定的工作，也就是T1時間內的反應，其中的穩定值和原來零負載時的輸出電壓有一段差距 ΔV_{out} ，就是之前提到的負載調節率。

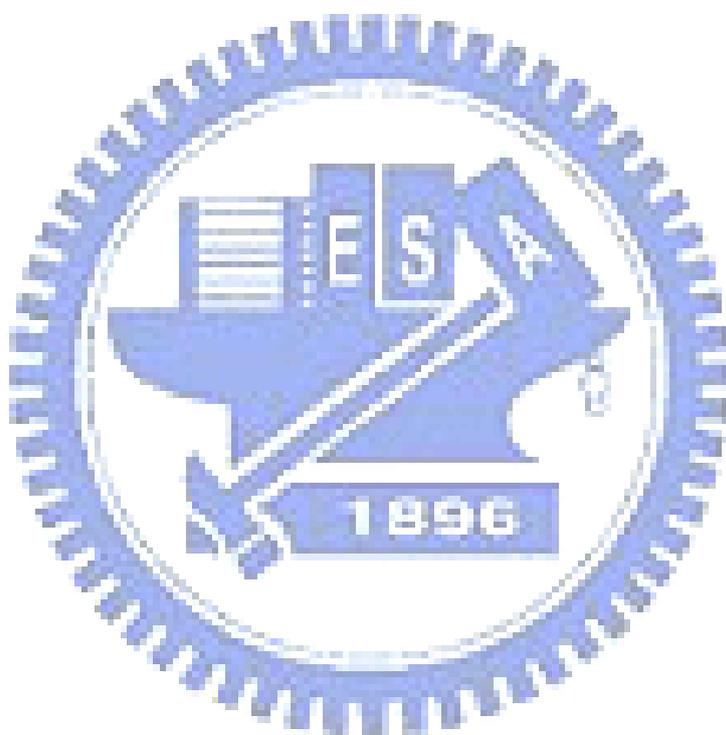
T2長短即輸出電晶體對輸出電容充電所需時間，和整個電路必迴路的相位邊限也有關係。

相對於上面的情況，現在考慮將加在輸出端的負載抽離，輸出電壓的反應剛好和之前相反，T3時間內產生一段不小的電壓脈衝，其值可以經由計算得到如式(2.13)：

$$V_{peak} = \frac{I_{out}}{C_{out}} \times T3 + \Delta V_{esr} \quad (2.13) \text{式}$$

同樣地，脈衝過後電壓回穩，不過此時輸出端電流為0，故必須透過回授電阻放電，放電電流固定由圖中T4斜率可知。

總之，想要有良好的暫態響應，必須提升低壓降線性穩壓器的頻寬，並增加其變化率(slew rate)，或降低等效串聯電阻值，諸如：瞬時壓降、穩定時間、順時脈衝… 等暫態現象，都可以獲得改善。



2.2.8 頻率響應(Frequency response)

為了分析低壓降線性穩壓器的頻率響應，將其迴路打斷後顯示如下圖(2-11)：

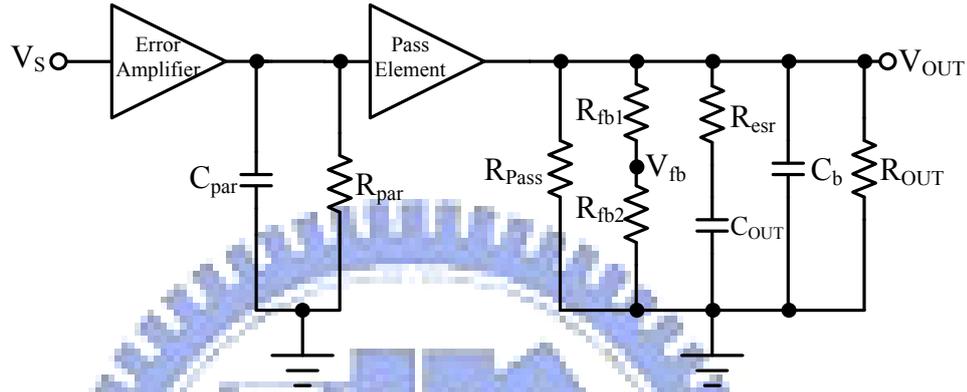


圖 2-11：交流分析等效模型[7]。

其中 R_{Pass} 是輸出電晶體的輸出阻抗， C_b 則是估計下一級電路的輸入電容，通常 C_b 遠小於 C_{out} ，進一步計算其轉換函數：

$$T(s) = \frac{V_{fb}}{V_s} = G_{m,Amp} G_{m,Pass} \left(R_{par} \parallel \frac{1}{sC_{par}} \right) Z_{OUT} \frac{R_{fb2}}{R_{fb1} + R_{fb2}}$$

$$\text{其中輸出阻抗：} Z_{OUT} = R_{Pass} \parallel (R_1 + R_2) \parallel R_{OUT} \parallel \left(R_{esr} + \frac{1}{sC_{OUT}} \right) \parallel \frac{1}{sC_b}$$

由上式，可以得知整個迴路中存在 3 個極點以及一個零點，這對於低壓降線性穩壓器的穩定度來說，是非常重要的訊息。

首先，第一個極點，也就是主極點，是由輸出電容以及低壓降線性穩壓器的輸出阻抗所形成：

$$f_{P1} = \frac{1}{2\pi(R_{OUT} \parallel R_{Pass} + R_{esr})C_{OUT}}$$

因為等效串聯電阻通常遠小於輸出阻抗，故可做此近似。第二個極點，是由誤差放大器到輸出電晶體之間的寄生電容和電阻所形成：

$$f_{P2} = \frac{1}{2\pi R_{par} C_{par}}$$

第三個極點，是由輸出電容的等效串聯電阻以及 C_b 所形成：

$$f_{P3} = \frac{1}{2\pi R_{esr} C_b}$$

而唯一的零點，是由輸出電容以及其等效串聯電阻所形成：

$$f_z = \frac{1}{2\pi R_{esr} C_{OUT}}$$

至於，極點和零點的位置，就看實際上的電路如何設計了，和誤差放大器及輸出電容大小，都有關係。不過就常理來說，主極點是確定小於其他極點，因此 $f_{P1} < f_{P2} < f_{P3}$ 這個關係是確定的。因此，為了讓整個電路達到良好的穩定度，接下來的極點和零點位置的分布，就顯的很重要。一般作法是用零點來消除其中一個極點的影響，將零點位置控制在單增益頻率(f_T)附近，可有效提昇電路的相位邊限，進而使穩定度更高。

因為系統穩定度的考量，低壓降線性穩壓器的各項效能如：線性調節率、負載調節率、穩態精確度及負載暫態響應都受到了限制。線性調節率、負載調節率與精確度的限制，是因為開迴路直流增益由於穩定度的限制而無法提高造成。一般而言，若有要最佳的線性調節率和負載調節率與精確度，需提昇開迴路直流增益，但無限制地提高開迴路直流增益，則會造成相位邊限不足。

由上面所述，一個沒有補償的低壓降線性穩壓器，會因為兩個極點的效果，使得相位在單增益頻率時變為 -180° ，整個電路也會因此而震盪，故由等效串聯電阻所形成的零點，對於一個低壓降線性穩壓器而言十分重要，以下對於這個等效串聯電阻加以討論：

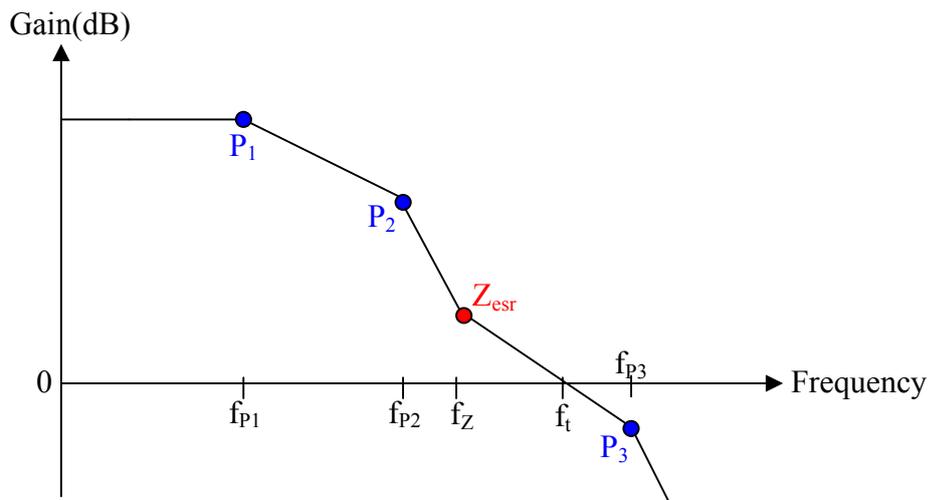


圖 2-12：低壓降線性穩壓器的頻率響應。

等效串聯電阻的值關係到的就是零點的位置，太大或者太小對於電路的穩定度都有影響[8]，先看等效串聯電阻太大的情形，如圖(2-13)所示，造成零點位置過小，使得原本在單增益頻率之下的第三個極點也跑到前面，又拉低了相位邊限，導致電路不穩定。

再看等效串聯電阻太小的情形，如圖(2-14)導致零點位置低於單增益頻率，致使相位邊限並沒有獲得提升，原本要對電路作補償的效果就消失了。

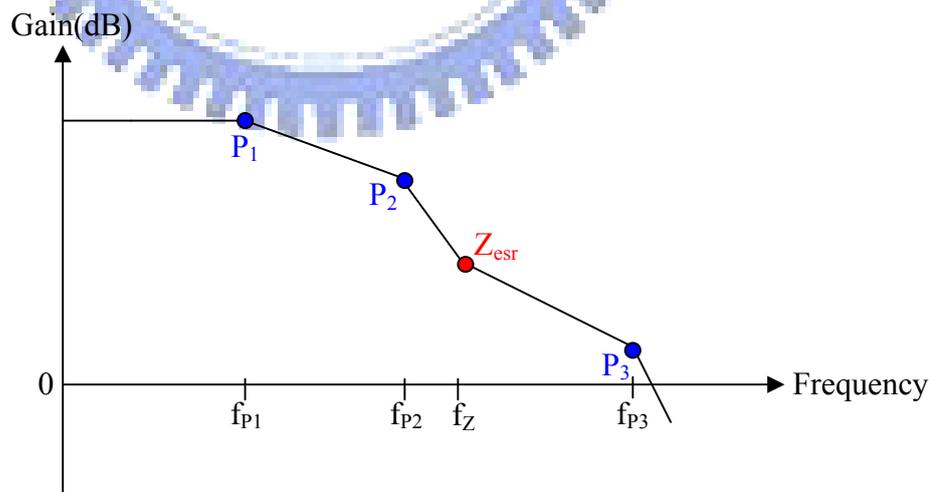


圖 2-13：等效串聯電阻過大之情形。

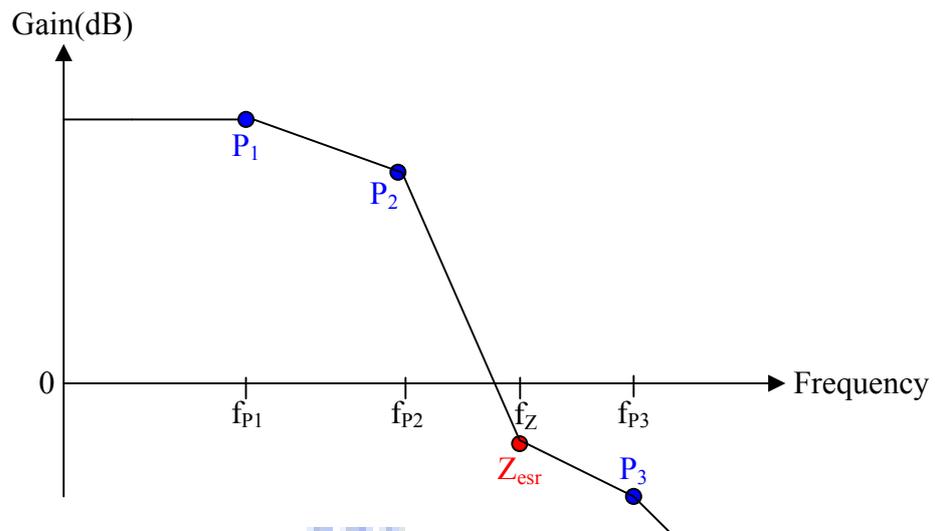


圖 2-14：等效串聯電阻過小之情形。

總而言之，等效串聯電阻的值有一個適合的範圍，在這範圍內都可以使低壓降線性穩壓器更加穩定。因此輸出電容的選取，也顯得重要許多，一般認為鉭質電容是最佳選擇， 4.7μ 的電容值在 25°C 時其等效串聯電阻值約 1.3Ω 。其它如大於 $1\mu\text{F}$ 的陶瓷電容，由於其等效串聯電阻值非常小，約 $20\text{m}\Omega$ 左右，易使得電路震盪，所以如果要選用這類電容，常常需要再外掛小電阻和其串聯，增加其等效串聯電阻值[9]。

第三章 回授穩定度及頻率補償

低壓降線性穩壓器為一負回授系統，因此有穩定度的問題。若系統的開迴路轉移函數沒有足夠的相位邊限，輸出便會發生振盪。要確保系統穩定，必須維持足夠的相位邊界。但是，低壓降線性穩壓器之開迴路直流增益與主極點的頻率，均會隨著負載不同而變動，進而造成單增益頻率、相位邊限的改變。因此，要在各種負載下均能保持系統的穩定，其輸出電容與等效串聯電阻均需嚴格地限制。通常低壓降線性穩壓器的使用說明上，均會列出建議使用的輸出電容值及其等效串聯電阻的範圍。而且之前提過，穩定度關係到低壓降線性穩壓器的各項效能，若要有最佳的電源和負載調節率與輸出精確度，需提昇開迴路直流增益，但是容易造成相位邊限不足。負載響應則是受限於輸出電容之等效串聯電阻以及單增益頻率的限制。當負載瞬間發生 ΔI 的變動時，因為系統無法即時反應，此 ΔI 的電流均由輸出電容提供，而輸出電容之等效串聯電阻與負載變化，會造成輸出電壓有瞬間壓降。輸出電壓的穩定時間則與單位增益頻率成反比，單位增益頻率越高，表示頻寬越大，反應的時間越短，也就能越快達到穩定。因此輸出電容之等效串聯電阻越小、單位增益頻率越高，負載響應便越優異。但是因為穩定度的考量，輸出電容之等效串聯電阻無法為零，單位增益頻率也無法提昇至十分高頻。

由以上的討論可知，低壓降線性穩壓器主要缺點是輸出電容與其等效串聯電阻受到限制。由於等效串聯電阻會隨著溫度、頻率等因素而變動，又要配合適當的電容值，令低壓降線性穩壓器在使用上不甚方便，且等效串聯電阻的存在亦會影響負載響應的效能。此外由於開迴路直流增益不能太高，無法有效地提昇電源和負載調節率與輸出穩態精確度之效能。所以目前在低壓降線性穩壓器的設計上，無非是希望降低或去除輸出電容與其等效串聯電阻的限制，或是有效提昇開迴路直流增益。

3.1 等效串聯電阻

前一章有討論過，利用等效串聯電阻來產生一個零點，對提升相位邊限有幫助，這一節就說明一下等效串聯電阻如何產生零點，如圖(3-1)

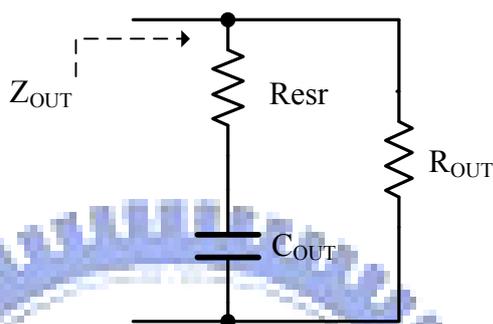


圖 3-1：輸出阻抗示意圖。

$$Z_{OUT} = \frac{\left(R_{esr} + \frac{1}{sC_{OUT}} \right) R_{OUT}}{R_{esr} + \frac{1}{sC_{OUT}} + R_{OUT}} = \frac{R_{OUT}(1 + C_{OUT}R_{esr})}{1 + sC_{OUT}(R_{esr} + R_{OUT})} = \frac{1 + Z}{1 + P} \quad \text{式(3.1)}$$

從上面的式(3.1)，可以看出透過等效串電阻，產生了一個零點和一個極點，其頻率為：

$$f_z = \frac{1}{2\pi(R_{esr} \times C_{OUT})}$$

$$f_p = \frac{1}{2\pi(R_{esr} \times C_{OUT})C_{OUT}}$$

此極點即為低壓降線性穩壓器的主極點，藉由等效串聯電阻多產生了一個零點，且零點位置可以由等效串聯電阻值的大小來控制，要挑選到適合的輸出電容，才能配合適當的等效串聯電阻值，達到使電路穩定的效果[10]。

3.2 極零點補償

極零點補償這種方式是目前最常用的補償方法[11]，其作法是利用補償電容的前饋效果(feed forward)，來產生零點並用來提升相位邊限。首先來敘述一下電容的前饋如何產生零點，如圖(3-2)所示。

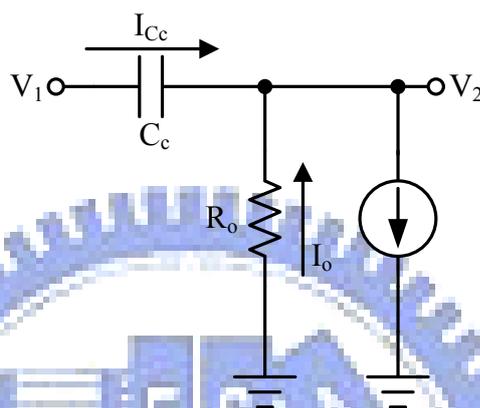


圖 3-2：利用電容前饋產生零點。

考慮一個跨在兩級放大器之間的補償電容，原本 V_2 的輸出電壓是由輸出電流 I_o 流過輸出電阻來提供，若是此時電容前饋效果使得通過補償電容的前饋電流 I_{cc} ，剛好等於原本的 I_o ，即此時 I_o 為零， V_2 也變成零，也就是產生了一個零點。換句話說，此種零點產生的方式就是在原本的輸出電流路徑上，因為加了補償電容，造成另一條路徑可以產生輸出電流，取代了原本的路徑，讓輸出電壓變成零。但此種方法所產生的零點，有可能在右半平面，不但對相位沒有幫助，反而是使得相位下降更快，因此就有些方法來防止產生右半平面的零點，在此不另加贅述。

有了上面的觀念，要產生一個零點就很容易了，但是要確保此零點是位於左半平面，作法如圖(3-3)：

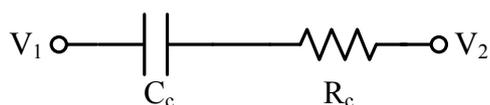


圖 3-3：產生左半平面的零點。

其產生零點的位置為：

$$f_z \approx \frac{1}{2\pi(R_c \times C_c)}$$

如此一來，調整R_c的值，就可以控制零點的位置來達到提升相位的效果。實際應用到低壓降電性穩壓器上，就如下圖(3-4)。

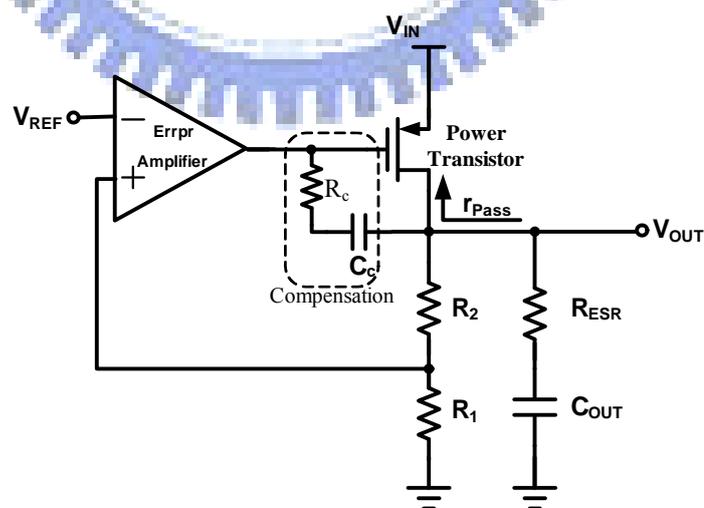


圖 3-4：極零點補償低壓降線性穩壓器。

3.3 追蹤零點補償

根據前一節所述，極零點補償對於低壓降線性穩壓器來說，確實是個不錯的方法，不過若要使得穩壓壓操作負載範圍更廣，可以更進一步改善零點產生的方式。仔細觀察的零點位置，可以發現它的位置是固定的，並不會因為負載改變而變動，而低壓降線性穩壓器有個很重要的特性，就是它的主極點位置會隨著負載改變[12]。當負載電流小的時後，因為等效輸出阻抗變大，所以由輸出電容和輸出阻抗形成的主極點位置就會往前，造成頻寬縮減，容易使電路發生震盪。因此一般低壓降線性穩壓器設計時都會限制其操作負載範圍，以免產生電路不穩的現象。圖(3-5)顯示了當負載電流改變時主極點及頻寬的變化。

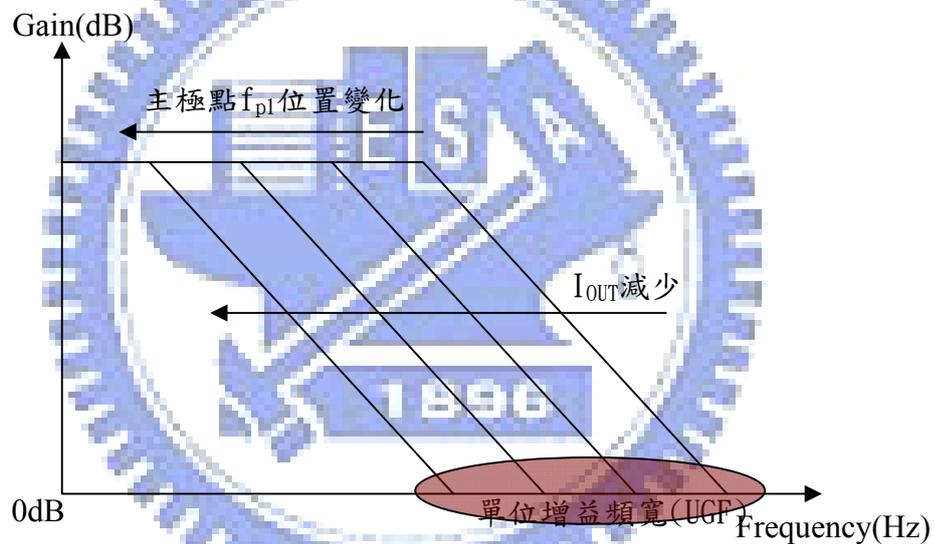


圖 3-5：主極點及頻寬隨負載電流之變化[12]。

為了讓負載電流的改變盡量不要影響到頻寬，就需要一個可以移動的零點，讓它也可以隨著負載電流變化，並且和主極點同步，如此即可讓頻寬不受影響。要產生可以移動的零點，可以利用之前的極零點補償的方法，將其中的電阻改成操作在線性區(linear region)的MOS電晶體，當作一個可變電阻使用，如下圖(3-6)所示。



圖 3-6：用 NMOS 取代補償電路中的電阻。

經由計算，可以算出利用電晶體來當作電阻的值及其範圍，該電晶體操作在線性區，將線性區的電流對兩端電壓微分的倒數就是其對應的電阻，表示如下：

$$\begin{aligned}
 I_{DS} &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{DD} - V_2 - V_{th})V_{DS} - V_{DS}^2] \\
 \Rightarrow R_C &= \left(\frac{\partial I_{DS}}{\partial V_{DS}} \right)^{-1} \Bigg|_{V_{DS}=0} \\
 &= \left[\frac{1}{2} \mu_n C_{ox} \frac{W}{L} 2(V_{DD} - V_2 - V_{th}) \right]^{-1} \tag{3.2} 式
 \end{aligned}$$

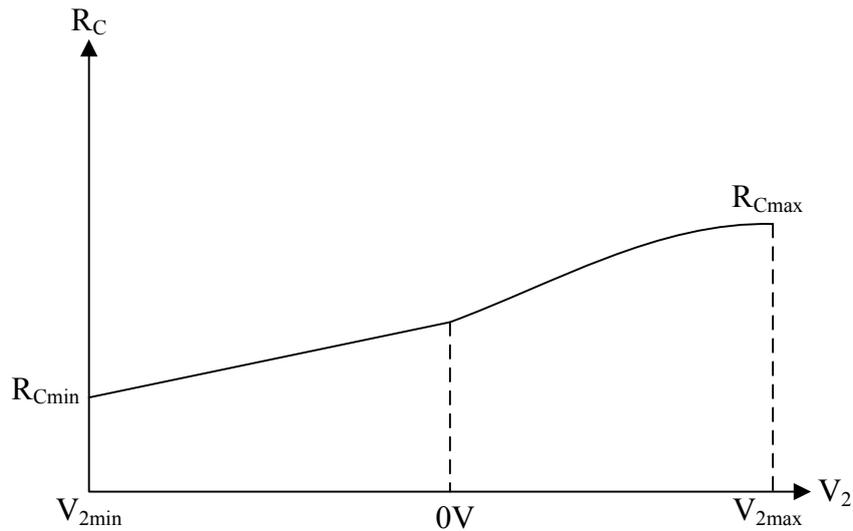


圖 3-7：改變 V_{DS} 時電阻值的變化。

從上面的式(3.2)可以得知，電阻的值可以用電晶體的或是寬長比來控制，改變 V_{gs} (也就是 $V_{DD}-V_2$) 來觀察電阻值的變化，如圖3-7，電阻值並不是呈規則的線性變化，不過大致上還是隨增加而減少。

有了可移動的零點之後，接下來就要針對主極點的變化，來放置零點的位置，主極點頻率約為 $\frac{1}{2\pi R_{OUT} C_{OUT}}$ ，而零點頻率約為 $\frac{1}{2\pi R_C C_C}$ ，其中 C 和 C 比值是固定的，所以在設計上只要讓 $R_{OUT} C_{OUT} \approx R_C C_C$ 。

如此一來產生的零點，便會跟隨主極點移動，使得頻寬在主極點往前移時不會迅速縮減，此即追蹤零點(Tracking Zero)補償的方法。

實際應用到低壓降線性穩壓器上，如下圖(3-8)。

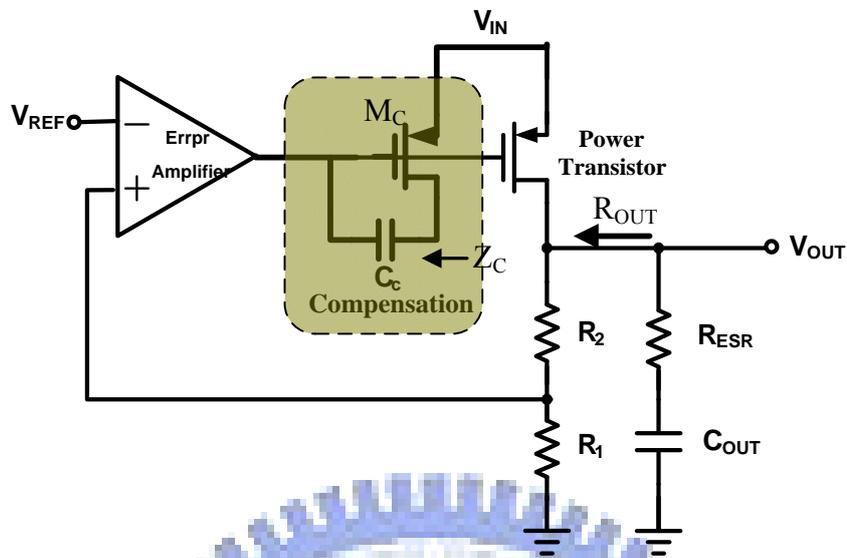


圖 3-8：追蹤零點補償低壓降線性穩壓器。

利用輸出電晶體的閘極同時控制當作電阻補償用電晶體的 M_C 閘極，當負載有變化時， M_C 的閘極同時跟著做變化，只要設計時調整 M_C 和輸出電晶體的大小比例，再藉由同樣的 V_{gs} 控制可變電阻的值，就可以讓零點的位置追蹤主極點，達到補償頻寬及相位邊限的效果。

3.4 米勒頻率補償

本設計之線性穩壓器採用簡單米勒頻率補償(Simple Miller Compensation, SMC)技術[13]，使得在頻率為 2MHZ 的時候，仍然能得到頗大的閉迴路增益。從放大器的觀點來看，所設計的線性穩壓器在無迴授的情況實際上是一個兩級放大器(Two-Stage Amplifier)，誤差放大器為第一級，而傳輸元件為第二級，其示意圖如圖(3-9)所示。

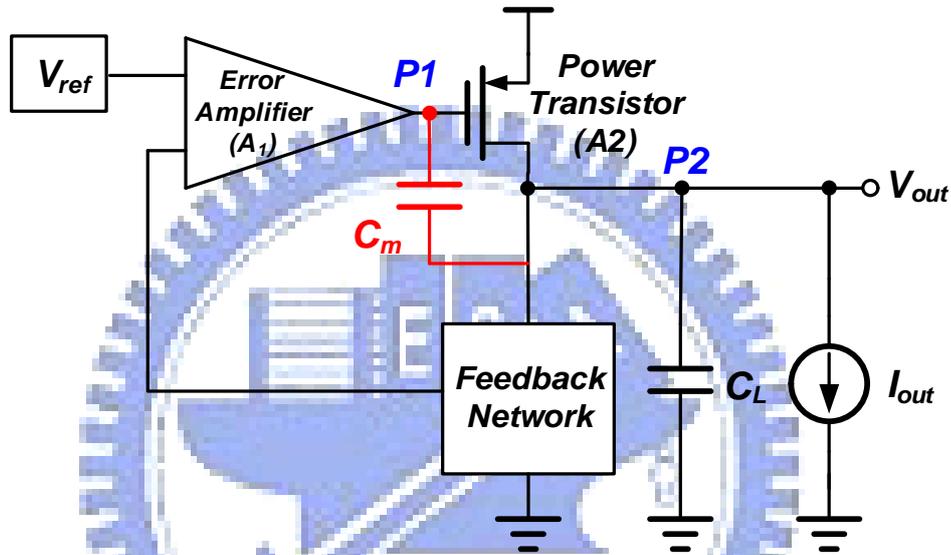


圖 3-9： SMC 兩級放大器示意圖。

由圖(3-9)可以推導出經過簡單米勒頻率補償後的兩級放大器轉換函數如下：

$$\frac{V_{out}}{V_{in}} \cong \frac{G_{m1}G_{m2}R_{o1}R_{o2}\left(1 - s\frac{C_m}{G_{m2}}\right)}{\left(1 + sC_mG_{m2}R_{o1}R_{o2}\right)\left(1 + s\frac{C_L}{G_{m2}}\right)} \quad (3.3) \text{式}$$

由(3.3)式得知，此兩級放大器含有兩個左半平面(Left Half Plane, LHP)極點和一個右半平面(Right Half Plane, RHP)零點，分別是主極點

$P_{-3db} = \frac{1}{C_mG_{m2}R_{o1}R_{o2}}$ ，次主極點 $P_2 = \frac{G_{m2}}{C_L}$ 和零點 $Z_1 = \frac{C_m}{G_{m2}}$ ，其頻率響應如圖(3-10)所示。

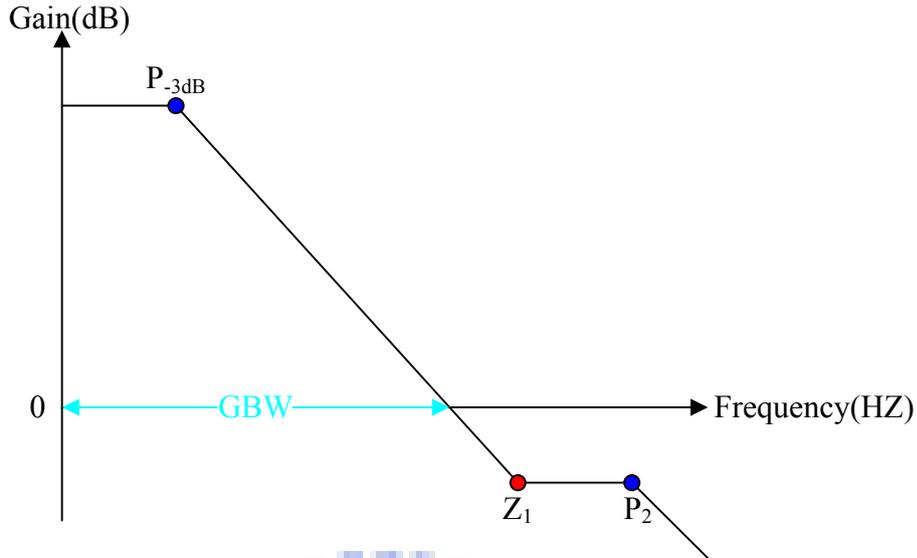


圖 3-10： SMC 兩級放大器的頻率響應。

從複變函數的定理可知，右半平面零點會令換函數在該零點頻率上的相位(Phase)急遽下降，使電路因相位邊際(Phase Margin, PM)不足而發散，故必須變免零點 Z_1 頻率落在放大器的截止頻率(Cutoff Frequency)前面。

截止頻率的值等於電子學中所定義的增益頻寬積(Gain Bandwidth Product)，從式(3.3)可得到增益頻寬積 $GBW = \frac{G_{m1}}{C_m}$ 。為了確保 SMC 放大器的穩定性， P_2 和 Z_1 必須遠落在截止頻率之後，一般增益頻寬設計成等於兩分之一的次主級頻率及***以得到很好的相位邊際，由此可得：

$$C_m = 2 \frac{G_{m1}}{C_m} C_L \quad (3.4) \text{式}$$

式(3.4)的前提是 P_2 的頻率比 Z_1 的頻率低，若 $\frac{G_{m1}}{G_{m2}}$ 很大的話，會使 C_m 遠大於 C_L ，結果 P_2 的頻率比 Z_1 的頻率來的高且會發散，故 Z_1 的頻率也要落在 P_2 之後。

由(3.3)式和(3.4)式得：

$$GBW = \frac{G_{m1}}{C_m} = \frac{G_{m2}}{2C_L} \quad (3.5) \text{式}$$

改變 G_{m1} 和 C_m 並不會改變 GBW，因為由式(3.5)可知它們永遠成比例，故想提高 GBW 就必須把 G_{m2} 增大或把縮小，由於 C_L 可能會在不同的情況下發生

改變，故在本論文後續就是提高放大器的串聯級數來增加頻寬。

下圖(3-11)為四級放大器組成之線性穩壓器採用米勒頻率補償稱為 Multi-Stage LDO[14][15]。

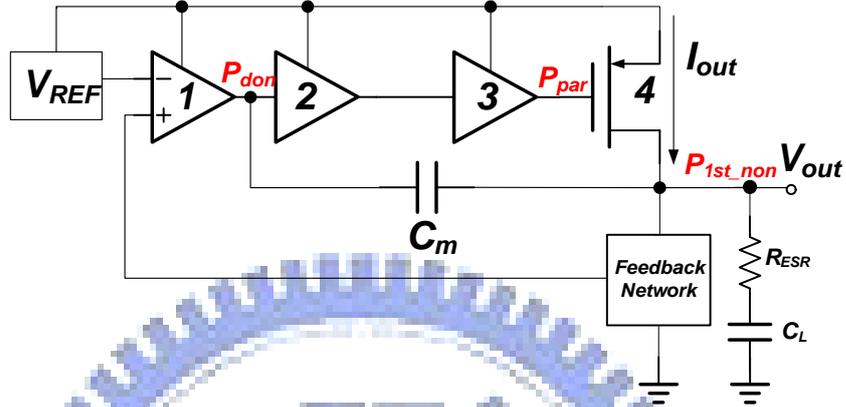


圖 3-11： Multi-Stage LDO。

由圖(3-12)可以推導出轉換函數如下：

$$\frac{V_{out}}{V_{in}} = \frac{G_{m1}G_{m2}G_{m3}G_{m4}R_{o1}R_{o2}R_{o3}R_{o4} \left[s^2 \left(\frac{C_m C_{gd}}{G_{m2}G_{m3}G_{m4}R_{o2}} \right) - s \left(\frac{C_m}{G_{m2}G_{m3}G_{m4}R_{o2}R_{o3}} + \frac{C_{gd}}{G_{m4}} \right) - 1 \right]}{(1 + sG_{m1}G_{m2}G_{m3}G_{m4}R_{o1}R_{o2}R_{o3}R_{o4}) \left(s^2 \frac{C_{gd}C_L}{G_{m2}G_{m3}G_{m4}R_{o2}} - s \frac{C_L}{G_{m2}G_{m3}G_{m4}R_{o2}R_{o3}} - 1 \right)}$$

其中，

$$dc \text{ gain} = G_{m1}G_{m2}G_{m3}G_{m4}R_{o1}R_{o2}R_{o3}R_{o4}$$

$$P_{don} = \frac{1}{G_{m1}G_{m2}G_{m3}G_{m4}R_{o1}R_{o2}R_{o3}R_{o4}}$$

$$P_{1st_non} = \frac{G_{m2}G_{m3}G_{m4}R_{o2}R_{o3}}{C_L}$$

$$P_{Par} = \frac{1}{R_{o3}C_{gate}}$$

由上式可知當 I_{out} 增大時，因 A_1 、 A_2 、 A_3 、 A_4 變小，使得 P_{1st_non} 會往高頻移

動使系統穩定，但 C_{gate} 增大， P_{Par} 會移到較低頻，當電流持續增加， P_{1st_non} 和

P_{par} 將越接近，如圖(3-12)

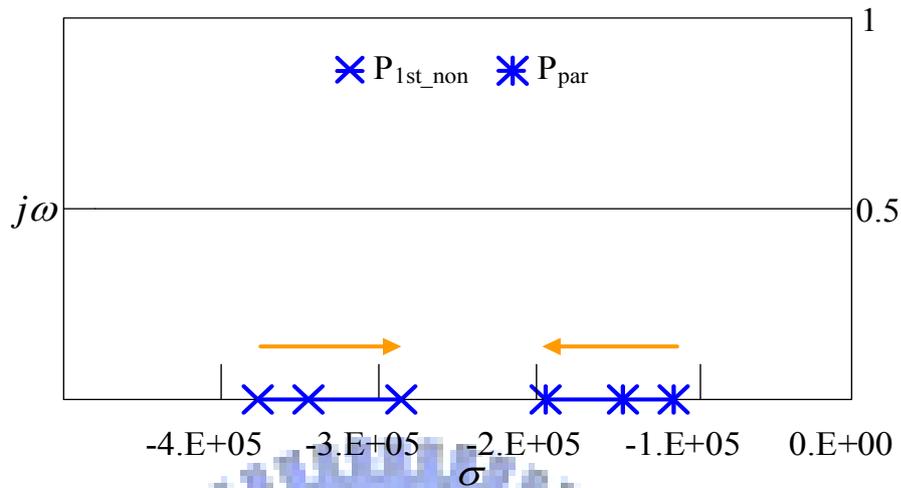


圖 3-12：電流持續增加， P_{1st_non} 和 P_{Par} 的根軌跡。

由轉移函數可知其二次網路特性方程式之標準型式：

$$s^2 + \frac{w_0}{Q}s + w_0^2$$

其中

$$w_0 = \sqrt{\frac{G_{m2}G_{m3}G_{m4}R_{o2}}{C_{gd}C_L}}$$

$$Q = \sqrt{\frac{C_{gd}C_L}{G_{m2}G_{m3}G_{m4}R_{o2}} \frac{G_{m2}G_{m3}G_{m4}R_{o2}R_{o3}}{C_L}}$$

$$T(s) = \frac{a_0}{as^2 + bs + c}$$

$b^2 > 4ac$: two separate pole

$b^2 < 4ac$: complex pole

當 I_{out} 增大時， Q 值上升使得 P_{1st_non} 和 P_{Par} 越接近而行成 complex poles，

如圖(3-13)：

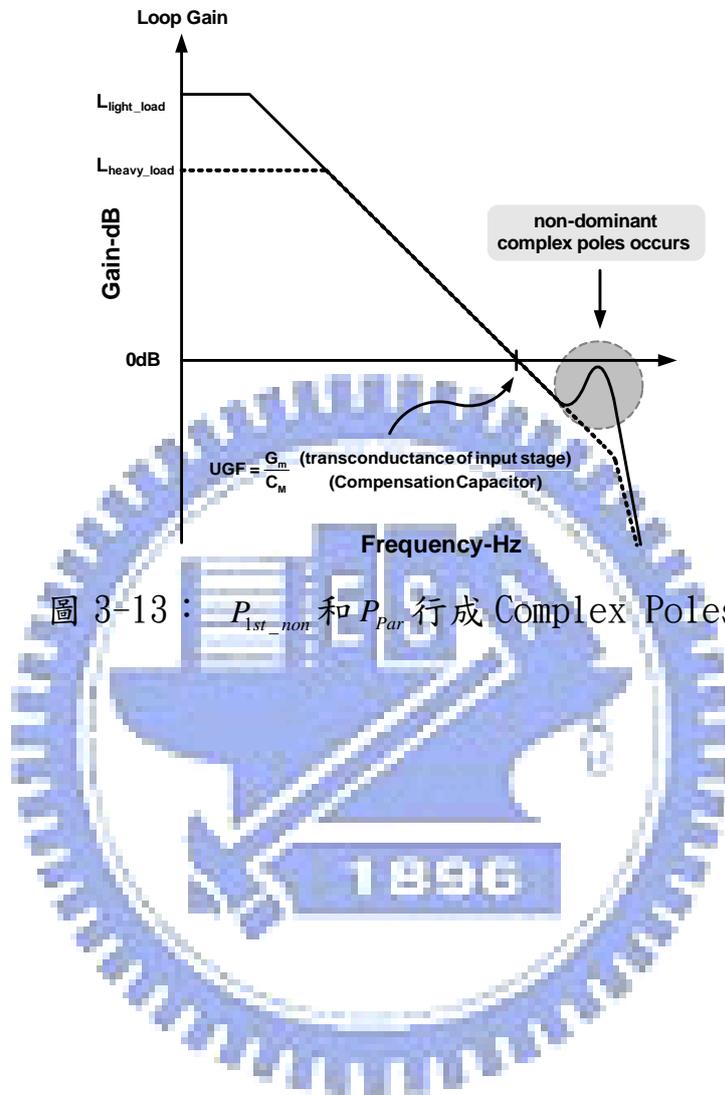


圖 3-13： P_{1st_non} 和 P_{Par} 行成 Complex Poles。

第四章 低壓線性穩壓器設計與模擬

圖(4-1)為 LDO 的主要電路，在 Error Amplifier 方面，它大致上由 4 個級數所構成，包含第 1 級的差動放大器，第二級負載是電晶體二極體 (MOS-diode) 的共源級放大器 (CS amplifier)；第三級共源級疊接共閘極放大器 (CS-CG cascode amplifier)，負載是 $R1$ 、 $R2$ 且 $R1 > R2$ 與 $MP3$ ；Power MOS 的最後一級，會是一個大尺寸的 PMOS 電晶體。

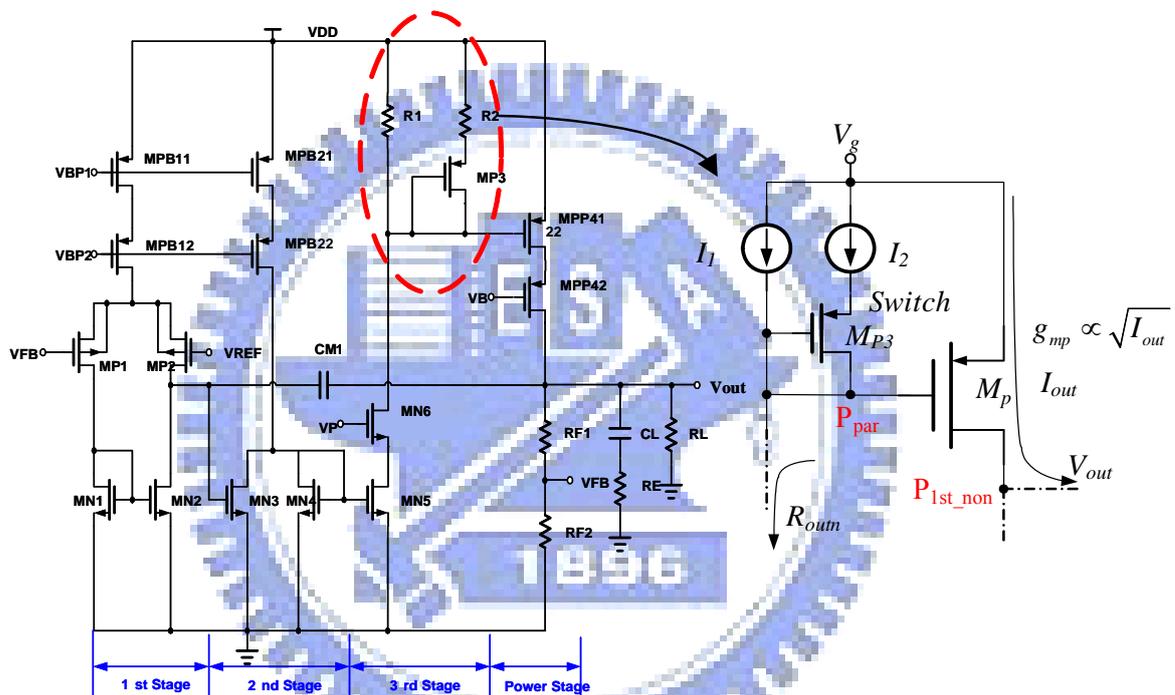


圖 4-1： Pole Tracking 的四級放大器 LDO 主要電路。

4.1 Pole Tracking(電阻 $R2$ 、電晶體 $MP3$)

由 3.4 得知主極點會隨著輸出電流增大往高頻跑，假如第一個非主極點與第二個非主極點均不動的話，此時就會有穩定度的問題。所以可以在電流大的時候，降低迴路增益，同時將第二個非主極點拉到更高頻，如圖(4-1)也就是讓電晶體 $MP3$ 導通，減少第三級負載阻值[16]。

4.2 模擬結果(TT, SS, FF, FS, SF)

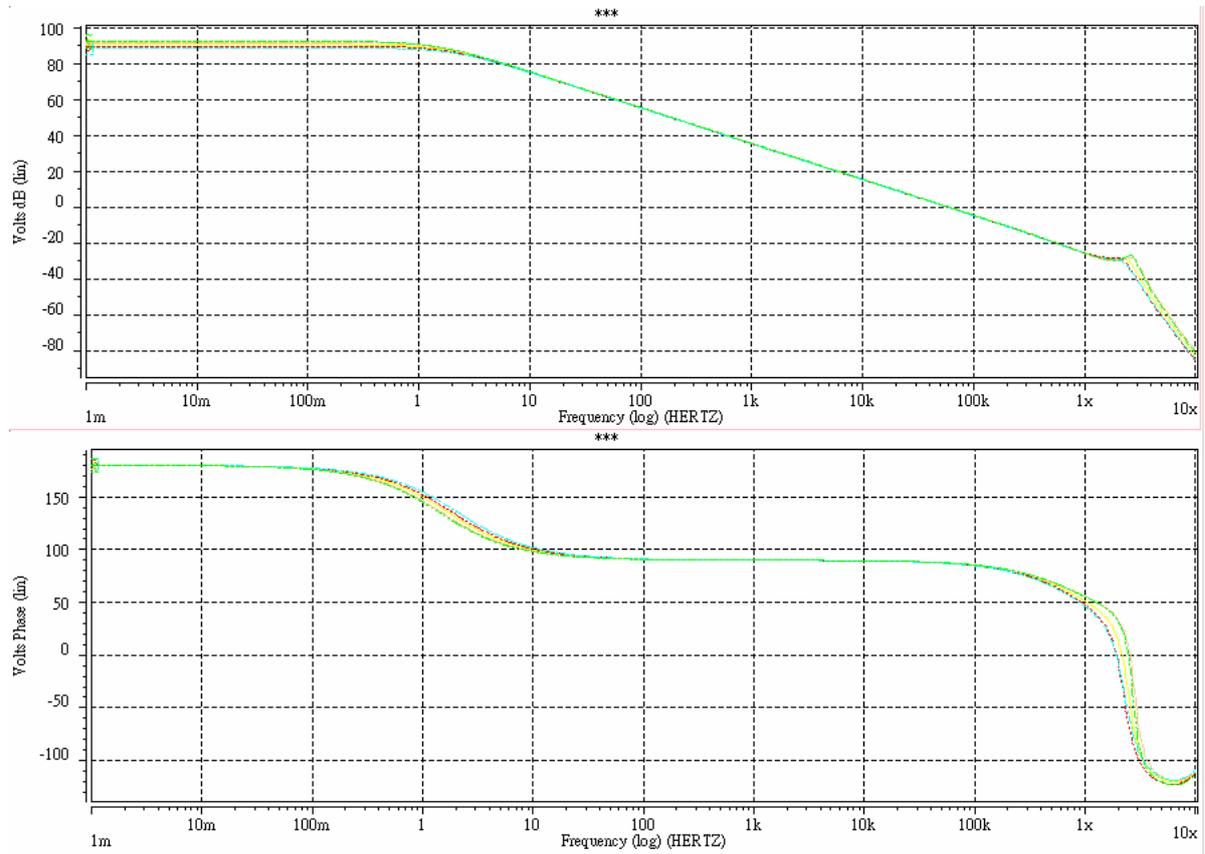


圖 4-2：頻率響應(For VDD=5V, $I_{load}=200mA$, 5 corner)。

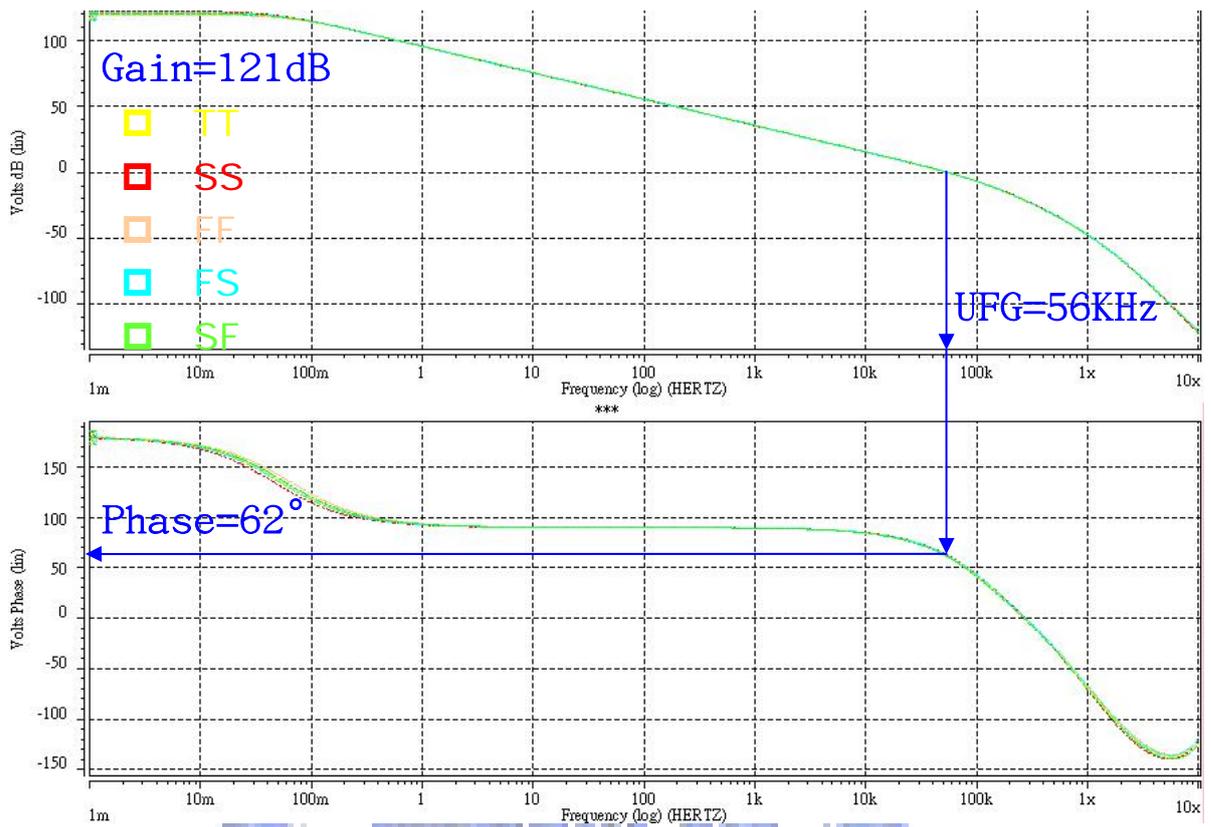


圖 4-3：頻率響應(For VDD=5V, $I_{load}=1mA$, 5 corner)。



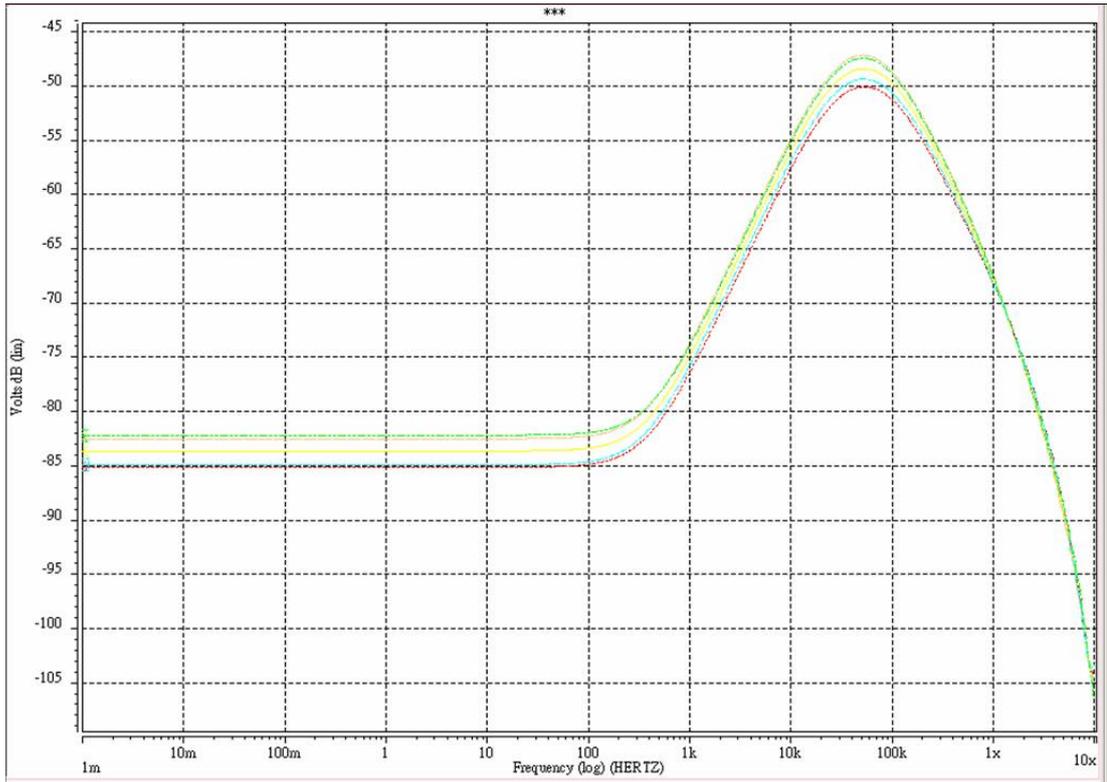


圖 4-4：Power supply rejection ratio(For VDD=5V , $I_{load} = 200\text{mA}$, 5corner)。

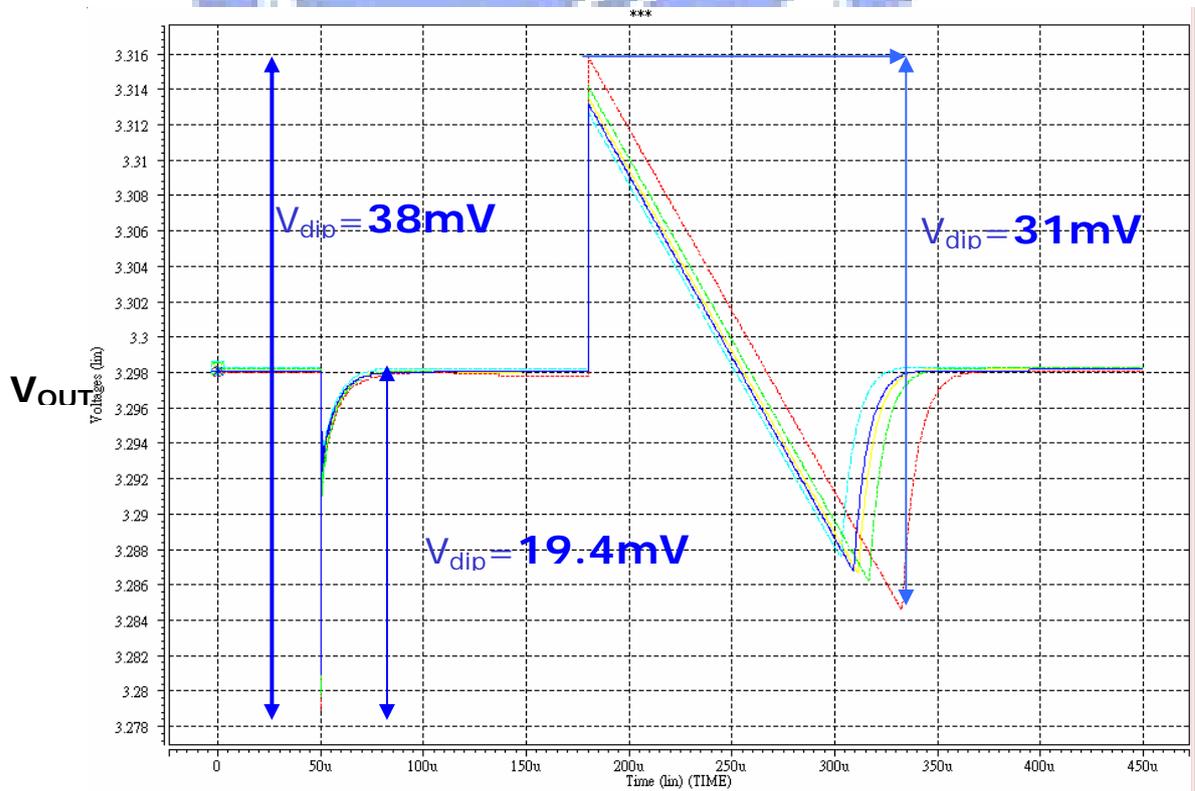


圖 4-5：暫態響應(VDD=5V, $I_{load} = 0.1\text{mA} \sim 200\text{mA}$, 5 corner)。

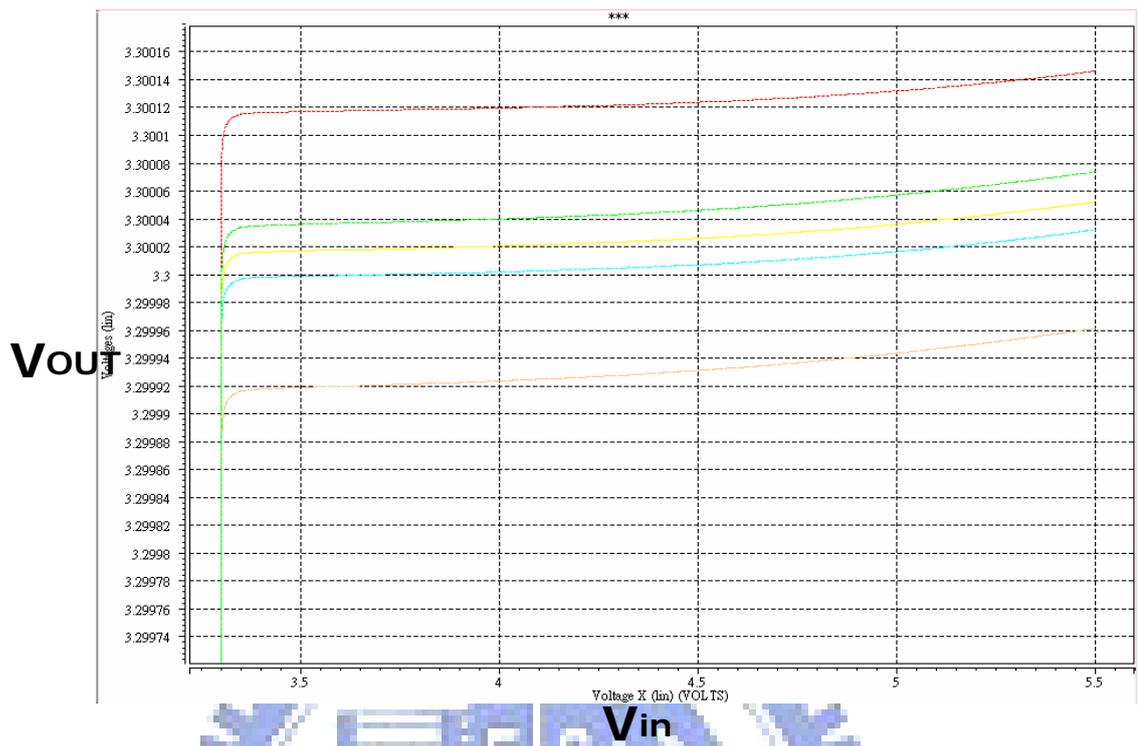


圖 4-6： Line regulation(For VDD=0V→5.5V, $I_{load} = 0.1\text{mA}$, 5corner)。



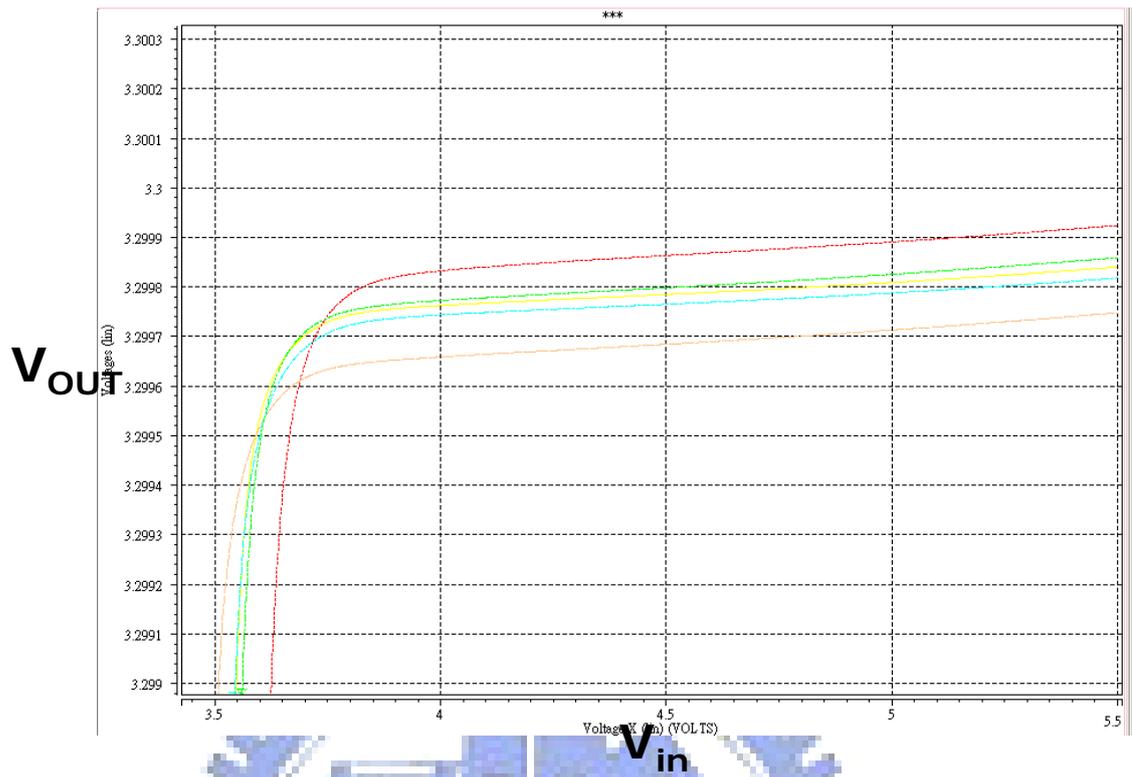


圖 4-7：Line regulation(For $V_{DD}=0V \rightarrow 5.5V$, $I_{load} = 200mA$, 5corner)。

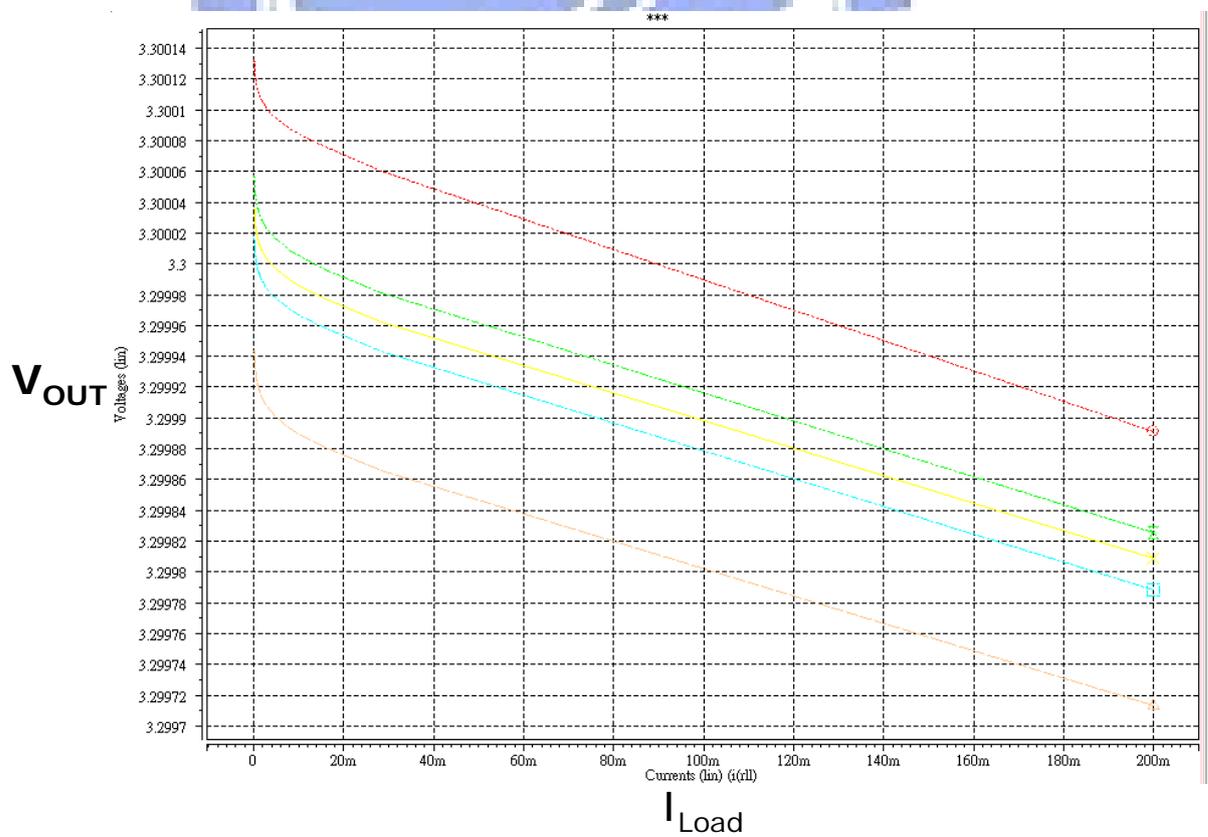


圖 4-8：Load regulation(For $I_{Load}=0.1mA \rightarrow 200mA$, 5 corner)。

	Simulation	Units
Technology	TSMC 0.35 μm 2P4M	
Supply voltage	3.5~5.5	V
Output voltage	3.3	V
Load transient response	19.4 @ $I_o= 0.1\text{mA}-200\text{mA}$ 31mV @ $I_o= 200\text{mA}-0.1\text{mA}$	mV
PSR F=20KHz F=1MHz F=1.5MHz	50 67 72	dB
Load Regulation	0.24 @ $I_o= 0.1\text{mA}-200\text{mA}$	mV/mA
Line Regulation	0.25 @ $V_{in}= 0\text{V}-5.5\text{V}, I_o= 200\text{mA}$	mV/V
Power Consumption (no load)	551	μW
Active Area	400x500	μm^2

表 4-1： 模擬數據。



第五章 靜電放電防護設計概念與測試

5.1 靜電放電防護概論

隨著科技的進步，積體電路的尺寸也隨之縮小。然而，靜電對於積體電路晶片的傷害並沒有隨之下降，因而導致晶片對於靜電放電的免疫能力下降。為了增加晶片之靜電放電防護，許多解決之道相繼被提出。

5.2 靜電放電模式

一般而論，有三種主要的靜電放電模式：人體模式(HBM)、機械模式(MM)與元件電荷模式(CDM)。

5.2.1 人體模式(HBM)

人體模式的靜電放電來自於人體。假設某人身上有高電位的靜電，將其手指放置在積體電路晶片的腳位；於此同時，至少有一晶片腳位是被接到低(或地)電位。根據電流原理(電荷由高電位流向低電位)，電流將會在手指接觸的腳位流往低電位的腳位，此放電的過程會在短到幾百毫微秒的時間內產生數安培的瞬間放電電流。據此分析，對於積體電路靜電放電，有兩個最基本的需求：一則必需要有靜電的存在；另一則是必需有電流路徑的存在。舉例說明，空氣中的電荷並不會傷害晶片；而人體若只接觸晶片的某腳位，而無接地腳位，也不會有靜電產生。

有關於HBM的ESD已有工業測試的標準，為先今各國用來判斷IC之ESD可靠度的重要依據。標準人體模式靜電放電的等效電路如圖(5-1)所示[16]。其中人體的等效電容定為一個100pF的電容，人體的等效電阻為一個1.5k Ω 的電阻。

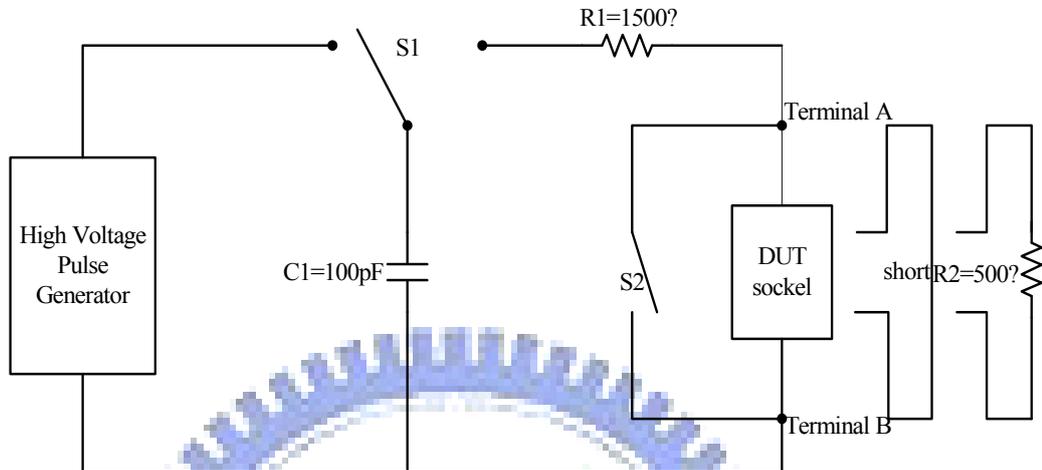


圖 5-1：典型的人體模式靜電放電等效電路。

5.2.2 機械模式(MM)

MM的ESD是只機械本身累積了靜電，當此機器去碰觸到IC時，此靜電便經由IC的pin放電，圖(5-2)指出機械模式靜電放電的等效電路[17]。由於機械放電模式的等效電阻為零阻抗，故其放電的過程更短，在幾毫微秒到幾十毫秒之內會有十幾安培的瞬間放電電流產生，因此機械放電模式對IC的破壞力更大。其主要的被動元件是一個200pF的電容。

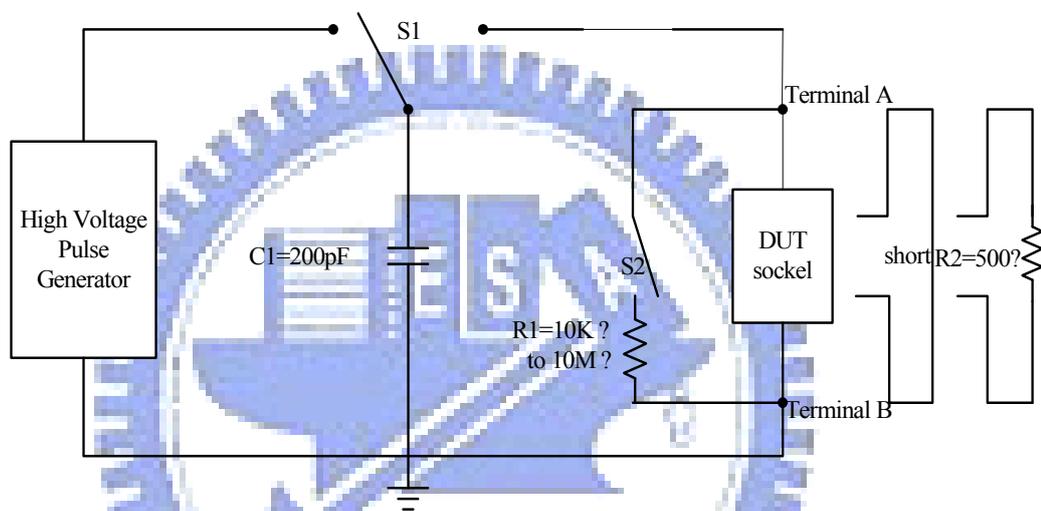


圖 5-2：典型的機械模式靜電放電等效電路。

5.2.3 元件電荷模式(CDM)

靜電放電是元件電荷模式，其電荷來元件本身內部，也許是經由製造等過程中所產生。一旦晶片的某一腳位接地，就可能導致其內部電荷往外流動而傷害晶片。

正因元件電荷模式乃由元件本身內部所觸發，因此，很難以一等效電路表示。因為電荷的貯存與晶片的尺寸大小有關，因而很難以一種等效電路表示所有的晶片。人們通常以電流波形上升時間小於 400ps，如圖(5-3)所示的波形(T_r 小於 400ps)來探討元件電荷模式[18]。

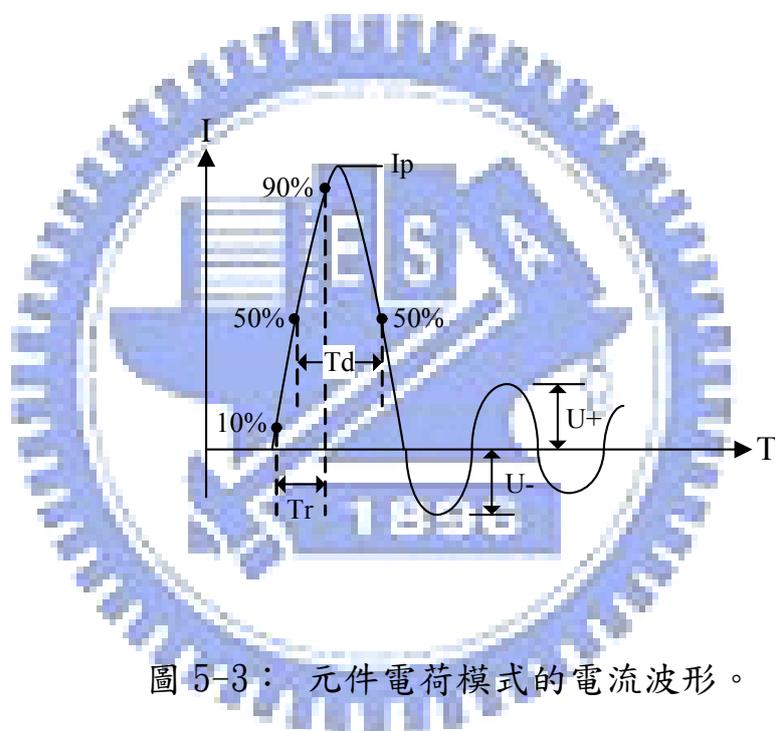


圖 5-3： 元件電荷模式的電流波形。

根據晶片封裝的型式，有兩種元件電荷模式：一種是無插座(non-socket type)型式，另一種是有插座(socket type)型式。其主要的差異來自於電荷產生的方式。無插座型式的電荷乃由感應電場所產生，而有插座型式則是先將電荷由晶片的某一腳位灌入，隔數秒鐘後，再由另一腳位接地，將電荷排除。故而有插座型式的元件電荷模式有點類似之前的人體模式與機械模式，但其具有一段電荷儲存重組的時間，不像前兩種，電荷輸入與輸出晶片乃在很短的時間(電荷輸入腳位與接地腳位同時接上)。

5.3 靜電放電防護設計概念

靜電放電防護電路(ESD protection circuits)是積體電路上專門用來做靜電放電防護之用，此靜電放電防護電路提供了 ESD 電流路徑，以免 ESD 放電時電流流入 IC 內部電路而造成損傷。因 ESD 來自外界，所以 ESD 防護電路都是做在 PAD 的旁邊。在輸出 PAD，其輸出級中大尺吋的 PMOS 及 NMOS 元件本身便可當作 ESD 防護元件來用，但是其佈局方式必須遵守 Design Rules 中有關的 ESD 佈局方面的規定。在輸入 PAD，因 CMOS 積體電路的輸入 PAD 一般都是連接到 MOS 元件的閘極(gate)，閘極氧化層是容易被 ESD 所打穿，因此在輸入墊的旁邊會做一組 ESD 防護電路來保護輸入級的元件。在 VDD pad 與 VSS pad 的旁邊也要做 ESD 防護電路，因為 VDD 與 VSS 腳之間也可能遭受 ESD 的放電。ESD 防護電路的安排必須全方位地考慮到 ESD 測試的六種模式，因為一顆 IC 的 ESD failure threshold 是看整顆 IC 所有腳中，各種測試模式下，最低 ESD 耐壓值為該顆 IC 的 ESD failure threshold。因此，一個全晶片 ESD 防護電路的安排要如圖(5-4)所示[19]。在圖(5-4)中，Input pad 與 Output pad 要具有防護 PS，NS，PD 及 ND 四種模式的靜電放電，另外，VDD 到 VSS 也要有 ESD 防護電路。

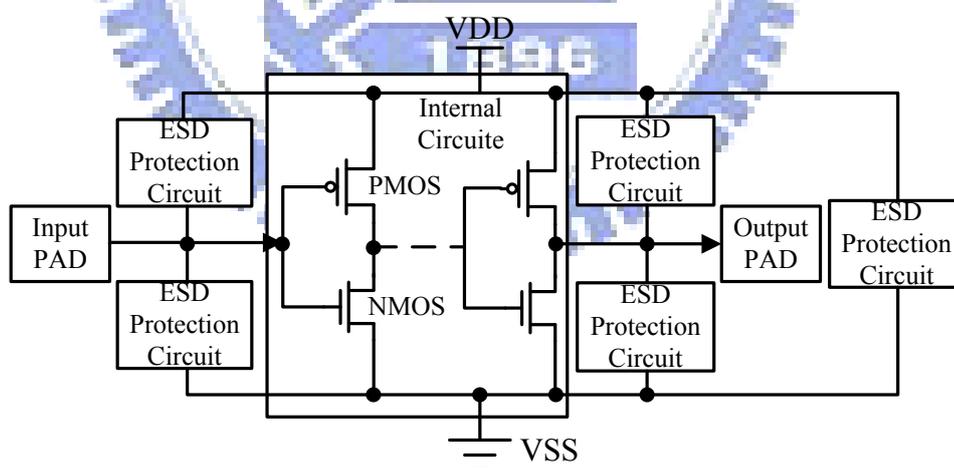


圖 5-4： Whole-Chip 靜電放電防護電路。

因 ESD 防護電路是為了防護 ESD 而加入的，故 ESD 防護電路在積體電路正常操作情形下，該 ESD 防護電路是不動作的。

在一些前人設計的 ESD 防護電路中，尤其是在 Input pad，其 ESD 防護電路只安排在 Input pad 與 VSS 之間，Input pad 到 VDD 之間沒有安排 ESD 防護電路，如圖(5-5)所示。當 ND 模式的 ESD 放電發生時，此負的 ESD 電壓會先經由 Input 到 VSS 之間的 ESD 防護墊路跑到 VSS 電源線上，沿著 VSS 電源線到 VDD 與 VSS 之間的 ESD 防護電路，再經由此 VDD 與 VSS 之間的 ESD 防護電路傳到 VDD 電源線上，最後由 VDD pad 流出此 IC。ND 模式的靜電放電在圖(5-5)中是藉由 Input 到 VSS 以及 VDD 與 VSS 之間的 ESD 防護電路來旁通的 ESD 電流。有些人抄到了 Input 到 VSS 之間的 ESD 防護電路，這時，在 ND 模式 ESD 測試下，內部電路常常死得很慘(無法自 Input pad 的 I~V 變化觀測得到，必須再經 IC 性能測試分析才會發現)，卻以為可耐很高的 ESD 電壓。

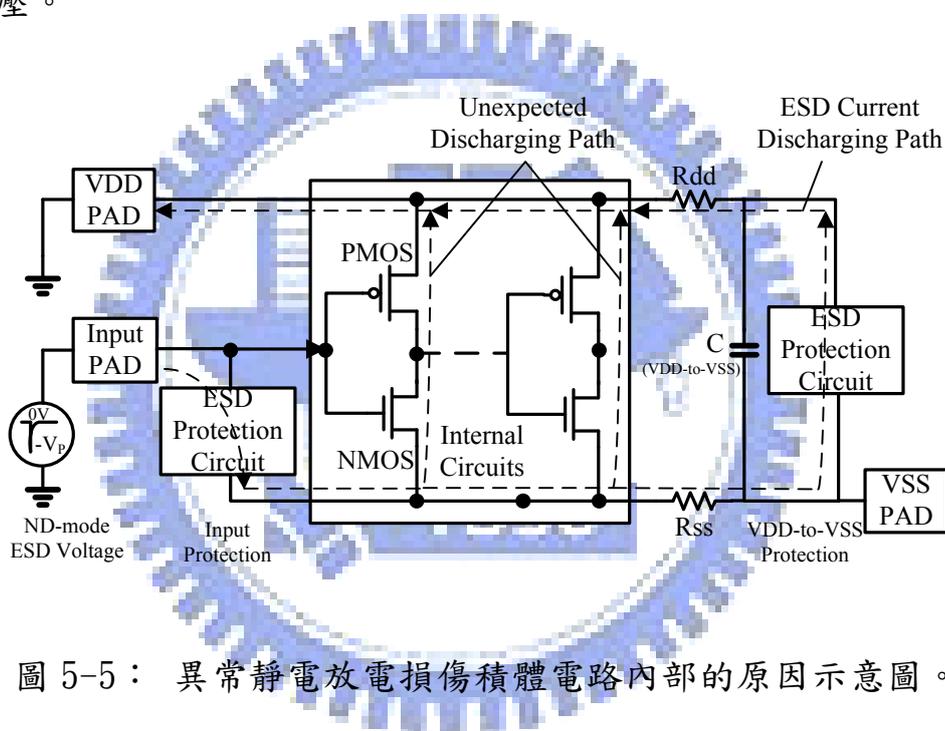


圖 5-5：異常靜電放電損傷積體電路內部的原因示意圖。

隨著晶片的尺寸愈做愈大，環繞整個晶片的 VDD 與 VSS 電源線也愈拉愈長，寄生的電容電阻效應便會顯現出來，當 IC 的佈局造成電源線的雜散電容電阻效應如圖(5-5)所示時(R_{ss} , R_{dd} , C)，這些雜散電阻電容會延遲 ESD 電流經由 VDD 與 VSS 之間的 ESD 防護電路旁通而過。這時，來不及放掉的 ESD 電流便會藉著電源線的相連接而進入到 IC 內部電路中，IC 內部電路在佈局時一般都以最小尺寸來做，也不會考慮 ESD 的佈局方式，因此 IC 內部電路更易被此種 ESD 電流所損傷。因此，會造成異常的 ED 損傷現象，也就是 ESD 防護電路都好好的，但內部電路已被破損傷許多，前面已提過這種內部損傷是無法從單一輸入腳的 I~V 變化看得出來的。

因此，當晶片尺寸(die size)較大時，Input pad的ESD防護電路就必須要如圖(5-4)所示，在Input pad 與VDD之間也要提供ESD防護電路來直接旁通ESD電流，而不要藉由VDD與VSS之間的ESD防護電路來間接放電。

5.3.1 靜電放電防護設計

除了元件電荷模式來自於晶片本身內部，另兩種靜電放電，其電荷皆由晶片外部所產生。既然，電荷乃由晶片的腳位輸入內部，若欲保護晶片內部免於受到靜電的傷害，我們必需將靜電保護電路置放在輸入/輸出(I/O)的位置。藉由將靜電在輸入/輸出的晶片電路就排放掉，而保護晶片本身內部免於受到靜電傷害。

以下列舉設計靜電放電防護的主要原則：[20]

- (1)在晶片正常操作情形下，靜電放電防護電路必需是關閉的，換言之，不可因靜電放電防護電路的存在而導致過多的漏電流產生。
- (2)在靜電放電的過程中，靜電放電防護電路必需提供足夠的放電路徑。
- (3)盡可能將靜電放電防護電路的佈線面積縮小。
- (4)靜電放電防護電路不可導致晶片電路閉鎖。
- (5)靜電放電防護電路盡可能與一般製程相容，而不需要額外的製程光罩。

無庸置疑地，第一原則為靜電放電防護電路設計的必要條件。例設，我們若以單一電阻來做為靜電放電防護電路，其排放靜電的能力勢必很強。然則，此電阻的存在必然導致額外的漏電流產生；換言之，我們不可僅以一電阻來當作靜電放電防護。

既然靜電放電防護電路必需設計在輸入/輸出電路之中，在靜電放電防護設計之前，靜電放電發生在晶片的兩個腳位之間；假如，任意兩個腳位之間，都有靜電放電防護電路存在，則積體電路晶片就能被其保護。換言之，對於輸入/輸出電路，靜電放電防護設計者僅需觀看其與晶片腳位相連接的電路。

圖(5-6)乃一典型的輸入電路，有兩個基本的靜電放電防護元件存在，其一為閘極接地的N型金氧半導體(GGNMOS, gate grounded NMOS)，另外有一個閘極接電源的P型金氧半導體(GPPMOS, gate powered PMOS)。在此電路中，共有三個腳位：輸入腳位、電源腳位與接地腳位，圖中的電阻具有降低靜電放電突波對反相器的傷害。

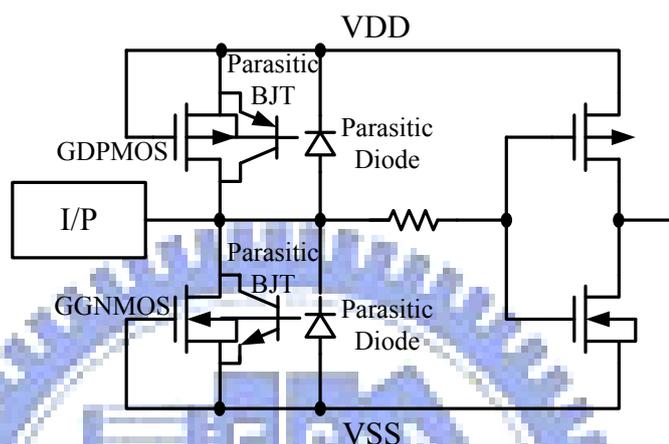


圖 5-6：典型的輸入電路。

關於輸入電路的應用，輸入腳位通常會接觸到反相器(inverter)的閘極。為了避免反相器閘極被靜電放電所傷害，防護電路必需被設計在晶片之中。例如，正向靜電放電發生在輸入腳位(I/P)與接地腳位(VSS)之間，閘極接地的N型金氧半導體必需以電壓突然跳回(snapback)打開寄生電晶體，來排放此靜電放電電荷，如圖(5-7)所示[21]。相反地，當負向靜電放電發生在輸入腳位(I/P)與接地腳位(VSS)之間，寄生二極體(parasitic diode)就可在順向操作下，排放靜電。

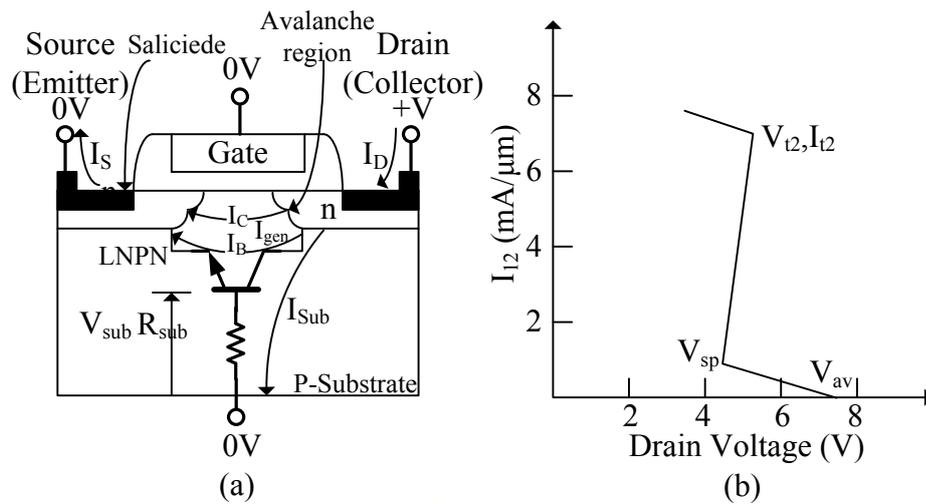


圖 5-7: (a)N 型金氧半導體的剖面圖，包含旁路電晶體 NPN。(b)0.13 μ m 製程下，高電流的電流對電壓曲線圖，包含 LNPN 打開電壓(V_{av})、突然跳回的操作電壓(V_{sp})與熱能導致的第二次崩潰電流(I_{t2})。

相似的分析，亦可用於閘極接電源的 P 型金氧半導體，但是值得注意地，在早期的製程中，並不會發生電壓突然跳回的現象。既然，N 型金氧半導體的閘極接地，在正常操作情形下，此防護元件處於關閉的條件，故其符合靜電放電防護設計的第一大原則。

另一方面，輸出電路為了驅動下一級電路，往往採用較大的元件來應用。而此大尺寸的元件亦可當作靜電放電防護電路，若其尺寸足以排放靜電放電所產生的大電流，則以驅動元件作為靜電放電防護元件。如圖(5-8)所示，並無額外的閘極接地的 N 型金氧半導體或閘極接電源的 P 型金氧半導體。

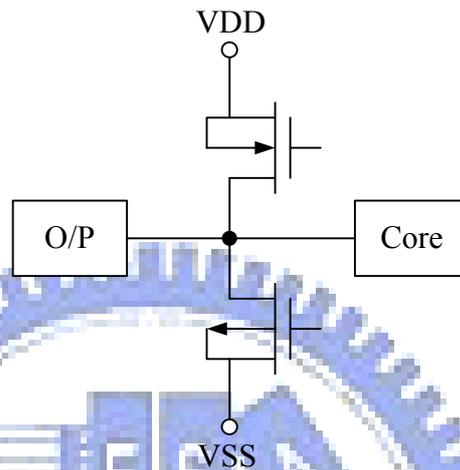


圖 5-8：典型的輸出電路。

如上所述，任何符合設計靜電放電防護主要原則的元件，皆可當作靜電放電防護元件。

圖(5-9)顯示另一種防護電路設計：二極體電路。因為二極體容忍的反相崩潰電流太低，當正向靜電放電發生在輸入腳位與接地腳之間，其靜電放電必需經由路徑1(Path1)來實施，而不可由路徑2(Path2)來排放。

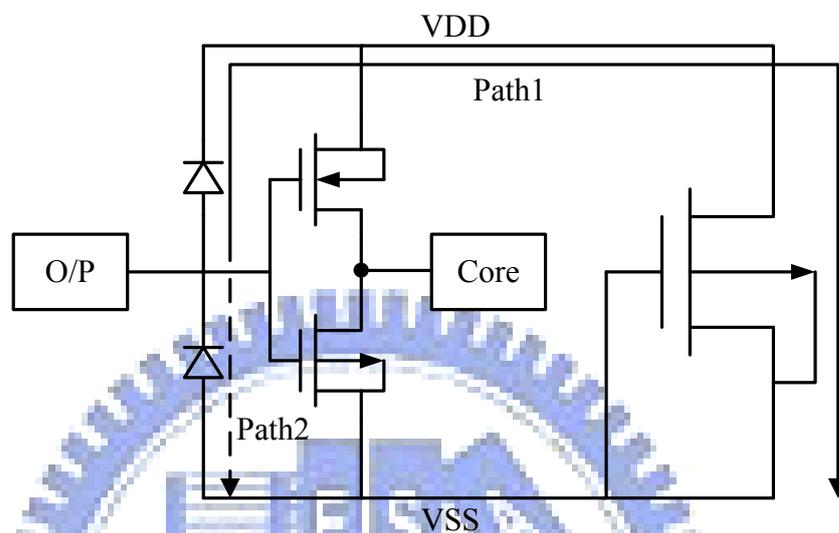


圖 5-9：典型的二極體電路。

5.4 靜電放電測試及判讀

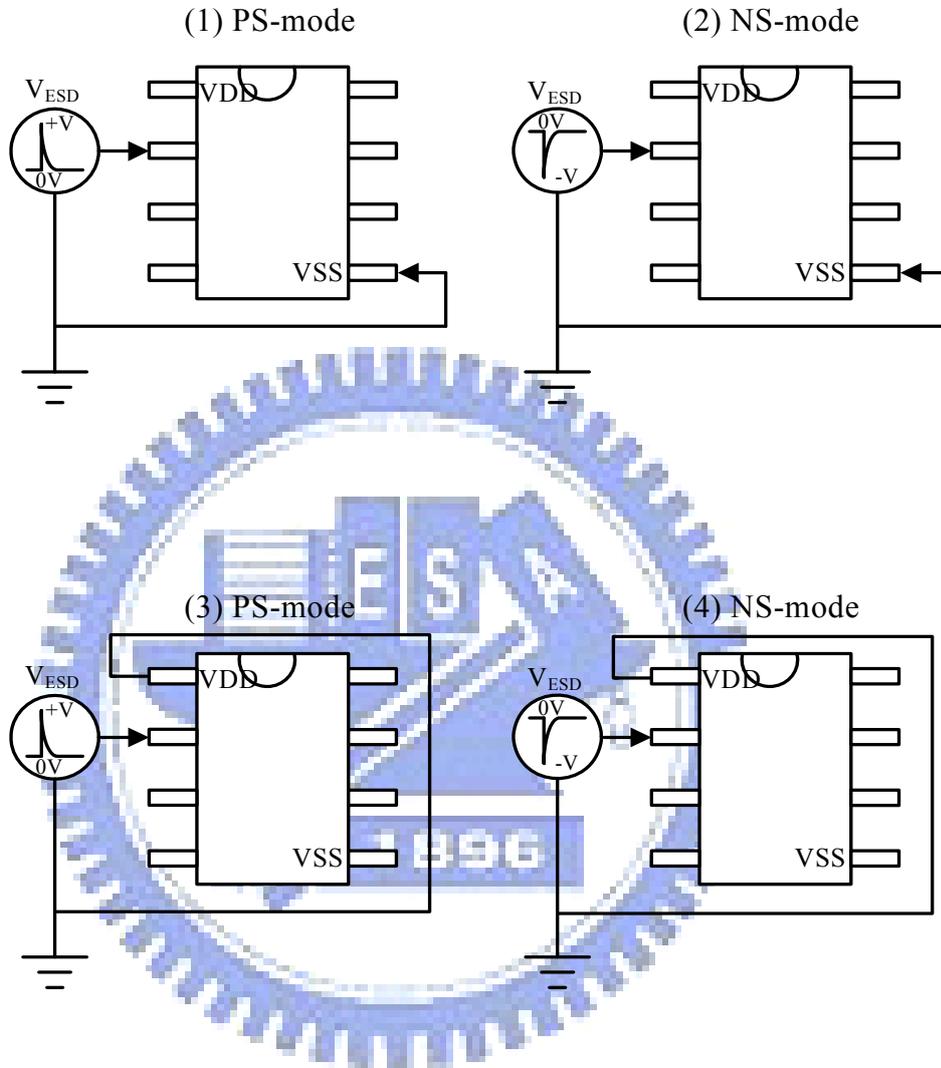
5.4.1 靜電放電測試組合

靜電的累積可能是正的或負的電荷，因此靜電放電測試對同一 IC 腳而言是具有正與負兩種極性。靜電放電可能出現在 IC 的任何兩隻腳之間，然不相干的兩隻腳之間一般而言是不易被 ESD 所破壞，因為兩隻腳不相干，唯一共同使用的是 VDD 與 VSS 電源相連接。ESD 發生在不相干的兩支 IC 腳之間時，放電電流會經由內部電路連接線跑到 VDD 或 VSS 電源線上。再由 VDD 或 VSS 電源連接線到另一支 IC 腳，再由那支 IC 腳流出 IC 之外。若每一 IC 的每兩角之間都要做測試，那麼一顆 40pin 的 IC 便要有 $2 \times C_2^{40} (=1560)$ 種排列組合的 ESD 測試，這太浪費時間。因此，改良式的測試方法是美依輸入/輸出腳對 VDD 與 VSS 腳做正與負的 ESD 測試，再加上 VDD 腳對 VSS 腳做正與負的 ESD 測試，如此一顆 40pin 的 IC (38 支 I/O pin, 1 支 VDD pin, 1 支 VSS pin) 只要測 154 種排列組合。想一想，128 pin 的 IC 會有幾種組合？

圖(5-10)顯示 ESD 測試的幾種模式[19]，對一支 Input 或 Output 腳而言，有四種 ESD 測試模式，分別為：

- (1) PS-mode：VSS 腳接地，正的 ESD 電壓出現在該 Input/Output 腳對 VSS 放電，此時 VDD 與其他腳皆浮接。
- (2) NS-mode：VSS 腳接地，負得 ESD 電壓出現在 Input/Output 腳對 VSS 腳放電，此時 VDD 與其他腳皆浮接。
- (3) PD-mode：VDD 腳接地，正的 ESD 電壓出現在該 Input/Output 腳對 VDD 腳放電，此時 VSS 與其他腳皆浮接。
- (4) ND-mode：VDD 腳接地，負的 ESD 電壓出現在該 Input/Output 腳對 VDD 腳放電，此時 VDD 與其他腳皆浮接。除此之外，VDD 腳與 VSS 腳之間也要做 ESD 測試。
- (5) VDD→VSS mode：由 VSS 腳接地，正的 ESD 電壓出現在 VDD 腳對 VSS 腳放電，其他腳皆浮接。

(6) VSS→VDD mode: 由 VSS 腳接地, 負的 ESD 電壓出現在 VDD 腳對 VSS 腳放電, 其他腳皆浮接。



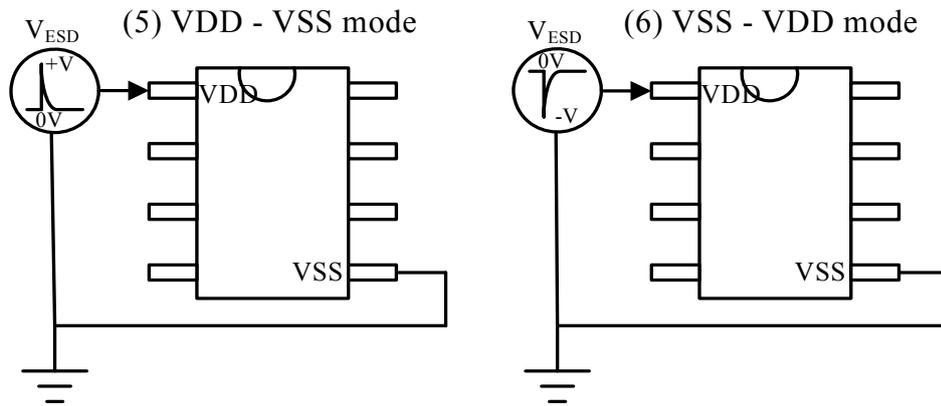


圖 5-10： ESD 測試的幾種模式。

5.4.2 靜電放電防護的測試

在每一次測試模式下，每一支 IC 腳先被加大某一 ESD 電壓，此 ESD 電壓由小而逐漸增大。再同一 ESD 電壓下，IC 腳被放電三次，在觀看此腳是否已被 ESD 所損壞，若 IC 尚未被損壞則調升 ESD 的電壓，再放電三次。如此重覆下去，直到該 IC 腳已被 ESD 所損壞，此時造成 IC 腳損壞的 ESD 測試電壓稱為 ESD failure threshold (靜電放電故障臨界電壓)。如果每次調升的 ESD 測試電壓太小，則測試到 IC 腳損壞要經過多次的 ESD 放電，增長測試時間；若每次調升的 ESD 測試電壓太大，則難以較精確測出該 IC 腳的 ESD 耐壓能力。因此，有一測試經驗法則，當 ESD 測試電壓低於 1 千伏特時，每次 ESD 電壓增加量為 50V；當 ESD 測試電壓高於 1 仟伏特時，每次 ESD 電壓增加量為 100V。而 ESD 測試的起始電壓則從平均 ESD 故障電壓的 70% 開始。例如某一 IC 的 ESD 耐壓大概平均在 2000V(HBM) 那麼起始測試電壓約為 1400V 開始。測試時，1400V 的 ESD 電壓打到 IC 的某一腳去(相對的 VDD 或 VSS 腳要接地)，測三次 1400V 的 ESD 放電，若該 IC 腳尚未被破壞，則調升 ESD 電壓到 1500V，此 1500V 的 ESD 電壓再打到該 IC 腳三次，若該 IC 腳尚未被損壞，則調升 ESD 電壓到 1600V，依此類推，直到該 IC 腳被靜電放電所損壞。

我們來算一下，一顆 40pin 的 IC(38 支 I/O, 1 支 VDD, 1 支 VSS) 自 1400V(HBM) 測到 2000V 所要測試的次數：

每一次測試模式的測試次數= $[(2000V-1400V/100V)+1] \times 3=21$ 次

每一支 Input/Output 腳的測試模式=4 種

38 支 Input/Output 腳的總測試次數=38 支 \times 4 種 \times 21 次=3192 次

VDD 對 VSS 腳的總測試次數=1 支 \times 2 種 \times 21=42 次

40 pin IC 的 ESD 總測試次數(1400V~2000V)=3234 次

由上述的簡單估算可知，40pin 的 IC，只從 1400V 測到 2000V，每一次電調升 100V，則要 3234 次的 ESD 放電測試。而在實際情形，IC 腳的耐壓度可能每一支都不相同，要真正測出每一支腳的 ESD 耐壓成度，則所需測試次數會遠超過上述的數字。因此適度放寬每次 ESD 電壓調昇幅度(自 100V→250V)可以減少測試的次數及時間。

以上所談的 ESD 測試次數是指 HBM 測試，若該 IC 也要做 MM 的 ESD 測試，則還在再加上 MM 的 ESD 測試次數。

既然，有這麼多的靜電放電防護測試的製造廠商；而不同的廠商，其所製造的機台勢必不同，如此，操作介面，必會因此而難以統一。然而，假若我們知道測試的原理，則能幫我們在很短的時間內，便能熟悉新的測試機臺。本節的重要性，便著重在如何使我們瞭解靜電放電防護測試的基本原則。

要對積體電路晶片測試前，首先我們必須定義積體電路晶片的測試腳位。一般而論，工程師們會將積體電路晶片的腳位，分為五大族群：電源族群、接地族群、輸入族群、輸出族群與輸入輸出族群。

第二步驟，定義欲外加靜電放電的腳位與靜電放電過程中，欲接至相對低電位的腳位。

第三步驟，制定欲外加的靜電放電模式：人體模式(HBM)、機械模式(MM) 或元件電荷模式(CDM)。

第四步驟，定義欲量測其電流對電壓的腳位。舉例說明，我們以丙腳位為相對低電位，而對甲腳位施放靜電放電，但是我們猜測也許乙腳位對丙腳位的電路路徑會受到靜電破壞，我們可以同時量測甲腳位對丙腳位的電路路徑與乙腳位對丙腳位的電路路徑。

最後，我們必須制定積體電路晶片好壞的判定準則，這是一個非常

重要卻富有爭議的主題。最好去判斷積體電路晶片好壞的方法，莫過於直接測試晶片的正常工作特性。然而，若欲測試的主題，只是一個元件，則無正常工作特性可提供測試。在此，我們摘錄一些常用來作晶片好壞判斷的電流對電壓測試圖形。

(1) 短路與斷路的測試。

(2) 二極體測試(將積體電路晶片定義在某個電壓下，若其電流大於(或小於)某個特定值，則將其視為壞的產品)。

(3) 電流對電壓曲線的測試。

(3a) 相對 I ~ V 漂移：當 IC 被 ESD 測試後，自 Input/Output 腳看進 IC 內部的 I ~ V 曲線漂移量在 30%(40%或 50%)，以作為晶片判斷的標準。

(3b) 絕對漏電流測試：在某一特定電壓下，晶片電流必須小於某一特定值，其 Input/Output 腳的漏電電流超過 $1\mu A$ ($10\mu A$)。漏電電流隨所加的偏壓大小增加而增加，在測漏電電流時所加的偏壓有人用 5.5V，也有人用 7V。

(3c) 電流對電壓曲線的比較：在某一特定電壓下，靜電放電測試後的晶片電流除以靜電放電測試前的晶片電流必須小於某一比例值。

至於晶片要能通過多大的靜電放電測試電壓：一般而言，工業產品必須能通過人體模式 2KV，機械模式 200V 與元件電荷模式 1KV。

除了人體模式、機械模式與元件電荷模式外，傳輸線脈波(TLP)亦能當作了解元件特性的工具。觸發電壓(V_{t1})、迴轉電壓(V_{sp})、二次崩潰電流(I_{t2})、二次崩潰電壓(V_{t2})與電晶體工作電阻(R_{on})是靜電放電工程師常用以探討元件特性的參數。

在產品被封裝之前，靜電放電工程師亦可用晶片模式(Wafer Level)來測試晶片。有些工程師利用此種測試模式來降低產品製造所需的時間。

第六章 結論

由於使用Multi-Stage的方式會產生complex poles 而且會得到較大Q值，使用Pole Tracking 方式改良震盪部份如圖(6-1)。

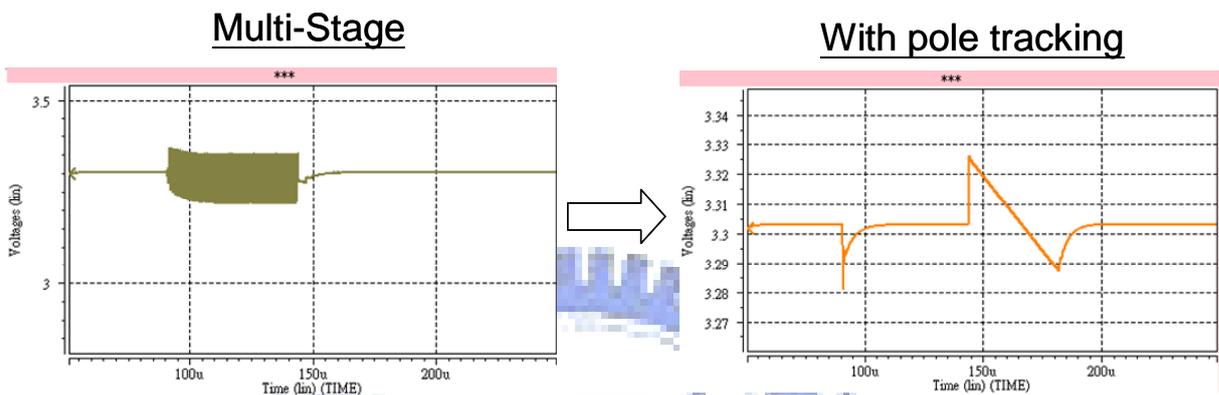


圖 6-1：使用 Pole Tracking 改良 Multi-Stage 震盪。

此次設計VDD為5V，傳統Layout會使用厚氧化層來做元件保護，但本論文此次使用薄氧化層，這樣將使得光罩減少成本降低。

靜電放電防護電路(ESD protection circuits)是積體電路上專門用來做靜電放電防護之用，此靜電放電防護電路提供了ESD電流路徑，以免ESD放電時電流流入IC內部電路而造成損傷。

1. 在輸出PAD，其輸出級中大尺吋的PMOS及NMOS元件本身便可當作ESD防護元件來用，但是其佈局方式必須遵守Design Rules中有關的ESD佈局方面的規定。
2. 在輸入PAD，因CMOS積體電路的輸入PAD一般都是連接到MOS元件的閘極(gate)，閘極氧化層是容易被ESD所打穿，因此在輸入墊的旁邊會做一組ESD防護電路來保護輸入級的元件。
3. 在VDD pad與VSS pad的旁邊也要做ESD防護電路，因為VDD與VSS腳之間也可能遭受ESD的放電。
4. ESD防護電路的安排必須全方位地考慮到ESD測試的六種模式。

把正確的ESD防護概念散佈給IC設計者及品管者，以提升IC產品的可靠度。當IC產品有競爭對手時，ESD防護會成為價差的主因之一。

參考文獻

- [1] S. Franco, “Design with Operational Amplifiers and Analog Integrated Circuits,” *New York: McGraw-Hill Publishing Company*, 1998.
- [2] G. A. Rincon-Mora and P. E. Allen, “Study and Design of Low Drop-Out Regulators,” *Georgia Institute of Technology*.
- [3] B. Wolbert, “Designing with Low-Dropout Voltage Regulators,” *Application Note, Michel Semiconductor*, 1998.
- [4] Bang S. Lee, “Understanding the Terms and Definitions of LDO Voltage Regulators,” *Application Report, Texas Instruments*, October 1999.
- [5] “Technical Review of Low Dropout Voltage Regulator Operation and Performance,” *Application Report, Texas Instruments*, August 1999.
- [6] Brian M. King, “Advantages of Using PMOS-Type Low-Dropout Linear Regulators in Battery Applications,” *Analog Application, Journal*, Aug. 2000.
- [7] Y. S. Shyu, “Low Operating Current Analog Integrated Circuits,” *National Chiao Tung University, Taiwan, PhD Thesis*, Jun. 2002.
- [8] C. Simpson, “A User’s Guide to Compensating Low-Dropout Regulators,” *Wescon Conference, Santa Clara, CA*, pp. 270–275, Nov. 1997.
- [9] C. Simpson, “Linear Regulators: Theory of Operation and Compensation,” *Application Note 1148, National Semiconductor*, May 2000.
- [10] K. O’Malley, “Compensation for Linear Regulators,” *Application Note, ON Semiconductor*, 2000.
- [11] M. Layachi & Y. Chouia, “Low Dropout Voltage Regulator,” *Department of Electrical Engineering, Ecole Polytechnique de Montreal*.
- [12] K.C. Kwok and P.K.T. Mok, “Pole-Zero Tracking Frequency Compensation For Low Dropout Regulator,” *IEEE International Symposium on Circuits and Systems, Scottsdale, Arizona, USA, Vol. IV*, pp. 735-738, May 2002.
- [13] K.N. Leung, and P.K. T. Mok, “Analysis of multistage amplifier-frequency compensation,” *IEEE Trans. Circuits Syst. I*, vol. 48, no 9, pp. 1041-1056, Sep. 2001.
- [14] M. Loikkanen, J. Kostamovaara, “High current CMOS operational amplifier,” in *IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 216-219, 2005.
- [15] X. Fan, C. Mishra, and E. Sanchez-Sinencio, “Single Miller capacitor

- compensated multistage amplifiers for large capacitive load applications, "IEEE International Symposium on Circuits and Systems, pp. 493-496, 2004.
- [16] JESD22-A114-B, "Electrostatic Discharge Sensitivity Testing Human Body Model ", June, 2002.
- [17] JSD22-A115-A, "Electrostatic Discharge Sensitivity Testing Machine Model ", October, 1997.
- [18] JESD22-C101-A, "Field-Induced Charge-Device Model Test Method for Electrostatic-Discharge -Withstand Thresholds of Microelectronic Components ", June, 2000.
- [19] 柯明道, 吳添祥, 次微米互補氏金氧半積體電路之靜電放電防護-概念教導, 電腦與通訊, 16 , P10, May, 1995.
- [20] S.C.Huang, "Process Approaches for ESD Improvement in CMOS Technology", 2002 Taiwan ESD Workshop, April 26, 2002.
- [21] Ajith Amerasekera et al., "Analysis of Snapback Behavior on the ESD Capability of Sub-0.20 μm NMOS", IEEE IRPS, 1999.

