

國立交通大學

工學院半導體材料與製程產業研發碩士專班

碩士論文

錫銀銅鉛錫薄膜於電遷移效應下之研究

**Electromigration Study of
SnAg_{3.8}Cu_{0.7} Solder Using Blech Structure**

指導教授：陳智 博士

研究生：徐永昌

中華民國 九十六 年 七 月

錫銀銅鍍錫薄膜於電遷移效應下之研究

研究生： 徐永昌

指導教授： 陳智

半導體材料與製程產業研發碩士專班

摘要

本論文使用不同長度之錫銀銅鍍錫薄膜結構的邊緣移動技術來計算錫銀銅鍍錫薄膜受電致遷移之參數，試片結構經圖案化後銅/鈦結構，經由迴鍍和拋光形成Blech結構，之後利用focus ions beam(FIB)切割成不同長度，後續再利用掃描式電子顯微鏡與原子力顯微鏡觀察不同長度之錫銀銅鍍錫薄膜Blech結構在通電前後的之變化，經計算可得到該電流密度下與溫度下之門檻長度。這些數值代表錫銀銅鍍錫在該電流密度與溫度下不會經由電遷移效應之破壞的最短長度。

Electromigration Study of SnAg_{3.8}Cu_{0.7} Solder Using Blech Structure

Student : Yung-Chang Hsu

Advisor : Dr. Chih Chen

**College of Engineering
Industrial Technology R & D Master Program
On Semiconductor Materials & Processes
National Chiao Tung University**

ABSTRACT

Critical length of lead-free solder has not been measure because it is very difficult to prepare short solder stripe. In this study, By employing focus ion beam, solder stripes of various lengths, including 5, 10, 15, 20, 30, 100, and 200 μm , can be fabricated. Length dependent electromigration behavior was observed, which implies that there may be back stress under current stressing. We can determine the critical length under testing condition under $2\sim 4\times 10^4 \text{ A/cm}^2$ at 100-150 , the critical product is 20~30 A/cm and critical length is 10~15 μm

誌謝

首先我要感謝我的指導教授陳智博士，老師悉心的教導使我得以一窺錒錫領域的深奧，不時的討論並指點我正確的方向，使我在這些年中獲益匪淺。老師對學問的嚴謹更是我輩學習的典範，在此我要對陳智老師致上我最高的謝意。在來我要感謝謝宗雍老師、葉長青博士、高振宏老師與張世明博士在論文上給予的指導與協助，在此致上萬分的謝意。

在實驗室我要感謝程昶不厭其煩的指出我研究中的缺失，FIB 的協助，感謝阿丸與大包在實驗模擬上的幫助，沒有你們的幫忙論文不會如此的順利，從你們身上學到很多。慶榮、聖翔、翔耀感謝你們在實驗儀器上的協助，鈺庭、筱芸、詠滄、健民、佩君、宗寬、誠風、明慧、旻峰、宗憲與建安感謝你們有你們的支持、搞笑，共同砥礪(墮落?)豐富我這兩年的實驗室生活。

女朋友熊熊在背後的默默支持更是我前進的動力，熊熊的體諒、包容，是我這兩年的生活進步的原動力，還有 CoQ、文興、阿龍、承楷，蟑螂，老芋雖然你們對我的論文沒有實質的幫助，但還是感謝你們在我困難的時候陪我喝一杯。

最後我要感謝我的父母親與天上的阿媽的栽培，爸媽我愛你們你們辛苦了，我會更加努力。



目錄

摘要	I
Abstract	II
誌謝	III
第1章 序論	1
1.1 電子封裝概要	1
1.2 電遷移對微結構的影響	4
1.3 為什麼要使用錫銀銅鉛錫	5
1.4 錫銀銅鉛錫之電遷移臨界長度	7
第2章 電遷移理論	8
2-1 電遷移之概述	8
2-2 電遷移之驅動力	11
2-3 電遷移之背向應力	16
第3章 實驗	17
3-1 Blech試片的製備	17
3-2 電遷移測試條件	21
3-3 電遷移3D-modeling	26
3-4 分析技術	27
第4章 結果與討論	28
4-1 試片微結構與溫度量測	28
4-2 $\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫之Critical product量測	35
4-3 $\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫薄膜之電流密度模擬	40
4-4 $\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫薄膜電遷移微結構分析	51
4-5 critical product 之討論	57
References	60



圖目錄

圖1-1: 電子封裝的層級	2
圖 1-2、晶片封裝中三種不同的電導通方式(a)打線接合(b)捲帶式自動接合(c)覆晶接合	3
圖2-1 : Blech首創之電遷移試片，圖中鉛線沉積在氮化鈦層上	9
圖2-2: 鉛線(熱處理500 °C, 0.5小時)之平均漂流速度	10
圖2-3: 金屬導體與點缺陷之間的動量轉換如	14
圖2-4 : 原子克服活化能 ΔG_m 躍過能階障礙	15
圖3-1 : 試片製作流程	20
圖3-2 : AFM 3D立體圖	22
圖3-3 : 實驗試片通電示意圖	24
圖3-4 試片通電之受力示意圖	25
圖4-1 試片製作完成之SEM圖	29
圖4-2 AFM 3D 掃描圖	29
圖4-3試片橫截面SEM圖	30
圖4-4 試片在100 °C 未通電之IR量測圖	31
圖4-5 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下之IR量測圖	31
圖4-6 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下 $5 \mu\text{m}$ 的鉛錫條之IR量測圖	32
圖4-7 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下 $10 \mu\text{m}$ 的鉛錫條之IR量測圖	32
圖4-8 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下 $15 \mu\text{m}$ 的鉛錫條之IR量測圖	33
圖4-9 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下 $20 \mu\text{m}$ 的鉛錫條之IR量測圖	33
圖4-10 試片在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下 $25 \mu\text{m}$ 的鉛錫條之IR量測圖	34
圖4-11 通以不同電流密度下之溫升	34
圖4-12 錫銀銅鉛錫薄膜在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖	36
圖4-13 錫銀銅鉛錫薄膜在100 °C 通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖	37

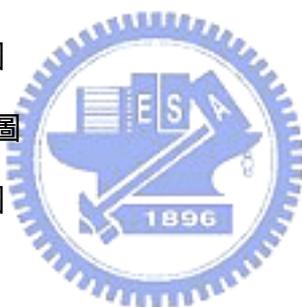


圖4-14 錫銀銅鉛錫薄膜在150 通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖	38
圖4-15 Blech like's structure stripe 錫銀銅鉛錫薄膜在150 通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖	35
圖 4-16 錫銀銅鉛錫薄膜電流密度 $6.6 \times 10^4 \text{ A/cm}^2$ 之模擬圖	42
圖 4-17 錫銀銅鉛錫薄膜電流密度分佈圖	42
圖 4-18 錫銀銅鉛錫薄膜橫剖面電流密度分佈圖	43
圖4-19各層電流密度分佈圖(a)整段之電流分布，(b)、(c)為區段放大圖	44
圖4-20 錫銀銅鉛錫薄膜以FIB切成各種短stripe之模擬圖，(a)未通電(b)(c)通電後	45
圖 4-21 FIB 之後各 stripe 電流密度分佈圖(a)，(b)為 $25 \mu\text{m}$ stripe 區段放大圖	46
圖4-22 錫銀銅鉛錫薄膜以FIB切成各種短stripe之橫剖面模擬圖，(a) $5 \mu\text{m}$ (b) $10 \mu\text{m}$ (c) $15 \mu\text{m}$ 通電後	47
圖4-23 stripe長度與電流密度分布圖	48
圖 4-24 Blech structure 電流密度模擬圖(a)通電後(b)Blech structure	49
圖4-25 Blech structure電流密度分布圖	50
圖4-26 Blech structure stripe SEM EPMA圖	52
圖4-27 Blech structure stripe SEM EPMA圖	53
圖4-28 Blech structure stripe SEM EPMA圖	54
圖4-29 Blech structure stripe SEM EPMA圖	55
圖4-30 Blech structure stripe SEM EPMA圖	56
圖4-31 Temperature Dependence of yield stress for various alloys	59

表目錄

表3-1: 試片各層電阻率	23
表4-1 試片各層電流分布比例	30
表 4-2 不同長度之電流密	48

表 4-3 錫銀銅與共金錫鉛 critical product 理論值與量測結果	58
表 4-4 critical product 公式計算結果	58
表 4-5 錫銀銅鍍錫機械特性	59



第1章 序論

1.1 電子封裝概要

自從第一個積體電路被Jack Kilby和Robert Noyce在1958年發明後，積體電路在二十世紀徹底改變人們的生活，由於積體電路持續的發展矽晶片上被放進越來越多的電路，以增加晶片上功能，然而，晶片不能單獨的運作，它在系統內必須與其它的晶片或設備互相連接來傳遞訊號，而且，積體電路晶片和它上面的電路系統是很容易脆裂的，需要封裝來保護和承載晶片，因此，若沒有電子封裝保護的積體電路是沒有應用價值的。

電子封裝技術可以分為三種不同的層級(Level)，如圖1-1所示，第一層級是將IC晶片黏著於封裝機殼上並完成其中的電路連線與密封保護之製程(Chip to Module)；第二層級是將第一層次封裝完成的元件組合於印刷電路板上的製程(Module to board)；第三層級則把數個電路板組合於主機板上(board to mother board)。電子封裝第一層級的晶片封裝(Chip Level Packaging)中，晶片與基板間的電導通方式主要可分為：(1)打線接合(Wire Bonding)；(2)捲帶自動接合(Tape Automated Bonding, TAB)；以及(3)覆晶接合(Flip Chip Bonding)三種主要形式

典型的微電子封裝的目的如下述

- (1)晶片與系統訊號連接
- (2)提供晶片運作的電能
- (3)移除晶片上產生的廢熱
- (4)保護和承載晶片[1].

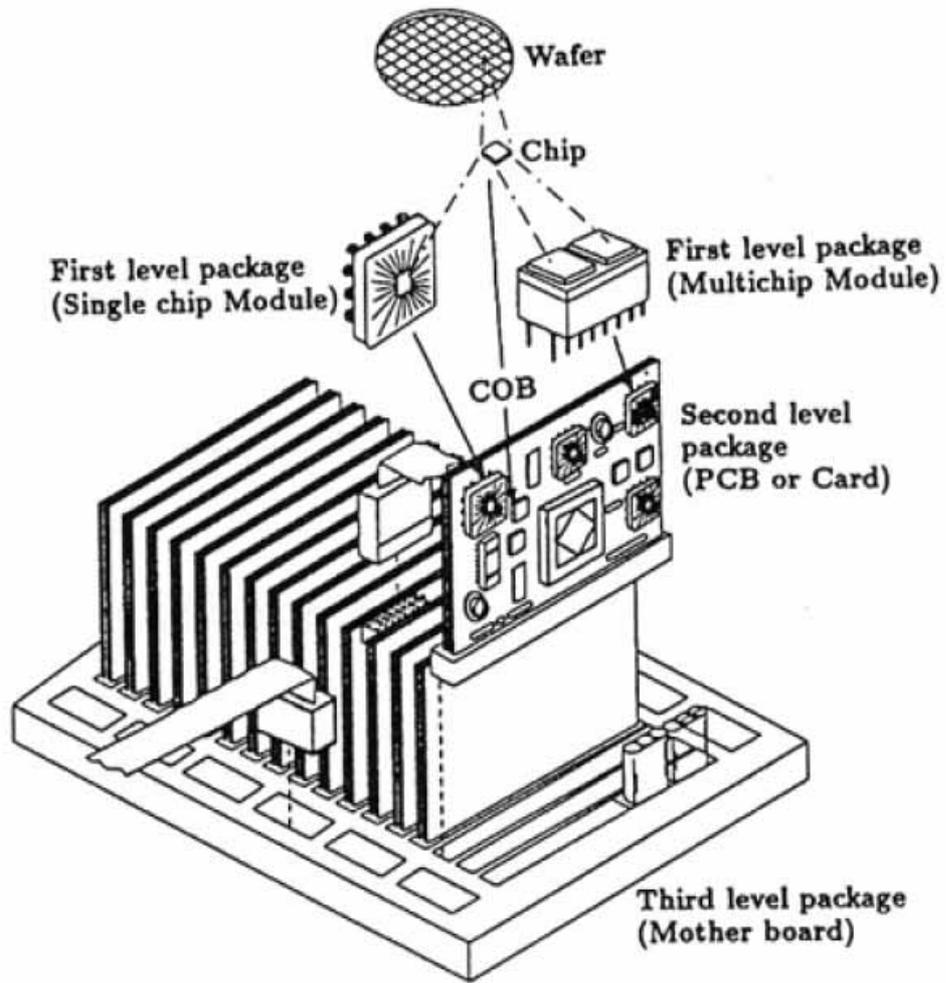
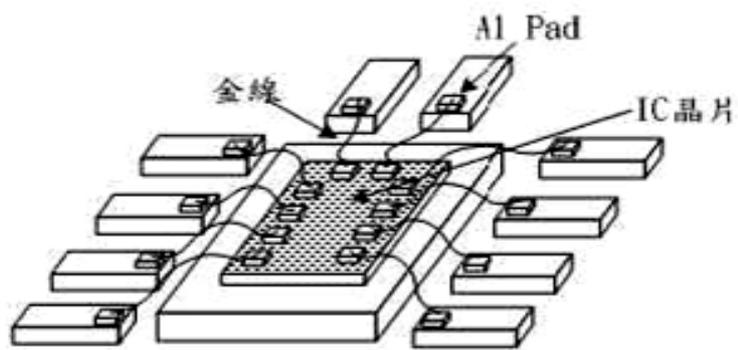
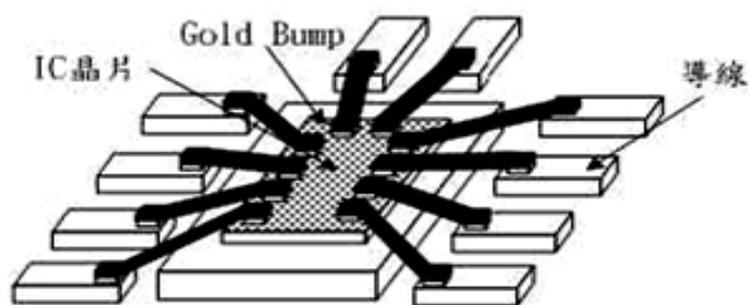


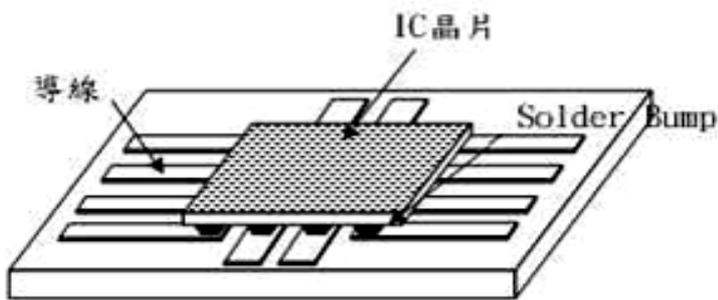
圖1-1：電子封裝的層級[2].



(a)



(b)



(c)

圖 1-2、晶片封裝中三種不同的電導通方式(a)打線接合(b)捲帶式自動接合(c)覆晶接合

1.2 電遷移對微結構的影響

一般家用電器中不會產生電遷移因為電器中的電流密度很小，大約100安培/平方公分，在金屬中的自由電子為電流的主要載子，假設電子在完美晶格的金屬中的移動是不受約束的，除此之外電子的流動與原子核震動的交互是金屬中電阻與焦耳熱效應的起因，當一原子離開他平衡的位置時，例如一個擴散中的原子離開原本晶格位置，跳入鄰近的空孔，為使原子跳入空孔，該原子就必須克服空孔鄰近之原子對它的淨吸收力，因此跳入的原子必須做功，而做功的能量由晶格的熱震動所提供，然而，當電流密度很小時電流密度所產生的晶格震動不會增加原子的移動的，不過，在高電流密度下（約10000安培/平方公分）可以使得原子朝電流方向移動，這個因為電流密度（電場）所產生的原子移動稱為電遷移。



1.3 為什麼要使用錫銀銅鉛錫

因應電子產品日趨輕薄短小的需求，覆晶技術搭配球腳格狀陣列的封裝已成為現今的封裝主流技術，其中鉛錫凸塊的材料選擇更相形重要。一般來說，鉛錫凸塊包含兩個部分：一為鉛錫球，另一部份則是底部金屬層(under bump metallurgy)。

傳統的鉛錫球所採用的材料是共晶錫鉛，其共晶溫度為 183°C 。由於共晶錫鉛具有良好的機械性質，再加上因長年使用的所建立的物理、化學、機械性質資料庫，因此目前共晶錫鉛仍是電子工業最普遍使用的鉛錫材料。

由於鉛對環境污染的考量，歐盟 2003. 2. 13 公告 2002/95/EC RoHS 指令(the restriction of the use of certain hazardous substances in electrical and electronic equipment, 有害物質禁用指令)，明確要求 2006. 7. 1 起電子產品不可含有鉛、鎘、汞、(6 價鉻)等重金屬及 PBB 和 PBDE 等溴化物阻燃劑；影響所及，世界各國皆已開始制訂類似禁令，無鉛化成為未來電子產品基本要求，此外，含鉛鉛錫含有少量的 Pb210 同位素，會衰敗為 Bi，在衰敗過程會放射出 α 粒子，當這些粒子穿過矽基材元件時，會產生電子和電洞，在這些電子和電洞再結合前，會對元件中的電容造成電荷累積現象使元件產生“soft error”而失效。在瞭解無鉛鉛錫之前，必須知道含鉛鉛錫的獨特優點。第一，鉛提供良好的延展性與光澤的表面；第二，鉛可使鉛錫有較低的表面能和界面能，共晶錫鉛鉛錫的熔點 183°C 相對於純錫(232°C)和純鉛(327°C)有較低的熔點；第四，高鉛鉛錫 95Pb5Sn 的液相點和固相點溫差只有大約 10°C ，可被當作高溫鉛錫使用。因此，具低熔點的共晶錫鉛鉛錫和具高熔點的高鉛鉛錫可被運用成複合鉛錫。

近年來無鉛鉛錫的研發已經成為電子工業相當重要的一環。目前較受矚目的無鉛鉛錫為 Sn-Ag 為主的合金。Sn-Ag 合金的熔點則較高約為 220°C ，而其優異的機械性質使其成為無鉛鉛錫的候選材料之一。相較於 Sn-Ag 合金而言，Sn-Ag-Cu 合金的共晶溫度較低(217°C)，且其潤濕性及機械性質皆比較優良，因

此 Sn-Ag-Cu 合金為目前最佳的候選材料之一。

底部金屬層通常是由許多金屬層所構成的。其除了必須與錒錫的連接外，還必須阻止 Al 或 Cu 與錒錫在迴錒或使用時的相互反應。現今的 UBM 結構包括 Cr/CrCu/Cu, Ti/Cu/Cu, Ti-W/Cu/Cu, Ni/Cu 及無電鍍 Ni/Cu。至於以 Cu 為主的底部金屬層已經逐漸被淘汰，因為 Sn 和 Cu 會快速反應生成易碎裂的 Cu-Sn 介金屬生成物。而以 Ni 為主的凸塊底層金屬則因其與 Sn 的反應較慢而受到青睞。一般在 Ni/Cu 或無電鍍 Ni/Cu 凸塊底層金屬中，鎳或無電鍍鎳是扮演潤濕層與擴散阻絕層的角色，而銅則是作為導線。[4]



1.4 錫銀銅鉛錫之電遷移臨界長度

隨著半導體元件越做越小，覆晶鉛錫技術也須符合微電子晶片而越來越小，單位面積內的鉛錫接點密度越來越大，此外，鉛錫接點的增加與尺寸的縮小，造成每個接點的電流也持續增加，所以在鉛錫接點內的電流密度越來越大，因此，在鉛錫接的電遷移問題是很重要的可靠度議題。

而電遷移的基本參數例如漂移速度 (drift velocity)，門檻電流密度 (threshold current density)，活化能 (activation energy)，擴散率之有效係數 product of diffusivity and effective charge number (DZ^*)，然而，有一個重要的電遷移參數還沒有實際的測量出來，就是電遷移臨界長度 (critical length of electromigration)，電遷移臨界長度指的就是在多短的長度下不會產生電遷移，而原因是因為電遷移與通電中產生的背向應力 (back stress) 達成平衡。[5]



第2章 電遷移理論

2-1 電遷移之概述

在金屬材料中施加一電場所造成原子移動稱為電遷移，這是一種因為電場作用下產生的擴散現象，這個現象被Gerardin (1861)在熔化的錫鉛和汞鈉中第一次被發現，而電遷移被廣泛的研究在1960年代末期，因為在當時的積體電路中的導線是鋁導線，而最主要的可靠度因素就是電遷移造成鋁導線的破壞。

而電遷移所造成薄膜金屬中質量的移動可以由漂移速率模式來直接的研究，這個模式稱為“saddle movement experiment”，它是由Blech在1976年中第一次提出爾後被廣泛的應用在原子漂移速率, 活化能和電遷移的參數的研究中，圖2-1為飄流速率實驗的試片結構圖，然後我們在氮化鈦層中通入電流，而電流會由氮化鈦層流入鋁線中，因為鋁有較低的電阻。而鋁的門檻電流密度可由此實驗測得圖2-2，且Blech發現門檻電流密度與試片長度成反比的關係，而隨著溫度增加而減小。[6] [7]

現在由於積體電路的尺寸縮小，而使得鉍錫的電流密度增加，因此電遷移在鉍錫球中是一個重要的可靠度議題。

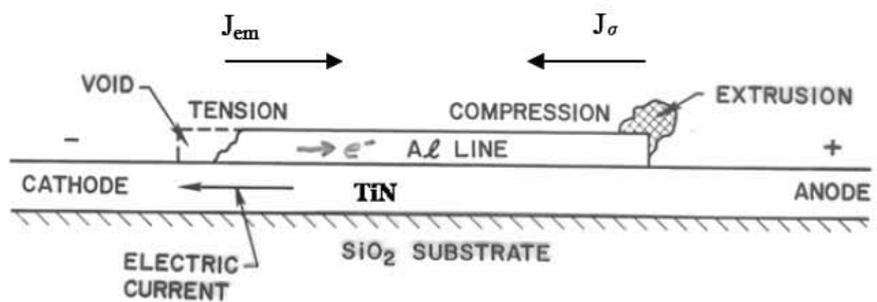


圖 2-1：Blech 首創之電遷移試片，圖中鋁線沉積在氮化鈦層上



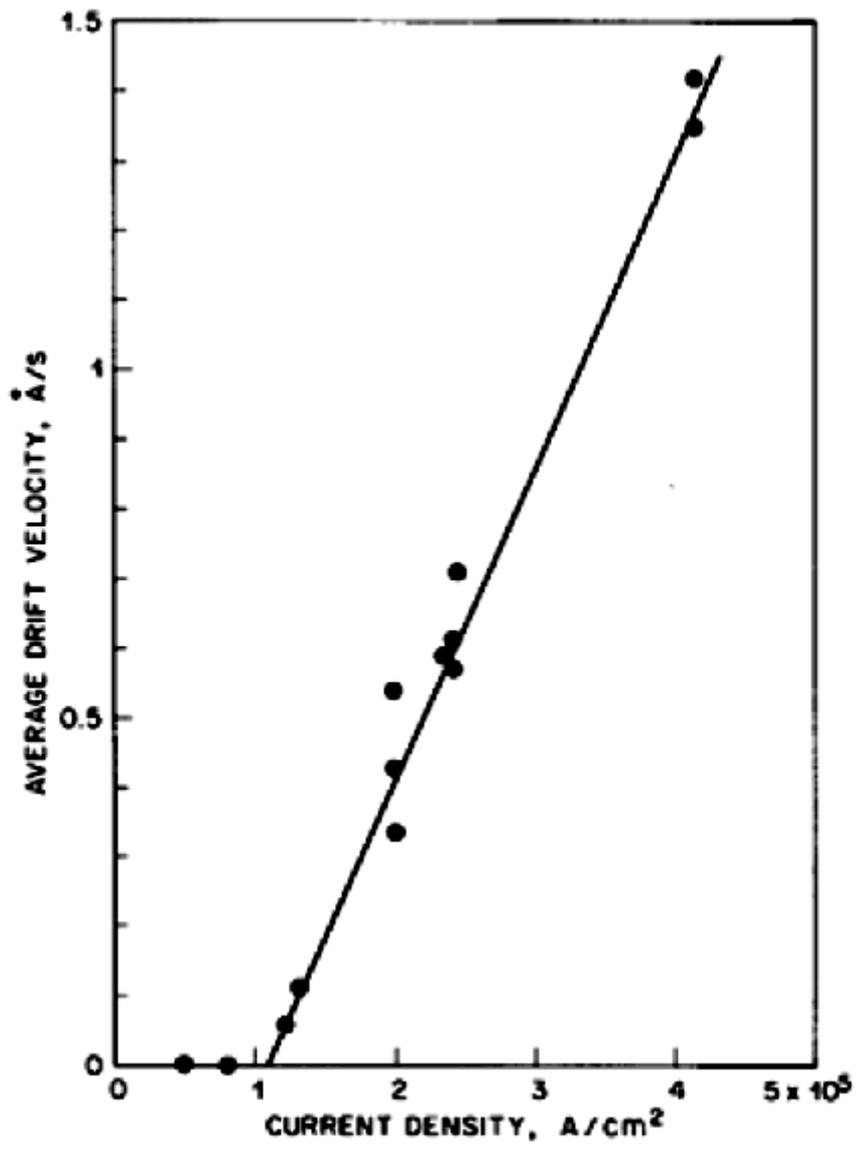


圖2-2：鋁線（熱處理500°C, 0.5小時）之平均漂流速度

2-2 電遷移之驅動力

電遷移造成質量的移動是由於電場與電荷載子所造成，電場所造成原子流動的驅動力可以分為兩部份，第一種是電場直接對擴散原子作用，第二種是帶電力子與擴散原子之間的動量轉換，又可稱為電子風力。

Hungtington and Grone[8]兩人提出一個電遷移的理論，他們假設 (1) 金屬導體與點缺陷之間的動量轉換如圖2-3，(2) 電子因為缺陷而產生散射而這些缺陷部指來自於晶體的內部，(3) 但這些電子的散射不會造成動量的損失，因此動量的轉換可以對寫成公式 (1)

$$\Delta P = m_0 \Delta V = m_0 V' - m_0 V \quad (1)$$

公式1中的 m_0 為原子質量， V 與 V' 為電子散射前後之速度，然後我們對公式 (1) 的X軸分量對時間來作微分可以得到公式 (2)，我們再把 V 以 $\frac{1}{\hbar} \frac{\partial E}{\partial k}$ 帶入的公式 (2)，得到公式 (3)。

$$\frac{dp_x}{dt} = \iint \frac{d(m_0 V)}{dt} \quad (2)$$

$$\frac{dp_x}{dt} = - \left(\frac{1}{4\pi^3} \right)^2 \iint (m_0 / \hbar) \left(\frac{\partial E}{\partial k'} - \frac{\partial E}{\partial k} \right) f(k) [1 - f(k')] W(k, k') dk' dk \quad (3)$$

公式 (3) 中的 $W(k, k')$ 為單位時間內的電子從 k 狀態跳至 k' 狀態的變化率，換句話說就是指原子克服活化能 ΔG_m 躍過能階障礙之機率如圖2-4， $f(k)$ 是電子分布函數。

公式 (3) 可以改寫成公式 (4)

$$\frac{dp_x}{dt} = - \left(\frac{1}{4\pi^3} \right) \left\{ \iint (m_0 / \hbar) \frac{\partial E}{\partial k'} f(k) [1 - f(k')] W(k, k') dk sk' \right\} - \left\{ \iint (m_0 / \hbar) \frac{\partial E}{\partial k} f(k) [1 - f(k')] W(k, k') dk sk' \right\} \quad (4)$$

再把公式 (4) 整理得到公式 (5)

$$\frac{dp_x}{dt} = -\left(\frac{1}{4\pi^3}\right)^2 \int (m_0/\hbar) \frac{\partial E}{\partial k} \int \{f(k)[1-f(k')]W(k,k') - f(k')[1-f(k)]W(k',k)\} dk' dk \quad (5)$$

再把 τ_d (relaxation time) 帶入公式5得公式6

$$\frac{f(k) - f_0(k)}{\tau_d} = \int \{f(k)[1-f(k')]W(k,k') - f(k')[1-f(k)]W(k',k)\} dk' / 4\pi^3 \quad (6)$$

這裡的 $f_0(k)$ 為電子在平衡時的分布函數，再把公式 (6) 帶入 (5) 然後在標準化後得 (7)

$$\begin{aligned} \frac{dp_x}{dt} &= \left(\frac{1}{4\pi^3\tau_d}\right) \int (m_0/\hbar) \frac{\partial E}{\partial k} f(k) dk \\ &= \frac{m_0}{\tau_d \hbar} \int \frac{\partial E}{\partial k} f(k) dk / 4\pi^3 \end{aligned} \quad (7)$$

而電流密度在X軸的分量可以表示成公式 (8)

$$j_x = -e \int f(k) \frac{\partial E}{\hbar \partial k} dk / 4\pi^3 \quad (8)$$

這裡的 $\frac{\partial E}{\hbar \partial k}$ 為group velocity of Block wave。再把 (8) 帶入 (7) 可以得公式

(9)

$$\frac{dp_x}{dt} = -\frac{j_x m_0}{e \tau_d} \quad (9)$$

動量的變化定義為 $\Delta p = F * \Delta t$

$$F_x = \frac{dp_x}{dt N_d} = -\frac{j_x m_0}{e \tau_d N_d} \quad (10)$$

這裡的 N_d 為缺陷的密度，而缺陷對電阻率的影響為公式 (11)

$$\rho_d = \frac{|m^*|}{ne^2 \tau_d} \quad (11)$$

這裡的 m^* 為電子的有效質量， n 為參與反應的電子的密度，所以 F_x 可以改寫成 (12)

$$F_x = -\frac{nej_x}{Nd} \frac{m_0}{m^*} \rho_d \quad (12)$$

而歐姆定律定義 $j_x = \frac{\epsilon_x}{\rho}$ ，代入 (12) 中得 (13)

$$\begin{aligned}
F_x &= -\frac{ne}{N_d} \frac{\varepsilon_x}{\rho} \frac{m_0}{m^*} \rho_d \\
&= -e\varepsilon_x z \frac{N}{N_d} \frac{\rho_d}{\rho} \frac{m_0}{m^*}
\end{aligned} \tag{13}$$

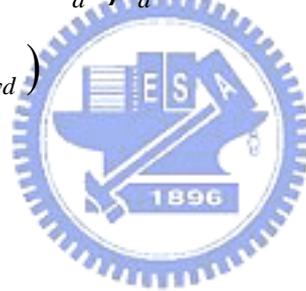
這裡的N為離子的密度，Z為離子價數，所以我們以N和Z表示n，再乘以1/2得公式(14)，因為離子遷移 ΔX 所克服 ΔG_m 是一正弦函數。

$$F_x = -e\varepsilon_x z \frac{1}{2} \frac{N}{N_d} \frac{\rho_d}{\rho} \frac{m_0}{m^*} \tag{14}$$

所以電子流與金屬離子互相作用，金屬離子傾向反電場移動，此力稱為電子風力，因此電遷移的驅動力可以寫成公式(15)

$$F_{driving} = F_{field} + F_{el-wind} \tag{15}$$

$$\begin{aligned}
&= e\varepsilon_x z - e\varepsilon_x z \frac{1}{2} \frac{N}{N_d} \frac{\rho}{\rho_d} \frac{m_0}{m^*} \\
&= e\varepsilon_x (Z_{el} + Z_{wd}) \\
&= e\varepsilon_x z^*
\end{aligned}$$



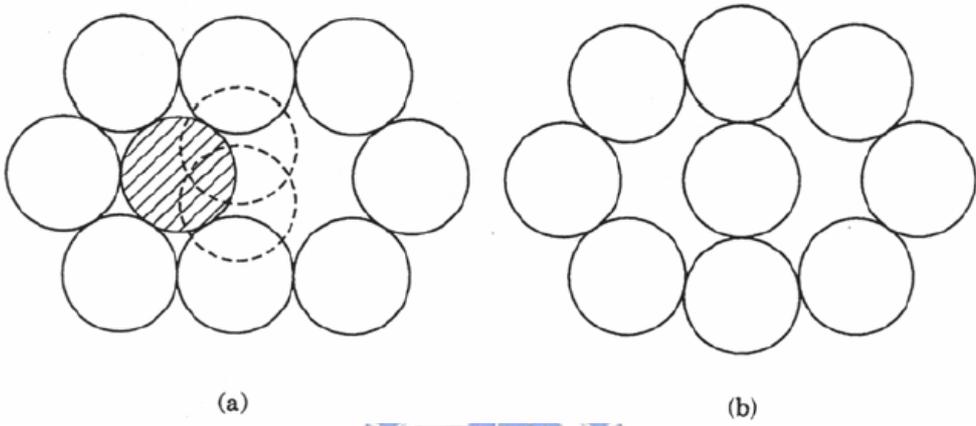


圖2-3：金屬導體與點缺陷之間的動量轉換



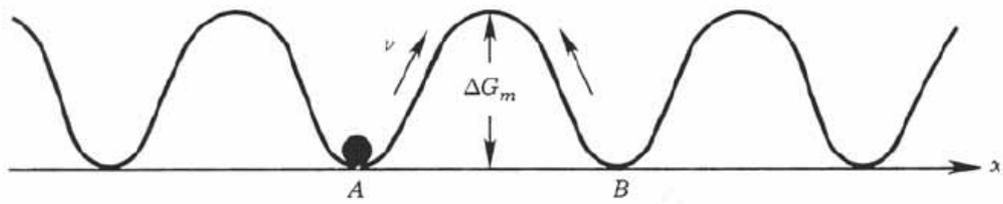


圖2-4：原子克服活化能 ΔG_m 躍過能階障礙



2-3 電遷移之背向應力

在早年的電遷移研究中，Blech利用鋁線沉積在氮化鈦層上通以電流，如圖 2-1，Blech用此結構發現一些結果[9]- [12]：

- 1：較長得錫條有較大的漂移速率
- 2：若錫條的長度小於臨界長度則不會產生電遷移
- 3：若低於臨界電流密度，則漂移速率為零

由以上的結果可以知道錫條有背向應力，電遷移會使原子往陽極移動造成陽極產生一壓縮應力，使的陰極端產生更多的空孔，由Nabarro-Herring model可知這錫條中空孔的濃度梯度會造成原子反電流方向的流動 J_{σ} ，由此可以得到以下公式(18)

$$J = J_{chem} + J_{em} + J_{\sigma} = -D \frac{\partial C}{KT} + C \frac{D}{KT} Z^* e \rho j - C \frac{D}{KT} \frac{d\sigma\Omega}{dX} \quad (18)$$

公式(18)中 σ 為應力， $C=1/\Omega$ ， Ω 為原子的體積， J_{em} 和 J_{σ} 為原子流，若沒有化學濃度梯度所造成的原子流，在電子風力與背向應力的作用下電遷移方程式可以改寫成公式(19)

$$J = C \frac{D}{KT} Z^* e \rho j - C \frac{D}{KT} \frac{d\sigma\Omega}{dX} \quad (19)$$

若沒有電遷移的產生則 $J=0$ ，臨界長度 ΔX_{crit} 可以寫成公式(20)

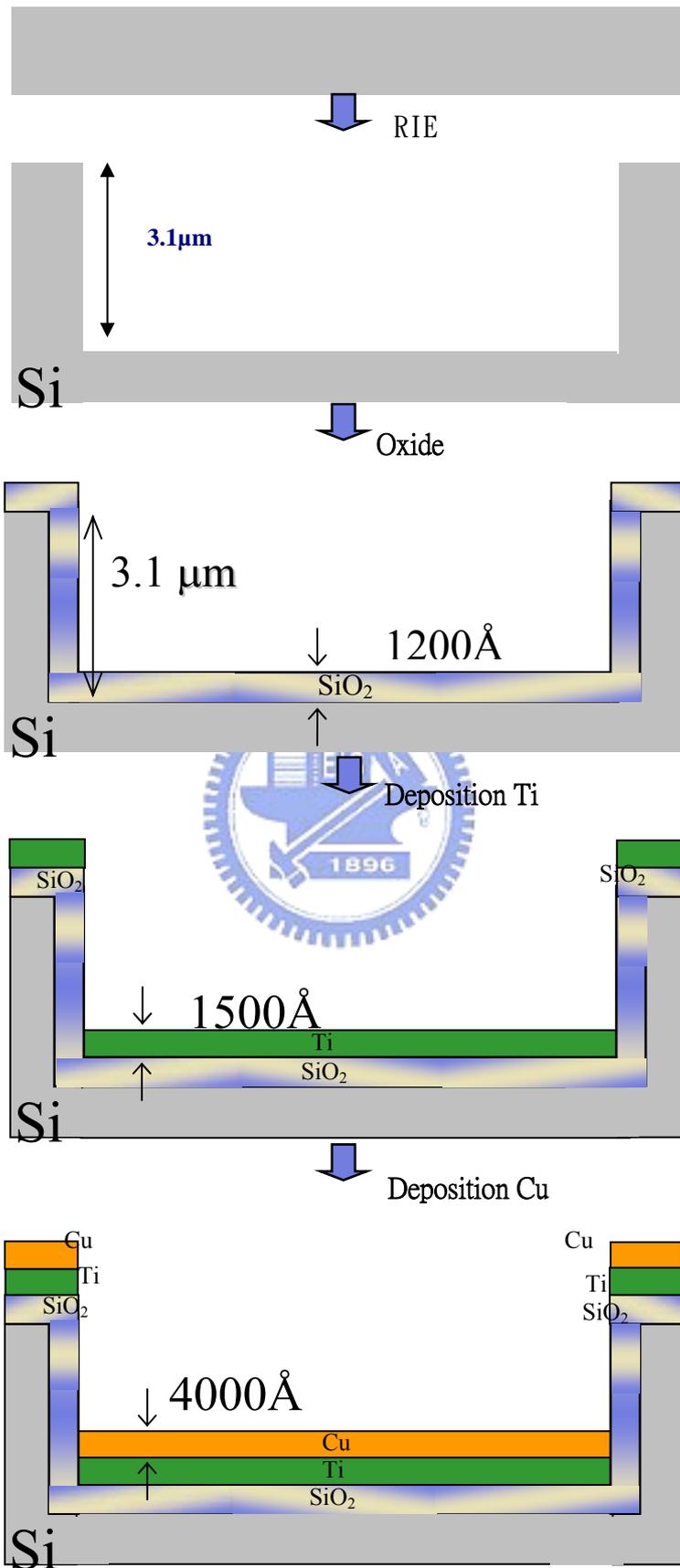
$$\Delta X_{crit} = \frac{\Delta\sigma\Omega}{Z^* e \rho j}$$

而試片不會產生電遷移則 $j\Delta X = \frac{\Delta\sigma\Omega}{Z^* e \rho}$ 小於 $j\Delta X_{crit} = \frac{\Delta\sigma\Omega}{Z^* e \rho}$ (critical product)。

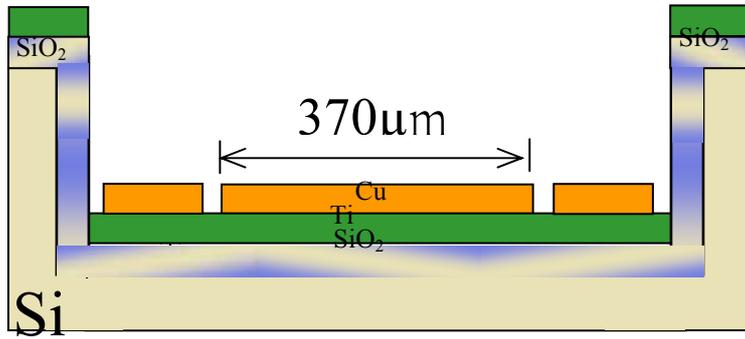
第3章 實驗

3-1 Blech試片的製備

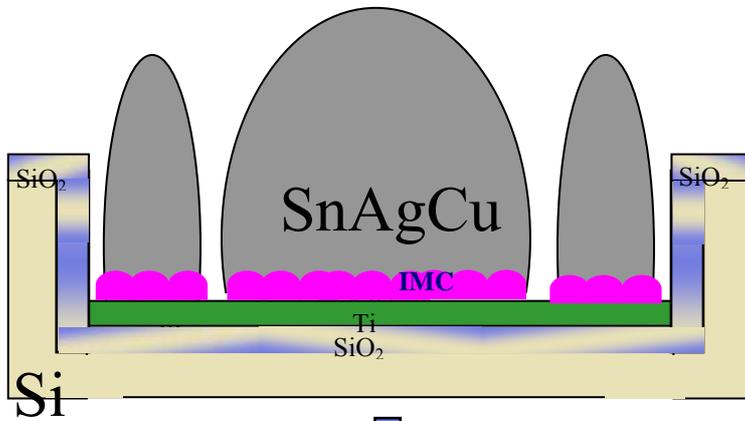
- a. 試片準備：我們使用4吋n型（100）晶片，流程圖如圖3-1
- b. 第一道黃光微影製程：利用第一道黃光微影來定義我們錫條試片的形狀，光阻（AZ5214）為旋塗法在晶片上，再軟烤100°C 1分鐘以後以FDH5曝光顯影，之後在硬烤120°C 7分鐘。
- c. 乾蝕刻晶片：我們在用The inductively coupled plasma-reactive ion etching (ICP-RIE)技術來蝕刻晶片，蝕刻後的厚度以 α -stepper and Atomic Force Microscopy (AFM)來量測為3.1微米。
- d. 沉積氧化層（ SiO_2 ）與金屬層：為了防止漏電流我們利用濕式氧化沉積1200 Å氧化層，然後再利用E-gun沉積1500 Å的鈦與4000 Å的銅
- e. 第二道黃光微影製程：再利用第二道黃光微影來定義我們所要用來迴錫的銅
- f. 蝕刻銅：再以 $\text{FeCl}_3 + \text{D.I.}$ （1：200）溶液來蝕刻銅。
- g. 迴錫：利用加熱板在230°C迴錫2秒鐘使Eutectic SnAgCu與銅線反應產生介金屬化合物（IMC）
- h. 研磨與拋光：試片在經過研磨與拋光後成Blech-like結構
- i. 製作短的錫條：再利用FIB把錫條切成我們所要的長度



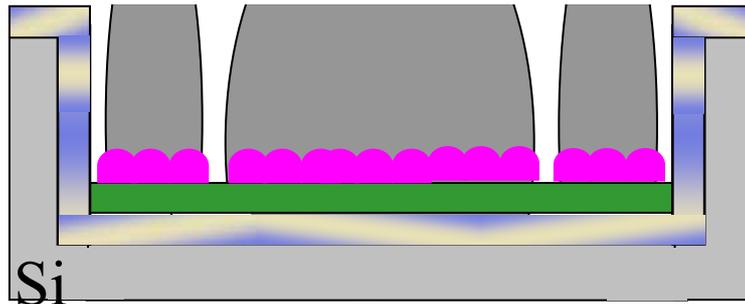
↓ Patten Cu



↓ Reflow solder



↓ polish



↓ Cut by FIB

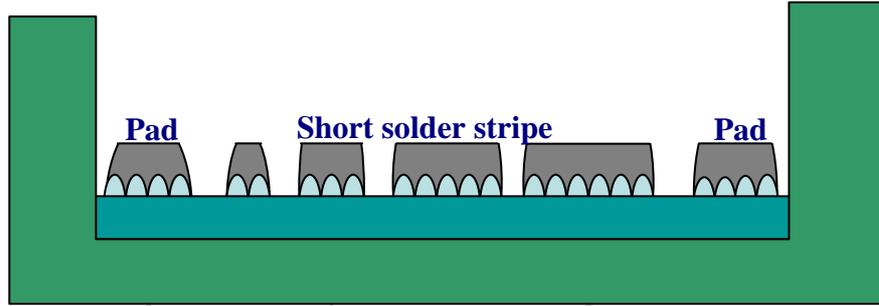


圖3-1 試片製作流程



3-2 電遷移測試條件

決定試片的電流密度，首先我們需要知道鍍錫在拋光後的厚度，我們用原子力顯微鏡 (AFM) 掃描後可以得到如圖3-2，知道各層厚度後我們可以決定各層電阻，各層電阻率如表1所示，再以並聯方式計算出總電阻，如此就可決定我們所要之電流密度。圖3-3為實驗試片通電示意圖，圖3-4為實驗試片通電受力圖。



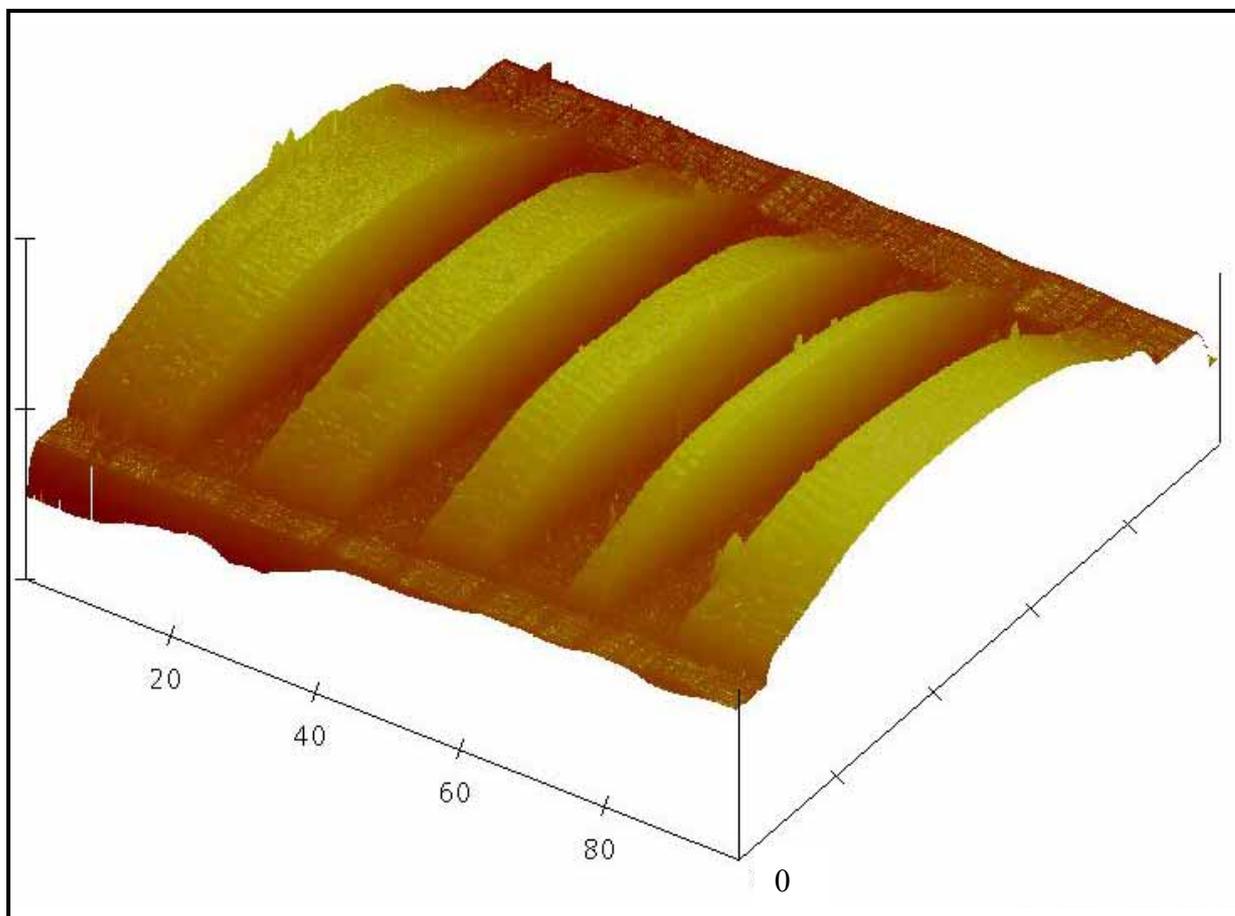
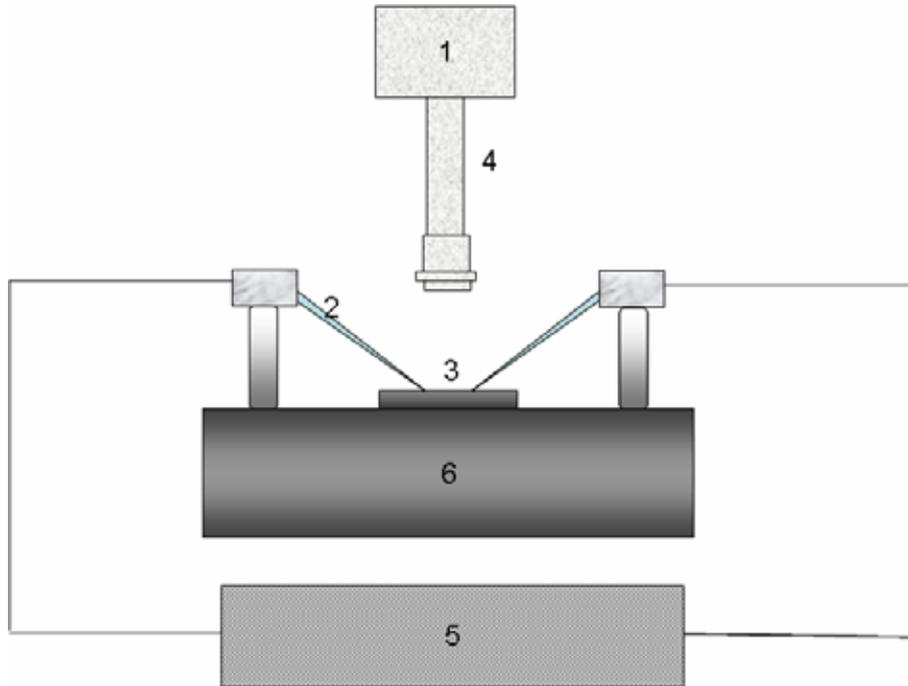


圖3-2 AFM 3D立體圖

Material	Resistivity($\mu\Omega\text{-cm}$)
Eutectic SnAg _{3.8} Cu _{0.7}	13
Ti	42
Cu ₆ Sn ₅	17.5

表3-1 試片各層電阻率





1. CCD camera 2. Probe 3. Sample 4. Optical lens 5. Current source
6. hot plate

圖 3-3 實驗試片通電示意圖



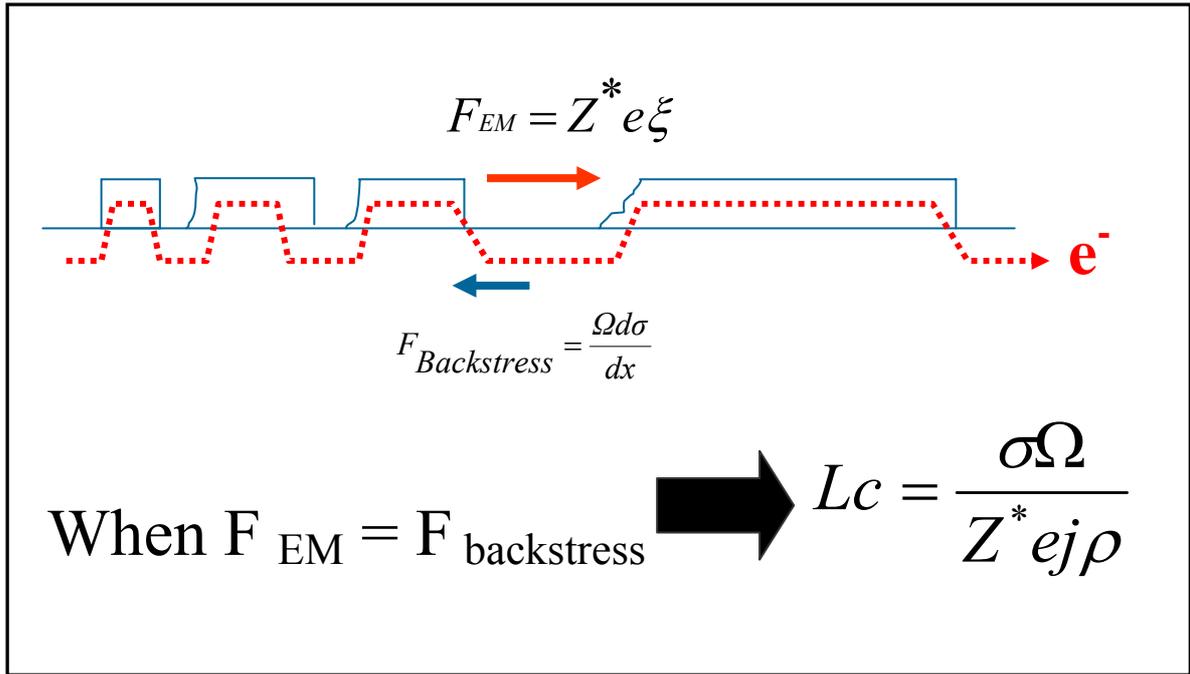


圖3-4 試片通電之受力示意圖



3-3 電遷移3D-modeling

為比較深入了解鋅錫薄膜的電流分布，研究中建立三維的數值分析模型，我們利用ANSYS模擬實驗流程。ANSYS中由有限元素分析法的基本原理可以得知，模擬分析在元素數目越多的時候其結果的收斂性越強，也就是說可以越準確，而在元素數目無限多時可以得到幾乎完全正確的值，本研究所做的分析利用ANSYS內建的JCG模組，在運算後不斷比對數值，直到確定數值收斂才將模擬與實際實驗結果做比較。



3-4 分析技術

- a. 場發射掃描式電子顯微鏡(SEM Scanning Electron Microscopy)
- b. 原子力顯微鏡(AFM Atomic Force Microscopy)
- c. X光能量分布分析儀(EDS Energy Dispersive Spectrometer)
- d. 紅外線分析儀(Infrared scope IR)
- e. 電子微探儀(Electron Probe X-Ray Microanalyzer EPMA)
- f. ANSYS
- g. LabVIEW



第4章 結果與討論

4-1 試片微結構與溫度量測

圖4-1為試片製作完成之SEM圖，在錫銀銅鉛錫薄膜的四個角落可以發現在迴鉛過程中鉛錫與銅箔無法完全的潤濕(wetting)，且鉛錫薄膜在拋光完後在薄膜邊緣的厚度會較薄，所以我們在利用FIB來製作不同長度的短的鉛錫條時不會從邊緣開始製作，因為在邊緣上層的鉛錫厚度太薄而且厚度不平均以至於難以正確估計實驗所訂的電流密度而會在鉛錫薄膜較平緩的區域開始切成我們所需要的長度如圖4-2所示。錫銀銅鉛錫薄膜的各層如圖4-3所示，錫銀銅鉛錫厚度大約 $1\mu\text{m}$ 上面散佈零星的 Ag_3Sn 介金屬化合物大小約 $0.2\mu\text{m}$ ， Cu_6Sn_5 介金屬化合物厚度 $1.4\mu\text{m}$ ，以此各層厚度去計算電流分布如表4-1，鉛錫薄膜所分得的電流比約42.9%，IMC約53.1%鈦層約4%。

我們利用紅外線分析儀(Infrared scope IR)來量測試片在通電下因為焦耳熱效應之溫度上升，圖4-4為試片在 100°C 未通電之IR量測圖，可以看出試片表面溫度均勻分布，而圖4-5~圖4-10為通以 $2\times 10^4\text{A}/\text{cm}^2$ 之電流密度下各種不同長度下之鉛錫條IR量測圖，在此電流密度下之溫升大約 1°C ，圖4-10為通以不同電流密度下之溫升，比較鉛錫薄膜與覆晶鉛錫接點之焦耳熱效應下之溫升[13]，可以發現在鉛錫薄膜結構中之焦耳熱效應比覆晶鉛錫接點的結構小很多，歸因於兩點，一鉛錫薄膜的底材silicon substrate為熱的良導體，二鉛錫薄膜幾何形狀。

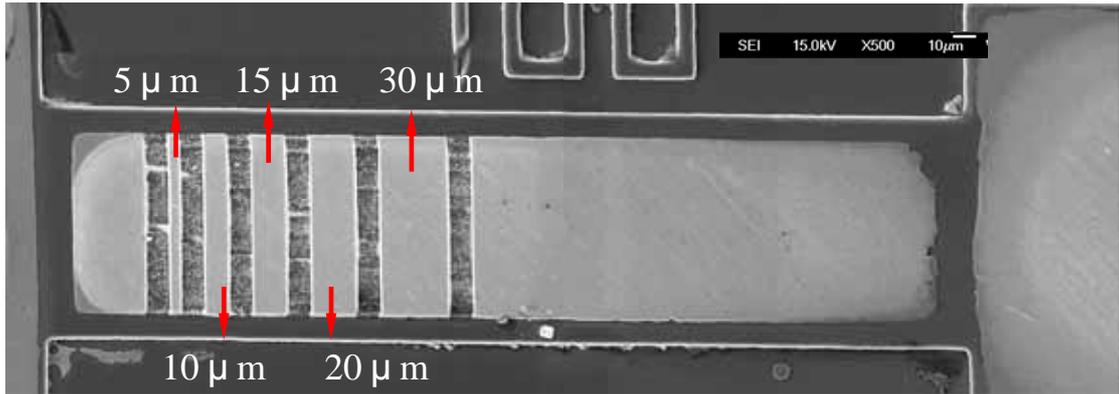


圖4-1 試片製作完成之SEM圖

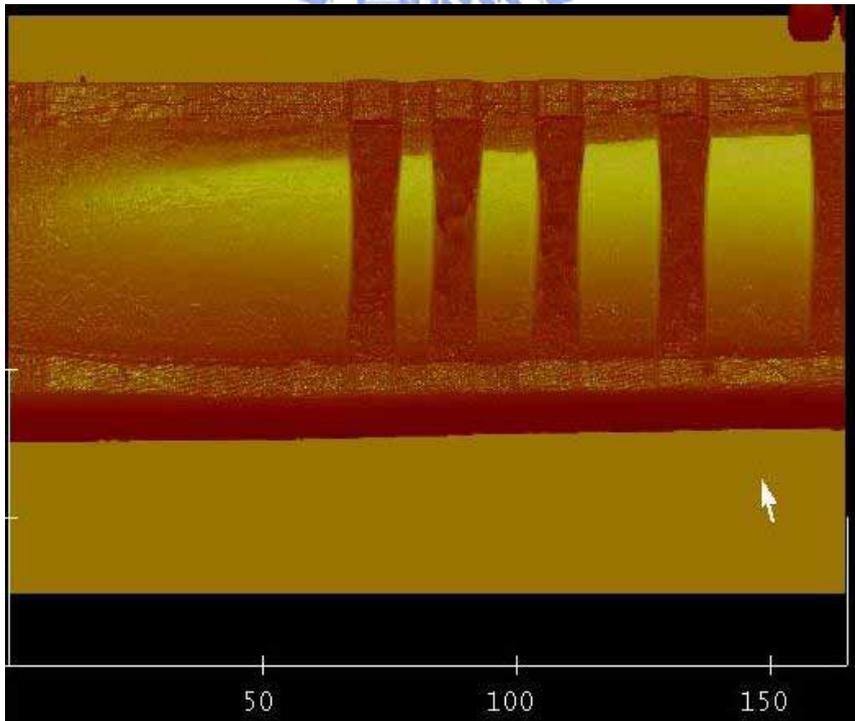


圖4-2 AFM 3D 掃描圖

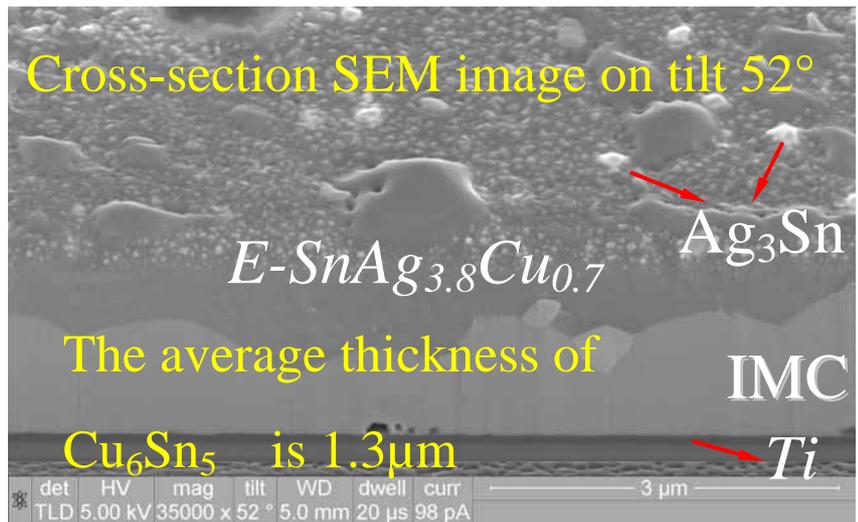


圖4-3試片橫截面SEM圖

	電流(A)	電流密度(A/cm ²)	電流分布比例(%)
$SnAg_{3.8}Cu_{0.7}$	0.01	2×10^4	42.874%
Cu_6Sn_5	0.012	2×10^4	53.082%
Ti	0.0009	2×10^4	4.044%

表4-1 試片各層電流分布比例

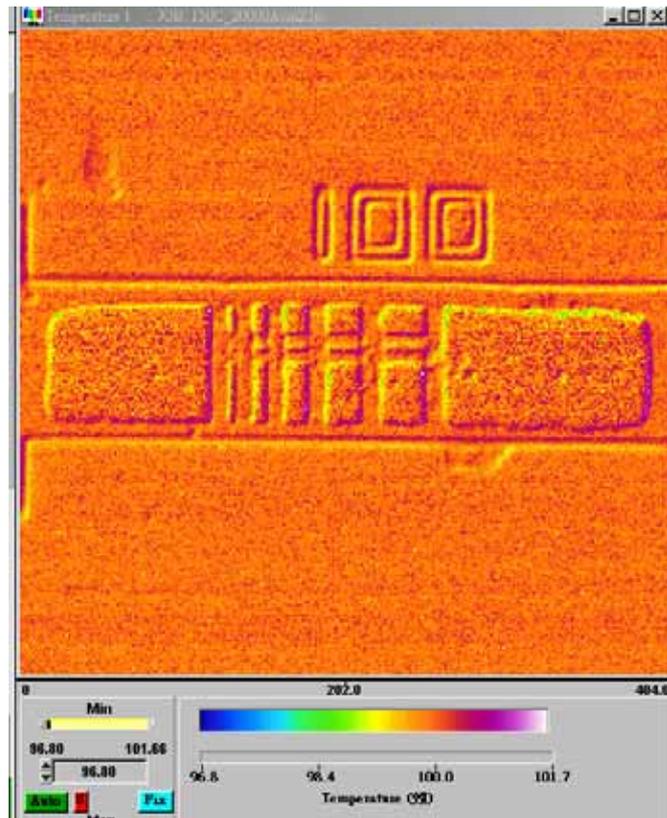


圖4-4 試片在100°C未通電之IR量測圖

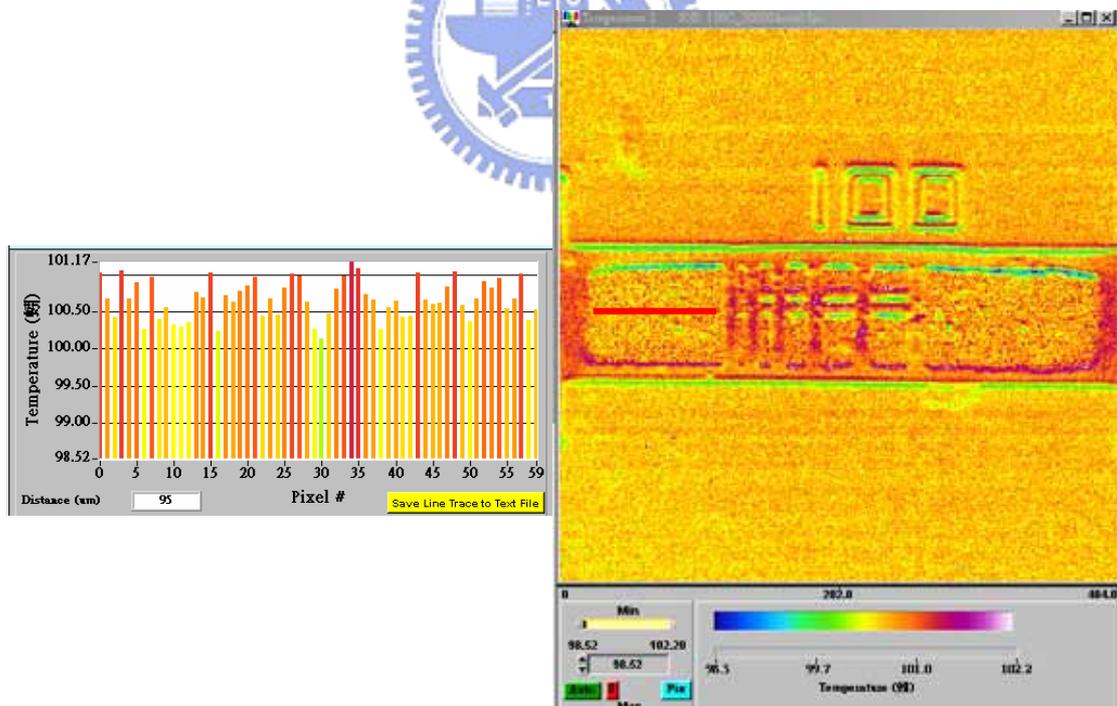


圖4-5 試片在100°C通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下之IR量測圖

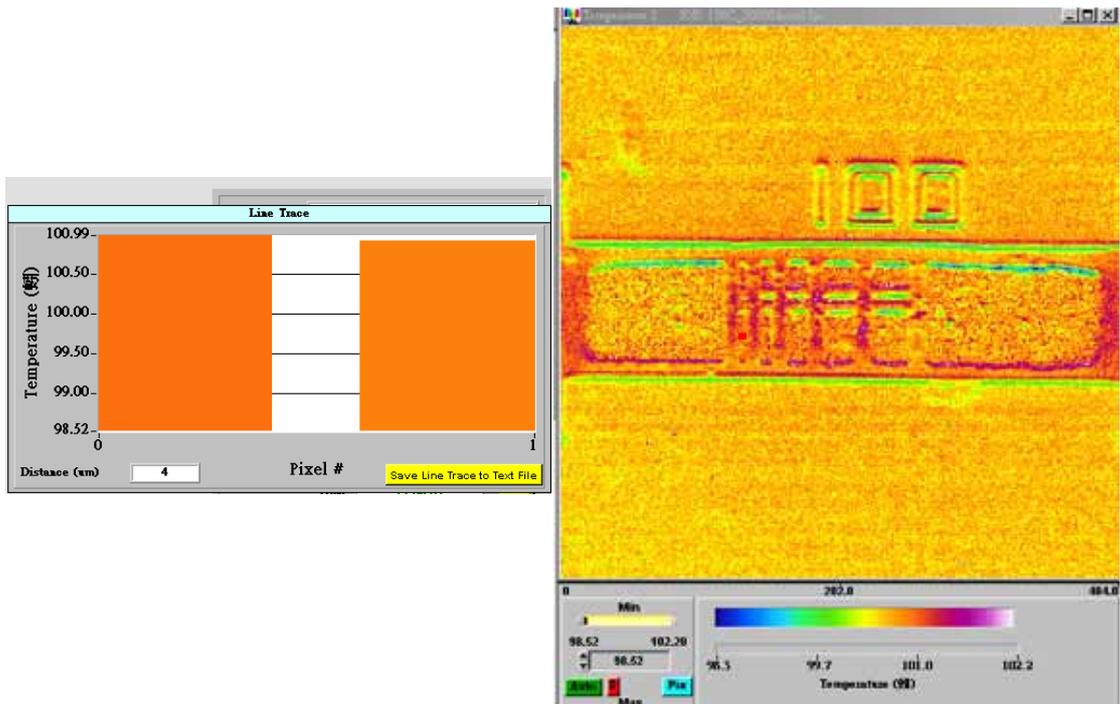


圖4-6 試片在100°C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下5μm的鉛錫條之IR量測圖

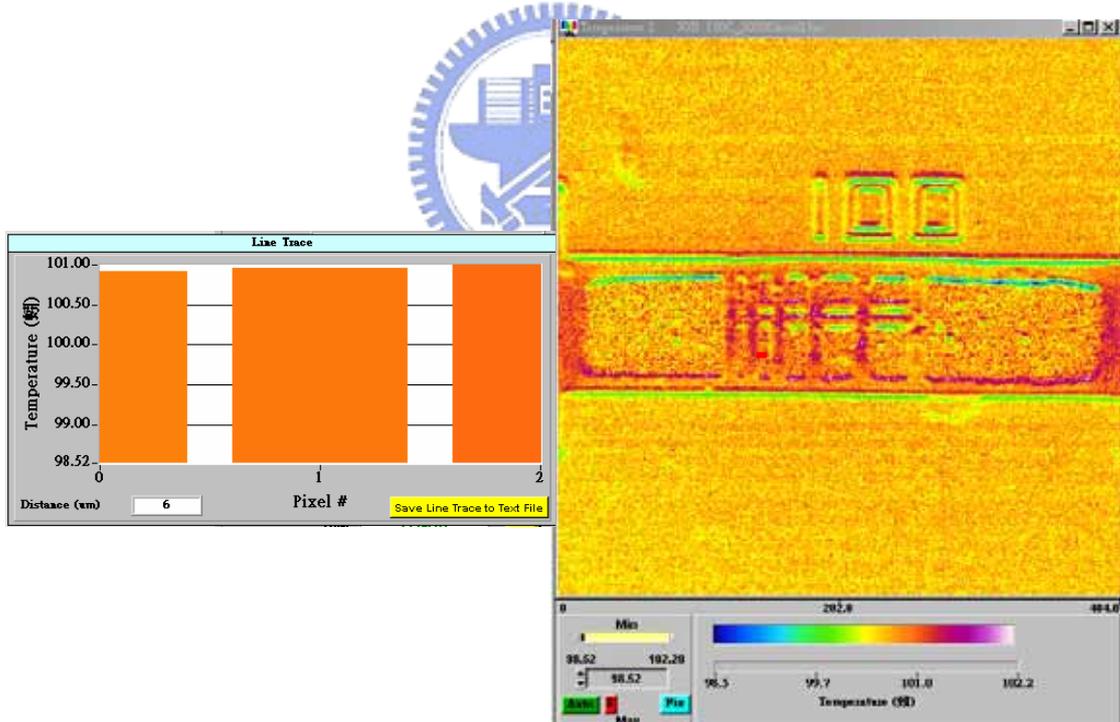


圖4-7 試片在100°C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下10μm的鉛錫條之IR量測圖

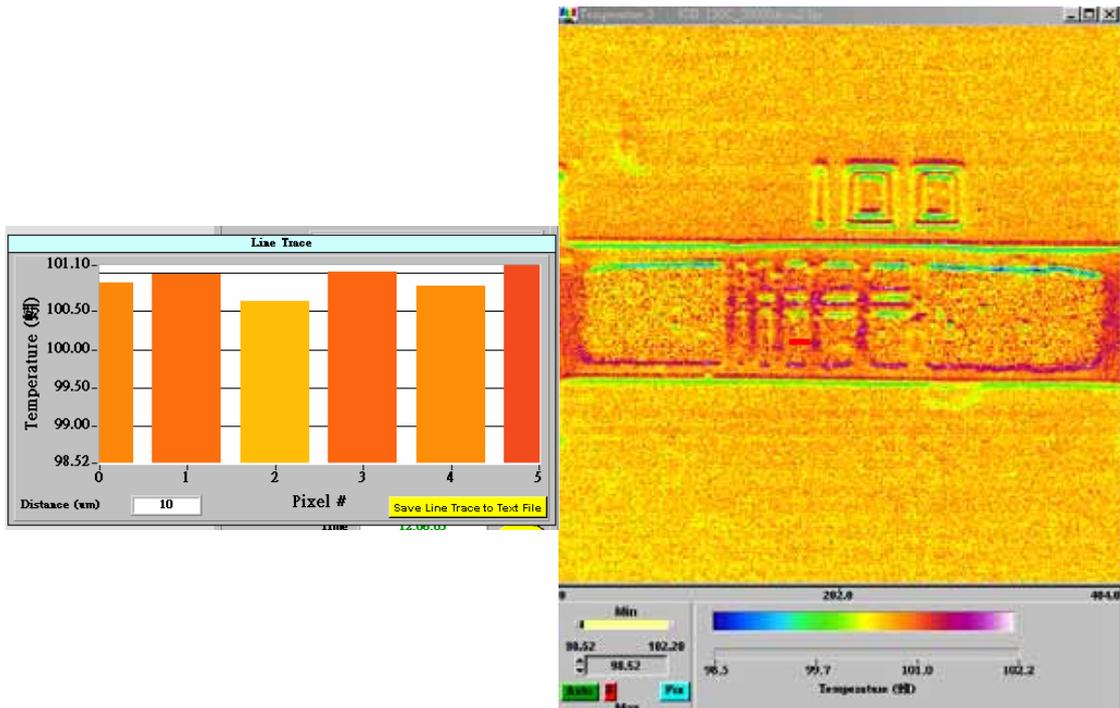


圖4-8 試片在100°C通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下15 μm 的鉛錫條之IR量測圖

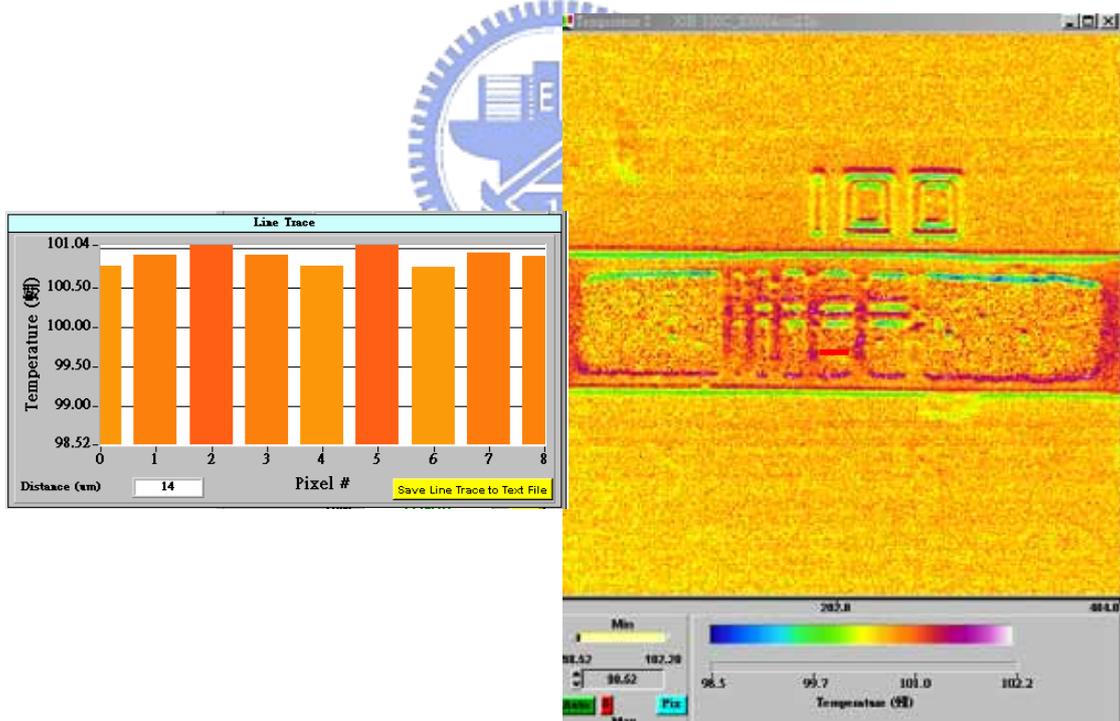


圖4-9 試片在100°C通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下20 μm 的鉛錫條之IR量測圖

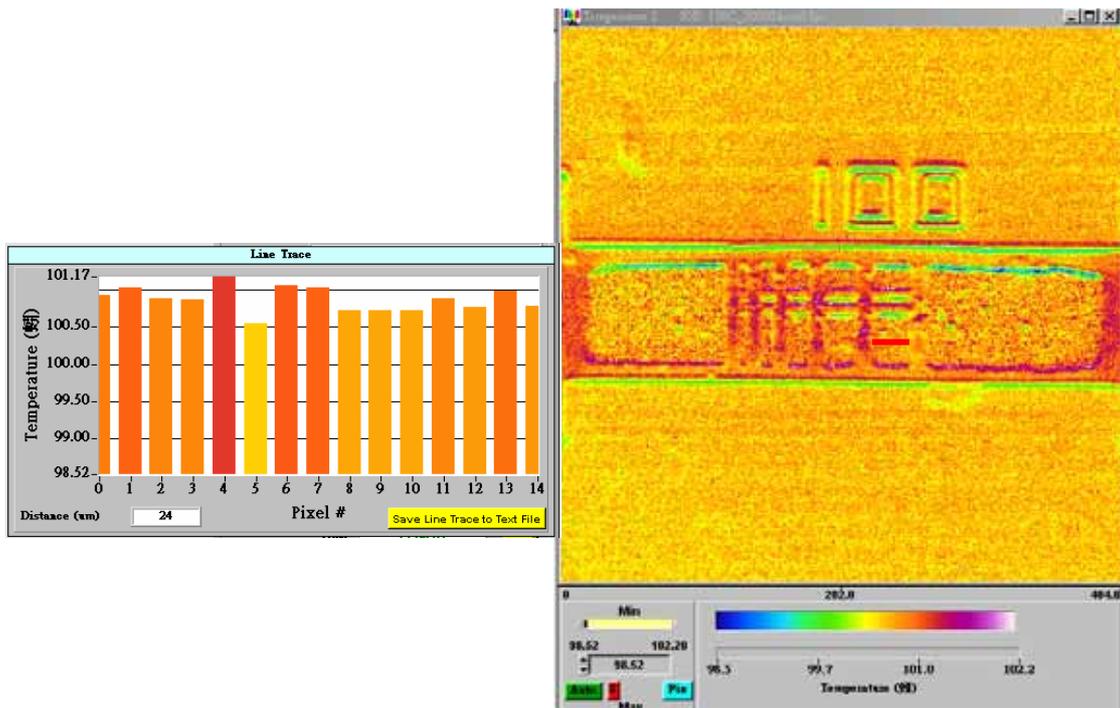


圖4-10 試片在100°C 通以 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下25 μm 的鉛錫條之IR量測圖

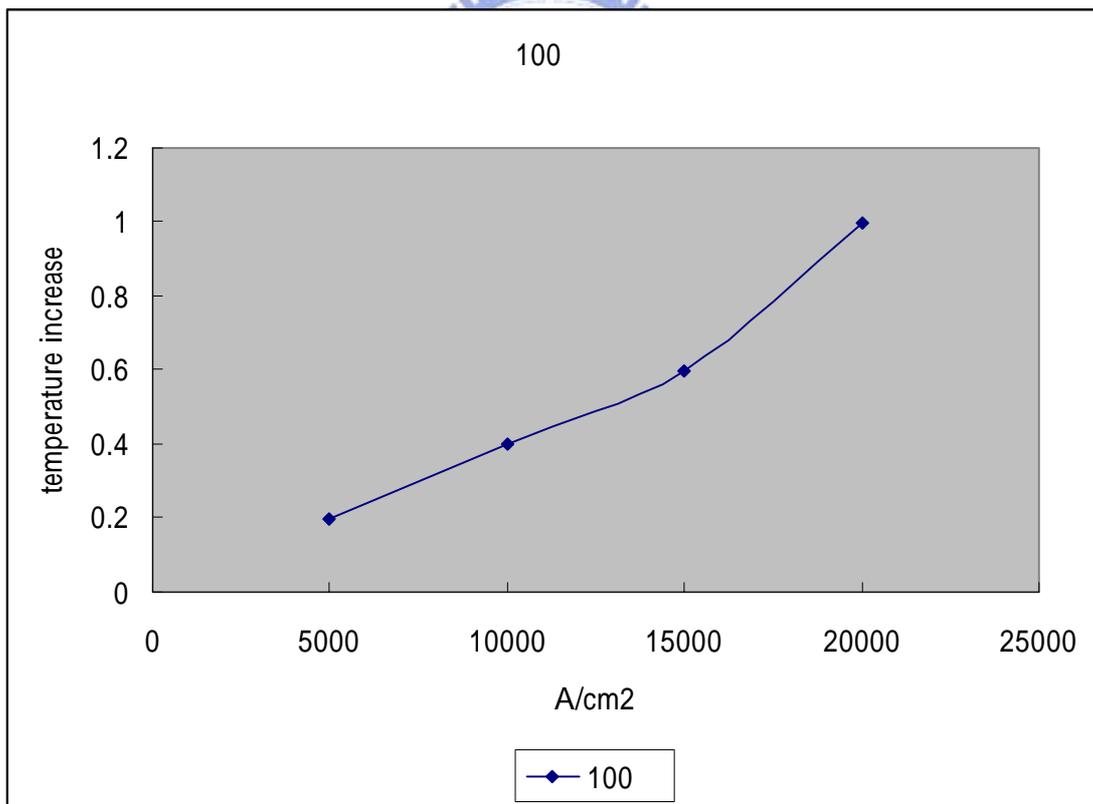


圖4-11 通以不同電流密度下之溫升

4-2 SnAg_{3.8}Cu_{0.7}錒錫之Critical product

量測

本實驗利用FIB可以很有效的製作出短的錒錫薄膜條來量測錒錫critical product，因為錒錫的理論值很小所以在早年很難製作出幾十微米左右的錒錫薄膜條。但利用此方法可以有效的製作出短的錒錫薄膜，如圖4-1所示，而在100°C下通以 $2 \times 10^4 \text{A/cm}^2$ 電流密度940小時後如圖4-12所示，可以發現到只有最長的那段錒錫薄膜有產生電遷移的現象，由此我們可以推估SnAg_{3.8}Cu_{0.7}錒錫之Critical product小於280A/cm，而在相同的實驗條件下再通另一試片273小時後如圖4-13所示，得到SnAg_{3.8}Cu_{0.7}錒錫之Critical product小於60A/cm，但這兩個實驗的結果顯示出比理論值大很多，可能的原因在於100°C下通以 $2 \times 10^4 \text{A/cm}^2$ 的電遷移速率太低以至於難以量測，所以我們提高溫度至150°C通以相同的電流密度如圖4-14所示，可以發現在此實驗條件下15 μm 以上之錒錫薄膜都有因電遷移而產生孔洞，這表示出在此實驗條件下之Critical product介於20至30(A/cm)之間，這與理論值相符合，但由於Blech利用Blech structure所測的鋁的Critical product與我們的錒錫薄膜幾何結構相差太大，由圖2-1可知Blech structure的長度(平行電流方向)遠大於寬度，所以再利用FIB把試片製作成符合Blech structure的形狀如圖4-15所示，在通電後錒錫薄膜在15 μm 以上的錒錫薄膜都產生電遷移，下一節以ANSYS來分析原本的stripe與Blech like's structure stripe之電流分佈比較。

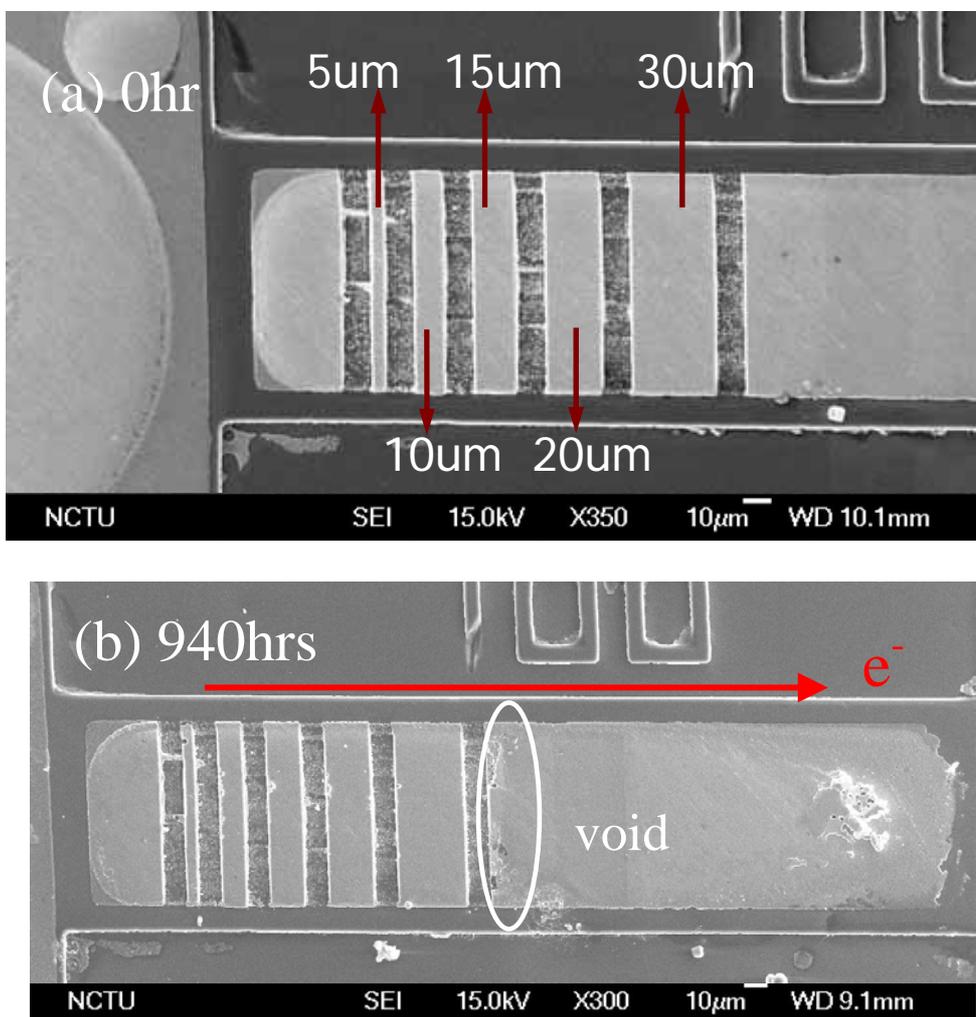


圖4-12 錫銀銅鉍錫薄膜在100°C通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖

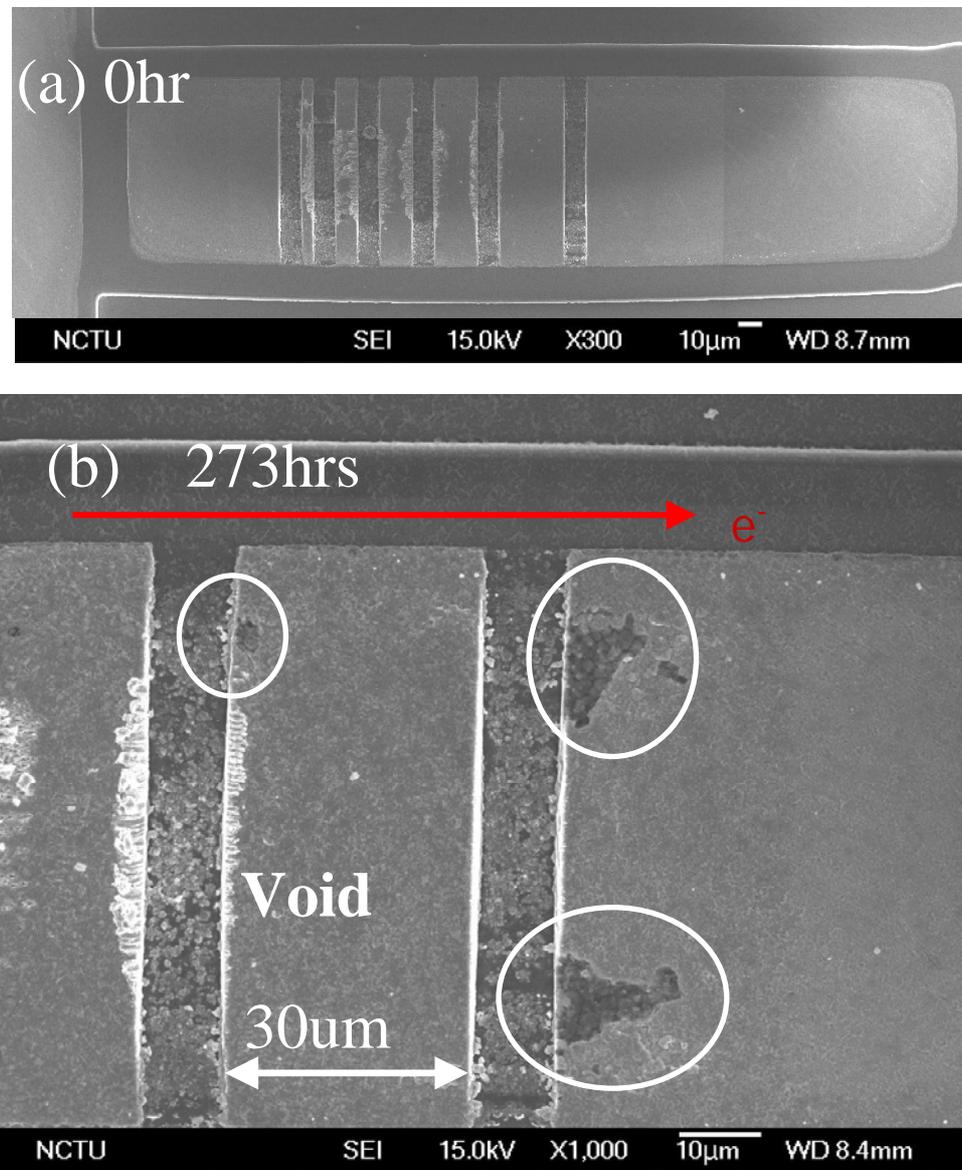


圖4-13 錫銀銅鉍錫薄膜在 100°C 通以 $2 \times 10^4 \text{A}/\text{cm}^2$ 之前(a)後(b)之SEM圖

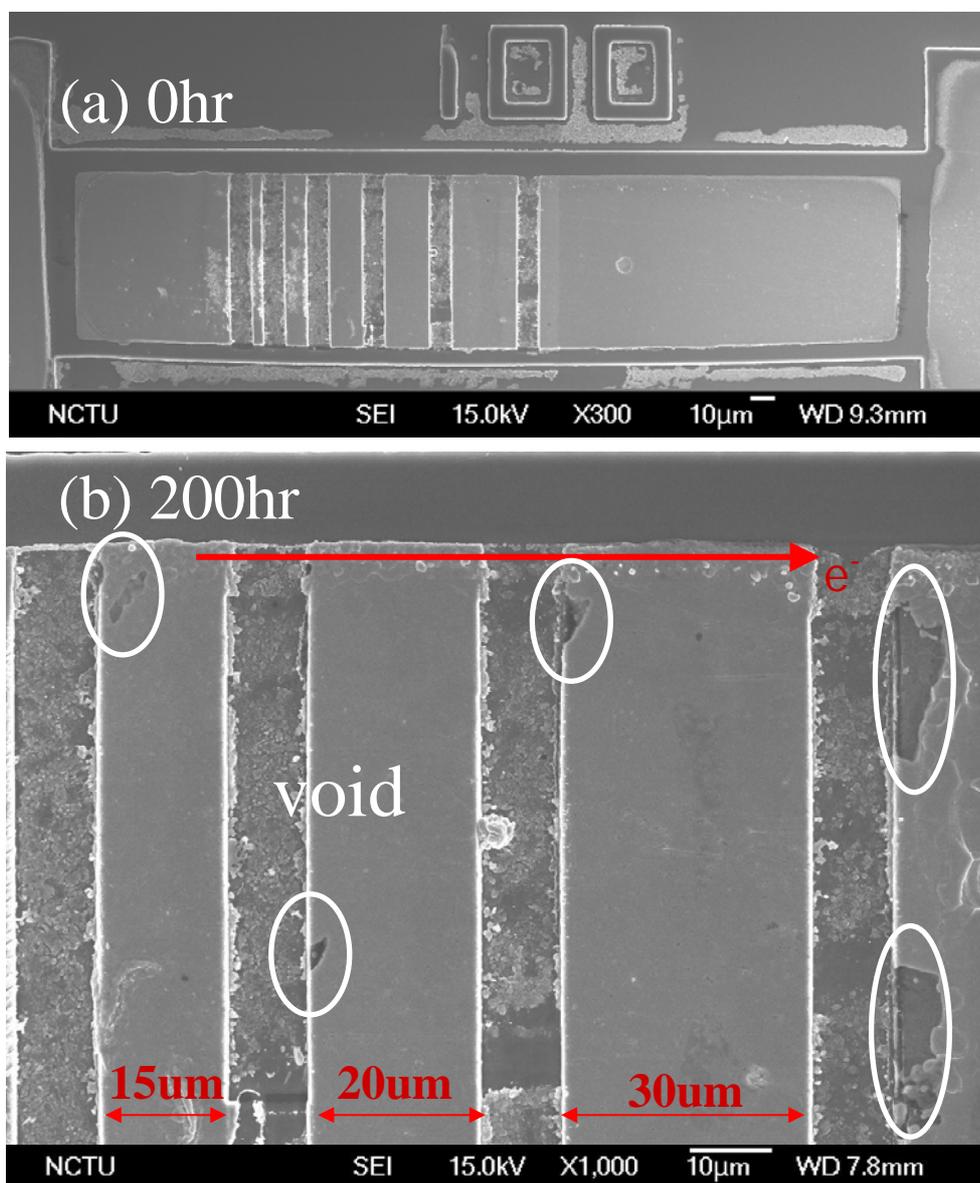


圖4-14 錫銀銅銲錫薄膜在150°C通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖

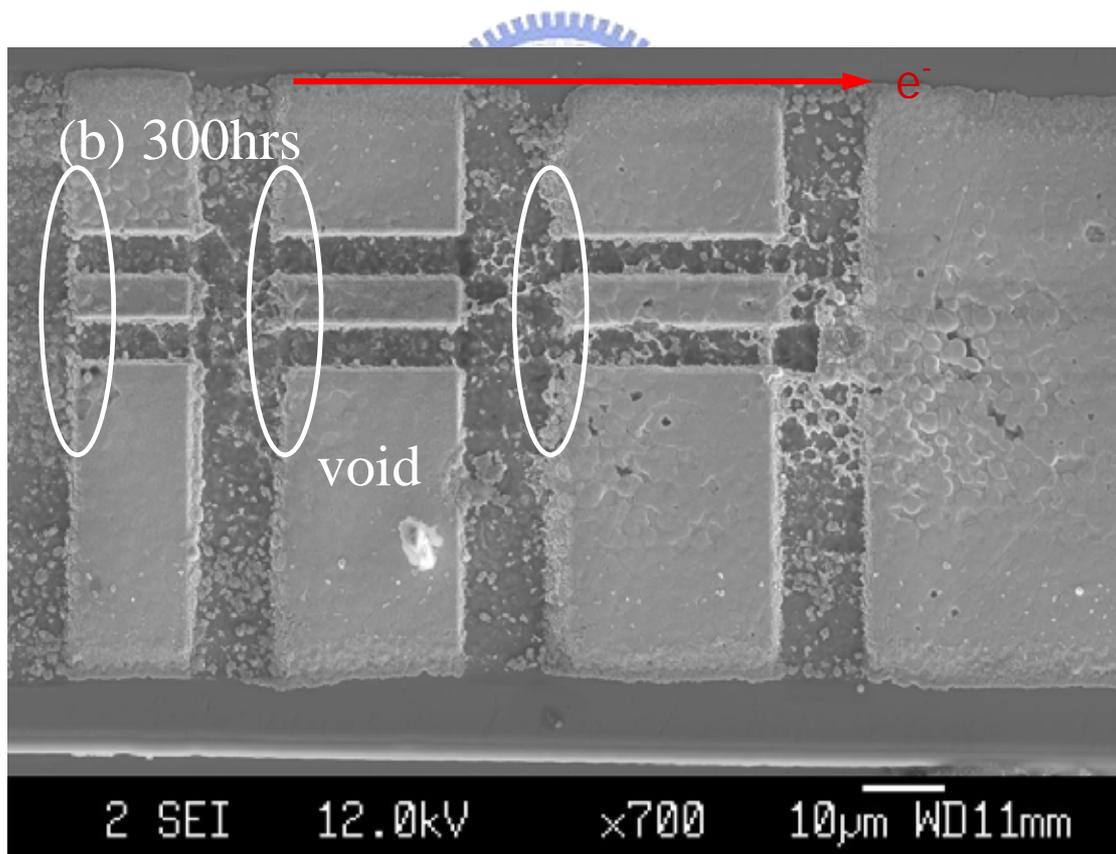
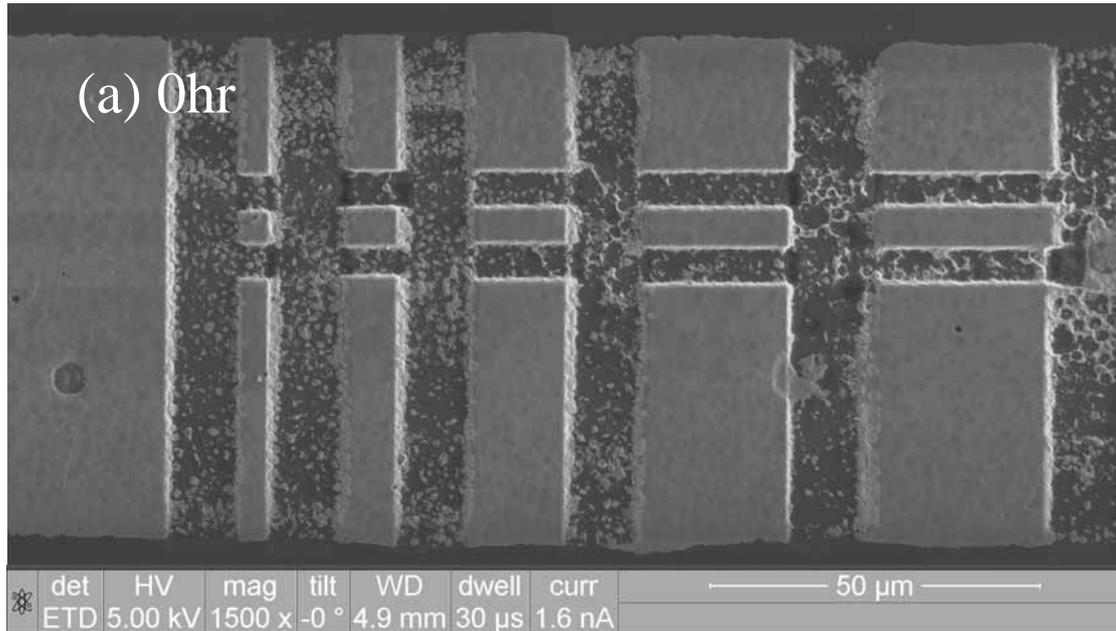


圖4-15 Blech like's structure stripe 鉛錫薄膜在150°C 通以 $2 \times 10^4 \text{ A/cm}^2$ 之前(a)後(b)之SEM圖

4-3 SnAg_{3.8}Cu_{0.7}鉛錫薄膜之電流密度模擬

圖4-14為ANSYS之Blech structure電流模擬圖，設定通入電流為90mA，電流密度為 $6.6 \times 10^4 \text{ A/cm}^2$ ，由圖4-14可以看出在電流剛進入和流出stripe的地方有電流密度較低的現象，圖4-16為Blech structure電流密度分佈圖，可知有contact window effect而造成電流密度達到實際值的距離異常，圖4-17為錫銀銅鉛錫薄膜橫剖面電流密度分佈圖，在電流剛灌入stripe的地方有current crowding effect[14]所以在角落會有電流密度較低的現象，在電流剛進入的那層為IMC層雖然電流密度很大大約 10^5 A/cm^2 ，但沒有看見IMC的電遷移，圖4-18為錫銀銅鉛錫薄膜三層元素(three element)電流密度分佈圖，很明顯的看出在鉛錫層中的上中下層元素(element)有很明顯的current crowding effect，不過這是在沒有contact resistance的條件下所做的模擬情形，但以我們試片的製作方式下不會有接觸電阻contact resistance，因為試片利用E-GUN在同一真空度下先後沉積上(Deposition)鈦層和銅層的，在沒有破真空的情況下理論上不會有接觸電阻的產生，若在有接觸電阻的情況下試片的contact window應該會比我們模擬的大很多而且電流密度分佈不會達到我們實驗預期的大小[15]。

圖4-20為模擬錫銀銅鉛錫薄膜以FIB切成短的stripe，模擬結果與未使用FIB切過的結果相似，但在較短的stripe發現因為contact window的因素使得電流密度達不到我們實驗所要求的值，如圖4-21所示在5, 10, 15 μm 等的stripe中電流密度不會達到實驗所要求的值，不過在15 μm stripe中的電流密度已達到實驗值的90%，且在實驗中也發生電遷移的現象表示以FIB切成短的stripe不會對我們的結果產生誤差，圖4-22為5, 10, 15 μm 的橫剖面電流密度分布，皆有current crowding effect，最後再以FIB把試片切成Blech structure如圖4-24所示，對於電流密度分布沒有很大的影響，與圖4-18之試片顯示結果相同，很有趣的一點以FIB切成blech structure在低電流密度的區域較容易產

生void，但電流密度梯度大約 10^8 A/cm^3 ，與鋁Blech structure(10^{10} A/cm^3)相比低很多，可能只是巧合剛好void在發生的地方與模擬圖的低電流密度區相互符合，這個現象還需要再進一步的研究與討論。



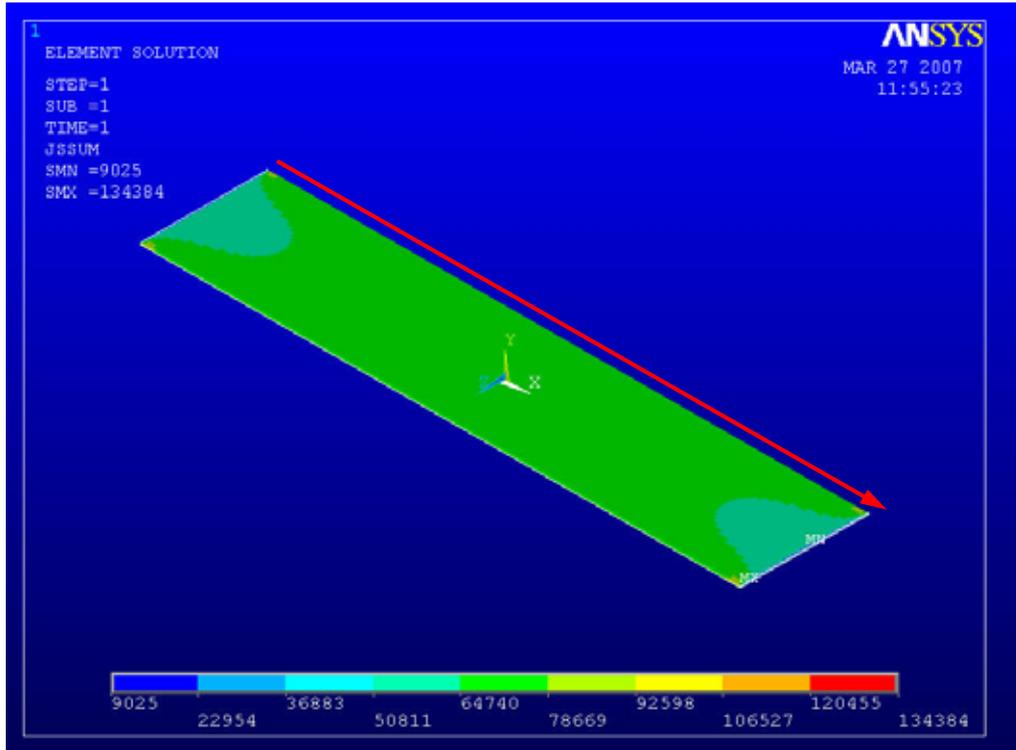


圖 4-16 錫銀銅鉛錫薄膜電流密度 $6.6 \times 10^4 \text{ A/cm}^2$ 之模擬圖

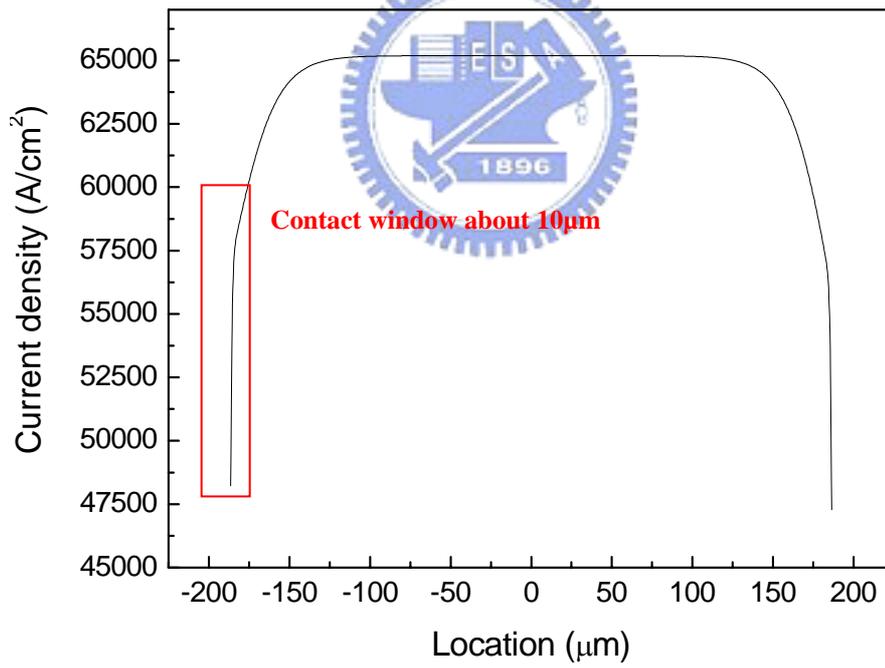


圖 4-17 錫銀銅鉛錫薄膜電流密度分佈圖

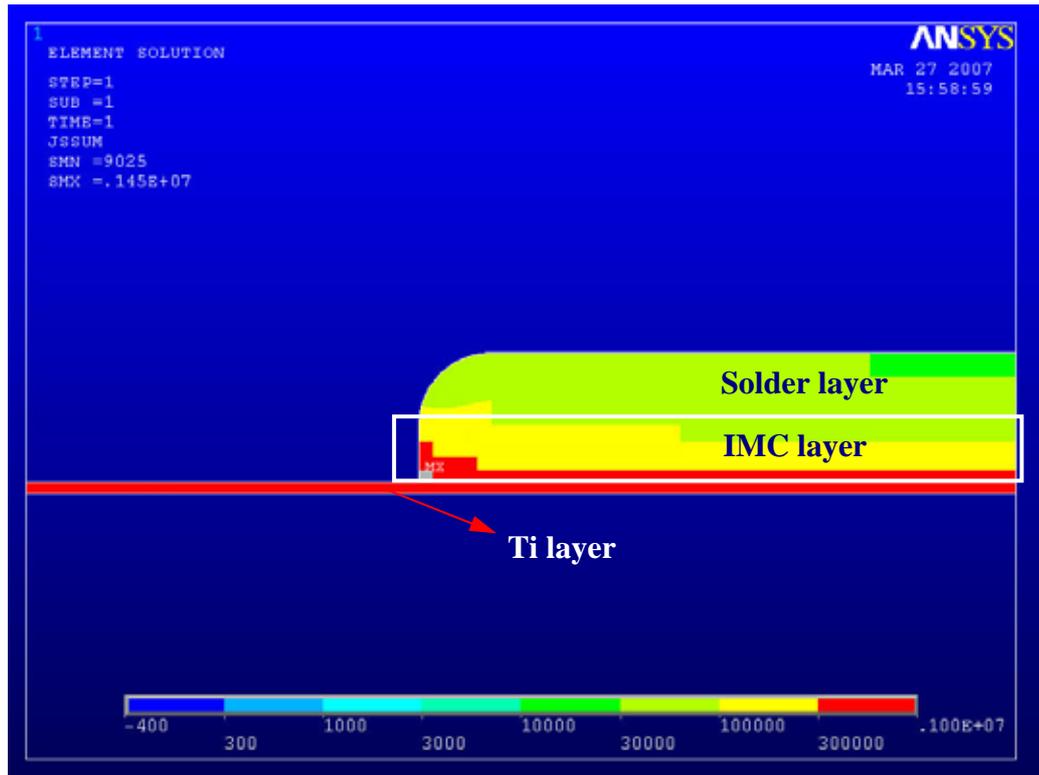


圖 4-18 錫銀銅錐錫薄膜橫剖面電流密度分佈圖



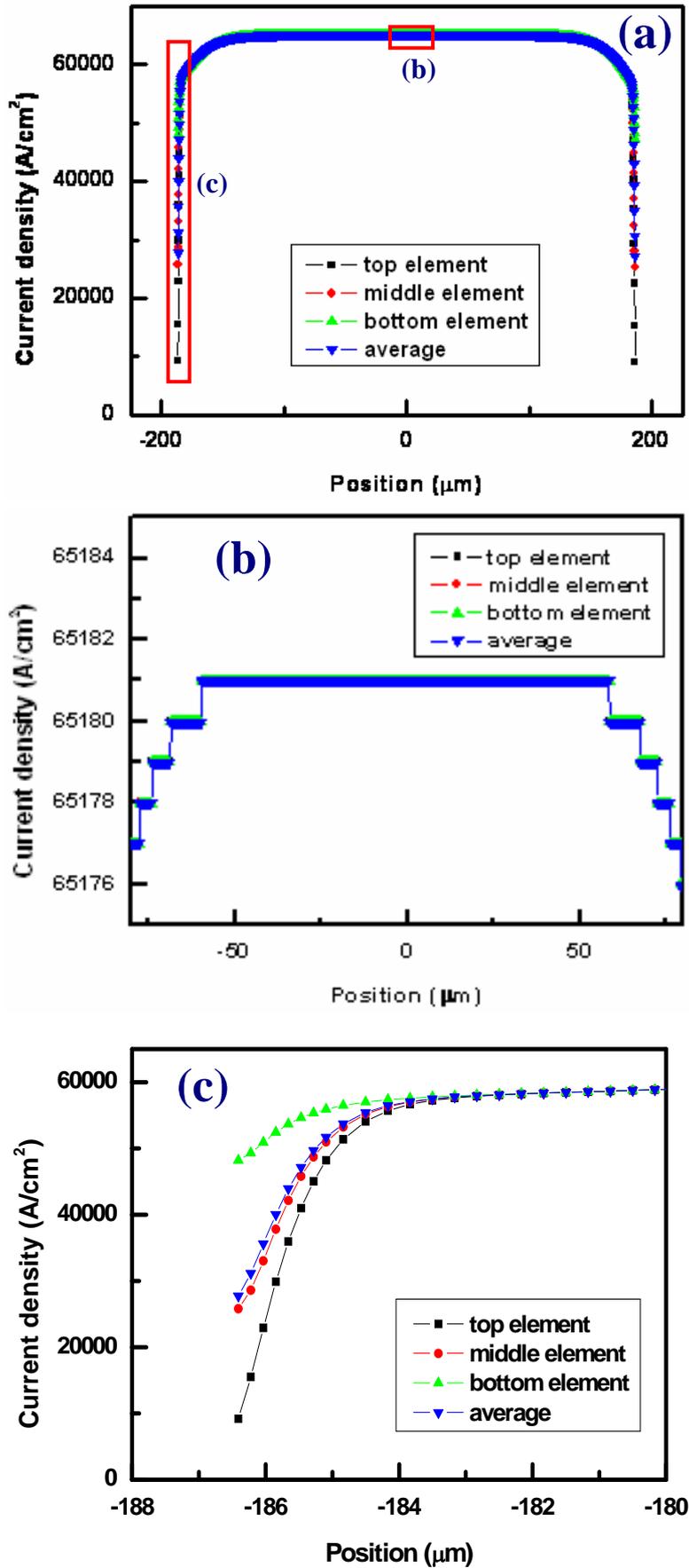
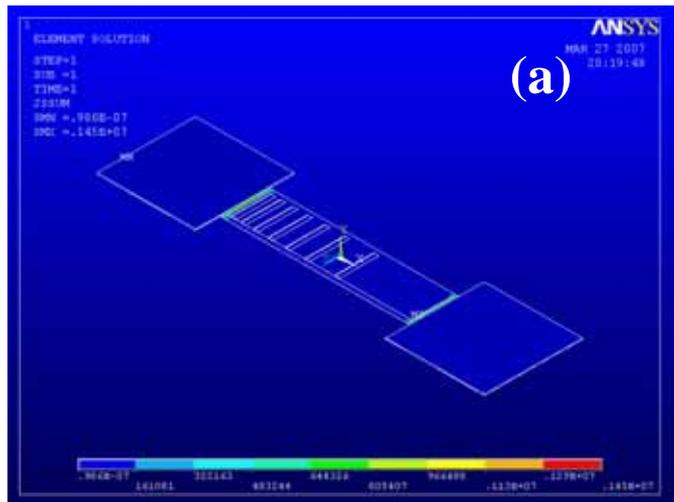
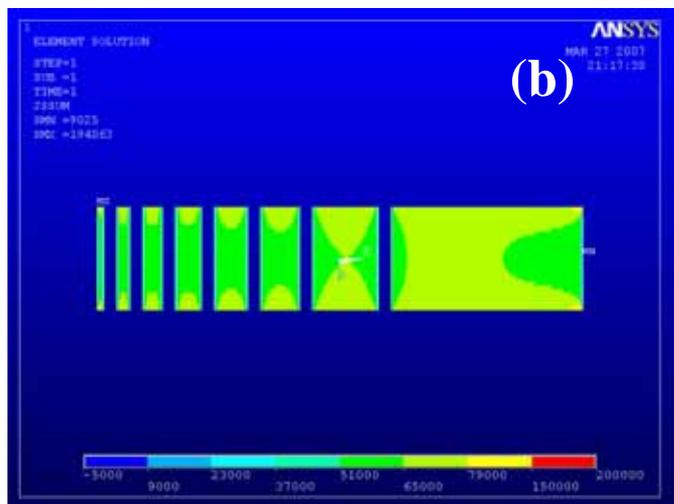


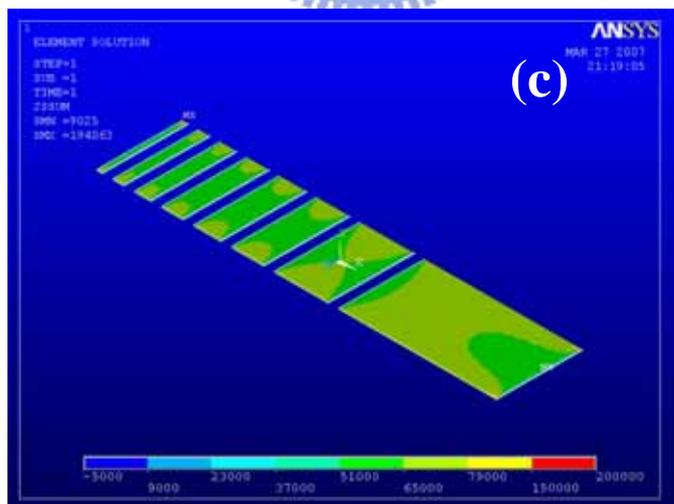
圖 4-19 各層電流密度分佈圖(a)整段之電流分布，(b)、(c)為區段放大圖



(a)



(b)



(c)

圖 4-20 錫銀銅鋅錫薄膜以 FIB 切成各種短 stripe 之模擬圖，(a)未通電
(b)(c)通電後

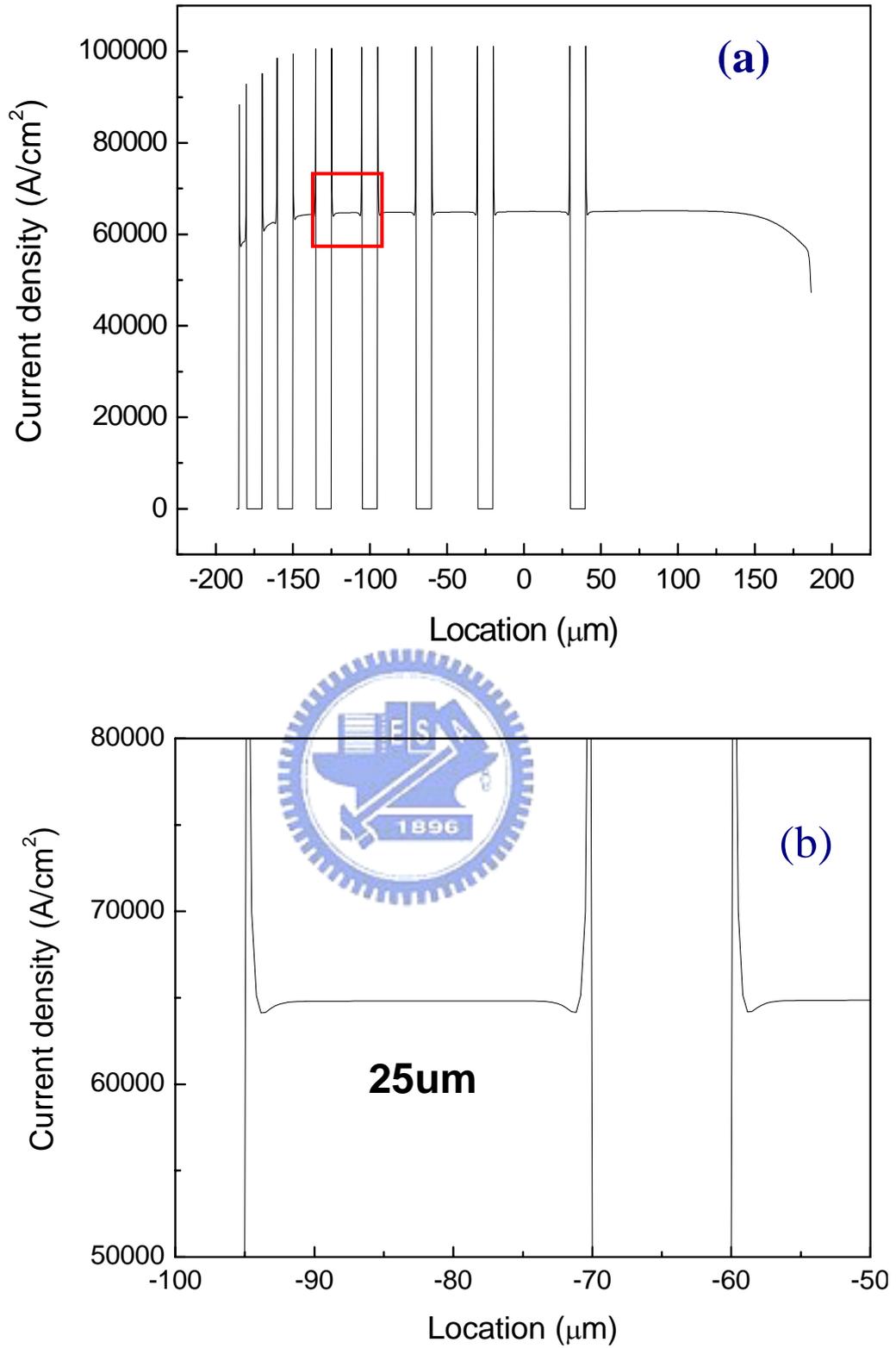


圖 4-21 FIB 之後各 stripe 電流密度分佈圖(a)，(b)為 25 μm stripe 區段放大圖

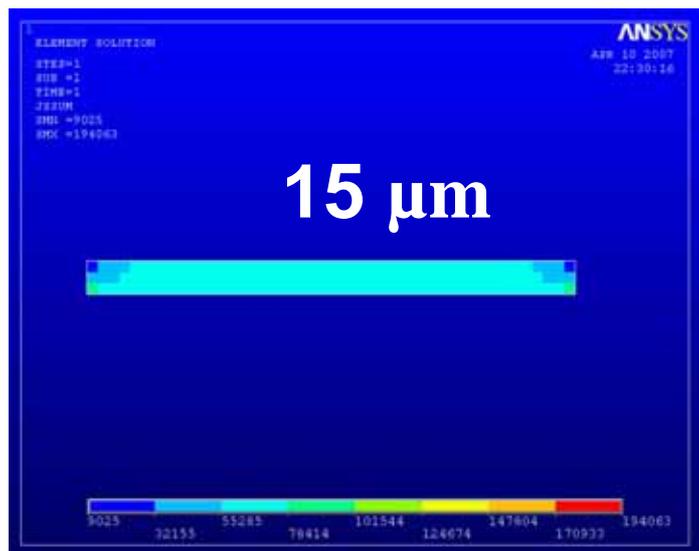
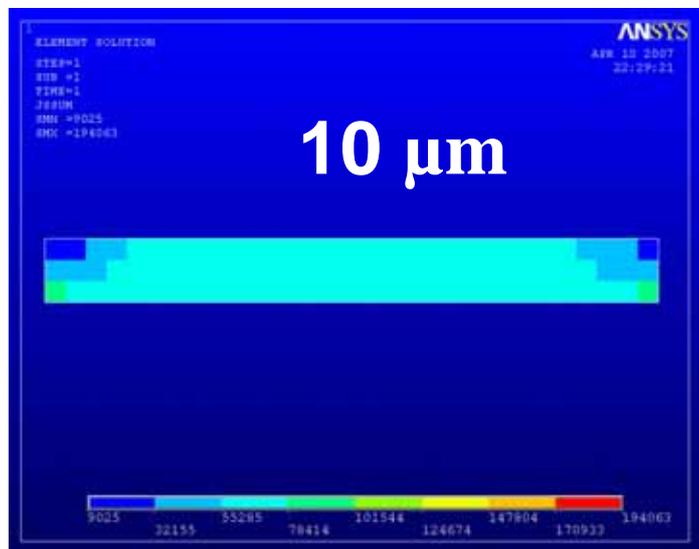
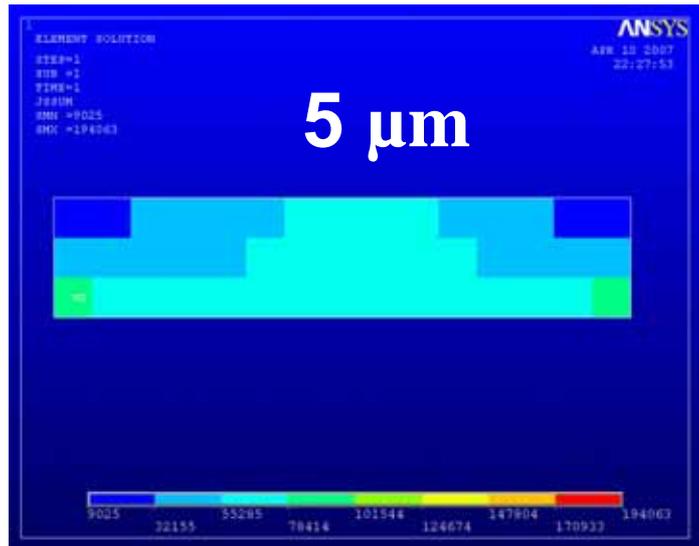


圖4-22 錫銀銅鉛錫薄膜以FIB切成各種短stripe之橫剖面模擬圖，(a) 5 μm
(b) 10 μm (c) 15 μm 通電後

Length (μm)	Current density (A/cm^2)	current density/ calculation value(%)
5	5.37×10^4	(82%)
10	5.91×10^4	(91%)
15	6.21×10^4	(95.5%)
20	6.31×10^4	(97%)
25	6.35×10^4	(97.7%)
30	6.38×10^4	(98%)
50	6.43×10^4	(99%)

表 4-2 不同長度之電流密度

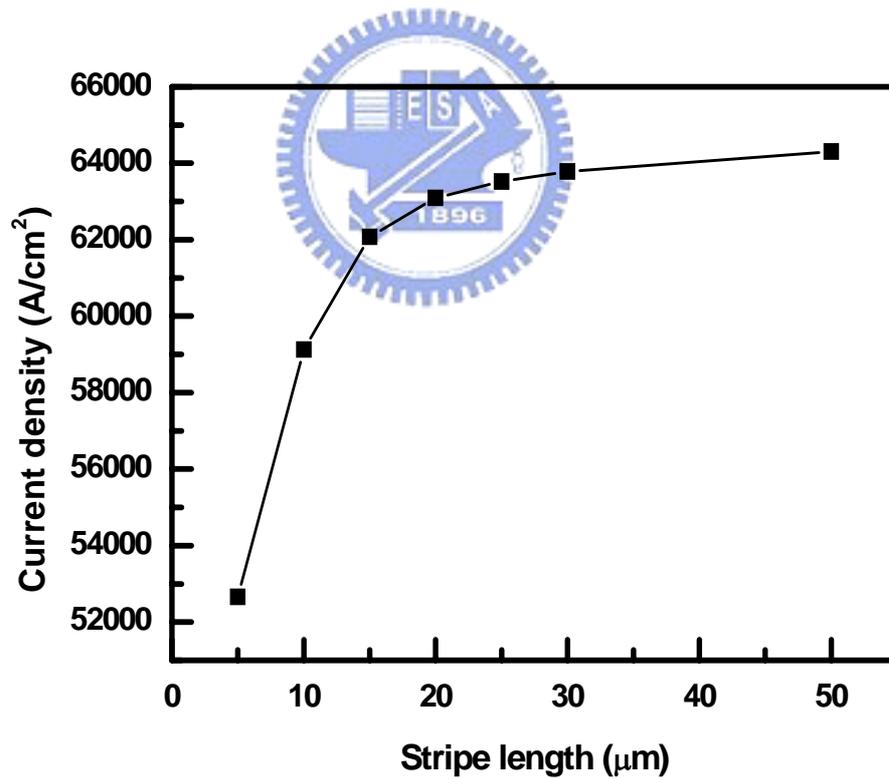


圖 4-23 stripe 長度與電流密度分布做圖

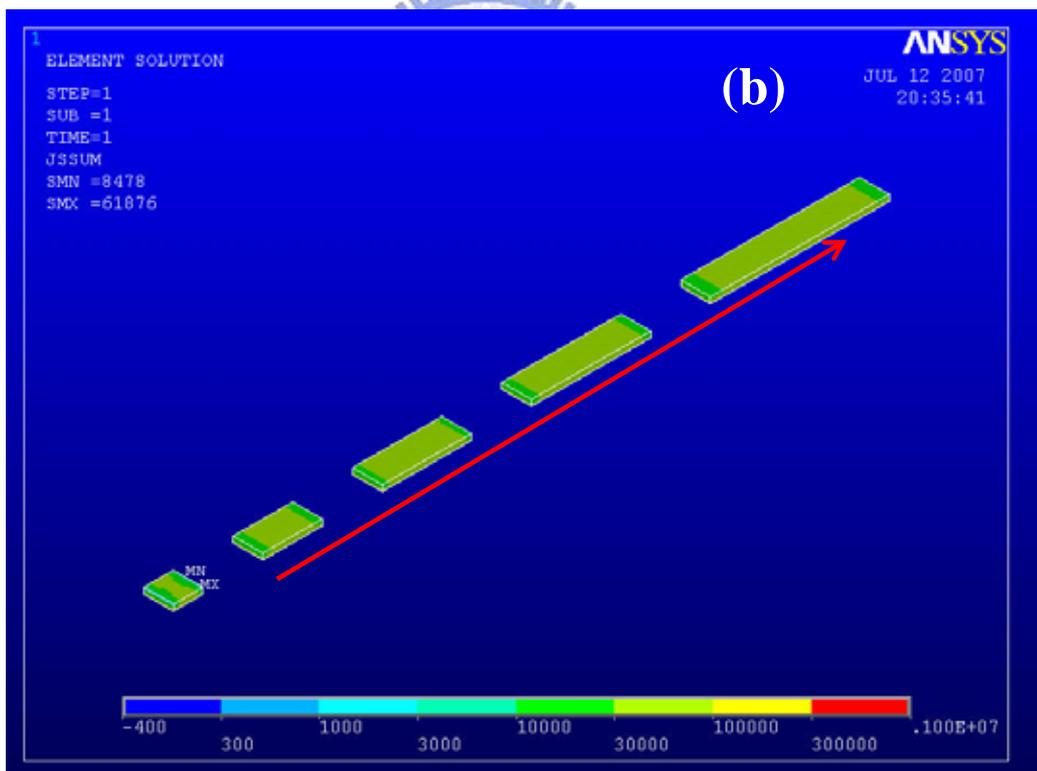
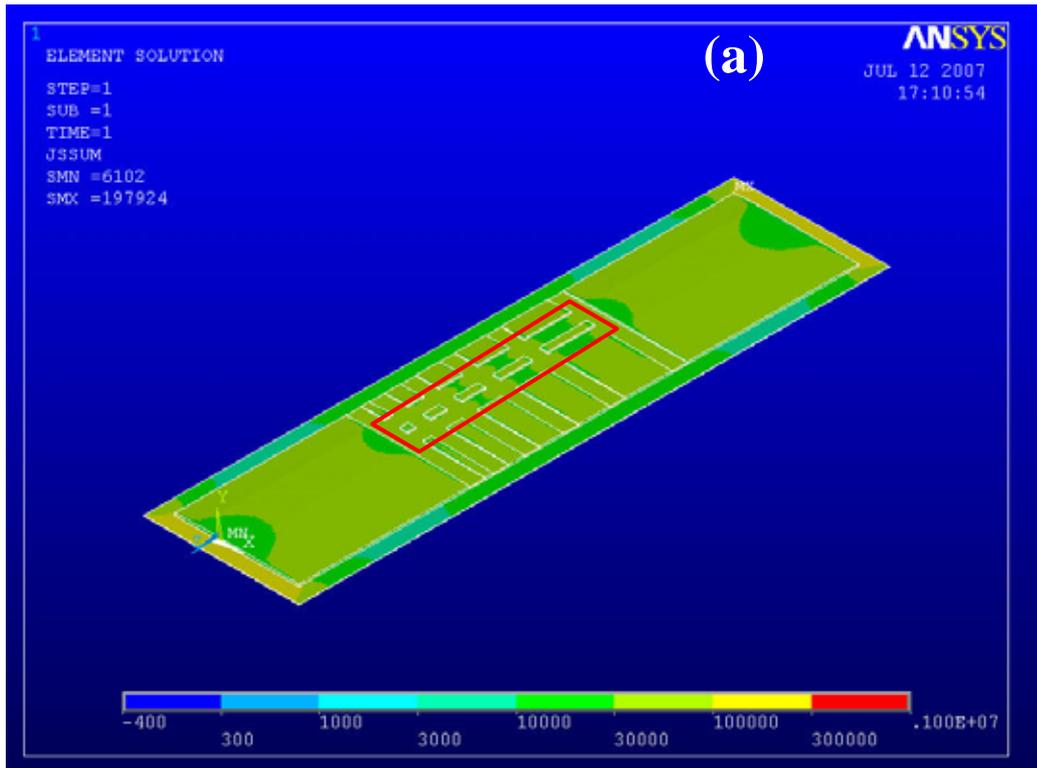


圖 4-24 Blech structure 電流密度模擬圖(a)通電後(b)Blech structure

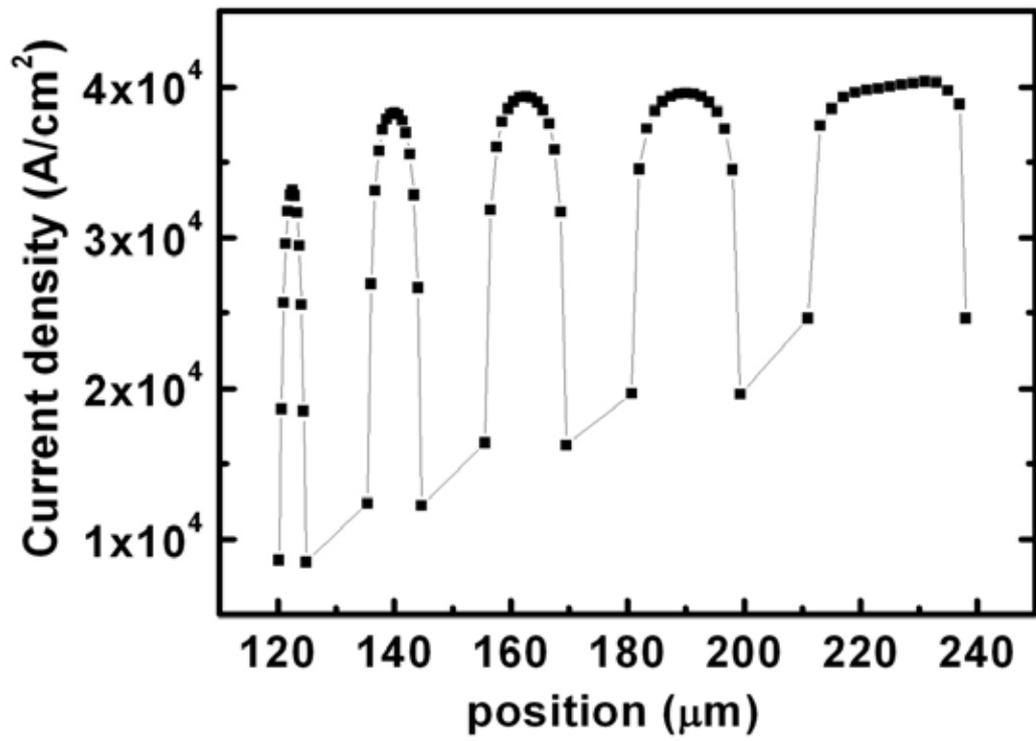


圖 4-25 Blech structure 電流密度分布圖



4-4 $\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫薄膜電遷移微結構分析

為了解 $\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫薄膜在電遷移效應下鉛錫的變化，我們利用 EPMA 來做通電前後的 mapping 如圖 4-26~30 所示，圖 4-26~30 EPMA 分析可以發現銀原子由通電前的均勻分散變成通電後在錫的晶界中析出 Ag_3Sn ，其大小約 $1\text{-}2\mu\text{m}$ ，且越長的 stripe 析出的 Ag_3Sn 的直徑越大數目也越多，其他元素如銅因試片上也鍍上一銅層使鉛錫在迴鉛時能產生 Cu_6Sn_5 且 EPMA 的 E-beam 深度超過試片鉛錫層的厚度，以至於很難去分析銅元素在鉛錫中的變化，若要分析銅元素我們可以把沉積 Cu 換成 Ni 會比較容易去觀察鉛錫中銅元素的變化。



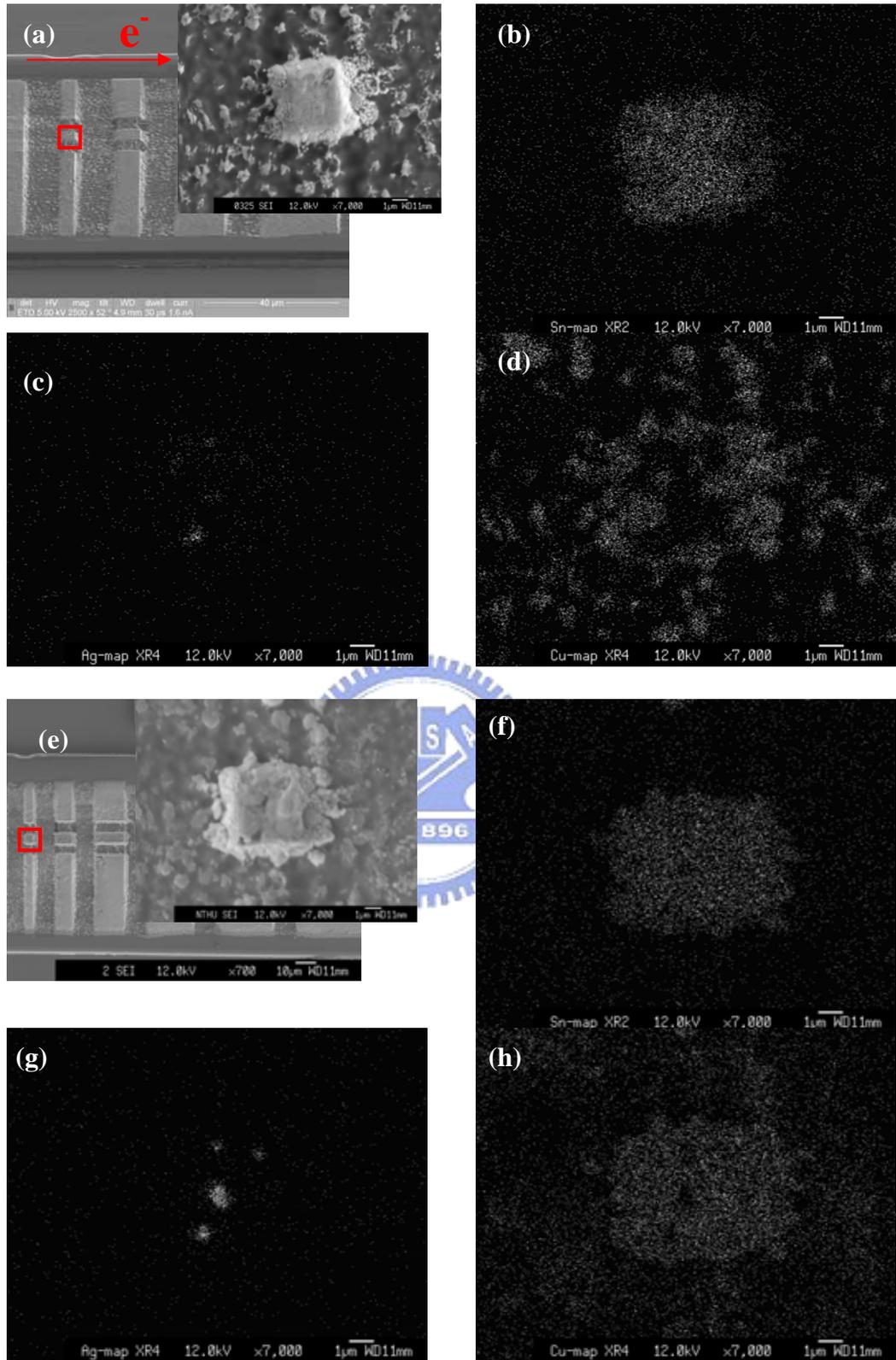


圖 4-26 Blech structure stripe SEM EPMA 圖
 (a)5μm stripe 通電前 SEM(b)Sn-map(c)Ag-map(d)Cu-map
 (e) 5μm stripe 通電後 SEM(f)Sn-map(g)Ag-map(h)Cu-map

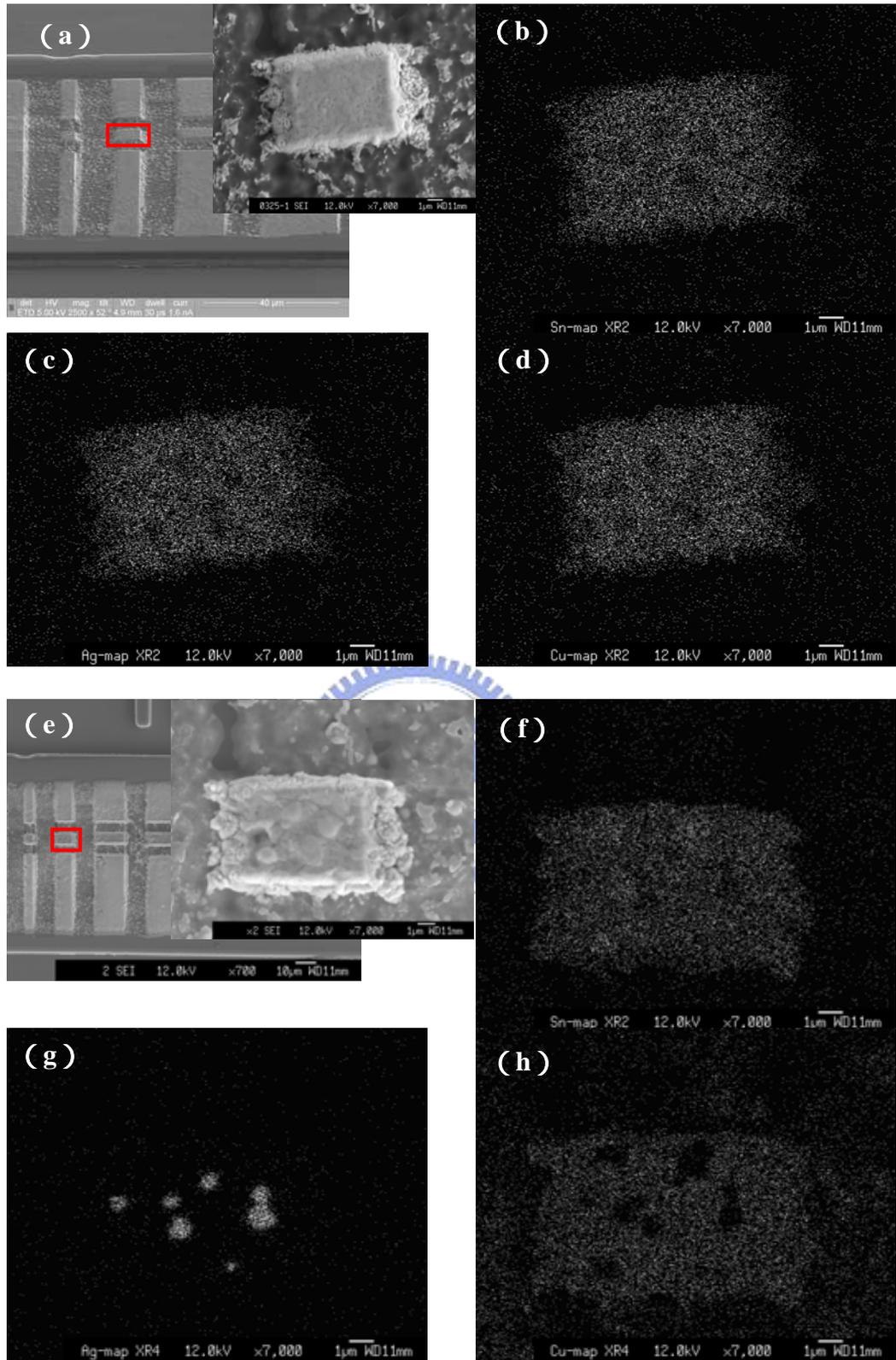


圖 4-27 Blech structure stripe SEM EPMA 圖

(a)10µm stripe 通電前 SEM(b)Sn-map(c)Ag-map(d)Cu-map
 (e)10µm stripe 通電後 SEM(f)Sn-map(g)Ag-map(h)Cu-map

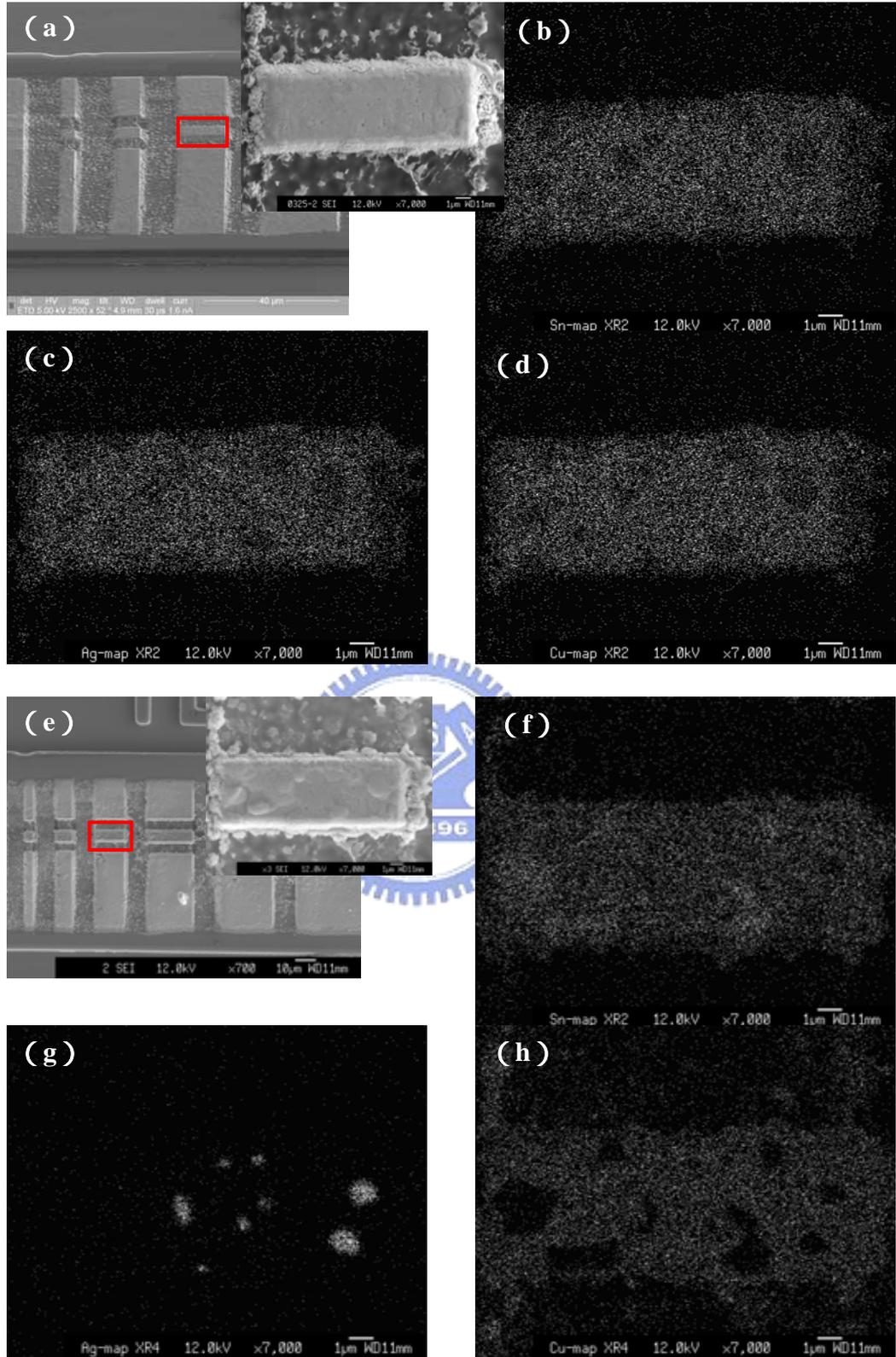


圖 4-28 Blech structure stripe SEM EPMA 圖

(a)15μm stripe 通電前 SEM(b)Sn-map(c)Ag-map(d)Cu-map
 (e)15μm stripe 通電後 SEM(f)Sn-map(g)Ag-map(h)Cu-map

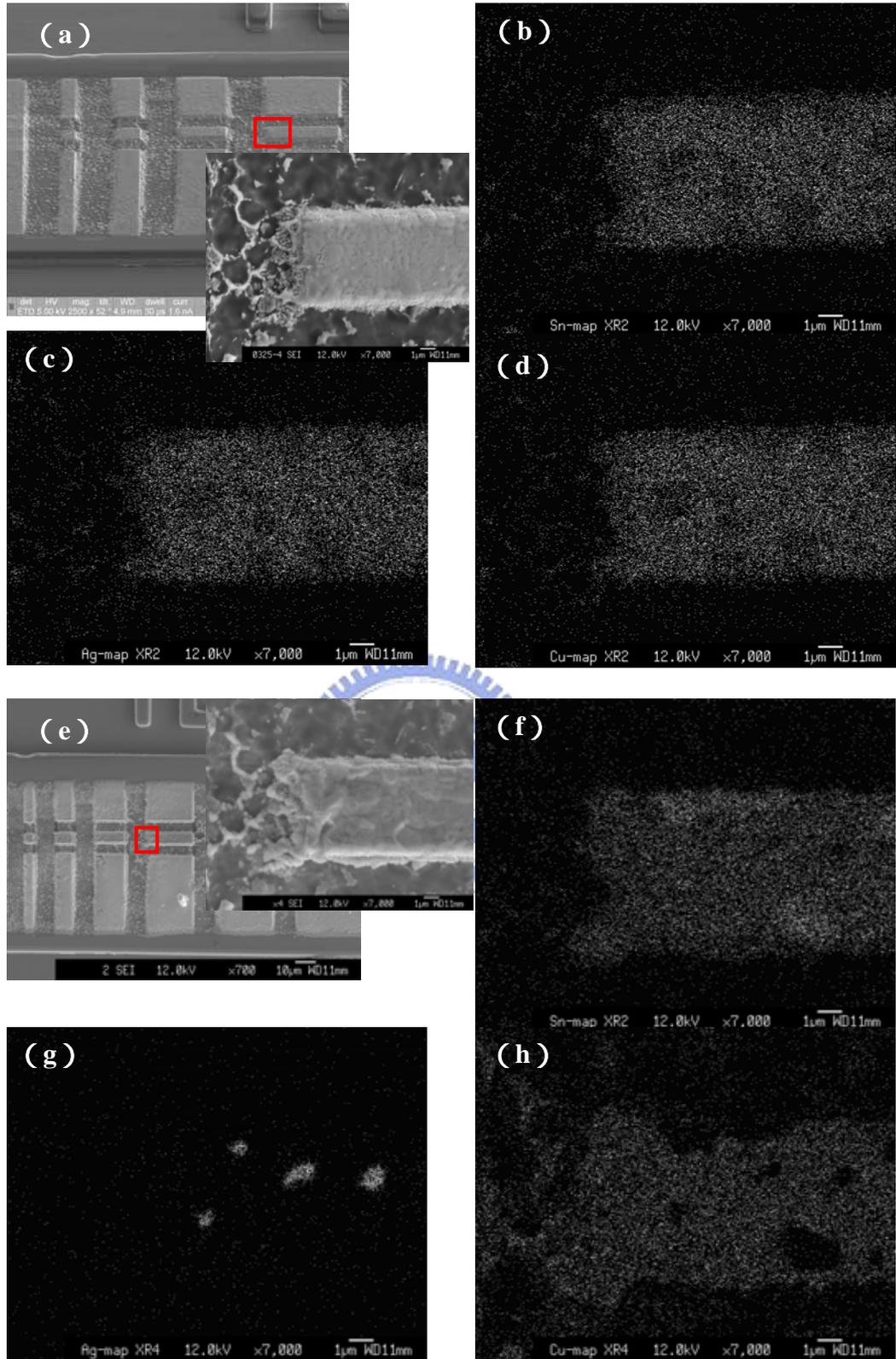


圖 4-29 Blech structure stripe SEM EPMA 圖

(a)20µm stripe 通電前 SEM (b)Sn-map (c)Ag-map (d)Cu-map
 (e)20µm stripe 通電後 SEM (f)Sn-map (g)Ag-map (h)Cu-map

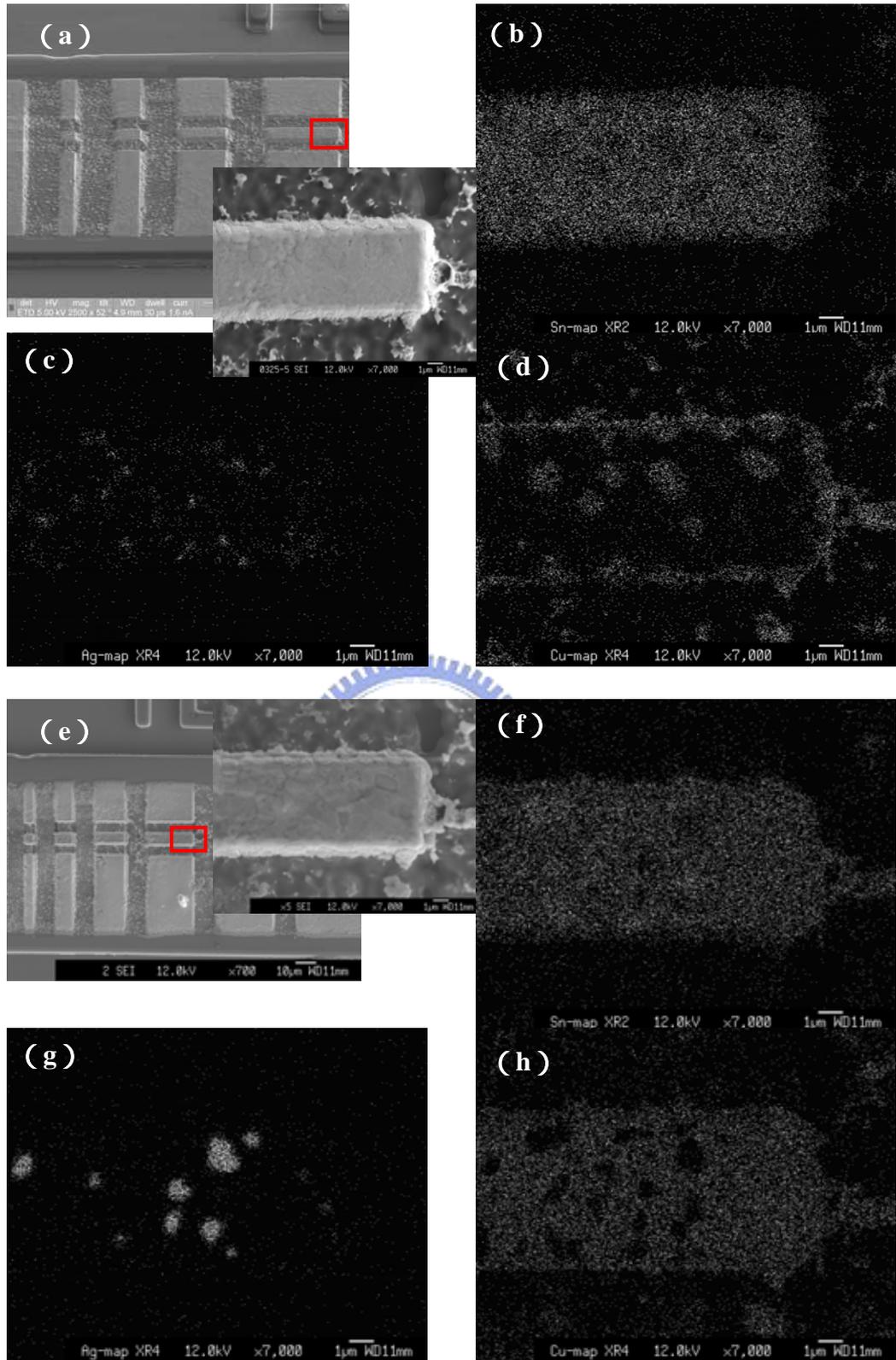


圖 4-30 Blech structure stripe SEM EPMA 圖

(a)20µm stripe-2 通電前 SEM(b)Sn-map(c)Ag-map(d)Cu-map
 (e)20µm stripe-2 通電後 SEM(f)Sn-map(g)Ag-map(h)Cu-map

4-5 critical product 之討論

$\text{SnAg}_{3.8}\text{Cu}_{0.7}$ 鉛錫的 critical product 在 150°C 下 $2 \times 10^4 \text{ A/cm}^2$ 電流密度下為 $20 \sim 30 \text{ A/cm}$ ，與理論值相當接近如表 4-3~4，在與共晶錫鉛比較中我們可以發現雖然兩者的實驗結果差不多，不過錫銀銅鉛錫是在較高的溫度下所做之結果所以說比較這兩者之結果知道錫銀銅鉛錫較抗電遷移，不過在理論公式中 yield stress 的值在越高的溫度下會越小如表 4-5 與圖 4-31 所示，且在不同的溫度下 Z^* 的值也不同，所以在進一步的實驗需要更嚴謹的來討論不同溫度與電流密度下之 critical product。

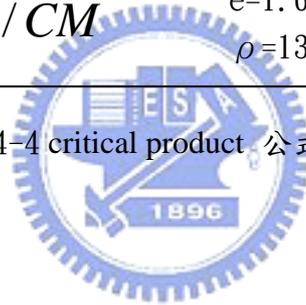


solder	critical product	our measure critical product
SnAg _{3.8} Cu _{0.7}	22.4	20~30(150°C)
Sn ₆₃ Pb ₃₇	22.08	20~30(100°C)

表 4-3 錫銀銅與共金錫鉛 critical product 理論值與量測結果

Theoretical critical product	
$j\Delta x_{c_SnAgCu} = \frac{\Delta\sigma\Omega}{Z^*e\rho}$ $= 22.4A / CM$	$\sigma = 29MPa$
	$\Omega = 2.652 \times 10^{-23} cm^3$
	$Z^* = 33$
	$e = 1.6 \times 10^{-19} C$
	$\rho = 13 \times 10^{-6} ohmic-cm$

表 4-4 critical product 公式計算結果



	Elastic modulus (GPa)		Yield stress (MPa)		UTS (MPa)	
Sn-3Ag-0.5Cu [2]	54		25.3		41.8 at $4 \times 10^{-3} \text{ s}^{-1}$ 50.6 at $4 \times 10^{-2} \text{ s}^{-1}$	
Sn-3.8Ag-0.7Cu [3]	-		-		-40°C	62
					-25°C	55
					25°C	39
					100°C	20
					180°C	11
Sn-3.0Ag-0.7Cu [4]	-		10^{-5}	38	10^{-5}	42
			10^{-4}	40	10^{-4}	46
			10^{-3}	46	10^{-3}	54
			10^{-2}	63	10^{-2}	64
			10^{-1}	-	10^{-1}	81
Sn-3.5Ag-0.7Cu [5]	23°C	46	25°C	47.1	-	
	50°C	44	50°C	33.9		
	75°C	-	75°C	23.2		
	100°C	-	100°C	18.4		
	125°C	35	125°C	10.8		
	150°C	-	150°C	8.5		

表4-5 錫銀銅鉛錫機械特性 John H. L. Pang, B.S. Xiong and F.X. Che[16]

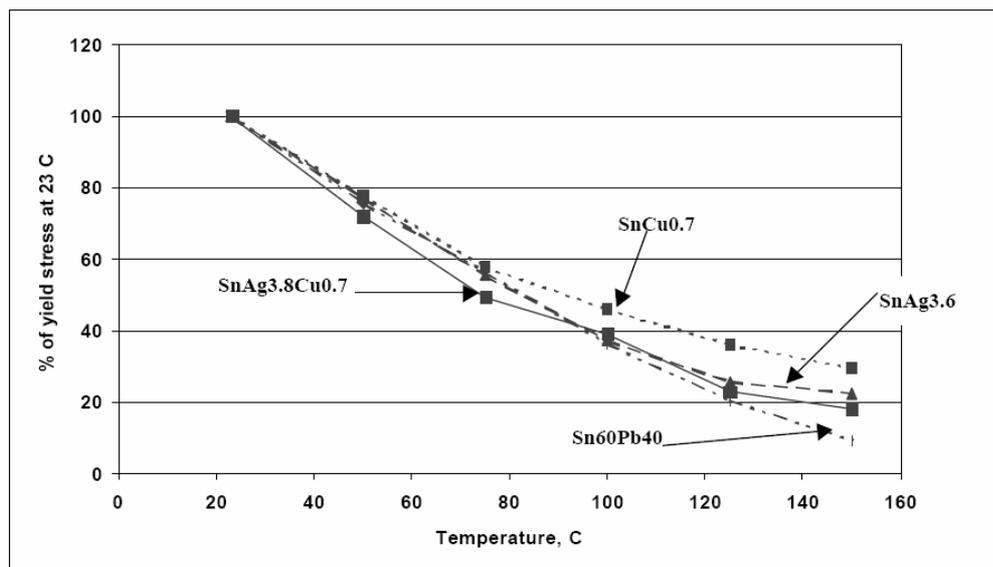


圖4-31 Temperature Dependence of yield stress for various alloys Dr. M.

Warwick[17]

References

- [1] Donald P. Seraphim, Ronald C. Lasky, and Che-Yu Li. Principles of electronic packaging. McGraw-Hill, (1989).
- [2] John H. Lau. Flip chip technology. McGraw-Hill, (1995).
- [3] International Technology Roadmap for Semiconductors, Semiconductor Industry Association, San Jose (2001). See Website <http://public.itrs.net/>
- [4] J. D. Wu, C.W. Lee, P. J. Zheng, Jeffrey C.B. Lee, and Simon Li, Electromigration Reliability of SnAgCu, Flip Chip Interconnects, 2004 Electronic Components and Technology Conference
- [5] C. C. Wei and Chih Chen. Appl. Phys. Lett.,88, (2006)
- [6] K. N. Tu. J. Appl. Phys., 94(9), p.5451 (2003).
- [7] Christian Witt. Electromigration transport mechanisms and back flow in Al interconnects, first year report, Max-Planck-Institute fur Metallforschung Stuttgart,91 July (1998).
- [8] H. B. Huntington and A. R. Grone, J. Phys. Chem. Solids 20, p.76 (1961).
- [9] K. N. Tu, James W. Mayer, and Leonard C. Feldman. Electronic thin fil science, Macmillan publishing company (1987).
- [10] R. S. Sorbello, Phys. Rev. B 31, p.798 (1985).
- [11] V. B. Fiks, Sov. Phys. solid state 1, p.14 (1959).
- [12] I. A. Blech. Acta mater., 46(11), p.3717 (1998).
- [13] T. L. Shao, S. H. Chiu, Chih Chen, D.J. Yao, and C.Y. Hsu. J. Electron. Mater. 33(11), 1350 (2004).
- [14] K. N. Tu, C. C. Yeh, C. Y. Liu, and Chih Chen. Appl. Phys. Lett.,76,(2000)
- [15] C. C. Yeh and K. N. Tu. J. Appl. Phys. 89(6), p.3203 (2001)
- [16] John H. L. Pang, B.S. Xiong and F.X. Che. 5th. Int. Conf on Thermal and Mechanical Simulation and Experiments in Micro-electronics and Micro-Systems, EuroSimE(2004)
- [17] Dr. M. Warwick. Multicore Solders Limited Kelsey House, Wood Lane End Hemel Hempstead, Herts HP2 4RQ