

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

單壁奈米碳管網絡應用於
薄膜電晶體與非揮發性記憶體之特性研究



**A Study on Single-Walled Carbon Nanotube Network for
Thin-Film Transistor and Nonvolatile Memory Applications**

研究生：張孝瑜

指導教授：崔秉鉞 教授

中華民國九十七年七月

單壁奈米碳管網絡應用於
薄膜電晶體與非揮發性記憶體之特性研究

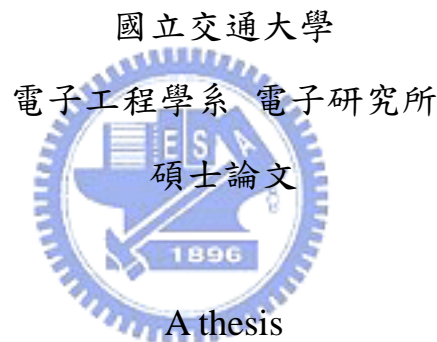
**A Study on Single-Walled Carbon Nanotube Network for
Thin-Film Transistor and Nonvolatile Memory Applications**

研究生：張孝瑜

Student: Hsiao-Yu Chang

指導教授：崔秉鉞

Advisor: Bing-Yue Tsui



Submitted to Department of Electronics Engineering & Institute of Electronics
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirement
for the Degree of Master
in
Electronic Engineering
2008
Hsinchu, Taiwan, Republic of China
中華民國九十七年七月

單壁奈米碳管網絡應用於 薄膜電晶體與非揮發性記憶體之特性研究

研究生：張孝瑜

指導教授：崔秉鉞

國立交通大學電子工程系 電子研究所碩士班

摘要

本論文使用多次旋塗碳管的方式製作碳管網絡，並探討其應用於薄膜電晶體和非揮發性記憶體之性能。在薄膜電晶體方面，實驗結果發現通道長度小於碳管長度時，元件導通電流大但開關比例($I_D > 10\mu A @ V_D = -0.1V$, on/off ratio < 10)，並且無法藉由電流崩潰法提升開關比例；至於通道長度較大的元件，又因碳管塗佈時受到表面高低差的影響導致碳管分佈不均勻，因此雖然有較大的開關比例，但導通電流較小($I_D < 1\mu A @ V_D = -0.1V$, on/off ratio > 10)。利用 $G_{m,max}$ 換算載子遷移率，可得到載子遷移率為 $3.6\text{cm}^2/\text{Vs}$ ，因為碳管的覆蓋率約只有 1%。換算覆蓋率後的載子遷移率約 $360\text{cm}^2/\text{Vs}$ ，和接近單根碳管所得到的 $8723\text{cm}^2/\text{Vs}$ 仍有一段差距，推測原因為碳管網絡中金屬性和半導體性碳管交錯形成的蕭基位障，變溫量測也驗證碳管網絡電晶體的導通機制是由金屬性碳管與半導體性碳管間的蕭基位障主導。

多根碳管交錯的碳管網絡電晶體有兩個主要缺點，第一是金屬性碳管和半導體性碳管的交錯造成蕭基位障，使得元件導通電流降低、開關速度變慢；第二是電流應力崩潰金屬性碳管的方法不適用於交錯的碳管網絡，使得元件的開關比例無法進一步提升。提高碳管密度、使碳管平行排列、提高半導體性碳管比例，是進一步提升性能碳管網絡電晶體的重點。此外，

碳管網絡薄膜的電阻係數約為 $62.3\mu\Omega\cdot\text{cm}$ ，銅膜隨著厚度降低至 11.5nm ，電阻係數增至 $32.34\mu\Omega\cdot\text{cm}$ ，當厚度降至 10nm 以下時，僅能形成不連續的島狀(islands)分佈。因此，如能提高金屬性碳管比例，碳管網絡薄膜可望作為超薄導電層的應用。

論文第二部份將碳管網絡應用在非揮發性記憶體的電荷儲存層，使用相同的碳管網絡製作方式，利用實驗對照組與碳管分佈的狀態可驗證記憶體特性確為碳管所造成。記憶體特性量測，發現閘極+8V 對元件有等效正電荷的寫入效應，寫入電壓越大與寫入時間越長，臨界電壓飄移的量越大，並且有明顯飽和的現象。抹除所需負偏壓達-22V，另外，升溫對於元件亦有抹除效果。

實驗量測結果發現寫入抹除現象和傳統快閃記憶體不同，本論文檢視電洞注入、極性分子轉動、金屬離子移動、分子與碳管結合等可能的機制，初步可排除極性分子轉動與碳管粉末中金屬雜質的影響，而電洞的注入與抹除亦存在不合理的情形，因此較傾向特殊分子和碳管結合後形成等效正電荷的儲存，明確的機制仍需進一步的探討。電荷保存時間以及耐用性能都不如現有的非揮發性記憶體，但其特殊的操作與記憶模式，值得進一步研究，並可望透過製程改良，提升性能。

A Study on Single-Walled Carbon Nanotube Network for Thin -Film Transistors and Nonvolatile Memory Application

Student: Hsiao-Yu Chang

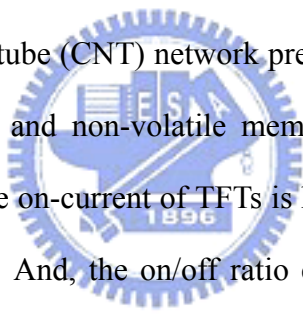
Advisor: Bing-Yue Tsui

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

Abstract



In this thesis, carbon nanotube (CNT) network prepared by coating method were applied to thin-film transistors (TFTs) and non-volatile memory. It is observed that with channel length shorter than the CNT, the on-current of TFTs is higher than $10\mu\text{A}$ at $V_D = -0.1\text{V}$ but the on/off ratio is smaller than 10. And, the on/off ratio can not be further raised by electrical breakdown method. For TFTs with longer channel length, the on/off ratio becomes larger but the on-current becomes smaller ($I_D < 1\mu\text{A}$ @ $V_D = -0.1\text{V}$, on/off ratio > 10). This tradeoff is attributed to the non-uniform distributions of the CNT by coating method. The mobility extracted from $G_{m,\text{max}}$ and the layout channel width is $3.6\text{cm}^2/\text{Vs}$. Since the surface coverage of CNT is $\sim 1\%$, the actual mobility of the CNT TFT is $360\text{cm}^2/\text{Vs}$. This value is still smaller than the mobility of individual CNT transistor ($8723\text{cm}^2/\text{Vs}$) due the Schottky barriers (SBs) formation from the junctions between semiconducting tubes and metallic tubes. The on-current transport mechanism is identified to be dominated by the Schottky emission.

There are two major drawbacks for the CNT network TFT from the experimental results. At first, the SBs between semiconducting tubes and metallic tubes limit the on current and therefore the switching speed. Second, the electric breakdown method is not suitable for CNT

network so that the on/off ratio can not be further improved. Increasing surface coverage, placing CNT in parallel, raising the semiconducting CNT percentage are the key factors to improve the CNT TFTs performance.

On the other hand, the resistivity of the CNT network is estimated to be $62.3\mu\Omega\cdot\text{cm}$. The resistivity of a 11.5nm thick Cu film increases from the bulk value of $1.7\mu\Omega\cdot\text{cm}$ to $32.34\mu\Omega\cdot\text{cm}$. It is hard to form continuous Cu films thinner than 10nm. Therefore, CNT network can be applied as excellent ultra-thin conducting layer if the metallic CNT percentage can be increased.

The CNT network can be applied as the charge-trapping layer (CTL) for non-volatile memory. The same CNT network fabrication method is used. Comparing with control sample without CNT network, we can verify that the memory effect is due to the existence of CNT. From the measurement of memory characteristics, $V_g = 8\text{V}$ result in effective positive charge storage. The larger programming voltage or the longer programming time makes the more threshold voltage shift. And the threshold voltage shift would saturate. Erasing voltage is much higher than the programming voltage (-22V versus 8V) and the positive charge can be removed by raising temperature to higher than 250°C .

The observed P/E phenomena are quite different from those of the traditional flash memories. Four possible mechanisms including hole injection, dipole rotation, mobile ion, and electric field induced molecular interaction are examined. Both the rotation of polar molecules and the metallic impurities are excluded. Hole injection mechanism also relies on some unreasonable assumptions. The electric field induced molecular interaction seems more feasible although the detailed mechanism is not clear at this moment and need much more efforts to clarify. The retention and endurance characteristics of the CNT memory are not as good as those of the traditional flash memories. Because of the novel operation mechanism, it is worthy to improve the performance by optimizing process conditions in the future.

誌謝

兩年的時間過得飛快，第一年的日子就在修課、讀 paper、學機台與實驗中度過，一度曾令人感到日子難熬，但所幸也都撐過去了，第二年似乎還開始能享受其中，一轉眼，即將帶著滿滿的收穫離開這裡，還真有點捨不得。這段期間，受到許許多多人的幫助，使我能順利完成碩士論文，謹以此文感謝。

首先，第一個要感謝的絕對是我的指導老師 崔秉鉞老師。很難用短短的幾段文字來描述我心裡對老師的感謝。在實驗進行的過程中，老師願意聆聽細節並且給予建議，在最後實驗結果整理成論文時，老師更是一字字細讀與修改。除了研究上老師給予許多指導，老師也訓練學生做事情的方法與態度。老師為人正直、處事圓融又能秉持自己的原則，對於不同個性的學生用心觀察給予適當的指導，我能深刻的感受到老師對於學生是出自真心的關懷，對我而言老師更是我心目中的典範。

其次，實驗上能順利完成得感謝國家奈米元件實驗室與國立交通大學奈米中心所提供的半導體製程機台，感謝 NDL 的鄭旭君工程師與子凌姐，以及其他許多的機台工程師與小姐們，謝謝你們的大力協助。感謝國家實驗研究院儀器科技研究中心提供原子層沉積機台，柯志忠學長以及卓文浩、游智傑等學長們的指教與幫忙。也謝謝簡昭欣實驗室的欣哲和弘森的熱心幫忙。

另外，由清大工科系蔡春鴻老師所領導的奈米國家型計畫研究團隊，亦提供一個環境使我能接收廣泛的碳管相關知識，感謝鐵雄、翁政輝、蘇清源等學長們實驗上的幫助與建議，以及賴肆華同學實驗上的討論。

感謝實驗室的各位，謝志民、盧季霈學長給予研究上的建議與幫忙；振銘學長給予許多機台訓練與實驗上的大力幫忙；李宜澤學長對於量測與

實驗上亦給予很多建議與碳管組的振欽學長願意容忍我在他做實驗的時候跟前跟後、問東問西，令我之後自己做實驗時不至於慌張失措，還有具喜感的小紅豆和愛聊天的 flying，看到你們就很開心。同屆的筱函、曉萱、雨蓁，很幸運能和你們在同一個實驗室一起度過這兩年的時光，無論是在研究上或是生活上都讓我覺得，有你們真好！還有同組的張嘉文能夠一起討論碳管實驗上的問題，以及羅正愷在我記憶體方面有問題時總是給予幫忙。實驗室的蔡依成學弟這一年也是辛苦你了。另外，我的大學同學智雅以及英子，也謝謝你們這段時間陪我吃飯、聊天，可以互相抱怨也互相鼓勵。

最後，我要感謝我的家人，感謝他們在我的求學過程中，默默的付出並且對我任性的決定總是給予支持，使我可以專注於我想做的事情認真去做好，奶奶、爸爸、媽媽以及我的哥哥，謝謝你們。



目錄

中文摘要.....	i
英文摘要.....	iii
誌謝.....	V
目錄.....	Vii
表目錄.....	Viii
圖目錄.....	iX
第一章 緒論.....	1
1-1 奈米碳管基本性質介紹.....	1
1-2 單根單壁奈米碳管電晶體的傳導特性.....	2
1-3 單根單壁奈米碳管電晶體的電性影響因素.....	4
1-4 碳管薄膜電晶體之發展過程與碳管薄膜的製作方法.....	6
1-5 非揮發性記憶體之簡介.....	8
1-6 論文架構.....	9
第二章 元件設計與製備流程.....	16
2-1 碳管網絡薄膜電晶體.....	16
2-1.1 碳管薄膜電晶體之元件結構與光罩佈局.....	16
2-1.2 碳管規格與溶液配置.....	17
2-1.3 碳管網絡薄膜之形成方法與結果討論.....	17
2-1.4 碳管網絡薄膜電晶體之元件製程步驟.....	18
2-2 碳管網絡記憶體.....	19
2-2.1 碳管網絡記憶體的元件結構與光罩佈局.....	19
2-2.2 碳管網絡記憶體之碳管薄膜製作方式.....	20
2-2.3 碳管網絡記憶體之元件製程步驟.....	20

第三章 碳管網絡薄膜電晶體	32
3-1 碳管塗佈次數與元件尺寸之效應	32
3-1.1 碳管塗佈次數對元件特性之影響.....	32
3-1.2 元件尺寸對元件特性之影響.....	33
3-2 碳管薄膜電晶體之特性討論	34
3-2.1 碳管薄膜電晶體與接近單根碳管電晶體之載子遷移率與電阻 係數萃取與討論.....	35
3-2.2 碳管薄膜電晶體與接近單根碳管電晶體之導通機制探討.....	37
3-3 利用電流應力對開關比例之影響	38
第四章 碳管網絡記憶體	59
4-1 閘極介電層基本特性	59
4-2 碳管網絡記憶體之記憶現象	60
4-3 碳管網絡記憶體特性	61
4-3.1 抹除方法.....	61
4-3.2 寫入速度.....	62
4-3.3 電荷保持 (Retention).....	62
4-3.4 耐久性 (Endurance).....	62
4-4 操作機制	63
第五章 結論	86
5-1 結論	86
5-2 未來展望與後續研究建議	88
參考文獻	90
個人簡歷	95

表目錄

第三章

- 表 3-1 碳管薄膜電晶體不同元件尺寸量到之機率統計：(a)塗佈 2 次、(b) 塗佈 10 次、(c) 塗佈 40 次(其中旋塗 10 次元件寬度為 $5\mu\text{m}$ 的元件因為金屬鈹和氮化矽附著的強度不佳而有斷線的情形，因此不列入機率統計)。.....40
- 表 3-2 碳管薄膜電晶體塗佈次數與元件尺寸和平均導通電流的關係：(a)塗佈 2 次、(b) 塗佈 10 次、(c) 塗佈 40 次。.....41
- 表 3-3 碳管薄膜電晶體塗佈次數與元件尺寸和平均開關比例的關係：(a)塗佈 2 次、(b)10 次、(c)40 次。.....42

第四章

- 表 4-1 四種可能使臨界電壓漂移之機制與量測現象之比對。(三種符號個別所代表的意思：O 代表此機制可合理解釋此現象、 Δ 代表此機制勉強可解釋此現象、X 代表此機制完全和此現象抵觸。)...67

圖目錄

第一章

- 圖 1-1 奈米碳管結構示意圖：(a)單壁奈米碳管管壁由單層石墨原子層捲起而成、(b)單壁奈米碳管兩端由於有五邊型碳環存在，因此可形成封閉結構、(c)多壁奈米碳管。.....10
- 圖 1-2 此為單層石墨原子層的示意圖， \vec{a}_1, \vec{a}_2 是石墨結構的單位向量，圖中說明 \vec{C}_h 即碳管捲起的方向，此方向是定義碳管結構最重要的參數。.....11
- 圖 1-3 隨著 K^+ 摻雜濃度增減，其元件的臨界電壓會飄移。.....12
- 圖 1-4 解釋因為碳管和金屬的功函數不同而造成載子通過兩者界面時所看到的障礙：(a)閘極給正偏壓，電子看到的障礙 Φ_b 、(b)閘極給負偏壓，電洞看到的障礙 Φ_b 。.....13
- 圖 1-5 (a)當金屬的費米能階剛好和碳管的價帶在同一水平時，則形成 p-type 歐姆接觸的碳管電晶體、(a)當金屬的費米能階剛好和碳管的導帶在同一水平時，則形成 n-type 歐姆接觸的碳管電晶體。.....14
- 圖 1-6 非揮發性記憶體示意圖：(a)懸浮閘記憶體、(b)SONOS 記憶體、(c)nanocrystal 記憶體。.....15

第二章

- 圖 2-1 碳管薄膜電晶體元件示意圖：(a)俯視圖，(b)剖面圖。.....23
- 圖 2-2 Carbolex 提供 AP-grade 碳管粉末之 SEM 分析圖。.....24
- 圖 2-3 碳管呈現束狀之 TEM 圖。.....24
- 圖 2-4 下閘極高度對碳管跨接的影響：(a)300nm、(b)50nm。.....25
- 圖 2-5 塗佈 40 次分散良好的碳管網絡薄膜，換算其覆蓋率約為 1%。...26

圖 2-6	碳管塗佈次數 40 次之碳管薄膜於不同元件尺寸的分布情形： (a) $L=0.4\mu\text{m}$ 、(b) $1.4\mu\text{m}$ 、(c) $L=4\mu\text{m}$ 、(d) $L=9\mu\text{m}$ 。	27
圖 2-7	碳管網絡薄膜電晶體之製程步驟示意圖。	28
圖 2-8	碳管網絡記憶體之元件示意圖：(a) 剖面圖，(b) 俯視圖。	29
圖 2-9	可觀察到碳管並沒有完全覆蓋元件通道上方的面積，而大都堆積在具有高地差地形的邊緣。	30
圖 2-10	碳管網絡記憶體之製程步驟示意圖。	31

第三章

圖 3-1	碳管薄膜電晶體 I_D-V_G 關係圖：(a) 導通電流大但開關比例小的元件、 (b) 開關比例大但導通電流小的元件。	43
圖 3-2	碳管薄膜電晶體塗佈次數對元件特性之影響：(a) 塗佈次數對導通電流的影響 ($W=50\mu\text{m}$ 、 $L=1.4\mu\text{m}$ 和 $0.4\mu\text{m}$)、(b) 塗佈次數對開關比例的影響 ($W=50\mu\text{m}$ 、 $L=0.4\mu\text{m}$ 和 $1.4\mu\text{m}$)。	44
圖 3-3	coating 40 次碳管薄膜電晶體元件尺寸和導通電流的關係： (a) $\text{width}=50\mu\text{m}$ 、(b) $\text{width}=20\mu\text{m}$ 。	45
圖 3-4	coating 40 次碳管薄膜電晶體元件尺寸和導通電流的關係： (a) $\text{width}=50\mu\text{m}$ 、(b) $\text{width}=20\mu\text{m}$ 。	46
圖 3-5	在元件的邊緣會有碳管繞過，造成額外的導通電流的貢獻，等效元件的寬度增加。	47
圖 3-6	coating 40 次碳管薄膜電晶體：(a) 導通電流和關閉電流的關係隨不同元件尺寸之分布圖、(b) 導通電流和開關比例的關係隨不同元件尺寸之分布圖。	48
圖 3-7	碳管電晶體 I_D-V_G 關係圖，由 $G_{m,\text{max}}$ 計算得到載子遷移率：(a) 塗佈	

碳管 40 次之薄膜電晶體特性、(b) 少根接近單根碳管電晶體特性。.....	49
圖 3-8 各式可撓曲電晶體之載子遷移率研究進程，顯示碳管電晶體研究潛力之優勢。.....	50
圖 3-9 coating 40 次碳管薄膜電晶體通道長度和導通電流的關係(通道寬度為 50 μm)，圖中包含最大值、最小值與平均值，右下角插圖為將原圖之 y 軸換成線性軸顯示。.....	50
圖 3-10 少根接近單根碳管電晶體之電性量測：(a) $V_G=+20\text{V}$ 與 -10V 時的 I_D-V_D 關係圖(右上角插圖為 $V_D=0.1\text{V}$ 時的 I_D-V_G 關係圖)、(b) $V_G=+20\text{V}$ 時的 $I_D-\sqrt{V_D}$ 關係圖。.....	51
圖 3-11 閘極電壓為 $+20\text{V}$ 時，汲極電壓大小不同時的能帶圖：(a)汲極電壓為 -0.1V 、(b) 汲極電壓 -2V 時，電洞由源極進入通道所需克服的能障變小。.....	52
圖 3-12 少根接近單根碳管電晶體之電性量測：(a)變溫量測 I_D-V_G 關係圖、(b)閘極於負偏壓時，電洞導通電流隨溫度的變化。.....	53
圖 3-13 碳管網絡電晶體變溫量測之 I_D-V_G 關係圖。.....	54
圖 3-14 碳管塗佈 40 次， $L=1.4\mu\text{m}$ 、 $W=50\mu\text{m}$ ：(a)閘極偏壓在 $+20\text{V}$ 的狀態下，碳管電晶體 I_D-V_D 關係圖、(b)電性崩潰法前後之 I_D-V_G 關係圖。.....	55
圖 3-15 碳管塗佈 2 次， $L=1.4\mu\text{m}$ 、 $W=50\mu\text{m}$ ，：(a)閘極偏壓在 $+20\text{V}$ 的狀態下，碳管電晶體 I_D-V_D 關係圖、(b)電性崩潰法後之 I_D-V_G 關係圖。.....	56
圖 3-16 相同碳管塗佈次數(40 次)，元件通道長度固定($0.4\mu\text{m}$)，討論元件寬度對於電性崩潰法之影響。閘極偏壓在 $+20\text{V}$ 的狀態下，碳管電晶體 I_D-V_D 關係圖：(a) $50\mu\text{m}$ 、(b) $5\mu\text{m}$ 。.....	57

圖 3-17	金屬性碳管網絡分布示意圖，解釋在某些情況下，無法用電性崩潰法選擇性的移除金屬漏電路徑的原因。.....	58
--------	---	----

第四章

圖 4-1	和元件通道方向垂直之 TEM 剖面圖：(a)LOCOS、(b)穿遂氧化層和阻擋層薄膜厚度都很均勻、(c)高倍率下各層厚度標示。.....	68
圖 4-2	實驗對照組(沒有碳管)之閘極介電層電性分析(通道長度 $50\mu\text{m}$ 、通道寬度 $48\mu\text{m}$)：(a) 閘極高頻電容量測、(b) I-V 關係圖，正偏壓的崩潰電壓大於 40V ，而負偏壓的崩潰電壓約在 -30V 。.....	69
圖 4-3	有碳管的元件閘極介電層電性分析：(a)閘極介電層 I-V 關係圖(通道長度 $50\mu\text{m}$ 、通道寬度 $48\mu\text{m}$)，正偏壓的崩潰電壓大於 40V ，而負偏壓的崩潰電壓分佈在 $-10\sim-30\text{V}$ 。(b)負偏壓的崩潰電壓累積機率分佈圖。.....	70
圖 4-4	(a)元件閘極偏壓在 $\pm 8\text{V}$ 的掃描範圍時的 I_D-V_G 關係圖(右下角小圖為實驗對照組之 I_D-V_G 關係圖)、(b)碳管分布不均的元件示意圖與等效電路圖、(c) 兩個不同臨界電壓的電晶體個別貢獻的電流總合即為量測結果。.....	71
圖 4-5	元件寬度對碳管記憶體特性之影響。寬度分別為(a) $48\mu\text{m}$ 、(b) $18\mu\text{m}$ 、(c) $4\mu\text{m}$ 。.....	72
圖 4-6	閘極負偏壓在 ± 8 的掃描範圍內對元件的影響：(a)對某些元件沒有影響，(b)對某些元件有影響。.....	73
圖 4-7	閘極偏壓在 -8V 、 1s ，對某部分的元件有抹除的效果，但只是暫時的。.....	74
圖 4-8	閘極偏壓在 -22V 、 1s ，對大部分的元件有永久抹除的效果。.....	74
圖 4-9	利用高溫亦可對元件進行抹除。.....	75

圖4-10	不同寫入條件的漂移量：(a)固定閘極偏壓在-12V，寫入時間改變對臨界電壓飄移量之影響、(b)臨界電壓飄移量和寫入偏壓與時間的關係。	76
圖4-11	臨界電壓隨時間的變化(縮圖為原始 I_D-V_G 關係圖)：(a) retention 較差的元件、(b) retention 較好的元件。	77
圖4-12	多次寫入與抹除：(a)臨界電壓隨 P/E 次數增加的變化、(b)第一次寫入與抹除時之 I_D-V_G 關係圖與最後一次的變化。	78
圖 4-13	某部份元件使用相同的寫入條件，第二次飄移量會變小，甚至會幾乎喪失記憶体的特性。	79
圖 4-14	某部份元件使用相同的寫入條件，多次寫入發現臨界電壓飄移量越來越大最後達到飽和(註：抹除時也沒有完全抹除)。	79
圖4-15	元件結構於不同狀態時對應能帶圖：(a)寫入(閘極加正偏壓)、(b)抹除(閘極加負偏壓)。	80
圖 4-16	碳管曲率造成電場加強的效果：(a)為元件結構圖與模擬參數設定、(b)為有直徑 1.4nm 的鈦結構其電場分佈圖、(c)沒有直徑 1.4nm 的鈦模擬結果， $x=0$ 時電場隨 y 軸的變化、(d)有直徑 1.4nm 的鈦之模擬結果， $x=0$ 時電場隨 y 軸的變化。	81
圖 4-17	利用極性分子解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。	82
圖4-18	利用極性分子解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。	83
圖4-19	利用不明物質解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。	84
圖 4-20	化學反應過程之位能圖，反應向右進行相較於向左，所需克服之活化能較小，由此可合理解釋寫入電壓小於抹除電壓。	85

第一章

緒論

1-1 奈米碳管基本性質介紹

奈米碳管(Carbon nanotube, CNT)於 1991 年由日本 NEC 的 Sumio Iijima 首度發現【1】，陸續幾年的研究發現碳管在電、光、熱、機械等性質上都有優異的表現，顯示其在電晶體、金屬導線、顯示器、複合材料等方面都有發展的潛力【2】。

奈米碳管由碳原子所組成，可概分為單壁奈米碳管(Single-walled carbon nanotubes, SWCNTs)與多壁奈米碳管(Multi-walled carbon nanotubes, MWCNTs)。單壁奈米碳管的管壁可視為單一石墨原子層捲起而成的 1-2 奈米直徑的管狀物(如圖 1-1(a))，前後兩端由六邊形與五邊形的碳環所形成的封閉結構(如圖 1-1(b))，長度可達數百微米；而多壁奈米碳管為單壁奈米碳管層層包覆成同心結構，直徑的分布範圍較廣，可由數奈米至數十奈米(如圖 1-1(c))，其電性要考慮層與層之間的交互作用力，較為複雜。

由於單壁奈米碳管為石墨原子層捲起而成管狀物，因此單壁奈米碳管的能帶特性可由石墨的能帶理論推算。單層石墨結構為一理想二維結構，電子之動量 \vec{k} 有兩個維度，延某些方向能隙(band gap)為零，延某些方向則有大小不定之能隙。而單壁奈米碳管為一維奈米結構，因此電子在碳管中運行的方向僅有軸向方向，此方向將決定單壁奈米碳管的能隙大小。因此，單壁奈米碳管有一個重要的參數：特徵向量(chiral vector) $\vec{C}_h = n\vec{a}_1 + m\vec{a}_2 = (n, m)$ ，此向量定義了石墨層捲曲成碳管的方向，即碳管的旋度(chirality)(如圖 1-2)， \vec{C}_h 垂直碳管的軸向方向。而由理論計算可得到當 n-m

為 3 的倍數時，單壁奈米碳管為金屬性；n-m 不為 3 的倍數時，單壁奈米碳管為半導體性。此外，單壁奈米碳管其能隙大小亦與直徑相關，能隙和直徑的關係為一倒數關係 $E_g = \frac{4\hbar v_f}{d_{CNT}}$ ， v_f : Fermi velocity $\sim 8 \times 10^5$ m/s，直徑越大，能隙越小。本論文中所選用的碳管直徑約為 1.4nm，其半導體性碳管的能隙約為 0.6eV【3】。

1-2 單根單壁奈米碳管電晶體的傳導特性

由上節討論可得知，碳管的電性由旋度與直徑同時決定，而當討論實際量測單根碳管傳導特性。碳管的電阻可分為三個部份的貢獻，第一部份為一維結構所無法避免的阻抗，可引入兩端點的 Landauer-Buttiker Formula，適用於 N 個一維通道並聯： $G = \left(\frac{Ne^2}{h}\right)T$ ，T: transmission coefficient for electrons through the sample，對於輕摻雜的碳管，N=4，假設 T=1，則 $G = \frac{4e^2}{h} = 155 \mu S$ 或 $R = 6.5 k\Omega$ 。第二部份為接觸阻抗 R_c 的貢獻，原因為金屬和碳管接觸時因為功函數不匹配所產生額外的阻抗。第三部份的貢獻為載子通過碳管時因散射而產生的阻抗 $R_l = \frac{h}{4e^2} \left(\frac{L}{l}\right)$ ，此和碳管的平均自由徑 (mean-free path, l) 和碳管長度(L)有關。綜合以上三者貢獻，總阻抗 $R = \frac{4e^2}{h} + R_c + R_l$ 【2】，若能夠使用適合的金屬使 $R_c = 0$ ，並將散射的影響降至最小，則可達到彈道傳輸(ballistic transport)。而散射的影響有機會降至 0 的原因為，碳管在室溫下的平均自由徑可達 $\sim \mu m$ ，遠大於一般材料，原因為一維結構所特有的能態密度(density of state, DOS)，其相同能量下的能態只

有兩個，因此大幅度減少散射發生的可能性。目前實驗中量測到直徑 1nm 的金屬性碳管其電流密度可達 $2.5 \times 10^9 \text{A/cm}^2$ ，是銅導線的 1000 倍【4】。而半導體性碳管的載子遷移率(carrier mobility)可達 $20000 \text{cm}^2/\text{Vs}$ ，互導(transconductance)可達 $10 \text{ms}/\mu\text{m}$ 亦遠遠優於矽元件【5】。

實際量測碳管的電性時，為了點針方便會在碳管的兩端點製作金屬電極，由於量到的電性會包含碳管本身再加上電極與碳管接觸所造成的整體影響，因此金屬的選擇就格外重要。過去的實驗中，也有人直接將探針點在碳管上，但仍然有探針和碳管之間額外產生的電阻需要考慮。目前研究上常使用的金屬有金(Au)、鉑(Pt)、鈦(Ti)、鉻(Cr)、鈀(Pd)、鋁(Al)，其中對於比較容易氧化的金屬(如鈦、鉻)，使用時上方通常會多疊一層不易氧化的金屬(如金)，避免其表面氧化造成量測時額外阻抗產生。目前量測單根碳管電晶體最基本的結構就是使用重摻雜的晶圓作為背閘極，表面成長一層乾氧化層(dry oxide)作為閘極介電層，最後上方是碳管和金屬電極。

在已發表的研究結果中，約可將基本結構的碳管電晶體分為三種：第一種摻雜型碳管電晶體是利用某些特殊之摻雜製程，使 CNT 產生類似矽元件的摻雜效果，利用摻雜的濃度可調變碳管的費米能階(Fermi level)，因此隨著摻雜濃度增減，其元件的臨界電壓會漂移(如圖 1-3)，進而改變單壁奈米碳管之電性。目前使用過的摻雜方法例如有鉀離子【6】、高分子(polyethylene, PEI)【7】，前者的缺點在於它的電性沒辦法在大氣的環境下維持，而後者可以。

第二種蕭基位障電晶體其運作原理為利用電子和電洞在流經金屬和碳管的接觸時，分別形成不等的蕭基位障(如圖 1-4)【8】再利用閘極偏壓控制蕭基位障的寬度來控制電流大小，因此此類型電晶體的導通電流較小，

漏電流較大，次臨界斜率不佳，不論閘極處在正偏壓或負偏壓的狀態，電晶體都呈現導通的狀態，不適合應用於邏輯電路上。

而第三種歐姆接觸碳管電晶體則是透過選擇適當的金屬電極來達成。當選擇功函數較大的金屬使其費米能階剛好和碳管的價帶(valence band)或同一水平時，再利用閘極控制通道之開關，則形成 p-type 歐姆接觸的碳管電晶體(如圖 1-5(a))；反之若是金屬的費米能階和碳管的導帶(conduction band)在同一水平時，則形成 n-type 歐姆接觸的碳管電晶體(如圖 1-5(b))。在 2003 年由 Dai Hongjie 研究團隊【9】與 2007 年北京大學的研究團隊【10】分別使用鈮(Pd)及鈦(Sc)實際製作出 p-type 及 n-type 的彈道傳輸碳管電晶體。

由理論上來說，選擇適當的金屬，即其功函數和碳管能匹配，則可控制碳管電晶體的電性為 n-type、p-type 或是雙極性的特性，但實驗上由於對碳管特性無法確實掌握，因此幾乎找不到兩顆電性完全相同的電晶體。下面簡述目前單根碳管電晶體的電性如此無法掌控的原因。

1-3 單根單壁奈米碳管電晶體的電性影響因素

碳管電晶體的電性受到多方面的影響。首先是金屬和碳管的接觸面的影響，除了要考慮不同的金屬其功函數的變異，亦要考慮碳管的直徑會直接影響到能隙的大小【11-12】，還有實際上金屬和碳管之間是否有良好的接觸，即兩者之間鍵結的強弱【13】，三者共同影響到最後接觸面的性質。

許多研究結果指出，碳管電晶體在含氧的環境下多呈現 p-type 的電晶體特性，一種說法認為氧氣造成金屬鈦的功函數增加近而造成電洞電流隨氧氣含量增加而提升【14】，另有說法認為氧氣對碳管是類似 p-type 摻雜的效果【15】，經由紫外光照射或在真空的環境下使氧分子脫離碳管，碳管有可能轉成雙極性或是 n-type 電晶體特性【15-17】，可能的原因眾說紛紜，未

有明確的結論。此現象造成 n-type 碳管電晶體格外難製作，儘管使用低功函數的金屬在製作完成初期可量測到 n-type 特性，但在大氣環境下經過一段時間，電晶體特性就會由 n-type 又轉回 p-type 【18】。另一方面，亦有研究指出大氣中的水分子是造成碳管電晶體遲滯現象的原因 【19】，但其真正的影響機制仍在持續研究中。由於碳管由單層的原子層構成，因此表面性質對於其特性影響甚鉅，氣體吸附至表面和脫離的過程對其特性造成劇烈的改變。雖然此現象對於量測上造成嚴重的干擾，但從另一方面來說碳管表面對於氣體的敏感度有潛力應用於生物化學感測的領域，例如偵測有毒氣體 【20】，以及儲存氫氣的應用 【21】。

碳管的結構缺陷也是近幾年研究很多的課題，有理論研究指出缺陷的排列方式會影響碳管的電性，並有直接的 HRTEM 證據指出電子束照射會在碳管上產生缺陷，電流的流動會使缺陷移動並聚集，這些都大大的增加碳管電性的不確定性 【22】。

除了上述造成碳管量測上變異之外因素外，以目前的碳管合成技術來說，碳管本身的旋度是無法控制的，在大量碳管中金屬性和半導體性的碳管是同時存在，因此如何能個別分離出兩者也是重要的研究課題 【23-25】。至於直徑的控制也只能約略控制在某個小範圍內，並無法精確控制，因此碳管的能隙也是有變異的。在製作元件的過程中，定義圖案時需使用曝光機台，元件會受到短波長光源或是電子束的照射，以及量測線寬或是尋找碳管的位置使用 SEM 輔助，這些都對碳管造成一定程度的傷害。在最後量測過程中，大氣中氣體分子吸附與脫離的干擾，電流通過可能造成缺陷移動。以上種種綜合在一起，可知道單根碳管電晶體要能實際應用還有很長遠的一段路要走。

然而，當使用多根奈米碳管來製作碳管電晶體時，多根碳管電晶體的電性是所有碳管特性平均之後所得到的結果，因此較易得到均一性之實驗

結果，並且正好符合目前碳管合成技術可做到的程度，這會是短期內較有可能實現的目標。在本文中，我們發展了一種用旋塗的方式製作碳管網絡之技術，並將之應用於薄膜電晶體之通道(channel)和非揮發性記憶體之儲存層(storage layer)上，下一節中將敘述奈米碳管薄膜電晶體的發展現況，並整理了目前已發表文獻中，各式各樣製作碳管薄膜的方法。

1-4 碳管薄膜薄膜電晶體之發展過程與碳管薄膜的製作方法

早期碳管相關的研究大都針對於單根碳管的各種特性在做討論，並發現其在電性上確實具有相當優異的性質，尤其是它的載子遷移率遠遠優於其他已知的半導體材料，因此相當有潛力應用於電晶體的通道上。但上節已說明目前在單根碳管的控制上還有很多問題不是短時間之內所能克服的，因此 2003 年開始，陸續有許多人開始嘗試製作大量碳管的薄膜電晶體，雖然一開始元件的特性仍有大幅改善的空間，但開啟了新的一個研究方向【26】。

利用多根碳管平均可降低因為個別碳管之間的差異所造成的影響，如直徑可控制在小範圍的某個區間中、缺陷或是環境的影響都可經由大量平均後使其元件特性趨向一致，但緊接而來的問題就是，如何製作大面積且均勻的碳管薄膜？

碳管放置的方法可以分成兩個大方向，一種是化學氣相沉積法(chemical vapor deposition, CVD)，利用金屬催化劑做為觸媒直接在所需要的位置成長碳管，但要成功的長出高純度的單壁奈米碳管並且控制其方向、位置、均勻度等其實是有相當難度的，且其成長溫度通常在 700°C 到 1000°C 的區間，這樣的高溫和薄膜電晶體的製程並不相容。

因此我們選擇另外一個方法：將成長好的碳管經由溶劑分散之後，透過一些特別的技術或方法，將其轉移到所需的位置上，這樣的方式就相當

符合薄膜電晶體所需要的低溫並且大面積的製程。理想情況下，我們會希望碳管是朝電流導通的方向水平並聯排列的，相當於多個單根碳管電晶體並聯，這樣一來，在利用電性崩潰的方法燒斷金屬性的碳管之後，既能維持原有高達 10^6 的開關比例，又能夠提升導通電流。由文獻回顧可以發現，已有許多人試圖去排列碳管或是其它的一維奈米結構：1998年Marko Burghard等人將碳管溶在SDS中並在表面做化學修飾，使碳管可在特定的位置範圍作定位，但僅能小幅度的達到定向的目的【27】。2001年Yu Huang等人利用PDMS mold 搭配表面作化學修飾，可使一維的奈米線順著溶液的流向做排列【28】。2004年Huijun Xin等人將碳管粉末用DMF分散並利用氣流的流動方向去排列碳管【29】。2006年Hyunhyub Ko等人將碳管粉末(Carbon Solutions)溶在SDS中並搭配表面作化學修飾，用光阻在表面作出多條平行溝槽並傾斜一角度使碳管溶液順著留下，可發現碳管排列大約和溶液流動的方向是一致的【30】。以上的結果雖然都能使碳管傾向某個方向做排列，但仔細檢視會發現，碳管之間仍會有錯雜的情形發生，大面積之下的均勻度與定位定向仍是其困難存在。

有鑑於大面積下排列碳管的困難性，另外有某些研究朝向沒有方向性的碳管網絡來發展。相較於試圖去排列碳管，無方向性的碳管網絡在技術上簡化了一些問題，並且大面積下的均勻性會更容易達成。無方向性就是任何方向都存在，利用大量不同方向的碳管平均之後，個別元件之間的特性亦會趨近一致。美國的Naval Research Laboratory由2003年至2005的努力，在碳管薄膜電晶體的特性上就達到了很大的改善，其製作出來的元件其單位長度互導可達 0.5mS/mm ，載子遷移率可達 $150\text{cm}^2/\text{V}\cdot\text{s}$ ，改善的重點在於碳管溶液純化的步驟，多次經由離心的步驟分離沉澱，去除未完全懸浮分散的碳管【31-32】。另外還有幾種特殊的製程方式，同樣皆有低溫製程大面積並且均勻的優點：George Grünera 等人2004年將碳管粉末(HiPCo)

溶於chloroform 並利用真空過濾技術製作出大面積的均勻碳管薄膜【33】。此研究團隊並於2006 年將碳管粉末(Carbon Solutions)用十二烷基硫酸鈉(Sodium dodecyl sulfate, SDS)分散並利用PDMS stamp 轉印可製作出任意所需圖案【34】。

上述這些方法需要一些比較特別的製程設備，並且需要對晶圓表面做特殊的化學處理，若沒有去除乾淨，甚至會對碳管的電性造成影響。因此本論文考慮到現有的實驗設備，選用旋塗法(spin coating)的方式來製作碳管薄膜。固定碳管的濃度並利用塗佈時的次數來控制碳管的數量，這樣能夠簡化調配不同碳管濃度時可能造成實驗的誤差，可以盡量將人為影響因素降至最低。本論文將此方法製作的碳管網絡應用於兩部分，第一部分為奈米碳管薄膜電晶體，第二部份將其應用於非揮發性記憶體的儲存層，簡介於下節。



1-5 非揮發性記憶體之簡介

非揮發性記憶體的應用廣泛，包含個人電腦、行動電話、數位相機等等，目前工業上成熟的技術是具有懸浮閘結構(floating gate)的記憶體(如圖 1-6(a))，其原理為利用中間的導電層儲存電荷而造成臨界電壓的漂移，因而可有記憶 0 或 1 兩種狀態(state)的記憶體功能，且裡面的電荷不會隨著電源關閉而流失，因而稱為非揮發性記憶體。

隨著摩爾定律(Moore's law)的推展，懸浮閘結構記憶體面臨無法繼續微縮的窘境，穿隧氧化層(tunneling oxide)隨著尺寸微縮而減薄，電荷流失的問題將無法可解。目前有兩類改良式的結構在研究中，一種是 SONOS 記憶體，一種是 nanocrystal 記憶體，若原本懸浮閘記憶體的導電層用氮化矽替換，就成了 SONOS 結構(如圖 1-6(b))；若用直徑是奈米級的顆粒替換，就成了 nanocrystal 記憶體結構(如圖 1-6(c))，而本篇論文則使用碳管網絡做為

電荷儲存層。2006 年香港研究單位已發表類似的結構【35】，該篇論文製作出有碳管夾層的電容結構，結果顯示閘極偏壓在 $\pm 3V$ 的範圍裡，偏壓正掃與反掃過程中，造成電荷寫入/抹除，導致其平帶電位(flat band voltage) 的漂移約為 0.4V，此篇文獻的結果發現電洞相較於電子較容易儲存在碳管中。2007 年韓國的研究單位發表類似結構的碳管記憶體元件，並發現電子和電洞都有儲存在元件中的現象，該研究發現電子較容易儲存於元件中【36】。

1-6 論文架構

本論文製作兩種元件結構，一是將碳管網絡薄膜應用於薄膜電晶體，另一將碳管網絡薄膜應用於非揮發性記憶體上。

第二章一開始會先針對本論文形成碳管薄膜的方式做特別的說明，之後將會說明兩種元件的製作流程和光罩設計。

第三章為碳管網絡薄膜電晶體的量測結果與討論。

第四章碳管網絡記憶體的量測結果與討論。

第五章為本論文的結論與後續研究的建議。

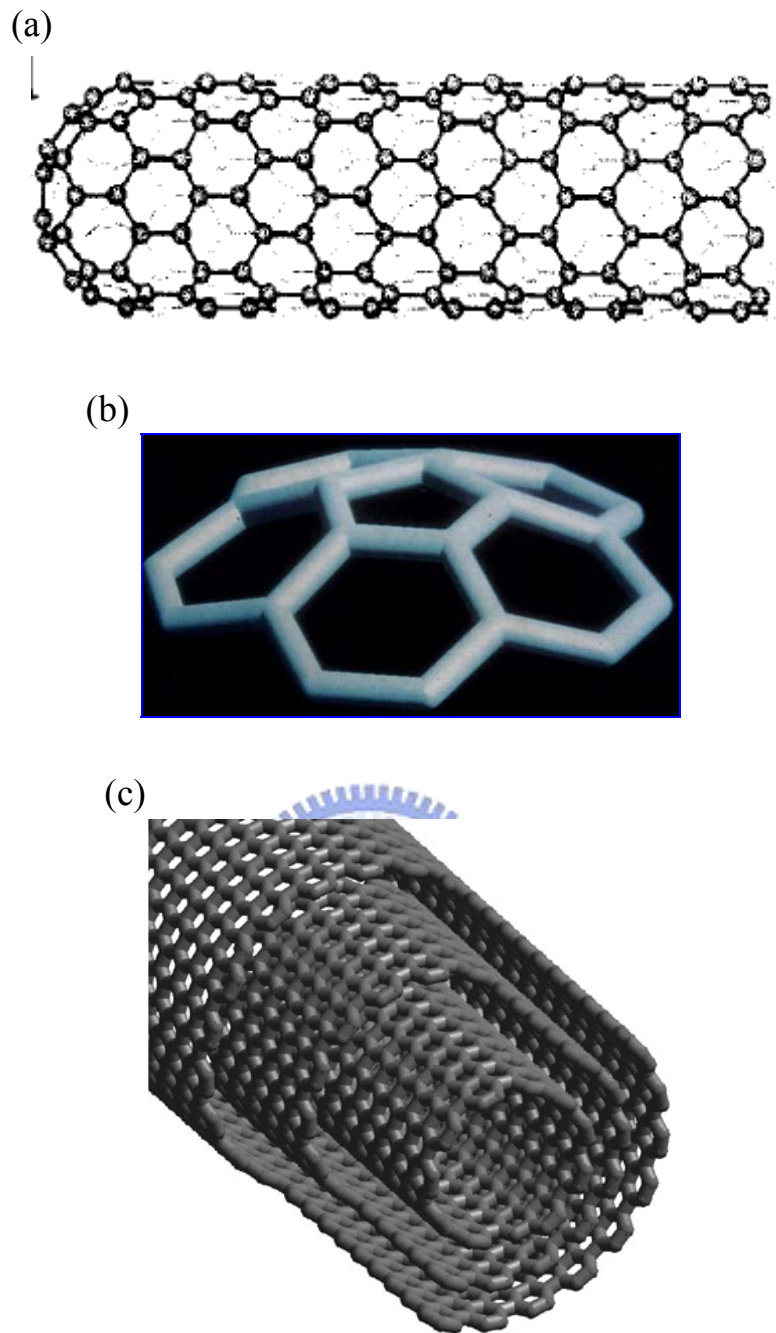


圖 1-1 奈米碳管結構示意圖：(a)單壁奈米碳管管壁由單層石墨原子層捲起而成【2】、(b)單壁奈米碳管兩端由於有五邊型碳環存在，因此可形成封閉結構、(c)多壁奈米碳管。

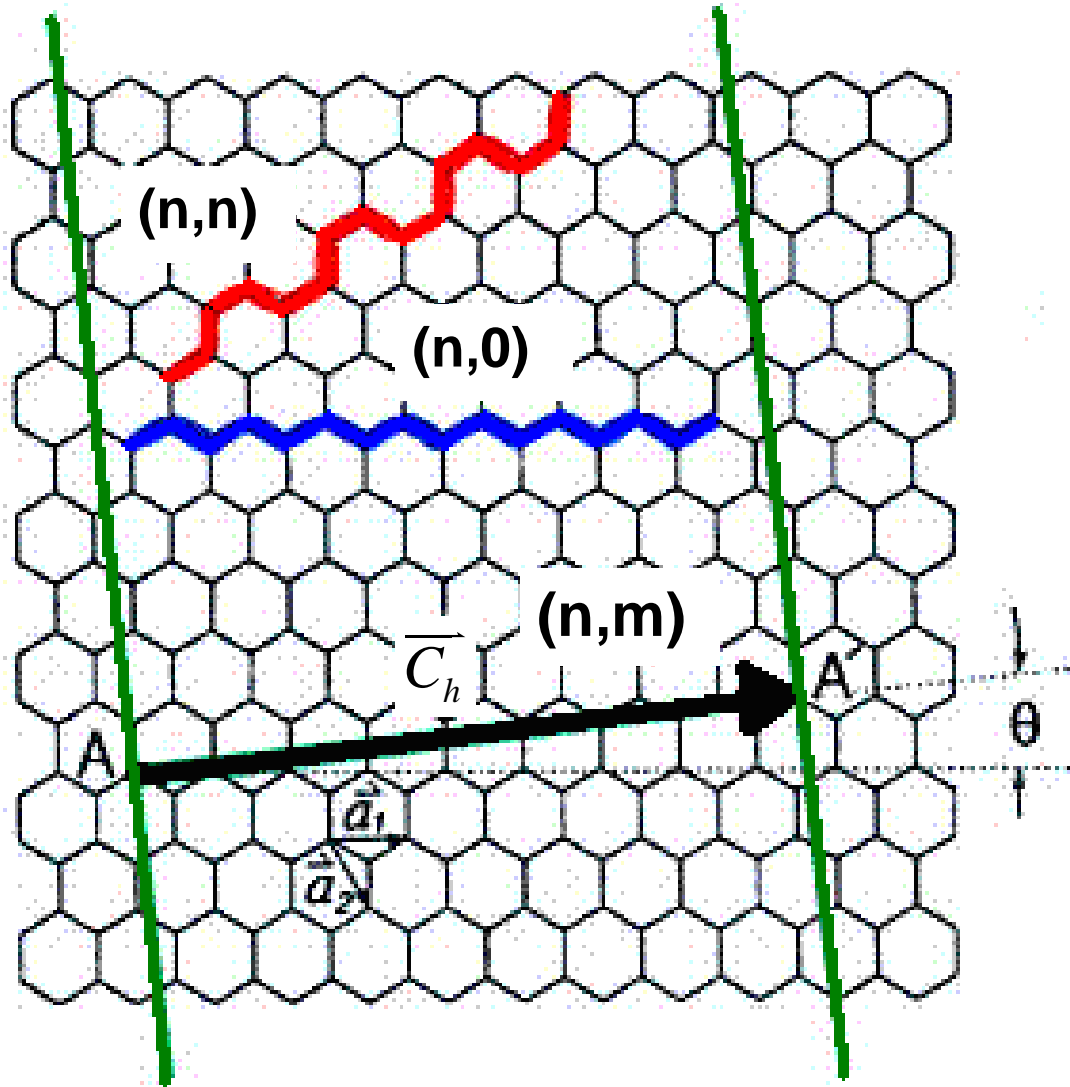


圖 1-2 此為單層石墨原子層的示意圖， \vec{a}_1, \vec{a}_2 是石墨結構的單位向量，圖中說明 \vec{C}_h 即碳管捲起的方向，此方向是定義碳管結構最重要的參數。

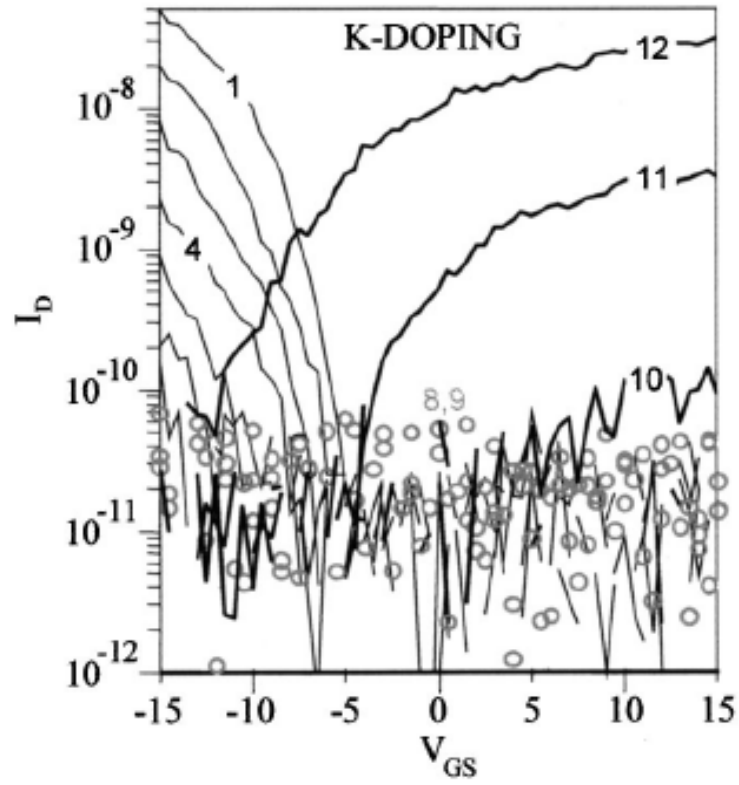
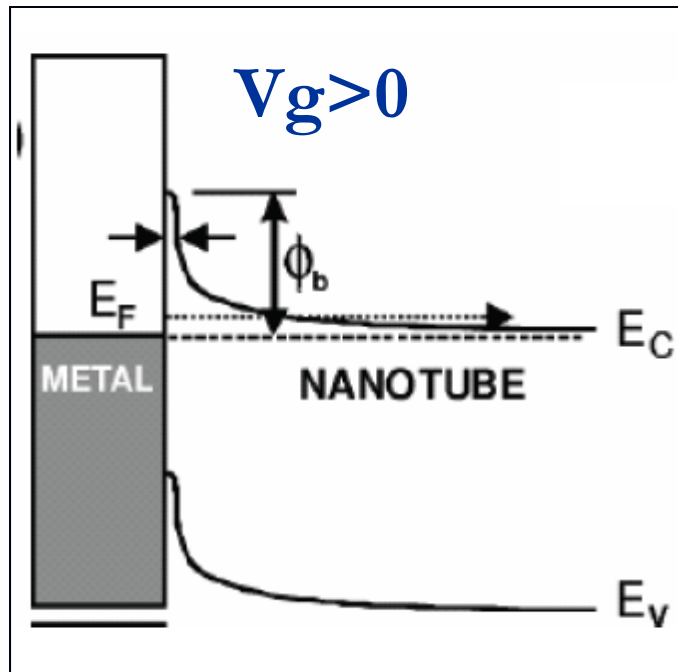


圖 1-3 隨著 K^+ 摻雜濃度增減，其元件的臨界電壓會飄移【6】。



(a)



(b)

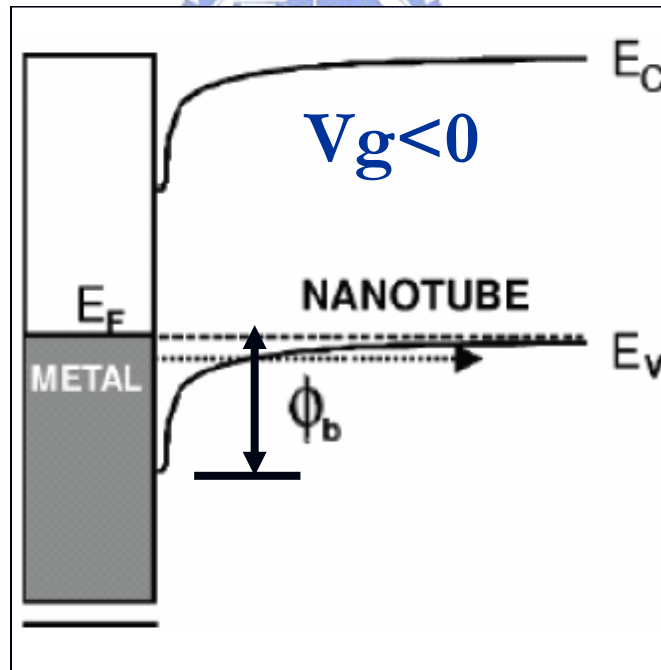
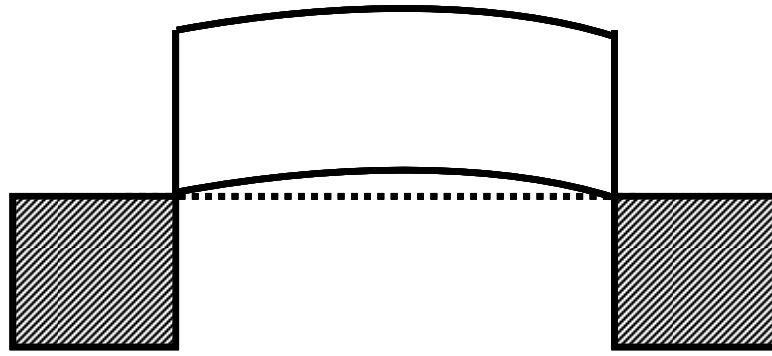


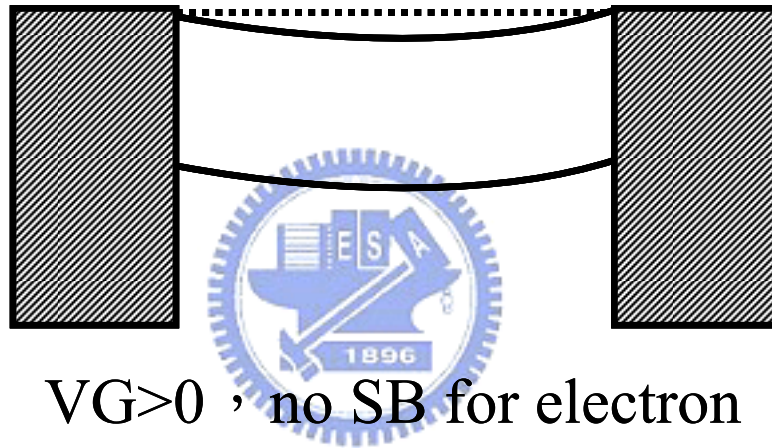
圖 1-4 解釋因為碳管和金屬的功函數不同而造成載子通過兩者界面時所看到的障礙：(a)閘極給正偏壓，電子看到的障礙 Φ_b 、(b)閘極給負偏壓，電洞看到的障礙 Φ_b 【9】。

(a)



$V_G < 0$, no SB for hole

(b)



$V_G > 0$, no SB for electron

圖 1-5 (a)當金屬的費米能階剛好和碳管的價帶在同一水平時，則形成 p-type 歐姆接觸的碳管電晶體、(a)當金屬的費米能階剛好和碳管的導帶在同一水平時，則形成 n-type 歐姆接觸的碳管電晶體。

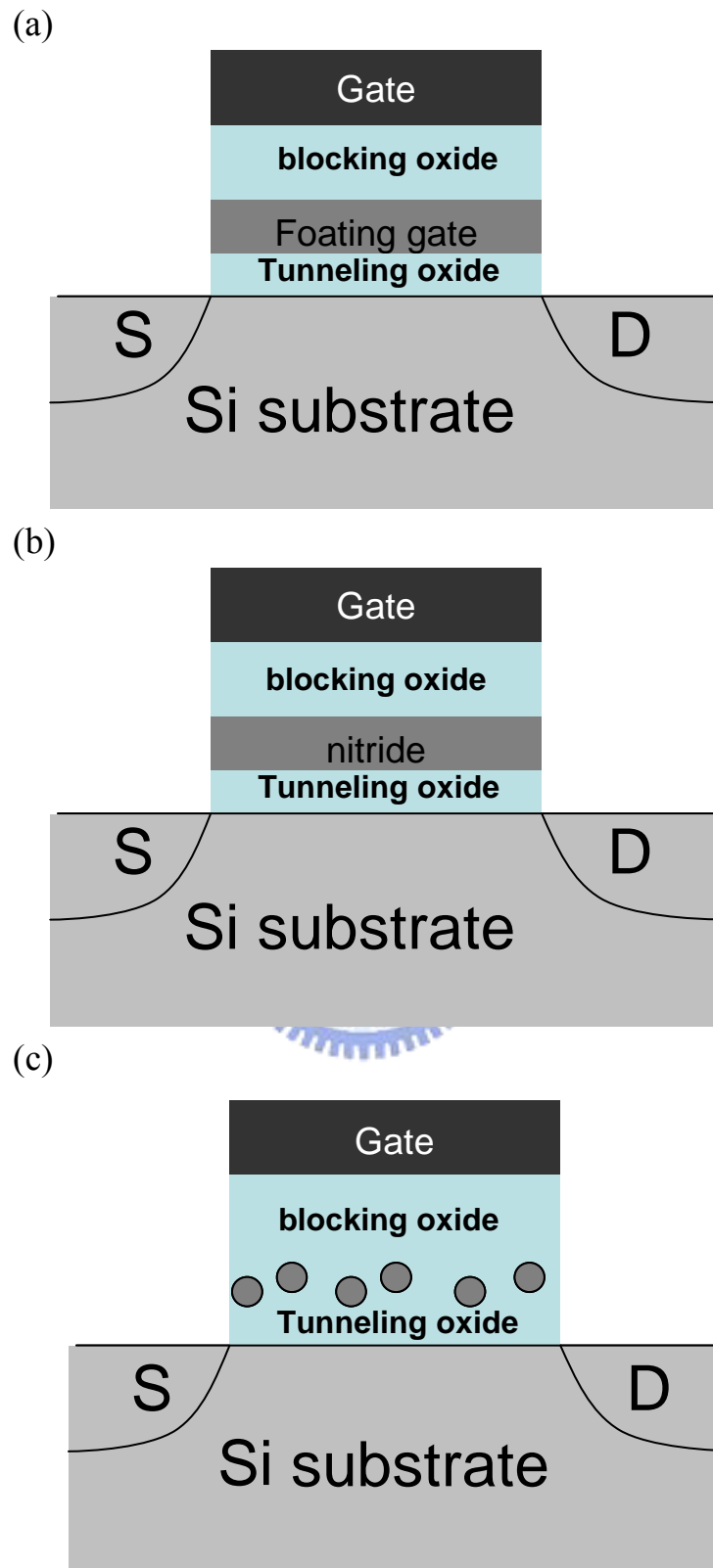


圖 1-6 非揮發性記憶體示意圖：(a)懸浮閘記憶體、(b)SONOS 記憶體、(c)nanocrystal 記憶體。

第二章

元件設計與製備流程

2-1 碳管薄膜電晶體

2-1.1 碳管薄膜電晶體之元件結構與光罩佈局

碳管薄膜電晶體所採用之元件結構為背閘極結構(如圖 2-1(a)、(b))，和一般使用晶圓作為背閘極的結構不同之處在於：每顆元件的背閘極不是共用的，而是多一道曝光程序並用蝕刻將其個別定義出來，由實驗結果發現這樣的結構可增加碳管成功跨接的元件比例，但會影響不同元件尺寸的碳管分佈，下節有掃描式電子顯微鏡(SEM)影像，並和第三章的量測結果可互相驗證。

背閘極使用高摻雜的多晶矽(in-situ doped poly-Si)，此選擇的優點為便於蝕刻，並考慮到和接下來和爐管製程的相容性，因此沒有選用金屬閘極。閘極介電層為低壓化學氣相沉積的氮化矽薄膜，而和碳管接觸的金屬則採用和碳管有低接觸阻抗且元件穩定性高的鈀(Pd)。鈦雖然也是目前大家研究中廣泛採用的金屬，但其具有易氧化的特性且要經過 600°C 以上的高溫才能和碳管有良好的接觸。並有研究指出鈦金屬製作的電晶體易受 UV 光的影響，電流會有大幅度的變動【17】(如圖 3-2)，這對於我們在重複量測以及比較不同條件下的元件電性時會造成影響，因此選擇比較穩定的鈀。

光罩的佈局上，改變的參數為源極(drain)和汲極(source)之間的長度和寬度。使用的曝光機台最小線寬限制為 0.35 μm ，因此源極(drain)和汲極(source)之間的長度有 0.4、1.4、4、7、9、14、29、49 μm 等八種尺寸；寬度有 5、20、50 μm 等三種尺寸。其中對於源極與汲極長度是 0.4 和 1.4 μm 的元件，閘極和源極汲極之間重疊 0.3 μm 、其餘尺寸重疊 0.5 μm ，可得到對應的閘極長度有 1、2、5、8、10、15、30、50 μm 等八種尺寸。

2-1.2 碳管規格與溶液配置

本實驗使用 Carbolex 公司販售之 AP-grade 碳管粉末。該公司提供的 SEM 如圖 2-3(a)可看出其呈現糾結狀(tangled)，平均直徑約 1.4nm，長度分佈在 2-5 μ m。由於碳管間的凡得瓦爾力(Van der Waals force)的存在，其常以束狀(bundle)的方式呈現(如圖 2-3(b)【37】)，碳管束的直徑約在 20nm。單壁奈米碳管粉末的純度為 50-70%，內含殘留的催化劑鈮(Y)和鎳(Ni)。其製作方法為電弧放電法(arc discharge)，此方法可製作品質純度佳的單壁奈米碳管，但產量少成本高，且其呈現糾結狀態得經由適當的溶劑分散後才利於碳管薄膜的製作。根據本實驗室李振欽學長的論文中對該公司販售之 AP-grade 碳管粉末做拉曼光譜分析((Raman spectroscopy)，分析結果和廠商提供之碳規格相符。

實驗中溶液配置的比例為1mg的碳管粉末溶於40ml的二甲基甲醯胺(Dimethyl Formamide, DMF)，並置入超音波震盪器中震盪24小時。溶劑的選擇在於兩個重點：一為能有效分散成糾結和成束狀的碳管，另一為使用後便於去除晶圓上殘留的溶劑，避免其殘留對碳管電性造成影響。而震盪的功能在於分散碳管，但過久的時間會造成碳管長度上的減少或是結構上的損傷【38】。

2-1.3 碳管網絡薄膜之形成方法與結果討論

將配置好的碳管溶液，以旋塗(spin coater)方式將碳管塗佈到晶圓表面。實驗所採的旋塗方法為三段式轉速：第一段400轉5秒，將溶液均勻佈滿至晶圓表面；第二段2500轉30秒，利用高轉速將大部份的溶劑快速脫離並留下碳管於晶圓表面；第三段4000轉30秒，去除第二段可能殘留的DMF分子。塗佈完成後，將晶圓置於攝氏120°C Hot plate上烘烤3分鐘，以去除未揮發的DMF分子。其中晶圓上留下的碳管數量主要由第二段轉速來控

制，轉速越高，晶圓上的碳管量越少。

實驗固定的參數為碳管濃度、旋塗參數，嘗試改變的參數有：下閘極的高度、旋塗次數。如圖2-4(a)可發現下閘極高度為300nm時碳管較不易跨過源極與汲極，而是容易堆積在邊緣，因此後續的實驗將下閘極的高度定為50nm，如圖2-4(b)發現較不會對碳管的跨接造成阻礙。實驗中改變旋塗次數分別為2、10、40次，其中塗佈次數較少所形成的碳管薄膜並不均勻，圖2-5為塗佈40次分布均勻的碳管網絡薄膜，由此SEM圖可約略換算塗佈40次的碳管覆蓋率約為1%(碳管直徑1.4nm×碳管總長度=碳管佔據面積)。但同時觀察不同尺寸的元件可發現對於閘極長度較長的元件，碳管覆蓋率明顯下降，且碳管長集中在源極與汲極兩端。由SEM圖觀察到對於元件長度為0.4和1.4 μm 的元件(如圖2-6(a)、(b))，碳管大至仍均勻分布，但大於4 μm 以上的元件碳管多集中在兩端(如圖2-6(c)、(d))，只有部份區域的碳管能成功跨接。

由以上SEM的觀察可推論，碳管於旋塗時留下的機制和下閘極高度有關，推測碳管溶液流經下閘極區域時，由於處於爬升地形造成碳管和晶圓的摩擦力增加，因而有較多的碳管在此時留下。雖然相較於完全平坦的元件佈局，此結構有效於大幅提升碳管的跨接率，但對於不同元件尺寸的碳管覆蓋並不均勻，此現象在第三章碳管薄膜電晶體量測部分時會做進一步的相互驗證。

2-1.4 碳管網絡薄膜電晶體之元件製程步驟

本論文使用國家奈米元件實驗室(National Nano Device Laboratories, NDL)及國立交通大學奈米中心(Nano Facility Center, NFC)之製程設備完成元件製作。其中曝光系統為 Canon FPA-3000 i5+ I-line stepper 光學步進機，此機台之最小線寬限制為 0.35 μm 。碳管網絡薄膜之形成方法已於上節詳細描述，以下為元件之製作過程：

1. 全新六吋 test wafer。
2. 使用 laser marker 對晶圓作刻號，並於 SC-1 槽中做攝氏 75 度、10 分鐘之刻號震盪，去除刻號所產生的 particle。
3. 晶圓經由 STD 清洗後，由垂直爐管連續沉積 150nm 的濕氧化層(wet oxide)和 50nm 的 in-situ doped 非晶矽。
4. 使用 AG-610i 快速退火爐做 900 度 20 秒的載子活化。
5. 第一道光罩定義下閘極的圖案，並用 TCP 9400 poly etcher 蝕刻，最後去除光阻(如圖 2-7(a))。
6. 使用水平爐管沉積閘極介電層氮化矽(Si_3N_4)約 40nm(如圖 2-7(b))。
7. 第二道光罩定義下閘極點針的接觸窗，並用ILD 4100 metal etcher 蝕刻，最後去除光阻。
8. 製作碳管網絡薄膜(如 2-1.2 所述，如圖 2-7(c))。
9. 第三道光罩定義源極和汲極的圖案，使用 Ion Tech Microvac 450CB 濺鍍 50nm 鈮薄膜，搭配掀離法留下需要的金屬電極(如圖 2-7(d))。

2-2 碳管網絡記憶體

2-2.1 碳管網絡記憶體的元件結構與光罩佈局

碳管網絡記憶體所採用之元件結構剖面圖如圖 2-8(a)，碳管網絡置於兩層閘極介電層的中間。元件中閘極介電層材料的選擇和厚度根據如下：首先決定此元件的電荷寫入和抹除由下方進入和排除，即來自電晶體通道，因此下層為穿隧層(tunneling layer)要使用較薄的厚度，過厚會造成寫入和抹除時所需的電壓過大，但太薄則會使得元件的電荷易流失。實驗中選擇的穿隧層採用氧化矽，原因為氧化矽是目前所知在矽基板上成長品質最好的介電層，兩者的界面存在較少的接面載子捕捉密度(interface trap density)，它的存在會造成額外的電荷補捉以及釋放。上層阻擋介電層(blocking layer)

的材料選擇時要考慮兩方面，一為閘極對通道的控制能力要佳，一為減少電荷的流失，因此厚度要足夠才能使漏電流在合理的範圍內，而介電常數則越高越好。但亦要同時考慮到阻擋介電層是直接沉積在碳管網絡之上，已有許多文獻指出電漿製成對於碳管會造成損傷【39】，因此選用原子層沉積法(atomic layer deposition)沉積氧化鋁，相較於二氧化鈣，氧化鋁介電常數較低，但有較高的熱穩定性，不易因為高溫結晶而使得漏電流大幅度提升。

元件的光罩佈局的部分，除了元件區域(active area)的定義光罩需重新製作外，其餘和碳管薄膜電晶體採用同一套光罩。元件之俯視圖如圖 2-8(b)，通道長度有 50、30、15、10、8、5、2、1 μm 等八種參數，而通道寬度則有 48、8、4 μm 等三種參數。

2-2.2 碳管網絡記憶體之碳管薄膜製作方式

奈米碳管規格與溶液配置於 2-1.2 節中已敘述，碳管網絡薄膜的製作方法與實驗上細節參數都同之前所述，其中為了增加碳管在晶圓上表面的濃度，旋塗次數為十次，如圖 2-9，由圖中可觀察到碳管並沒有完全覆蓋元件通道上方的面積，而大都堆積在具有高地差地形的邊緣。

2-2.3 碳管網絡記憶體之元件製程步驟

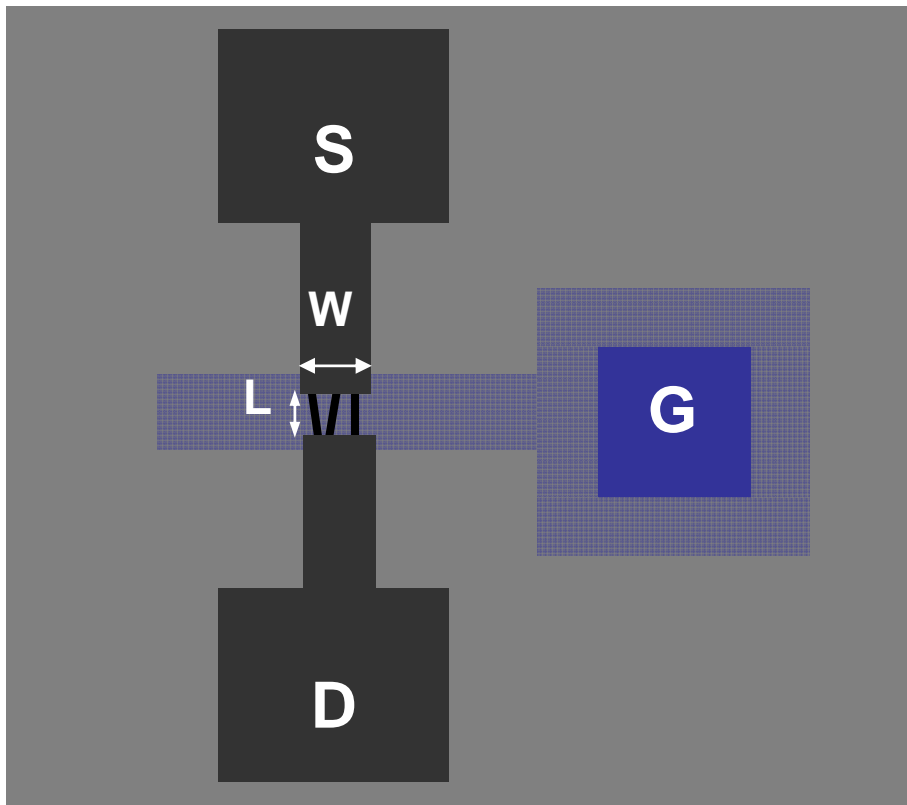
1. 全新六吋 P-type wafer。
2. 使用 laser marker 對晶圓作刻號，並於 SC-1 槽中做攝氏 75 度、10 分鐘之刻號震盪，去除刻號所產生的 particle。
3. RCA clean，於水平爐管成長乾氧氧化層 35nm。
4. 晶背做 p-type 離子佈值 BF_2^+ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、60KeV。
5. 第一道光罩定義曝光對準零層，使用 TEL5000 蝕刻，並去除光阻。

6. STD clean，之後於水平爐管成長氮化矽 150nm。
7. 第二道光罩定義元件區域，並使用 TEL5000 蝕刻氮化矽和氧化矽。
8. 晶面做 p-type channel stop 離子佈值 BF_2^+ 、 $2 \times 10^{13} \text{ cm}^{-2}$ 、60KeV。
9. STD clean，於水平爐管成長濕氧氧化層 550nm。
10. HF dip 約 5min，之後浸泡在磷酸內約一個小時，由晶背顏色轉變判斷完全去除氮化矽，再作 HF dip 約 6 min，直到晶背完全不沾水判斷氧化矽亦去除完成。
11. STD clean，於水平爐管成長濕氧氧化層 30nm，並作 HF dip 直到晶背不沾水判斷氧化矽去除乾淨，到此完成 LOCOS (local oxidation of Si)製程 (如圖 2-10(a))。
12. RCA clean，於水平爐管成長乾氧氧化層 20 nm。
13. 第三道光罩定義閘極的圖案。
14. 晶面做 S/D n-type 離子佈值 P^+ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、30KeV，並去除光阻。
15. STD clean，並於水平爐管做 900 度 30min 的離子活化擴散(如圖 2-10(b))。
16. HF dip 直到晶背不沾水，再作 RCA clean，利用 AG-610i 快速退火爐以 RTO(rapid thermal oxidation)的方式製作穿隧介電層約 5nm，再進水平爐管做 900 度 20min 的修補，並於前兩分鐘通 O_2 。
17. 製作碳管網絡薄膜。
18. 使用儀器科技研究中心的原子層沉積技術(atomic layer deposition, ALD) 成長氧化鋁 250 cycle，前驅物使用三甲基鋁(TMA)和水，沉積溫度為 160°C (如圖 2-10(c))。
19. BOE 去除晶背氧化層。
20. 水平爐管 700 度 30min 高溫退火。
21. 第五道光罩定義接觸窗的圖案並使用 metal etcher 蝕刻氧化鋁，再 dip BOE 去除氧化矽，最後用丙酮去除光阻。

- 22.重複使用第三道光罩定義閘極的圖案並濺鍍鈦 10nm、箔 40nm 兩層金屬，搭配掀離法製作圖案(如圖 2-10(d))。
- 23.重複使用第五道光罩定義接觸窗的圖案，使用熱阻絲蒸鍍系統(thermal evaporation coater)蒸鍍鋁搭配掀離法製作點針的鋁電極。
- 24.使用熱阻絲蒸鍍系統(thermal evaporation coater)背鍍鋁 300nm(如圖 2-10(g))。



(a)



(b)

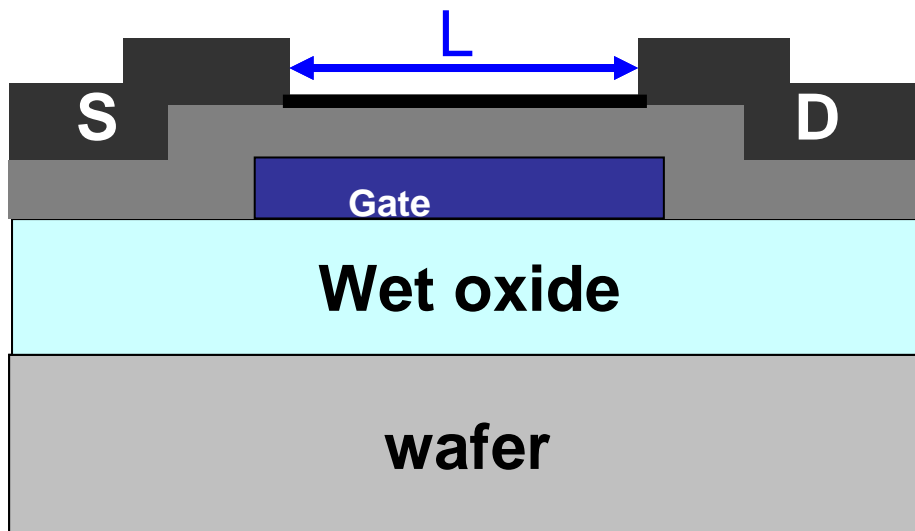


圖 2-1 碳管薄膜電晶體元件示意圖：(a)俯視圖，(b)剖面圖。

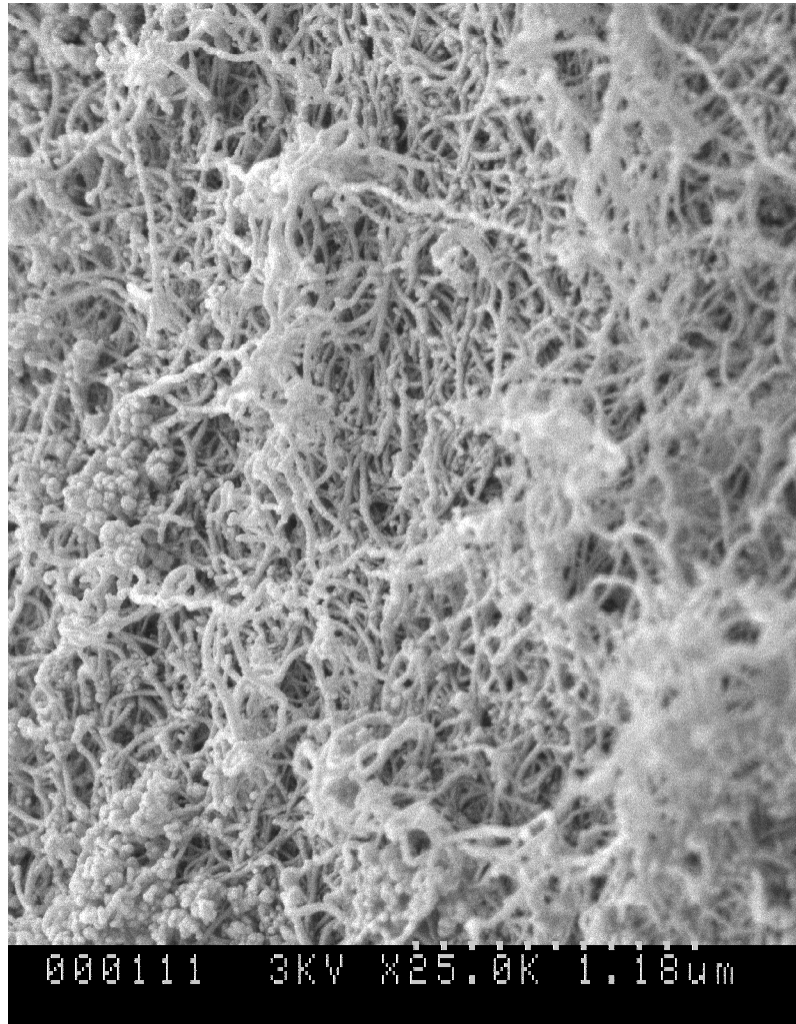


圖 2-2 Carbolex 提供 AP-grade 碳管粉末之 SEM 分析圖。

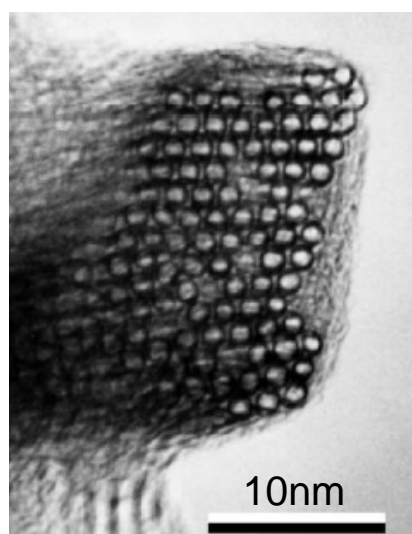


圖 2-3 碳管呈現束狀之 TEM 圖【37】。

(a)



(b)

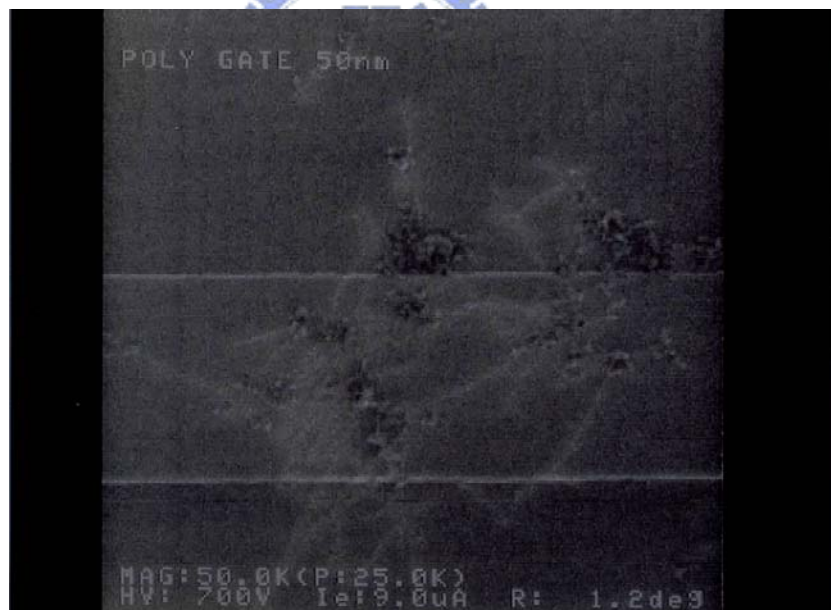


圖 2-4 下閘極高度對碳管跨接的影響：(a)300nm、(b)50nm。

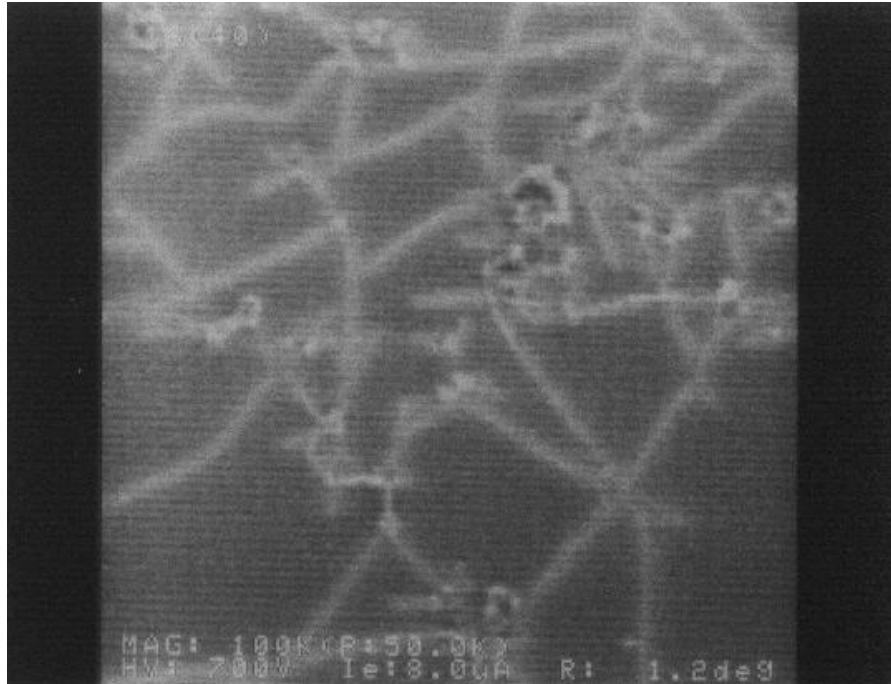


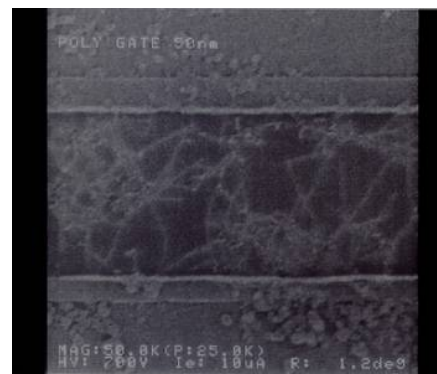
圖 2-5 塗佈 40 次分散良好的碳管網絡薄膜，換算其覆蓋率約為 1%。



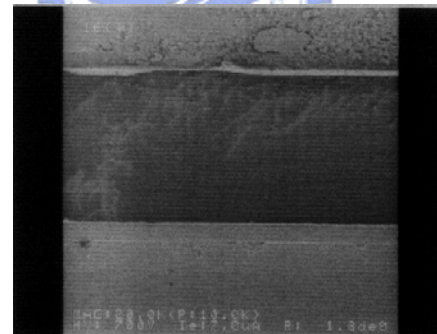
(a)



(b)



(c)



(d)

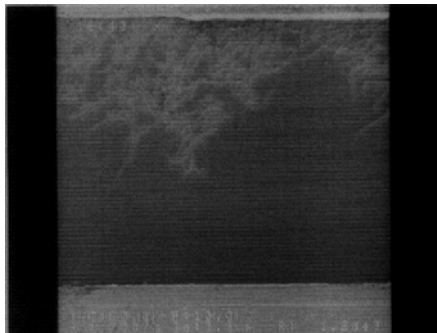
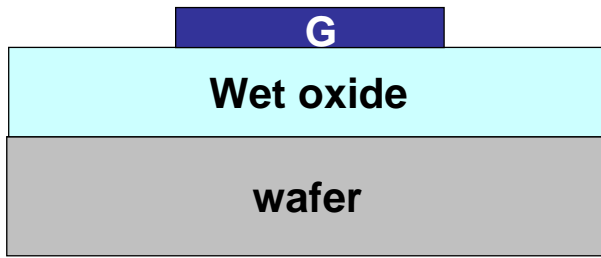


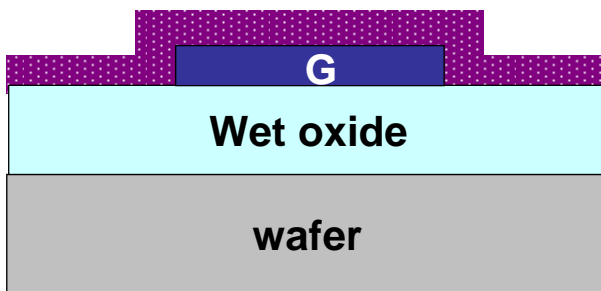
圖 2-6 碳管塗佈次數 40 次之碳管薄膜於不同元件尺寸的分布情形：(a) $L=0.4\mu\text{m}$ 、(b) $1.4\mu\text{m}$ 、(c) $L=4\mu\text{m}$ 、(d) $L=9\mu\text{m}$ 。

(a)



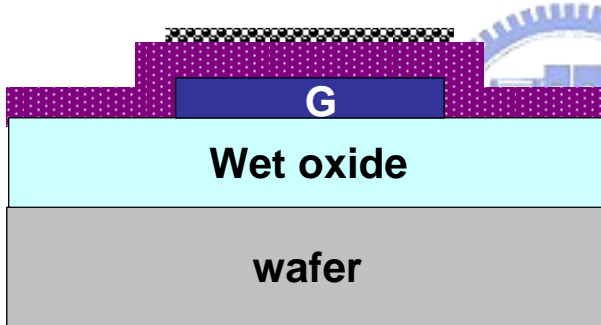
- 連續成長濕氧氧化層 150nm 和 in-situ doped 非晶矽
- 900°C、20s 載子活化
- 蝕刻出下閘極圖案

(b)



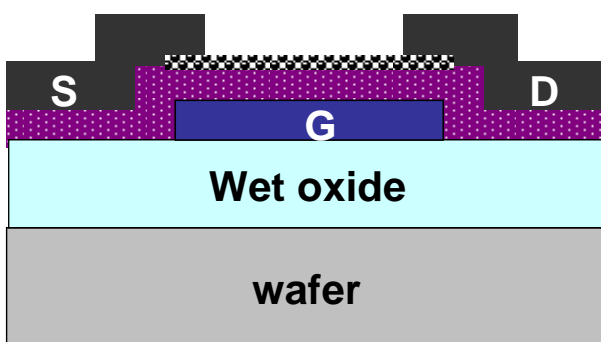
- LPCVD 成長 Si₃N₄ 約 40 nm
- 蝕刻下閘極之接觸窗

(c)



- 利用 2-2.2 所述之方法製作碳管網絡

(d)



- 濺鍍 Pd 並搭配掀離法製作金屬電極

圖 2-7 碳管網絡薄膜電晶體之製程步驟示意圖。

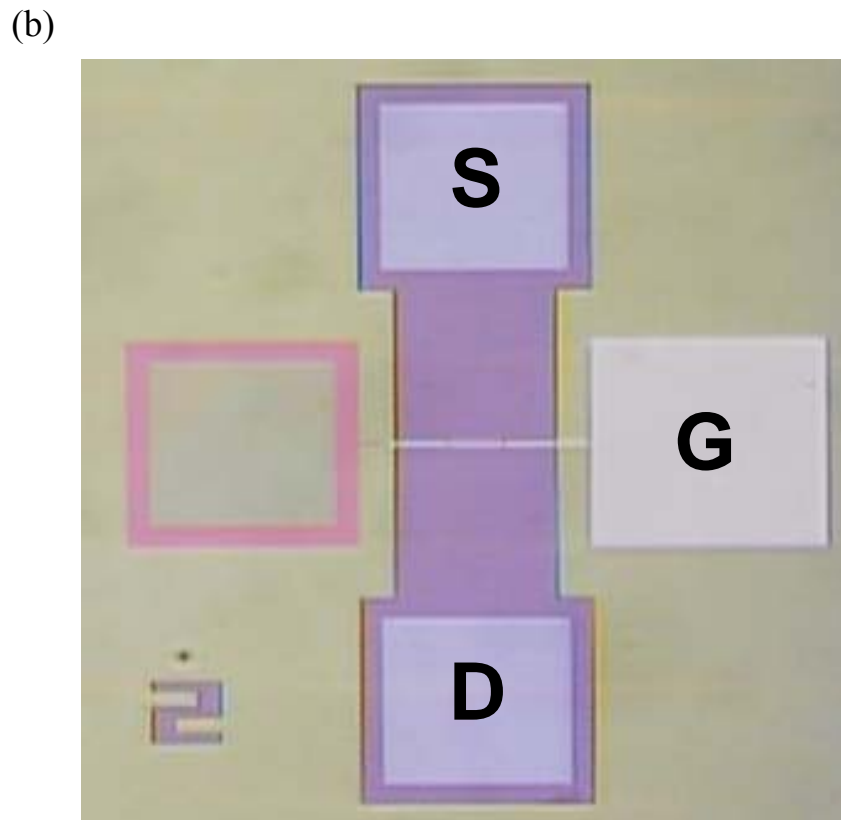
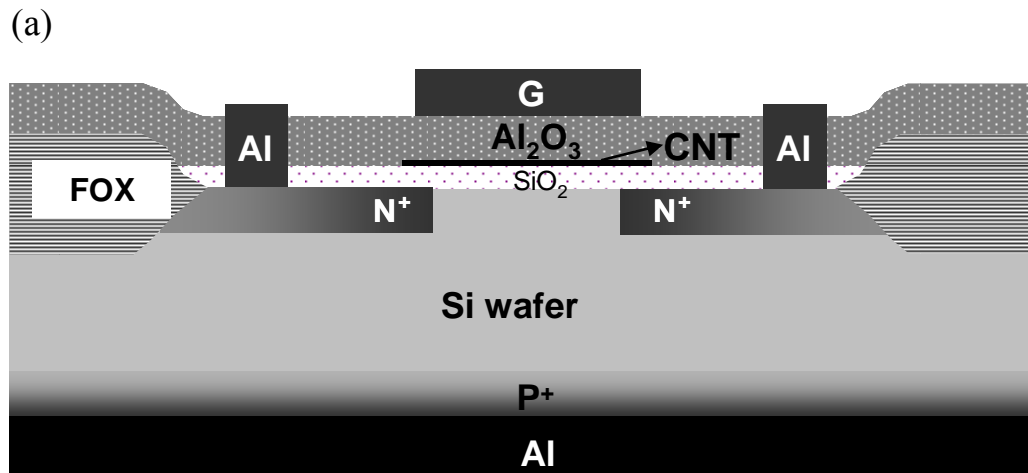


圖 2-8 碳管網絡記憶體之元件示意圖：(a) 剖面圖，(b) 俯視圖。

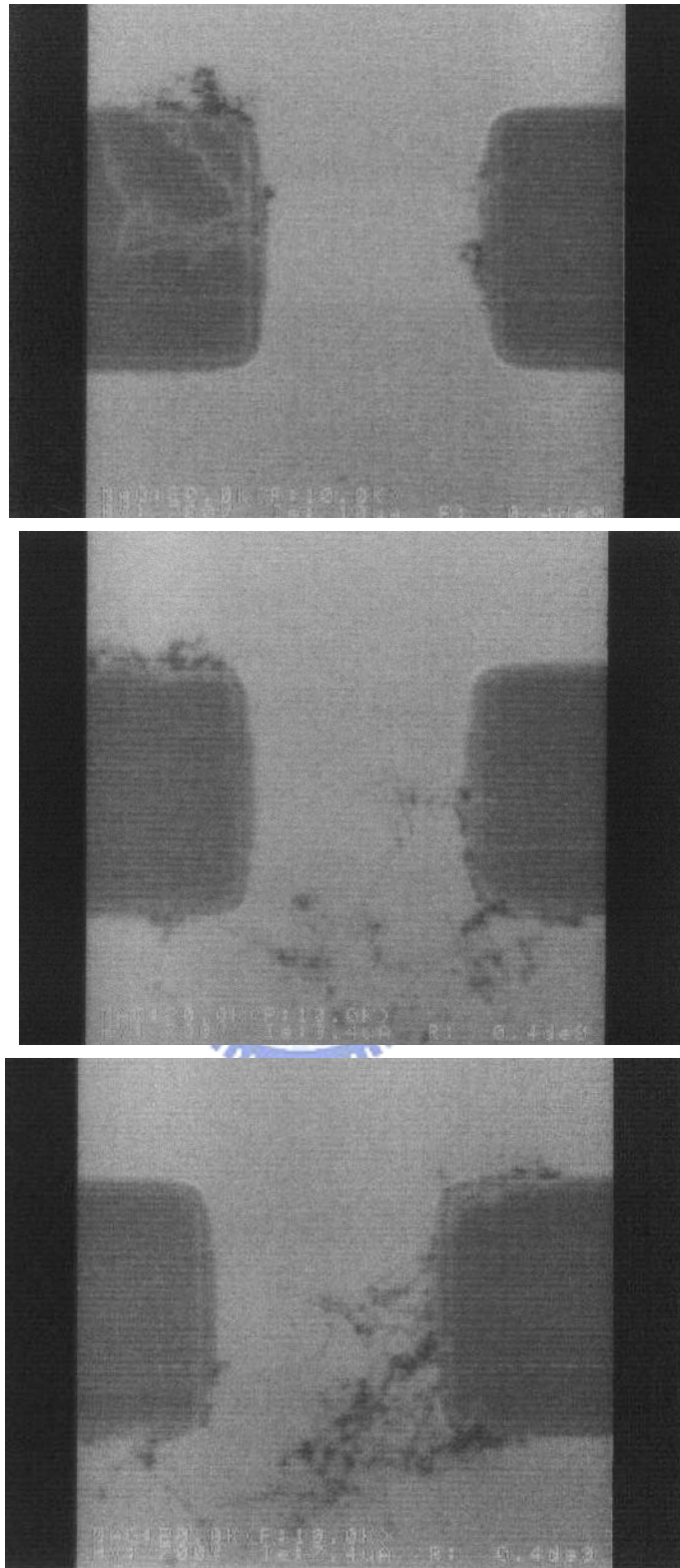
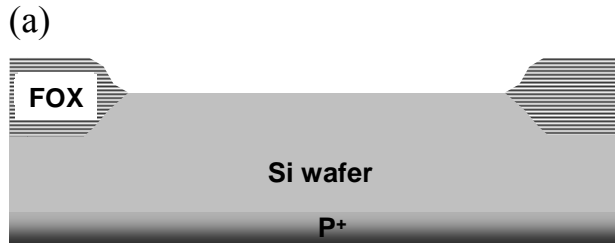
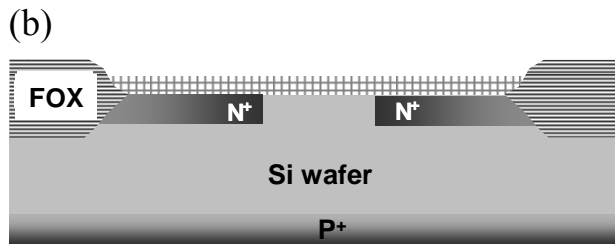


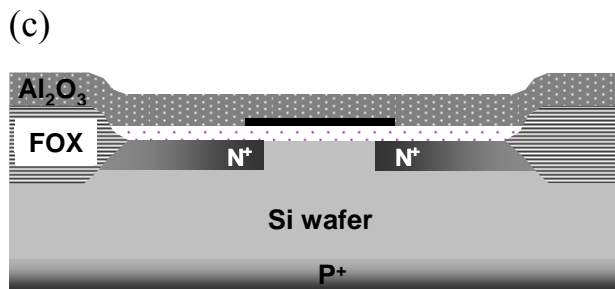
圖 2-9 可觀察到碳管並沒有完全覆蓋元件通道上方的面積，而大都堆積在具有高地差地形的邊緣。



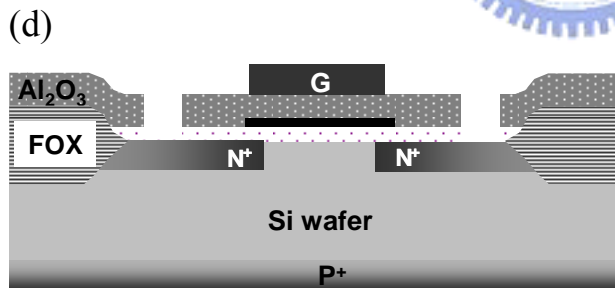
- 35nm 犧牲氧化層
- 晶背 p-type 離子佈值 BF_2^+ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、60KeV
- LOCOS 製程



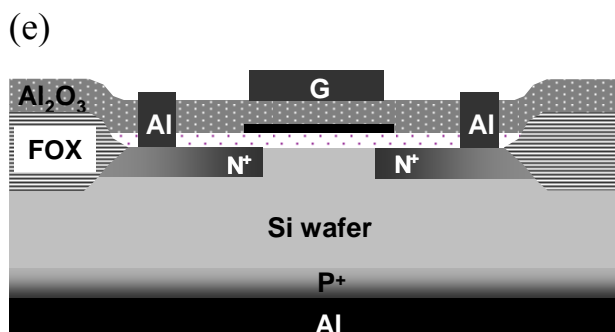
- 20nm 犧牲氧化層
- 開極光罩曝光做 S/D n-type 離子佈值 P^+ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、30KeV
- 900°C 、30min 載子活化



- Dip HF 並做 RCA，使用快速退火爐成長約 5nm 氧化層
- 900°C 、20min 對氧化層作修補
- 塗佈碳管 10 次製作碳管網絡
- 原子層沉積法成長 Al_2O_3 、溫度 160°C 、250cycle
- 晶背做 BOE dip



- 蝕刻接觸窗
- 濺鍍開極 Ti 10nm/Pt 40nm 並搭配掀離法製作開極



- 在接觸窗位置利用熱蒸鍍法鍍鋁 60nm 並搭配掀離法製作電極
- 背鍍鋁 300nm

圖 2-10 碳管網絡記憶體之製程步驟示意圖。

第三章

碳管網絡薄膜電晶體

3-1 碳管塗佈次數與元件尺寸之效應

本實驗改變的參數有兩個：塗佈碳管的次數(2 次、10 次、40 次)和元件尺寸(通道寬度 $5\mu\text{m}$ 、 $20\mu\text{m}$ 、 $50\mu\text{m}$ 和通道長度 $0.4\mu\text{m}$ 、 $1.4\mu\text{m}$ 、 $4\mu\text{m}$ 、 $9\mu\text{m}$ 、 $14\mu\text{m}$)，本節主要在討論這兩種實驗參數對元件電性造成之影響。

為了客觀地比較不同條件下元件電性的差異，因此相同條件的元件量測 12 個，在不同實驗參數的數據討論與比較時，我們將量測結果作成統計分布圖並將分佈範圍較小的條件予以平均後再作進一步的分析。實驗中，某些條件下量測結果變異很大，甚至會有碳管沒有跨過源極與汲極的情形，表 3-1 統計各種條件下碳管有跨過的機率，可以發現元件通道寬度越大、通道長度越短、碳管塗佈次數越多，碳管有跨過的機率會越高。

實驗中量到的電晶體特性有兩種極端的元件類型：一種是導通電流大但是開關比例小如圖 3-1(a)，另一種是導通電流小但是開關比例大如圖 3-1(b)。元件的特性會同時受到元件長度、寬度與碳管塗佈次數的影響。

3-1.1 碳管塗佈次數對元件特性之影響

圖 3-2 比較相同元件尺寸($L=1.4\mu\text{m}$ 、 $W=50\mu\text{m}$)之下，不同碳管塗佈次數對元件特性的影響。圖 3-2(a)為碳管塗佈次數和導通電流的關係，圖中可觀察到不論是通道長度 $0.4\mu\text{m}$ 、寬度 $50\mu\text{m}$ ，或是通道長度 $1.4\mu\text{m}$ 、寬度 $50\mu\text{m}$ 的元件，隨著塗佈次數增加，導通電流亦增加，並且由統計分佈可觀察到元件導通電流變異隨塗佈次數增加而越加減小，可推論提升塗佈碳管次數可促進碳管在晶圓上分布均勻。

表 3-2 彙整量測平均值，其中只比較量測機率為 1 的元件尺寸，並去除

3 個離群值。對於通道長度為 $0.4\mu\text{m}$ 、寬度為 $50\mu\text{m}$ 的元件尺寸，塗佈 2 次的導通電流約在 $50\mu\text{A}$ ，塗佈 10 次約為 $150\mu\text{A}$ 、塗佈 40 次約為 $280\mu\text{A}$ 。由此結果可以發現導通電流並沒有和塗佈碳管次數等比例增加，增加的幅度隨塗佈次數增加有漸緩的趨勢。此結果搭配由圖 2-6 推論碳管塗佈時，容易留在有高低差的地方亦符合，並且可推測碳管數量會隨碳管塗佈次數的增加趨向飽和。

圖 3-2(b)為碳管塗佈次數和開關比例的關係，可觀察到隨著碳管塗佈次數增加，開關比例的值分佈愈集中，同樣可推測出隨著碳管塗佈次數增加，碳管在晶圓表面有分佈越加均勻的趨勢。

碳管粉末在配置前長度是 $3-5\mu\text{m}$ ，但為了使其分散於 DMF 溶劑中，採取的超音波震盪時間為 24 小時，震盪完後再用塗佈的方法將碳管轉移到晶圓上，此時由 SEM 可觀察到碳管的長度約分布為 $1-3\mu\text{m}$ 。將量測機率為 1 的條件去除離群值後，予以平均，得到表 3-3。對於元件通道長度為 $0.4\mu\text{m}$ 的元件，由於其長度小於碳管單根的長度，因此不論碳管塗佈次數的多寡，碳管都可以直接跨接源極與汲極，此時開關比例主要決定於碳管粉末本身原本的金屬性碳管與半導體性碳管的比例，而和塗佈次數較沒有關係。對於通道長度為 $1.4\mu\text{m}$ 的元件，由於其長度剛好介於碳管長度分佈的範圍，因此塗佈次數較少時，開關比例較有機會拉開。當碳管塗佈次數到達 10 次以上，通道長度 $0.4\mu\text{m}$ 和 $1.4\mu\text{m}$ 的元件其開關比例幾乎不隨碳管塗佈次數改變。

3-1.2 元件尺寸對元件特性之影響

圖 3-3(a)、(b)為塗佈碳管 40 次之元件長度與寬度和導通電流的關係，可發現隨著元件通道長度增加，導通電流有明顯變小的趨勢，並且隨著元件通道長度增加至 $9\mu\text{m}$ 以上，可發現同樣元件尺寸的量測結果分布範圍很

廣，可推測對於通道長度較大的元件碳管分布相當不均勻，此結果和圖 2-6 SEM 所觀察到的現象可以互相印證。

表 3-2(c)比較元件寬度 50 μm 與 20 μm 導通電流之比例，可以發現和寬度的比例差距不遠，尤其通道長度越小的元件越接近，亦可以推測碳管的分布對於通道長度較小的元件比較均勻。至於開關比例小於 2.5 的原因可以解釋為在元件邊緣有部份碳管由旁邊繞過造成額外的導通電流貢獻(如圖 3-5)，但由於此貢獻不隨元件寬度而改變，因此對於元件寬度較小的元件，此貢獻所佔元件導通電流的比例越大，使得元件寬度 50 μm 與 20 μm 導通電流之比例略小於 2.5。

最後把所有碳管塗佈次數 40 次之元件導通電流和和關閉電流的關係作成圖 3-6(a)，圖中對角線為開關比例為 1 的位置，通道長度較短時，導通電流較大，但開關比例接近 1；隨著通道長度增加，導通電流下降而開關比例能夠拉開。圖 3-6(b)為導通電流和和開關比例的作圖，由圖中可發現對於導通電流大於 10 μA ($V_D=-0.1\text{V}$)的元件其關閉電流通常亦大，開關比例都小於 10 (此類型元件 I_D-V_G 關係如圖 3-1(a))；而開關比例大於 10 的元件，其導通電流大部份小於 1 μA (此類型元件 I_D-V_G 關係如圖 3-1(b))。導通電流隨著通道長度增加、隨著通道寬度減少而減少；開關比例隨著通道長度增加而增加，當通道長度較小時，開關比例和通道寬度幾乎是無關的，但當通道長度增加，開關比例會隨通道減少而增加，此為碳管分佈不均勻所致。

3-2 碳管薄膜電晶體之特性討論

實驗中塗佈多次的碳管薄膜電晶體之電性為大量碳管整體的貢獻，因此最後的電性實際上綜合了許多因素。為了將結果和單根碳管電晶體做比較，因此另外製作少根碳管跨接的碳管電晶體。實驗參數中除了降低碳管溶液濃度，其餘製程條件都維持不變。

3-2.1 碳管薄膜電晶體與接近單根碳管電晶體之載子遷移率與電阻係數萃取與討論

圖 3-7(a)為接近單根碳管電晶體 I_D - V_G 關係圖，寬度用碳管直徑 1.4nm 來計算，由 $G_{m,max}$ 可得載子遷移率為 $8723 \text{ cm}^2/\text{Vs}$ 。

$$g_{m,max} = \frac{d_{CNT}}{L} \mu C_{ox} V_D$$

$$4.35 \times 10^{-7} = \left(\frac{1.4 \times 10^{-9}}{0.4 \times 10^{-6}} \right) \mu \left(\frac{7 \times 8.854 \times 10^{-14}}{43.5 \times 10^{-7}} \right) (0.1)$$

$$\mu = 8723 \text{ cm}^2 / \text{Vs}$$

圖 3-7(b)為塗佈 40 次的碳管薄膜電晶體 I_D - V_G 關係圖(元件通道長度 $4\mu\text{m}$ 、寬度 $50\mu\text{m}$)，由 $G_{m,max}$ 換算載子遷移率，並代入光罩設計的元件長度和寬度，可得到碳管薄膜電晶體載子遷移率約為 $3.6 \text{ cm}^2/\text{Vs}$ 。

$$g_{m,max} = \frac{W}{L} \mu C_{ox} V_D$$

$$6.48 \times 10^{-7} = \left(\frac{50}{4} \right) \mu \left(\frac{7 \times 8.854 \times 10^{-14}}{43.5 \times 10^{-7}} \right) (0.1) \rightarrow \mu = 3.6 \text{ cm}^2 / \text{Vs}$$

若考慮由圖 2-5 SEM 圖換算之碳管覆蓋率 1%，可得到實際碳管覆蓋面積所貢獻的載子遷移率約為 $360 \text{ cm}^2/\text{Vs}$ 。此值和單晶矽的載子遷移率相當，優於低溫多晶矽。即使考慮實際應用的元件面積，載子遷移率以未做碳管覆蓋率換算前的 $3.6 \text{ cm}^2/\text{Vs}$ 為準，依然和非晶矽薄膜電晶體或是有機薄膜電晶體相當，並且還可以透過增進碳管密度(覆蓋率)來增進其特性。圖 3-8 為各式可撓曲電晶體之研究進程【41】，相較之下，碳管具有相當的優勢。並且 2005 年 E. S. Snow 研究團隊更進一步將碳管薄膜電晶體之載子遷移率提升至 $150 \text{ cm}^2/\text{Vs}$ 【32】。

接下來討論為何在考慮了碳管覆蓋面積後，其載子遷移率仍和單根碳管有落差的原因。旋塗 40 次的碳管薄膜電晶體，因為大量碳管無方向的排列，碳管之間的接觸點會有能障產生。並且對於通道長度小於 $4\mu\text{m}$ 的元件，碳管中金屬性碳管的存在，不但拉低 $G_{m,max}$ 並造成開關比例無法拉開，因

此換算得較小的載子遷移率；而通道長度大於 $9\mu\text{m}$ 的元件雖然可得到較大的開關比例，但因為採取旋塗方式，造成碳管在長通道元件上分佈極不均勻而無法用碳管覆蓋率來換算比較。

圖 3-9 為塗佈碳管 40 次之元件通道長度和元件導通時的電阻的關係。理想情況下，濃度高於交絡限制(percolation limit)時【33】，通道長度和元件導通的電阻應該呈現直線關係。但實驗所得到的數據並不是如此，主要因為使用旋塗的方法塗佈碳管，對於通道長度大於 $4\mu\text{m}$ 的元件，碳管無法完全覆蓋通道區域如圖 2-6(c)、(d)，此現象對於通道長度越大的元件其沒有被碳管覆蓋的面積會越大，因此導通時的電阻隨元件通道長度增加而快速增加。由圖中最大值與最小值的標註範圍亦可明顯看出當元件通道長度達 $9\mu\text{m}$ 以上，元件間變異相當大。

實驗結果發現若沒有有效的方法分離金屬性與半導體性的碳管，很難製作出高性能的電晶體(同時具有大電流與高開關比例)。由塗佈碳管 40 次的元件對其作片電阻與電阻係數的估算：

$$R = R_s \frac{L}{W} = R_s \frac{0.4}{50} = 356(\Omega) \rightarrow R_s = 44.5(\text{k}\Omega/\square)$$

$$R_s = \frac{\rho}{t} = \frac{\rho}{1.4\text{nm}} (\Omega/\square) \rightarrow \rho = 6230(\mu\Omega \cdot \text{cm})$$

由量測結果得到的片電阻為 $44.5\text{k}\Omega/\square$ ，此數值和 2004 年 G. Grüner 研究團隊發表的結果是一致的【33】。若將碳管覆蓋率考慮進去，電阻係數約為 $62.3\mu\Omega \cdot \text{cm}$ ，推測除了碳管本身的電阻貢獻外，金屬性和半導體性碳管交錯所形成的許多蕭基接點亦貢獻了部份阻抗，下一小節將證實此一推論。目前金屬導線的主流材料為銅，其塊材電阻係數 $\sim 1.7\mu\Omega \cdot \text{cm}$ 相當優異，但當銅膜厚度接近電子之平均自由徑(mean free path)時(39nm)，有許多效應會被凸顯包括載子表面散射、晶粒邊界的散射、表面粗糙引發散射、雜質等，使得電阻係數隨銅膜厚度減少而大幅上升【42】。H. D. Liu 在超高真空(5×10^{-10}

torr)的環境利用熱蒸鍍法鍍銅薄膜於~500nm SiO₂的矽基板上，發現銅膜在厚度41nm時其電阻係數約為2.67μΩ·cm，但隨著厚度微縮至11.5nm，電阻係數增至32.34μΩ·cm，並且當厚度降至10nm以下時，因銅膜成長初期形成不連續的島狀(islands)分佈，而使得電阻係數會飆升至無窮大【43】。儘管考慮碳管覆蓋率後的電阻係數和銅的塊材電阻係數(~1.7μΩ·cm)相比仍大了許多，但銅導線隨著厚度微縮下會遇到上述問題難以解決，因此碳管薄膜在小尺寸下依然有取代金屬導線的潛力。

3-2.2 碳管薄膜電晶體與接近單根碳管電晶體之導通機制探討

圖 3-10(a)為近似單根碳管電晶體的 I_D-V_D 關係圖。碳管裸露在空氣中時一般認為屬於 p-type 半導體，因此當 V_G 偏壓在-10V 時為導通狀態，I_D-V_D 呈現線性關係，可驗證鈹和碳管的接觸接近歐姆接觸。此時的斜率換算元件總電阻約為 138kΩ，仍比單根單壁奈米碳管的理論電阻 6.5kΩ 大了許多，推測可能是碳管本身阻抗、載子散射效應、碳管缺陷、氣體吸附以及鈹不完整包覆碳管所造成的電阻。當 V_G 偏壓在+20V 時，碳管為關閉狀態，由圖中可發現碳管關閉狀態時的 I_D-V_D 關係可分為兩段式的轉變：一開始 V_D 由 0 開始往負減少，隨著 V_D 增加，I_D 呈現指數增加如圖 3-10(b)；當|V_D|足夠大時(~-1.8V)，I_D 與 V_D 呈現線性關係，此時的斜率換算電阻約為 122kΩ，和 V_G=-10V 時的電洞導通電阻相去不遠。推測雖然+V_G 可以將降低半導體性碳管價帶電位，使源極電洞遭遇能量障礙而無法傳導，但是因為閘極介電層厚度較厚，若 V_D 夠高，通道碳管價帶電位會被汲極電壓提高，源極電洞依然可以傳導，如圖 3-11 所示，和汲極導致能障降低(Drain Induced Barrier Lowering, DIBL)相同。此時，總阻抗依然是由碳管本身阻抗等效應主導，因此和-V_G 測量到的總阻抗相近。

圖 3-12(a)為同一顆近似單根碳管電晶體之變溫 I_D-V_G 關係圖，可發現

關閉電流隨溫度增加而快速增加，而電洞導通電流之變化幅度不大，因此另作圖 3-12(b)來比較。(註：量測碳管電晶體時，常會遇到元件多次量測後元件電流有變小的現象，因此變溫量測時都標註初始的特性圖) 圖 3-12(b)可發現當元件由室溫升至 150°C 時，電流有明顯下降的情形，隨著溫度減少到 25°C，電流有隨溫度減少而增加的趨勢。電流隨溫度的改變可分成兩部份討論：若鈹和碳管之間形成蕭基位障，則隨溫度增加電流會有增加的趨勢，且電流和溫度之間的關係為指數關係因此變化會很劇烈；另一部分為載子散射效應造成電流隨溫度增加而下降。由量測的結果發現電流隨溫度降低有增加的趨勢，因此變溫量測可再一次驗證鈹和碳管的接觸確實接近歐姆接觸，導通電流傳導機制由通道的載子散射主導。

圖 3-13 為碳管網絡電晶體之變溫 I_D-V_G 關係圖，當元件由室溫升至 125°C 時，電流有明顯增加的情形，隨著溫度減少到 25°C，電流有隨溫度減少而減少的趨勢，此趨勢剛好和近似單根碳管電晶體的電性相反。推測雖然鈹和碳管的接觸近似歐姆接觸，但碳管網絡為多根碳管互相錯雜而成，金屬性碳管和半導體性碳管間的接觸點形成蕭基位障(Schottky barrier height)，隨著溫度增加，有越多的載子有足夠能量可跨過此位障，此效應遠大於溫度增加而造成散射效應增加的影響，因此整體導通電流會隨著溫度增加而增加。此量測說明實驗中製作的碳管薄膜電晶體的導通機制主要是金屬性碳管與半導體性碳管間的蕭基位障主導。

3-3 利用電流應力對開關比例之影響

3-1 節的實驗結果可發現雖然藉由增加碳管的數量可使得導通電流大幅度的增加，但開關比例無法提升(<4 μm)卻是一大問題，因此本節中希望藉由選擇性燒斷金屬性的碳管來增加開關比例，過程中將閘極偏壓在+20V 使得半導體性的碳管處於關閉的狀態，源極接地，由 I_D 隨 V_D 的變化觀察碳管

的崩潰情形。

首先討論碳管塗佈次數對於利用電流崩潰碳管的影響：圖 3-14(a)為碳管旋塗 40 次，通道長度 $1.4\mu\text{m}$ 、寬度 $50\mu\text{m}$ 的元件其 I_D-V_D 關係圖。隨著 $|V_d|$ 增加發現碳管有燒斷的情形造成電流降低。圖 3-14(b)為電性崩潰法前後之 I_D-V_G 關係圖，由結果可發現經由電性崩潰法後，開關比例沒有顯著的增加，導通電流幾乎是隨著關閉電流等幅度的減少。圖 3-15(a)為碳管旋塗 2 次，通道長度 $1.4\mu\text{m}$ 、寬度 $50\mu\text{m}$ 的元件其 I_D-V_D 關係圖。圖 3-15(b)為電性崩潰法後之 I_D-V_G 關係圖，圖中可發現開關比例明顯的提升，但崩潰之後的電性無法準確控制。以上兩者的製程條件差別在碳管旋塗次數，當碳管旋塗次數較少時，較有機會藉由電性崩潰法增加開關比例。

圖 3-16 為碳管旋塗 40 次，通道長度 $0.4\mu\text{m}$ 的元件其 I_D-V_D 關係圖，(a) 圖的元件寬度為 $50\mu\text{m}$ 、(b) 圖的元件寬度為 $5\mu\text{m}$ 。比較兩者可發現寬度較少的元件，較有機會藉由電性崩潰法增加開關比例。

不論是固定元件尺寸、改變碳管塗佈次數或是固定碳管塗佈次數、改變通道寬度，都會發現元件在碳管數量較少時，較容易用電性崩潰法達到增加開關比例的目的。圖 3-17 為金屬性碳管網絡的分布的示意圖，當某些點經由電性崩潰的方法燒斷時，很有可能會形成一條遠大於原本元件通道長度的漏電路徑，使得汲極得加更大電壓才能燒斷該路徑。而半導體性的碳管在汲極電壓大到一定程度時，將無法有效關閉如圖 3-10(a)。因此當碳管的數量越多，崩潰後得到的金屬漏電路徑越有可能會有上述情形發生，因此會得到導通電流和關閉電流在進行電性崩潰後一起等比例下降的結果。由此可知，利用電流應力去除金屬性碳管的作法，不適用於由多根互相交錯的碳管組成之薄膜電晶體。

表 3-1 碳管薄膜電晶體不同元件尺寸量到之機率統計：(a)塗佈 2 次、(b) 塗佈 10 次、(c) 塗佈 40 次(其中旋塗 10 次元件寬度為 5 μm 的元件因為金屬鈇和氮化矽附著的強度不佳而有斷線的情形，因此不列入機率統計)。

(a)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20	5
0.4	1.00	1.00	0.80
1.4	1.00	1.00	0.60
4	0.08	0.00	0.00
9	0.00	0.00	0.00
14	0.00	0.00	0.00

(b)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20	5
0.4	1.00	1.00	X
1.4	1.00	1.00	X
4	0.44	0.38	X
9	0.00	0.00	X
14	0.00	0.00	X

(c)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20	5
0.4	1.00	1.00	1.00
1.4	1.00	1.00	1.00
4	1.00	1.00	1.00
9	1.00	0.75	0.40
14	0.75	0.50	0.00

表 3-2 碳管薄膜電晶體塗佈次數與元件尺寸和平均導通電流的關係：(a)塗佈 2 次、(b) 塗佈 10 次、(c) 塗佈 40 次。

(a)

$W(\mu\text{m})$ $L(\mu\text{m})$	50	20	current ratio (width 50/width 20)
0.4	49.4 μA	20.8 μA	2.4
1.4	3.8 μA	2.8 μA	1.4

(b)

$W(\mu\text{m})$ $L(\mu\text{m})$	50	20	current ratio (width 50/width 20)
0.4	147.0 μA	57.7 μA	2.5
1.4	33.8 μA	9.3 μA	3.6

(c)

$W(\mu\text{m})$ $L(\mu\text{m})$	50	20	current ratio (width 50/width 20)
0.4	281.0 μA	121.0 μA	2.3
1.4	84.0 μA	38.1 μA	2.2
4	7.6 μA	4.0 μA	1.9

表 3-3 碳管薄膜電晶體塗佈次數與元件尺寸和平均開關比例的關係：(a)塗佈 2 次、(b)10 次、(c)40 次。

(a)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20
0.4	1.81	1.86
1.4	22.50	13.10

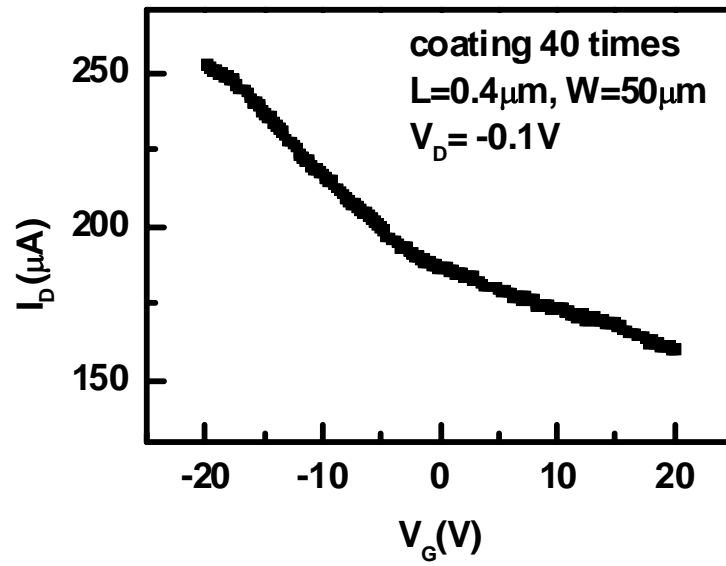
(b)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20
0.4	1.46	1.40
1.4	2.13	2.10

(c)

$L(\mu\text{m}) \backslash W(\mu\text{m})$	50	20
0.4	1.47	1.46
1.4	2.07	1.97
4	4.97	4.61

(a)



(b)

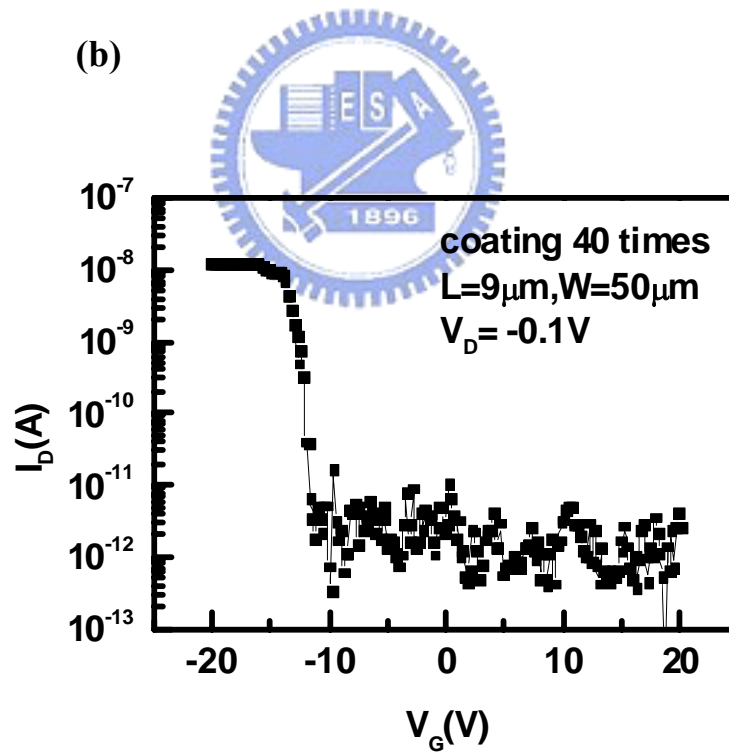
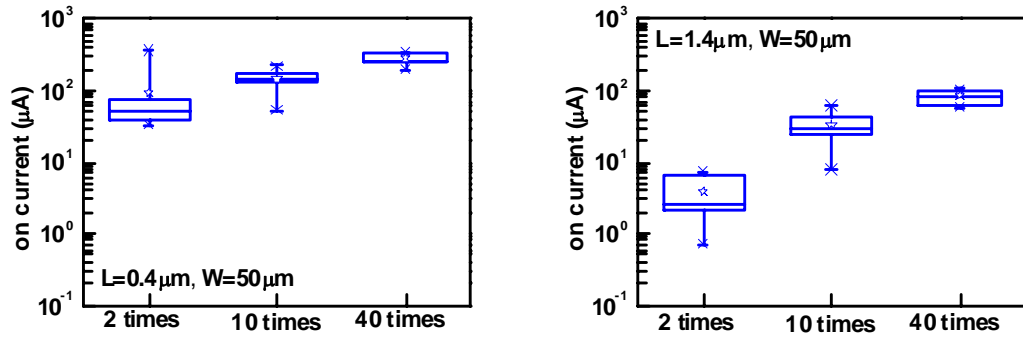


圖 3-1 碳管薄膜電晶體 I_D - V_G 關係圖：(a)導通電流大但開關比例小的元件、
(b) 開關比例大但導通電流小的元件。

(a)



(b)

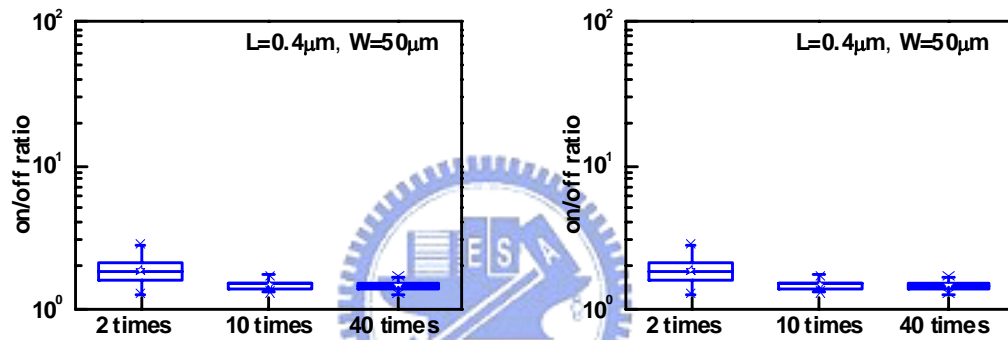


圖 3-2 碳管薄膜電晶體塗佈次數對元件特性之影響：(a) 塗佈次數對導通電流的影響($W=50\mu\text{m}$ 、 $L=1.4\mu\text{m}$ 和 $0.4\mu\text{m}$)、(b) 塗佈次數對開關比例的影響($W=50\mu\text{m}$ 、 $L=0.4\mu\text{m}$ 和 $1.4\mu\text{m}$)。

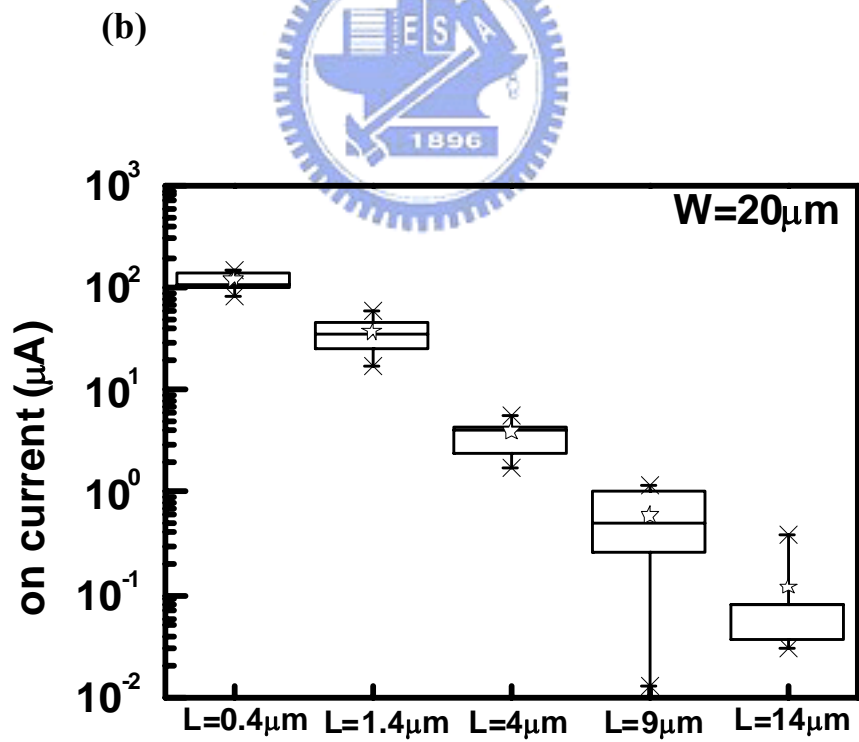
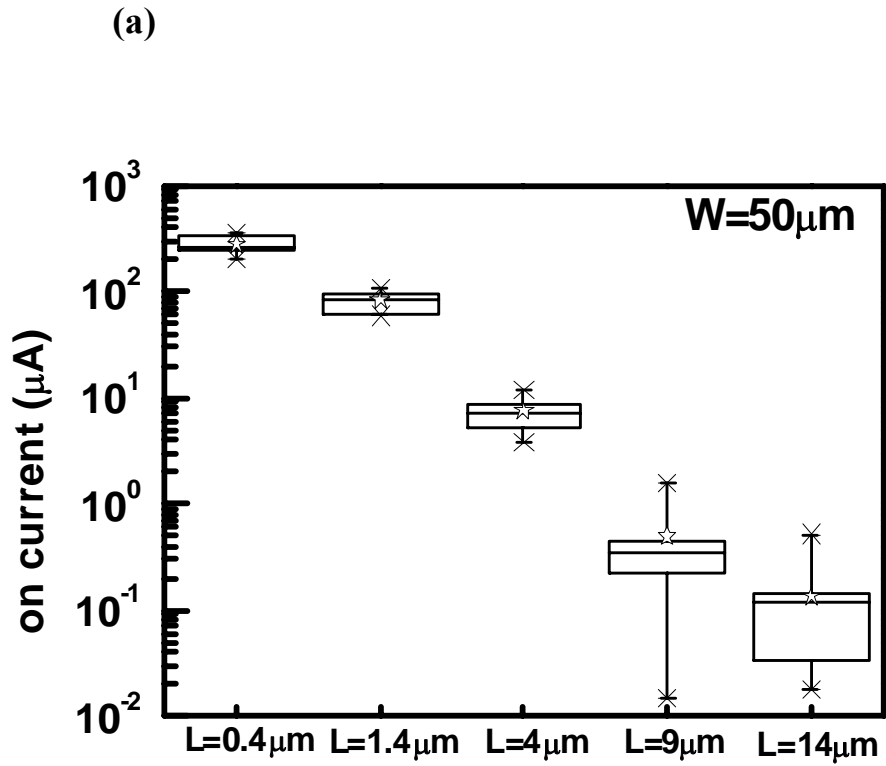
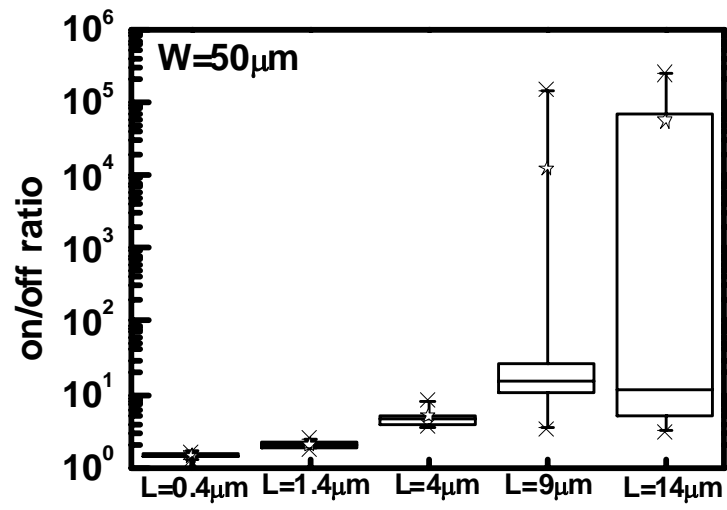


圖 3-3 coating 40 次碳管薄膜電晶體元件尺寸和導通電流的關係：

(a)width=50 μ m、(b) width=20 μ m。

(a)



(b)

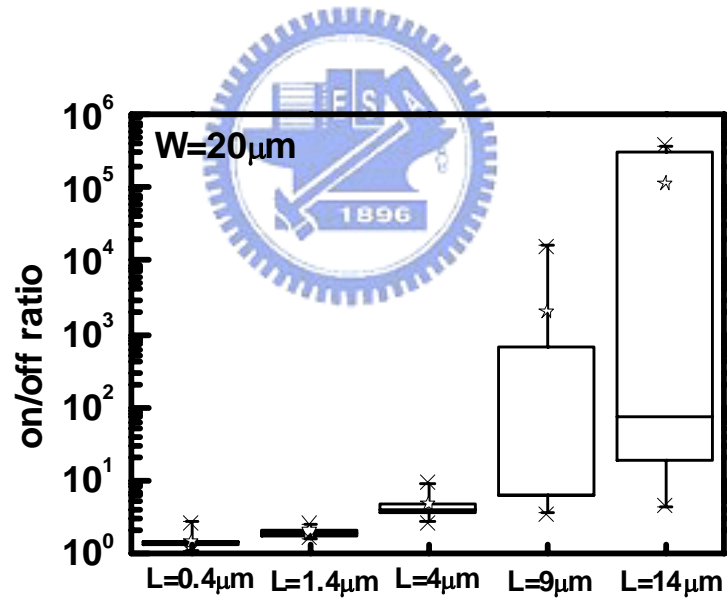


圖 3-4 coating 40 次碳管薄膜電晶體元件尺寸和導通電流的關係：

(a)width=50 μ m、(b) width=20 μ m。

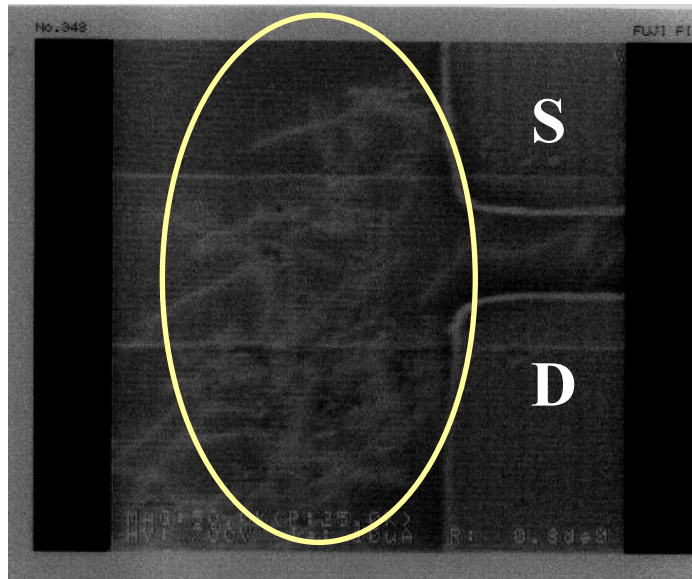


圖 3-5 在元件的邊緣會有破管繞過，造成額外的導通電流的貢獻，等效元件的寬度增加。



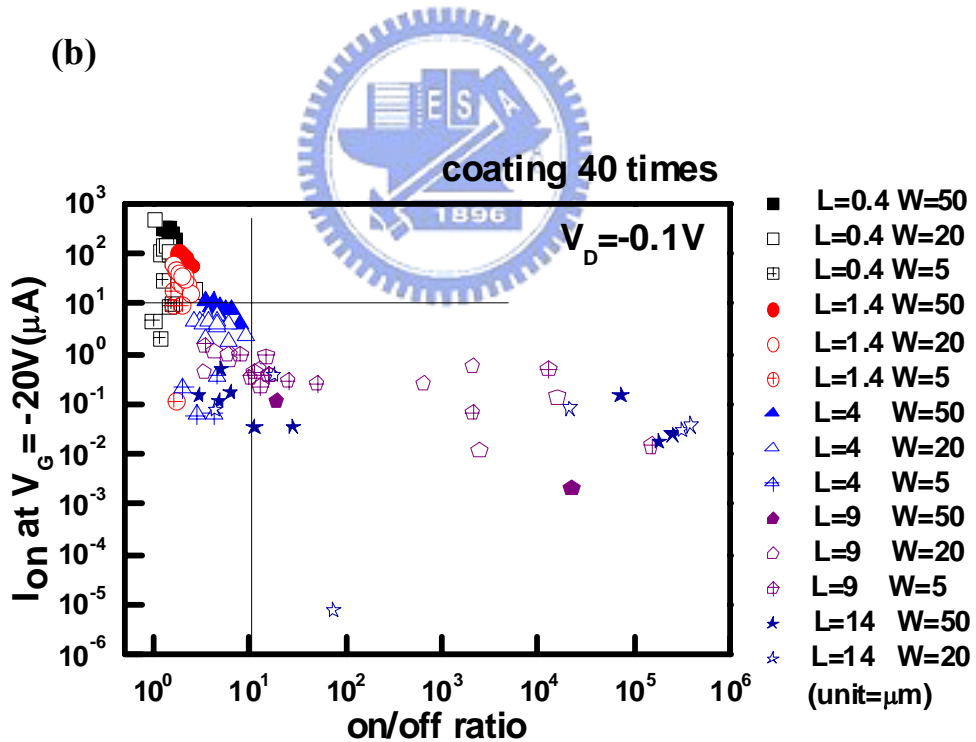
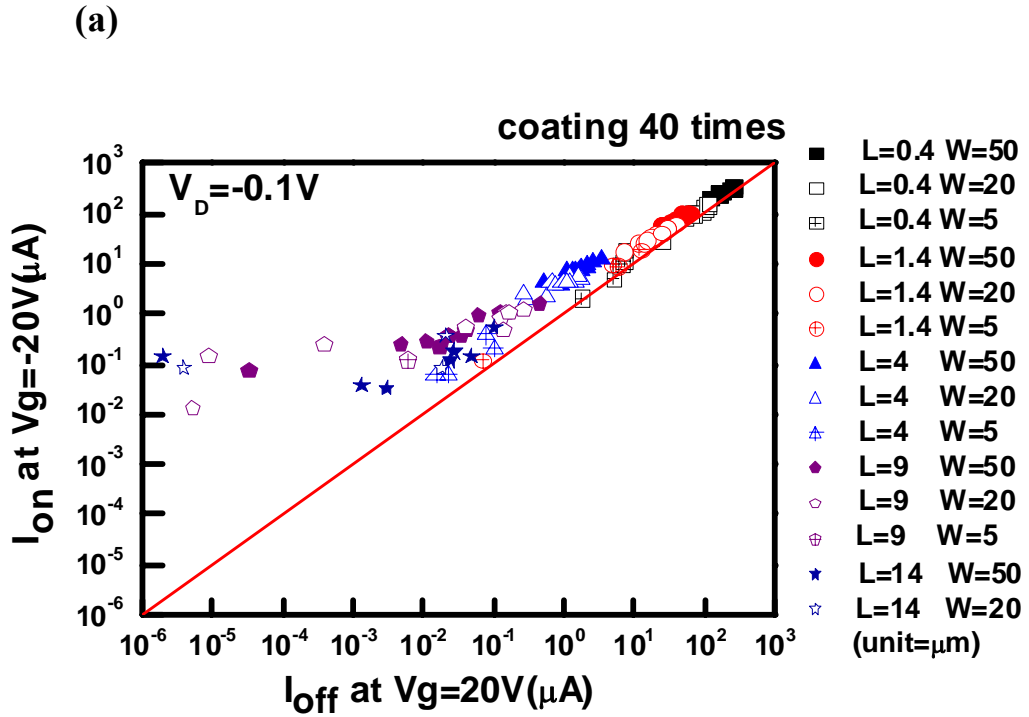


圖 3-6 coating 40 次碳管薄膜電晶體：(a)導通電流和關閉電流的關係隨不同元件尺寸之分布圖、(b) 導通電流和開關比例的關係隨不同元件尺寸之分布圖。

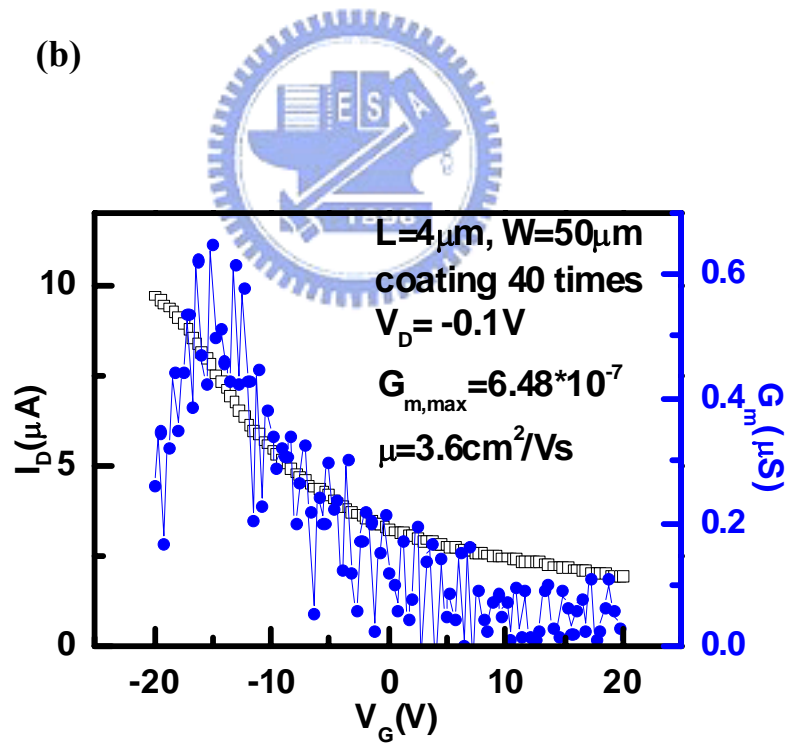
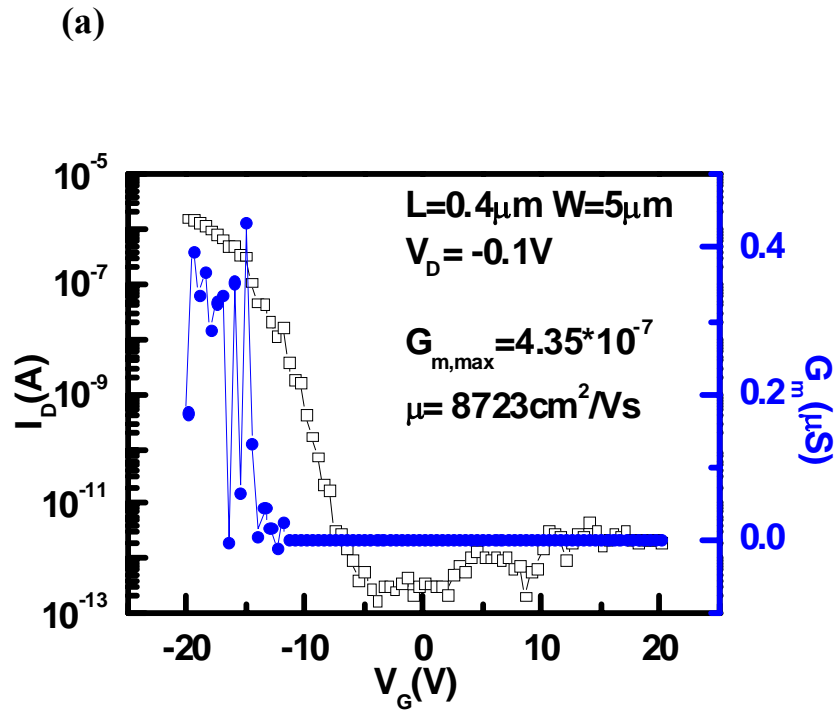


圖 3-7 碳管電晶體 I_D - V_G 關係圖，由 $G_{m,\text{max}}$ 計算得到載子遷移率：(a)塗佈碳管 40 次之薄膜電晶體特性、(b) 少根接近單根碳管電晶體特性。

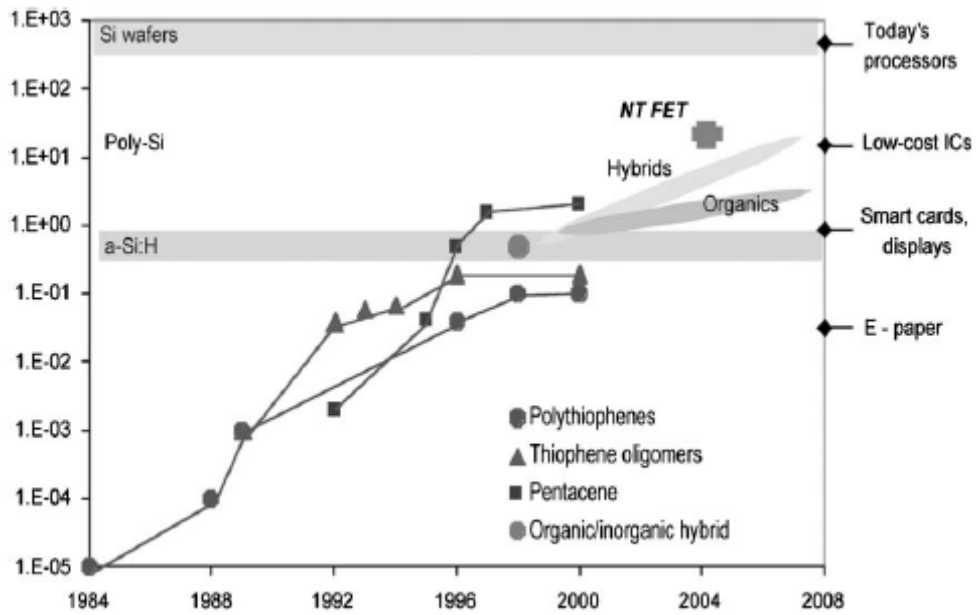


圖 3-8 各式可撓曲電晶體之載子遷移率研究進程，顯示碳管電晶體研究潛力之優勢【41】。

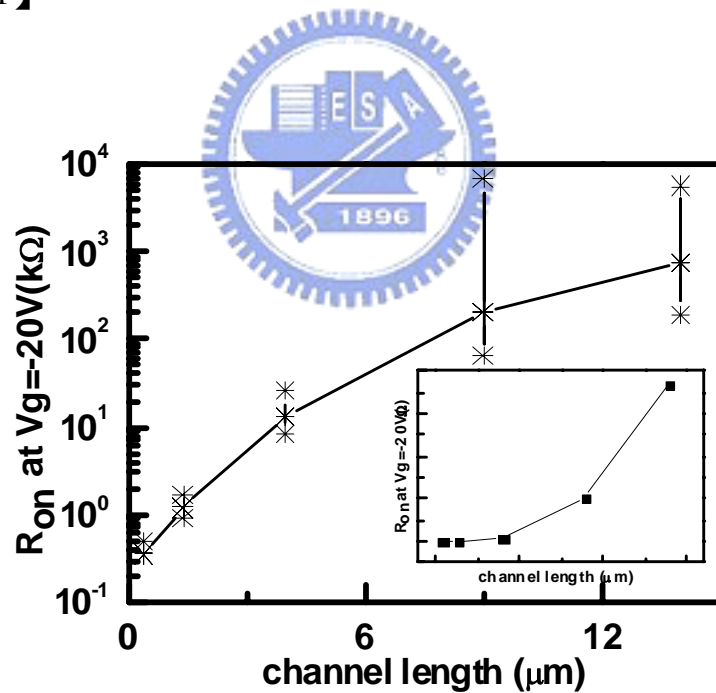
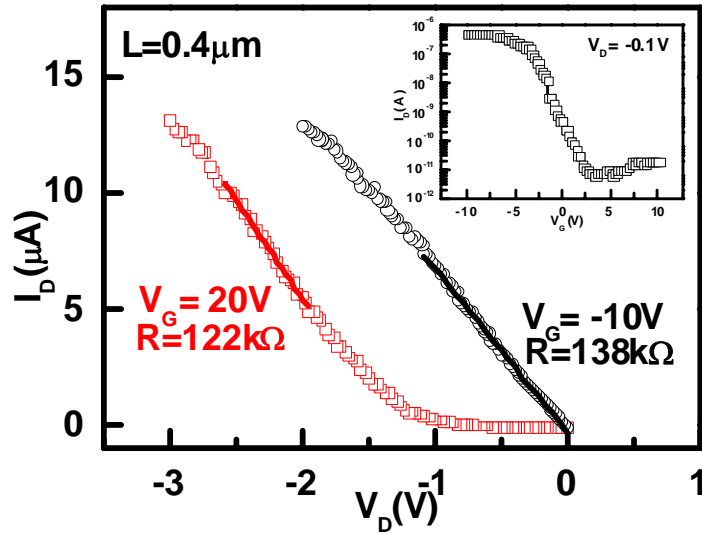


圖 3-9 coating 40 次碳管薄膜電晶體通道長度和導通電流的關係(通道寬度為 $50\mu m$)，圖中包含最大值、最小值與平均值，右下角插圖為將原圖之 y 軸換成線性軸顯示。

(a)



(b)

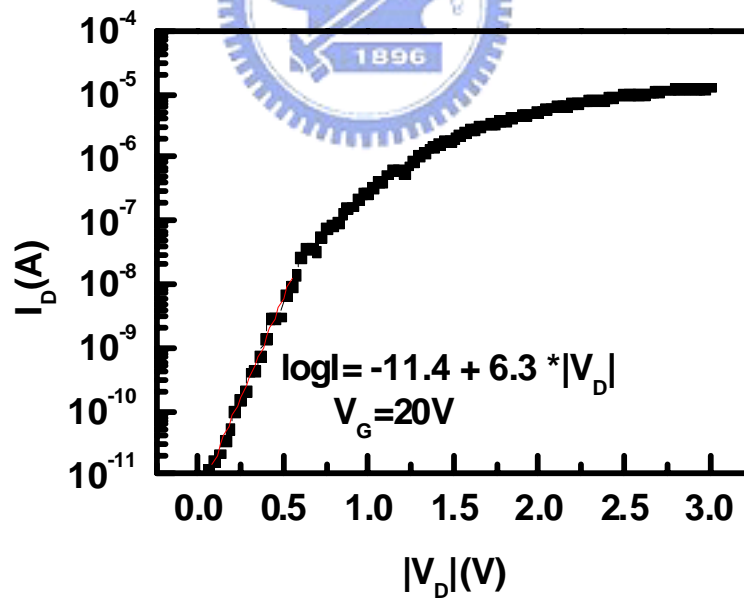
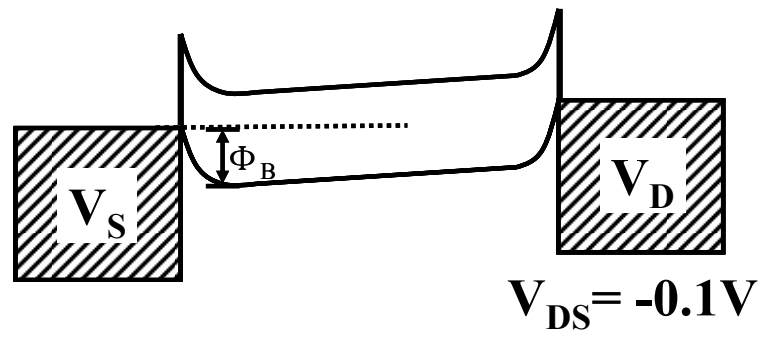


圖 3-10 少根接近單根碳管電晶體之電性量測： (a) $V_G = +20\text{V}$ 與 -10V 時的 I_D - V_D 關係圖(右上角插圖為 $V_D = 0.1\text{V}$ 時的 I_D - V_G 關係圖)、(b) $V_G = +20\text{V}$ 時的 I_D - $\sqrt{V_D}$ 關係圖。

(a)



(b)

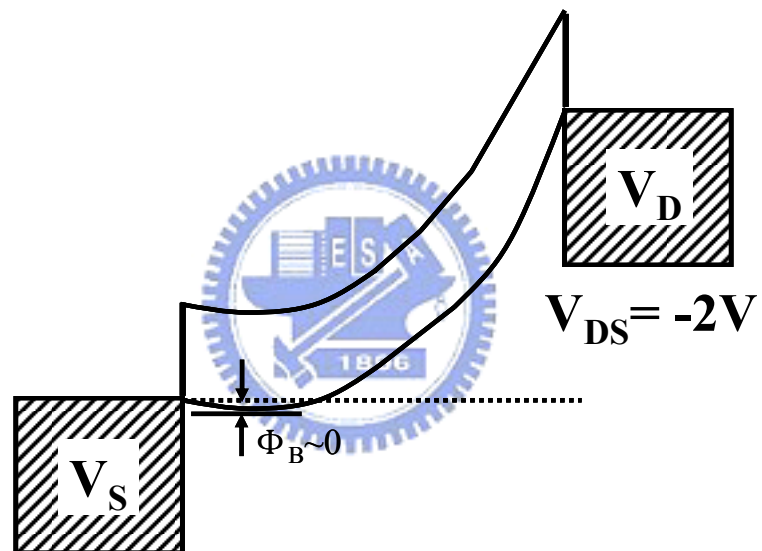
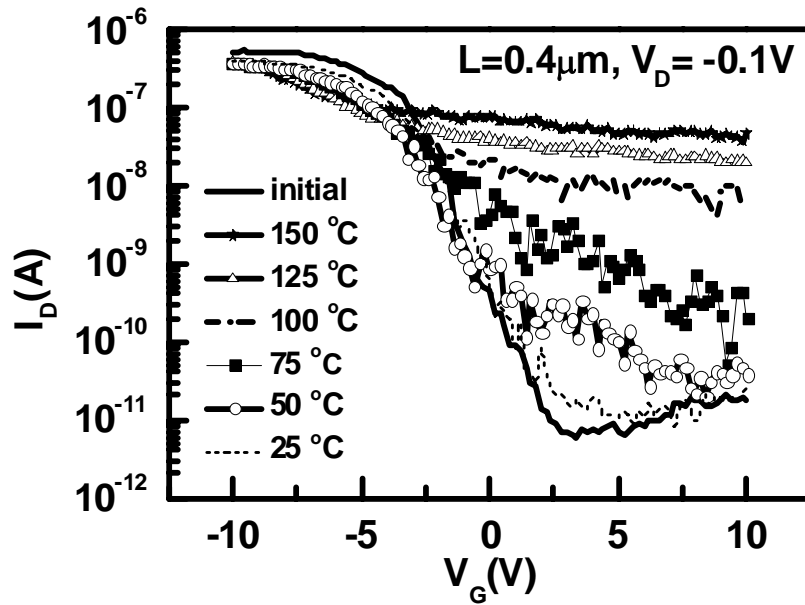


圖 3-11 閘極電壓為+20V 時，汲極電壓大小不同時的能帶圖：(a)汲極電壓為-0.1V、(b) 汲極電壓-2V 時，電洞由源極進入通道所需克服的能障變小。

(a)



(b)

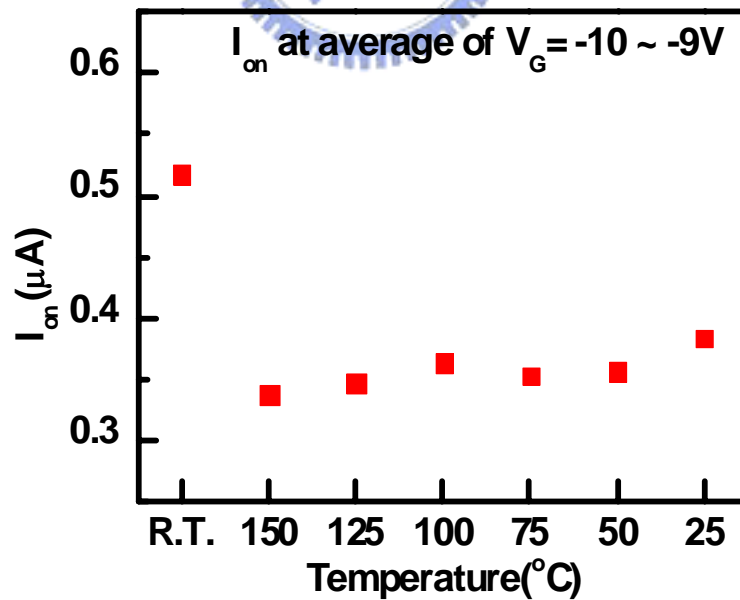


圖 3-12 少根接近單根碳管電晶體之電性量測：(a)變溫量測 I_D - V_G 關係圖、

(b)閘極於負偏壓時，電洞導通電流隨溫度的變化。

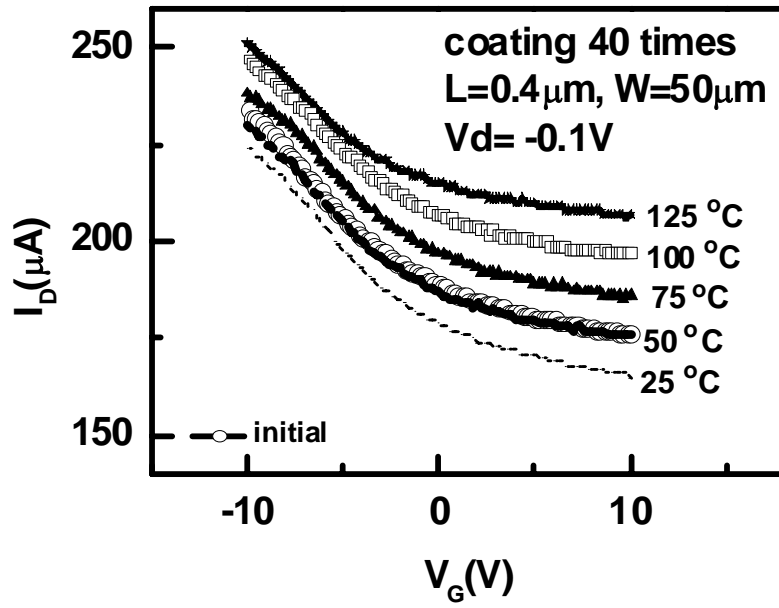
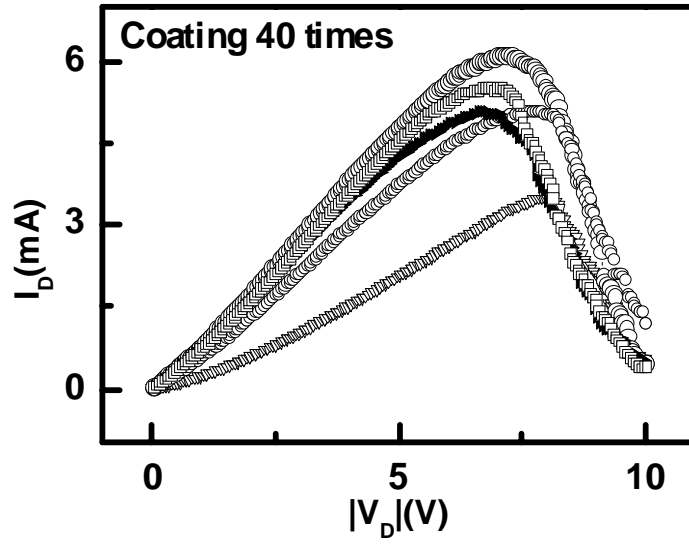


圖 3-13 碳管網絡電晶體變溫量測之 I_D - V_G 關係圖。



(a)



(b)

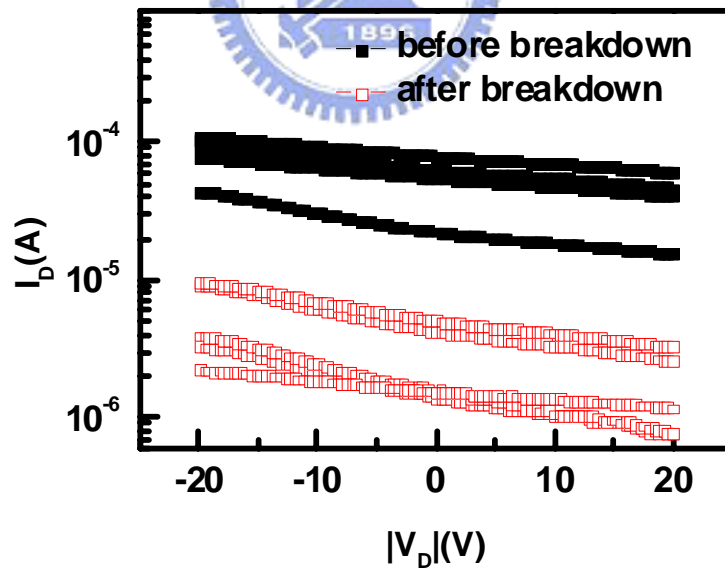
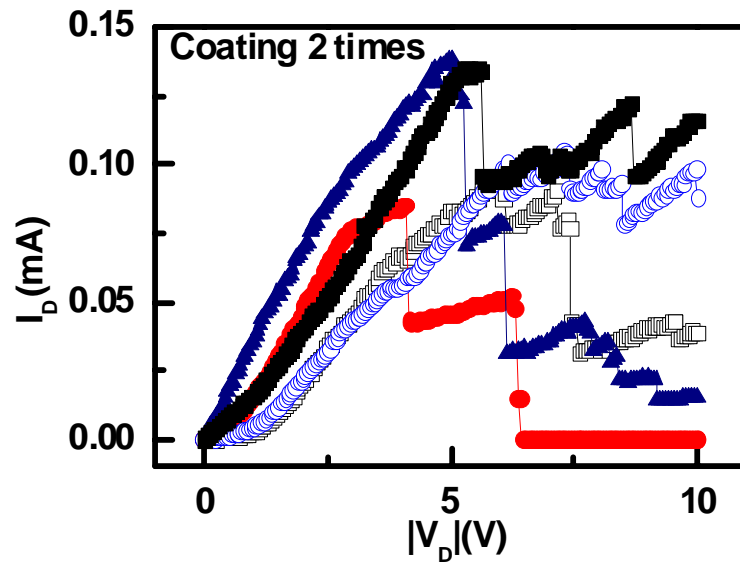


圖 3-14 碳管塗佈 40 次， $L=1.4\mu\text{m}$ 、 $W=50\mu\text{m}$ ：(a)閘極偏壓在+20V 的狀態下，碳管電晶體 I_D - V_D 關係圖、(b)電性崩潰法前後之 I_D - V_G 關係圖。

(a)



(b)

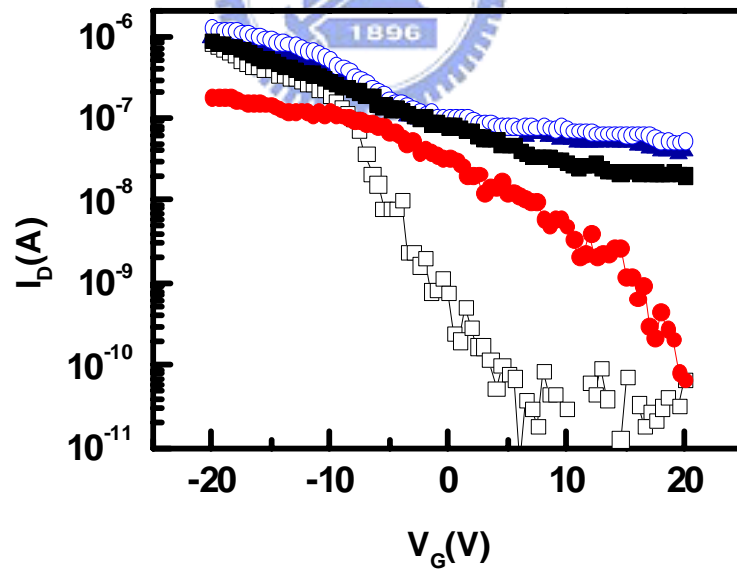
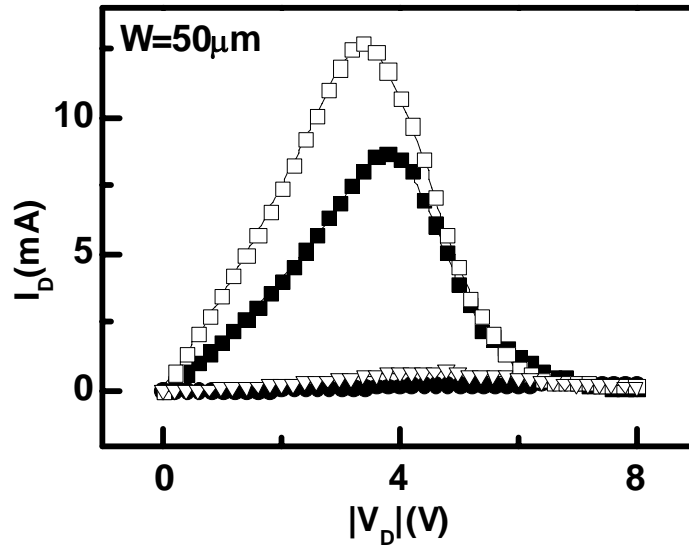


圖 3-15 碳管塗佈 2 次， $L=1.4\mu\text{m}$ 、 $W=50\mu\text{m}$ ，：(a)閘極偏壓在+20V 的狀態下，碳管電晶體 I_D - V_D 關係圖、(b)電性崩潰法後之 I_D - V_G 關係圖。

(a)



(b)

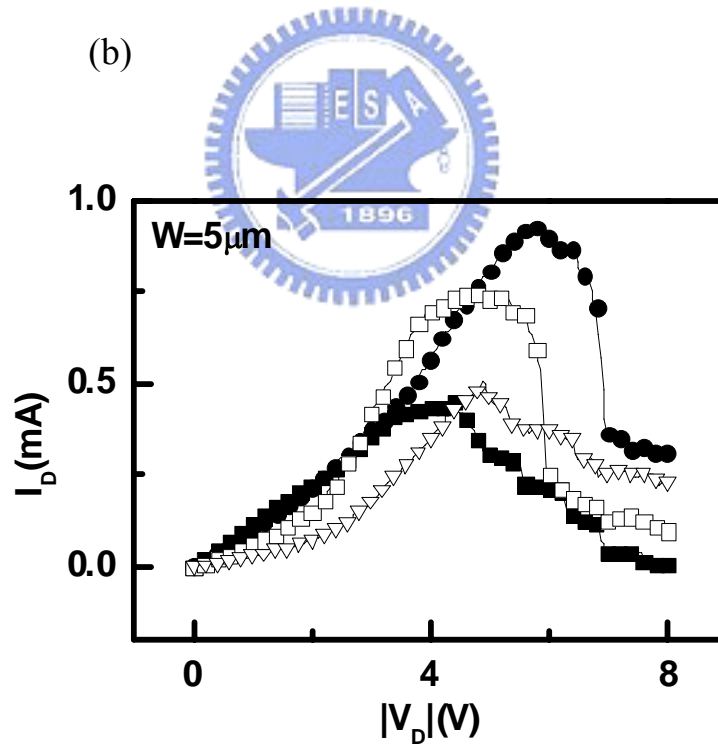


圖 3-16 相同碳管塗佈次數(40 次)，元件通道長度固定(0.4 μm)，討論元件寬度對於電性崩潰法之影響。閘極偏壓在+20V 的狀態下，碳管電晶體 I_D - V_D 關係圖：：(a)50 μm 、(b)5 μm 。

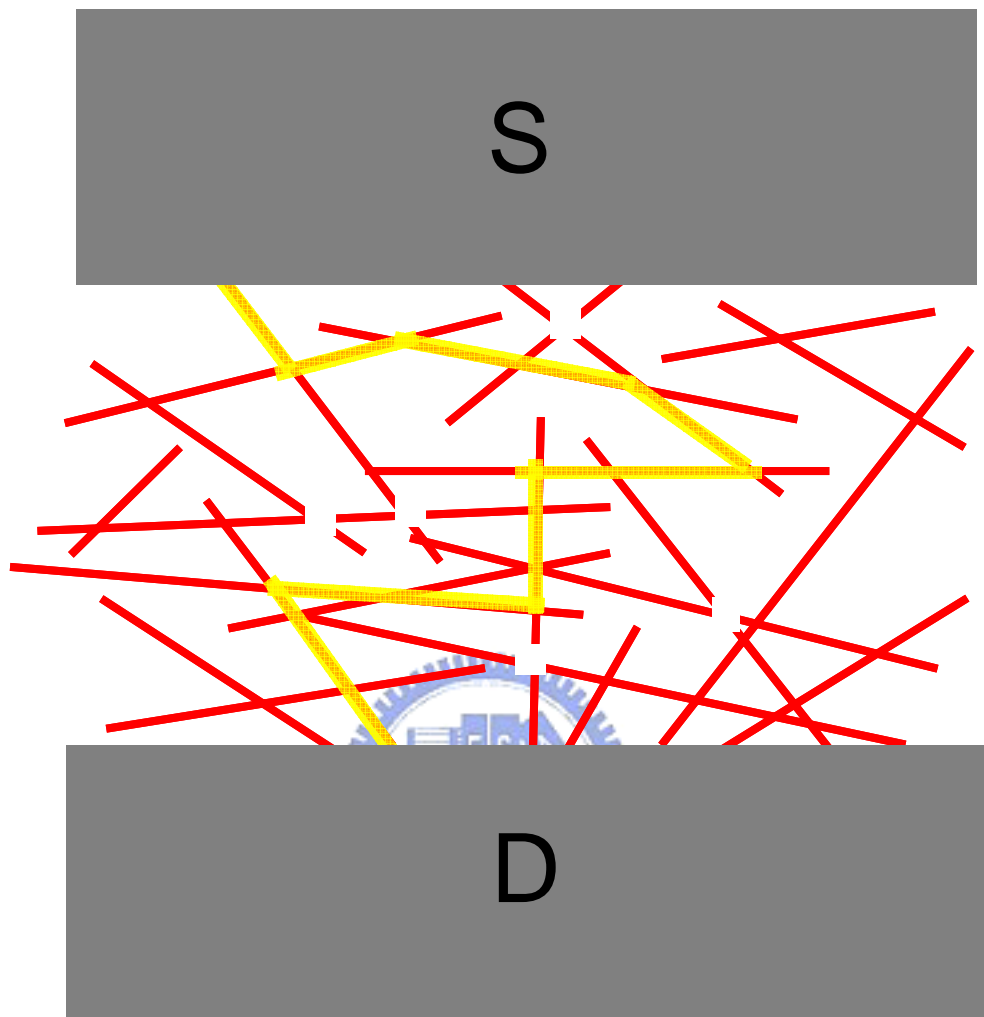


圖 3-17 金屬性碳管網絡分布示意圖，解釋在某些情況下，無法用電性崩潰法選擇性的移除金屬漏電路徑的原因。

第四章

碳管網絡記憶體

4-1 閘極介電層基本特性

圖4-1為垂直元件通道方向之穿透式電子顯微鏡(TEM)分析剖面圖，由分析結果可發現穿隧氧化層和阻擋層薄膜厚度均勻，而元件結構之各層厚度分別為：乾氧成長之穿隧氧化層 $\text{SiO}_2 \sim 6.6\text{nm}$ 、原子層沉積之阻擋氧化層 $\text{Al}_2\text{O}_3 \sim 28.1\text{nm}$ 、濕氧成長之厚氧化層 $\text{SiO}_2 \sim 380\text{nm}$ 。

圖4-2(a)為實驗對照組(無碳管)之閘極介電層高頻電容特性(元件尺寸通道長度 $50\mu\text{m}$ 、寬度 $48\mu\text{m}$)。閘極金屬在光罩佈局有大面積的範圍覆蓋在LOCOS的區域，因此雖然LOCOS區域為厚氧化層但仍須考慮其貢獻的電容值。而元件區域的電容值為薄氧化層 SiO_2 與阻擋層 Al_2O_3 並聯而得，透過換算可得到 Al_2O_3 其 k 值約為10.4。

$$C_{total} = C_{LOCOS} + C_{device}$$

$$C_{LOCOS} = \frac{3.9 \times \epsilon_o \times A}{d} = 4.3 \text{ pF} \quad (A: 46350 \mu\text{m}^2, d: 380\text{nm})$$

$$C_{SiO_2} = \frac{3.9 \times \epsilon_o \times A}{d} = 12.56 \text{ pF} \quad (A: 2400 \mu\text{m}^2, d: 6.6\text{nm})$$

$$C_{device} = C_{total} - C_{LOCOS} = 5.7 \text{ pF} = \frac{1}{\frac{1}{C_{SiO_2}} + \frac{1}{C_{Al_2O_3}}}$$

$$C_{Al_2O_3} = 7.9 \text{ pF} = \frac{k \times \epsilon_o \times A}{d} \quad (A: 2400 \mu\text{m}^2, d: 28\text{nm}) \rightarrow k = 10.4$$

圖4-2(b)為實驗對照組之閘極介電層 I-V 特性(元件通道長度 $50\mu\text{m}$ 、寬度 $48\mu\text{m}$)，閘極施予正偏壓時，電子由通道向上注入，先通過的是薄氧化層 SiO_2 再通過阻擋層 Al_2O_3 ，故電流分成兩段式轉變，正偏壓之崩潰電壓大於40V；負偏壓方向電子由閘極向下注入，先通過的是阻擋層 Al_2O_3 再通過薄氧化層 SiO_2 ，故崩潰電壓主要由閘極Ti和 Al_2O_3 之界面品質決定，負偏壓

之崩潰電壓約在-30V。

圖4-3為碳管記憶體之閘極介電層 I-V 特性(通道長度50 μm 、通道寬度48 μm)，相較於實驗對照組，正偏壓的崩潰電壓沒有明顯差別，但部分元件在閘極偏壓20V 時的電流約比對照組大了10倍，而負偏壓的崩潰電壓分佈在-10~-30V 的範圍，其負偏壓的崩潰電壓特性以及累積機率分佈圖如圖4-3(a)、(b)所示，相較於對照組，崩潰電壓有明顯提早的現象。由此可發現有碳管的元件其氧化鋁的品質較差，推測有可能是薄膜沉積在碳管上有厚度不均勻的現象，或是碳管曲率小造成電場加強的效應，影響電子從上電極注入的程度。碳管對負偏壓特性的影響比正偏特性大，可能是因為碳管下方的穿隧氧化層品質不受碳管影響，所以較不影響電子從基板注入。大約+10V 的電流增加可能是電子能量足以穿透穿隧氧化層，但是被 Al_2O_3 阻擋所造成。負偏壓的時候，穿過 Al_2O_3 就可以穿過穿隧氧化層，故無此現象。

4-2 碳管網絡記憶體之記憶現象

圖4-4(a)為元件閘極偏壓在 $\pm 8\text{V}$ 的掃描範圍時的 I_D-V_G 關係圖。閘極偏壓正負掃描的過程中可發現：當元件尚未有寫入(program)的動作之前，對元件施予負偏壓並不會對元件特性造成影響；而若對閘極施予足夠大的正偏壓，元件的臨界電壓(threshold voltage)會向負電壓方向飄移，即等效正電荷的儲存。圖4-4(a)右下角小圖為實驗之對照組(製程條件完全相同除了沒有碳管塗佈這步驟)，可以清楚發現閘極偏壓在 $\pm 8\text{V}$ 的掃描範圍時，並沒有臨界電壓飄移的現象發生，因此確定記憶體效應為碳管所造成。

圖4-4(a)還可以發現，元件的臨界電壓飄移現象只對元件部分區域造成影響，有大部分的元件區域仍維持在原本的臨界電壓，由此可推論碳管的分布並不均勻，這和圖2-9以 SEM 觀察到的碳管不均勻分佈一致。圖4-4(b)為元件的碳管分佈示意圖與等效電路圖，有碳管覆蓋的元件區域才有臨界

電壓飄移的現象，而大部分的面積是沒有碳管的區域，因此可等效成兩個臨界電壓不同的電晶體並聯。圖4-4(c)為兩個不同臨界電壓的電晶體個別貢獻的電流，將兩者相加即為量測元件時得到的 I_D-V_G 關係。

論文前半段為碳管在薄膜電晶體的應用，由實驗結果可以發現碳管容易堆積在有高低差的邊緣上，如圖2-6。而記憶體元件區域以外的地方是地形較高的 LOCOS 區域，因此可預期碳管較容易堆積在和 LOCOS 交界的元件區域附近如圖4-4(b)，隨著元件寬度越大，碳管所佔元件區域的面積比例會越小。圖4-5(a)、(b)、(c)為不同元件寬度的記憶體特性比較，可以發現臨界電壓受影響的電流佔元件整體的比例隨著元件寬度減少而增加，到了元件寬度為 $4\mu\text{m}$ 的元件，幾乎是元件整體都有臨界電壓飄移的現象。此現象可以再一次證明記憶體的特性確實是碳管所造成。

4-3 碳管網絡記憶體特性

4-3.1 抹除方法



初步量測發現閘極偏壓在 $+8\text{V}$ 足以有明顯寫入現象，圖4-6可觀察到元件在 $+8\text{V}$ 寫入後，閘極偏壓經由 -8V 的掃描範圍，對於某些元件無法有效抹除(erase)如圖4-6(a)，而對某些元件則可以抹除如圖4-6(b)，大部分的元件介於兩者之間。

圖4-7對閘極偏壓 -8V 對於已經過寫入步驟的元件之影響做進一步的觀察，發現 -8V 、 1s 對元件的抹除效果是暫時的，等待約30秒原本向正電壓方向位移的臨界電壓又會自動向負電壓方向回復。

圖3-8對經過寫入步驟的元件作閘極負偏壓 -22V 、 1s 的抹除，發現元件可永久抹除，另外由於 -22V 的閘極偏壓相對於閘極介電層的厚度足以產生 FN 穿隧效應(Fowler-Nordheim tunneling) 使電洞由通道向上進入介電層中，故除了因碳管所造成元件部份臨界電壓的現象被抹除外，另有整體元

件之電洞寫入所造成整體臨界電壓向左些微飄移的現象。

此外，對經過寫入步驟的元件作升溫測試，發現溫度提高至250°C可使元件完全回到初始狀態如圖3-9。實驗中升溫條件共有150°C/30分、180°C/30分、250°C/30分、400°C/30分等四種條件。實驗結果發現250°C/30分和400°C/30分都可使所有元件都回到初始狀態，而150°C和180°C則視元件而定，通常是原本 retention 較差的元件才足以使其回到初始狀態。

4-3.2 寫入速度

圖4-10(a)為同一元件閘極寫入電壓固定在12V，量測其 I_D-V_G 特性隨寫入時間不同的變化，由圖中可發現隨時間越長，臨界電壓飄移的量越大。圖4-10(b)為臨界電壓飄移量和寫入偏壓與時間的關係，圖中可看出隨著寫入電壓越大與寫入時間越長，臨界電壓飄移的量越大，並且有明顯飽和的現象。



4-3.3 電荷保持 (Retention)

圖4-11為臨界電壓隨時間的變化，圖4-11(a)為 retention 較差的元件、圖4-11(b)為 retention 較好的元件。這兩種元件在同一次製程中同時存在，數量約各半。對於第一種 retention 較差的元件使用高溫抹除時150°C就足以使其回到初始狀態，而第二種 retention 較好的元件則需要升溫至250°C才能使其完全回復，此類元件在室溫下，經過93400秒，電荷還保有55%，外插到十年時間，電荷仍保有約34.3%。

4-3.4 耐久性 (Endurance)

圖4-12(a)為同一元件作多次的寫入與抹除，寫入條件為14V、1s，抹除條件為-22V、1s，由圖中可發現十次以內其寫入和抹除之臨界電壓的位置

還算持平；但由十次到一百次的過程中寫入和抹除的臨界電壓位置都向中間靠攏；超過一百次之後，寫入的臨界電壓飄移持續變少，而抹除之臨界電壓位置亦有向正電壓方向增加的趨勢。記憶窗口大約在十次以內是持平的，十次到一百次開始變小，到一百次之後由最初的3.3V縮小至1V左右。圖4-12(b)為第一次寫入與抹除和最後一次寫入與抹除其 I_D-V_G 的特性圖。

4-4 操作機制

由量測結果發現寫入抹除現象和傳統快閃記憶體不同，主要差異條列如下：

1. 閘極施予正偏壓時，有等效正電荷寫入的效果，並非常見的電子自通道注入。而閘極施予負偏壓時，則有等效正電荷移除的效果，其中正偏壓8V即足以對元件寫入，負偏壓至少需要-16V甚至-22V才能對元件有效抹除。
2. 當抹除的負偏壓不夠大，如-8V時，對元件臨界偏壓有暫時朝正方向部分抹除的效果，但過一段時間臨界電壓會自動向負方向回復。
3. 升溫能有效抹除元件至初始態，所需的溫度由150°C/30分，180°C/30分、250°C/30分都有可能，視 retention 的好壞而定。最高溫有升至400°C/30分仍然有記憶體的特性存在如圖4-14。
4. 多次用相同的條件寫入與抹除，有些元件的臨界電壓的飄移不定，忽大忽小如圖4-13、圖4-14，也有部份元件是固定的。

以上特性確定是碳管的存在所造成，初步可以排除是溶劑等等其他因素，因為有碳管的晶圓上不是每一顆元件都有臨界電壓飄移的現象，此和SEM觀察到碳管不是每顆元件都有是一致的。以下逐一檢視幾種可能的機制：

第一種機制為等效正電荷的儲存為電洞的注入與移除，寫入與抹除的能

帶圖如圖4-15)。但由元件的結構可知碳管上層為較厚的氧化鋁層28nm，而僅僅8V的寫入電壓不足以使電洞經由FN穿隧機制穿過氧化鋁層。對於此元件結構，碳管曲率半徑所造成的電場加強效應須一同考慮，我們使用ISE-TCAD對類似的元件結構進行電場的模擬。元件模擬時受限於軟體提供的材料，因此氧化鋁層用 Si_3N_4 代替，而碳管用直徑1.4nm的鈦代替，模擬的元件結構與各項模擬參數設定如圖4-16(a)。圖4-16(b)為有直徑1.4nm的鈦之結構電場分佈而圖4-16(c)為沒有直徑1.4nm的鈦的模擬結果，當 $x=0$ 時電場隨 y 軸的變化，圖4-16(d)為有直徑1.4nm的鈦的模擬結果，當 $x=0$ 時電場隨 y 軸的變化。由模擬結果可發現碳管的曲率對電場的加強效應顯著，但僅限於碳管周圍有電場加強的效果，因此並無法使得電洞經由FN穿隧機制穿過氧化鋁層。此外，碳管的功函數大約是4.5eV而閘極Ti的功函數是4.3eV【44】，兩者相去不遠，但寫入電壓只需要8V而移除時卻需要-22V，此現象無法合理解釋。X. B. Lu曾報導碳管傾向儲存電洞【35】，或許是此特殊性質，使得電洞注入後很容易被捕獲，但是不易移除。至於負電壓部分抹除又回復的現象，電洞儲存機制亦無法合理解釋。另外升溫使得電洞能量提升，或許因此比較容易逃逸。雖然碳管可能有一些尚不為人知的奇特現象，但是即使不易捕捉電子，電子不與電洞複合仍是匪夷所思之事，因此此機制成立的可能性不高。

第二種機制為碳管上附著的極性分子造成臨界電壓飄移。碳管有許多關於氣體吸附的應用：例如感測有毒氣體以及儲氫材料的相關研究等【20、21】。碳管上吸附的極性分子有可能來自於分散碳管的溶劑、環境中的水分子或是大氣中各種極性分子，由於碳管塗佈之後的氧化鋁鍍膜步驟其環境壓力約在 10^{-2} torr，可能還有吸附的分子殘留在碳管表面【15-19】。圖4-17(a)為元件初始狀態，假設極性分子在製作完成時是呈任意方向的，因此不會對元件的臨界電壓造成影響。圖4-17(b)為閘極偏壓寫入時，所有極性分子

都朝向電場方向排列，因此造成相當於正電荷的儲存。但是理論上施加負電壓時極性分子應該像反方向排列如圖4-17(c)，此時反而是造成等效負電荷的儲存，臨界電壓應該是反而向正壓軸移動而不是回到初始狀態，因此可以排除極性分子這個機制。

第三種機制為金屬離子的移動造成臨界電壓飄移。實驗中使用的碳管為商業販售的碳管粉末，根據廠商資料，殘留有金屬催化劑鎳(Ni)和鈮(Y)的成分，因此有可能形成金屬離子在介電層中移動。圖4-18(a)為元件初始狀態，金屬離子在穿隧氧化層上方，圖4-18(b)為閘極施加正偏壓造成金屬離子向下方移動，圖4-18(c)為閘極施加負偏壓造成金屬離子向上方移動，由元件的結構可以知道，介電層總厚度達32nm，如果金屬離子僅在6.6nm的穿隧氧化層範圍移動，雖然電荷越靠近通道會對通道有越強烈的影響，但元件初始狀態時，正電荷在距離通道6.6nm的距離時就應會對元件造成局部臨界電壓飄移的現象。如果金屬離子可以進入氧化鋁層，負電壓抹除的時候，應該進一步向正電壓軸飄移。上述兩種現象都沒有觀察到，何況在室溫下僅靠電場就讓金屬離子在一秒之內飄移，不太可能【45】，因此金屬離子移動的機制也可以排除。

第四種機制為碳管鄰近的分子受外加電場影響，與碳管結合，產生等效正電荷。雖然寫入電壓僅8V，但考慮碳管曲率造成局部電場加強的效應後可發現碳管周圍的電場可達~10MV/cm。圖4-19 (a)為元件初始狀態，此時介電層內存在特定分子，圖4-19 (b)為閘極施加正偏壓，使得特定分子和碳管結合，產生相當於等效正電荷的效果，此特定分子可能是ALD沈積時候殘留的O-H、CH_x，或是Al₂O₃中的非鍵結(non-latticed)氧分子等。圖4-19(c)為閘極施加負偏壓使和碳管結合的分子脫離，因此等效正電荷的效果消除而回到初始狀態。圖4-20為化學反應過程之位能圖，假設反應向右進行相較於向左，所需克服之活化能較小，由此可合理解釋量測結果觀察到寫入電

壓小於抹除電壓的現象。當閘極施加足夠大的負偏壓，使與碳管結合的分子脫離碳管，正電荷消失，I-V 特性就回到初始狀態。提高溫度使得分子震動加劇，有助於與碳管結合的分子脫離碳管，也有抹除正電荷的效果。雖然有類似的電場引發化學反應的文獻報導【46】，但是不是本論文的材料系統，目前缺乏足夠的學理根據，來解釋是甚麼樣的分子和碳管形成甚麼樣的結合，足以產生等效正電荷。

最後，一一檢視實驗量測結果所觀察到的現象與四種可能機制其合理性後可得到表4-1的綜合比較結果。根據以上討論，第四種機制的可能性較高，但是尚缺乏直接證據，值得繼續探討。



表4-1 四種可能使臨界電壓漂移之機制與量測現象之比對。(三種符號個別所代表的意思：O 代表此機制可合理解釋此現象、 Δ 代表此機制勉強可解釋此現象、X 代表此機制完全和此現象抵觸。)

	Hole injection	Dipole rotation	Mobile ion	Electric field induced reaction
Positive charge only	Δ	X	O	O
$ V_{pgm} \gg V_{ers} $	X	X	X	O
Thermal erasable	O	O	O	O
Temporary erase	X	Δ	X	?

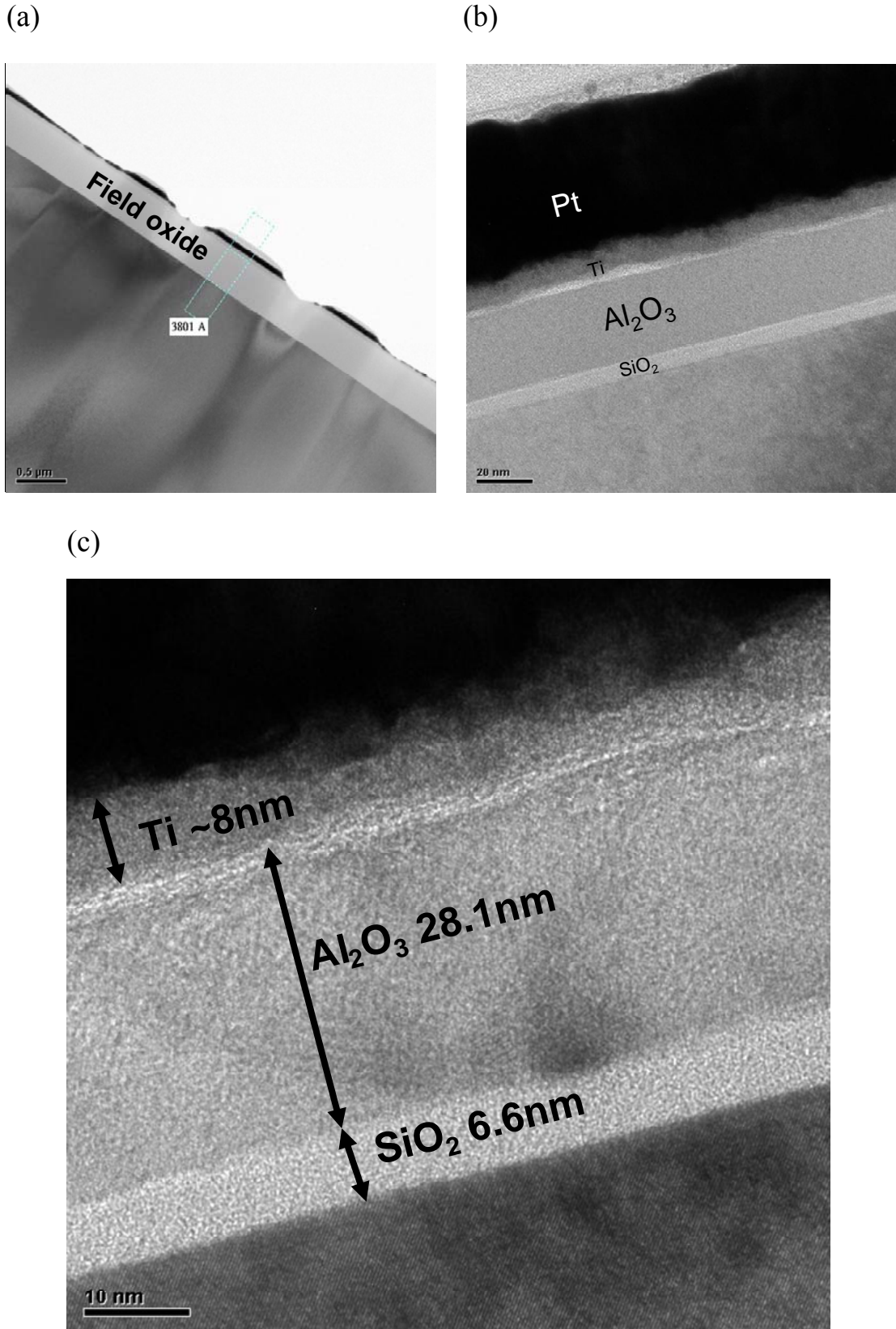
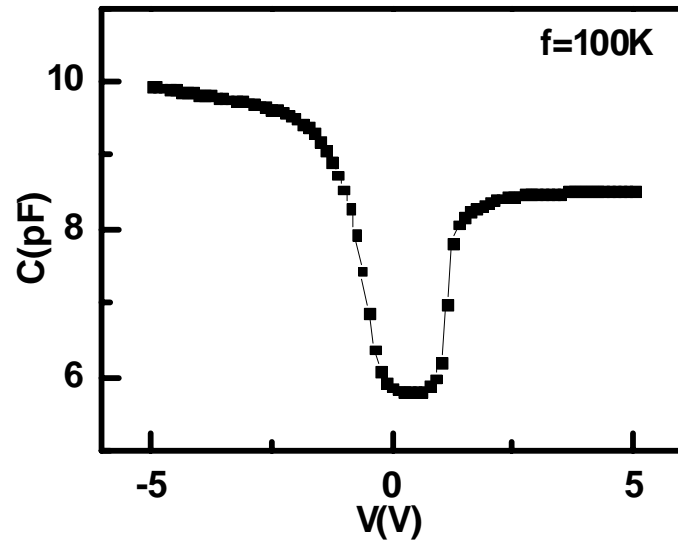


圖4-1 和元件通道方向垂直之 TEM 剖面圖：(a)LOCOS、(b)穿隧氧化層和阻擋層薄膜厚度都很均勻、(c)高倍率下各層厚度標示。

(a)



(b)

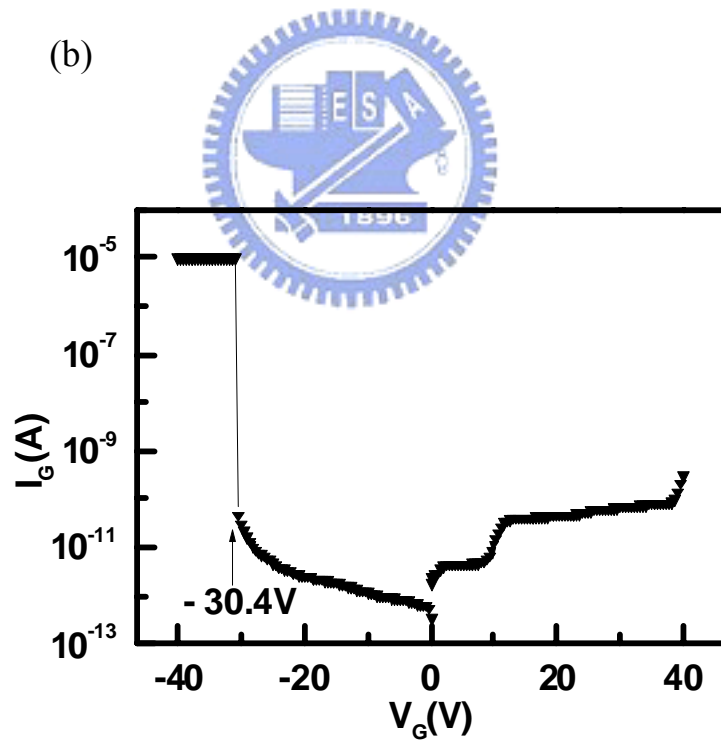
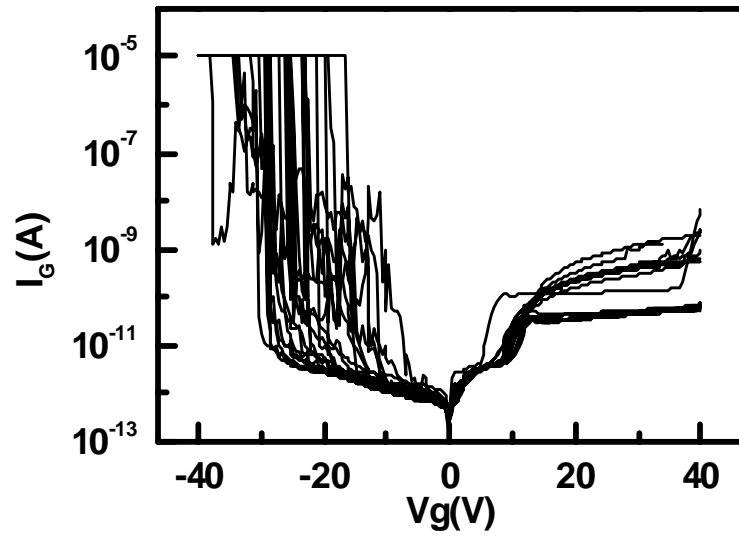


圖4-2 實驗對照組(沒有碳管)之閘極介電層電性分析(通道長度 $50\mu\text{m}$ 、通道寬度 $48\mu\text{m}$)：(a) 閘極高頻電容量測、(b) I-V 關係圖，正偏壓的崩潰電壓大於 40V ，而負偏壓的崩潰電壓約在 -30V 。

(a)



(b)

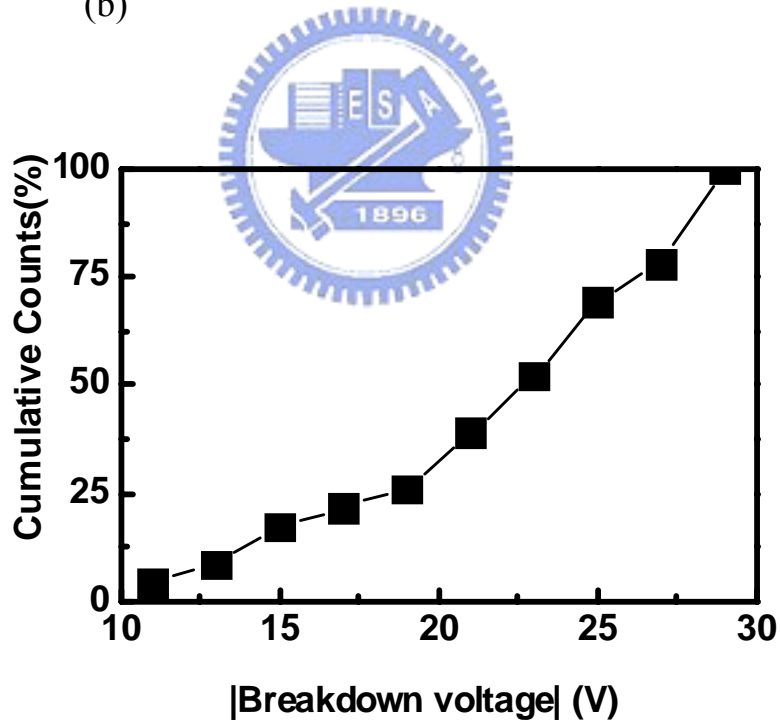
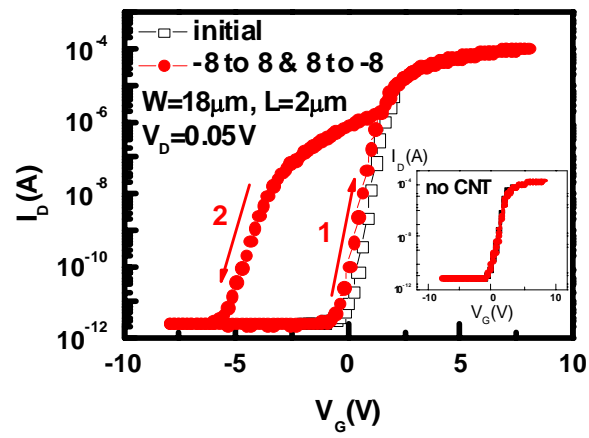
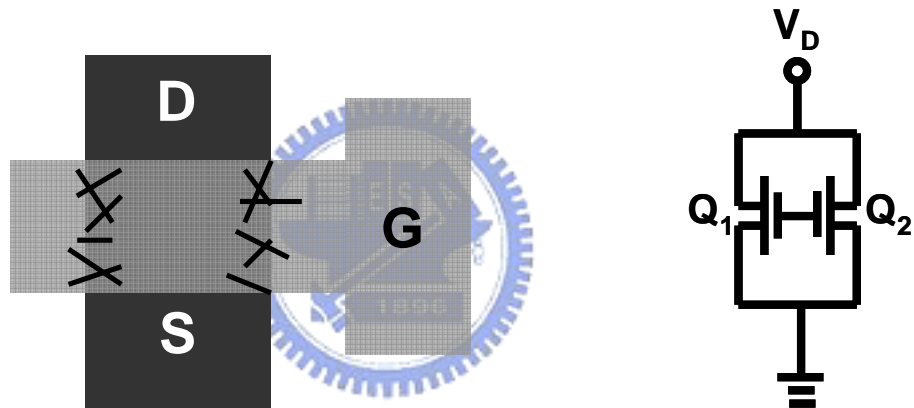


圖4-3 有碳管的元件閘極介電層電性分析：(a)閘極介電層 I-V 關係圖(通道長度 $50\mu\text{m}$ 、通道寬度 $48\mu\text{m}$)，正偏壓的崩潰電壓大於 40V ，而負偏壓的崩潰電壓分佈在 $-10\sim-30\text{V}$ 。(b)負偏壓的崩潰電壓累積機率分佈圖。

(a)



(b)



(c)

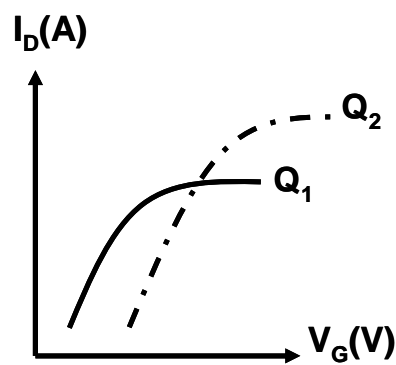
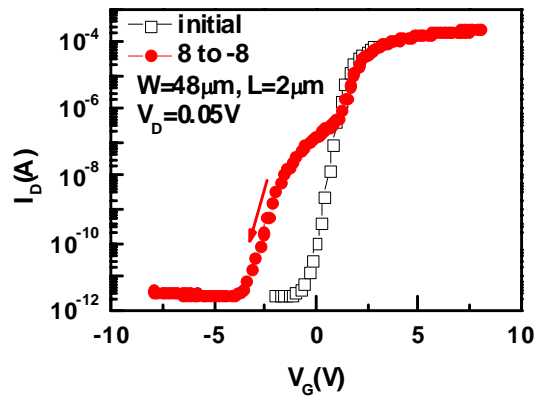
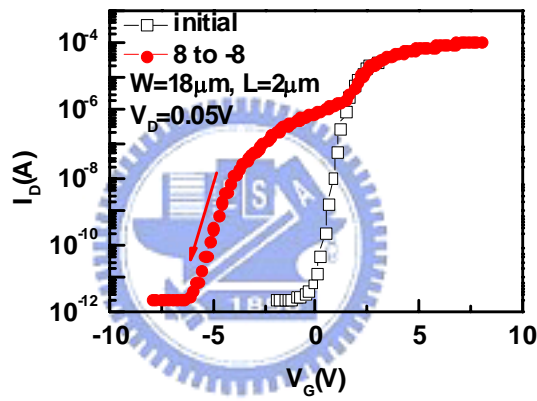


圖4-4 (a)元件閘極偏壓在 $\pm 8\text{V}$ 的掃描範圍時的 I_D - V_G 關係圖(右下角縮圖為實驗對照組之 I_D - V_G 關係圖)、(b)碳管分布不均的元件示意圖與等效電路圖、(c) 兩個不同臨界電壓的電晶體個別貢獻的電流總合即為量測結果。

(a)



(b)



(c)

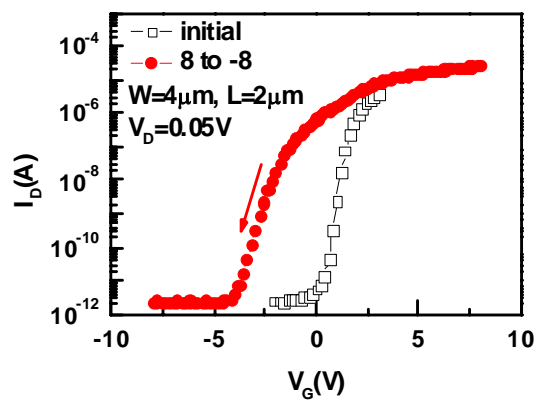


圖4-5 元件寬度對碳管記憶體特性之影響。寬度分別為(a)48 μm 、(b)18 μm 、(c)4 μm 。

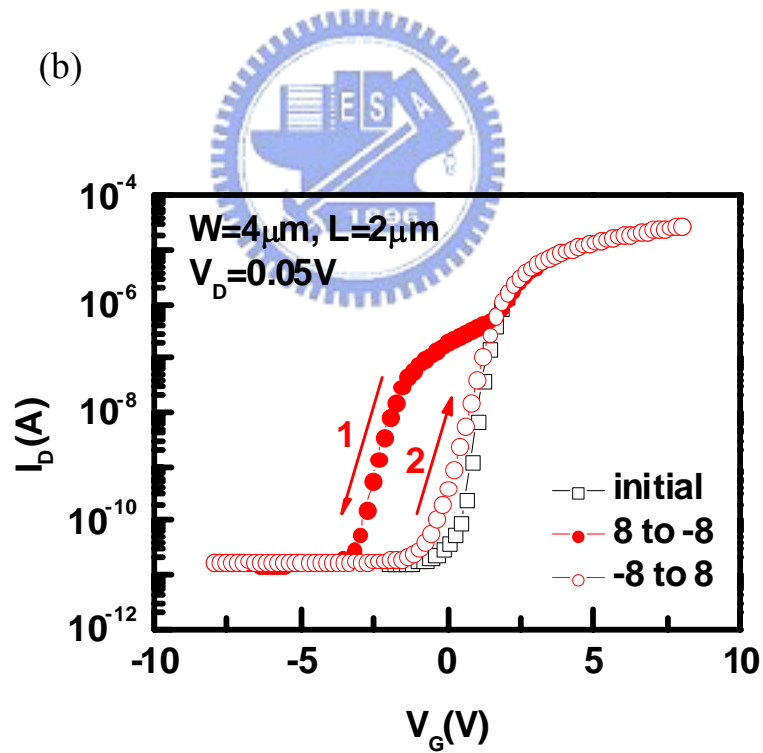
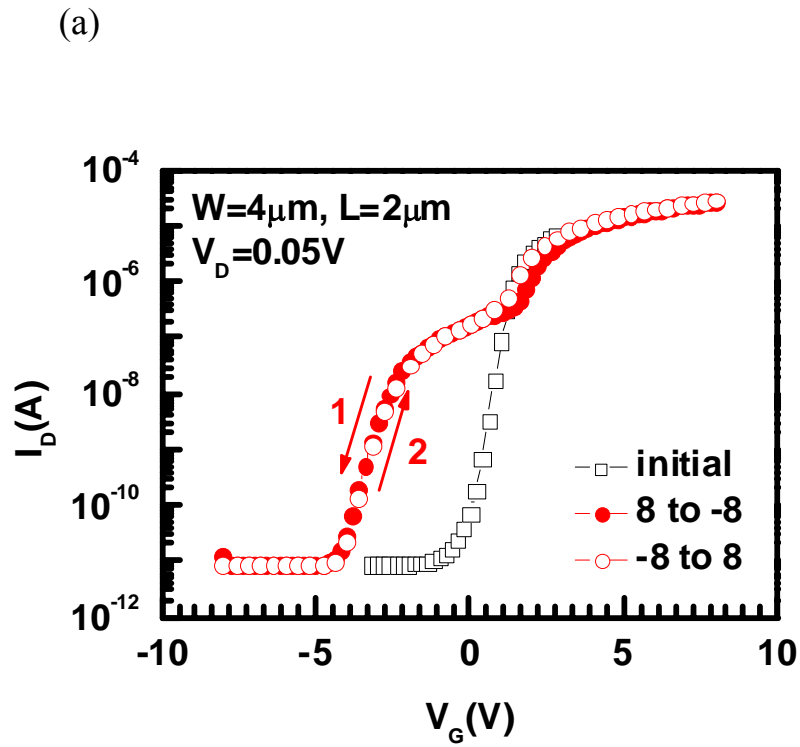


圖4-6 閘極負偏壓在 ± 8 的掃描範圍內對元件的影響：(a)對某些元件沒有影響，(b)對某些元件有影響。

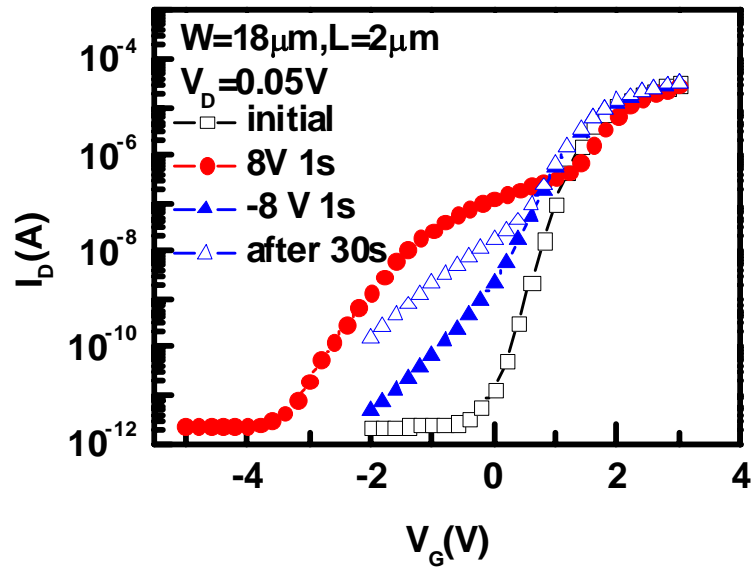


圖4-7 閘極偏壓在-8V、1s，對某部分的元件有抹除的效果，但只是暫時的。

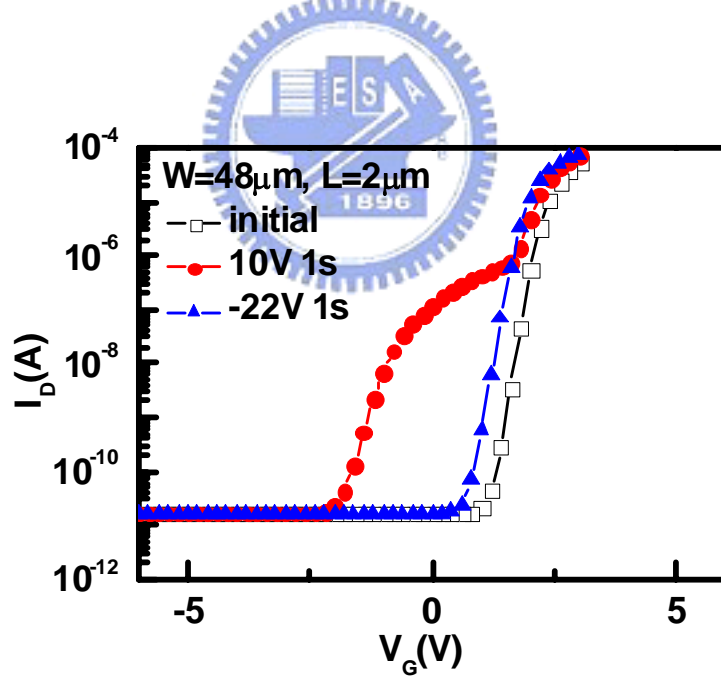


圖4-8 閘極偏壓在-22V、1s，對大部分的元件有永久抹除的效果。

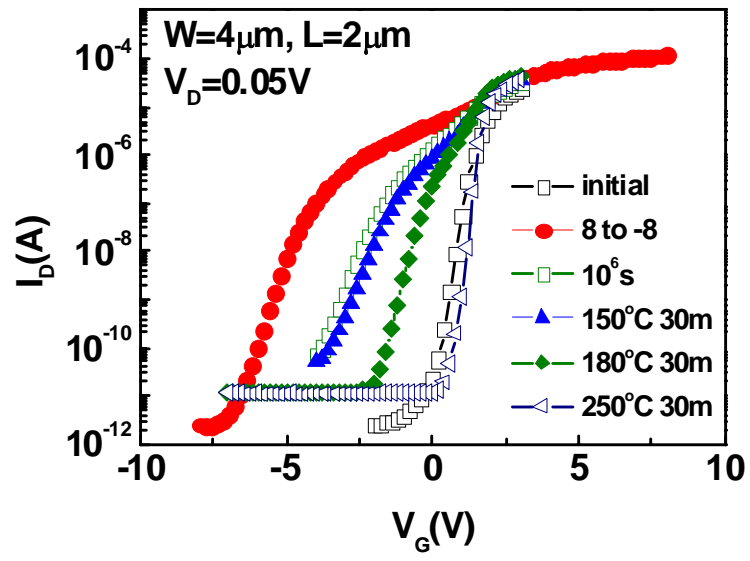
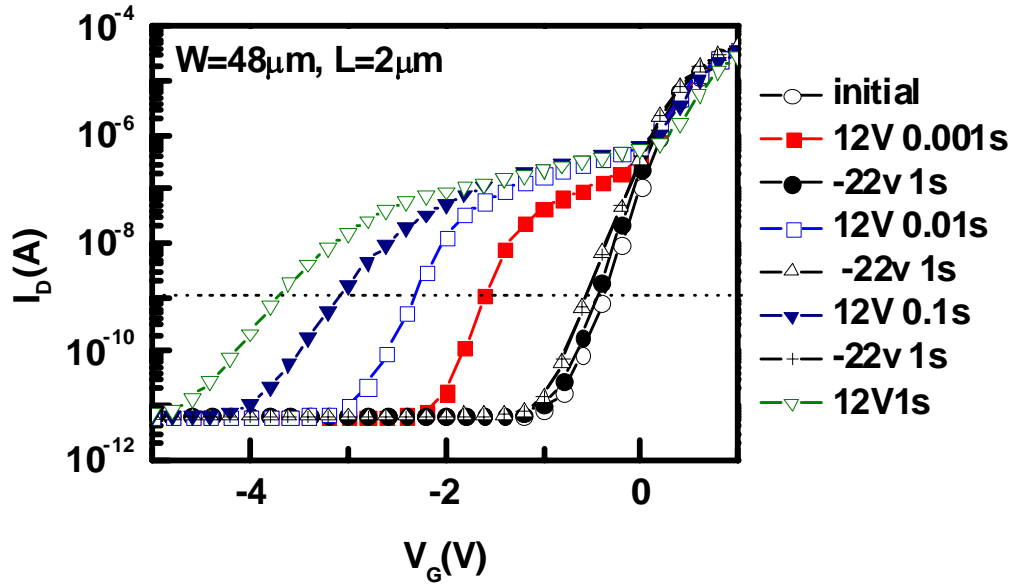


圖4-9 利用高溫亦可對元件進行抹除。



(a)



(b)

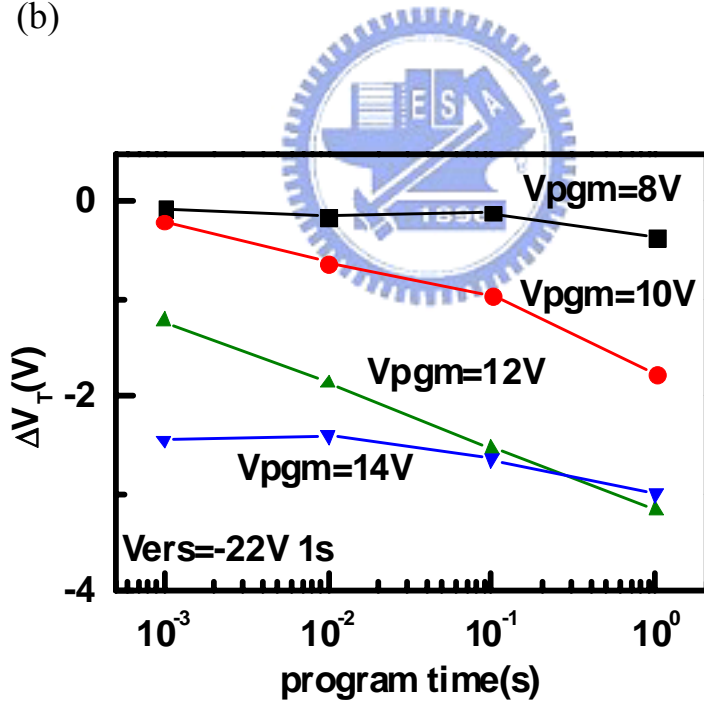
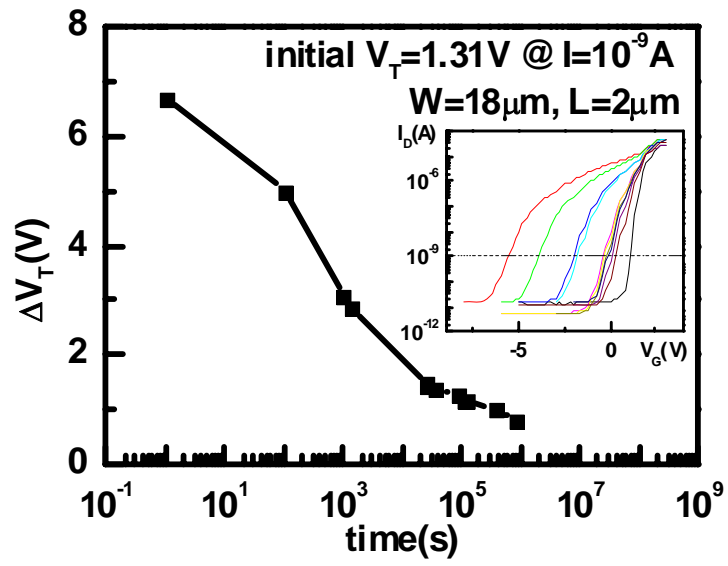


圖4-10 不同寫入條件的漂移量：(a)固定閘極偏壓在-12V，寫入時間改變對臨界電壓飄移量之影響、(b)臨界電壓飄移量和寫入偏壓與時間的關係。

(a)



(b)

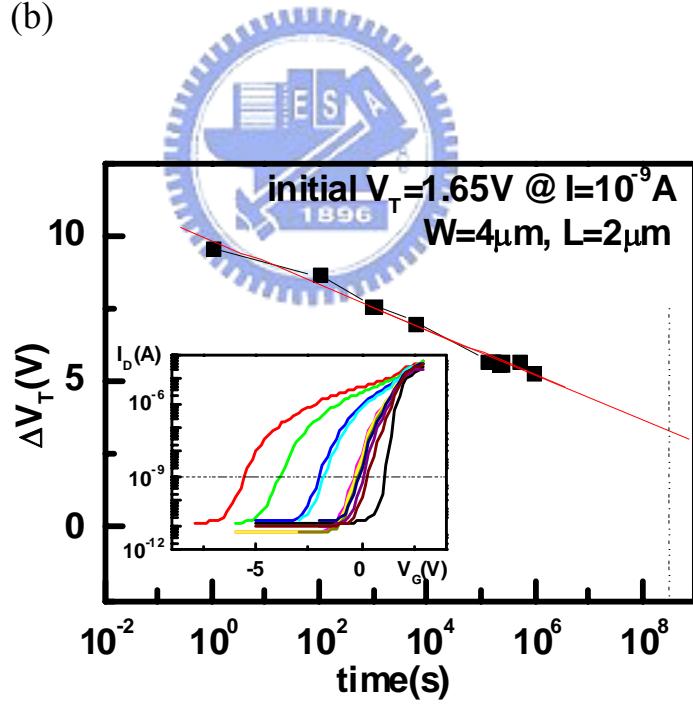
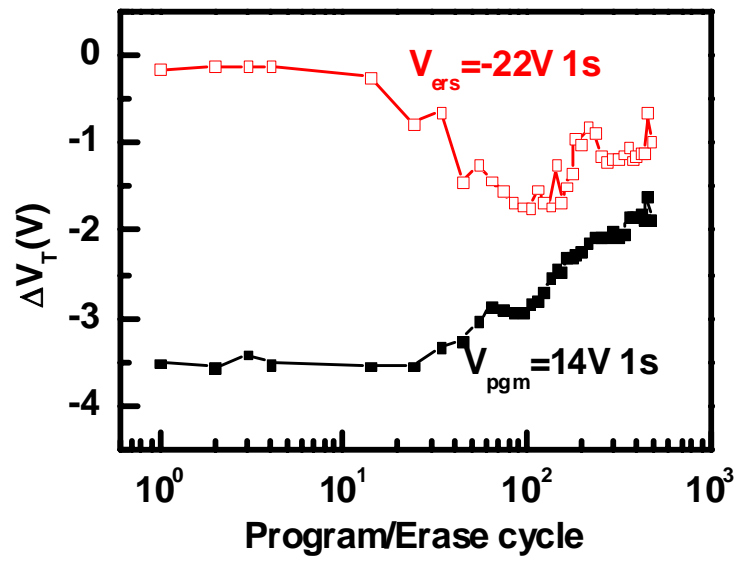


圖4-11 臨界電壓隨時間的變化(縮圖為原始 I_D - V_G 關係圖):(a) retention 較差的元件、(b) retention 較好的元件。

(a)



(b)

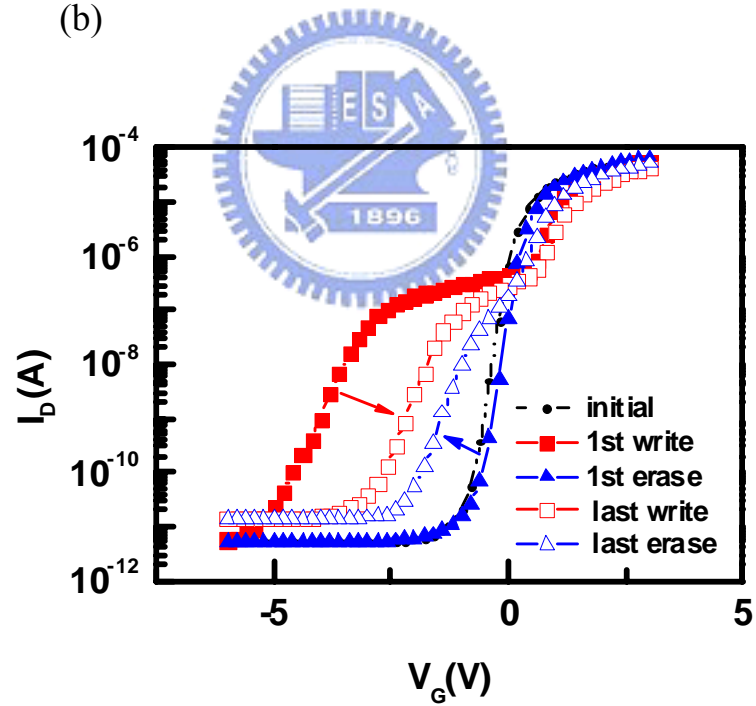


圖4-12 多次寫入與抹除：(a)臨界電壓隨 P/E 次數增加的變化、(b)第一次寫入與抹除時之 I_D - V_G 關係圖與最後一次的變化。

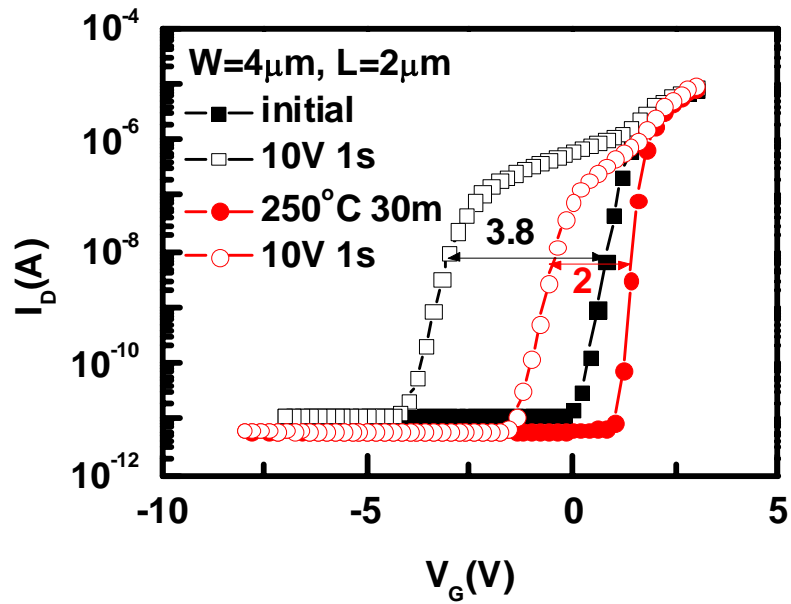


圖 4-13 某部份元件使用相同的寫入條件，第二次飄移量會變小，甚至會幾乎喪失記憶体的特性。

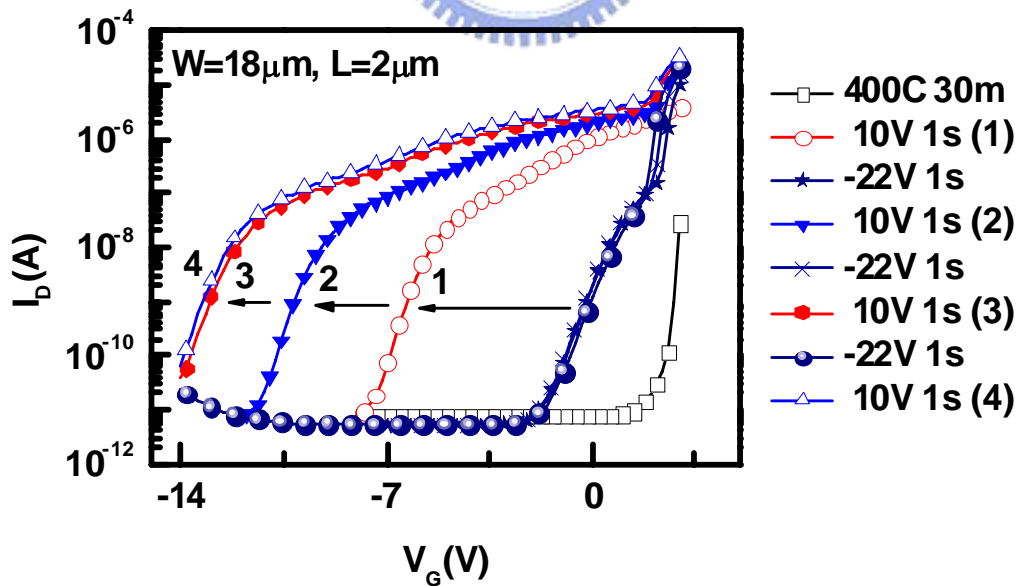


圖 4-14 某部份元件使用相同的寫入條件，多次寫入發現臨界電壓飄移量越來越大最後達到飽和(註：抹除時也沒有完全抹除)。

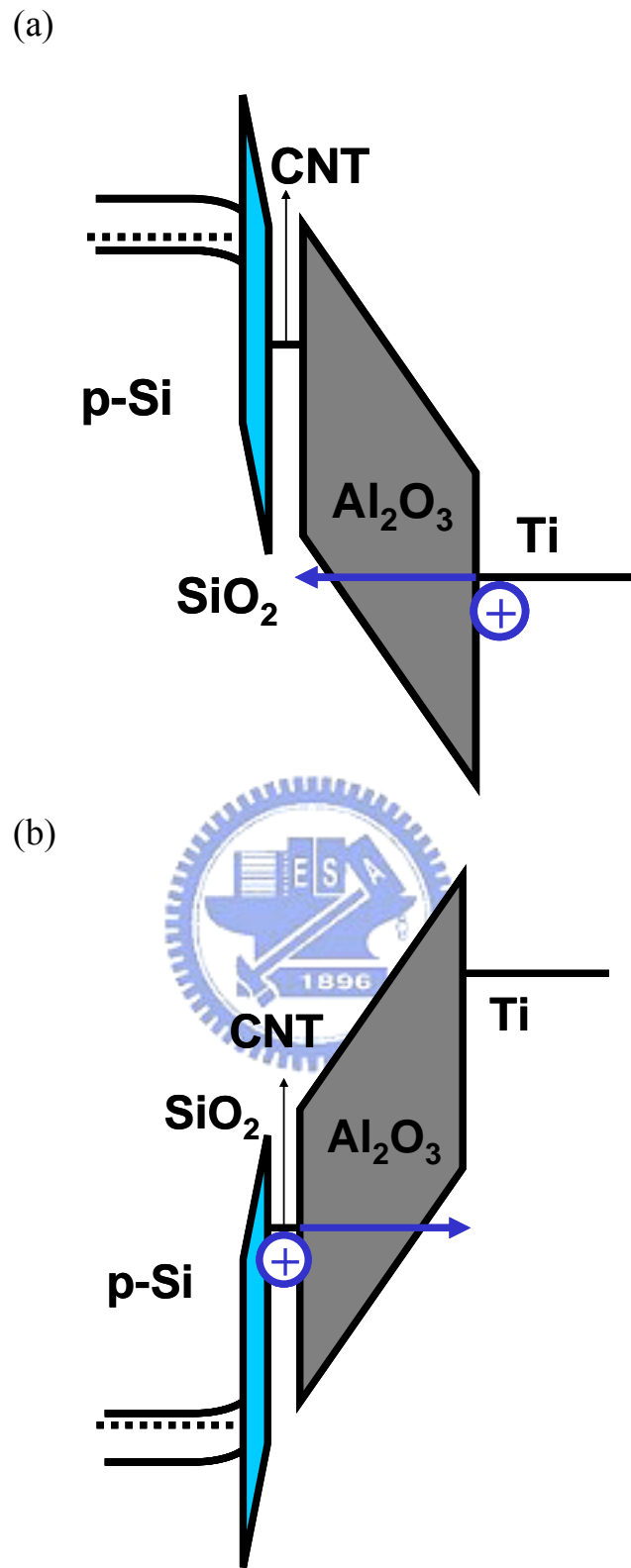
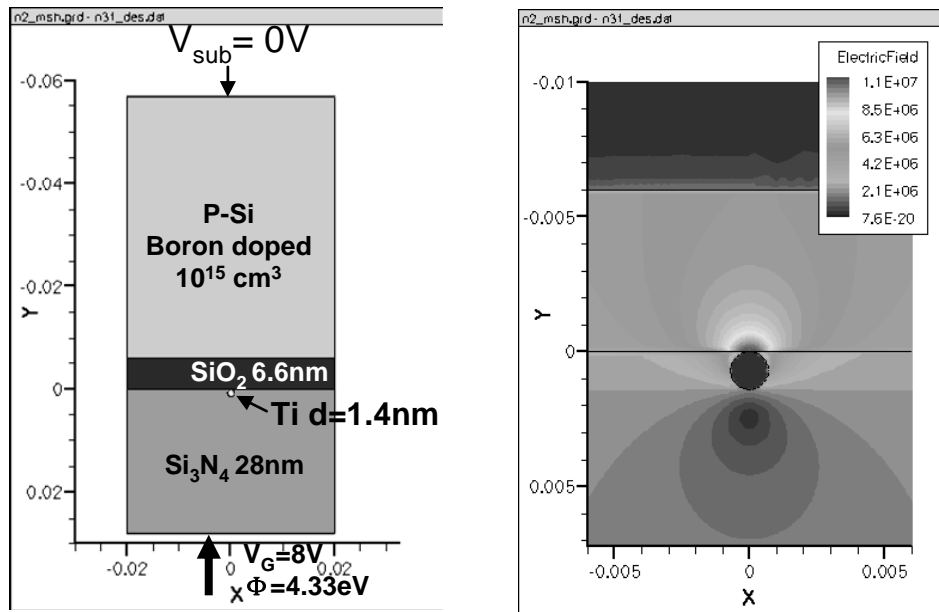


圖4-15 元件結構於不同狀態時對應能帶圖：(a)寫入(閘極加正偏壓)、(b)抹除(閘極加負偏壓)。

(a)



(b)

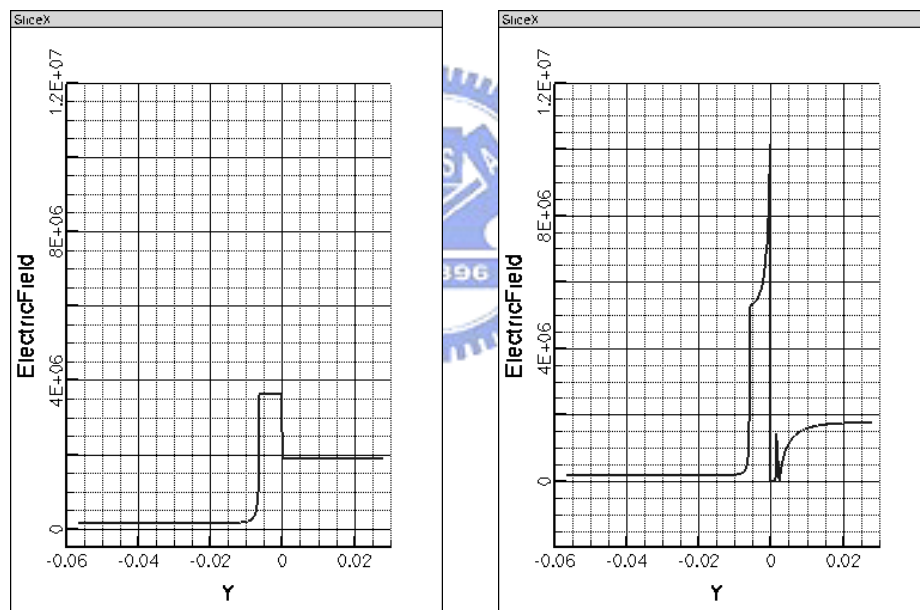


圖 4-16 碳管曲率造成電場加強的效果：(a)為元件結構圖與模擬參數設定、(b)為有直徑 1.4nm 的 Ti 金屬結構其電場分佈圖、(c)沒有直徑 1.4nm 的 Ti 金屬模擬結果， $x=0$ 時電場隨 y 軸的變化、(d)有直徑 1.4nm 的 Ti 金屬之模擬結果， $x=0$ 時電場隨 y 軸的變化。

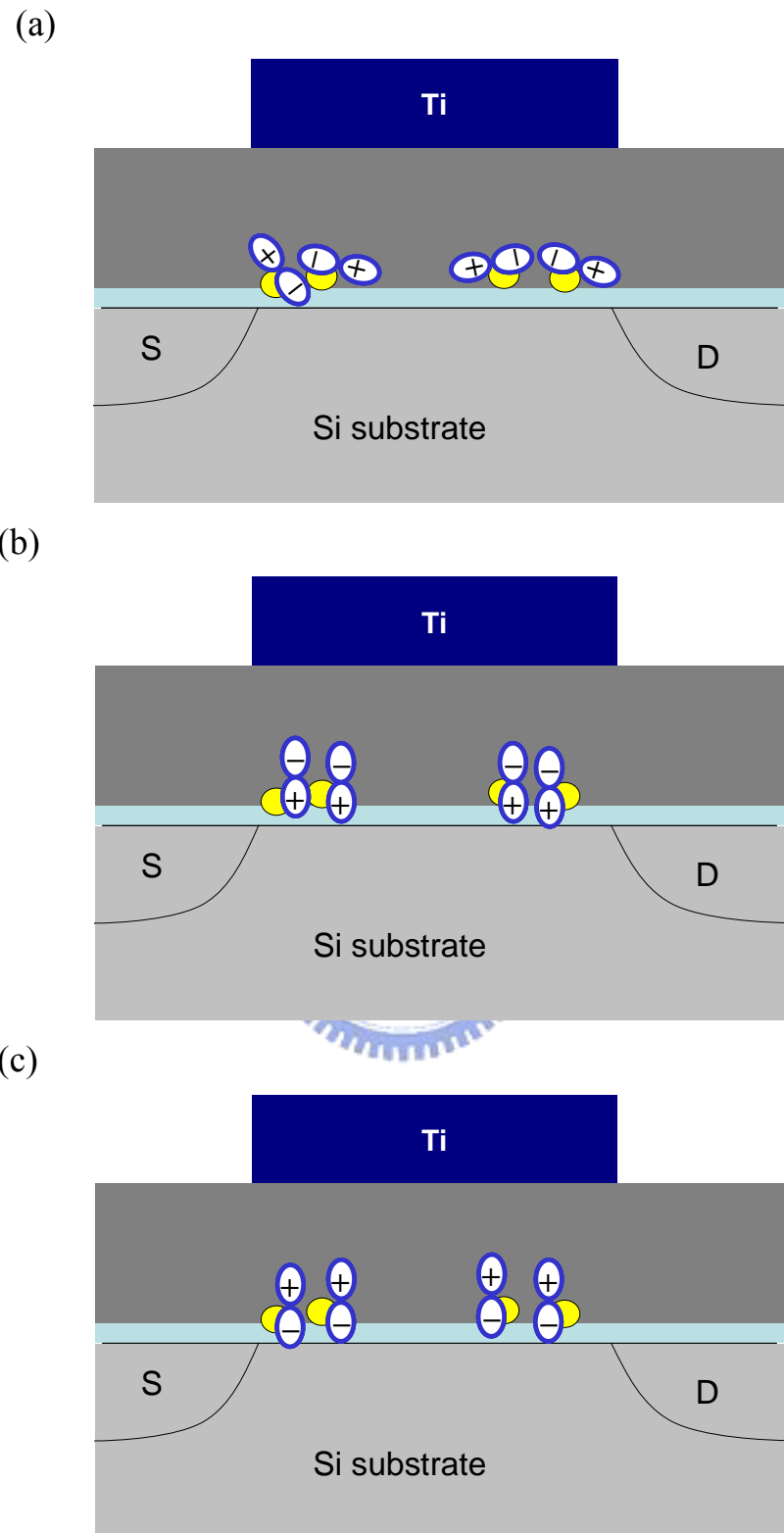


圖4-17 利用極性分子解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。

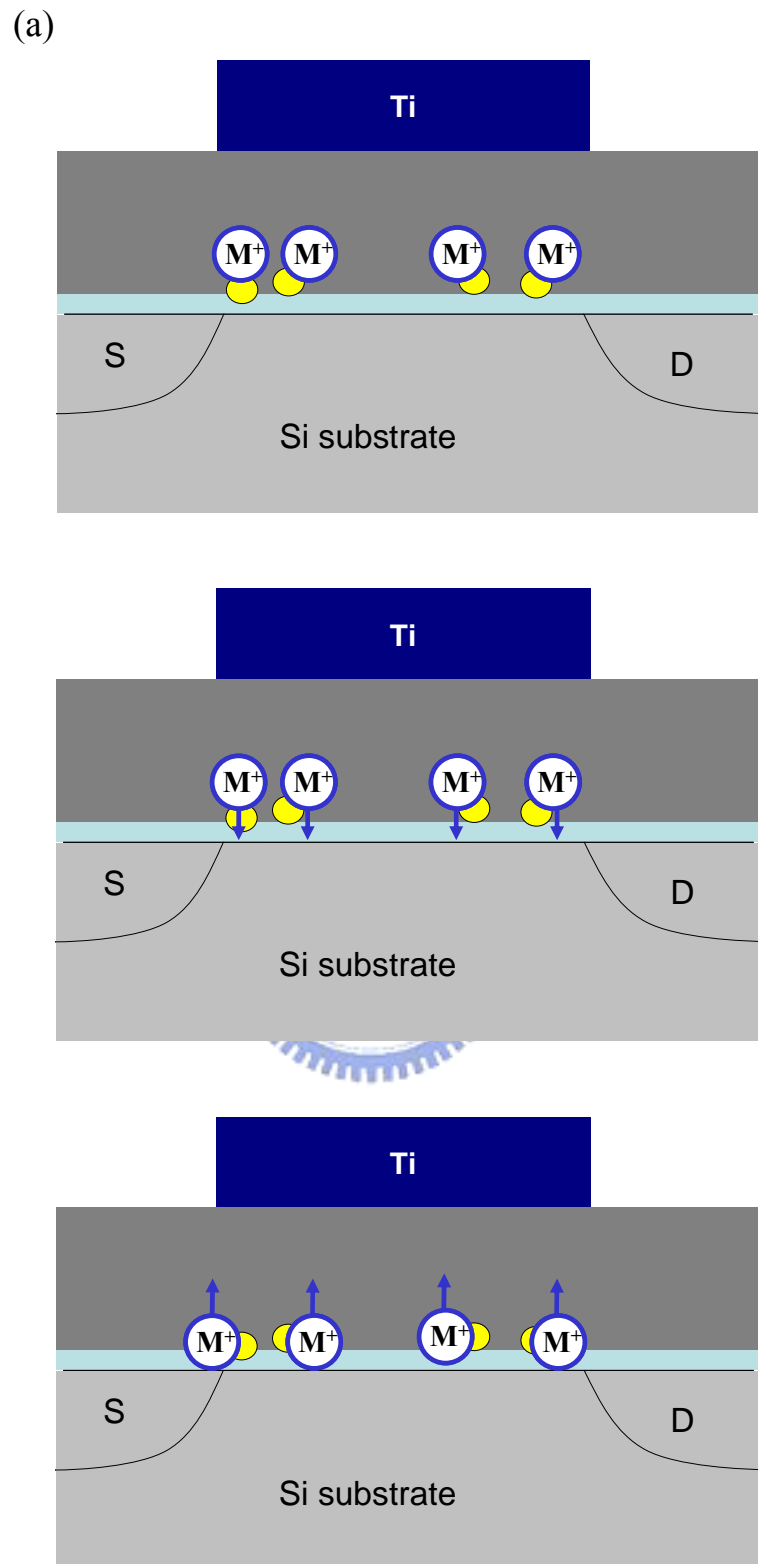


圖4-18 利用極性分子解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。

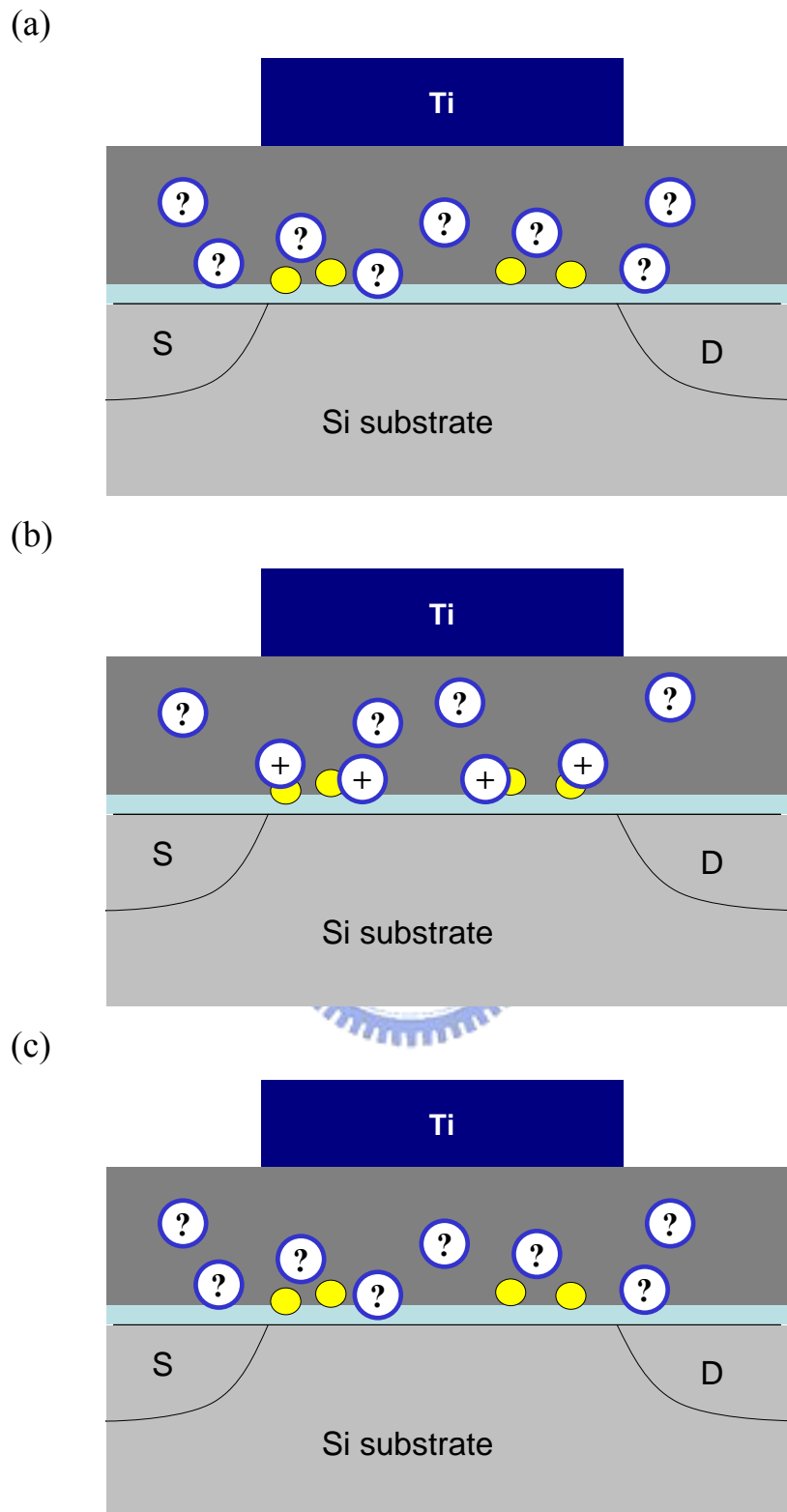


圖4-19 利用不明物質解釋碳管記憶體臨界電壓飄移的現象：(a)初始狀態、(b)寫入(閘極加正偏壓)、(c)抹除(閘極加負偏壓)。

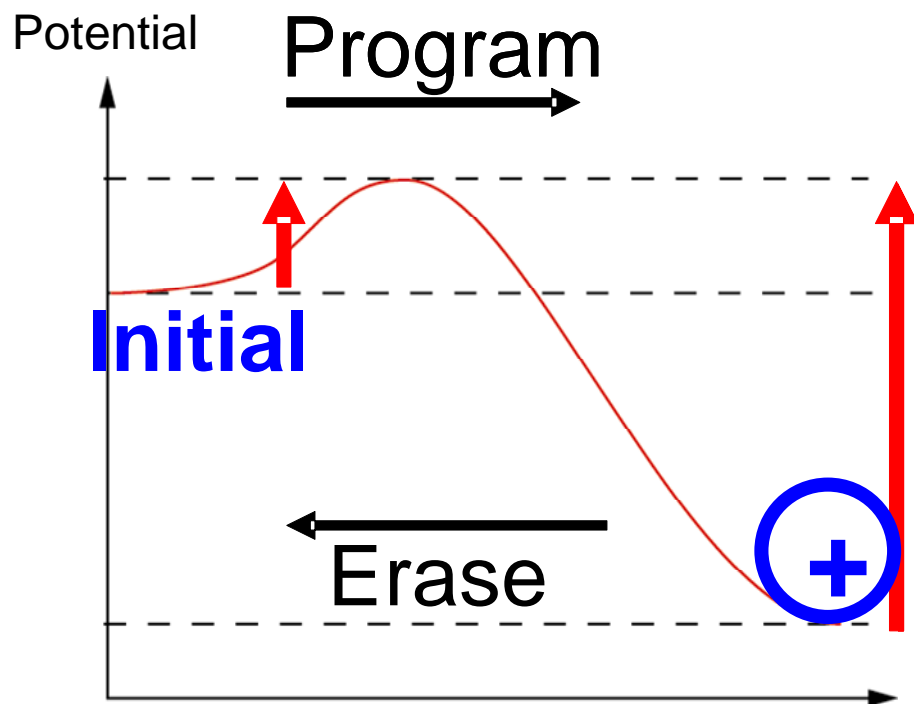


圖 4-20 化學反應過程之位能圖，反應向右進行相較於向左，所需克服之活化能較小，由此可合理解釋寫入電壓小於抹除電壓。

第五章

結論與展望

5-1 結論

本論文使用多次旋塗碳管的方式製作碳管網絡，並探討其應用於薄膜電晶體和非揮發性記憶體之性能。在薄膜電晶體方面，分別探討碳管塗佈次數與元件尺寸對元件特性的影響，發現碳管塗佈次數增加，元件導通電流越大，但導通電流增加的幅度和碳管塗佈次數並沒有等比例增加，而是有漸趨飽和的趨勢，搭配 SEM 分析結果，可推測碳管經由高速旋轉後留在晶片表面主要是受到表面高低差的影響。因此儘管增加碳管塗佈次數有促進碳管分佈均勻的效果，但對於通道長度大於 $4\mu\text{m}$ 的元件，碳管仍有明顯分布不均勻的情形。元件尺寸的影響部分發現通道長度越小、導通電流越大、但電流開關比例無法拉開；而通道長度較長的元件雖然開關比例可拉開，但導通電流又因為碳管覆蓋不均勻的原因而大幅度減小。對於導通電流大開關比例小的元件，嘗試使用電流應力法崩潰金屬性的碳管，但實驗結果卻發現此方法並不適用於多根互相交錯之碳管網絡薄膜電晶體。

由變溫量測探討接近單根碳管電晶體與碳管網絡電晶體其導通機制，發現前者之電洞導通電流隨溫度增加而減少，後者則是隨著溫度增加而增加。可驗證接近單根碳管電晶體其金屬鈮與碳管之接觸為歐姆接觸，導通電流傳導機制由通道的載子散射主導；而碳管網絡電晶體的導通機制則由金屬性碳管與半導體性碳管間的蕭基位障主導。選擇塗佈碳管 40 次、通道長度 $4\mu\text{m}$ 、寬度 $50\mu\text{m}$ 的元件，利用 $G_{m,max}$ 換算載子遷移率，可得到載子遷移率為 $3.6\text{cm}^2/\text{Vs}$ ，因為碳管的覆蓋率約只有 1%。換算覆蓋率後的載子遷移率約 $360\text{cm}^2/\text{Vs}$ ，和接近單根碳管所得到的 $8723\text{cm}^2/\text{Vs}$ 仍有一段差距，

推測原因為碳管網絡中金屬性碳管的存在與金屬性和半導體性碳管交錯形成的蕭基位障。

本論文實驗結果可發現多根碳管交錯的碳管網絡電晶體有兩個缺點，第一是金屬性碳管和半導體性碳管的交錯造成蕭基位障對於元件特性造成影響，第二是電流應力崩潰金屬性碳管的方法不適用於交錯的碳管網絡，第一點使得元件導通電流降低、開關速度變慢，第二點使得元件的開關比例無法進一步提升。導致碳管網絡電晶體的特性在換算碳管覆蓋面積後仍較單根碳管的電性相差遠，由此可知利用多根碳管水平並聯才能達到最佳的電晶體特性。J. A. Rogers 的研究團隊在 2007 年發表其研究結果在 nano letters 期刊：利用石英基板上能成長高密度並且水平排列的碳管來製作碳管薄膜電晶體【43】，導通電流可達 mA，雖然對於通道長度較小的元件，其開關比例也不大，但碳管水平排列的情形下相信應該可以使用電流崩潰法來增進開關比例。此外，碳管網絡薄膜的電阻係數約為 $62.3\mu\Omega\cdot\text{cm}$ ，銅膜隨著厚度降低至 11.5nm，電阻係數增至 $32.34\mu\Omega\cdot\text{cm}$ ，當厚度降至 10nm 以下時，僅能形成不連續的島狀(islands)分佈。因此，如能提高金屬性碳管比例，碳管網絡薄膜可望作為超薄導電層的應用。

論文第二部份將碳管網絡應用在非揮發性記憶體的電荷儲存層，使用相同的碳管網絡製作方式，因此同樣有碳管分佈受高低差影響的情形，利用實驗對照組與碳管分佈的狀態可驗證記憶體特性確為碳管所造成。量測閘極介電層 I-V 特性可發現有碳管的元件其負偏壓之崩潰電壓明顯比沒有碳管的要早，推測可能是沉積在碳管上之介電層品質較差或是因為碳管曲率之電場加強效應所致。記憶體特性量測發現閘極+8V 對元件有等效正電荷的寫入效應，寫入電壓越大與寫入時間越長，臨界電壓飄移的量越大，並且有明顯飽和的現象。抹除所需負偏壓達-22V，並且發現升溫對於元件有抹除效果。同一批元件的電荷保持能力變異很大，對於電荷保持能力佳

的元件，室溫下經過 93400 秒，電荷還保有 55%，外差到十年時間，電荷仍保有約 31%。元件的記憶窗口在寫入/抹除十次內還算持平，一百次後記憶窗口由原本 3.3V 降至約 1V。

實驗量測結果發現寫入抹除現象和傳統快閃記憶體不同，近期分別有兩個研究單位有類似結構的發表，相較之下，本論文和 2006 年香港研究單位的量測結果較為一致【35】，但和 2007 年韓國的研究單位則是呈現相反的結果【36】。本論文最後將可能的操作機制提出討論，初步可排除極性分子轉動與碳管粉末中金屬雜質的影響，而電洞的寫入與抹除亦存在不合理的情形，因此較傾向特殊分子和碳管結合後形成等效正電荷的儲存，明確的機制仍需進一步的探討。

5-2 未來展望與後續研究建議

單根碳管電晶體要能實際應用，對於每根碳管的旋度、直徑、長度、方向、位置等都要能精確掌控，且碳管的電性到目前為止尚有未完全釐清的部份，因此單根碳管電晶體要能實際應用相信還有很長的一段路要走，相較之下，多根碳管電晶體經由對大量碳管平均後得到的電性結果是目前的碳管成長技術可以掌握的。本論文製作之碳管網絡薄膜電晶體載子遷移率為 $3.6\text{cm}^2/\text{Vs}$ ，此值優於非晶矽，並且可藉由提升碳管覆蓋面積將元件特性進一步提升，2005 年 E. S. Snow 研究團隊已製作出載子遷移率為 $150\text{cm}^2/\text{Vs}$ 之碳管網絡薄膜電晶體【32】，相較於其他發展中之薄膜電晶體的材料，碳管確實具有相當大的優勢【41】。由實驗結果可發現碳管交錯對於元件特性存在不良影響，因此透過排列碳管減少碳管交錯可將元件特性更進一步提升，並可搭配電流崩潰法來提升開關比例，然而實際應用還是得找到更有效率、更穩定的方法來選擇性移除金屬性碳管。論文中亦對碳管薄膜之電阻係數作萃取，發現其對於厚度 10nm 以下金屬導線具有應用潛力，然而

關鍵問題在於如何分離出高純度的金屬性碳管。

碳管網絡應用於非揮發性記憶體的电荷儲存層的部分，實驗結果發現確實有記憶體的特性，但確切的操作機制須做進一步的探討。實驗製程中幾點可做改善的部分：元件結構使用之氧化鋁阻擋層，沉積在碳管上方有品質不佳的情形，可能可以透過製程調整予以改善，或是選用其它材料替代。對於碳管上可能殘存的金屬成分，可以增加酸洗的步驟去除。至於機制的驗證部分，藉由使用不同的氧化層材料，可觀察是否仍有電荷儲存的現象，幫助釐清是否為氧化層中的未鍵結分子和碳管結合後所造成的記憶體特性，但是如果鑒定是甚麼樣的分子反應，難度很高。造成本論文觀察到的儲存正電荷和 2007 年發表的儲存負電荷的差異的原因，也是非常值得進一步研究的主題。



參考文獻

- 【1】 S. Iijima, “Helical microtubules of graphitic carbon,” *Nature*, vol.354, pp.56-58, 1991.
- 【2】 Paul L. McEuen, Michael S. Fuhrer, and Hongkun Park, “Single-walled carbon nanotube Electronics,” *IEEE transactions on nanotechnology*, vol.1, pp.78-85, 2002.
- 【3】 V. Derycke, R. Martel, J. Appenzeller, and Ph. Avouris, “Controlling doping and carrier injection in carbon nanotube transistors,” *Appl. Phys. Lett.*, vol.80, pp.2773-2775, 2002.
- 【4】 Zhen Yao, Charles L. Kane, and Cees Dekker, “High-field electrical transport in single-wall carbon nanotubes,” *Phys. Rev. Lett.*, vol.84, pp.2941, 2000.
- 【5】 Sami Rosenblatt, Yuval Yaish, Jiwoong Park, Jeff Gore, Vera Sazonova, and Paul L. McEuen, “High Performance Electrolyte Gated Carbon Nanotube Transistors,” *Nano Lett.*, vol.2, pp.869-872, 2002.
- 【6】 V. Derycke, R. Martel, J. Appenzeller, and Ph. Avouris, “Controlling doping and carrier injection in carbon nanotube transistors,” *Appl. Phys. Lett.*, vol.80, pp.2773-2775, 2002.
- 【7】 Moonsub Shim, Ali Javey, Nadine Wong, Shi Kam, and Hongjie Dai, “Polymer functionalization for air-stable n-type carbon nanotube field-effect transistors,” *J. Am. Chem. Soc.*, vol.123, pp.11512-11513, 2001.
- 【8】 S. Heinze, J. Tersoff, R. Martel, V. Derycke, J. Appenzeller, and Ph. Avouris, “Carbon Nanotubes as Schottky Barrier Transistors,” *Phys. Rev. Lett.*, vol.89, pp.106801 , 2002.
- 【9】 Ali Javey, Jing Guo, Qian Wang, Mark Lundstrom, and Hongjie Dai, “Ballistic carbon nanotube field-effect transistors,” *Nature*, vol.424, pp.654, 2003.
- 【10】 Zhiyong Zhang, Xuelei Liang, Sheng Wang, Kun You, Youfan Hu, Yuzhwn Zhu, Qing

- Chen, Weiwei Zhou, Yan Li, Yagang Yao, Jin Zhand, and Lian-Mao Peng, "Doping-free fabrication of carbon nanotube based ballistic CMOS devices and circuits," *Nano Lett.*, vol.7, pp.3603-3607, 2007.
- 【11】 Zhihong Chen, Joerg Zppenzeller, Joachim knoch, Yu-ming Lin, and Phaedon Avouris, "The role of metal-nanotube contact in the performance of carbon nanotube field-effect transistors," *Nano Lett.*, vol.5, pp.1497-1502, 2005.
- 【12】 Yu-Chih Tseng, Kinyip Phoa, David Carlton, and Jeffrey Bokor, "Effect of diameter variation in a large set of carbon nanotube transistors," *Nano Lett.*, vol.6, pp.1364-1368, 2006.
- 【13】 Y. Zhang and Hongjie Dai, "Formation of metal nanowires on suspended single-walled carbon nanotubes," *Appl. Phys. Lett.*, vol.77, pp.3015, 2000.
- 【14】 V. Derycke, R. Martel, J. Appenzeller, and Ph. Avouris, "Controlling doping and injection in carbon nanotube transistors," *Appl. Phys. Lett.*, vol.80, pp.2773, 2002.
- 【15】 Ali Jzvey, Moonsub Shim, and Hongjie Dai, "Electrical properties and devices of large-diameter single-walled carbon nanotubes," *Appl. Phys. Lett.*, vol.80, pp.1064, 2002.
- 【16】 Robert J. Chen, Nathan R. Franklin, Jing Kong, Jien Cao, Thomas W. Tomblor, Yuegang Zhang, and Hohgjie Dai, "Molecular photodesorption from single-walled carbon nanotubes," *Appl. Phys. Lett.*, vol.79, pp.2258, 2001.
- 【17】 Moonsub Shim, Ju Hee Back, Taner Ozel, and Kwan-Wook Kwon, "Effects of oxygen on the electron transport properties of carbon nanotubes: Ultraviolet desorption and thermally induced processes," *Phys. Rev. B*, vol.71, pp.205411, 2005.
- 【18】 Yosuke Noshio, Yutaka Ohno, Shigeru Kishimoto, and Takashi Mizutani, "n-type carbon nanotube field-effect transistors fabricated by using Ca contact electrodes," *Appl. Phys. Lett.*, vol.86, pp.073105, 2005.
- 【19】 Woong Kim, Ali Javey, Ophir Vermesh, Qizn Wang, Yiming Li, and Hongjie Dai,

- “Hysteresis caused by water molecules in carbon nanotube field-effect transistors,” *Nano Lett.*, vol.3, pp.193-198, 2003.
- 【20】 Jing Kong, Nathan R. Franklin, Chongwu Zhou, Michael G. Chapline, Shu Peng, Kyeongjae Cho, Hongjie Dai, “Nanotube molecular wires as chemical sensors,” *Science*, vol.287, pp.622, 2000.
- 【21】 C. Liu, Y. Y. Fan, M. Liu, H. T. Cong, H. M. Cheng, and M. S. Dresselhaus, “Hydrogen storage in single-walled carbon nanotubes at room temperature,” *Science*, vol.286, pp.1127, 1999.
- 【22】 Chuanhong Jin, Kazu Suenaga, and Sumio Iijima, “Vacancy migrations in carbon nanotubes,” *Nano Lett.*, vol.8, pp.1127-1130, 2008.
- 【23】 Philip G. Collins, Michael S. Arnold, Phaedon Avouris, “Engineering carbon nanotubes and nanotube circuits using electrical breakdown,” *Science*, vol.292, pp.706, 2001.
- 【24】 Ralph Krupke, Frank Hennrich, Hilbert v. Lohneysen, Manfred M. Kappes, “Separation of metallic from semiconducting single-walled carbon nanotubes,” *Science*, vol.301, pp.344, 2003.
- 【25】 Guangyu Zhang, Pengfei Qi, Xinran Wang, Yuerui Lu, Xiaolin Li, Ryan Yu, Sarunya Bangsaruntip, David Mann, Li Zhang, and Hongjie Dai, “Selective etching of metallic carbon nanotubes by gas-phase reaction,” *Science*, vol.314, pp.9746, 2006.
- 【26】 X. Duan, C. Niu, V. Sahi, J. Chen, J. W. Parce, S. Empedocles, and J. L. Goldman, “High-performance thin-film transistors using semiconductor nanowires and nanoribbons,” *Nature*, vol.425, pp.274, 2003.
- 【27】 M. Burghard, G. Duesberg, G. Philipp, J. Muster, and S. Roth, “Controlled adsorption of carbon nanotubes on chemically modified electrode arrays,” *Adv. Mater.*, vol.10, p.584, 1998.
- 【28】 Yu Huang, Xiangfeng Duan, Qingqiao Wei, and Charles M. Lieber, “Directed

- assembly of one-dimensional nanostructures into functional networks,” *Nature*, vol.291, p.630, 2001.
- 【29】 Huijun Xin, and Adam T. Woolley, “Directional orientation of carbon nanotubes on surfaces using a gas flow cell,” *Nano Lett.*, vol.4, p.1481, 2004.
- 【30】 Hyunhyub Ko, and Vladimir V. Tsukruk, “Liquid-crystalline processing of highly oriented carbon nanotube arrays for thin-film transistors,” *Nano Lett.*, vol.6, p.1443, 2006.
- 【31】 E. S. Snow, J. P. Novak, P. M. Campbell, and D. Park, “Random networks of carbon nanotubes as an electronic material,” *Appl. Phys. Lett.*, vol.82, pp.2145-2147, 2003.
- 【32】 E. S. Snow, P. M. Campbell, M. G. Ancona, and J. P. Novak, “High-mobility carbon-nanotube thin-film transistors on a polymeric substrate,” *Appl. Phys. Lett.*, vol.86, pp.033105, 2005.
- 【33】 L. Hu, D. S. Hecht, and G. Grüner, “Percolation in Transparent and Conducting Carbon Nanotube Networks,” *Appl. Phys. Lett.*, vol.4, p.2513, 2004.
- 【34】 Yangxin Zhou, Liangbing Hu, and George Grüner, “A method of printing carbon nanotube thin films,” *Appl. Phys. Lett.*, Vol.88, p.123109, 2006.
- 【35】 X. B. Lu and J. Y. Dai, “Memory effects of carbon nanotubes as charge storage nodes for floating gate memory applications,” *Appl. Phys. Lett.*, vol.88, pp.113104, 2006.
- 【36】 Seong-Wan Ryu, Xing-Jiu Huang, and Yang-Kyu Cho, “Vertically standing carbon nanotubes as charge storage nodes for an ultimately scaled nonvolatile memory application,” *Appl. Phys. Lett.*, vol.91, pp.063110, 2007.
- 【37】 Thess, R. Lee, P. Nikolaev, H. J. Dai, P. Petit, J. Robert, C. H. Xu, Y. H. Lee, S. G. Kim, A. G. Rinzler, D. T. Colbert, G. E. Scuseria, D. Tomanek, J. E. Fischer, and R. E. Smalley,, “Crystalline Ropes of Metallic Carbon Nanotubes”, *Science*, vol.273, pp.483, 1996.
- 【38】 Konstantin B. Shelimov, Rinat O. Esenaliev, Andrew G. Rinzler, Chad B. Huffman,

- and Richard E. Smalley, "Purification of single-wall carbon nanotubes by ultrasonically assisted filtration," *Chem. Phys. Lett.*, vol.282, pp.429-434, 1998.
- 【39】Guangyu Zhang, Pengfei Qi, Xinran Wang, Yuerui Lu, Xiaolin Li, Ryan Yu, Sarunya Bangsaruntip, David Mann, Li Zhang, and Hongjie Dai, "Selective etching of metallic carbon nanotubes by gas-phase reaction," *Science*, vol.314, pp.9746, 2006.
- 【40】G. Grüner, "Carbon nanotube films for transparent and plastic electronics," *J. Mater. Chem.*, vol.16, pp.3533-3539, 2006.
- 【41】E. S. Snow, P. M. Campbell, M. G. Ancona, and J. P. Novak, "High-mobility carbon-nanotube thin-film transistors on a polymeric substrate," *Appl. Phys. Lett.*, vol.86, pp.033105, 2005.
- 【42】S. M. Rosnagel, T. S. Kuan, "Alteration of Cu conductivity in the size effect regime," *J. Vac. Sci. Technol. B*, vol.22, pp.240, 2004.
- 【43】H. D. Liu, Y. P. Zhao, G. Ramanath, S. P. Murarka, and G. C. Wang, "Thickness dependent electrical resistivity of ultrathin (<40nm) Cu films," *Thin Solid Films*, vol.384, pp.151-156, 2001.
- 【44】H. L. Skriver, and N. M. Rosengaard, "Surface energy and work function of elemental metals," *Phys. Rev. B*, vol.46, pp.7157, 1992.
- 【45】Dieter K. Schroder, Jeff A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. of Appl. Phys.*, vol.94, pp.1-18, 2003.
- 【46】C. Nowak, R. Kirchheim, and G. Schmitz, "Electric-field-induced low temperature oxidation of tungsten nanowires," *Appl. Phys. Lett.*, vol.89, pp.143104, 2006.
- 【47】C. Kocabas, N. Pimparkar, O. Yesilyurt, S. J. Kang, M. A. Alam, and J. A. Rogers, "Experimental and theoretical studies of transport through large scale, partially aligned arrays of single-walled carbon nanotubes in thin film type transistors" *Nano Lett.*, vol.7, pp.1195-1202, 2007.

個人簡歷

姓名：張孝瑜

性別：女

出生年月日：民國 73 年 2 月 4 日

學歷：

龍安國小 (79.9-85.6)

金華國中 (85.9-88.6)

台北市立第一女子高級中學 (88.9-91.6)

國立清華大學材料科學系 (91.9-95.6)

國立交通大學電子所碩士 (95.9-97.6)



碩士論文題目：

單壁奈米碳管網絡應用於薄膜電晶體與非揮發性記憶體之特性研究

A Study on Single-Walled Carbon Nanotube Network for Thin -Film Transistor and Nonvolatile Memory Applications