

國立交通大學

電子工程學系電子研究所碩士班

碩士論文

使用 $0.13\ \mu\text{m}$ 互補式金氧半製程設計之 3.125Gb/s 光通訊
接收端可適性等化器架構

A 3.125-Gb/s Optical Receiver with Adaptive Equalizer in
 $0.13\ \mu\text{m}$ CMOS Technology

研究生：易秉威

Bin-Wei Yi

指導教授：蔡嘉明 教授

Prof. Chia-Ming Tsai

中華民國九十八年二月

使用 $0.13\ \mu\text{m}$ 互補式金氧半製程設計之 3.125Gb/s 光通訊
接收端可適性等化器架構

A 3.125-Gb/s Optical Receiver with Adaptive Equalizer in
 $0.13\ \mu\text{m}$ CMOS Technology

研究生：易秉威

Student：Bin-Wei Yi

指導教授：蔡嘉明 教授

Advisor：Prof. Chia-Ming Tsai

國立交通大學

電子工程學系電子研究所碩士班

碩士論文

A Thesis

Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electronics Engineering

January 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年二月

使用 $0.13\mu\text{m}$ 互補式金氧半製程設計之 3.125Gb/s 光通訊接收端可適性等化器架構

學生：易秉威

指導教授：蔡嘉明 教授

國立交通大學

電子工程學系電子研究所碩士班

摘 要



本論文設計單晶整合光接收器，在標準金氧半製程裡整合檢光二極體與接收器前端電路。接收器使用可適性等化器之架構來補償不同光波長之頻率響應，並使用源極退化級及負阻抗的技術，使其頻寬從 5MHz 提升到 2.2GHz。本次提出雙迴圈的控制系統，內含一個將高頻資訊擷取成數位訊號的斜率偵測器，並使用一個利用直流準位來控制訊號振幅的仿製路徑，這兩電路使本次的架構具有高迴圈增益並同時減輕了兩個迴圈互相干擾造成的補償誤差。光接收器之設計目標在不同輸入光強度情況下都能達到 600nm-850nm 的光波長可適性。因應不同光波長造成的響應，使用可調式等化器與可變增益放大器來確保補償能適當執行。為了接收多模光纖所有的雷射光能量，本次採用的檢光二極體面積為 $70\mu\text{m} \times 70\mu\text{m}$ 。檢光二極體在 3.125GHz 的高頻衰減可利用不同的逆偏電壓作出最多 14dB 的改善。在 850nm 光波長下量測，設計之光接收器可因應不同的入射光強度作出適當的補償，在檢光二極體響應率為 0.123A/W 時，達到 -5.2dBm 的靈敏度，針對不同逆偏壓的檢光二極體，光接收器也能自動對高頻衰減作出不同程度的補償。設計的晶片面積為 $1\text{mm} \times 1\text{mm}$ ，在 1.5V 供應電壓下消耗 120mW 的功率。

A 3.125-Gb/s Optical Receiver with Adaptive Equalizer in 0.13 μ m CMOS Technology

Student : Bin-Wei Yi

Advisor : Prof. Chia-Ming Tsai

Department of Electronics Engineering & Institute of Electronics
National Chiao Tung University

Abstract



This thesis presents monolithically integrated optical receivers, consisting of integrated photodiodes and receiver front-end circuits in standard CMOS process. The optical receiver adopts adaptive equalizer architecture to compensate the response of different light wavelength. Source degeneration and negative impedance is adopted to improve the bandwidth from 5MHz to 2.2GHz. This design provides a dual loop control system. The receiver incorporates a slope detector to transform the high frequency content of signal to digital output and incorporate a dummy path to control signal swing by detecting the DC level. These two design blocks enhance the loop gain and reduce the compensation error caused by the interaction of two loops. This design is for adaptability of 600nm-850nm light wavelength in different light power. Therefore, the tunable equalizer and a variable gain amplifier in the receiver are used for appropriate compensation. In order to collect all the laser power from multi-mode fiber, the photo diode's area is designed to be 70 μ m \times 70 μ m. By using different

reversed biased voltage on photo diode improves 14dB of the high frequency roll-off at 3.125GHz. Measurement result by using 850nm light wavelength achieves the adaptability of different light power and -5.2dBm sensitivity when responsivity of photo diode is 0.123A/W. Measurement result also achieves the adaptability for different roll-off of different reversed biased photo diode. The chip dissipates 120mW from a 1.5V supply voltage and its area is 1mm×1mm.



誌 謝

在這兩年多的碩士生涯，經過了許多人的幫忙，才能順利完成研究。

最感激的是指導老師蔡嘉明博士。老師提供了非常多的建議及幫助，使得我的研究得以排除阻礙，持續的前進，同時也不斷的提醒我作研究的態度，並花費許多的心思使我能夠迎向未來的挑戰。實在非常的幸運有老師這麼用心的指導。

此外，感謝郭建男及洪浩喬教授對於本論文的建議及指正，讓論文能更加充實。同時也感謝佶品公司的老闆和蔚華科技的工程師們所給予的協助，感謝工業技術研究院提供的先進半導體製程。

非常感謝珣益學長，能完整的將研究交接給我，也常常在疲憊的工作中抽出時間與我討論研究的內容，並在我遇到挫折時不斷的給我打氣。也要謝謝宜興、建君及茂成學長，總是能在我遇到研究上的困難時提供我有用的建議。多虧了昭安，從你那得到的許多協助，常能使我解決緊急的問題，還有承曄學弟在我下晶片時為我分擔了許多的工作，才得以順利的完成實驗。並謝謝勛哲、致煌及至中學弟提供許多研究及實驗室事務上的協助。

謝謝父母讓我無後顧之憂的專心於研究，您們的照顧及支持，讓我終於能完成我的學生生涯。謝謝靜怡，因為有你，讓我能夠撐過許多的挫折及困難。謝謝你們陪我渡過這艱難的研究生活。

僅以此論文獻給我最愛的家人以及關心我的師友們。

易秉威

2009/2/10

目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iv
目錄.....	v
表目錄.....	vii
圖目錄.....	viii
第一章 簡介.....	1
1.1 研究背景.....	1
1.2 光纖系統簡介.....	2
1.3 論文大綱.....	2
第二章 單晶整合光接收器及等化器相關背景.....	4
2.1 檢光二極體簡介.....	4
2.1.1 光偵測原理.....	4
2.1.2 金氧半檢光二級體結構.....	5
2.1.3 檢光二極體頻率響應.....	5
2.2 等化器相關研究介紹.....	6
2.2.1 使用斜率偵測器的單迴圈可適性等化器架構.....	6
2.2.2 使用高低通濾波器的雙迴圈可適性等化器架構.....	8
2.2.3 使用高低通濾波器的單迴圈可適性等化器架構.....	9
第三章 3.125Gb/s的單晶整合光接收器設計.....	11
3.1 研究動機.....	11
3.2 檢光二極體結構與模型建立.....	12
3.2.1 檢光二極體結構.....	12
3.2.2 Medici模擬及ADS模型建立.....	12
3.3 光接收器架構簡介及設計概念.....	13
3.3.1 等化器設計概念.....	13
3.3.2 光接收器架構簡介.....	14
3.3.3 系統迴圈分析.....	17
3.4 電路設計與模擬結果.....	21
3.4.1 轉阻放大器.....	21
3.4.2 可調式等化器.....	24
3.4.3 可變增益放大器.....	29
3.4.4 斜率偵測器.....	30
3.4.5 仿製路徑.....	33
3.4.6 誤差放大器.....	35
3.4.7 迴圈行為.....	36

3.4.8	雜訊分析.....	42
3.4.9	電路佈局.....	42
3.5	量測結果.....	44
3.5.1	量測環境.....	44
3.5.2	單晶整合光接收器量測.....	46
3.5.3	檢光二極體量測.....	52
3.5.4	大逆偏壓之檢光二極體及光接收器量測.....	55
第四章	結論與未來展望.....	57
參考文獻	58
附錄	60
簡歷	64



表目錄

表 1. 1 SONET與SDH相對應資料傳輸速率規格表.....	1
表 2. 1 相關研究發展現況總結.....	10
表 3. 1 預計規格列表.....	44
表 3. 2 量測結果列表與比較.....	51



圖目錄

圖 1. 1 光纖通訊系統.....	2
圖 2. 1 矽材料對波長之響應率.....	4
圖 2. 2 金氧半檢光二極體結構.....	5
圖 2. 3 檢光二極體各成分之頻率響應.....	6
圖 2. 4 使用斜率偵測器的單迴圈可適性等化器架構.....	7
圖 2. 5 斜率偵測器及其操作行為.....	7
圖 2. 6 斜率偵測器對不同輸入振幅的操作行為.....	8
圖 2. 7 使用高低通濾波器的雙迴圈可適性等化器架構.....	9
圖 2. 8 使用高低通濾波器的單迴圈可適性等化器架構.....	9
圖 2. 9 訊號頻譜分析.....	10
圖 3. 1 多指N-WELL/P-SUBSTRATE型檢光二極體結構圖.....	12
圖 3. 2 MEDICI模擬和ADS模型對應圖.....	13
圖 3. 3 設計概念.....	13
圖 3. 4 斜率偵測器概念圖.....	14
圖 3. 5 仿製路徑示意圖.....	15
圖 3. 6 直流消除迴圈所決定之額外電流示意圖.....	16
圖 3. 7 仿製路徑之操作行為概念圖.....	16
圖 3. 8 光接收器架構.....	17
圖 3. 9 光接收器系統之等效訊號流程圖.....	18
圖 3. 10 控制訊號和訊號強度改變量之關係圖.....	19
圖 3. 11 共源極轉阻放大器一階等效模型.....	21
圖 3. 12 轉阻放大器雜訊等效半電路.....	22
圖 3. 13 轉阻放大器.....	23
圖 3. 14 米勒及主動式負電容效應.....	23
圖 3. 15 直流消除迴圈概念圖.....	24
圖 3. 16 可調式等化器.....	24
圖 3. 17 補償式源極退化級之半電路.....	25
圖 3. 18 加成控制器及其操作圖.....	27
圖 3. 19 等化器之高頻補償能力.....	27
圖 3. 20 等化器針對目標波長的補償，(A) 600nm，(B)850nm.....	28
圖 3. 21 不同波長的補償前後之群延遲，(A) 600nm，(B)850nm.....	29
圖 3. 22 可變增益放大器.....	30
圖 3. 23 可變增益放大器之頻寬與增益關係圖模擬.....	30
圖 3. 24 斜率偵測器之電路設計原理.....	31

圖 3. 25 斜率偵測電路及電流比較器	31
圖 3. 26 電流相加原理	32
圖 3. 27 斜率偵測器之行為模擬	32
圖 3. 28 參考電壓差距對輸出電流差異之關係圖	33
圖 3. 29 仿製路徑之尺寸設計	34
圖 3. 30 仿製路徑中的等化器	34
圖 3. 31 仿製路徑之功能模擬	35
圖 3. 32 誤差放大器	35
圖 3. 33 誤差放大器之頻率響應	36
圖 3. 34 控制電壓與其對應的被控制輸出	36
圖 3. 35 斜率控制轉換曲線	37
圖 3. 36 直流控制轉換曲線	37
圖 3. 37 改變檢光二極體電流之暫態圖	38
圖 3. 38 輸入電流為(A) $300 \mu A$ 及轉換成 (B) $20 \mu A$ 的輸出訊號眼圖	38
圖 3. 39 改變輸入光波長之暫態圖	39
圖 3. 40 輸入光波長為(A) 850nm 及轉換成 (B) 600nm 的輸出訊號眼圖	39
圖 3. 41 系統對於控制雜訊電壓的暫態圖	40
圖 3. 42 不同光波長之電路輸出眼圖	40
圖 3. 43 不同情況下執行可適性操作的眼圖	41
圖 3. 44 參考電壓差異變動情況下迴圈控制後的眼圖	41
圖 3. 45 電路佈局圖	43
圖 3. 46 電路佈局放大圖	43
圖 3. 47 暫態響應量測環境	45
圖 3. 48 頻率響應量測環境	46
圖 3. 49 等化器關閉情況下的輸出訊號眼圖	46
圖 3. 50 等化器控制電壓與高頻衰減關係圖	47
圖 3. 51 光強度和控制電壓的關係圖	47
圖 3. 52 輸入光強度(A) 1X, (B) 0.3X 經迴圈控制後輸出訊號眼圖	48
圖 3. 53 眼圖量測(-5.2dBm, 速度 3.125Gb/s)	48
圖 3. 54 雜訊之直方圖量測	49
圖 3. 55 推估靈敏度時的輸出訊號振幅	49
圖 3. 56 光接收器誤碼率量測	50
圖 3. 57 不同訊號速度之靈敏度量測	50
圖 3. 58 光接收器晶片照相圖	51
圖 3. 59 檢光二極體量測設定	52
圖 3. 60 頻光二極體頻率響應	52
圖 3. 61 逆偏電壓對檢光二極體頻寬之影響圖	53
圖 3. 62 逆偏電壓對檢光二極體高頻衰減之影響圖	53

圖 3. 63 逆偏電壓對檢光二極體所產生電流之影響圖.....	54
圖 3. 64 逆偏 14.3V時的檢光二極體暫態響應.....	54
圖 3. 65 大逆偏壓之檢光二極體及光接收器之整合概念圖.....	55
圖 3. 66 不同逆偏壓與控制電壓關係圖.....	55
圖 3. 67 不同逆偏壓與高頻衰減的關係圖.....	56
圖 3. 68 鏑線效應圖.....	56
圖 3. 69 鏑線效應模擬圖.....	56



第一章 簡介

1.1 研究背景

目前數位化光纖通訊系統已廣泛的應用在長途電信(Telecommunication)及資料通訊(Data Communication)上。其中，長途電信系統以單模光纖(Single-Mode Fiber)為主，其光源多操作於 1310 nm/1550 nm 的波長，應用於數十公里至數百公里的距離；資料通訊屬於短距離通訊，以多模光纖(Multi-Mode Fiber)為主，多採用 850 nm 波長，應用在區域性的網路交換或晶片間的連接上。

現有的光通訊傳輸標準有 SONET (Synchronous Optical Network)及 SDH (Synchronous Digital Hierarchy)兩種，兩者皆是被國際電信聯盟所認可的國際標準，表 1.1 為這兩種標準下不同資料傳輸速率所相對應的規格。

SONET STANDARD	SDH STANDARD	BIT RATE
OC-1	STM-0	51.84Mbps
OC-3	STM-1	155.52Mbps
OC-12	STM-4	622.08Mbps
OC-24	—	1.2441Gbps
OC-48	STM-16	2.4883Gbps
OC-192	STM-64	9.9532Gbps
OC-768	STM-256	39,813Gbps
OC-3072	STM-1024	159.252Gbps

表 1.1 SONET 與 SDH 相對應資料傳輸速率規格表

物理層的傳輸標準，由國際電信標準 ITU(International Telecommunication Unity)所制定，其中提出了短中長距離不同位元率下所需的傳送／接收、通道、光波長及量測的規範。過去，高速光通訊的相關元件和研究侷限於長距離的電信資訊交換。然而，隨著半導體製程的進步，元件及電路的設計製造成本大幅的降低，中距離和短距離的應用規格於焉產生。於是，如何將光電元件與電路整合於廉價的 CMOS 製程裡，便是一值得探究的課題。

1.2 光纖系統簡介

圖 1.1 為一個光纖通訊系統的架構圖[1]。光信號經由光纖傳遞，在接收端由一個檢光二極體 (photodiode, PD) 產生正比於光功率的電流信號，經由轉阻放大器 (Transimpedance amplifier, TIA) 將電流轉為電壓，再由限幅放大器 (Limiting Amplifier, LA) 放大至數百毫伏特後，送入時脈資料回復電路 (Clock and Data Recovery, CDR) 取出時脈並重新定位信號，再經解多工器 (demultiplexer, DMUX) 將信號切為 n 等分送入數位邏輯 (digital logic) 做數位信號處理，此為接收端的部分。

在傳送端，信號從數位邏輯送出，經由多工器 (Multiplexer, MUX) 合併為一高速的資料串流，而多工器的信號選擇由時脈合成單元 (Clock Multiplication Unit, CMU) 執行。最後，一個雷射驅動器 (Laser Driver) 藉由調變雷射二極體 (Laser Diode, LD) 的電流將電信號轉為光訊號，經由光纖送出。

本研究要設計的部分為接收器前端電路，包含了一整合進 CMOS 的檢光二極體、轉阻放大器和增益放大器，此外並為特定應用加入額外電路，如後文所描述。

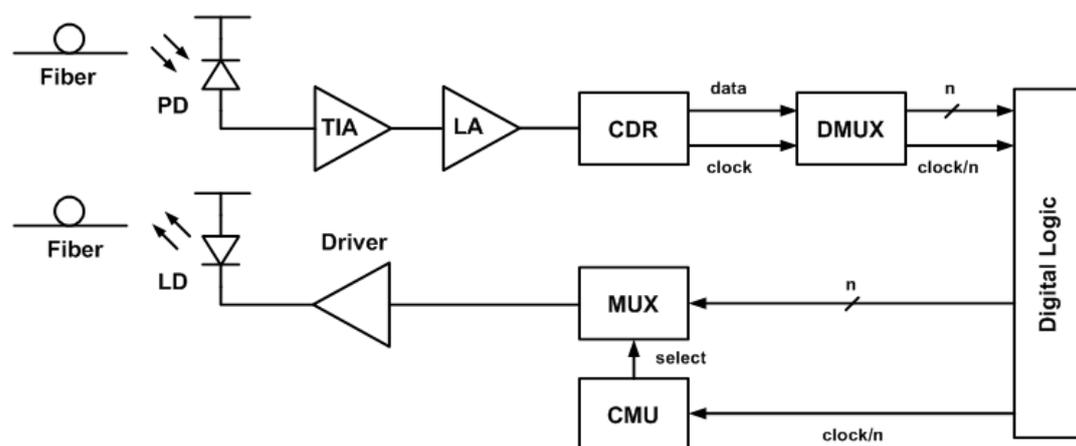


圖 1. 1 光纖通訊系統

1.3 論文大綱

本論文由四個章節所構成。第二章介紹單晶整合光接收器的相關背景，先概述光纖通訊系統，而後討論檢光二極體，包含光偵測原理、檢光二極體結構和頻

率響應等，最後再討論可適性均衡器(Adaptive Equalizer)架構的研究發展現況。

第三章以 $0.13\mu\text{m}$ CMOS 製程設計出一個 3.125Gb/s 的寬頻單晶整合光接收器。先談及採用的檢光二極體架構與模型建立。並以訊號流程圖(Signal Flow Graph, SFG)圖對提出的可適性均衡器架構作穩定性分析。這次的電路設計包含了轉阻放大器、加性均衡器、可變增益放大器及提供迴圈資訊的直流及高頻判斷電路。量測的結果驗證了此設計的可行性。

第四章為結論與未來可以改進的地方。



第二章 單晶整合光接收器及等化器相關背景

2.1 檢光二極體簡介

2.1.1 光偵測原理

檢光二極體為一個操作於逆偏的 PN 接面。當光打入檢光二極體時，在能量大於矽能隙 (bandgap) 的條件下，位於價帶的電子會躍升至傳導帶，產生一對電子電洞對。在空乏區內產生的載子藉由較快的飄移 (drift) 機制所收集，在空乏區外的少數載子則由較慢的擴散 (diffusion) 機制傳輸，光電流即為這兩種載子流動的總和。緩慢的擴散載子在暫態響應上產生一尾狀響應 (tail response)，限制了檢光二極體的速度。於是，增加逆偏電壓或調整 PN 接面摻雜輪廓使空乏區變大，便可有較高速的響應。

響應率 (responsivity) 為檢光二極體的重要參數，被定義成單位入射光能量所能產生的電流比例。圖 2.1 為不同材料對光波長的響應率，可以看到對矽而言，其響應率的最大值約在光波長為 850nm 時。

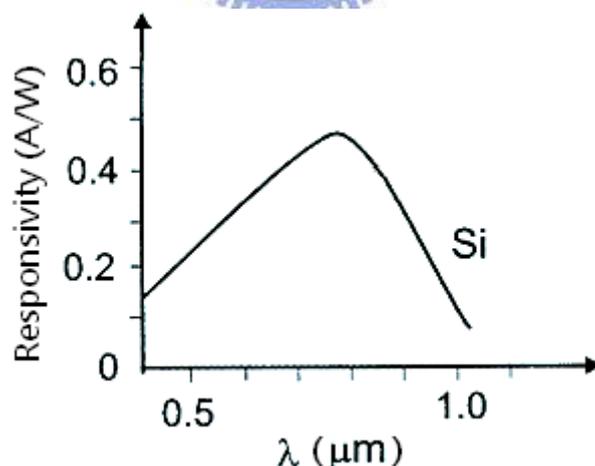


圖 2. 1 矽材料對波長之響應率

2.1.2 金氧半檢光二級體結構

檢光二級體為一逆偏的 PN 接面，因而在 CMOS 製程裡可實現的結構有 $P^+/N\text{-well}$ 、 $N\text{-well}/P\text{-substrate}$ 和 $N^+/P\text{-substrate}$ ，如圖 2.2 所示。

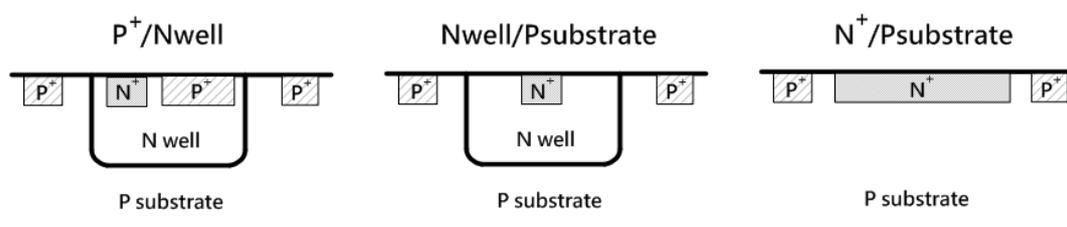


圖 2. 2 金氧半檢光二級體結構

$P^+/N\text{-well}$ 與 $N^+/P\text{-substrate}$ 的檢光二級體其接面深度較淺，故接收效率較差。由於前者接收光時並無牽扯到基版深處的緩慢擴散載子，因而有較快的速度；然而，後者雖然速度較慢，卻因大量的基版擴散載子而有較大的信號成分。 $N\text{-well}/P\text{-substrate}$ 有最深的接面，且其摻雜濃度較淺故空乏區較大，因而接收效率最好。最後，我們選擇有最大信號成分但速度較慢的 $N\text{-well}/P\text{-substrate}$ 檢光二級體，原因是信號小的話其差的信雜比無法改善，然而速度慢卻可以電路技巧補償。

2.1.3 檢光二極體頻率響應

考慮元件的二維效應，從[2]的結果可以看出在 CMOS 檢光二極體內不同成分電流的頻率響應，圖 2.3 為以 850nm 光波長照射在檢光二極體上的響應，可看出高速的飄移載子有最高的頻寬， $N\text{-well}$ 擴散子因為離接面較近所以有次之的頻寬。 $P\text{-substrate}$ 擴散載子雖有最佳的響應率，但其緩慢的速度同時也限制住了檢光二極體的總和頻寬。之後電路的設計，主要是針對此擴散載子的低速表現作補償，並進而達到要求的接收器工作速度。

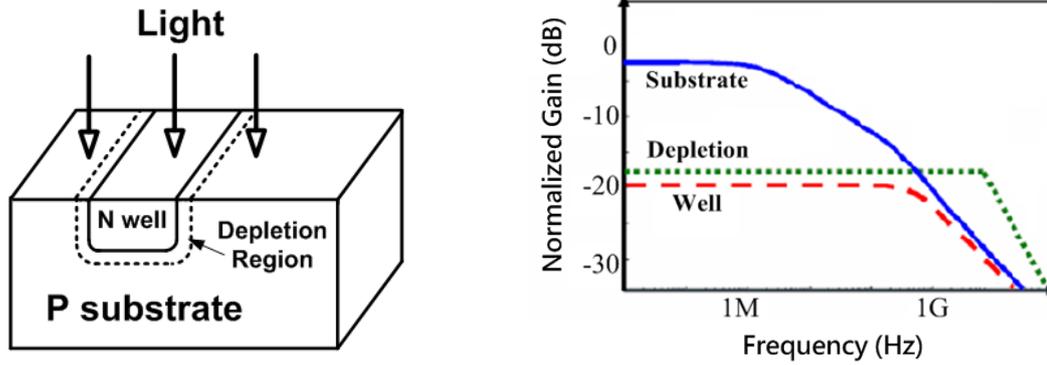


圖 2. 3 檢光二極體各成分之頻率響應

2.2 等化器相關研究介紹

2.2.1 使用斜率偵測器的單迴圈可適性等化器架構

上節提到 CMOS 製程裡的檢光二極體有著低速的頻率響應，並為了能夠使光接收器接收不同光波長，需要提出一個可偵測不同光波長的響應並作出合適高頻補償的可適性等化器架構。

現今已有的純類比可適性等化器 (Analog Adaptive Equalizer) 架構多應用在電纜通訊系統，因此和本研究的應用有些許的差異，以下以三種具代表性的可適性等化器作討論。

傳統的可適性架構中，常使用限幅放大器 (Limiting Amplifier) 的概念，來得到一個速度極快但是相位不準確的參考訊號，之後藉由不同的偵測方式，將系統的輸入訊號與此參考訊號作比較，來得到高頻的差異，進而對輸入訊號作補償。

在圖 2.4[10] 中，使用了截波器 (Slicer) 來得到參考訊號，並利用斜率偵測器 (Slope Detector) 攫取高頻的資訊。斜率偵測器將參考訊號及輸入訊號的斜率取出後，將兩者的差異經過一個比較器放大，再產生控制電壓，進而對訊號作補償。

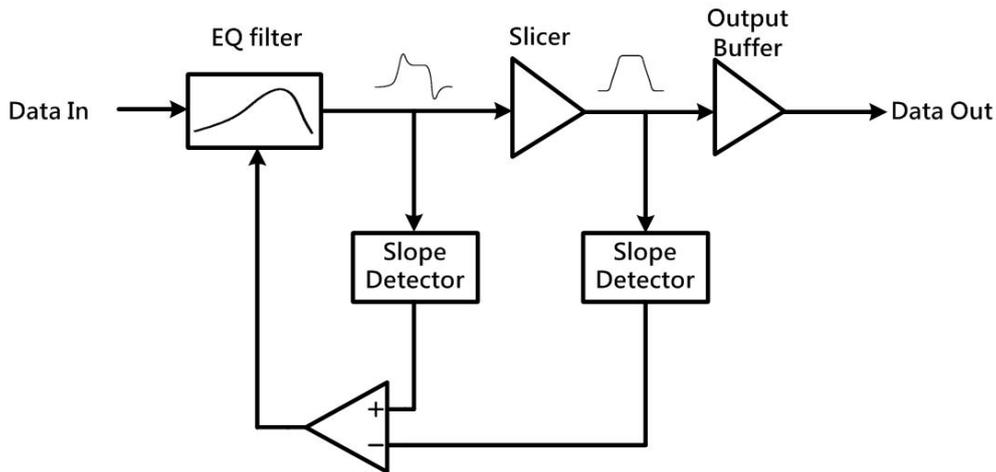


圖 2. 4 使用斜率偵測器的單迴圈可適性等化器架構

此架構中使用的斜率偵測器如圖 2.5(a)，它會偵測輸入訊號的斜率，並在輸出端得到不同大小的訊號，如圖 2.5(b)(c)。此偵測器在雙端輸入訊號大小為 1V 時，其取出的斜率訊號振幅不到 0.2V，再加上迴圈控制時，是用此斜率訊號的平均值來判斷，因此斜率偵測器會對訊號作嚴重的衰減，大幅減低系統的迴圈增益。

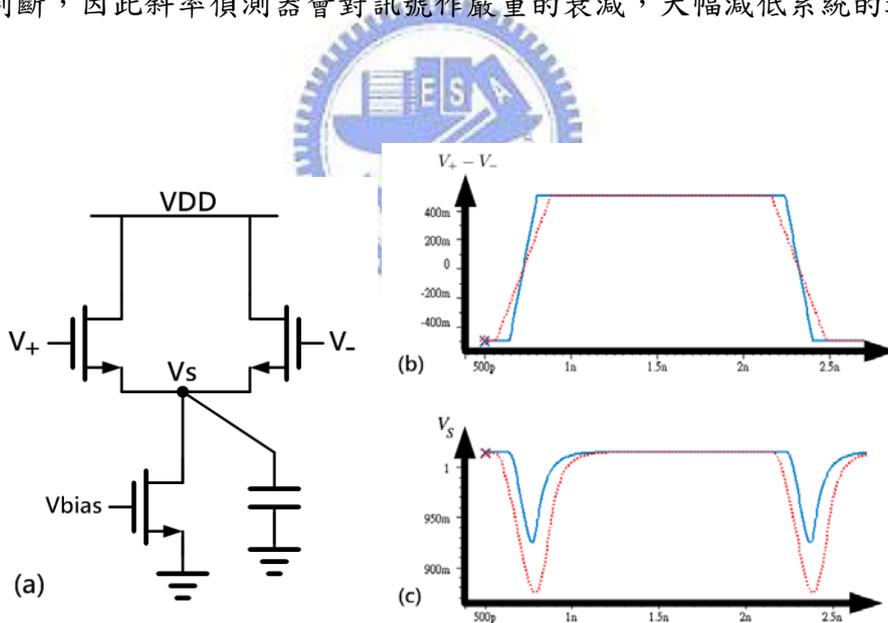


圖 2. 5 斜率偵測器及其操作行為

在此架構中，無法因應廣範圍的輸入訊號振幅，因為不同振幅會影響斜率偵測器的操作，如圖 2.6，輸入兩個不同大小的訊號，得到的斜率資訊不只在最高值有了變化，其產生的振幅也不同。此效應將會影響補償的精準性

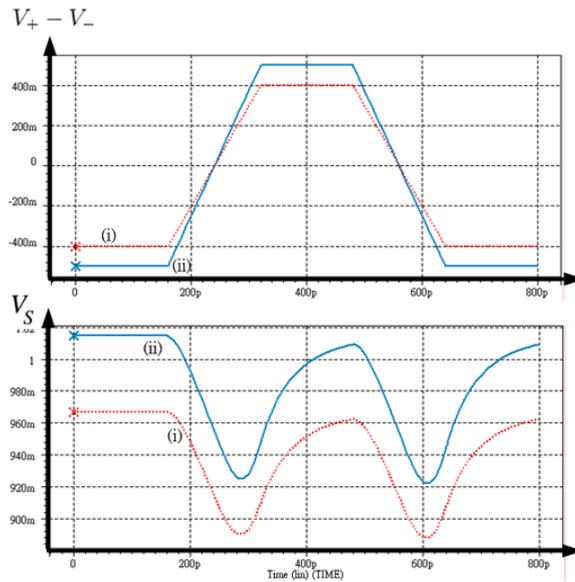


圖 2. 6 斜率偵測器對不同輸入振幅的操作行為

2.2.2 使用高低通濾波器的雙迴圈可適性等化器架構

在圖 2.7 的架構[11]中，利用了比較器(Comparator, CMP)來得到參考訊號，並利用濾波器(Filter)及整流器(Rectifier)來取出正比於訊號強度(Signal Power)的電壓，使用的整流器電路和圖 2.6(a)之電路相同。高頻的判斷是利用高通濾波器(High Pass Filter)取出輸入訊號和參考訊號的差異，並經由之後的誤差放大器(Error Amplifier)放大後，對電容充放電以改變控制電壓，進而作適當程度的補償。在這個架構中，還導入了低頻的控制迴路(Control Loop)，是因為訊號經傳輸後，會因經過電纜的長度不同而有不同的振幅衰減，須將振幅提升到和參考電壓相同，才不會使電路作過度的高頻補償，此作法改善了前一個架構的缺點。此架構使用了會對訊號作衰減的濾波器及整流器來取得訊號強度的資訊，因此減低了整個架構中的迴圈增益。另外，本架構中的兩個迴圈分別控制等化器及增益變化電路，其中等化器在運作時，會同時改變訊號的低頻及高頻成份，增益變化電路也有同樣的行為，因此電路中的兩個迴圈時時處在互相影響的狀況，會造成系統無法作精準的補償。

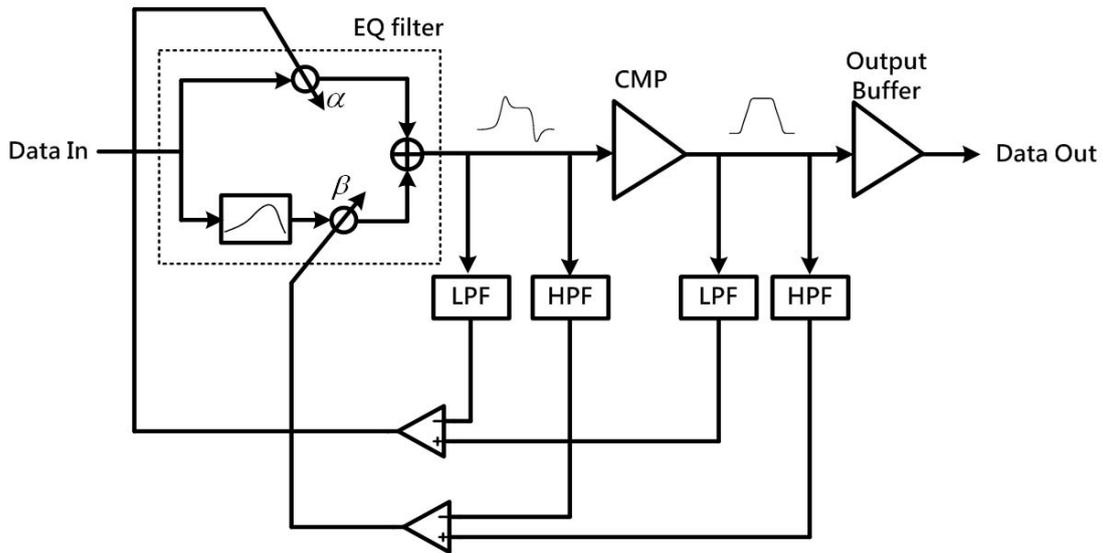


圖 2. 7 使用高低通濾波器的雙迴圈可適性等化器架構

2.2.3 使用高低通濾波器的單迴圈可適性等化器架構

圖 2.8 為一種不會因輸入振幅不同而造成補償不精準的單迴圈架構[13]，此架構分析隨機位元串流(Random Bit Stream)的訊號強度(Signal Power)分佈，並取出讓高頻及低頻強度相同的分界頻率，以此作為高通及低通濾波器的截止頻率(Cutoff Frequency)，如圖 2.9，此截止頻率是 0.28 倍的訊號速度。若訊號的高頻有衰減時，高通濾波器取出的訊號強度會小於低通濾波器的訊號強度，因此會增加等化器對高頻的補償量。此架構未對訊號的振幅作補償，雖然減少了兩迴圈的互相作用，但當輸入訊號較小時，經由濾波器得到的判斷訊號也會較小，因此仍有迴圈增益不足的缺點。表 2.1 是可適性電路相關研究發展比較表。

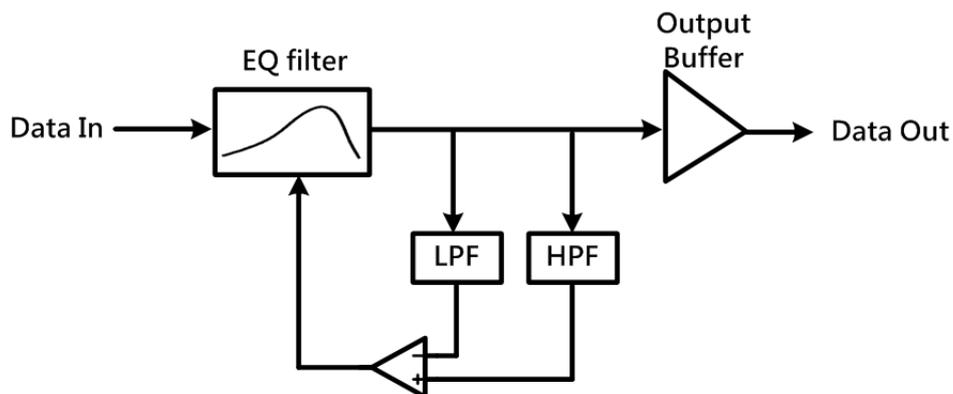


圖 2. 8 使用高低通濾波器的單迴圈可適性等化器架構

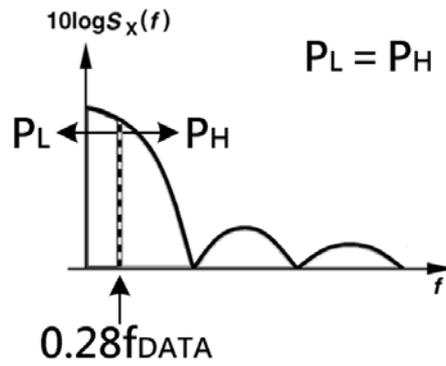


圖 2. 9 訊號頻譜分析

	[10]	[11]	[13]
Technology	150-GHz SiGe	0.18 μ m CMOS	0.13 μ m CMOS
Data rate	10Gb/s	3.5Gb/s	20Gb/s
Supply Voltage	3.3V	1.8V	1.5V
Power Diss.	155mW	80mW	60mW
BER	N/A	N/A	10^{-15}
Area	810 μ m \times 870 μ m	480 μ m \times 730 μ m	800 μ m \times 250 μ m

表 2. 1 相關研究發展現況總結

第三章 3. 125Gb/s的單晶整合光接收器設計

3.1 研究動機

在長距離的光纖傳輸系統中，光偵測器(Optical Detector)多以昂貴的 GaAs 或 InP-InGaAS 製程實現，由於費用可由各個通道上的使用者共同分擔，因此可被市場所接受。然而，在短距離的應用中(如區域網路、晶片間的連線)，因為通道無法被共用，因此對單一使用者而言其花費相當高昂。

為了降低短距資料傳輸的花費，我們傾向使用低成本的塑膠光纖、雷射和標準製程。在這樣的條件下，此光纖系統的許多條件便已被限制：

- 一、低成本的塑膠光纖其直徑為 $50\ \mu\text{m}$ ，而由塑膠光纖的輸出端射出的雷射到達檢光二極體所產生的光點將會大於此值，因而檢光二極體面積至少為 $50\ \mu\text{m} \times 50\ \mu\text{m}$ 。
- 二、在製程方面，為了降低成本，將整個光偵測器整合進主流的 CMOS 製程裡。
- 三、利用分波多工(WDM)的方式，耦合多種波長的雷射到相同光纖中，增加光纖傳輸的資料密度，達到充分有效的利用光纖。

除了降低成本的好處外，將檢光二極體和電路整合於同一顆晶片上還有其他的優勢。因為不需要連接到外部的市售檢光二極體，原本多出的鏤線、腳位(pad)、印刷版路徑等所造成的雜散電容電感可以消除；電路的輸入端 RC 時間常數決定了系統的主極點(dominant pole)，而整合進晶片裡的檢光二極體其電容已知且固定，故增進了系統的穩定度；電路輸入端減少了額外的對外連結，原先路徑上所耦合進的環境雜訊都可以避免。

由於材料吸收的緣故，光的強度會和入射深度成指數的衰減關係，光波長越短時其能量越大，入射時有較多的光子被吸收而激發出電子電洞對，故入射深度較淺。CMOS 檢光二極體可接收的光波長有一定範圍：當入射光的波長太長時，其能量小於能隙故無法激發出電子電洞對，上限約為 1100nm；當入射光的波長太短時，在檢光二極體表面會產生超額載子，其很高的表面復合速率(surface recombination rate)使最後流出檢光二極體的光電流很小，下限約為 400nm。因此在分波多工的光纖系統中使用 CMOS 檢光二極體，將使光波長限制在 400nm~1100nm 之間。

不同光波長的穿透深度不同，產生基版緩慢擴散載子的數量也不同，因此產生較多基版載子的長波長雷射光，將有較大的高頻衰減。考量到較長波長的雷射所產生的嚴重高頻衰減，以及較短波長雷射光照射在檢光二極體所產生的電流量較為微弱，故選定 600nm~850nm 為此次檢光二極體接收的光波長範圍，並且構思實現一可適性等化器 (adaptive equalizer) 以自動補償不同光波長的不同緩慢載子響應，在不需犧牲響應率的情況下，使此系統在一寬頻的光波長內都能達到高速的應用。

3.2 檢光二極體結構與模型建立

3.2.1 檢光二極體結構

本研究的檢光二極體採用多指的 N-well/P-substrate 型，為了有效的接收所有從光纖射出的雷射光，檢光二極體的面積為 $70\mu\text{m} \times 70\mu\text{m}$ 。此外，在相鄰的 N-well 間打上基版連結 (substrate contact)，以減少基版電阻並增加載子的收集效率。因為製程的限制，及為了達到最佳的頻寬表現，N-well 的寬度為 $2\mu\text{m}$ ，間隔為 $3\mu\text{m}$ 最後的結構如圖 3.1 所示。

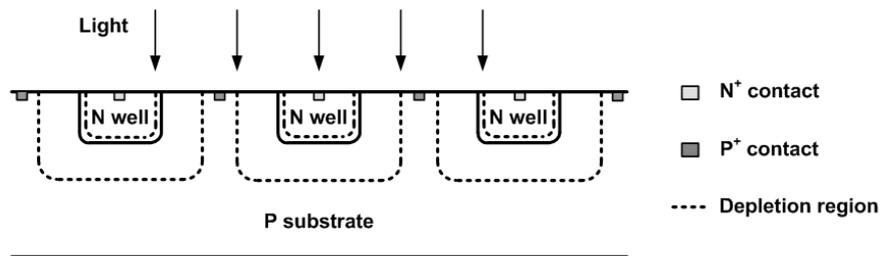


圖 3.1 多指 N-well/P-substrate 型檢光二極體結構圖

3.2.2 Medici模擬及ADS模型建立

為了能將檢光二極體與後端電路設計整合，須萃取這次研究裡所使用的標準 CMOS 製程檢光二極體的頻率響應並建立模型。圖 3.2 為電路模擬時使用的檢光二極體的頻率響應模型和 Medici 之模擬的比較。

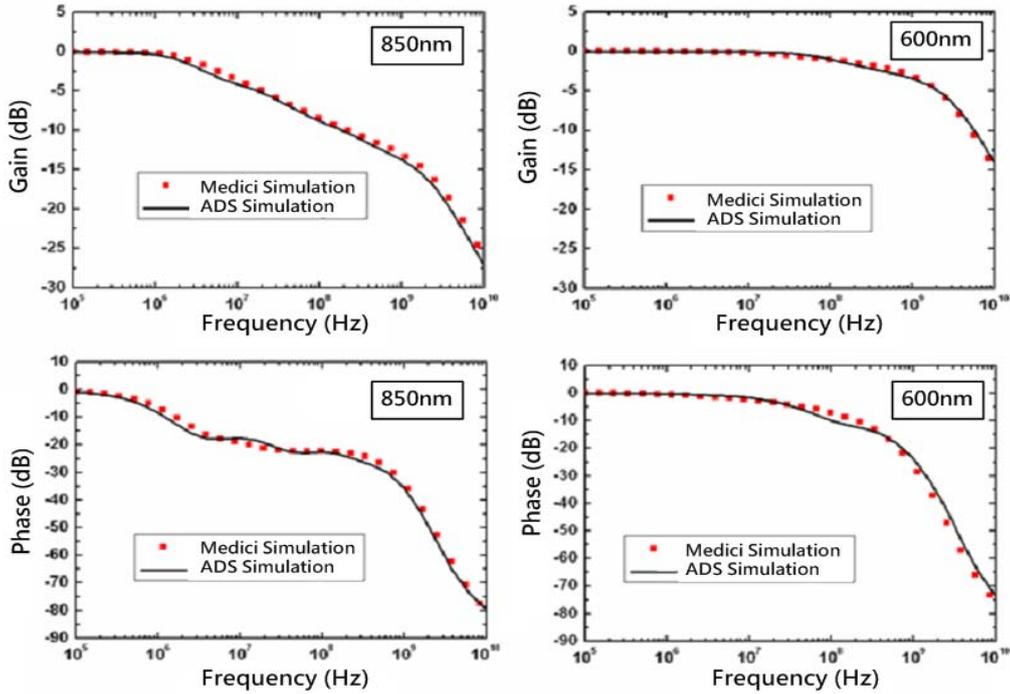


圖 3. 2 Medici 模擬和 ADS 模型對應圖

3.3 光接收器架構簡介及設計概念



3.3.1 等化器設計概念

不同波長的入射光因為入射深度不同，故有不同的頻率響應，主要的差別在生成於基板的緩慢擴散載子響應，而較高速的飄移載子和後端電路的 RC 時間常數限制對不同光波長影響並不顯著，此想法並經元件模擬軟體 Medici 驗證。於是如圖 3.3 所示，實現一可調整比率的等化器以補償不同光波長入射時的緩慢增益下降。

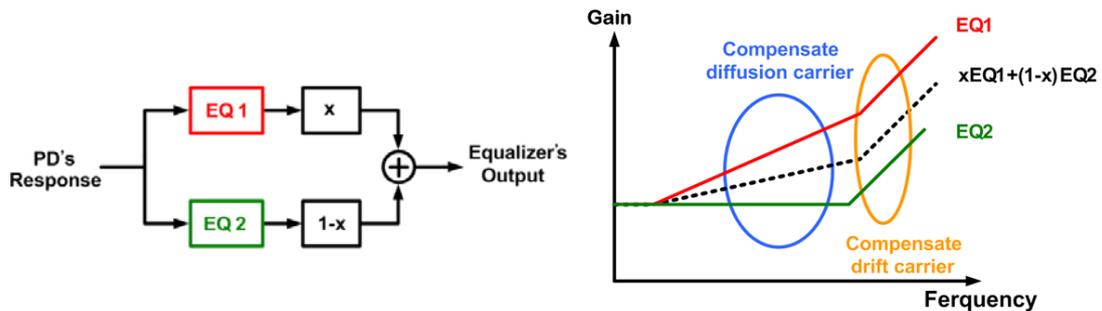


圖 3. 3 設計概念

3.3.2 光接收器架構簡介

由於傳統可適性架構的主要缺點：迴圈增益(Loop Gain)不足或架構中的兩個迴圈嚴重地互相影響，因此提出包含主要路徑(Main Path)、仿製路徑(Dummy Path)以及斜率偵測器(Slope Detector)的架構來解決這些問題，其中的仿製路徑及斜率偵測器分別負責振幅控制及頻率補償控制。

此次提出的斜率偵測器操作概念在於將斜率的資訊轉成數位的電流訊號並進而作控制，如圖 3.4，斜率偵測器由兩個比較器執行，兩個參考電壓(Vref1、Vref2)分別為兩個比較器的負端輸入，而訊號則輸入兩個比較器的正端，當輸入訊號小於這兩個參考電壓時，會分別產生邏輯零(Logic “0”)的輸出，而當輸入大於參考電壓(Vref1)時，會使其中一個比較器轉態，並得到邏輯一(Logic “1”)的輸出，如圖中的 A，當輸入訊號大於參考電壓(Vref2)時，會在 B 端得到邏輯一的輸出，將兩端得到邏輯一的時間長度相減後，將會得到一個和斜率相關的資訊 (ΔT)，參考圖中的 C。

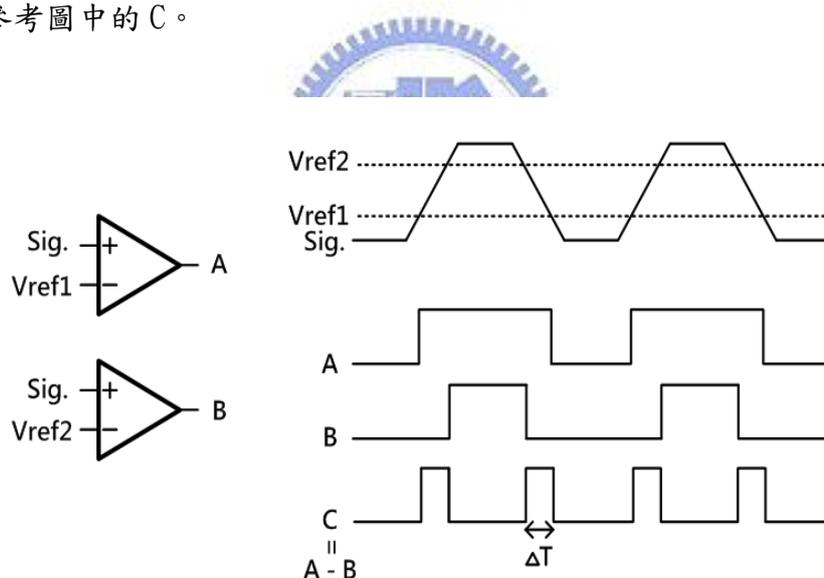


圖 3. 4 斜率偵測器概念圖

此斜率的資訊(ΔT)和訊號的斜率及兩個參考電壓相關，關係式為：

$$\Delta T = \frac{V_{ref2} - V_{ref1}}{\text{Slope}}$$

此式成立於訊號大於兩個參考電壓的差異時，因此之後設計時不可使兩個參

考電壓差異過大，而當訊號的速度越快，即斜率越大時，斜率的資訊(ΔT)會縮小，反之訊號越慢時，斜率的資訊(ΔT)就變大，因此可以藉由控制此一斜率的資訊，來達到訊號的速度控制，即訊號的高頻控制。

為了在不同強度的光訊號條件下，都能提供足夠的訊號振幅使所提出的斜率偵測器能夠正常操作，因此提出了一個使用前饋控制(feedforward control)概念的仿製路徑(dummy path)來控制訊號的直流內容，如圖 3.5，而仿製路徑中的電路為主要路徑(main path)中電路的複製(replica)，因而有著相同的增益。首先藉由電路前端的轉阻放大器(TIA)來提取訊號的直流資訊：在這次使用的轉阻放大器有一個偏移消除的控制迴圈(Offset cancellation loop)，它可以藉由產生額外的電流使流入轉阻放大器兩端的電流固定(I_{in})，由圖 3.6 可知，產生的額外電流訊號會是檢光二極體產生的電流訊號的平均值，又由於檢光二極體在零的訊號產生的電流值約為零，所以產生的額外電流值就是輸入電流訊號的振幅。此額外的電流經過仿製路徑中的轉阻放大器、等化器(Equalizer)及可變增益放大器(VGA)放大後，就產生了訊號的峰值，如圖 3.7。由於等化器和可變增益放大器的控制電壓值會對主要路徑及仿製路徑造成相同的影響，所以利用控制電壓將仿製路徑的正端輸出調整到某個值時，也同時調整了主要路徑的訊號振幅，因此達到了調整訊號振幅的目的。整個仿製路徑完全是以電路的直流位準為對象作操作，因此有著很大的增益。

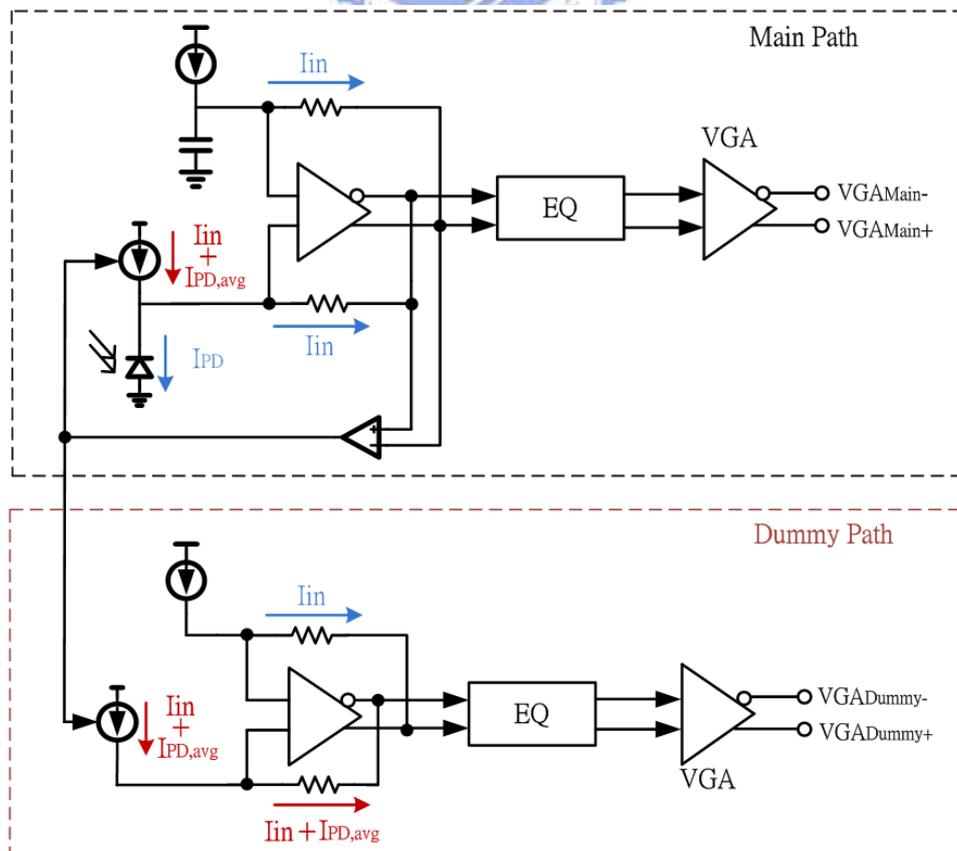


圖 3. 5 仿製路徑示意圖

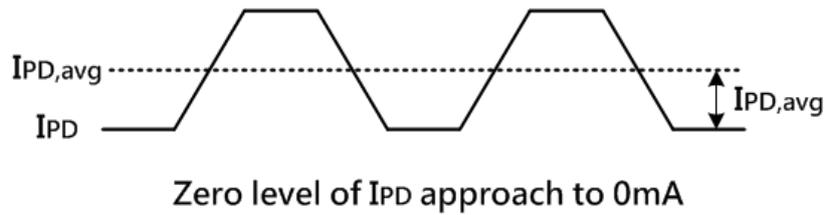


圖 3. 6 直流消除迴圈所決定之額外電流示意圖

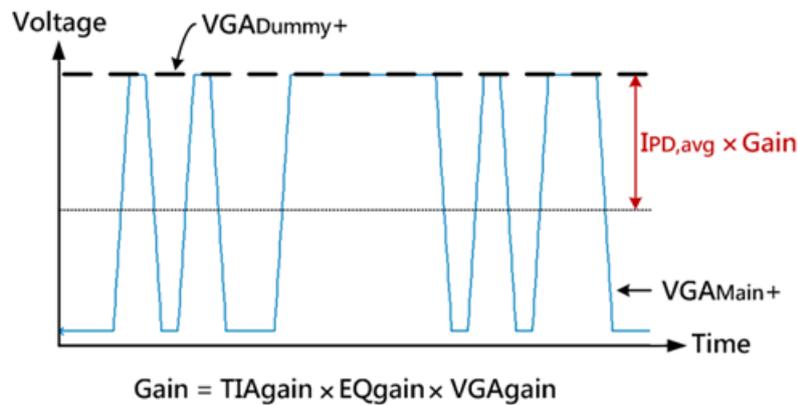


圖 3. 7 仿製路徑之操作行為概念圖

這次提出的完整架構如圖 3.8，主要路徑的最前端為一檢光二極體，檢光二極體照光後產生的電流會經由差動轉阻放大器轉成電壓訊號，之後經由等化器調整訊號的高頻表現，使訊號能在要求的操作頻率內有著平坦的頻率響應，等化器的輸出訊號隨即進入可變增益放大器。可變增益放大器的主要功能在於不同入射光強度之狀況下，皆能在此放大器的輸出端得到相同的振幅大小，以利斜率偵測器做正確的可適性判斷(Adaptive Decision)。信號至此經過一緩衝級輸出到外部的量測儀器。此架構中包含著兩個控制迴圈，其中斜率偵測器提出包含斜率資訊的數位訊號會持續的和 V_{sc} 所決定的控制目標比較，兩者的差異經差異放大器 (error amplifier) 放大，並對形成主要極點(Dominant Pole)的電容充放電而產生控制訊號。直流控制則以仿製路徑的輸出電壓和 V_{ref3} 相比較，比較出來的差異會決定控制電壓的值。由於這個用來控制訊號直流內容的方法不會對訊號作出限幅 (limiting) 的動作，所以不會使包含斜率偵測器的控制迴圈作出的錯誤判斷，減低了兩個控制迴圈互相影響的程度。且由於這次提出來的斜率偵測器和仿製路徑，所以兩個控制迴圈都有著高迴圈增益。

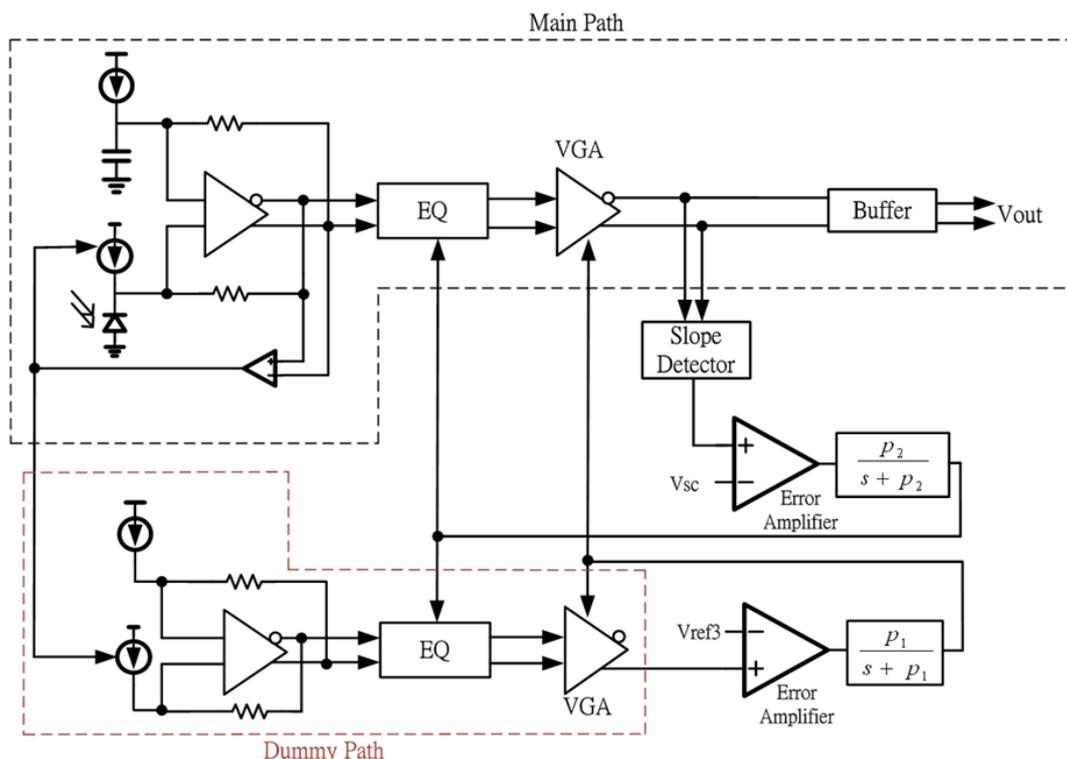


圖 3. 8 光接收器架構

3.3.3 系統迴圈分析

訊號流程圖(Signal Flow Graph, SFG)功能在於分析控制系統，為了分析系統的穩定度及控制的穩定狀態誤差，必須提出此次光接收器架構的等效訊號流程圖。

此次提出的光接收器架構中，分成兩個部分的迴圈控制，其中一個迴圈的控制對象為訊號的直流強度(DC Power of Signal, PDCsig)，此部分主要由仿製路徑及可變增益放大器執行；另一個迴圈的控制對象為訊號的斜率(Slope of Signal, SPsig)，主要由斜率偵測器及可調式等化器來執行。而這兩個迴圈都希望能準確的穩定在控制的參考值，此處將這兩個控制的參考值分別定為訊號的參考直流強度(Reference for DC Power of Signal, PDCref)以及訊號的參考斜率(Reference for Slope of Signal, SPref)，這兩個目標值為訊號流程圖的輸入。

在直流控制迴圈中，訊號直流強度和參考直流強度的差異，會被差異放大器(Error Amplifier)放大，因為差異放大器的輸出端有一個電容造成的迴圈主要極點(Dominant Pole)，差異放大器的輸出會受此極點影響後才形成可變增益放大器控制電壓，相同的，訊號斜率和參考斜率的差異，也會被差異放大器放大，並經輸出端的極點作用後形成等化器控制電壓(EQctrl)。在此定義 KEA,DC 表示直流控制

迴圈中的差異放大器增益，而 $K_{EA,SP}$ 表示斜率控制迴圈中的差異放大器增益， H_1 及 H_2 為電容造成的迴圈主極點。

理想的可變增益放大器是一個寬頻的放大器，因此利用控制電壓來改變放大器增益時，不只改變了訊號的直流部分，同時也對高頻部分作調整，但考量在可變增益放大器將訊號放大到大於兩個參考電壓差異($V_{ref2}-V_{ref1}$)後，由於可變增益放大器並不對訊號作限幅(limiting)的現象，所以不會改變訊號的斜率，於是可變增益放大器會被等效成一個對直流強度作改變但不影響斜率的單位。而可調式等化器主要是對訊號的斜率作調整，但在設計時通常也會影響到直流強度，所以等化器也會被等效成一個對直流強度及斜率作改變的單位。在加入了可變增益放大器及可調式等化器後的訊號流程圖如 3.9 所示。 $K_{VGA,DC}$ 為可變增益放大器控制電壓(V_{GActrl})對訊號直流強度的增益； $K_{EQ,DC}$ 和 $K_{EQ,SP}$ 分別為等化器控制電壓($EQctrl$)對訊號直流及斜率的增益。而得到的結果會回授並跟參考值作比較。

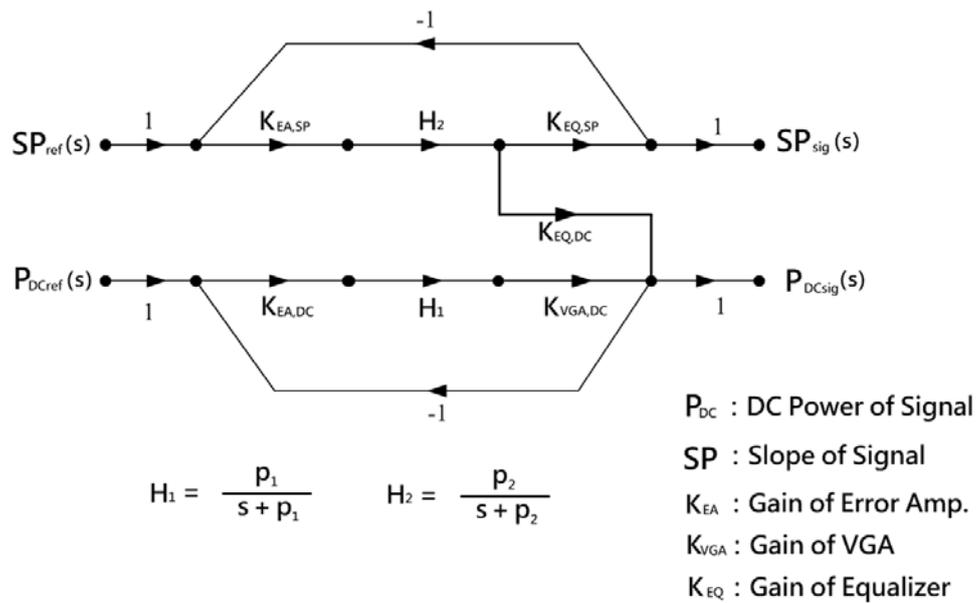


圖 3. 9 光接收器系統之等效訊號流程圖

需要注意的是，控制電壓對於直流及斜率部分的改變量，會受到可變增益放大器的輸入訊號所影響，如圖 3.10，當控制電壓相同時，可變增益放大器提供的增益雖然相同，但輸入訊號強度(Signal Power)越大，所得到的強度增加量就越多。而可調式等化器也有相同的效應。所以分析時，要針對不同的輸入訊號來擷取增益值。

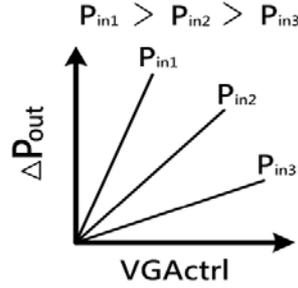


圖 3. 10 控制訊號和訊號強度改變量之關係圖

此系統由於是一個多輸入多輸出的系統，因此會有多個轉換方程式(transfer function)，並進而形成一個轉換矩陣：

$$\begin{array}{c}
 \text{Transfer Matrix} \\
 \left(\begin{array}{c} P_{DCsig}(s) \\ SP_{sig}(s) \end{array} \right) = \left(\begin{array}{cc} \frac{n_{11}s + n_{10}}{s^2 + 2\zeta\omega_n s + \omega_n^2} & \frac{n_{21}s + n_{20}}{s^2 + 2\zeta\omega_n s + \omega_n^2} \\ 0 & \frac{n_{31}s + n_{30}}{s^2 + 2\zeta\omega_n s + \omega_n^2} \end{array} \right) \left(\begin{array}{c} P_{DCref}(s) \\ SP_{ref}(s) \end{array} \right)
 \end{array}$$

$$\begin{array}{ll}
 n_{11} = p_1 K_{EA,DC} K_{VGA,DC} & n_{10} = p_1 p_2 K_{EA,DC} K_{VGA,DC} (1 + K_{EA,SP} K_{EQ,SP}) \\
 n_{21} = p_2 K_{EA,SP} K_{EQ,DC} & n_{20} = p_1 p_2 K_{EA,SP} K_{EQ,DC} \\
 n_{31} = p_2 K_{EA,SP} K_{EQ,SP} & n_{30} = p_1 p_2 K_{EA,SP} K_{EQ,SP} (1 + K_{EA,DC} K_{VGA,DC})
 \end{array}$$

$$\zeta\omega_n = [p_1 + p_2 + K_{EA,DC} K_{VGA,DC} p_1 + K_{EA,SP} K_{EQ,SP} p_2] / 2$$

$$\omega_n^2 = p_1 p_2 + p_1 p_2 (K_{EA,DC} K_{VGA,DC} + K_{EA,SP} K_{EQ,SP}) + p_1 p_2 K_{EA,DC} K_{VGA,DC} K_{EA,SP} K_{EQ,SP}$$

以控制準確度的觀點，希望產生的穩定狀態誤差(Steady-State Error)越小越好，因此必須利用下式來檢驗本系統：

$$e_{ss} = \lim_{s \rightarrow \infty} e(t) = \lim_{s \rightarrow 0} sE(s)$$

其中的 E(s)為參考值(PDCref(s)·SPref(s))和訊號值(PDCsig(s)·SPsig(s))的相減，而參考值可以視為一個從零時開始的階梯函式(Step Function)，將各項參數代入後可分別得到直流誤差及斜率誤差：

$$\begin{aligned}
e_{ss,SP} &= \lim_{s \rightarrow 0} s E(s) = \lim_{s \rightarrow 0} s \left[SP_{ref}(s) - SP_{sig}(s) \right] \\
&= \frac{p_1 p_2 K_{EA,DC} K_{VGA,DC} SP_{ref}(0)}{p_1 p_2 K_{EA,DC} K_{VGA,DC} + p_1 p_2 K_{EA,SP} K_{EQ,SP} + p_1 p_2 K_{EA,DC} K_{VGA,DC} K_{EA,SP} K_{EQ,SP}} \\
&\approx \frac{SP_{ref}(0)}{K_{EA,SP} K_{EQ,SP}}
\end{aligned}$$

$$\begin{aligned}
e_{ss,DC} &= \lim_{s \rightarrow 0} s E(s) = \lim_{s \rightarrow 0} s \left[P_{DCref}(s) - P_{DCsig}(s) \right] \\
&= \frac{p_1 p_2 K_{EA,SP} K_{EQ,SP} P_{DCref}(0)}{p_1 p_2 K_{EA,DC} K_{VGA,DC} + p_1 p_2 K_{EA,SP} K_{EQ,SP} + p_1 p_2 K_{EA,DC} K_{VGA,DC} K_{EA,SP} K_{EQ,SP}} \\
&\approx \frac{P_{DCref}(0)}{K_{EA,DC} K_{VGA,DC}}
\end{aligned}$$

這兩個的結果都非常的直觀，欲減小兩個控制對象的穩定狀態誤差，須分別增加兩迴圈的迴圈增益。另外值得一提的是先前介紹的使用高低通濾波器的雙迴圈可適性等化器架構中，即使高頻部分的穩定狀態誤差值很小，也不一定代表高頻補償恰當，因為在那架構中，可變增益放大器在所有的操作過程中都會對高頻部分作出影響，所以在追蹤高頻目標值時，可能大部分的成分都是由可變增益放大器提供，因此對高頻呈現不正確補償。但在這次提出的架構中，減輕了此一現象。

而由此系統的特徵方程式(Characteristic Equation)可以得到兩根，此二根的位置決定了系統的穩定性：

$$\begin{aligned}
s^2 + 2\zeta\omega_n s + \omega_n^2 &= 0 \\
s_1, s_2 &= \frac{-\zeta\omega_n \pm \sqrt{(\zeta\omega_n)^2 - 4\omega_n^2}}{2}
\end{aligned}$$

以系統穩定度的觀點，要使特徵方程式的兩根位在左半平面，須使兩根方程式中根號的值小於 $\zeta\omega_n$ ，因為 ω_n^2 為正值，此要求成立，系統穩定。

3.4 電路設計與模擬結果

3.4.1 轉阻放大器

在檢光二極體後，需要接上一個轉阻放大器將照光產生的電流轉成電壓，而此次研究中使用的轉阻放大器為共源極採電壓-電流負回授實現，此電路架構有較佳的轉阻值，且雜訊表現較佳，但有穩定度的問題，其一階模型如圖 3.11 所示。

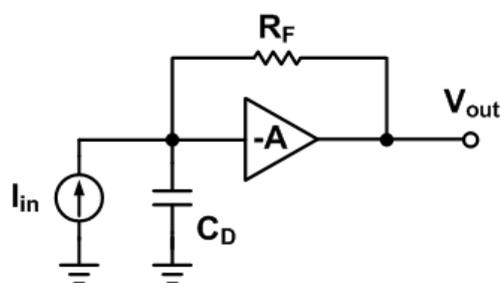


圖 3.11 共源極轉阻放大器一階等效模型

$$T_z = -\frac{A}{A+1} \frac{R_F}{1 + \frac{R_F C_D}{A+1} s}$$
$$f_{3dB} = \frac{1}{2\pi} \frac{A+1}{R_F C_D}$$

電壓-電流負回授有著低輸入阻抗及低輸出阻抗的特性，低輸入阻抗提高輸入端極點使頻寬增加，而低輸出阻抗增加了對後級的驅動能力。此電路架構的轉阻值在放大器開迴路增益越大的情況下，越接近 R_F ，頻寬也隨著放大器的開迴路增益增加。

轉阻放大器的後級等化器採用源極退化(Source Degeneration)的方式，此架構含有接地的 RC 網路，為了避免和供應電壓(Supply Voltage)互相作用造成不正常的補償甚至振盪，此次研究採用差動的方式來實現所有電路。然而，由於有效的光信號只會進入電路的其中一端，故在轉阻放大器中沒有信號的一側加上一個多餘檢光二極體 (dummy PD) 以求較好的平衡。

轉阻放大器位於接收端的第一級，除了要兼顧速度和增益外，雜訊也是很重要的考量。將轉阻放大器化為等效半電路，如圖 3.12 所示。

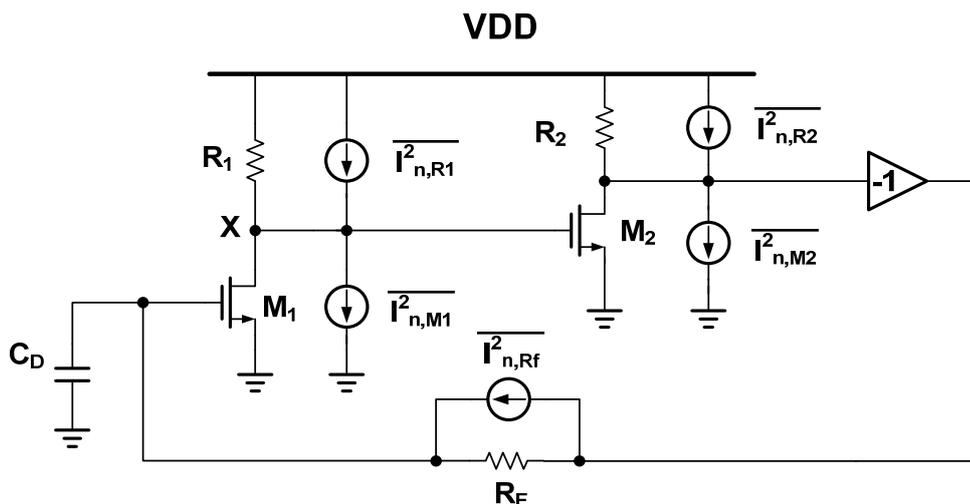


圖 3. 12 轉阻放大器雜訊等效半電路

推導出的輸入等效雜訊電流如下面公式，這個重要的參數決定了系統的靈敏度。

$$\overline{I_{n.in}^2} = \frac{4kT}{R_F} + \frac{1}{g_{m1}^2} \left(\frac{1}{R_F^2} + \omega^2 C_D^2 \right) \left(\frac{4kT}{R_1} + 4kT \Gamma g_{m1} \right) + \frac{1}{g_{m1}^2 g_{m2}^2} \left(\frac{1}{R_F^2} + \omega^2 C_D^2 \right) \left(\frac{1}{R_1^2} + \omega^2 C_X^2 \right) \left(\frac{4kT}{R_2} + \frac{4kT}{R_F} + 4kT \Gamma g_{m2} \right)$$

由上式可知，欲降低輸入雜訊，需增加 R_F 、 g_{m1} 、 g_{m2} 。根據 Friis 公式，會將 g_{m1} 設計得比 g_{m2} 大。並由於轉阻放大器的增益將影響後端電路對於輸入雜訊的影響，因此將轉阻放大器的增益加大，可有效的增加靈敏度。

此次的檢光二極體的面積為 $70\mu\text{m} \times 70\mu\text{m}$ ，約為最基本要求的 $50\mu\text{m} \times 50\mu\text{m}$ 的兩倍，因此檢光二極體的等效電容值也變為兩倍，嚴重的影響到整個轉阻放大器的頻寬。為增加速度，須將轉阻放大器的增益加大，一般常見的實現方法為串接三級放大器，然而相位邊界 (phase margin) 的不足卻讓穩定度成為一重要考量，使設計的彈性不足；單級放大器有很好的穩定度，然而其增益卻不夠大。因此本次採用兩級的架構在高增益和穩定度間達到平衡。同時為了減輕檢光二極體等效電容的效應，在轉阻放大器的輸入端採用了米勒負電容 (Miller Negative Capacitance)，並使用主動式負電容 (Active Negative Capacitance) 補償輸出端的電容效應，使頻寬更為提升。此次設計的轉阻放大器有著 $66.8\text{dB}\Omega$ 的差動增益，及 3.24GHz 的頻寬，消耗功率 30mW ，轉阻放大器的電路如圖 3.13，。

進入轉阻放大器的電流會因檢光二極體接收不同的光強度而不同，為了增加動態範圍以使後端電路的判斷能夠正確執行，因此在轉阻放大器輸出加入了一個

偏移消除(Offset Cancellation)的迴圈。米勒負電容及主動式負電容的效應如圖 3.14，偏移消除迴圈的概念如圖 3.15。

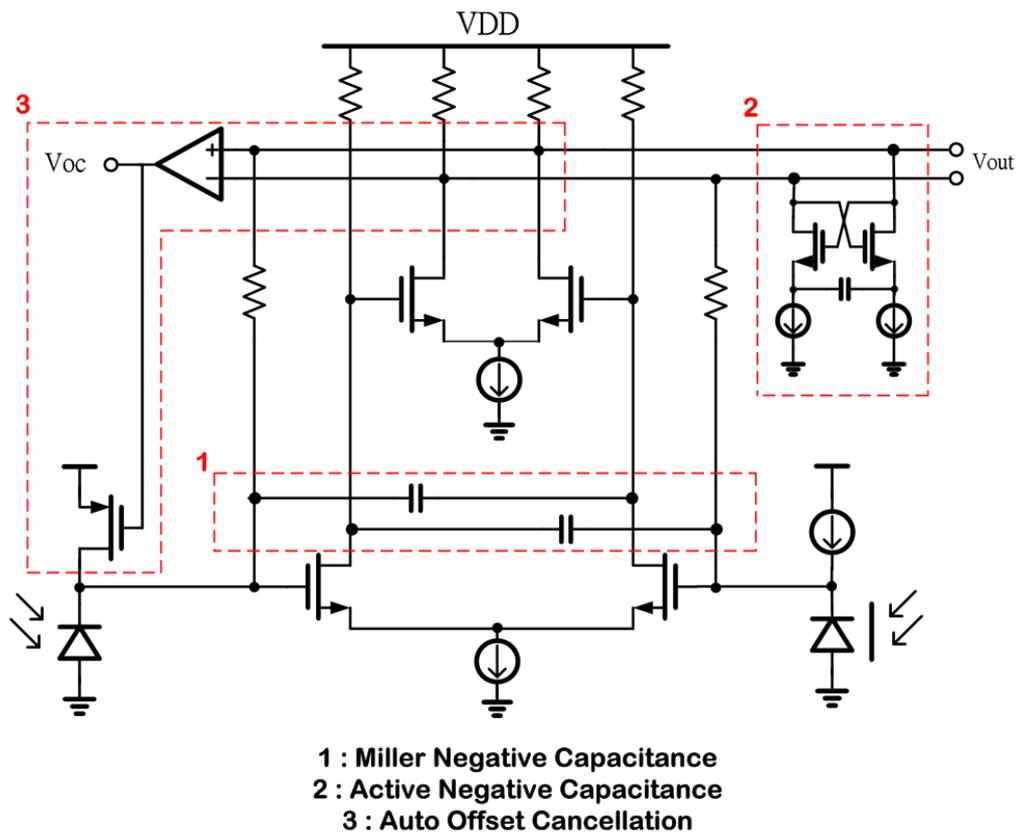


圖 3. 13 轉阻放大器

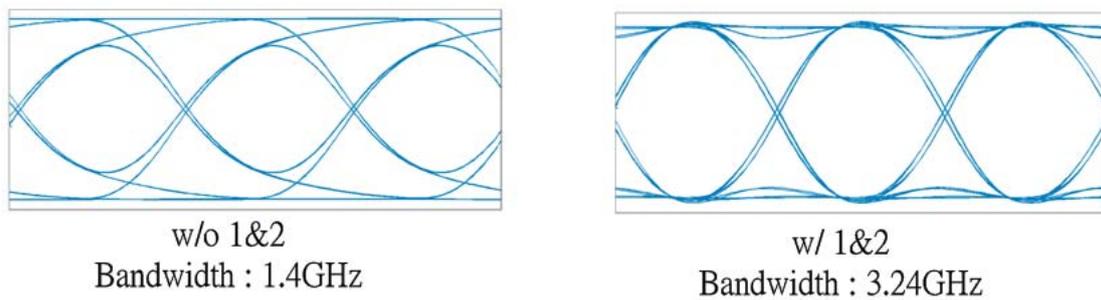


圖 3. 14 米勒及主動式負電容效應

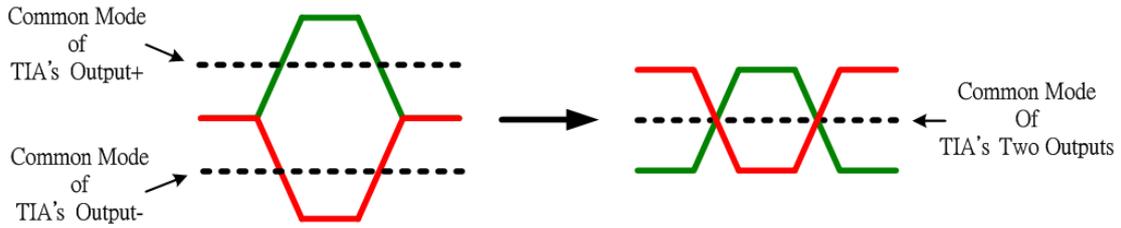


圖 3. 15 直流消除迴圈概念圖

3.4.2 可調式等化器

在這次的應用裡，因為檢光二極體對不同光波長的有不同斜率的增益下降響應，故以加成的方式做補償調整，如圖 3.16，此可調式等化器分成兩個路徑，上端的路徑用來解決大量的基板緩慢擴散載子所產生的效應，因此採取源極退化級來補償檢光二極體的緩慢增益下降，而在設計時，因考量到之後迴圈控制的線性度，此路徑須能略微過度補償 850nm 光波長造成的響應。而下端的路徑也因考量迴圈控制的線性度，被設計成無法完全補償 600nm 光波長造成的響應，所以無任何的高頻補償。由於這兩個路徑同樣為一級電路，訊號通過兩路徑所產生的延遲大約相等，於是經加成電路相加後，所造成的相位抖動量(Jitter)將有效的減少。兩路徑加成的比例由加成控制器(Interpolation-Weighting Controller)中的 EQctrl 所決定，此值越大，加成等化器的補償能力就越高。

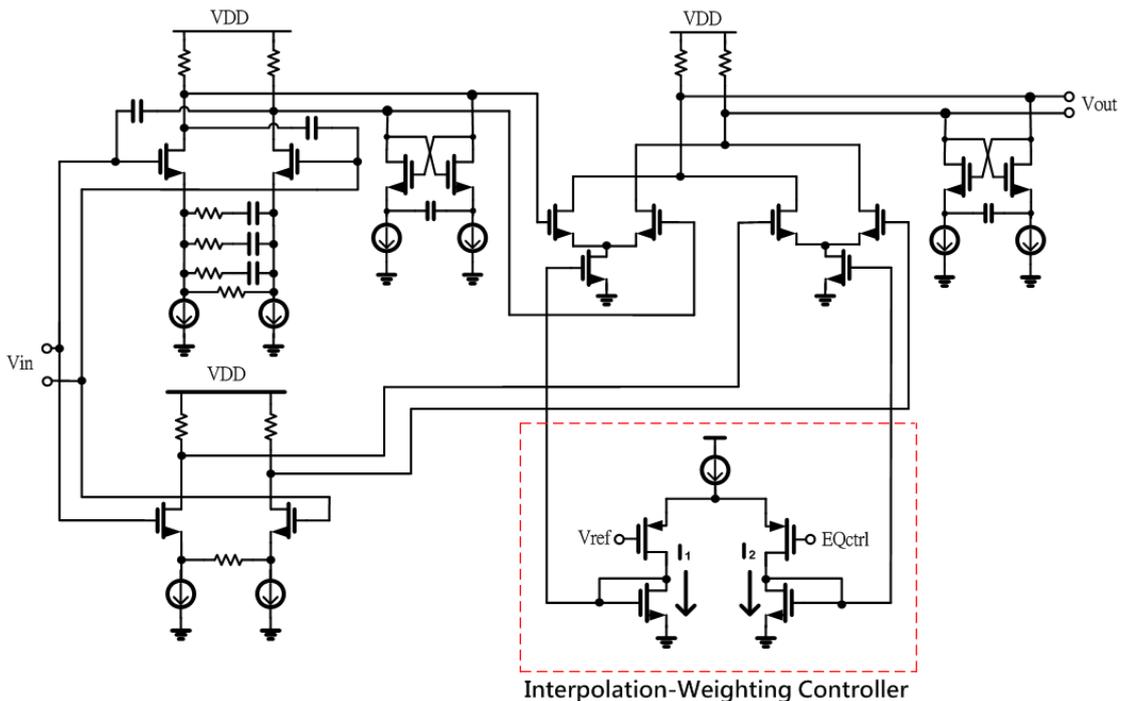


圖 3. 16 可調式等化器

第一個路徑中的源極退化級的概念為設法使源極的阻抗值隨著頻率而改變，低頻時的源極阻抗較大，導致電路的增益較低，而高頻時的源極阻抗較小，使電路達到較高的增益，因此，源極退化級的響應為：隨著頻率的增加，增益也越大。直到遭遇電路的 RC 效應，增益才開始衰減。圖 3.17 為源極退化級的半電路。

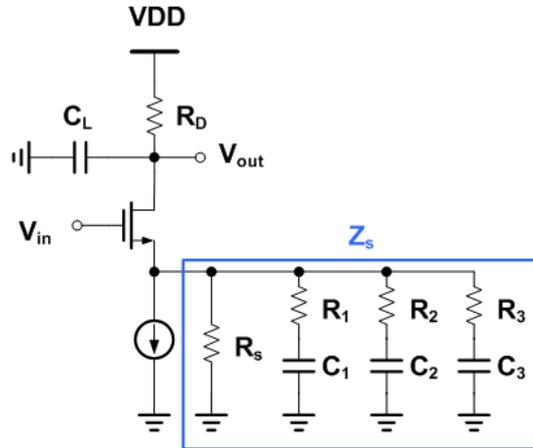


圖 3. 17 補償式源極退化級之半電路

$$|A_v| = \frac{V_{out}}{V_{in}} \approx \frac{R_D}{\frac{1}{g_m} + Z_s \parallel r_o}$$

因為電容的阻抗和頻率成反比，故 Z_s 網路裡的電容可被視為低頻時阻絕信號的元件，經由適當設計可隨頻率上升而依序開啟， R_s 便依序與其他電阻並聯。若設計 $C_1 > C_2 > C_3$ 且 $R_s > R_1 > R_2 > R_3$ ，則 R_s 便會在頻率較大時和較小的電阻並聯，且並聯後的電阻值約等於較小電阻的值，因而 Z_s 的阻抗會隨頻率增加而減少，使整體電路的增益隨頻率增加而緩慢上升。

在此假設 g_m 很大且 $R_s = R_D$ ，則：

$$\frac{V_{out}}{V_{in}} \approx - \left(1 + \frac{sR_D C_1}{1 + sR_1 C_1} + \frac{sR_D C_2}{1 + sR_2 C_2} + \frac{sR_D C_3}{1 + sR_3 C_3} \right)$$

$$\Rightarrow \left| \frac{V_{out}}{V_{in}} \right| = 1 \quad \text{at low frequency}$$

$$\left| \frac{V_{out}}{V_{in}} \right| = 1 + \frac{R_D}{R_1} + \frac{R_D}{R_2} + \frac{R_D}{R_3} \quad \text{at high frequency}$$

經由 Medici 所模擬出來的檢光二極體頻率響應約從 1MHz 開始衰減，到了

1GHz 時約下降了 13.5dB，根據此一現象，將源極退化級中的三組 RC 時間常數分別對應到 10MHz、100MHz 及 1GHz。並先藉由三個頻率時的不同衰減量來決定電阻的大小，進而得到其相搭配的的電容值。源極退化級中電阻電容值的一階估計如下，其中 ΔdB_n 為在第 n 個頻率時的高頻衰減量。須注意的是此為半電路的電阻電容公式，換算成差動電路時需作相對應的轉換：

$$R_n = \frac{R_D}{10^{\frac{\Delta dB \cdot n}{20}} - 10^{\frac{\Delta dB \cdot (n-1)}{20}}} \quad C_n = \frac{1}{2\pi \cdot f_n \cdot R_n}$$

$$f_n = f_{\min} \cdot \left(\frac{f_{\max}}{f_{\min}} \right)^{\frac{n-1}{3}} \quad n=1,2,3$$

此源極退化級可補償的最大範圍為：

$$\begin{aligned} \text{Maximum boosting} \Rightarrow \Delta |A_v| &= 20 \log \left| \frac{A_{v,Max}}{A_{v,min}} \right| \\ &= 20 \log |g_m R_D| - 20 \log \left| \frac{R_D}{1/g_m + R_S \parallel r_o} \right| \\ &= 20 \log |1 + g_m (R_S \parallel r_o)| \end{aligned}$$

然而，當 R_S 增加時代表直流增益下降，而且會降低整個系統的信號雜訊比 (Signal to Noise Ratio, SNR)，故補償有其限度。

由於頭部空間(Headroom)的限制，加成控制器(Interpolation-Weighting Controller)採用折疊(folded)形式來達成，其等化器控制電壓(EQctrl)與兩個輸出電流的關係如圖 3.18，控制電壓的改變並不會影響兩個輸出電流的總合，因此整個等化器的輸出電壓準位在控制電壓改變時都能維持固定，以避免系統的擾動。從此電流圖並可得知，控制電壓的操作線性區約落在 400mV~800mV 之間，為了使之後的迴圈能有較高的控制線性度，須將 600nm 及 850nm 光波長的補償操作點設定在 450mV 及 750mV，欲達此要求，等化器的補償能力要大於 850nm 光波長響應的高頻衰減，且設計等化器在等化器控制電壓為零時不作任何的高頻補償。

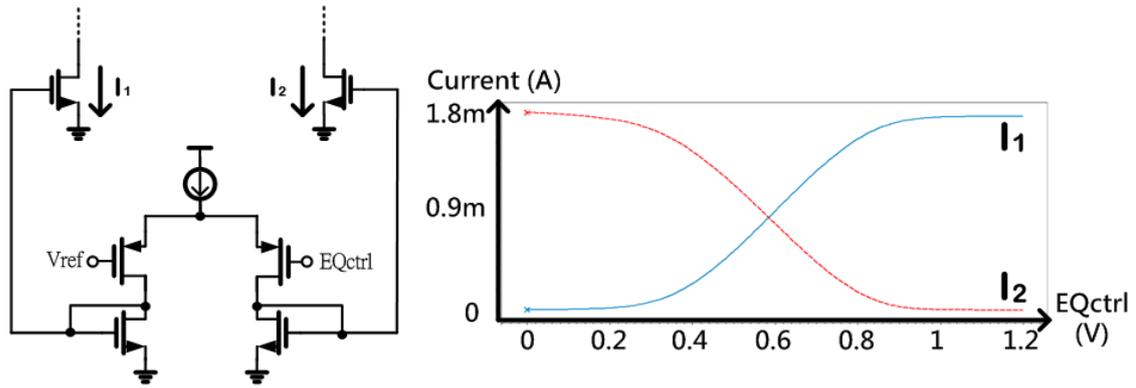


圖 3. 18 加成控制器及其操作圖

圖 3.19 為等化器隨等化器控制電壓而改變的頻率響應，當控制電壓上升時，高頻增益上升，而低頻增益下降，低頻增益的變化量為 19dB。其最大的高頻補償能力為在 2.2GHz 時，補償了 22dB，此補償能力大於 850nm 光波長響應在 2.2GHz 時的衰減(約-17dB)。

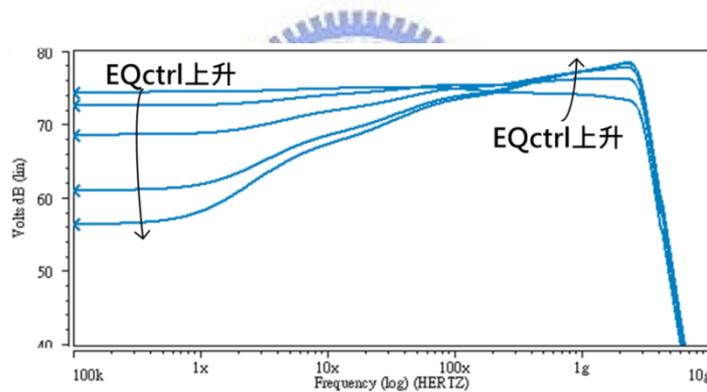
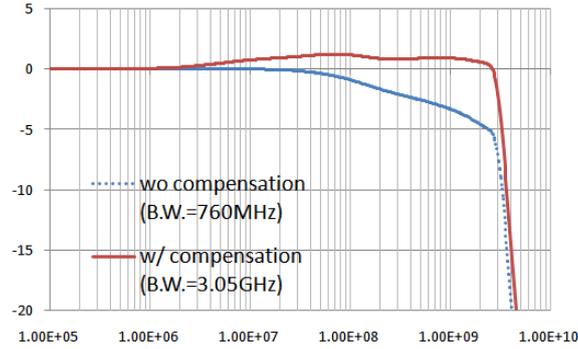
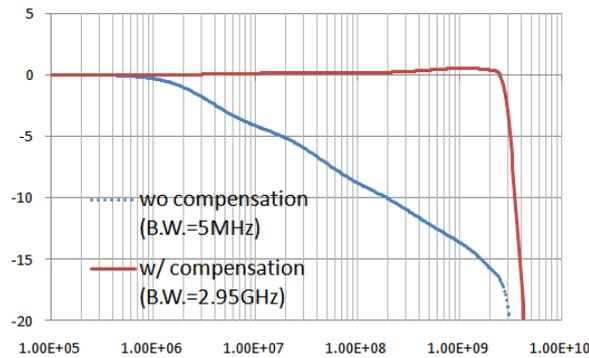


圖 3. 19 等化器之高頻補償能力

此次研究所採用的可調式等化器可以使 850nm 光波長的響應頻寬增加三個數量級，並使 600nm 及 850nm 有相同的頻寬，如圖 3.20(a)(b)，其中(a)的等化器控制電壓為 450mV，(b)的等化器控制電壓為 750mV，符合迴圈線性控制區的要求。而補償過後的濾波器通過帶抖動(filter's pass-band ripple)有效的維持在 ± 3 dB 內，對於眼圖的高度及寬度之影響小於 10%。



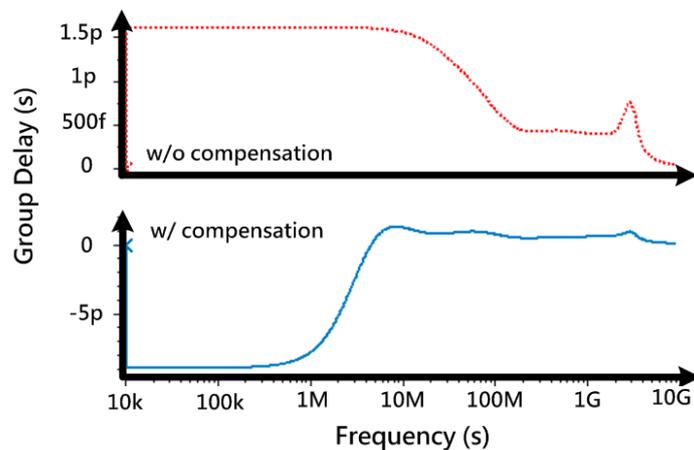
(a)



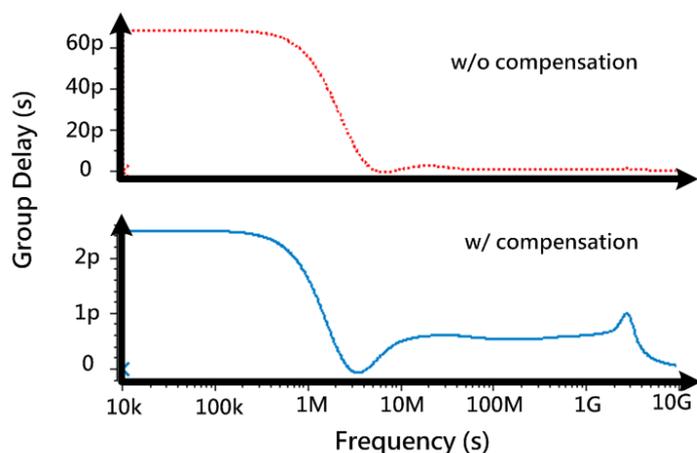
(b)

圖 3. 20 等化器針對目標波長的補償，(a) 600nm，(b)850nm

等化器即是一個可變的高通濾波器，因此訊號受補償後的群延遲(Group Delay)也是其中關鍵的參數，當群延遲在不同頻率之間的變動越小，也就代表著有著較小的訊號抖動(Jitter)，圖 3.21 為不同波長補償前後的群延遲圖，在 600nm 的情況下，補償過後的群延遲在不同頻率的差異被限制在 12ps 的範圍內，而在 850nm 的情況下，補償後的群延遲差異被限制在 3ps 的範圍內。



(a)



(b)

圖 3. 21 不同波長的補償前後之群延遲，(a) 600nm，(b)850nm

此次提出的可調式等化器可在 2.2GHz 時提供 22dB 的高頻補償，並在補償後維持很小的濾波器通過帶抖動，所得到的群延遲也維持在 12ps 以內。等化器的消耗功率為 14mW。

3.4.3 可變增益放大器

實現可變增益放大器有幾種方法，如變化偏壓電流[23]、變化負載電阻[24]等。然而，為了使電路在不同增益時皆能有足夠大的頻寬，故使用源極迴授 (source feedback) 的放大器。此種放大器藉由改變源極電阻以達到增益變化的目的，此機制由於不影響信號路徑上的 RC 時間常數，故能保持頻寬。

為實現高速的放大器，在此採用 Cherry-Hooper 的架構[4]，此架構以一個轉導放大器和一個轉阻放大器所組成，藉由轉阻放大器降低阻抗以拉遠內部極點。因為米勒負電容的值隨放大器增益而改變，但在此架構增益變化時其輸出極點並不會改變，故以主動式負電容補償輸出極點，避免增益變動時的高頻響應變異。各級間免除源極隨耦器的雜散效應隔離，故適用於低供應電壓。此外，在 g_m 很大的前提下，電路增益約為回授電阻和源極電阻的比例，故對製程和溫度的飄移有較大的免疫力。最後完成的電路以差動形式呈現，如圖 3.22 所示。

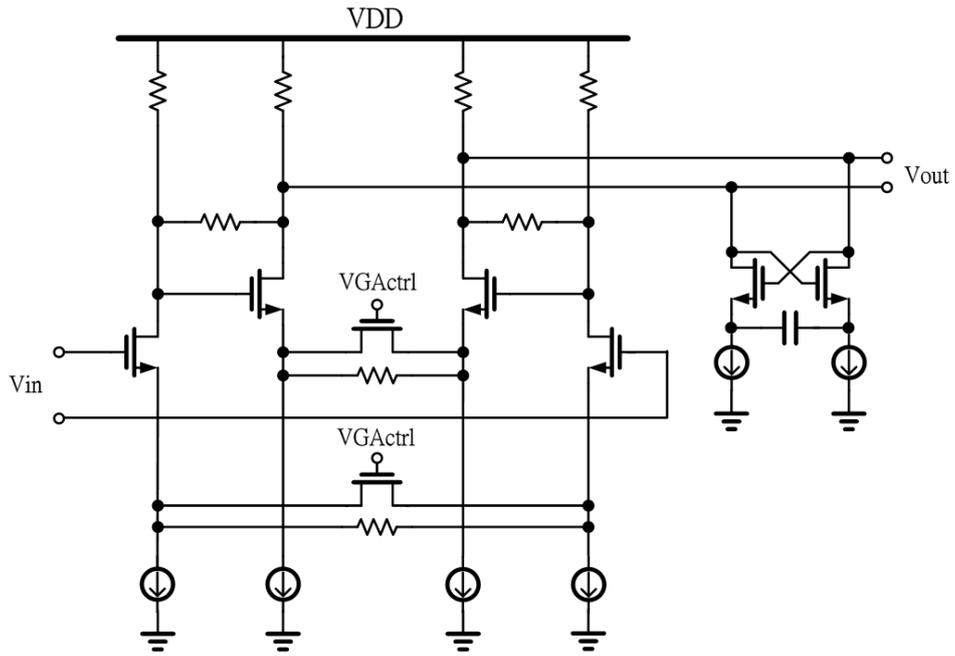


圖 3. 22 可變增益放大器

圖 3.23 為三級可變增益放大器的頻寬與增益關係圖，可調增益範圍為-8.3~+36dB，頻寬皆大於 5GHz。此次所提出的可變增益放大器之總消耗功率為 37mW。

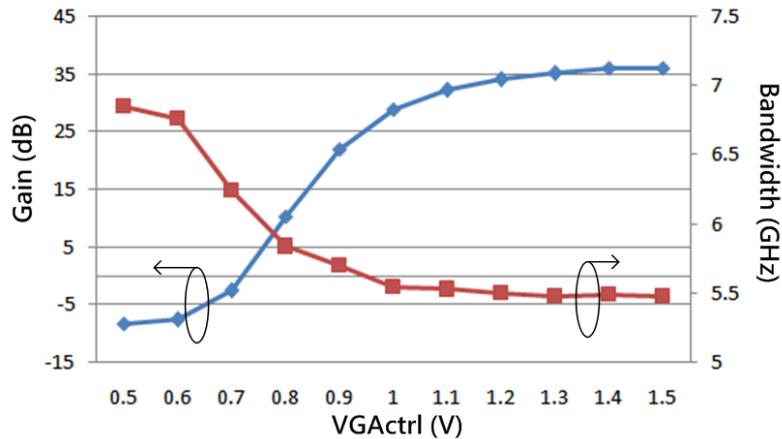


圖 3. 23 可變增益放大器之頻寬與增益關係圖模擬

3.4.4 斜率偵測器

本次提出的斜率偵測器使用差動轉導放大器(Transconductance Amplifier)的

電路來提出斜率的資訊，為了使轉導放大器逼近理想的數位操作方式，須減低放大器的過度驅動電壓(Overdrive Voltage, V_{ov})，使轉導放大器操作在大訊號模式，當其中一端的輸入電壓稍大於另一端時，即可完全佔有偏壓電流(Biasing Current)，如圖 3.24 設計使 V_{linear} 極小，同時為了增益的考量，也須設計使 I_{sat} 極大。

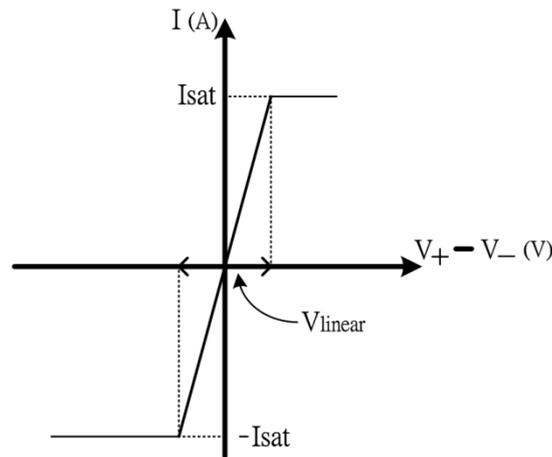


圖 3. 24 斜率偵測器之電路設計原理

本次負責斜率控制的電路包含斜率偵測器及功能和差異放大器相同的電流比較器，如圖 3.25，斜率偵測器將訊號和兩個參考電壓(V_{ref1} 、 V_{ref2})比較後以電流的形式取出斜率的資訊。

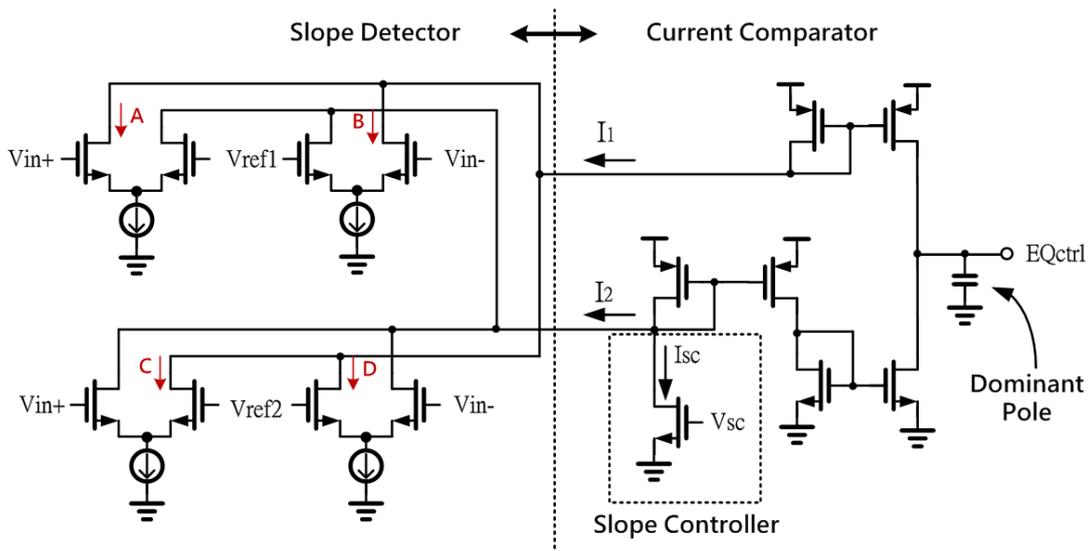


圖 3. 25 斜率偵測電路及電流比較器

觀察圖 3.25 中的電流(I_1)是由四個轉阻放大器所集合而成，其中兩個為輸入

的正負端訊號大於參考電壓(Vref1)時所得到，而另外兩個為參考電壓(Vref2)大於正負端訊號時所得到，此四個電流能夠相加的概念如圖 3.26。由於這四個電流的內容只有相位上的差異，所以攫取的資訊是相同的，所以可以相加。

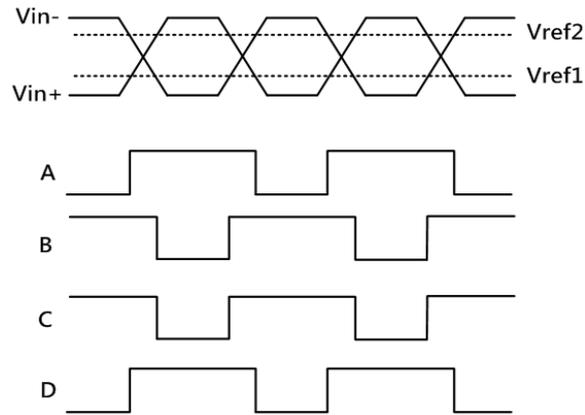


圖 3. 26 電流相加原理

輸入訊號經過斜率偵測器後，可以得到兩組電流(I1、I2)，這兩個電流經電流比較器中的多個電流鏡後，會對輸出端的電容充放電，並進而控制等化器的補償幅度，當等化器對高頻做越多的補償，兩組電流值的差距就會逐漸縮小。在電流比較器中，有一個斜率控制器(Slope Controller)可以決定當輸入訊號呈現多大的斜率時，電流鏡即對輸出端電容充放電的值會相同，藉此達到訊號斜率的控制。電流比較器的輸出端放置一個大電容來製造控制斜率迴圈的主極點。

圖 3.27 為將不同斜率的訊號輸入斜率偵測器後得到的電流差異($I_{diff} = I_1 - I_2$)，明顯的，當斜率越小時，電流差異的值就越大，此結果和所要求的斜率偵測器功能相符。

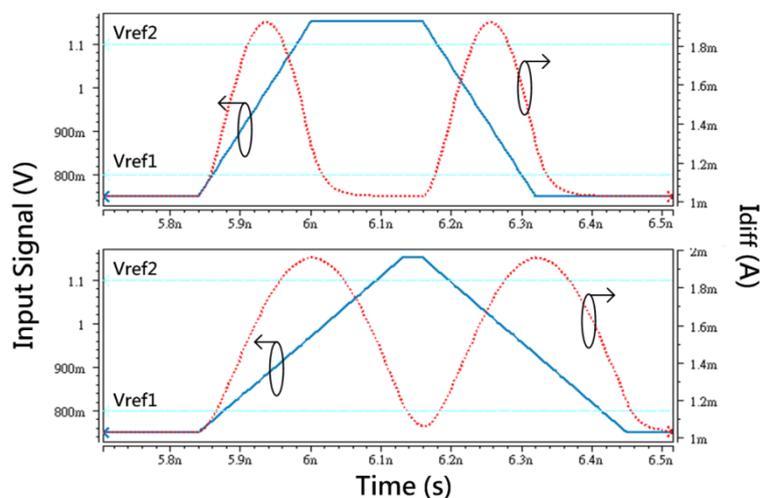


圖 3. 27 斜率偵測器之行為模擬

概念上，當斜率偵測器中的兩個參考電壓(V_{ref1} ， V_{ref2})的差距越大，代表斜率資訊的時間差異就越大，圖 3.28 的模擬結果和此一概念相符合，因此以迴圈增益(Loop Gain)的觀點，會採用較大的參考電壓差距。須注意的是，此圖為將斜率資訊無關的直流電流(如圖 3.27 中為 1mA)去除掉後所作。

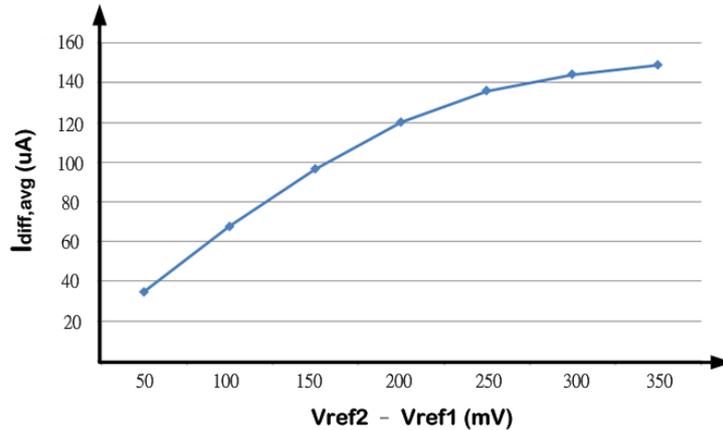


圖 3. 28 參考電壓差距對輸出電流差異之關係圖

參考電壓差距過大時，會讓斜率偵測器在迴圈控制時無法以斜率的資訊來做補償，因此將此參考電壓差距設定為迴圈穩定時訊號大小的 0.75 倍($0.75V_{pp} = 300mV$)。

此次提出的斜率偵測器及電流比較器的消耗功率為 6mW。

3.4.5 仿製路徑

仿製路徑只對直流訊號作處理，對於雜訊要求不高，但卻非常的在意耗電量，因此在設計時，仿製路徑中轉阻放大器、等化器及可變增益放大器的電流源皆設計為主要電路的五分之一，為了維持電路的等效性，須要同時將這三個電路中的 MOS 的長寬比變為原本的五分之一，並將電阻乘上五倍，如圖 3.29，此仿製路徑的總消耗功率為 17mW。

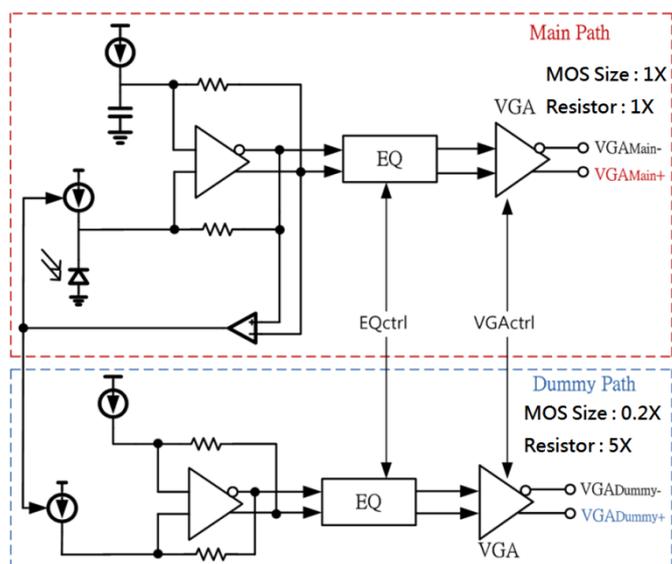


圖 3. 29 仿製路徑之尺寸設計

由於仿製路徑不需要作任何的高頻處理，因此所有非直流相關的元件將被去除，以節省面積，以可調式等化器為例，如圖 3.30，主要路徑中的等化器裡採用了源極退化級來補償高頻的響應，因此在源極中有置入電容電阻對，而在仿製路徑中的複製電路，則將這些電容電阻對移除，且電路中已無主要路徑裡所用到的米勒負電容，而主動式負電容因為會影響電路的直流增益，只能將內部的電容移除。仿製路徑之其它電路請參考附錄。最終仿製路徑的模擬結果顯示電路行為與要求相符，如圖 3.31。

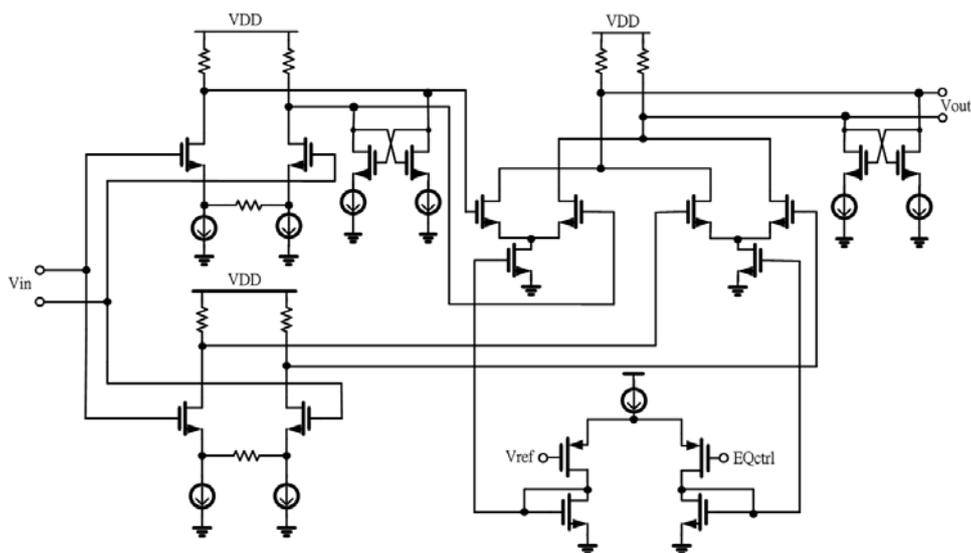


圖 3. 30 仿製路徑中的等化器

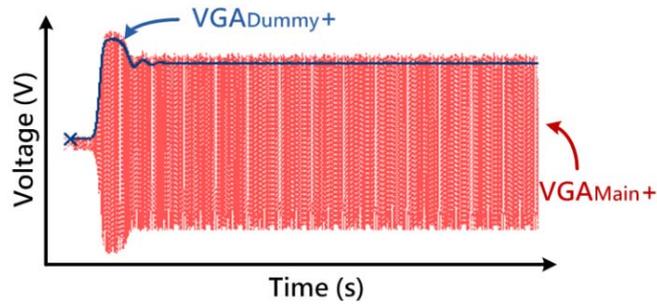


圖 3. 31 仿製路徑之功能模擬

3.4.6 誤差放大器

仿製路徑中的輸出端，使用了一個誤差放大器(Error Amplifier)，用來偵測 VGA 的輸出直流電壓和目標參考電壓(V_{ref3})的差異，此放大器的增益值直接影響了迴圈增益，因此在此電路中採用了負電阻(Negative Resistor)，如圖 3.32，使用了負電阻前後的增益差異如圖 3.33。而電路中的電容，決定了系統中直流控制迴圈的主要極點。此誤差放大器的消耗功率為 0.5mW。

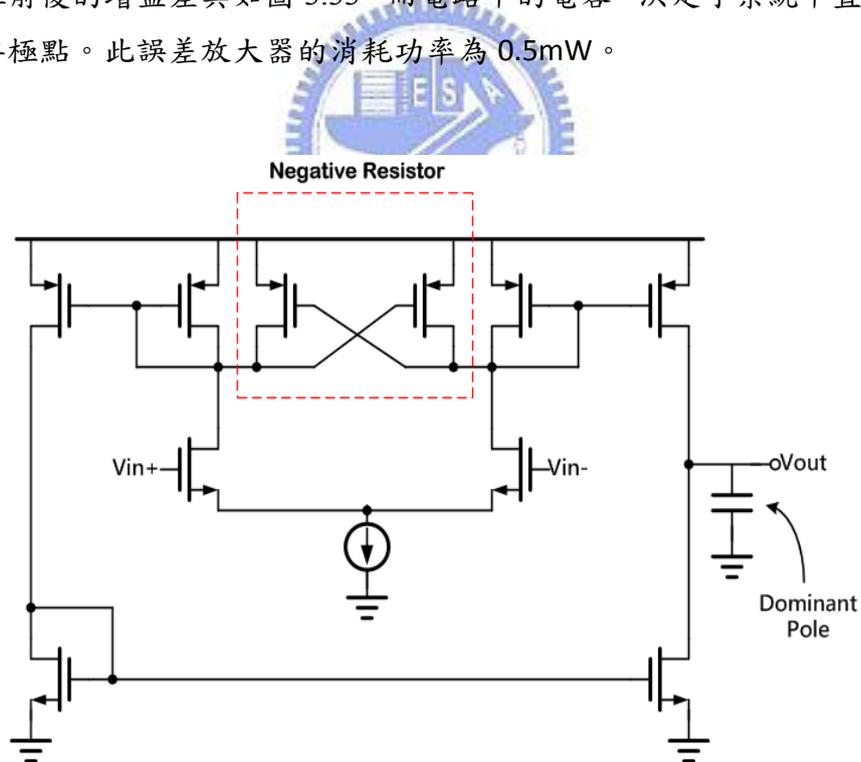


圖 3. 32 誤差放大器

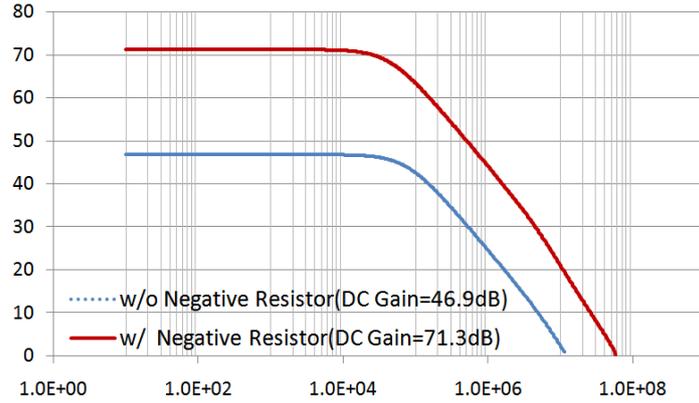


圖 3. 33 誤差放大器之頻率響應

3.4.7 迴圈行為

控制系統要能正常操作，須使控制的轉換曲線(Transfer Curve)呈現單調性(Monotonic)，圖 3.34 為取得轉換曲線的模擬示意圖，利用不同的控制電壓(EQctrl、VGActrl)下輸出值($I_{diff,avg}$ 、 VGA_{Main+})的變化，可以得到控制的轉換曲線。

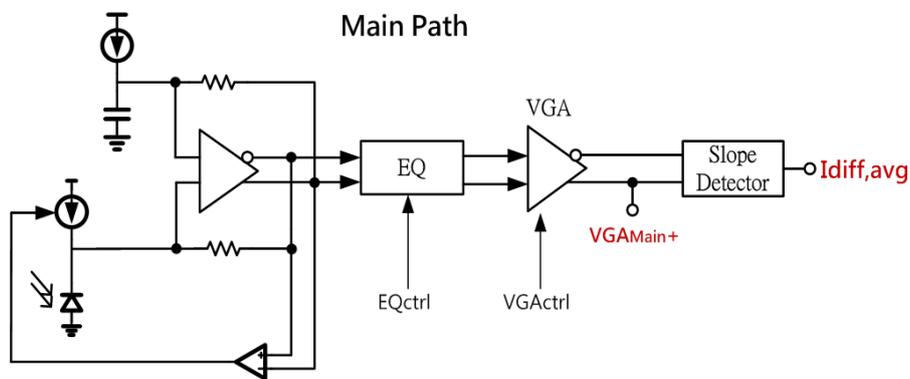


圖 3. 34 控制電壓與其對應的被控制輸出

圖 3.35 為訊號大於參考電壓差異($V_{ref2}-V_{ref1}$)時的斜率控制轉換曲線，由於等化器控制電壓是針對斜率偵測器的兩個輸出電流的差異的平均作改變，因此就以此為縱軸。由圖可知斜率控制的轉換曲線呈現單調性遞減，迴圈控制可正常工作。

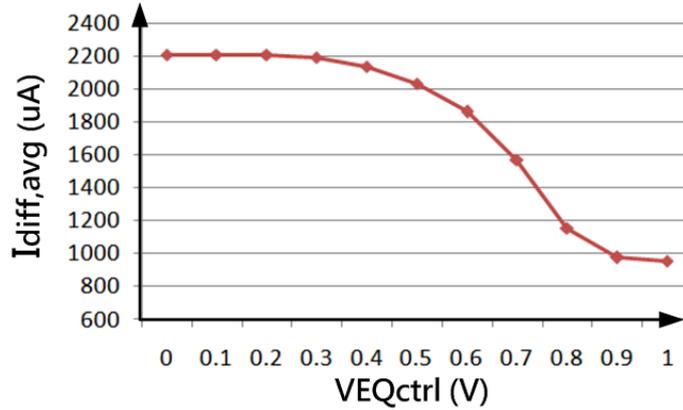


圖 3. 35 斜率控制轉換曲線

圖 3.36 為直流控制的轉換曲線，由於可變增益放大器控制電壓是針對訊號的振幅作改變，因此可以定義訊號的峰值為縱軸，由圖可知直流控制的轉換曲線呈現單調性遞加，迴圈控制可正常工作。

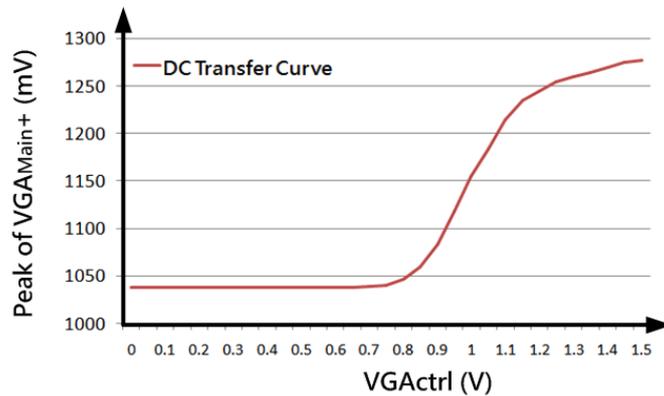


圖 3. 36 直流控制轉換曲線

經過轉換曲線的討論後，為驗證系統的閉迴圈響應是否正常操作，須模擬系統的暫態響應(Transient Response)。由於此次研究提出系統的系統為可適性(Adaptive)架構，因此除了模擬系統對控制雜訊的抑制能力外，必須在模擬時改變檢光二極體電流的大小，以及在模擬時改變輸入的光波長來觀察系統的可適性功能。

圖 3.37 為光波長 850nm 情況下，檢光二極體電流(Iin)由 300 μ A 變小為 20 μ A 的暫態響應圖，迴圈鎖定時，在不同電流有不同的等化器控制電壓，此是因為較大的電流會使電路接近大訊號模式，而造成控制電壓的差異。此圖可以顯示當檢光二極體產生的電流改變時，系統仍然可以穩定。圖 3.38 為這兩個穩定狀態下的輸出訊號眼圖(Eye Diagram)，穩定後訊號呈現的斜率大致相同。另外，當光波

長為 600nm 的情況下，迴圈控制也能有相同的功能表現。

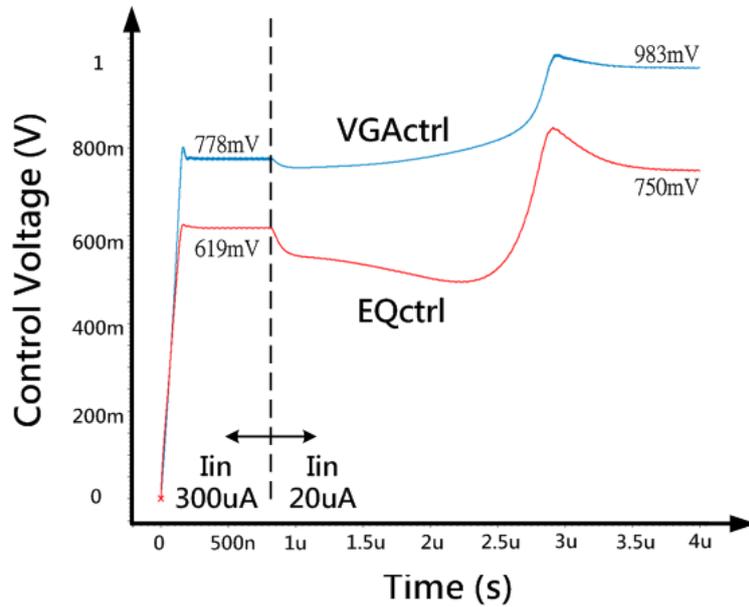


圖 3. 37 改變檢光二極體電流之暫態圖

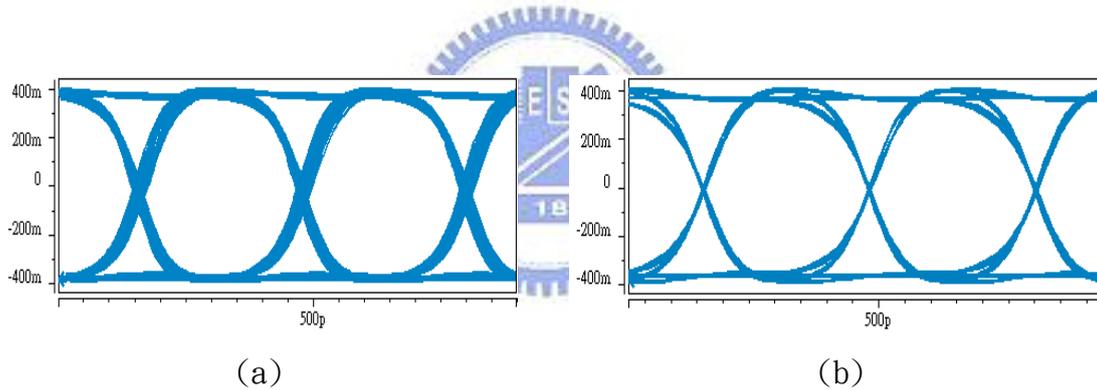


圖 3. 38 輸入電流為(a) $300 \mu A$ 及轉換成 (b) $20 \mu A$ 的輸出訊號眼圖

圖 3.39 為檢光二極體電流為 $20 \mu A$ 下，改變輸入光波長的暫態響應圖，光波長在改變後，系統仍然可以穩定。這兩個穩定狀態下的輸出訊號眼圖如圖 3.40，兩個狀態下的眼圖速度也大致相同。

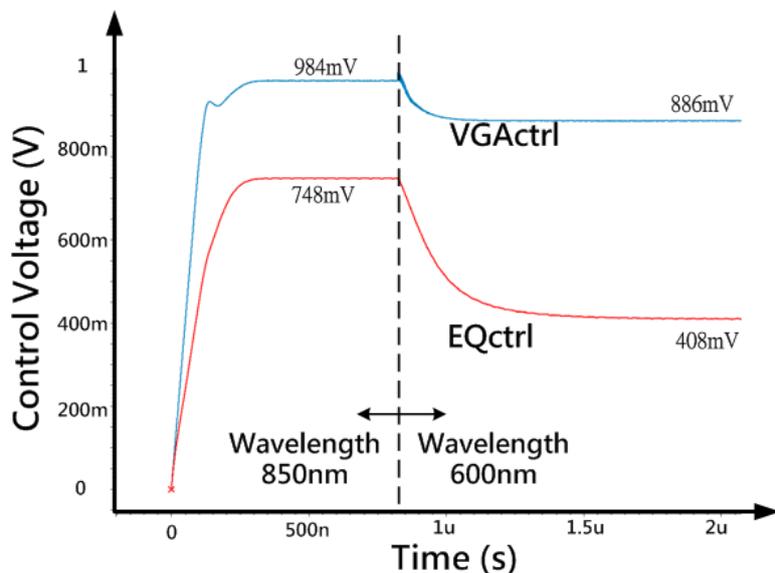


圖 3. 39 改變輸入光波長之暫態圖

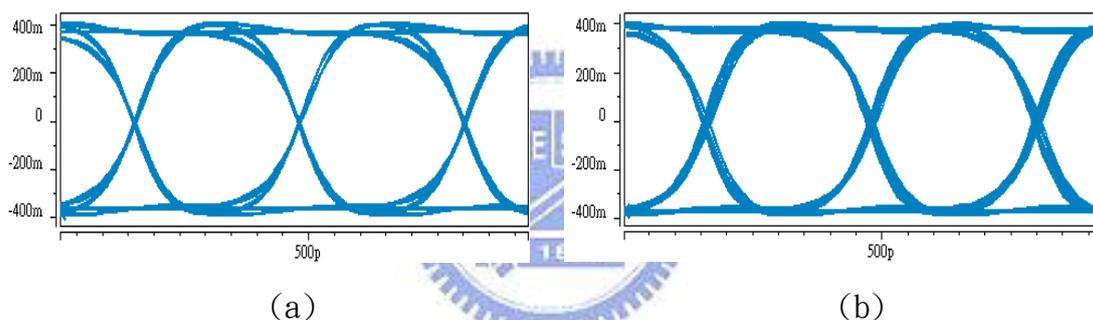


圖 3. 40 輸入光波長為(a) 850nm 及轉換成 (b) 600nm 的輸出訊號眼圖

此次對於控制雜訊的模擬方法，是在控制電壓端加入一個 0.2V 的階梯電壓 (Step Voltage)，觀察迴圈作用後是否能回到原本的控制電壓值。圖 3.41 中，分別在可變增益放大器控制電壓(VGActrl)和等化器控制電壓(EQctrl)中加入了階梯電壓，其中可變增益放大器控制電壓由於迴圈速度較快的關係，迅速的回復到原本的值，而等化器控制電壓雖操作在等化器的線性區邊緣，但在迴圈作用後，仍可回到本來的值。除了此模擬圖外，在其它的輸入光波長及強度的情況下，也可以得到相同的暫態響應。

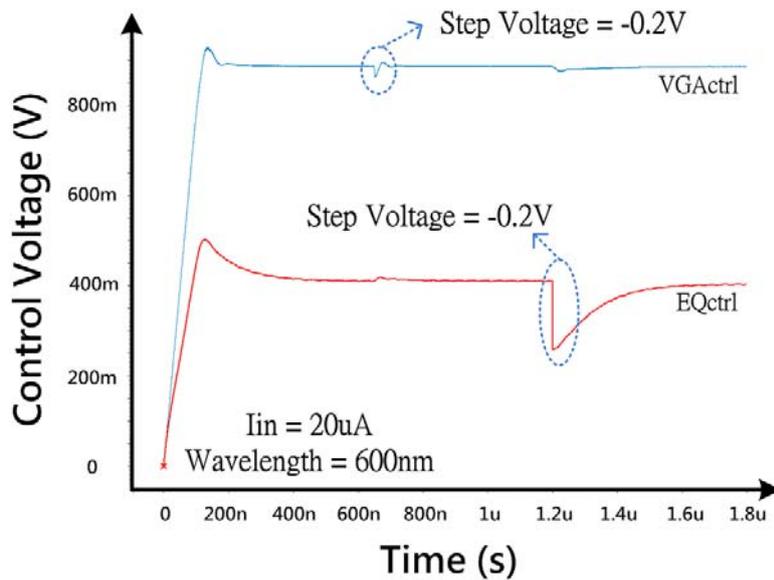


圖 3. 41 系統對於控制雜訊電壓的暫態圖

圖 3.42 為等化器控制電壓為零時，不同的輸入光波長情況下所得到的電路輸出訊號眼圖，其中 600nm 光波長所造成的高頻衰減較少，而 850nm 光波長的高頻衰減較多，因此呈現出的眼圖較為模糊。

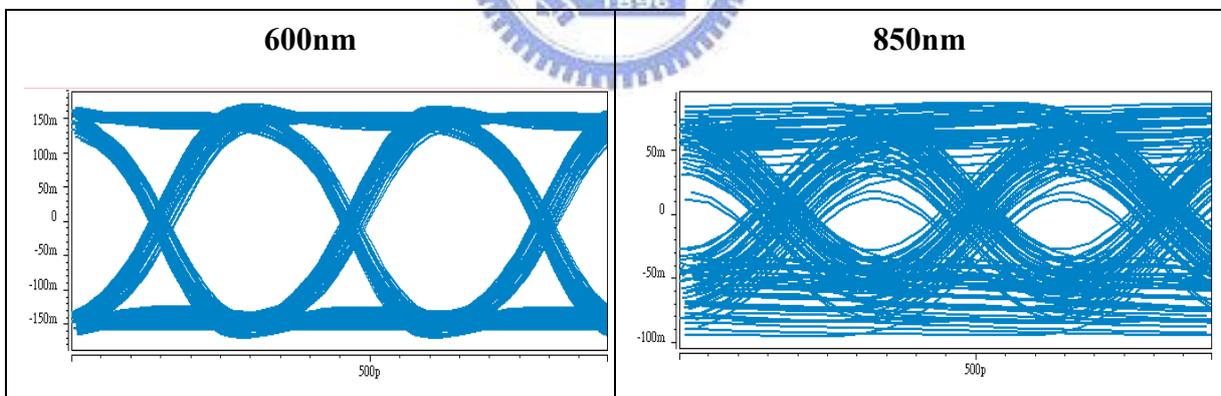


圖 3. 42 不同光波長之電路輸出眼圖

圖 3.43 為系統在不同的情況下作可適性操作後所得到的眼圖，不同光波長的訊號經過迴圈控制後，都可得到大致相同的高頻表現。不同大小的輸入，也能在系統的操作下，得到相同的輸出振幅。在此模擬的輸入電流大小為 $20\mu\text{A}$ 及 $300\mu\text{A}$ ，涵蓋了輸入光強度 $0\text{dBm}\sim-10\text{dBm}$ 情況下 (Responsivity of PD = 0.25A/W) 產生的電流值。

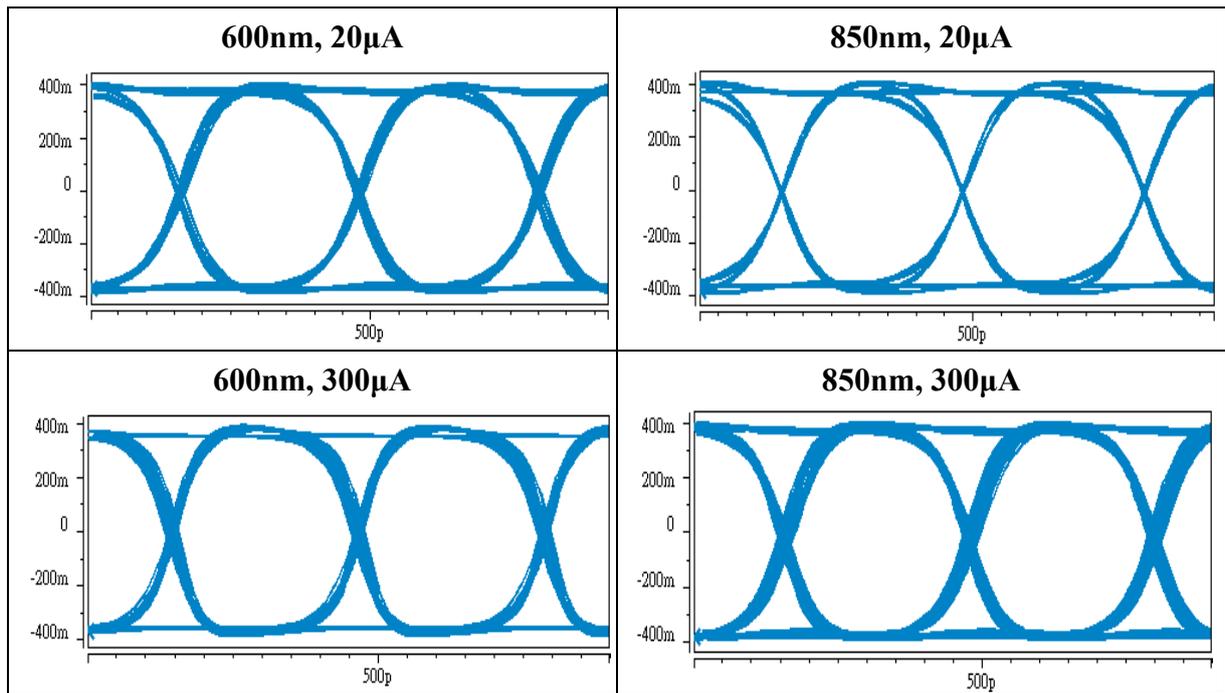
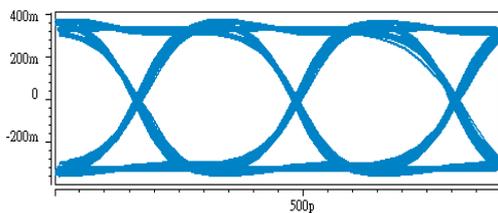
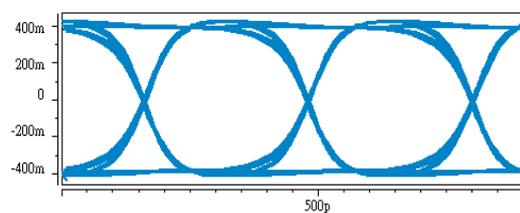


圖 3. 43 不同情況下執行可適性操作的眼圖

由於斜率偵測器內部電路的不匹配會改變萃取出斜率資訊大小，進而影響控制迴圈的判斷，為模擬系統受此一效應的影響，在此將電路的不匹配等效成參考電壓差異($V_{ref2}-V_{ref1}$)的改變，假定不匹配造成的差異為減少或增加 50mV，在此情況下進行閉迴路模擬(850nm, 20 μ A)，控制電壓穩定時所得到的眼圖如圖 3.44，當差異減少時，高頻補償程度減少，眼圖的高度約變為 300mV，為原本 400mV 的 75%，但絕大部分的訊號間干擾(ISI)仍被移除了，而當差異增加後，高頻補償增加，眼圖呈現足夠的速度。因此電路不匹配產生的等效參考電壓差異變動在 ± 50 mV之間為可以接受的範圍。



(a) 差異減少 50mV



(b) 差異增加 50mV

圖 3. 44 參考電壓差異變動情況下迴圈控制後的眼圖

3.4.8 雜訊分析

欲預測設計電路所能達到的靈敏度，必須模擬在補償兩個波長時的電路設定下所得到的輸入雜訊值($I_N, 1 \mu A@600nm, 2.7 \mu A@850nm$)，並預估檢光二極體響應率，將這兩者代入以下公式推出預估靈敏度，式中 ρ 為檢光二極體的響應度 (Responsivity, $0.25A/W$)， r_e 為雷射光源的亮暗比 (Extinction Ratio, $12.74dB=18.5$)，14.1 則是對應到 10^{-12} 誤碼率 (Bit Error Rate) 的常數：

$$\text{sensitivity} = 10 \times \log \left[\frac{14.1 \times I_N (r_e + 1)}{2 \rho (r_e - 1)} \times 1000 \right]$$

利用此式所推得的靈敏度，在 600nm 時為 $-15dBm$ ，在 850nm 時為 $-10dBm$ ，會造成此一差別是因為等化器在補償 850nm 時，對高頻雜訊作了較多的放大，因此雜訊表現較差。



3.4.9 電路佈局

圖 3.45 為此次的佈局圖，使用了兩個檢光二極體，大小分別為 $70\mu m \times 70\mu m$ ，並採用八角形結構以減少電容效應，其中一個 (Dummy PD) 只取其結構裡等效電容的部分，所以在其上層鋪了金屬避免其因照光而產生額外的響應，兩個檢光二極體的擺放也儘量遠離主要電路，避免照光時對電路造成影響。電路電源由三條 $10\mu m$ 的金屬線接入，並以兩層 $10\mu m$ 的金屬包圍電路以提供所有電流流通。而電路中許多的電壓要同時輸入主要及仿製路徑中的電路，因此兩路徑中的電路要擺在相對的位置。在電路的外接考量方面，將偏壓輸入分成三組 (Bias1~3)，分別偏壓主要及仿製路徑中的 (1) 轉阻放大器，(2) 可調式等化器，(3) 可變增益放大器、輸出緩衝級 (Output Buffer)、斜率偵測器及誤差放大器。而等化器控制電壓 (EQctrl)、可變增益放大器控制電壓 (VGActrl) 及直流消除相關的控制電壓 (Voc、Vocf) 也設計可藉由外部控制來觀察電路的開迴路 (Open Loop) 效能。由於時間的考量，希望在晶片未切割前就可以量測，因此將所有的外接腳位放置在角落的位置。

圖 3.46 針對佈局圖中電路的部分作放大。斜率偵測器放在兩個路徑中間，減少等化器控制電壓到兩路徑的走線長度差異。表 3.1 為模擬結果與設計目標的比較。

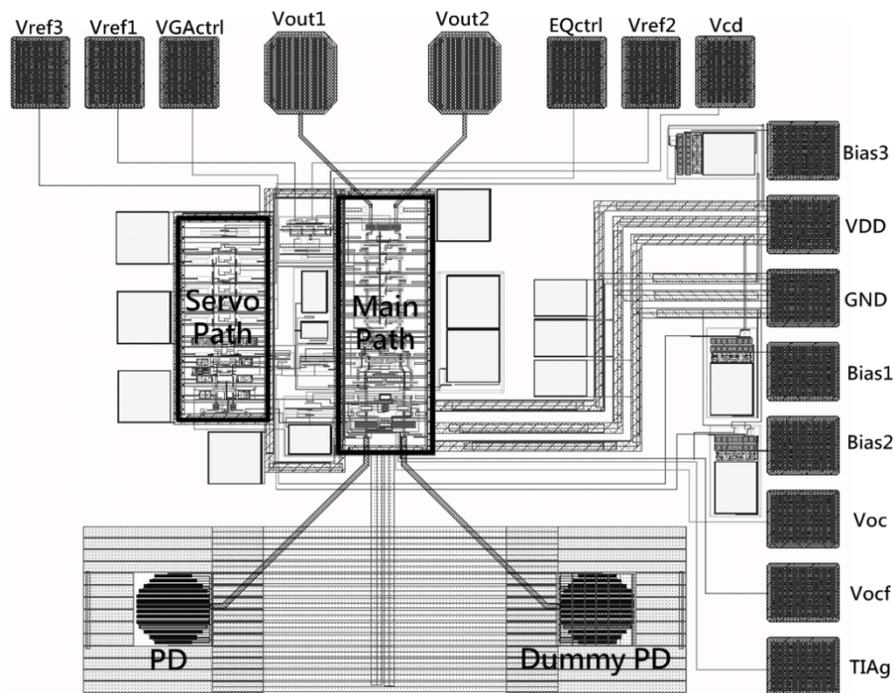


圖 3. 45 電路佈局圖

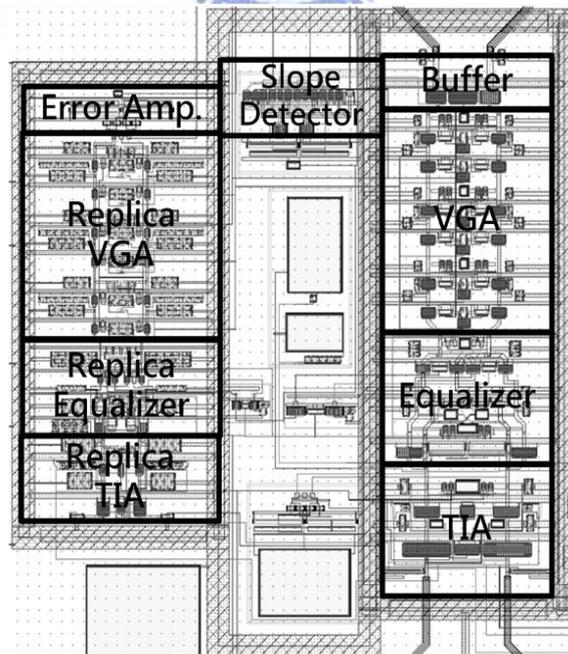


圖 3. 46 電路佈局放大圖

	Design Target	Simulation Result
Technology	0.13 μ m CMOS	0.13 μ m CMOS
Optical Wavelength	600nm~850nm	600nm~850nm
Bandwidth	2.1875GHz	3GHz
Data rate	3.125Gb/s	3.125Gb/s
Transimpedance Gain	66dB Ω ~86dB Ω	50dB Ω ~114dB Ω
Output Swing (Single Ended)	500mV	400mV
DC Responsivity	0.25A/W	0.25A/W
Sensitivity (600nm)	-10dBm @ BER=10 ⁻¹²	-15dBm @ BER=10 ⁻¹²
Sensitivity (850nm)	-10dBm @ BER=10 ⁻¹²	-10dBm @ BER=10 ⁻¹²
Chip Size	NA	1000 μ m \times 1000 μ m
Power Dissipation	NA	125mW

表 3. 1 預計規格列表

3.5 量測結果



3.5.1 量測環境

因為實驗室所購買的 650nm 波長雷射無法達到高速調變的應用，故在這裡的量測皆使用 CSI 高速 850nm 光發射器。

在這次的量測裡主要分兩部分，分別為暫態響應和頻率響應。暫態響應量測的部分如圖 3.47 所示，利用 Agilent N4901B 誤碼率測試儀(Bit Error Rate Tester, BERT)送出 2⁷-1 的偽隨機位元串流(Pseudo Random Bit Stream, PRBS)，而後以 CSI V-226 光發射器將電訊號轉成波長為 850nm 的光訊號，經由光針將光聚在整合於晶片裡的檢光二極體上。晶片輸出的信號送入 Agilent86100B 示波器觀察眼圖，並送回 Agilent N4901B 量測誤碼率。光功率的大小由 AFL OVA5 可變光衰減器 (Variable Fiber Optic Attenuator)調整，並由 AFL OPM4 光功率量測器(Optical Power Meter)量測光發射器送出的光功率。

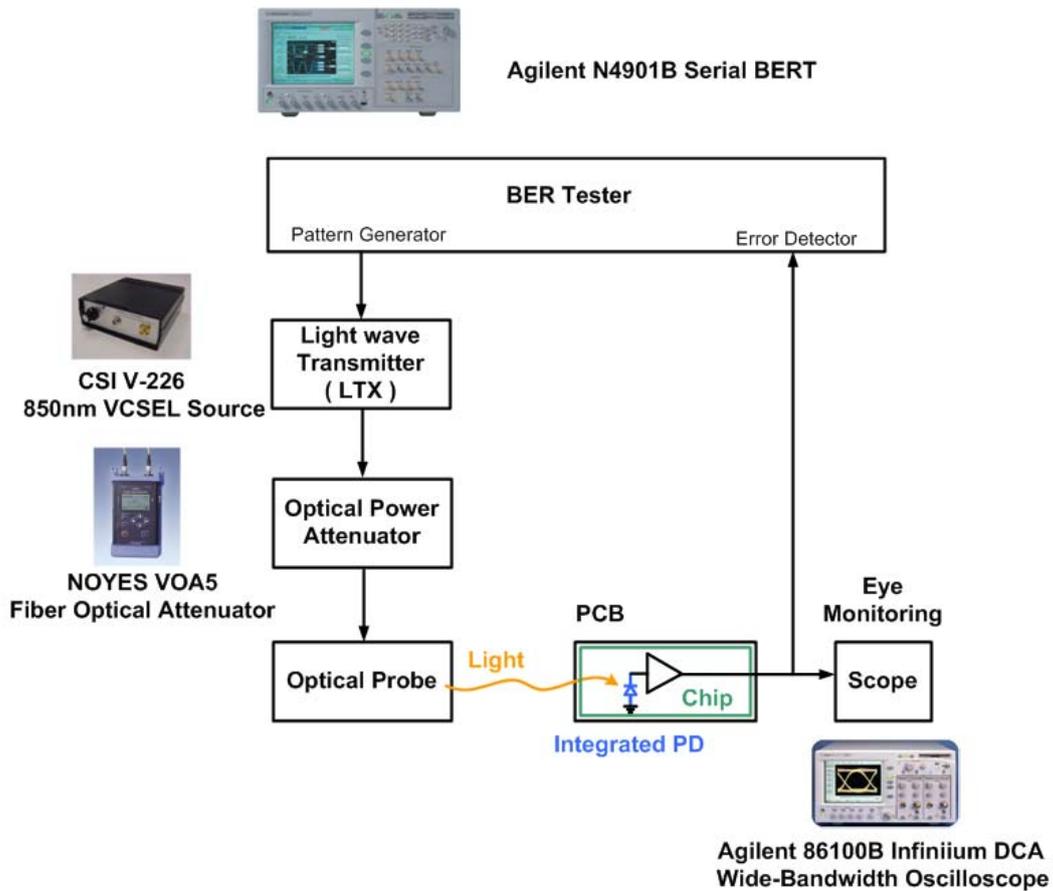


圖 3. 47 暫態響應量測環境

頻率響應量測的部分如圖 3.48 所示，利用 Agilent E5071B 網路分析儀 (Network Analyzer) 送出訊號，而後以 CSI V-226 光發射器將電訊號轉成波長為 850nm 的光訊號，經由光針將光聚在整合於晶片裡的檢光二極體上。晶片輸出的訊號送到 Agilent E5071B 量測頻率響應。

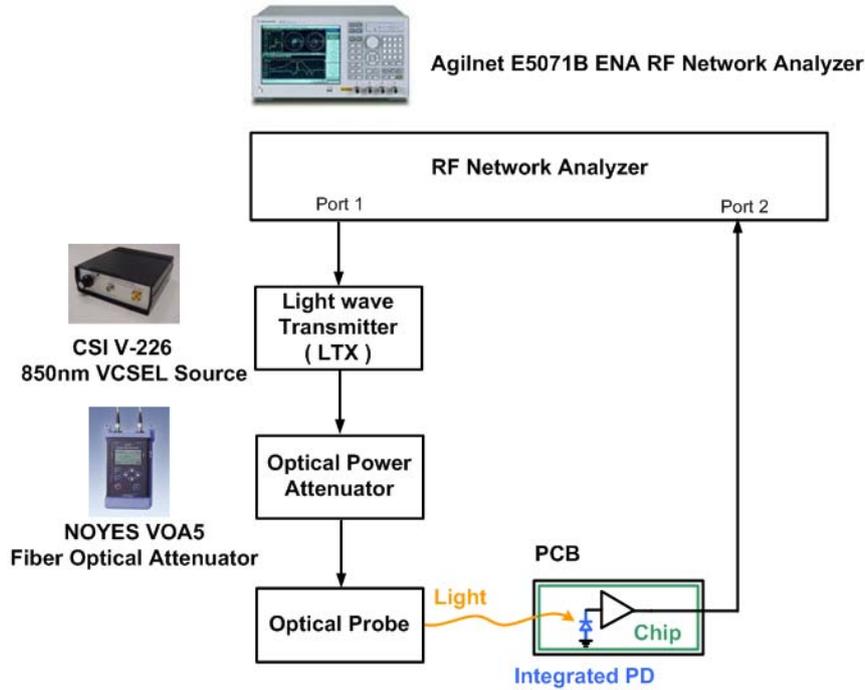


圖 3. 48 頻率響應量測環境

3.5.2 單晶整合光接收器量測

在測試整個光接收器時，首先須先驗證各個電路的功能，因此先進行開迴路 (Open Loop) 測試，由外部輸入控制電壓來觀察各個電路。

經量測後可變增益放大器在完全關閉及完全打開時的頻率響應，增益範圍約為 32.3dB，比模擬時小了 12dB，這是因為可變增益放大器的源極雜散電阻值加大了源極的最小總和電阻，因此可提供的最大增益縮小了。

圖 3.49 為等化器完全關閉時，在電路輸出端得到的單端訊號眼圖，和模擬的眼圖相近。

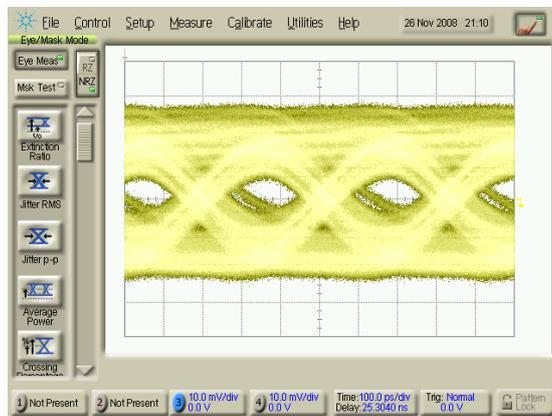


圖 3. 49 等化器關閉情況下的輸出訊號眼圖

圖 3.50 為不同等化器控制電壓和電路輸出訊號的頻寬關係，在此量測 2.2GHz 是因為頻寬只要達到訊號速率的 0.7 倍，即可以得到品質夠好的眼圖，由此圖可知等化器控制電壓在 750mV 時可以得到足夠的訊號表現。

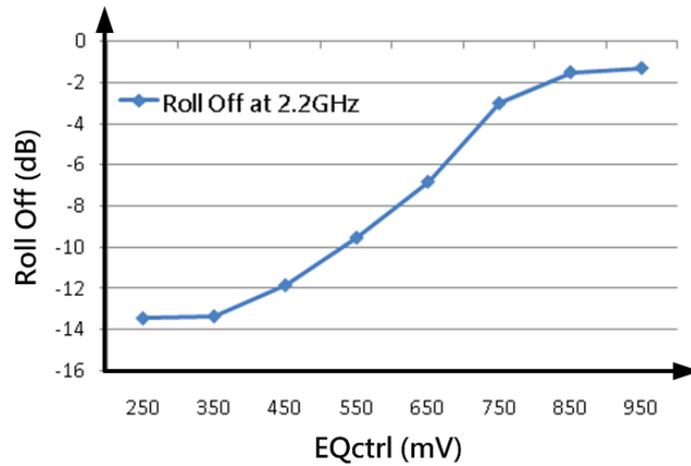


圖 3. 50 等化器控制電壓與高頻衰減關係圖

為了驗證直流控制迴路的正確性，需要進行閉迴路測試(Closed Loop)，藉由輸入不同大小的光強度，觀察電路的輸出訊號振幅是否維持一定，圖 3.51 為改變輸入光強度時，兩個控制電壓的改變情況，可以觀察到可變增益放大器控制電壓(VGActrl)隨著光強度減弱而變大，使得可變增益放大器提供足夠的增益，而等化器控制電壓則維持在小範圍內的變動，受光強度影響不大。圖 3.52(a)(b)的輸入光強度分別為未衰減及衰減成 0.3 倍，經過迴路控制後，兩者的振幅都維持在約 400mV 左右，因此可知直流控制迴圈可以正常操作。

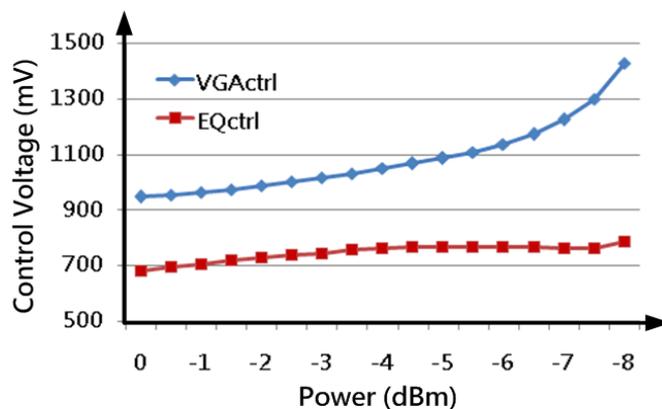
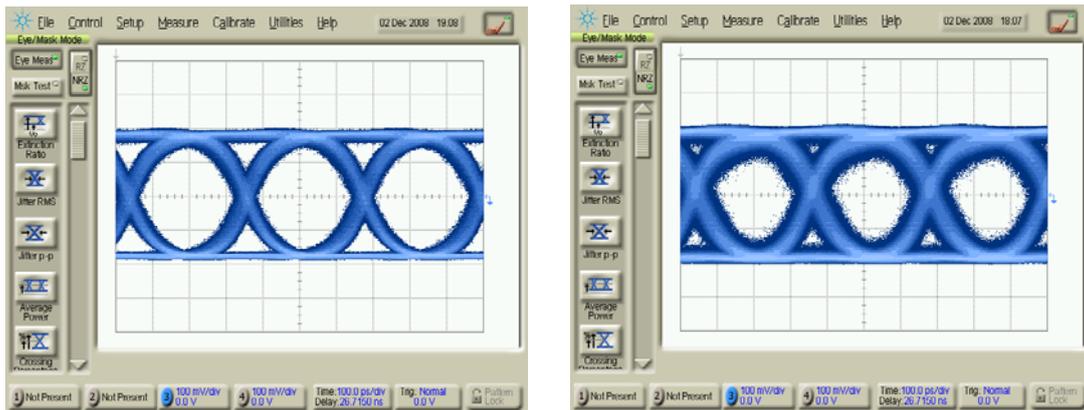


圖 3. 51 光強度和控制電壓的關係圖



(a)

(b)

圖 3. 52 輸入光強度(a)1x，(b)0.3x 經迴圈控制後輸出訊號眼圖

經過等化器的作用後，可以得到一個消除符號間干擾(Inter-Symbol Interference, ISI)的眼圖，圖 3.53 為在符合誤碼率小於 10^{-12} 時之最小光強度產生的輸出訊號眼圖。

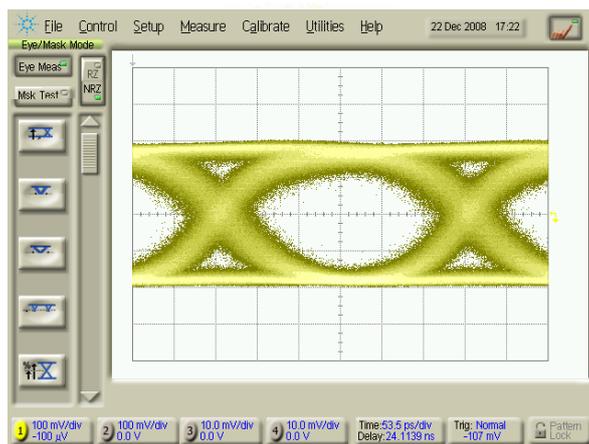


圖 3. 53 眼圖量測(-5.2dBm，速度 3.125Gb/s)

圖 3.54 為直方圖量測和雜訊推估，量測時將光輸入關掉，僅量測電路本身的雜訊($V_{N,out}=2.75mV$)，並在同樣的電路設定下，以光強度(P_{in})為 0dBm 時量測輸出振幅($V_{out}=138mV$)，如圖 3.55，利用下方公式，可算出電路的靈敏度(Sensitivity)為 -8.06dBm。

$$\begin{aligned} \text{sensitivity} &= 10 \times \log \left[\frac{14.1 \times I_N (r_e + 1)}{2 \rho (r_e - 1)} \times 1000 \right] \cdot I_N = \frac{V_{N,out}}{\text{Gain}} = \frac{V_{N,out} P_{in} \rho}{V_{out}} \\ &= 10 \times \log \left[\frac{14.1 \times V_{N,out} (r_e + 1) P_{in}}{2 V_{out} (r_e - 1)} \times 1000 \right] \end{aligned}$$

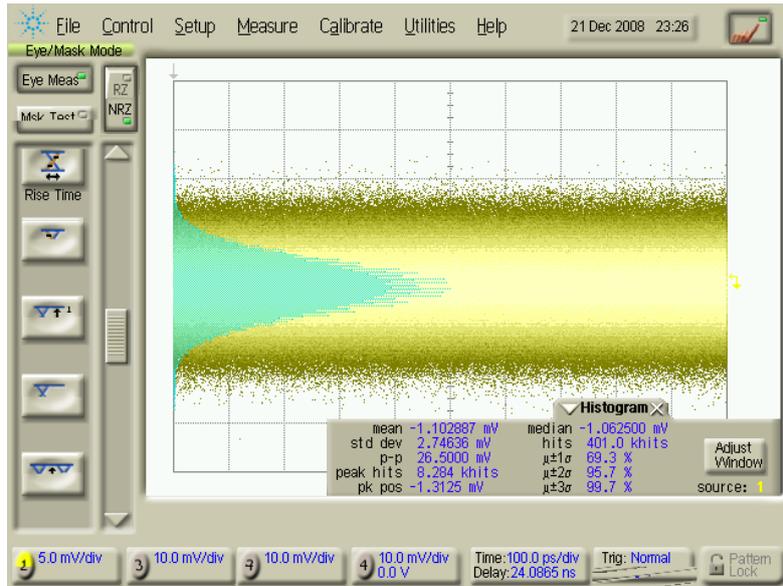


圖 3. 54 雜訊之直方圖量測

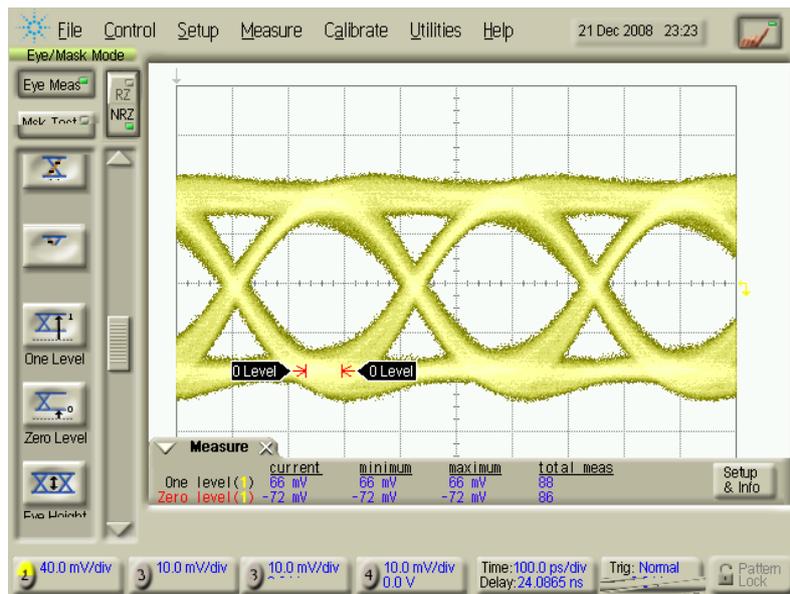


圖 3. 55 推估靈敏度時的輸出訊號振幅

圖 3.56 為光接受器在 3.125Gb/s 訊號速度下的誤碼率量測，其靈敏度為 -5.2dBm，此值和理想值的差異是因輸出緩衝級對於訊號作了限幅動作，卻未對雜訊產生同樣影響所造成。

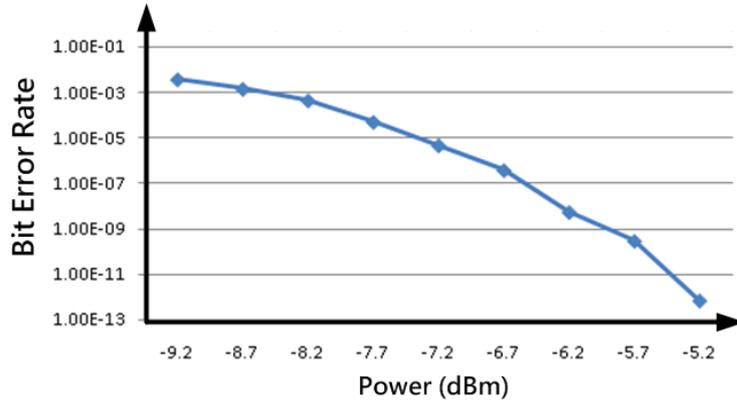


圖 3. 56 光接收器誤碼率量測

圖 3.57 為不同訊號速度情況下的靈敏度量測，由於越高速操作，越會受符號間干擾的影響，而降低靈敏度。

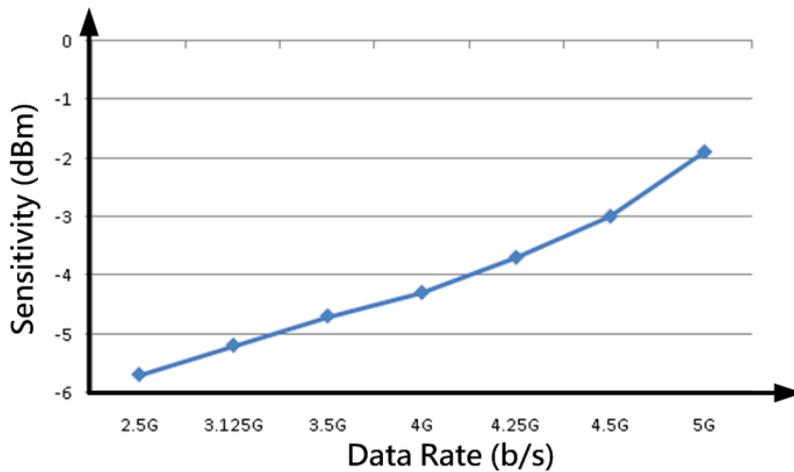


圖 3. 57 不同訊號速度之靈敏度量測

圖 3.58 為光接收器的晶片照相圖，表 3.2 為量測結果列表與比較，此次的研究最大的貢獻在於提出了針對不同波長的可適性操作電路。而整合在 CMOS 製程中的檢光二極體因為製程飄移，響應率落在 $0.1A/W \sim 0.155A/W$ 之間，而以響應率為 $0.123A/W$ 的檢光二極體量得 $-5.2dBm$ 的靈敏度，敏靈度無法達到預期的 $-10dBm$ 主因是低響應率造成的影響。晶片的功率消耗達到 $120mW$ ，是因為未對三級的可變增益放大器作最佳化，最佳化的結果可以使功率消耗減少約 $30mW$ 。

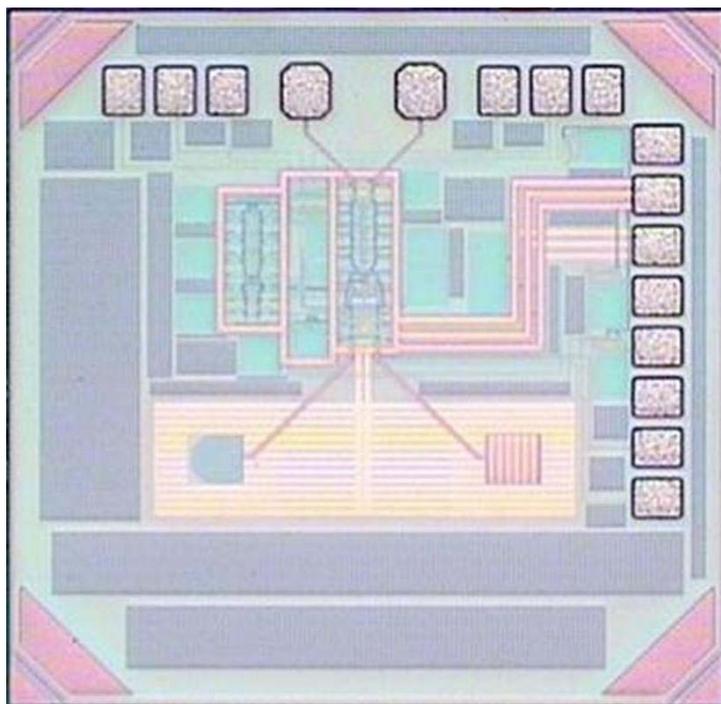


圖 3. 58 光接收器晶片照相圖

	[7]	[8]	This work
Technology	0.18 μ m CMOS	0.18 μ m CMOS	0.13 μ m CMOS
Circuits Included	TIA + Equalizer	TIA	TIA + Equalizer + VGA + Adaption Circuits
Adaptability	No	No	Yes
Optical Wavelength	850nm	850nm	850nm
Photodiode Area	50 μ m \times 50 μ m	80 μ m \times 80 μ m	70 μ m \times 70 μ m
Bandwidth	1.5GHz	N/A	2.2GHz
Data rate	3Gb/s	500Mb/s	3.125Gb/s
DC Responsivity	N/A	N/A	0.1~0.155A/W
Sensitivity	-19dBm @ BER=10 ⁻¹¹	-8dBm @ BER=3 \times 10 ⁻¹⁰	-5.2dBm @ BER=10 ⁻¹² and Responsivity=0.123A/W
Chip Size	700 μ m \times 400 μ m	1000 μ m \times 570 μ m	1mm \times 1mm
Measurement Method	On Wafer	On Board	On Board
Power Dissipation	50mW	17mW	120mW

表 3. 2 量測結果列表與比較

3.5.3 檢光二極體量測

檢光二極體的量測藉由雷射切割系統(Laser Cutter)將檢光二極體和電路的走線切斷避免額外干擾，並利用聚焦離子束(Focused Ion Beam, FIB)在晶片中生成一個連接到檢光二極體的腳位。而後，利用電源隔離器(Bias-Tee)提供直流逆偏壓，並將射頻端的電流訊號送進儀器，藉由儀器裡的 50ohm 阻抗轉提成電壓，如圖 3.59 所示。這是因為檢光二極體本身有一個 pF 等級的雜散電容，故僅用儀器的 50ohm 電阻做電流-電壓的轉換，以免產生太低的極點而影響低頻本質響應的觀察。

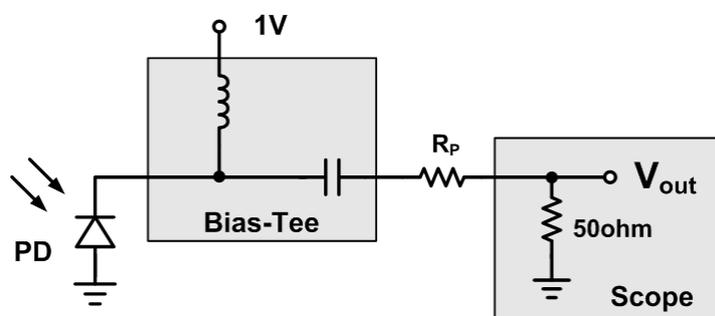


圖 3. 59 檢光二極體量測設定

檢光二極體的頻率響應如圖 3.60 所示，在 GHz 之前的緩慢增益下降符合之前 Medici 模擬的預期，然而在 3.125GHz 時的高頻衰減為-21dB，大於 Medici 模擬的-17dB，這是因為檢光二極體及檢光二極體與電路的金屬線都含有雜散電阻，此雜散電阻和檢光二極體的等效電容會形成 RC 效應，進而衰減了檢光二極體在的高頻表現。

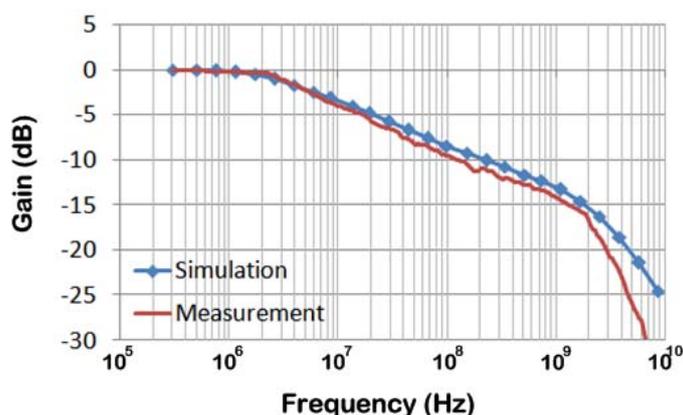


圖 3. 60 頻光二極體頻率響應

由於文獻中有著逆偏在崩潰區邊緣的超高速檢光二極體架構[6]，為了驗證本研究中的檢光二極體是否也可以有同樣的效應，圖 3.61 為測試檢光二極體在不同的逆偏壓狀況下的頻寬，在逆偏 14V 時檢光二極體的頻寬約為 15MHz，離 Gb/s 等級的高速應用仍有一段差距，因此本次的檢光二極體架構仍需要靠等化器的補償才可作高速的應用。

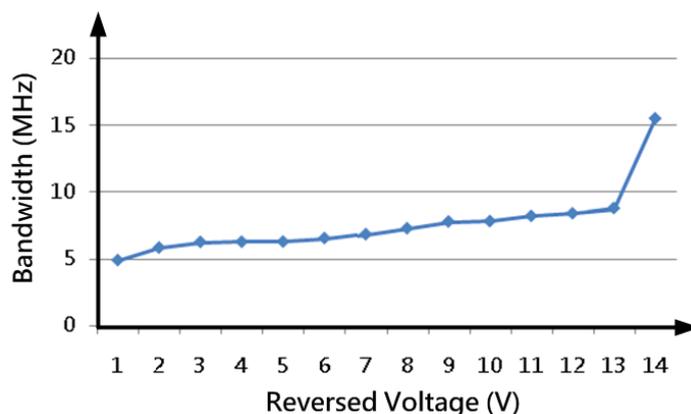


圖 3. 61 逆偏電壓對檢光二極體頻寬之影響圖

圖 3.62 為測試檢光二極體在不同的逆偏壓狀況下的高頻衰減量，從逆偏 1V 到逆偏 14V 檢光二極體在 3.125GHz 的衰減量從-24dB 大幅改善到只衰減-10dB 左右，若以此逆偏電壓的檢光二極體整合進電路中，將大幅的減輕之後等化器的負擔。觀察在 5GHz 時的衰減，也減輕到-15dB 左右，使此檢光二極體有機會應用在更高速的電路設計。

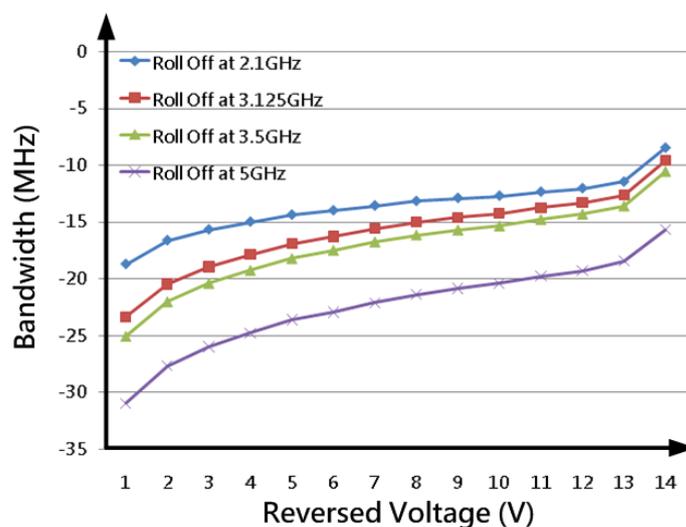


圖 3. 62 逆偏電壓對檢光二極體高頻衰減之影響圖

圖 3.63 測試逆偏電壓對於檢光二極體電流的影響，暗電流(Dark Current)代表未照光時檢光二極體所產生的電流，在一般的低逆偏電壓的應用中，此電流值約為 nA 等級，所以通常不特別考量，而總電流(Total Current)代表照光時檢光二極體產生的電流。由此圖可以發現逆偏電壓在 14.3V 附近會急速增加電流輸出，但由於此時的暗電流約佔了一半，所以訊雜比約是一比一，並不適合用作訊號傳輸。較適合的操作點約在 14.2V 附近。

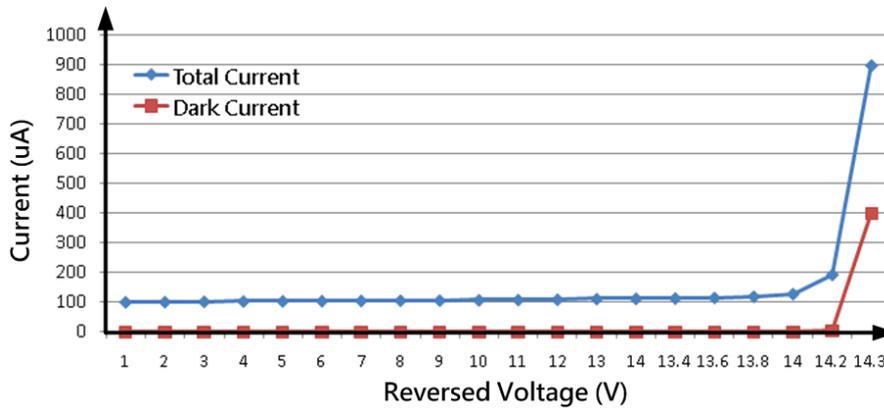


圖 3. 63 逆偏電壓對檢光二極體所產生電流之影響圖

圖 3.64 為逆偏電壓為 14.3V 時的暫態響應量測，訊號在零及一的準位時，雜訊非常嚴重，約佔了訊號振幅的一半，訊雜比之表現不佳。

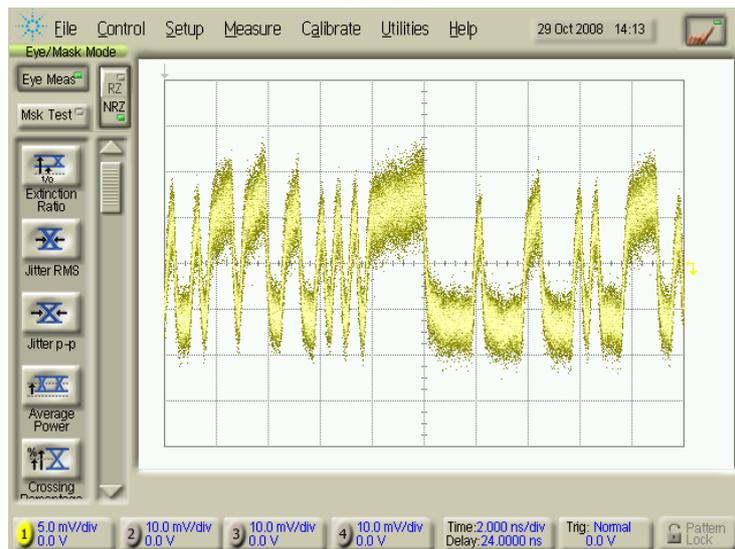


圖 3. 64 逆偏 14.3V 時的檢光二極體暫態響應

3.5.4 大逆偏壓之檢光二極體及光接收器量測

由於產生一個極大的逆偏壓提供給檢光二極體會同時影響到同顆晶片中的電路，使電路無法正常運作，為了以現有的晶片整合大逆偏壓的檢光二極體及電路，在此採用兩顆晶片，如圖 3.65，一顆藉由將晶片原本的接地端接到負電壓來提供大逆偏壓的檢光二極體，同時必須將檢光二極體和電路的連線切斷，以免電流流入不使用的電路中，而另外一顆提供電路，為避免不使用的檢光二極體產生額外的效應，因此也需要將連線切斷。

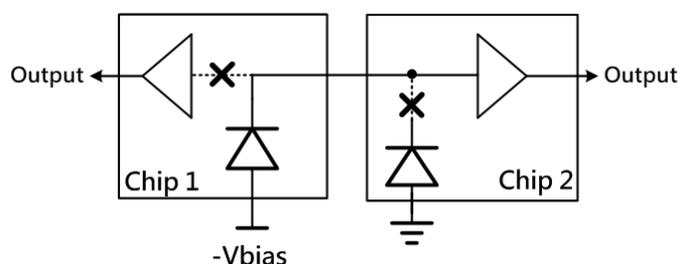


圖 3. 65 大逆偏壓之檢光二極體及光接收器之整合概念圖

圖 3.66 為檢光二極體在不同逆偏壓情況下的閉迴圈量測，可發現等化器控制電壓可以因應不同的逆偏壓作調整，此圖中並未改變輸入的光強度，但可變增益放大器控制電壓會變動，是因為等化器控制電壓會影響直流的強度，因此可變增益放大器須作相對應的直流控制。

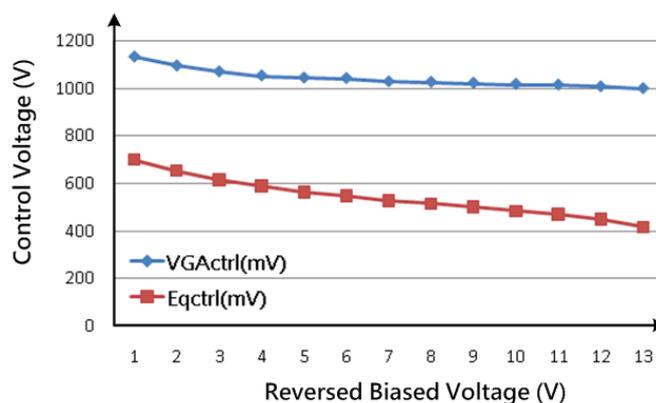


圖 3. 66 不同逆偏壓與控制電壓關係圖

圖 3.67 則為不同逆偏壓下，等化器完全不補償，以及等化器依迴圈控制作

補償的情況下，高頻的衰減量，由此圖可知道，在經過迴圈作用後，頻寬的差異變小了。在此未設定使等化器補償到需要的頻寬，是因為本量測在檢光二極體與電路間的打線較長，鎊線效應(Bond Wire Effect)嚴重，尤其是在電路補償較多時，會使得訊號振盪，如圖 3.68，因此無法對此電路作最佳化，此效應和模擬時於檢光二極體及電路輸入端之間加入電感產生的輸出訊號狀態相符，如圖 3.69。

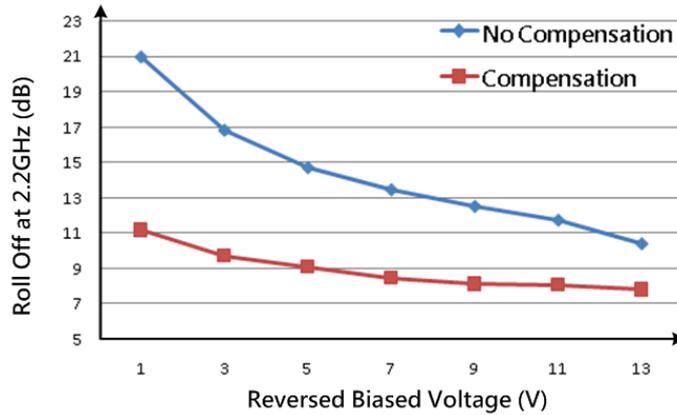


圖 3. 67 不同逆偏壓與高頻衰減的關係圖

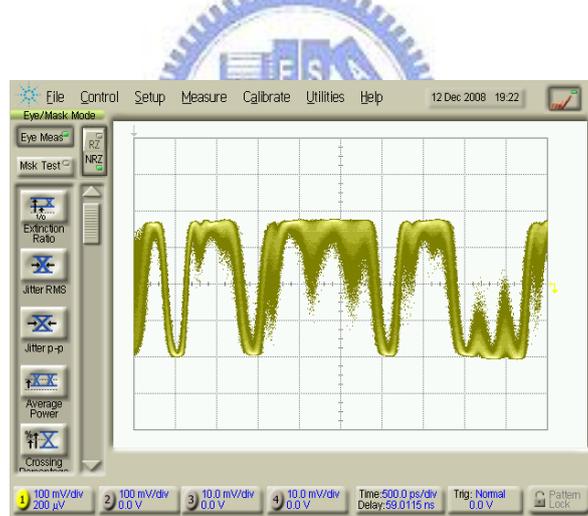


圖 3. 68 鎊線效應圖

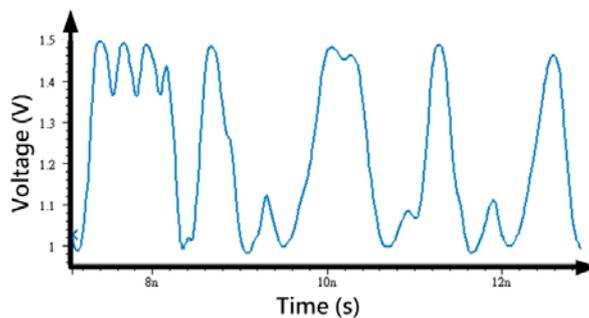


圖 3. 69 鎊線效應模擬圖

第四章 結論與未來展望

在這次的研究中，提出了以 $0.13\mu\text{m}$ 金氧半製程實現一個 3.125Gb/s 的單晶整合光接收器，採用的檢光二極體面積為 $70\mu\text{m}\times 70\mu\text{m}$ ，在 850nm 光波長下利用不同強度的入射光來驗證直流迴圈的正確操作，並在誤碼率小於 10^{-12} 的條件下，量測出 -5.2dBm 的靈敏度。也將不同逆偏壓的檢光二極體和電路整合在一起，驗證了高頻控制迴圈的正確性。

在檢光二極體量測，也得到了加大逆偏壓會提升頻率響應的結果，減輕了等化器所需要補償的範圍。

在未來的工作裡，希望能自動產生參考電壓 (V_{ref1} 、 V_{ref2} 、 V_{ref3}) 及控制電壓 (V_{dc})，來讓可適性等化器架構能夠更加完整。在檢光二極體方面，期望能提出在大逆偏電壓下能操作在更高速的結構。



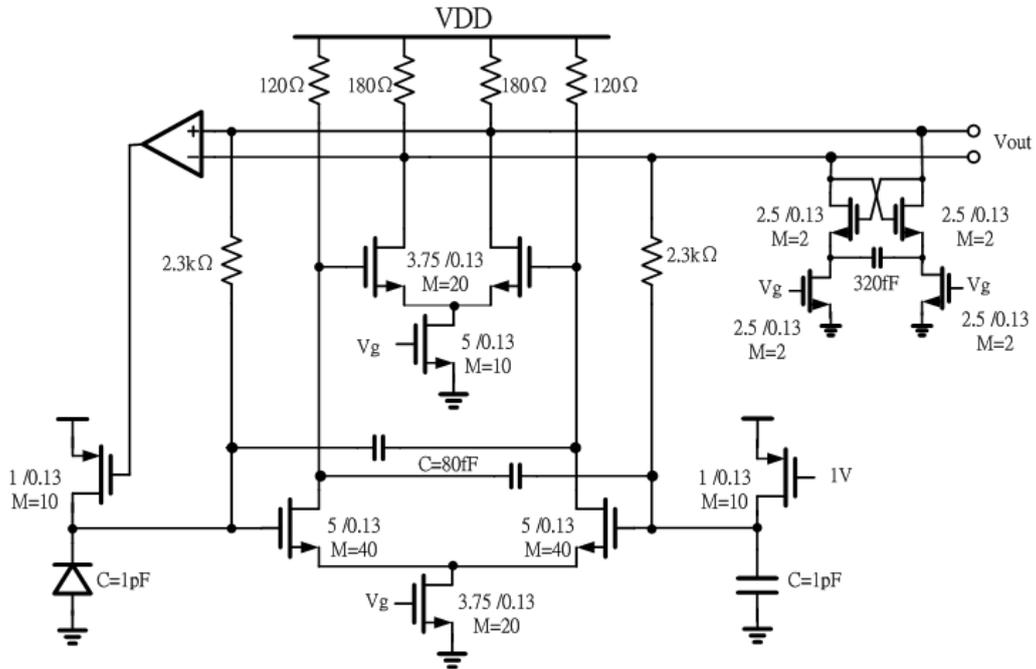
參考文獻

- [1] E. Säckinger, *Broadband Circuits for Optical Fiber Communication*, John Wiley & Sons, 2005.
- [2] M. Ingels and M. Steyaert, *Integrated CMOS Circuits for optical Communications*, Springer, 2004
- [3] S. Radovanović, A. J. Annema, and B. Nauta, "Physical and electrical bandwidths of integrated photodiodes in standard CMOS technology," Proc. Eur. Solid-State Device Research Conf., pp. 95–98, 2003.
- [4] B. Razavi, *Design of Integrated Circuits for Optical Communications*, McGRAW. HILL, 2002.
- [5] B. C. Kuo and M. F. Golnaraghi, *Automatic Control Systems*, John Wiley & Sons, 2003
- [6] W. K. Huang, Y. C. Liu and Y. M. Hsin, "A High-Speed and High-Responsivity Photodiode in Standard CMOS Technology," IEEE Photonics Technology Letters, vol 19, pp: 197 – 199, 2007.
- [7] S. Radovanović, A. J. Annema and B. Nauta, "A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication," IEEE J. Solid-State Circuits, vol. 40, pp. 1706-1717, 2005.
- [8] C. Hermans and M. Steyaert, "A high-speed 850-nm optical receiver front-end in 0.18 μm CMOS," IEEE J. Solid-State Circuits, vol. 41, pp. 1606-1614, 2006.
- [9] S. Radovanović, A. J. Annema, and B. Nauta, "3 Gb/s monolithically integrated photodiode and pre-amplifier in standard 0.18 μm ," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 472–472, 2004.
- [10] G. Zhang, "A BICMOS 10 Gb/s adaptive cable equalizer," in IEEE ISSCC Dig. Tech. Papers, Feb. 2004, pp. 482-483
- [11] J. S. Choi, M. S. Hwang and D. K. Jeong, "A 0.18 μm CMOS 3.5-gb/s continuous-time adaptive cable equalizer using enhanced low-frequency gain control method," IEEE J. Solid-State Circuits, vol. 39, pp. 419-425, 2004.
- [12] S. Gondi, J. Lee, D. Takeuchi and B. Razavi, "A 10Gb/s CMOS adaptive equalizer for backplane applications," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 328–329, Feb. 2005.
- [13] J. LEE, "A 20-Gb/s adaptive equalizer in 0.13- μm CMOS technology," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 273–282, Feb. 2006.

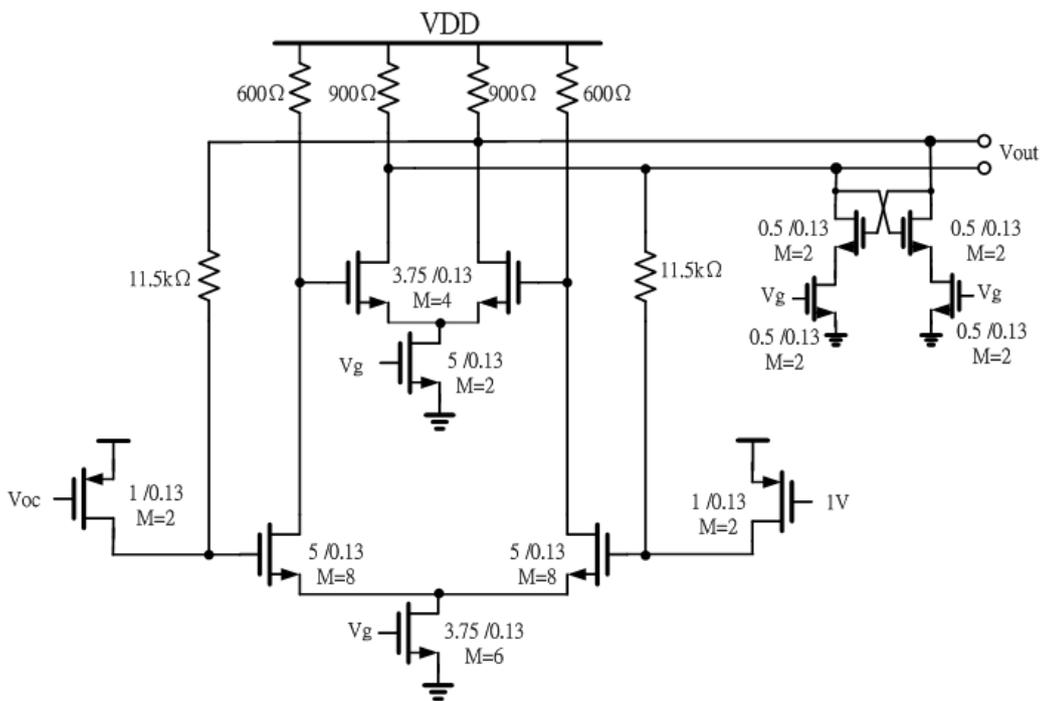
- [14] Y. Tomina, "A 10Gb/s receiver with equalizer and on-chip ISI monitor in 0.11- μ m CMOS," in Symp. VLSI Circuits Dig Tech. Papers, pp.202-205, Jun. 2004,
- [15] J. N. Babanezhad, "A 3.3-V analog adaptive line-equalizer for fast Ethernet data connection," in Proc. IEEE Custom Integrated Circuit Conf., pp. 343–346, May 1998.
- [16] W. J. Dally and J. Poulton, "Transmitter equalization for 4-Gb/s signaling," IEEE Micro, vol. 17, pp.48-56, Jan. /Feb. 1997.
- [17] Y. Kudoh, M. Fukaiishi, and M. Mizuno, "A 0.13- μ m CMOS 5-Gb/s 10-meter 28AWG cable transceiver with no-feedback-loop continuous-time post-equalizer," IEEE J. Solid-State Circuits, vol. 38, pp. 741-746, May 2003.
- [18] J. F. Buckwalter, M. Meghelli, D. J. Friedman and A. Hajimiri, "Phase and Amplitude Pre-Emphasis Techniques for Low-Power Serial Links" IEEE J. Solid-State Circuits, vol. 41, no. 6, 2006.
- [19] C. D. Holdecrid, J. W. Haslett and M. W. Lynch, "Analysis and design of HBT Cherry-Hooper amplifiers with emitter-follower feedback for optical communications," IEEE J. Solid-State Circuits, vol. 39, pp. 1959-1967, 2004
- [20] C. M. Tsai and L. R. Huang, "A 21mW 2.5Gb/s 15k Self-Compensated Differential Transimpedance Amplifier," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 234-235, Feb. 2005.
- [21] C. M. Tsai and L. R. Huang, "A 24mW 1.25Gb/s 13k Transimpedance Amplifier Using Active Compensation," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 894-903, Feb. 2006
- [22] C. H. Lu and W. Z. Chen, "Bandwidth enhancement techniques for transimpedance amplifier in CMOS technologies," Proc. Eur. Solid-State Circuits Conf., pp. 174-177, Sep. 2001.
- [1] C. F. Liao and S. I. Liu, "A 10Gb/s CMOS AGC Amplifier with 35dB Dynamic Range for 10Gb Ethernet," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 2092–2101, Feb. 2006.
- [24] S. Yamashita, S. Ide, K. Mori, N. Ueno, and K. Tanaka, "Novel cell AGC technique for burst-mode CMOS preamplifier with wide dynamic range and high sensitivity for ATM-PON system," IEEE J. Solid-State Circuits, vol. 37, no. 7, pp. 881-886, Jul. 2002.

附錄

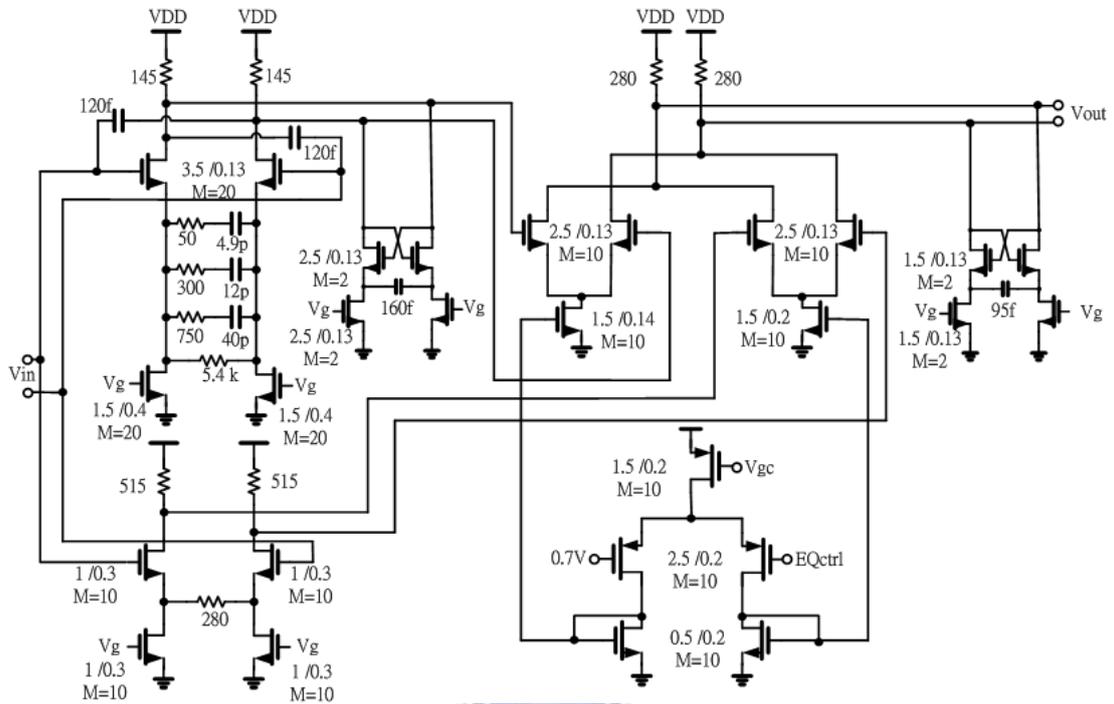
TIA in Main Path



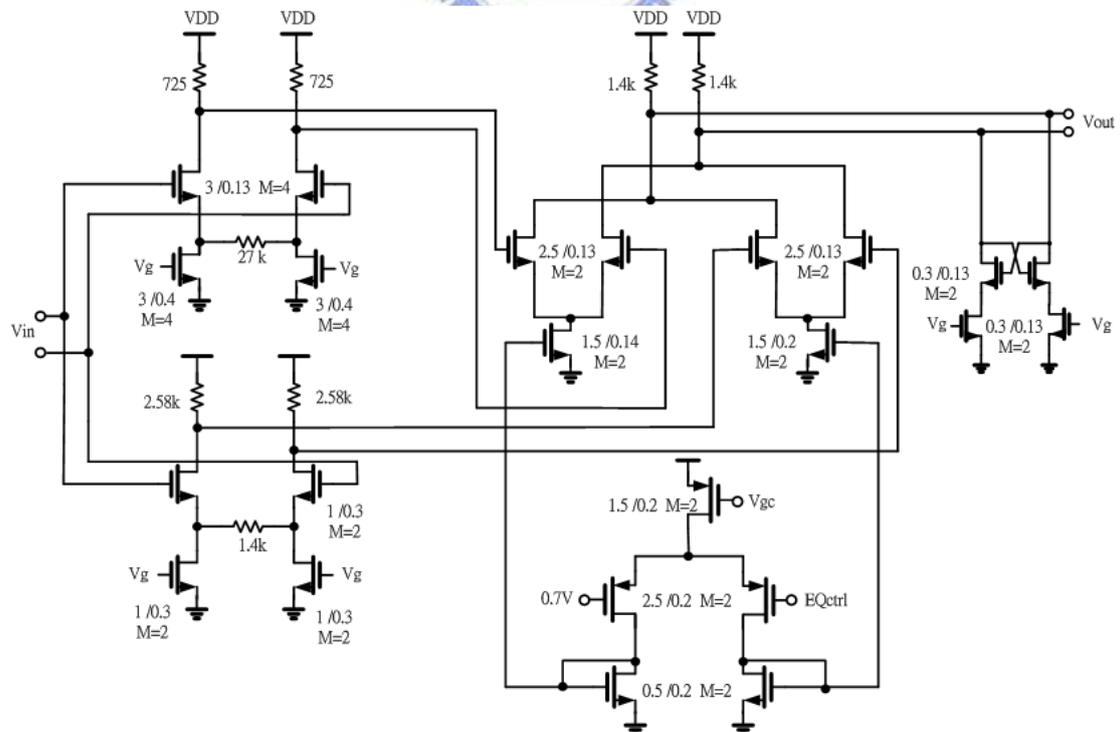
TIA in Dummy Path



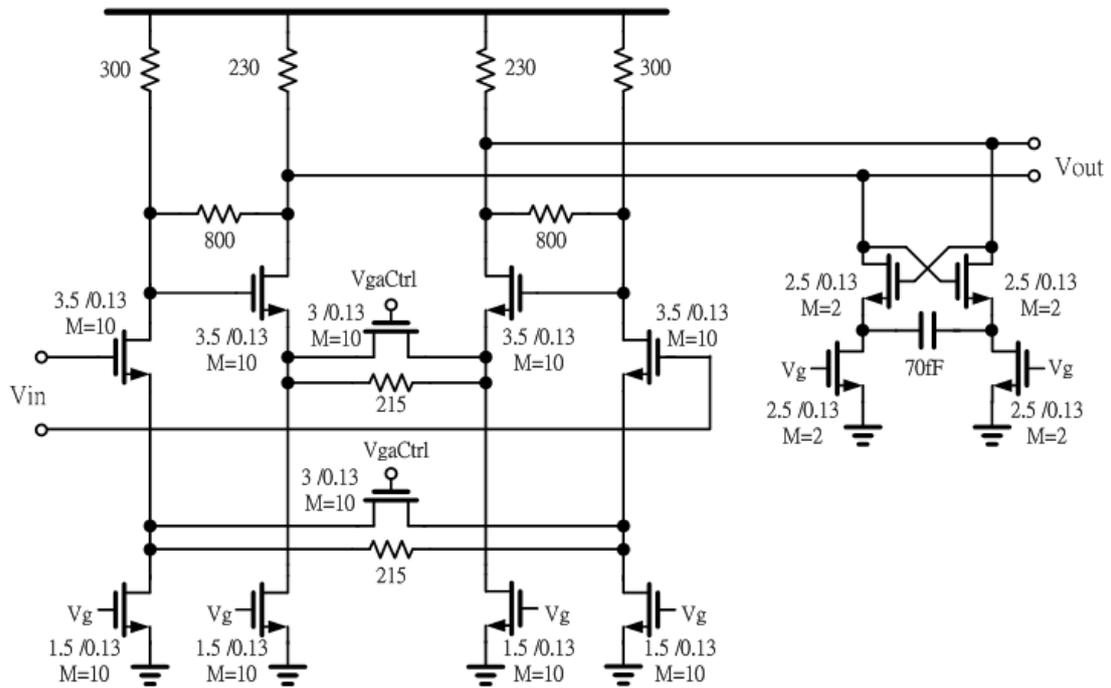
EQ in Main Path



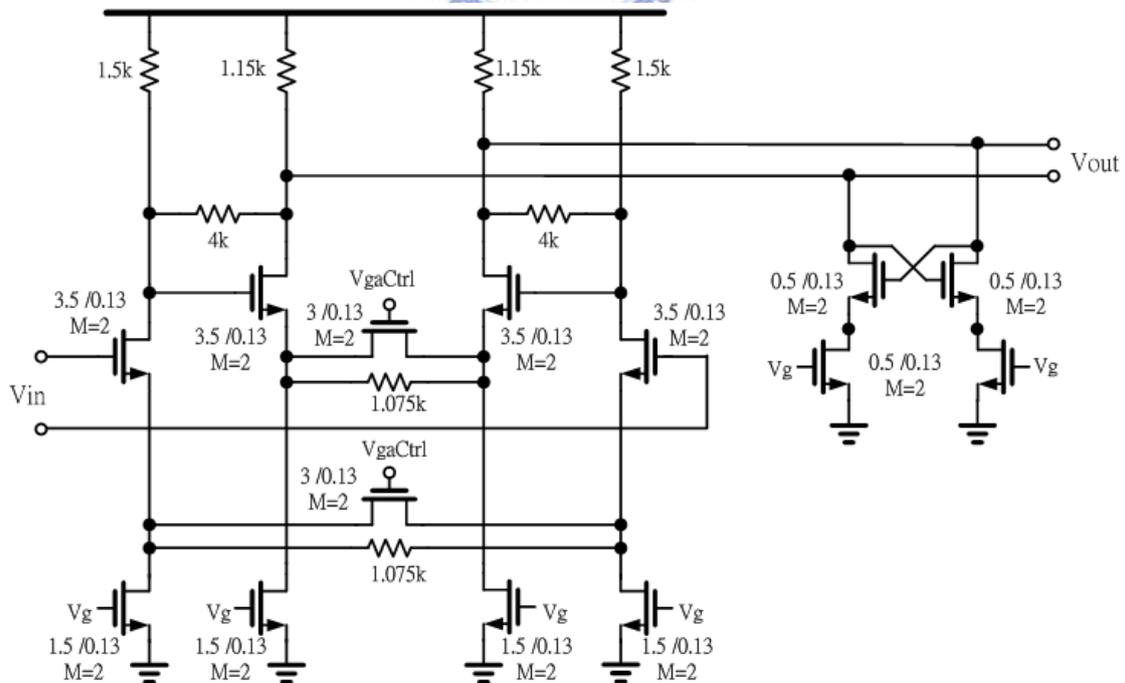
EQ in Dummy Path



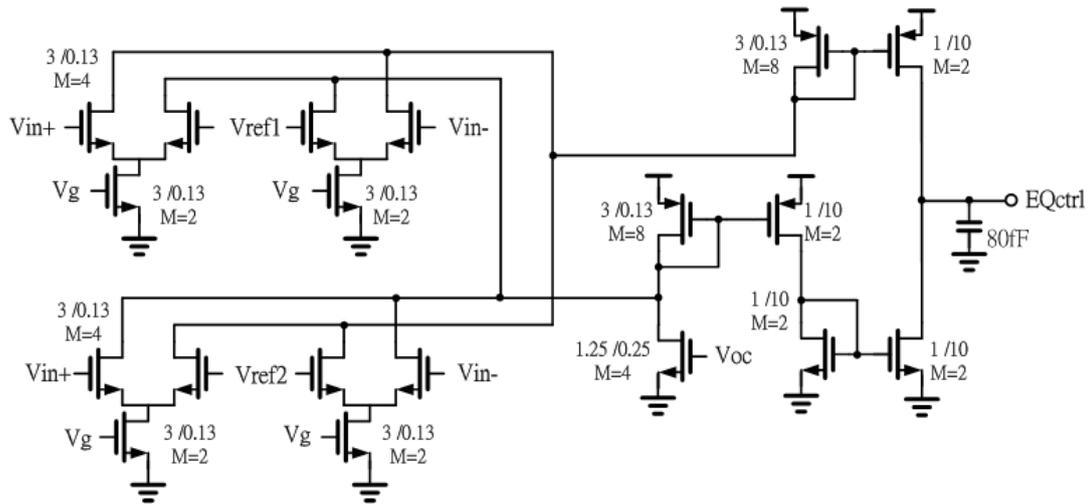
VGA in Main Path



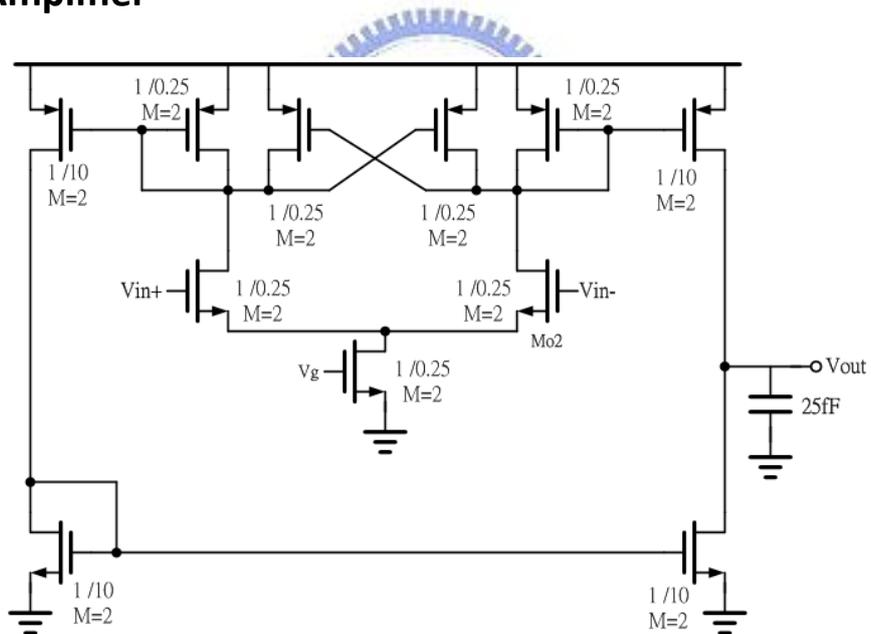
VGA in Dummy



Slope Detector and Current Comparator



Error Amplifier



簡歷

姓名：易秉威

出生地：台灣彰化市

學歷：1995.09 ~ 1998.06 彰化市陽明國中

1998.09 ~ 2001.06 台中市第一高級中學

2001.09 ~ 2006.06 國立交通大學 電子工程學系

2006.09 ~ 2009.02 國立交通大學 電子研究所

