

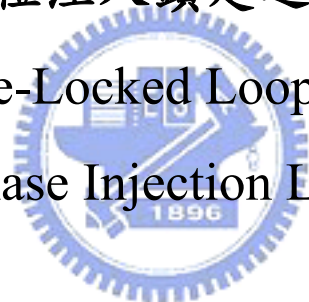
國立交通大學

電機與控制工程研究所

碩士論文

具可調變相位注入鎖定之全數位鎖相迴路

All Digital Phase-Locked Loop With Programmable
Phase Injection Locking



研究生：孔繁祥

指導教授：蘇朝琴 教授

中華民國九十八年一月

具可調變相位注入鎖定之全數位鎖相迴路
All Digital Phase-Locked Loop With Programmable
Phase Injection Locking

研究生：孔繁祥

Student : Fan Hsiang Kung

指導教授：蘇朝琴 教授

Advisor : Chau Chin Su

國立交通大學

電機與控制工程研究所

碩士論文



Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

January 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年一月

具可調變相位注入鎖定之全數位鎖相迴路

研究生：孔繁祥

指導教授：蘇朝琴 教授

國立交通大學電機與控制工程研究所

摘 要

本論文提出一具有可調變相位注入鎖定之全數位鎖相迴路，利用參考相位注入數位控制震盪器中，具有降低相位雜訊的效果，藉由可調變相位注入量，在不同環境中達到最佳輸出效能。為了增加數位控制震盪器解析度，利用三角積分調變器，將數位控制震盪器的 LSB 作分數型的控制，來提升數位控制震盪器的解析度。

所提出的電路架構被實現在 TSMC 0.13 μm 1P6M CMOS 製程，經模擬結果顯示時脈抖動為 17ps，功率消耗為 22mW，輸出頻率為 1.25GHZ，晶片面積為 874 μm x 874 μm 。

關鍵字：鎖相迴路、全數位鎖相迴路、相位注入鎖定、三角積分調變器

All Digital Phase-Locked Loop With Programmable Phase Injection Locking

Student: Fan Hsiang Kung

Advisor: ChauChin Su

Department of Electrical and Control Engineering

National Chiao Tung University

Abstract

This thesis propose an all digital phase-locked loop with programmable phase injection locking mechanics. The phase injection to the digitally controlled oscillator can reduce the phase noise. Using programmable phase injection strength can achieve optimum output performance in different environment. In order to enhance the resolution of digitally controlled oscillator , we use sigma-delta modulator to achieve fractional control on the LSB. This method will enhance resolution of the digitally controlled oscillator.

The proposed ADPLL is implemented in TSMC 0.13 um 1P6M RF technology. The simulation results show that the output clock has a peak-to-peak jitter of 17ps, the power dissipation is 22mW, the output frequency is 1.25GHZ, and the chip size is $874\mu m \times 874\mu m$.

Keyword: phase-locked loop, all digital phase-locked loop, phase injection locking, sigma-delta modulator

致 謝

首先要感謝的是我的指導教授 蘇朝琴教授，這兩年的辛勤教導，無論是在專業領域的知識與技術，抑或是生活上為人處世的道理，都讓我獲益良多，每當我迷失方向時，老師總是能幫我導回正確的路途。

接下來要感謝的是博士班學長們：丸子學長、盈杰學長、鴻文學長、仁乾學長、煜輝學長在我遇到研究上的困難時，給予我熱心的指導。還有實驗室碩士班學長姊們：小馬、方董、議賢、村鑫、小潘潘、存遠、教主、snoopy、忠傑、祥哥，解決我在課業與研究上的疑惑。實驗室的同學們與學弟們：子俞、碩廷、季慧、雅婷、挺毅、洲銘、于昇、家齊，在課業上互相討論，生活上互相照顧與幫助。感謝助理雅雯和上容，對我的照顧及幫忙。還要感謝大學同學一起聚會打球與相互鼓勵，感謝邱機機在我電腦壞掉時出借筆電讓我順利完成論文，感謝延畢軍團阿伯與俊彥最後半年相互鼓勵與嘴砲，感謝大家，因為有你們，讓我研究生涯充滿回憶。

最後要感謝我的父親、母親和姊姊，感謝你們的鼓勵與陪伴，讓我能夠順利的度過這兩年半的碩士生涯，尤其是母親從小到大一路的支持和照顧，不管任何事總是無怨無悔支持我，成為我求學生涯最大支柱，讓我順利完成學業，從今以後我會好好照顧自己，並且貢獻所學，不會讓你們失望。

孔繁祥 2009/02/20

目錄

摘 要	II
Abstract	III
致 謝	IV
目 錄	V
表目錄	VIII
圖目錄	IX
第一章	1
緒論	1
1.1 簡介	1
1.2 研究動機	1
1.3 論文結構	2
第二章	3
鎖相迴路基本原理	3
2.1 前言	3
2.2 類比式鎖相迴路	3
2.3 數位式鎖相迴路	4
2.3.1 相位頻率偵測器	5
2.3.2 充電幫浦/迴路濾波器	6

2.3.4 壓控震盪器	8
2.4 全數位鎖相迴路	10
2.4.1 數位控制震盪器	11
2.4.2 高解析度延遲單元	13
2.5 總結	15
第三章	17
具相位注入鎖定之鎖相迴路	17
3.1 鎖相迴路線性模型	17
3.2 鎖相迴路雜訊源	19
3.3 具相位注入鎖定之鎖相迴路線型模型	20
3.3.1 參考時脈相位注入	20
3.3.2 相位注入參數	22
3.3.3 相位飄移	22
3.3.4 線性模型	25
3.4 總結	27
第四章	28
具可調變相位注入鎖定之全數位鎖相迴路	28
4.1 架構簡介	28
4.2 鎖定方法	29
4.3 時間對數位轉換器	31
4.4 數位濾波器	32
4.5 除頻器	34
4.6 三角積分調變器	34
4.7 數位控制震盪器	38

第五章	46
模擬結果與佈局	46
5.1 系統行為模擬	46
5.2 佈局前模擬	48
5.3 晶片佈局圖	54
5.4 佈局後模擬	55
5.5 電路規格	56
5.6 性能比較	56
5.7 量測考量	57
第六章	58
結論	58
參考文獻	59



表目錄

表格 2.1 各式鎖相迴路比較表	16
表格 4.1 震盪週期變化	37
表格 4.2 操作頻率可調整範圍	41
表格 4.3 數位控制震盪器規格表	43
表格 4.4 震盪週期對應表	45
表格 5.1 MATLAB 模擬之輸出時脈抖動	46
表格 5.2 HSPICE 模擬未加輸入雜訊之輸出時脈抖動	48
表格 5.3 HSPICE 模擬加入不同大小輸入雜訊之輸出時脈抖動	53
表格 5.4 晶片腳位屬性表	54
表格 5.5 佈局後模擬之輸出時脈抖動	55
表格 5.6 電路規格表	56
表格 5.7 性能比較表	56



圖目錄

圖 2-1 類比式鎖相迴路模型.....	4
圖 2-2 數位式鎖相迴路模型.....	5
圖 2-3 相位頻率偵測器操作圖.....	5
圖 2-4 死區示意圖.....	6
圖 2-5 低通濾波器.....	6
圖 2-6 充電幫浦.....	7
圖 2-7 充電幫浦充放電示意圖.....	7
圖 2-8 壓控震盪器特性曲線.....	8
圖 2-9 震盪器起震條件.....	9
圖 2-10 單端環型壓控震盪器.....	9
圖 2-11 LC 震盪器.....	10
圖 2-12 全數位鎖相迴路.....	11
圖 2-13 參考論文[18]中的數位控制震盪器.....	11
圖 2-14 參考論文[19]中的數位控制震盪器.....	12
圖 2-15 參考論文[20]中的數位控制震盪器.....	12
圖 2-16 參考論文[15]中的數位控制震盪器.....	13
圖 2-17 參考論文[14]中的高解析度延遲單元.....	13
圖 2-18 電晶體等效電容.....	14
圖 2-19 電晶體導通與截止等效電容示意圖.....	14
圖 2-20 數位控制高解析度延遲單元.....	15
圖 3-1 鎖相迴路線性模型.....	18
圖 3-2 具有雜訊源之鎖相迴路線性模型.....	19
圖 3-3 雜訊源對輸出端的轉移函數.....	20
圖 3-4 震盪器時脈抖動圖.....	21
圖 3-5 參考時脈相位注入震盪器.....	21
圖 3-6 相位注入參數.....	22
圖 3-7 瞬間相位飄移.....	23
圖 3-8 總相位飄移(A).....	23
圖 3-9 總相位飄移(B).....	24
圖 3-10 具相位注入鎖定之鎖相迴路線性模型.....	25
圖 3-11 壓控震盪器相位雜訊對輸出相位的轉移函數.....	26
圖 3-12 充電幫浦造成的雜訊對輸出相位的轉移函數.....	26
圖 3-13 參考訊號的輸入雜訊對輸出相位的轉移函數.....	26

圖 4-1 電路整體架構.....	29
圖 4-2 頻率鎖定.....	30
圖 4-3 相位鎖定.....	30
圖 4-4 時間對數位轉換器.....	31
圖 4-5 時間對數位轉換器操作圖.....	31
圖 4-6 雙線性轉換.....	32
圖 4-7 一階數位濾波器電路實現.....	33
圖 4-8 除頻器電路.....	34
圖 4-9 TSPC 型態 D 型正反器.....	34
圖 4-10 一階三角積分調變器.....	35
圖 4-11 具量化雜訊之一階三角積分調變器.....	35
圖 4-12 一階三角積分調變器數位信號方塊圖.....	36
圖 4-13 全數位一階三角積分調變器.....	37
圖 4-14 四級延遲單元組成之數位控制震盪器.....	38
圖 4-15 延遲單元電路.....	39
圖 4-16 驅動元件電路.....	39
圖 4-17 磁滯延遲元件獨立操作.....	40
圖 4-18 獨立操作控制電路.....	40
圖 4-19 數位控制震盪器操作頻率可調整範圍.....	41
圖 4-20 微調機制震盪週期變化.....	42
圖 4-21 分數型控制所產生的震盪週期變化.....	42
圖 4-22 控制位元變化時產生間隔.....	43
圖 4-23 粗調機制與微調機制覆蓋圖.....	44
圖 5-1 MATLAB 模擬不同相位注入參數所造成全數位鎖相迴路的輸出眼圖.....	47
圖 5-2 MATLAB SIMULINK 區塊圖.....	48
圖 5-3 HSPICE 模擬不同相位注入參數所造成全數位鎖相迴路輸出眼圖.....	49
圖 5-4 具有 20PS 輸入時脈抖動的參考訊號.....	50
圖 5-5 具有 20PS 輸入時脈抖動的全數位鎖相迴路輸出眼圖.....	50
圖 5-6 具有 40PS 輸入時脈抖動的參考訊號.....	51
圖 5-7 具有 40PS 輸入時脈抖動的全數位鎖相迴路輸出眼圖.....	51
圖 5-8 具有 60PS 輸入時脈抖動的參考訊號.....	52
圖 5-9 具有 60PS 輸入時脈抖動的全數位鎖相迴路輸出眼圖.....	52
圖 5-10 全數位鎖相迴路輸出時脈抖動對照圖.....	53
圖 5-11 晶片佈局圖.....	54
圖 5-12 佈局後模擬 TT 眼圖.....	55
圖 5-13 佈局後模擬 SS SF FS FS 眼圖.....	55
圖 5-14 量測晶片的架構圖.....	57

第一章

緒論



1.1 簡介

隨著各種電子設備與周邊的傳輸資料量不斷上升，為減少提升頻寬所花費的硬體成本，資料傳輸方式由平行式演化為序列式傳輸，此種資料傳輸有許多運用，如網路集線器，網路卡，硬碟相關資料儲存單位介面，LCD 顯示器介面。

鎖相迴路為傳輸系統必備電路之一，功能在於產生系統高頻時脈，在數位電路製程提升與系統整合晶片(System on chip)趨勢下，使用高速數位電路取代部分類比電路模組，具有提升系統整合度並降低電路成本的優點。

1.2 研究動機

全數位鎖相迴路具有快速鎖定以及低功率等優點，並且不像傳統鎖相迴路隨著製程轉移，往往需要花費長時間重新設計，但缺點是具有較大的時脈抖動，並且由於數位控

制震盪器(Digitally controlled oscillator)解析度(Resolution)的不足，無法應用於高頻時脈產生，所以如何有效提高數位控制震盪器的解析度以及降低鎖定後的時脈抖動，是我們研究的重點。

我們利用將參考訊號相位注入到數位控制震盪器的輸出訊號，希望利用參考訊號乾淨的相位，去消除由於震盪器相位雜訊所累積的時脈抖動，並且將參考訊號相位注入的強度，作可調變的控制，期望在不同傳輸系統環境下，達到最佳的效能。

1.3 論文結構

本論文內容分成六個章節。第一章為緒論，說明全數位鎖相迴路的發展現況，研究動機，以及論文結構。第二章為鎖相迴路基本原理，介紹各種鎖相迴路電路架構。第三章介紹具相位注入鎖定鎖相迴路的線性模型，一開始先討論基本鎖相迴路線性模型以及各種雜訊源，接著介紹當參考訊號相位注入到鎖相迴路時，系統線性模型的修正，並推導出轉移函數來描述參考訊號相位注入後，鎖相迴路效能的改變。第四章為全數位鎖相迴路電路設計的實現。第五章為系統的模擬以及晶片布局，章節中包含了Matlab 系統行為模擬、佈局前模擬、佈局後模擬、規格表、比較表，以及量測考量。第六章為結論，討論電路設計結果。

第二章

鎖相迴路基本原理



2.1 前言

本章我們將介紹三種鎖相迴路(PLL)的基本架構，他們分別為類比式鎖相迴路(Analog PLL)，數位式鎖相迴路(Digital PLL)以及全數位鎖相迴路(All Digital PLL)。最早的鎖相迴路模型在 1930 年代便由一位法國工程師 Bellescize 提出，應用在當時的通信系統上。如今鎖相迴路已被廣泛應用在如時脈產生器(Clock generator)、時脈資料回復(Clock data recovery)以及頻率合成器(Frequency synthesizer)中，為現代電子產業中不可或缺的重要電路。

2.2 類比式鎖相迴路

類比式鎖相迴路由三種基本類比元件所組成，他們分別為相位偵測器(Phase detector)，迴路濾波器(Loop filter)以及壓控震盪器(Voltage controlled oscillator)所組成如圖 2-1 所示：

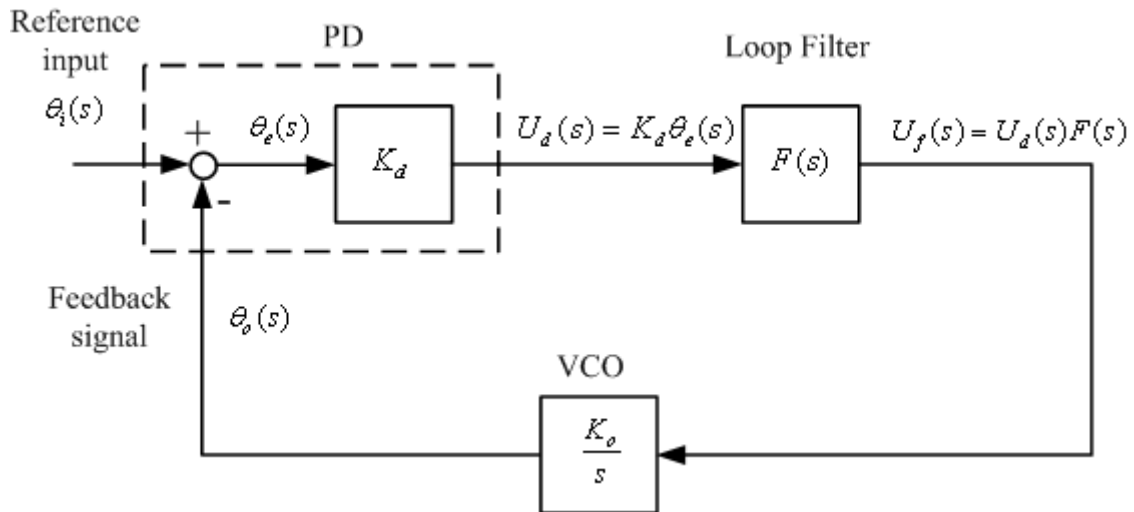


圖 2-1 類比式鎖相迴路模型

相位偵測器:相位偵測器比較輸入參考相位 $\theta_i(s)$ 以及震盪器輸出回授相位 $\theta_o(s)$ ，將兩相位之差距乘上增益 K_d ，產生一電壓值代表參考相位以及回授相位間的相位誤差

$$U_d(s) = K_d \theta_e(s) = K_d [\theta_i(s) - \theta_o(s)] \quad (2.1)$$

迴路濾波器:在類比式鎖相迴路中，迴路濾波器為電阻以及電容組成的主動或被動式低通濾波器，將外在環境所造成之高頻雜訊濾掉，並提供直流電壓位準至壓控震盪器，作為壓控震盪器之控制電壓。

壓控震盪器:壓控震盪器將迴路濾波器提供之控制電壓，轉換為輸出頻率。壓控震盪器行為有如一具有增益 K_o 之相位積分器，其轉移函數如下所示。

$$\theta_o = \frac{U_f(s) \times K_o}{s} \quad (2.2)$$

故類比式鎖相迴路的轉移函數如下所示。

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o F(s)}{s + K_d K_o F(s)} \quad (2.3)$$

2.3 數位式鎖相迴路

數位式鎖相迴路由相位頻率偵測器(Phase frequency detector)，充電幫浦(Charge pump)，除頻器(Frequency divider)，迴路濾波器以及壓控震盪器所組成，如圖 2-2 所示

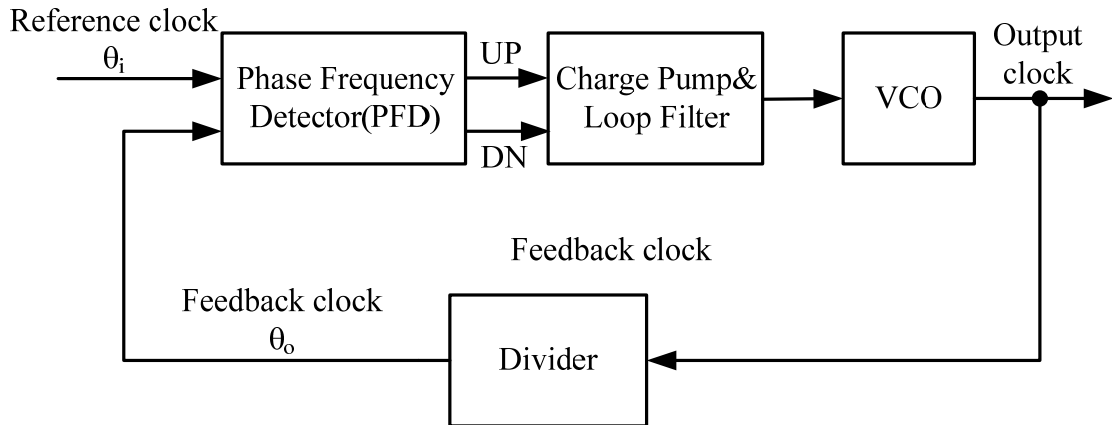


圖 2-2 數位式鎖相迴路模型

相位頻率偵測器偵測參考信號以及回授信號間相位以及頻率誤差，並送出領先或落後信號至充電幫浦，控制充電幫浦對迴路濾波器充電或放電，來調整壓控震盪器之震盪頻率。數位式鎖相迴路中加入了除頻器至回授路徑內，故鎖相迴路具有倍頻之功能。

2.3.1 相位頻率偵測器

相位頻率偵測器可偵測兩不同輸入信號間之相位誤差，並產生一輸出脈波，此脈波之寬度與兩輸入信號間之相位誤差成正比，如圖 2-3 所示：

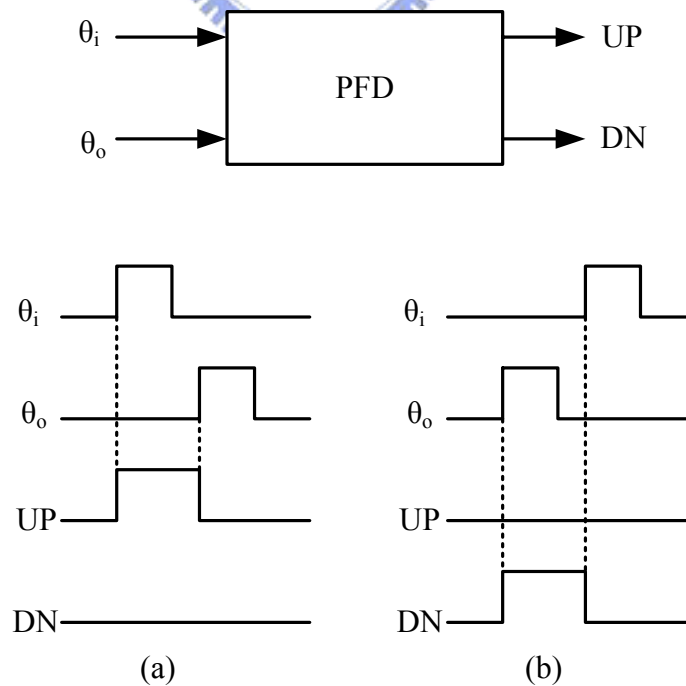


圖 2-3 相位頻率偵測器操作圖

當 θ_i 相位領先 θ_o 時，此時 UP 脈波產生，此脈波寬度等於兩輸入信號間之相位誤差，如圖 2-3(a) 所示。反之，若 θ_o 相位領先 θ_i 時，則 DN 脈波產生，如圖 2-3(b) 所示。

在相位頻率偵測器中，死區(Dead-zone)是影響鎖相迴路效能相當關鍵的因素，若參考信號以及回授信號相位誤差在死區內，則相位頻率偵測器將無法產生脈波至充電幫浦，造成鎖相迴路在鎖定狀態中產生時脈抖動(Timing jitter)，如圖 2-4[24] 所示。

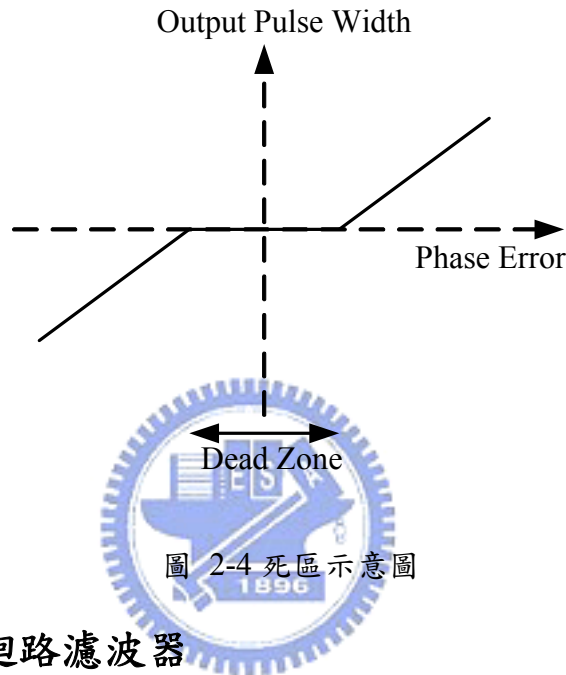


圖 2-4 死區示意圖

2.3.2 充電幫浦/迴路濾波器

迴路濾波器決定了鎖相迴路的系統穩定度，可用主動式或被動式低通濾波器實現。被動式低通濾波器在電路設計上具有較佳之雜訊過濾功能以及較易設計等優點，故一般設計鎖相迴路之低通濾波器常用被動式濾波器實現。圖 2-5 為常見之鎖相迴路低通濾波器，(a) (b) (c) 分別為一階，二階以及三階低通濾波器。

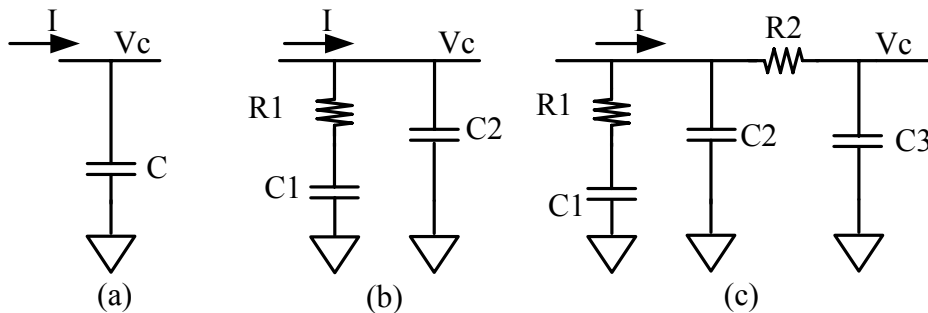


圖 2-5 低通濾波器

充電幫浦將相位頻率偵測器輸出之數位脈波轉換成電流，對迴路濾波器進行充電或放電，產生一類比電壓控制壓控震盪器。傳統充電幫浦包含兩個串接電流源(Current source)以及兩個由相位頻率偵測器控制的切換開關所組成，如圖 2-6 所示：

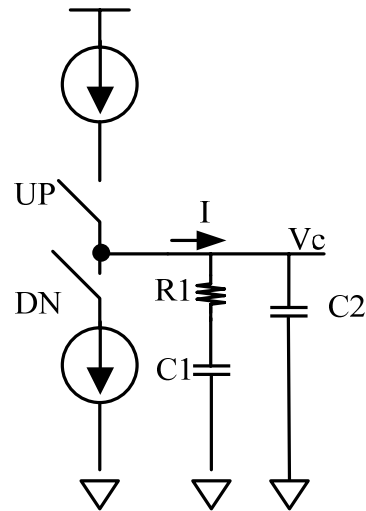


圖 2-6 充電幫浦

當 UP 脈波產生時，此時充電電流 I 對迴路濾波器充電，增加壓控震盪器控制電壓 V_c 。當 DN 脈波產生時，此時放電電流 I 對迴路濾波器進行放電，降低 V_c ，如圖 2-7 所示

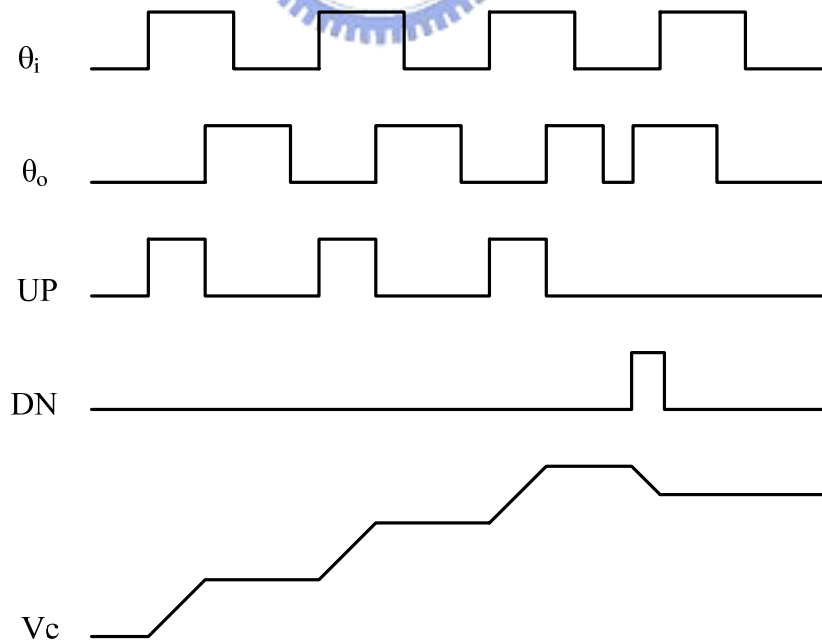


圖 2-7 充電幫浦充放電示意圖

傳統充電幫浦常伴隨許多非理想效應，影響鎖相迴路效能，諸如電流源不匹配 (Current source mismatch) 以及電荷注入 (Charge injection) 等問題，在設計上需要特別注意。

2.3.4 壓控震盪器

壓控震盪器為鎖相迴路中最關鍵的電路元件，它產生鎖相迴路輸出之震盪頻率，而震盪頻率大小則由控制電壓 V_c 所決定。圖為壓控震盪器輸出頻率與控制電壓之特性曲線，當 V_c 為零時，壓控震盪器具有一頻率 F_0 ，而線段斜率即為壓控振盪器增益 K_{vco} ，其輸出頻率可由下列式子表示[1]:

$$F_{out} = F_0 + K_{vco} \cdot V_c \quad (2.4)$$

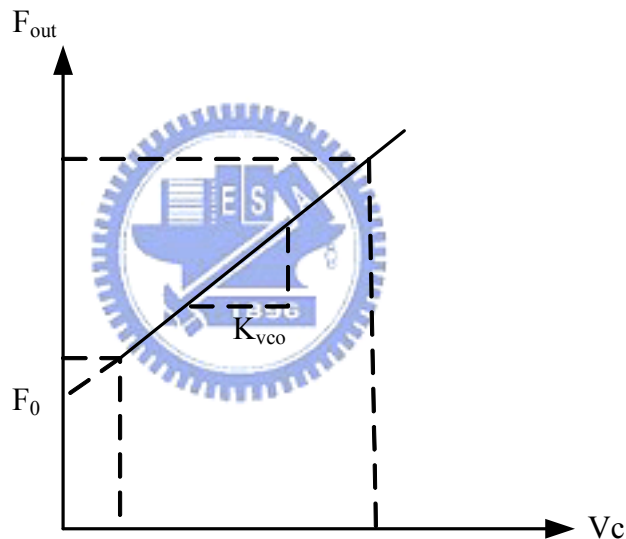


圖 2-8 壓控震盪器特性曲線

震盪器主要分為環形震盪器 (Ring oscillator) 及 LC 震盪器 (LC tank oscillator) 兩大型態，環形震盪器具有可調頻率範圍較大以及面積較小等優點，但相位雜訊 (Phase noise) 較大，而 LC 震盪器具有低相位雜訊以及高震盪頻率等優點，但因為由電感及電容所組成，所以面積較大，使用哪一種型態之震盪器由使用者所設計之鎖相迴路特性及規格所決定。

環形震盪器之概念為一負回授系統，並滿足巴克豪森條件 (Barkhausen criteria):

$$\begin{aligned} |H(j\omega_0)| &\geq 1 \\ \angle H(j\omega_0) &= 180^\circ \end{aligned} \quad (2.5)$$

電路會在 ω_0 產生震盪，如圖 2-9 所示，為了確保溫度以及製程漂移的狀況下，震盪器還能正常運作，通常在設計時會將迴路增益加大為所要求的二或三倍[1]。

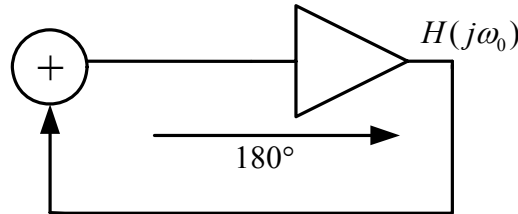


圖 2-9 震盪器起震條件

基本的單端環型壓控震盪器如圖 2-10 所示，利用 V_p 控制 PMOS 的偏壓來改變每一級反向器的充電電流，利用 V_n 控制 NMOS 偏壓來改變每一級反向器的放電電流。當電流越大時，反向器延遲時間越小，震盪頻率越快，反之當電流越小時，震盪器震盪頻率越慢，藉電壓來改變電流大小達到電壓控制頻率的目的。

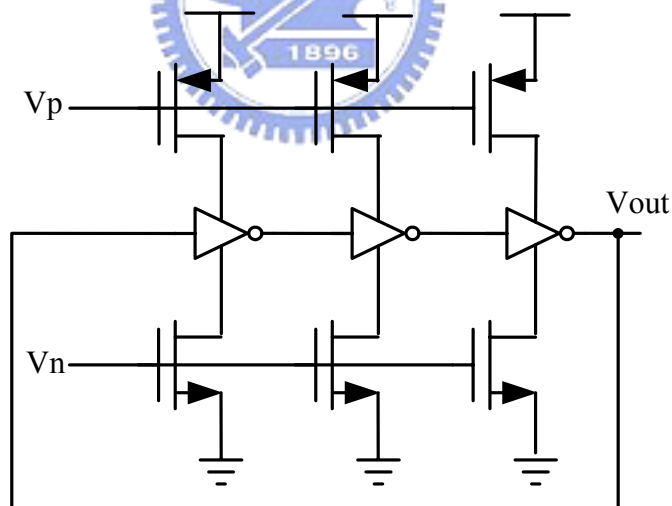


圖 2-10 單端環型壓控震盪器

另一種常用於鎖相迴路的震盪器為 LC 震盪器，一個和電容 C 並聯的電感 L 在頻率 $\omega_{osc} = 1/\sqrt{LC}$ ，在此震盪頻率下，電感阻抗絕對值與電容阻抗絕對值相等，但反相，此時產生一無限大阻抗，但由於電感在實作時會有寄生電阻，電流流經電阻時會產生功率消耗，在電路設計上會加上負電阻來消除寄身電阻所造成的功率消耗，基本 LC 震盪

器如圖 2-11 所示[1]，圖中 L_p 為電感， C_p 為等效電容， R_p 為等效寄生電阻。

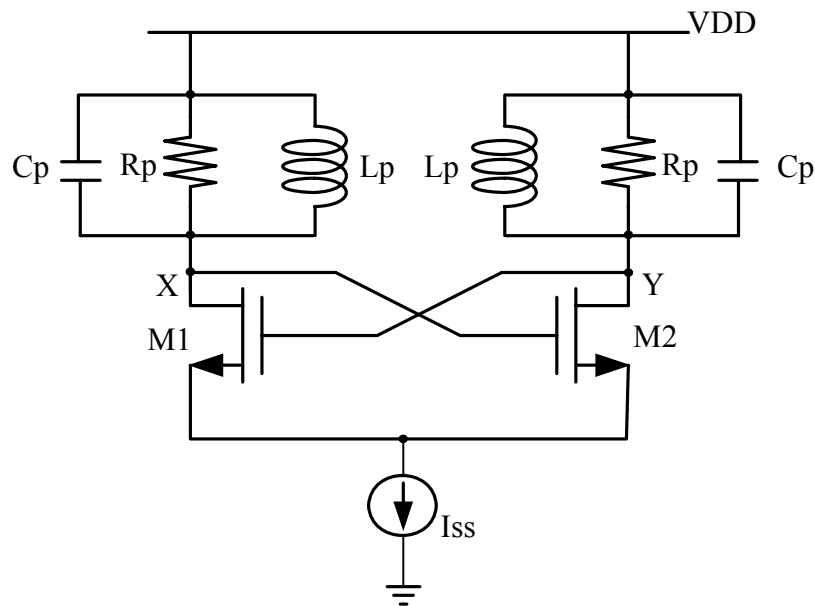


圖 2-11 LC 震盪器

設計壓控震盪器需要注意控制電壓的線性度，輸出頻率的可調整範圍以及功率消耗等設計考量，其中影響鎖相迴路效能最鉅的便是震盪器的相位雜訊，在頻域上的相位雜訊會造成鎖相迴路在時域上的時脈抖動，如何有效降低壓控震盪器的相位雜訊是設計鎖相迴路重要的課題。

2.4 全數位鎖相迴路

全數位鎖相迴路全部為數位電路所組成，如圖 2-12 所示[22]，利用時間對數位轉換器(Time to digital converter, TDC)取代充電幫浦對濾波器充放電的功能，將不同的參考訊號與回授訊號間的相位差，轉換為所對應的數位碼，輸入到濾波器中。全數位鎖相迴路中，利用數位濾波器取代傳統鎖相迴路中由電容以及電阻所組成的類比濾波器，而產生高頻訊號的震盪器則改由數位控制震盪器，將數位濾波器所儲存的數位碼去控制數位控制震盪器，來改變震盪頻率，達到相位鎖定的功能，全數位鎖相迴路具有較小面積以及較高穩定度等優點，但較低的輸出頻率以及高時脈抖動是要克服的難題。

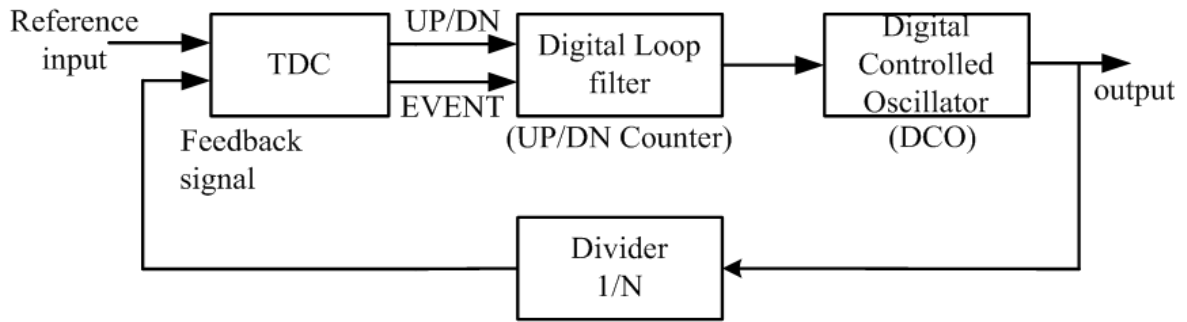


圖 2-12 全數位鎖相迴路

2.4.1 數位控制震盪器

傳統數位控制震盪器由奇數個反向器組成環形震盪器，利用改變不同反向器串聯個數，來改變總延遲時間，進而改變震盪器震盪頻率，如圖 2-13，利用數位碼控制三態反向器來選擇 C1 到 C4 四種不同的延遲時間，改變震盪頻率，Enable 為震盪器的開關，此種架構缺點在於數位控制震盪器解析度為反向器延遲時間所決定，無法太精確，而且震盪頻率無法太高。而改進此架構之數位控制震盪器如圖 2-14，這類震盪器中，將頻率調整分為粗調以及微調，利用粗調加大震盪器可調整頻率範圍，而利用微調來改善解析度。電路中利用選擇不同延遲路徑來完成粗調，而在最後一級加上並聯的三態反向器，利用改變不同並聯各數來改變驅動能力，進而達成微調的功能。

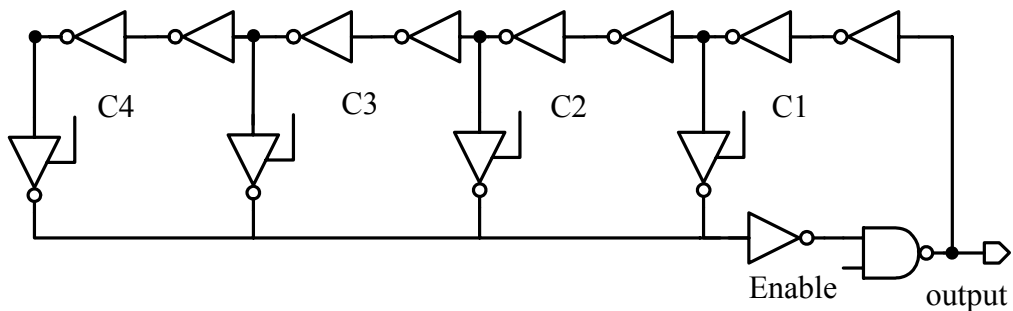


圖 2-13 參考論文[18]中的數位控制震盪器

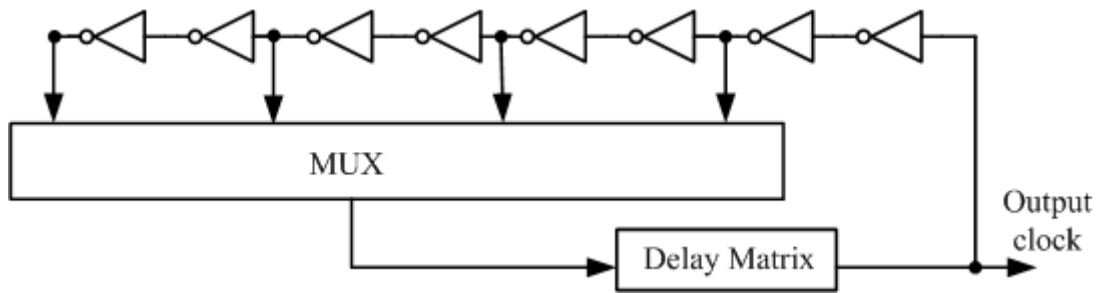


圖 2-14 參考論文[19]中的數位控制震盪器

另一種數位控制震盪器利用反向器並聯 21 個三態反向器作為延遲單元，利用分別改變每一級並聯之三態反向器個數，來改變延遲單元的驅動能力，進而改變震盪頻率，如圖 2-15，此種架構優點在於全由數位電路基本單元(Standard cell)所組成，缺點在於相對於前面的架構它具有較高的功率消耗以及面積，而且無法應用於高頻電路。

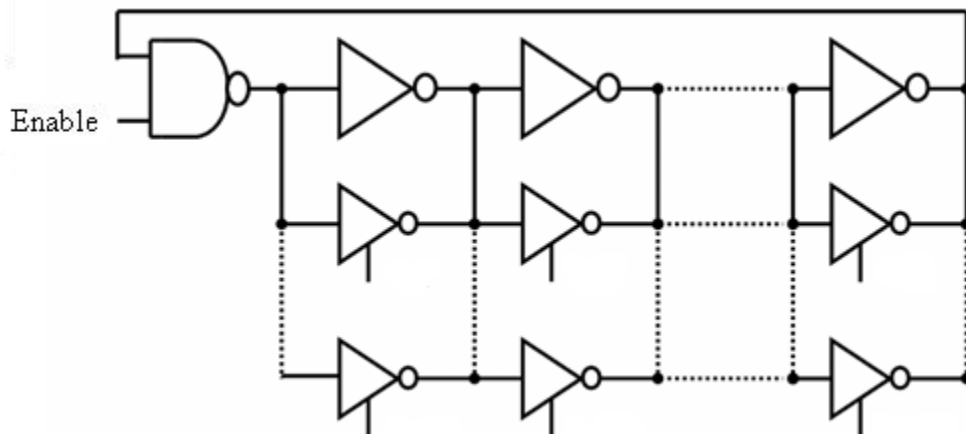


圖 2-15 參考論文[20]中的數位控制震盪器

為了讓震盪器能操作在高頻並且具有多重相位輸出的功能，往往使用雙端輸入的環形震盪器作為數位控制震盪器，如圖 2-16 所示，雙端輸入延遲單元的好處在於它在偶數級也能震盪，所以能輸出偶數個多重相位，不像單端環形震盪器只能產生奇數級多重相位，並且由於是差動對設計，所以具有較好的抗共模(Common mode)雜訊的能力，所以雙端環形震盪器廣泛應用在多重相位輸出的鎖相迴路系統中。

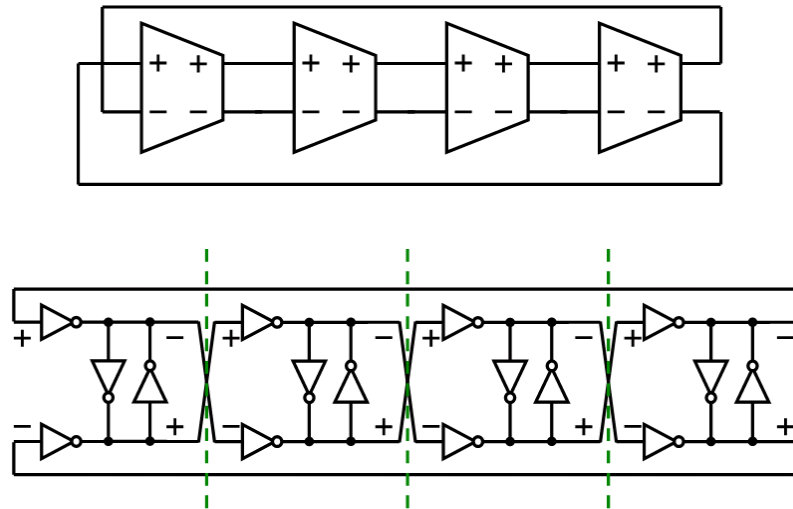


圖 2-16 參考論文[15]中的數位控制震盪器

2.4.2 高解析度延遲單元

為了讓全數位鎖相迴路能應用在更高頻的系統，如何設計高解析度的數位控制震盪器延遲單元，一直是熱門的研究領域。在類比延遲單元中，延遲時間是由電壓或是電流所控制，在整個頻率調整範圍內，都是連續時間(Continuous time)的操作，但是在數位控制的延遲單元中，延遲時間的變化是量化的(Quantized)，解析度越精確，能使鎖相迴路的時脈抖動越小。圖 2-17 為一高解析度延遲單元的實現[14]，由 AOI(And-Or-Inverter)單元以及 OAI(Or-And-Inverter)單元所組成，並聯兩個三態反向器的作用在於增加高解析度延遲單元的可調整範圍。

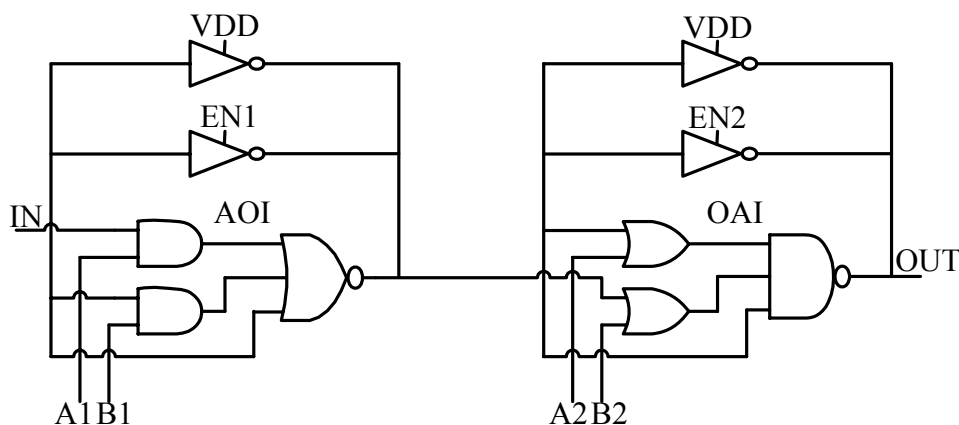


圖 2-17 參考論文[14]中的高解析度延遲單元

此延遲單元利用 OAI 以及 AOI 將延遲單元的驅動能力作更精確的改變，並將高解析度延遲單元所佔的面積以及功率消耗大幅降低，但缺點在於解析度對電壓 (Power-supply) 的變化相當敏感。

另外一種設計高解析度延遲單元的方法為改變負載電容，如圖 2-18 所示，利用控制電晶體閘極(Gate)與源極(Source)和閘極與汲極(Drain)間等效電容的大小，來改變延遲時間。當電晶體為導通時，閘極等效電容 $C_{gs} = C_{ovs} + \frac{1}{2}WLC_{ox}$ ， $C_{gd} = C_{ovd} + \frac{1}{2}WLC_{ox}$ 當電晶體為截止時，閘極等效電容 $C_{gs} = C_{ovs}$ ， $C_{gd} = C_{ovd}$

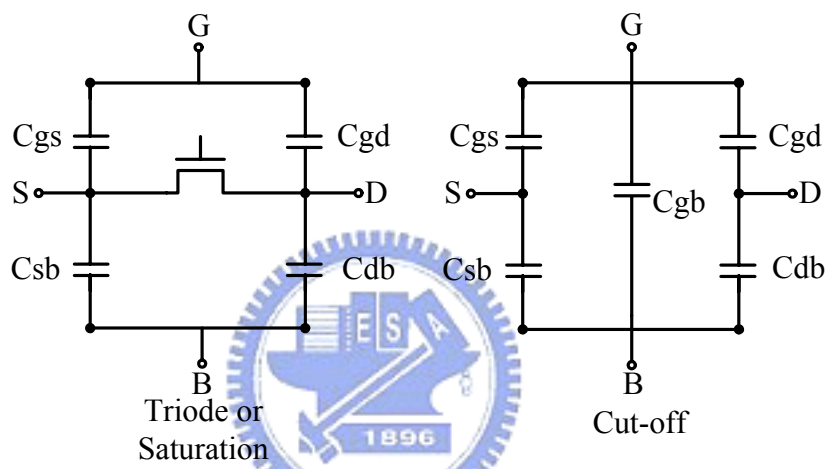


圖 2-18 電晶體等效電容

利用電晶體導通與截止時不同的等效電容，來改變延遲單元的負載，進而改變延遲時間，延遲單元設計如圖 2-19 所示。

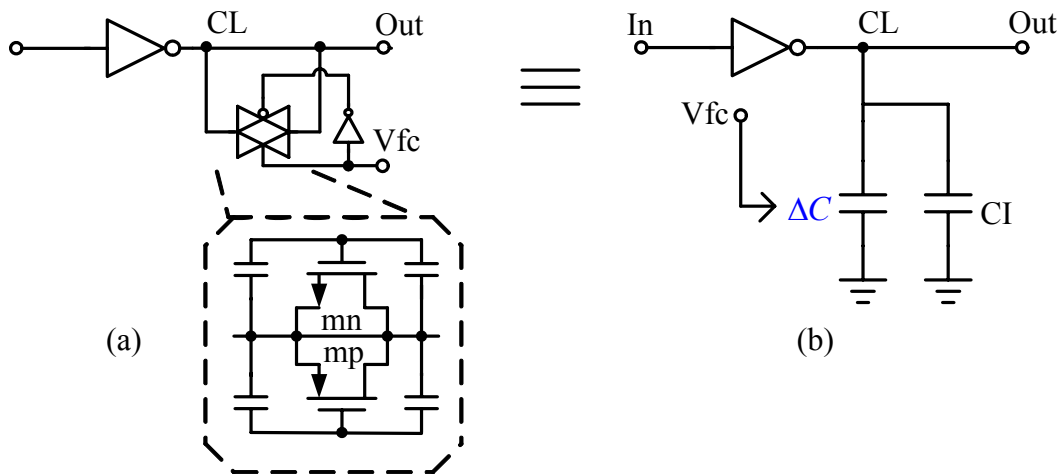


圖 2-19 電晶體導通與截止等效電容示意圖

將此架構延伸，可設計一數位控制高解析度延遲單元，圖 2-20 為六位元控制的延遲單元，利用數位碼控制電晶體的開或關，來改變等效電容，進而改變延遲時間，由於電容改變量很小，所以此種架構可以做出小於 1ps 的解析度，而且延遲時間對數位控制碼的變化相當線性，但缺點在於，由於掛了許多電晶體當負載，使得節點等效電容很大，會造成相當可觀的面積以及功率消耗。

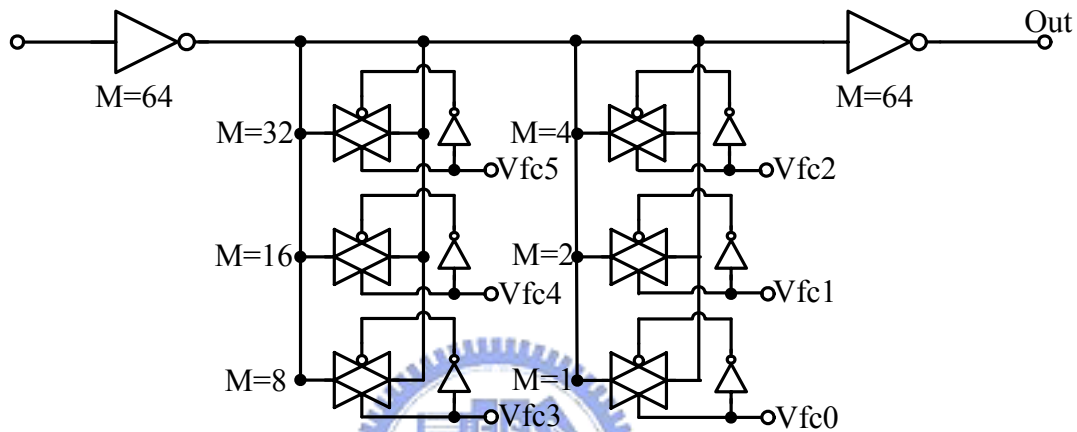


圖 2-20 數位控制高解析度延遲單元

2.5 總結

全數位電路比類比電路具有較佳的抗雜訊能力，壓控震盪器在類比式以及數位式鎖相迴路中，具有連續頻帶的頻率調整範圍，並對濾波器充放電來改變電壓，而全數位鎖相迴路利用數位碼去控制數位控制震盪器，產生一離散的可調頻率範圍，因此壓控震盪器具有較佳的解析度。全數位電路比類比電路具有較小的功率消耗，並且沒有電容電阻等被動元件，故具有較小的面積，下表為各式鎖相迴路之比較。

在現今 CMOS 製程越來越進步下，電路數位化是未來趨勢，在傳統鎖相迴路都是採用類比方式設計，在製程改變後，往往需要再花冗長的研發時間來重新設計。全數位鎖相迴路可以降低這方面的問題，因此全數位鎖相迴路廣泛應用在晶片內部傳輸系統上，但是全數位鎖相迴路具有數位震盪器解析度不足，應用在高頻操作會造成相當大的時脈動，2.4.2 節提到若用電晶體當負載電容，利用改變等效電容的方式雖然可以設計出高解析度的延遲單元，但會付出相當大的硬體成本以及功率消耗，因此如何設計出低時

脈抖動的全數位鎖相迴路，是我們研究的方向。

表格 2.1 各式鎖相迴路比較表

	類比式鎖相迴路	數位式鎖相迴路	全數位鎖相迴路
設計方式	類比	類比數位混和訊號	全數位
抗雜訊能力	低	低	高
功率消耗	大	大	小
面積	大	大	小
輸出頻率	高	高	低
震盪器解析度	高	高	低



第三章

具相位注入鎖定之鎖相迴路



3.1 鎖相迴路線性模型

鎖相迴路各個子電路的參數影響著系統的穩定度及鎖定時間等特性，也關係著系統是否能收斂，為了精確的設計出鎖相迴路，我們可以利用鎖相迴路的線性模型，來設計系統的參數值。圖 3-1 為鎖相迴路線性模型圖，其中相位偵頻率測器將輸入訊號的相位與回授訊號的相位作相減，產生一相位差輸入到充電幫浦，充電幫浦將相位差轉換為電流，在線性模型中，相位頻率偵測器加上充電幫浦具有增益 K_{PFD} ，迴路濾波器可用 $Z_{LF}(s)$ 來表示在頻域上的轉移函數，壓控震盪器將頻率訊號積分為相位訊號，在線性模型中的轉移函數為 K_{vco}/s ， N 則為除頻器的除數，藉由系統回授機制使壓控震盪器產生出穩定的輸出高頻訊號。

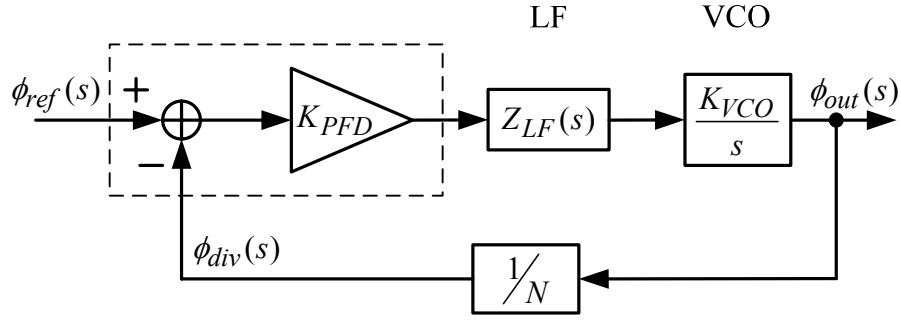


圖 3-1 鎖相迴路線性模型

根據鎖相迴路的線性模型以及回授定理，可推導出系統的閉迴路轉移函數(Closed loop transfer function)如下。

$$\frac{\phi_{out}}{\phi_{ref}} = \frac{\frac{K_{PFD} Z_{LF}(s) K_{VCO}}{s}}{1 + \frac{K_{PFD} Z_{LF}(s) K_{VCO}}{s \cdot N}} \quad (3.1)$$

設計濾波器為一階迴路濾波器，則濾波器的轉移函數如下式表示。

$$Z_{LF}(s) = R + \frac{1}{sC} \quad (3.2)$$

重新整理鎖相迴路閉迴路轉移函數如下式所示。

$$\begin{aligned} H(s) = \frac{\phi_{out}}{\phi_{ref}} &= \frac{\frac{K_{PFD} K_{VCO}}{C} (sRC + 1)}{s^2 + s \frac{K_{PFD} K_{VCO}}{NC} RC + \frac{K_{PFD} K_{VCO}}{NC}} \\ &= \frac{\frac{K_{PFD} K_{VCO}}{C} (sRC + 1)}{s^2 + 2\delta\omega_n s + \omega_n^2} \end{aligned} \quad (3.3)$$

鎖相迴路系統的自然頻率(Natural frequency) ω_n 以及阻尼係數(Damping factor) δ 如下式表示。

$$\omega_n = \sqrt{\frac{K_{PFD} K_{VCO}}{N \cdot C}}, \quad \delta = \frac{RC}{2} \omega_n \quad (3.4)$$

3.2 鎖相迴路雜訊源

鎖相迴路會受到由輸入訊號或是其他電路所產生的雜訊干擾，不同的雜訊源會對鎖相迴路造成不同的影響，主要分為三類：(1)輸入端的雜訊；(2)充電幫浦引起的雜訊；(3)壓控震盪器之相位雜訊，了解不同雜訊源對鎖相迴路的影響是設計鎖相迴路重要的課題，圖 3-2 為具有雜訊源之鎖相迴路線性模型，其中 $V_{n1}(s)$ 為參考訊號的輸入雜訊， $V_{n2}(s)$ 為充電幫浦所造成的雜訊， $V_{n3}(s)$ 為壓控震盪器之相位雜訊，每一雜訊源皆為獨立個體，且鎖相迴路對不同雜訊源皆有不同濾波效果，所以輸出相位雜訊為每一雜訊源經過不同轉移函數貢獻在輸出端的總和[23]。

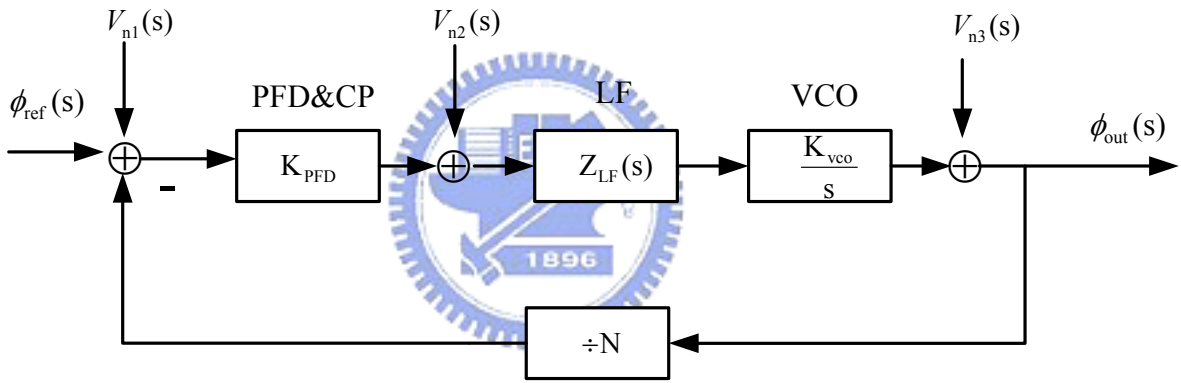


圖 3-2 具有雜訊源之鎖相迴路線性模型

不同雜訊源對鎖相迴路輸出端的轉移函數如下式所表示。

$$\frac{\phi_{out}(s)}{V_{n1}(s)} = \frac{\frac{K_{PFD}Z_{LF}(s)K_{VCO}}{s}}{1 + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{s \cdot N}} = \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{s + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{N}}, \quad (3.5)$$

$$\frac{\phi_{out}(s)}{V_{n2}(s)} = \frac{\frac{K_{VCO}}{s} \cdot Z_{LF}(s)}{1 + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{s \cdot N}} = \frac{K_{VCO} \cdot Z_{LF}(s)}{s + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{N}}, \quad (3.6)$$

$$\frac{\phi_{out}(s)}{V_{n3}(s)} = \frac{1}{1 + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{s \cdot N}} = \frac{s}{s + \frac{K_{PFD}Z_{LF}(s)K_{VCO}}{N}}. \quad (3.7)$$

參考端相位雜訊對輸出相位雜訊轉移函數為一低通(Low pass)函數，在頻寬外的高頻雜訊會被低通函數特性所抑制，而頻寬內的低頻雜訊則會被放大 N 倍，對輸出相位造成干擾，由充電幫浦所產生的相位雜訊則呈獻出類似參考端相位雜訊的低通特性。而由壓控震盪器所產生的相位雜訊對輸出相位的影響，則呈獻出高通(High pass)函數的特性，在頻寬內的低頻雜訊會被鎖相迴路抑制。由雜訊對輸出端轉移函數特性可以得知，為了抑制輸入的雜訊以及壓控震盪器的相位雜訊，將產生折衷(trade-off)的考量，加大迴路頻寬可以將鎖相迴路過濾壓控震盪器相位雜訊的能力提升，但卻會引進更多輸入端低頻雜訊；反之若減少迴路頻寬，會加強鎖相迴路過濾輸入端低頻雜訊的能力，但會降低過濾震盪器高頻雜訊的能力。在設計鎖相迴路時，若壓控震盪器本身沒有很多的相位雜訊時，例如使用 LC 震盪器，將儘可能將迴路頻寬調小，來抑制輸入的雜訊；反之若壓控震盪器本身具有嚴重的相位雜訊，則將儘可能調高迴路頻寬，增加過濾相位雜訊的能力，圖 3-3 為各雜訊源對輸出端的轉移函數。

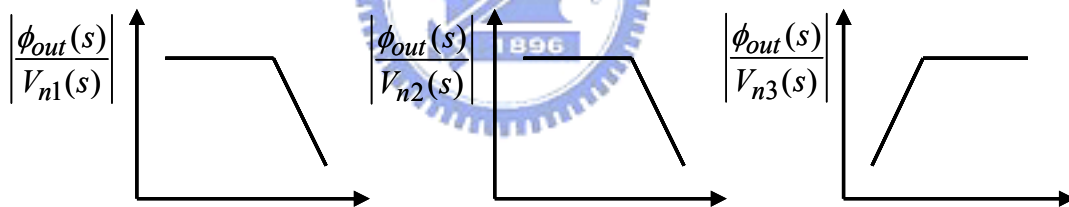


圖 3-3 雜訊源對輸出端的轉移函數

3.3 具相位注入鎖定之鎖相迴路線型模型

前面章節提到，鎖相迴路會受到不同雜訊源干擾，而影響其效能。本章節將探討一利用參考時脈相位注入到鎖相迴路震盪器，改善震盪器相位雜訊之方法[8]。

3.3.1 參考時脈相位注入

震盪器本身具有相位雜訊，在頻譜上的相位雜訊經過震盪器本身積分後，就會變成時域上的時脈抖動，如圖 3-4 所示[8]，此時會造成相位誤差(Phase error)，而鎖相迴路的功能在於降低壓控震盪器的相位雜訊，並利用參考相位來校正累積多個週期的相位誤差，減少時脈抖動。

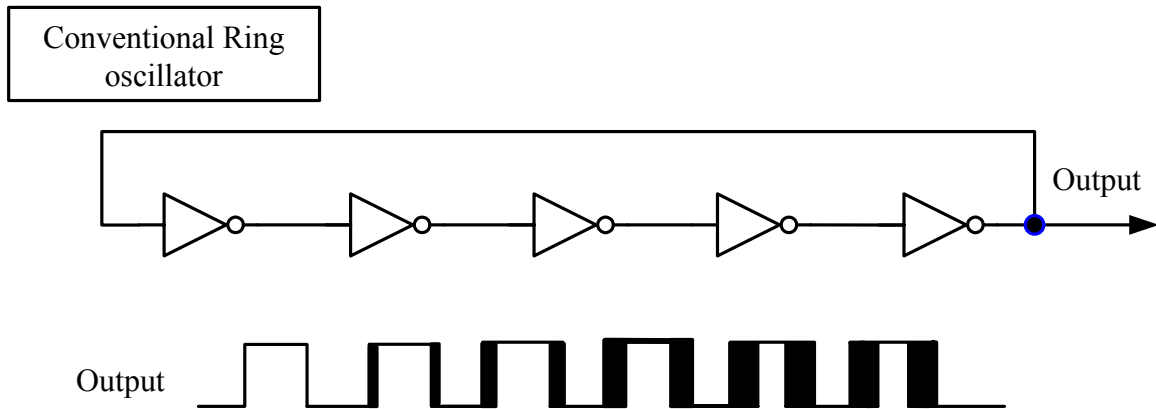


圖 3-4 震盪器時脈抖動圖

為了加快校正相位誤差，我們將參考時脈的相位直接注入到震盪器內，利用參考時脈乾淨的相位，去消除震盪器累積的相位誤差，如圖 3-5 所示[8]，當鎖相迴路除頻器除數為 N 時，每隔 N 個震盪器高頻時脈，一個新的參考時脈相位便會到達，此時 switch clock 變為 high，參考時脈相位便會注入到震盪器內，去將震盪器的震盪時脈相位拉回到正確的位置上，當完成相位注入後，switch clock 變為 low，此時震盪器回復為原本的震盪狀態，產生震盪時脈，等待下一個參考時脈相位注入。

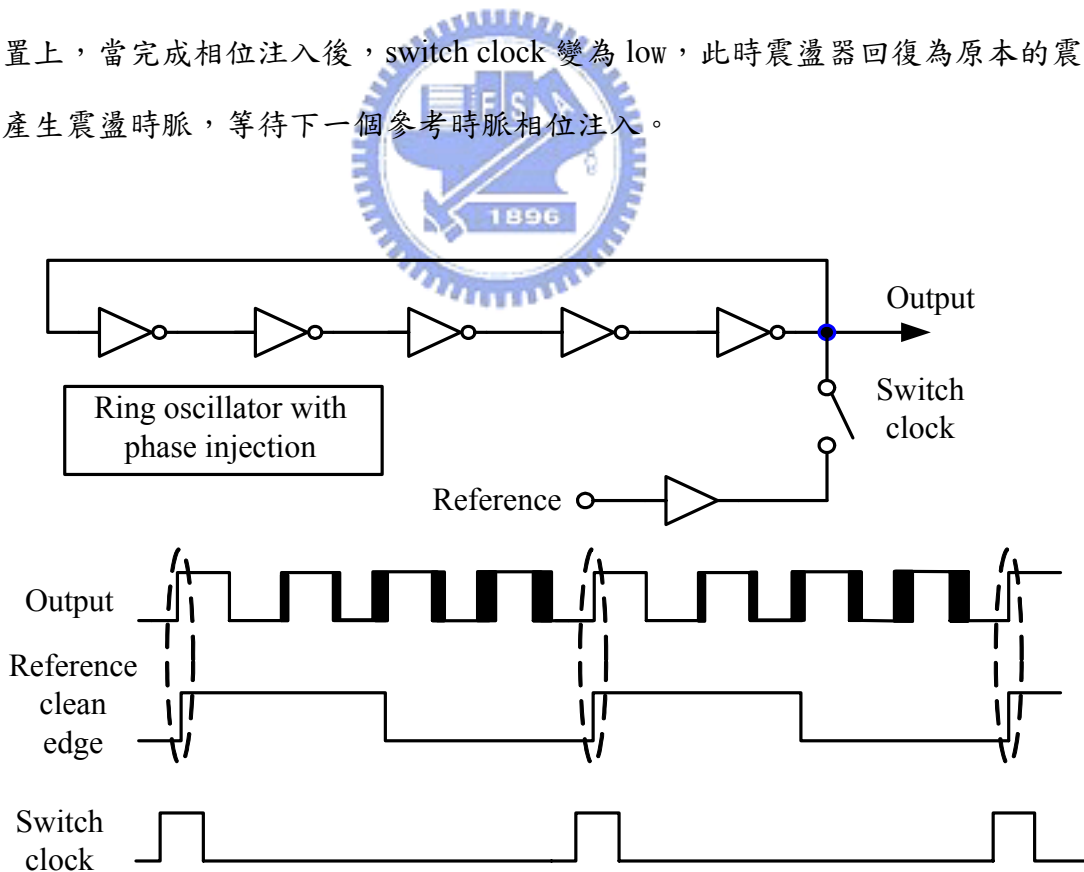


圖 3-5 參考時脈相位注入震盪器

3.3.2 相位注入參數

當參考時脈相位注入到震盪器時，參考時脈經過的緩衝器與震盪器的延遲元件便進行有如相位內插電路(Phase interpolator)的功能，震盪器由於參考時脈相位注入所產生的相位漂移(Phase shift)，取決於參考時脈緩衝器與震盪器延遲元件的驅動能力比例。由壓控震盪器產生的相位雜訊，經由鎖相迴路後所造成與參考時脈間的相位誤差通常很小，所以可以將相位注入後產生的相位漂移與原本震盪器的相位誤差表示為一線性關係，如圖 3-6 所示[8]，此線性關係之斜率大小 β 定義為相位注入參數(Phase injection factor)， β 由 0 到 1 之間變化表示參考時脈相位注入的強度，當 $\beta=1$ 時，震盪器所累積的相位誤差將完全被相位注入拉回到與參考時脈同相位；而當 $\beta=0$ 時，則參考相位不會注入到震盪器內，此時與傳統鎖相迴路特性相同。

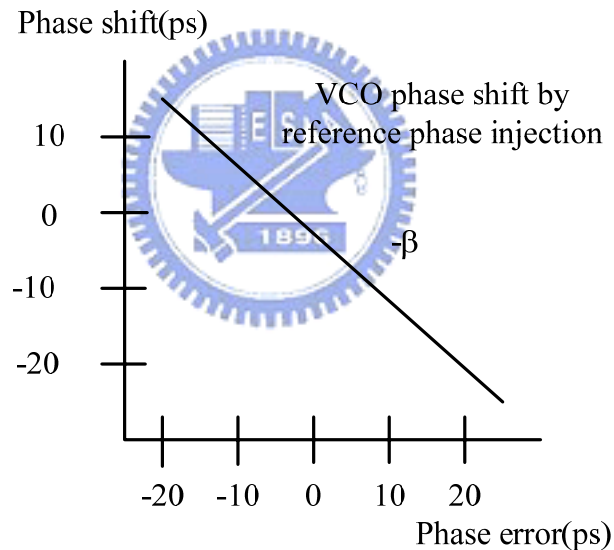


圖 3-6 相位注入參數

3.3.3 相位飄移

當完成相位注入後，震盪器的相位會產生 $-\beta \theta_e$ 的漂移， θ_e 定義為震盪訊號與參考訊號瞬間相位誤差， $\theta_{ref}(t)$ 定義為參考時脈的相位， $\theta_{vco}(t)$ 定義為未經參考時脈相位注入的壓控震盪器震盪訊號， $\phi(t)$ 定義為經相位注入後震盪器所累積的相位飄移，因此經相位注入後壓控震盪器的總輸出相位可由下式表示。

$$\theta_{vco_total}(t) = \theta_{vco}(t) + \phi(t) \quad (3.8)$$

當第 n 個參考相位到來時，震盪訊號與參考訊號間的相位差可由下式表示。

$$\theta_e[n] = \theta_{vco_total}(nTr) - N\theta_{ref}(nTr) \quad (3.9)$$

T_r 為參考訊號週期， nT_r 代表第 n 個參考訊號相位到來的時間， N 為除頻器除數，代表著壓控震盪器震盪頻率為參考訊號頻率的 N 倍，當第 n 個參考訊號相位注入時，震盪訊號會產生 $-\beta \cdot \theta_e[n]$ 的相位飄移，如圖 3-7 所示[8]。

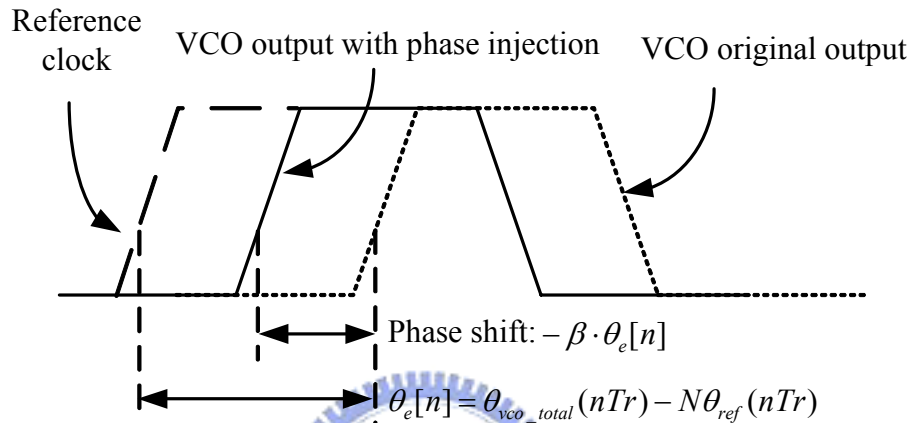


圖 3-7 瞬間相位飄移

在前面鎖相迴路線型模型中提到，震盪器會將相位累積，所以總相位飄移 $\phi(t)$ 示意圖可由圖 3-8 所示[8]。

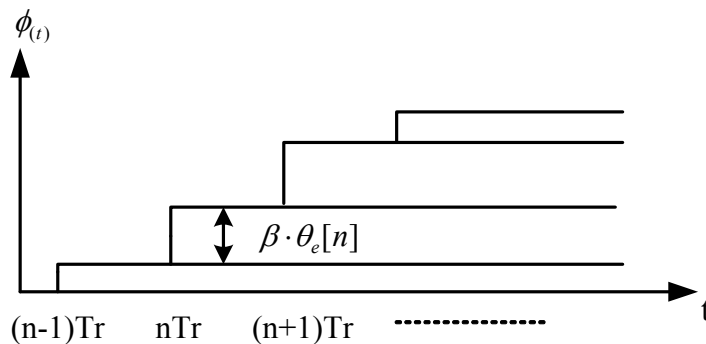


圖 3-8 總相位飄移(a)

由圖 3-8 我們可以得到總相位漂移 $\phi(t)$

$$\phi(t) = -\beta \sum_{n=-\infty}^{\infty} \theta_e[n] \cdot u(t - nTr) \quad (3.10)$$

由圖 3-9 我們可以將 $\phi(t)$ 改寫表示為下式。

$$\phi(t) = \sum_{n=-\infty}^{\infty} \phi_{\Delta}[n] \cdot h_{hold}(t - nTr) \quad (3.11)$$

其中 $h_{hold}(t) = u(t) - u(t - Tr)$ ，代表在 Tr 的時間內做保持的動作， $\phi_{\Delta}[n] - \phi_{\Delta}[n-1] = -\beta \cdot \theta_e[n]$

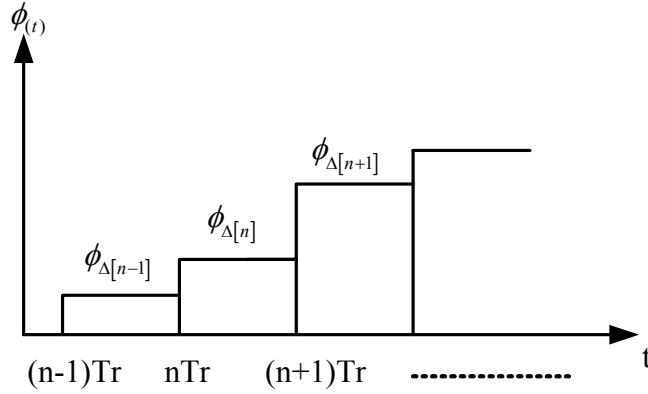


圖 3-9 總相位飄移(b)

我們將式(3.11)作傅利葉轉換(Fourier transform)得到下式。

$$\phi(j\omega) = Tr \cdot e^{-j\omega Tr/2} \cdot \text{sinc}(\omega Tr/2) \cdot \phi_{\Delta}(z) \Big|_{z=e^{j\omega Tr}} \quad (3.12)$$

其中 $\phi_{\Delta}(z)$ 是 $\phi_{\Delta}[n]$ 的 Z 轉換(Z transform)，為了推導出 $\phi_{\Delta}(z)$ ，我們將式(3.9)與式(3.11)結合，得到以下新的表示式。

$$\phi_{\Delta}[n] - \phi_{\Delta}[n-1] = -\beta(\theta_{vco}[n] + \phi_{\Delta}[n-1] - N\theta_{ref}[n]) \quad (3.13)$$

由式(3.13)解出 $\phi_{\Delta}[n]$ 的 Z 轉換表式如下。

$$\phi_{\Delta}(z) = \frac{-\beta}{1 + (\beta - 1)z^{-1}} \theta_{vco}(z) + \frac{N\beta}{1 + (\beta - 1)z^{-1}} \theta_{ref}(z) \quad (3.14)$$

將式(3.11)，式(3.12) 與式(3.14)結合，我們可以得到震盪器總輸出相位的表示式[8]。

$$\theta_{vco_total}(j\omega) = \theta_{vco}(j\omega) \cdot H_{vco}(j\omega) + \theta_{ref}(j\omega) \cdot H_{ref}(j\omega) \quad (3.15)$$

其中 $H_{vco}(j\omega)$ 為

$$H_{vco}(j\omega) = 1 - \frac{\beta}{1 + (\beta - 1)e^{-j\omega Tr}} \cdot e^{-j\omega Tr/2} \cdot \text{sinc}(\omega Tr/2) \quad (3.16)$$

$H_{ref}(j\omega)$ 為

$$H_{ref}(j\omega) = \frac{N\beta}{1 + (\beta - 1)e^{-j\omega Tr}} \cdot e^{-j\omega Tr/2} \cdot \text{sinc}(\omega Tr/2) \quad (3.17)$$

$H_{vco}(j\omega)$ 轉移函數代表涵義為相位注入對壓控震盪器相位的影響，而 $H_{ref}(j\omega)$ 代表涵義為參考訊號雜訊對壓控震盪器相位的影響。

3.3.4 線性模型

在 3.2 節我們探討過傳統鎖相迴路的線性模型以及鎖相迴路的雜訊源，而在 3.3.3 節我們探討了經過相位注入後震盪器輸出相位的變化，我們將 3.3.3 節所導出的結論，結合 3.2 節的線性模型，得到具相位注入鎖定之鎖相迴路其線性模型，如圖 3-10 所示[8]。

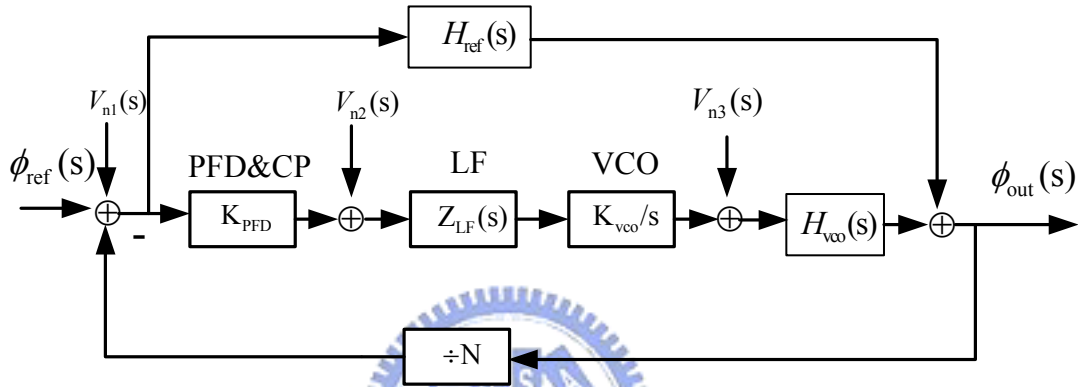


圖 3-10 具相位注入鎖定之鎖相迴路線性模型

與 3.2 節相同， $V_{n1}(s)$ 為參考訊號的輸入雜訊， $V_{n2}(s)$ 為充電幫浦所造成的雜訊， $V_{n3}(s)$ 為壓控震盪器之相位雜訊，我們將各雜訊源對輸出的轉移函數重新推導如下。

$$\frac{\phi_{out}(s)}{V_{n1}(s)} = \frac{H_{ref} + H_{vco}(s) \cdot K_{PFD} \cdot Z_{LF}(s) \cdot \frac{K_{vco}}{s}}{1 + H_{vco}(s) \cdot K_{PFD} \cdot Z_{LF}(s) \cdot \frac{K_{vco}}{s} \cdot \frac{1}{N}} \quad (3.18)$$

$$\frac{\phi_{out}(s)}{V_{n2}(s)} = \frac{H_{ref} + H_{vco}(s) \cdot Z_{LF}(s) \cdot \frac{K_{vco}}{s}}{1 + H_{vco}(s) \cdot K_{PFD} \cdot Z_{LF}(s) \cdot \frac{K_{vco}}{s} \cdot \frac{1}{N}} \quad (3.19)$$

$$\frac{\phi_{out}(s)}{V_{n3}(s)} = \frac{H_{vco}(s)}{1 + H_{vco}(s) \cdot K_{PFD} \cdot Z_{LF}(s) \cdot \frac{K_{vco}}{s} \cdot \frac{1}{N}} \quad (3.20)$$

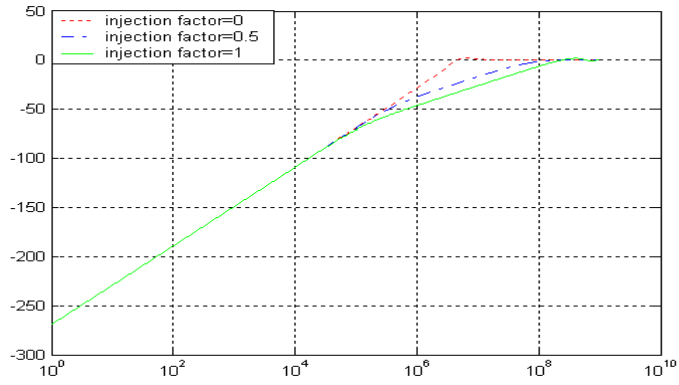


圖 3-11 壓控震盪器相位雜訊對輸出相位的轉移函數

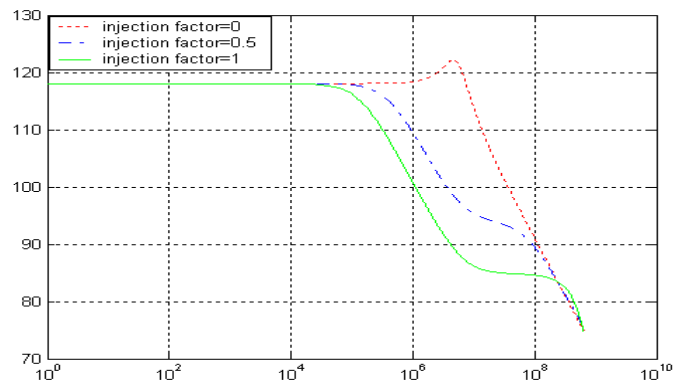


圖 3-12 充電幫浦造成的雜訊對輸出相位的轉移函數

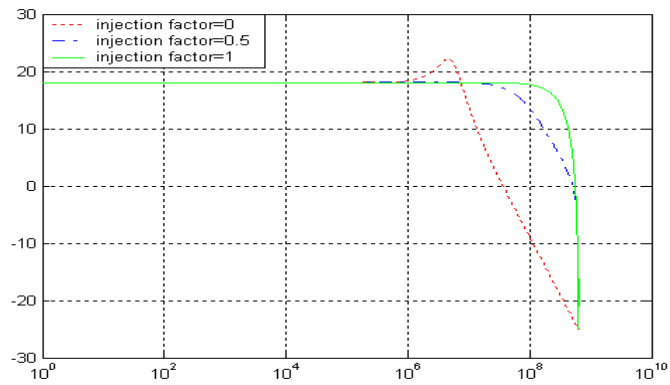


圖 3-13 參考訊號的輸入雜訊對輸出相位的轉移函數

上三圖分別表示各雜訊源依照不同相位注入參數，對輸出相位的轉移函數，我們取了三個不同的相位注入參數 0, 0.5, 1 來分析，分別代表著無相位注入，即為傳統鎖相迴路，部份相位注入(Partial phase injection)，以及完全相位注入(Total phase injection)。圖 3-11 代表壓控震盪器相位雜訊對輸出相位的轉移函數，我們可以發現，隨著相位注

入參數的加大，高通濾波函數的截止頻帶(Stop band)將加大，增加了鎖相迴路過濾震盪器相位雜訊的能力。圖 3-12 代表充電幫浦造成的雜訊對輸出相位的轉移函數，由於參考訊號相位的注入，加強了鎖相迴路過濾高頻雜訊的能力。圖 3-13 代表參考訊號的輸入雜訊對輸出相位的轉移函數，與前兩個雜訊源不同的是，參考相位注入增加了鎖相迴路的迴路頻寬，所以會降低了鎖相迴路過濾輸入端高頻雜訊的能力。

3.4 總結

在本章節中，我們探討了參考訊號相位注入對鎖相迴路行為的影響[8]，在不改變鎖相迴路的參數下，參考相位注入增加了鎖相迴路的頻寬，提升過濾壓控震盪器相位雜訊以及充電幫浦雜訊的能力，但卻降低了過濾輸入端雜訊的能力，若輸入端訊號源雜訊太大，會對鎖相迴路效能造成影響，這是參考訊號相位注入的缺點。所以我們希望設計一個可對相位注入參數做調變的鎖相迴路，當輸入端雜訊很小時，我們將相位注入參數加大，加強過濾震盪器相位雜訊的能力；而當輸入端雜訊很大時，我們將相位注入參數變小，甚至取消參考訊號相位注入，回復為傳統鎖相迴路，來加強對輸入端雜訊的濾波能力，設計出一個可隨外在環境做調變的具相位注入鎖定之鎖相迴路。

第四章

具可調變相位注入鎖定之全數位鎖相迴路



4.1 架構簡介

我們的整體電路架構圖如圖 4-1 所示，利用時間對數位轉換器比較輸入參考訊號與震盪器輸出訊號，將其差距轉化為數位碼輸入到數位濾波器來增減數位控制震盪器的震盪頻率，利用 8 位元的控制碼(Control code)來控制數位控制震盪器的震盪頻率，而利用 3 位元的控制碼經過三角積分調變器(Sigma delta modulator, SDM)來對數位控制震盪器的 LSB(Least significant bit)做分數型控制，來增加數位控制震盪器的等效解析度，並將參考訊號的相位注入到數位控制震盪器內，來降低全數位鎖相迴路經過一個參考訊號週期時間內所累積的時脈抖動，而控制不同的參考訊號相位注入強度，來改變相位注入參數 β ，設計出一具可調變相位注入鎖定之全數位鎖相迴路。本電路輸入參考訊號頻率為 156.25MHZ，輸出訊號頻率為 1.25GHZ，具 8 個多重相位輸出。

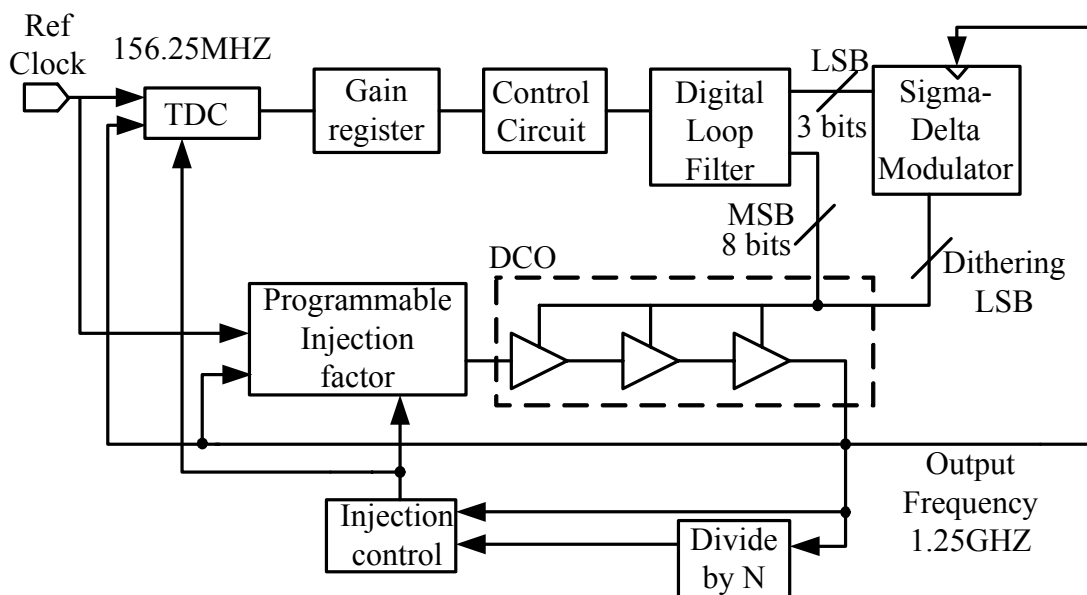


圖 4-1 電路整體架構

4.2 鎖定方法

將全數位鎖相迴路分為頻率鎖定模式以及相位鎖定模式，一開始先進行頻率鎖定，將數位控制震盪器輸出頻率控制到所設定的目標頻率 1.25GHz，當完成頻率鎖定後，進入到相位鎖定模式來維持住訊號的相位。當進行頻率鎖定时，利用完全相位注入也就是將相位注入參數設定為 1，如圖 4-2 所示[7]，其中 rclk 代表參考訊號，bclk 代表數位控制震盪器的輸出訊號，xclk 代表經過相位注入後產生的訊號，last 訊號驅使每 N 個震盪週期做一次相位注入，而 sel 訊號為 High 時，參考相位注入，sel 訊號為 Low 時，震盪器恢復為原本震盪行為，等待下個參考訊號相位注入[7]。在頻率鎖定過程中，每當參考訊號相位到來時，震盪器震盪訊號相位便被參考訊號相位鎖定住，所以他們在時間對數位轉換器所偵測到兩相位的差距便為頻率的差距，持續校正迴路使震盪器震盪頻率為參考訊號頻率的 N 倍。

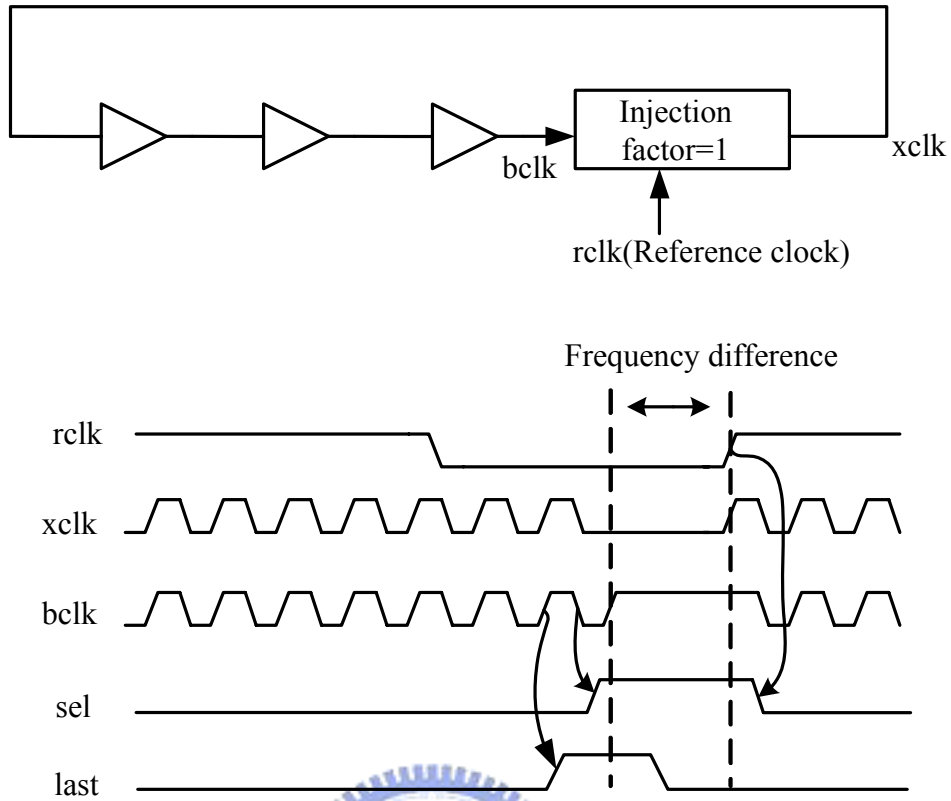


圖 4-2 頻率鎖定

當完成頻率鎖定後，便進入相位鎖定模式，如圖 4-3 所示[7]，此時將相位注入參數 β 設計成可在 0 到 1 之間調變，藉由不同的相位注入強度來降低經過一個參考訊號週期所累積的時脈抖動，根據不同的外在環境與電路本身雜訊源大小，來調變相位注入的強度，藉此完成一具可調變相位注入鎖定之全數位鎖相迴路。

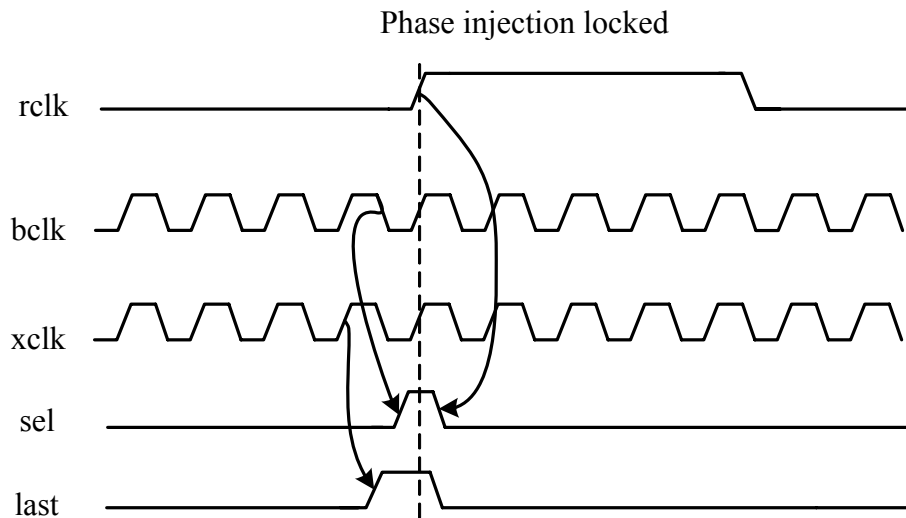


圖 4-3 相位鎖定

4.3 時間對數位轉換器

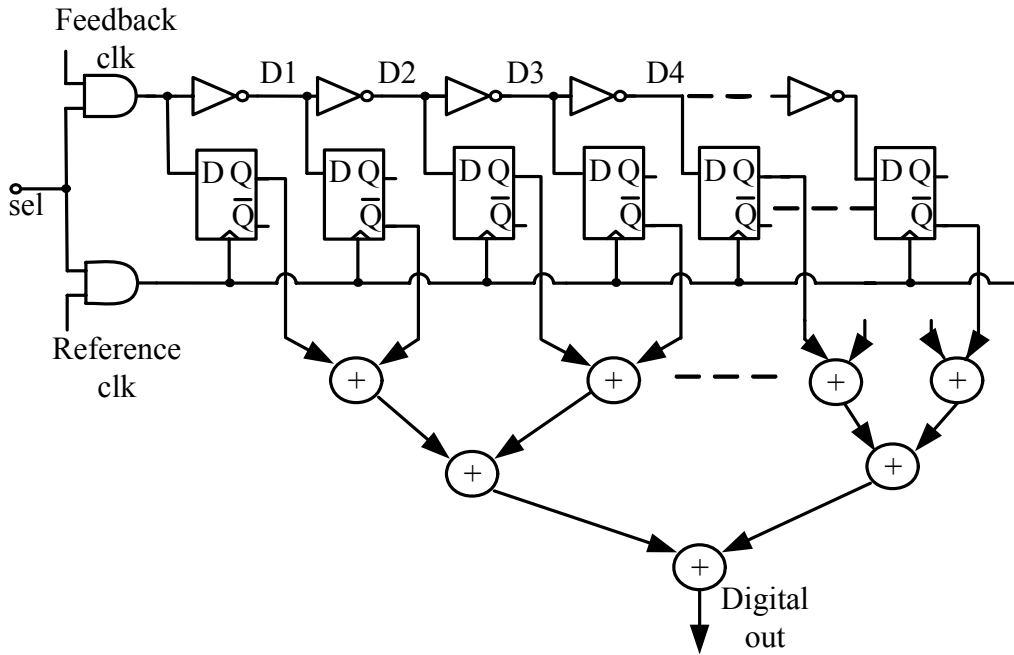


圖 4-4 時間對數位轉換器

圖 4-4 為我們所採用的時間對數位轉換器架構[11]，由參考訊號作為 D 型正反器 (D-type flip flop) 的取樣訊號，數位控制震盪器的回授信號經過反向器 (Inverter) 組成的延遲列，產生不同的延遲相位，作為 D 型正反器的輸入資料，而一個反向器的延遲時間，即為時間對數位轉換器的解析度，並將每一級取樣到的輸出值，由加法器 (Adder) 相加，產生一組數位輸出訊號，輸入到數位濾波器，改變數位控制震盪器的控制位元，進而增減數位控制震盪器的震盪頻率，操作如下圖 4-5 所示。

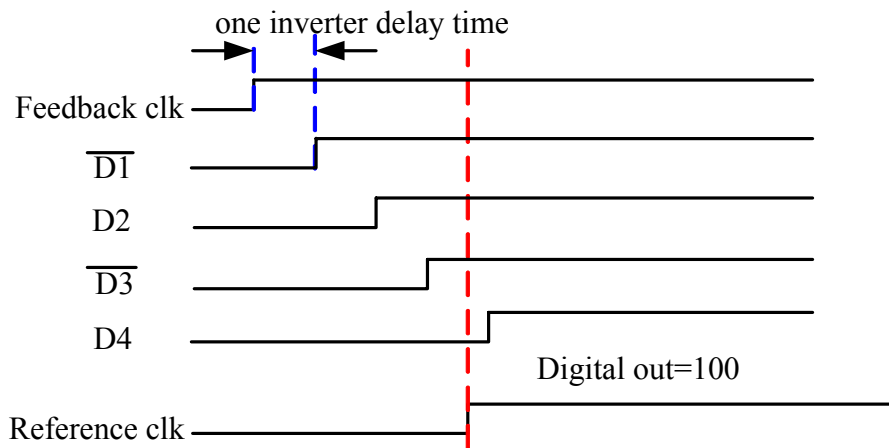


圖 4-5 時間對數位轉換器操作圖

4.4 數位濾波器

在設計數位濾波器時，經由雙線性轉換(Bilinear transform)來設計數位濾波器，是相當常用的方法[10]，如圖 4-6 所示。一階數位濾波器的 Z 轉移函數基本模式如下式。

$$Z_{LF}(z) = \frac{(\alpha + \beta) - \alpha z^{-1}}{1 - z^{-1}} \quad (4.1)$$

而一階 RC 濾波器在頻域的轉移函數 $Z_{LF}(s) = R + \frac{1}{sC}$ ，我們利用雙線性轉換，將

$s = \frac{2}{T_s} \frac{1 - z^{-1}}{1 + z^{-1}}$ 代入，其中 T_s 為離散時間系統(Discrete-time system)中的取樣時間，在這裡

即為參考訊號的週期時間，我們可以推導出一階數位濾波器的 Z 轉移函數如下式。

$$Z_{LF}(z) = \frac{(\frac{T_s}{2C} + R) + z^{-1}(\frac{T_s}{2C} - R)}{1 - z^{-1}} \quad (4.2)$$

將式(4.1)和(4.2)式做係數比較，得到數位濾波器增益參數 α 和 β 如下式。

$$\begin{aligned} \alpha &= R - \frac{T_s}{2C} \\ \beta &= \frac{T_s}{C} \end{aligned} \quad (4.3)$$

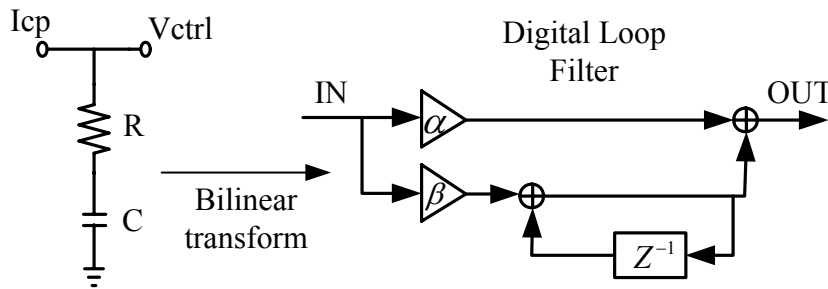


圖 4-6 雙線性轉換

我們希望從先前討論過鎖相迴路線性模型，來設計 α 和 β 。二階數位式鎖相迴路開迴路增益如下式。

$$G(s) = K_{PFD} \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{N} \cdot \frac{s + \omega_z}{s} \cdot R \quad (4.4)$$

其中 ω_z 為系統零點的角頻率

$$\omega_z = \frac{1}{RC}$$

而鎖相迴路系統的相位邊限(Phase margin)如下式。

$$PM = \arctan\left(\frac{\omega_t}{\omega_z}\right) \quad (4.5)$$

ω_t 為系統的迴路頻寬，我們可以求得電阻與電容的表示式。

$$R = \frac{N}{K_{PFD} \cdot K_{VCO}} \frac{\omega_t^2}{\sqrt{\omega_z^2 + \omega_t^2}} \quad (4.6)$$

$$C = \frac{\tan(PM)}{R \cdot \omega_t}$$

由式(4.3)我們可以得到 α 與 β 的比值如下式。

$$\frac{\alpha}{\beta} = \frac{RC}{T_s} - \frac{1}{2} \quad (4.7)$$

將式(4.6)中 R 和 C 的值代入式(4.7)中，我們可以得到下式[10]。

$$\frac{\alpha}{\beta} = \frac{1}{T_s} \frac{\tan(PM)}{\omega_t} - \frac{1}{2} \quad (4.8)$$

因此我們可以根據鎖相迴路的參考訊號頻率、迴路頻寬以及相位邊限，來設計數位濾波器的增益參數，一階數位濾波器的電路實現如下圖所示。

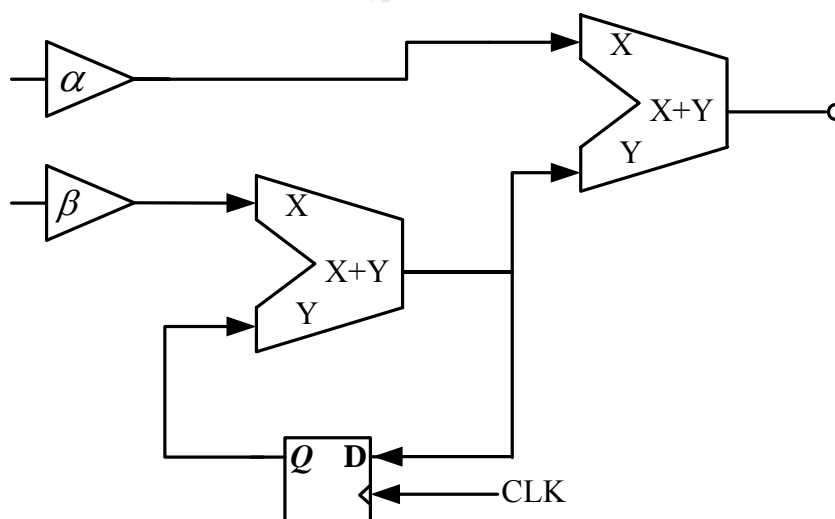


圖 4-7 一階數位濾波器電路實現

4.5 除頻器

在我們的全數位鎖相迴路中，除頻器的除數 N 為 8，除頻器由 D 型正反器組成，如圖 4-8 所示。為了使 D 型正反器應用於高頻操作，我們希望降低輸入與輸出端點的等效電容，使電路的延遲時間降低。利用 TSPC(True single phase clock)型態的 D 型正反器，擁有高速頻率操作以及架構簡單等優點，故廣泛應用於高速的數位電路中，圖 4-9 為除頻器中所使用的 TSPC 型態 D 型正反器。

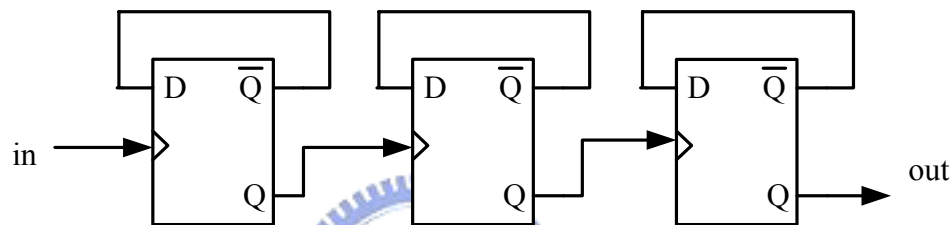


圖 4-8 除頻器電路

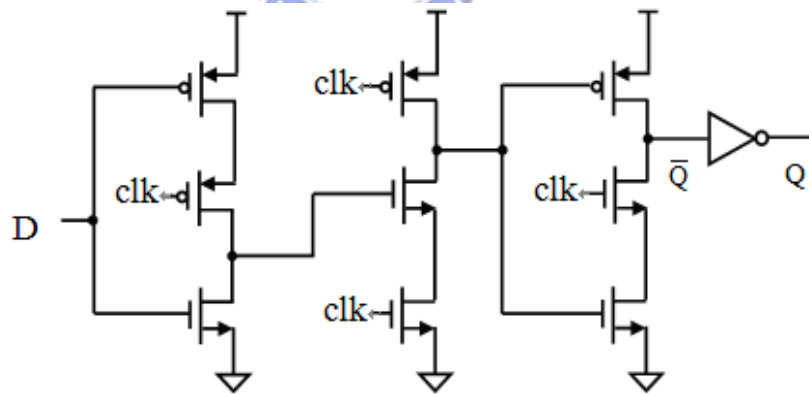


圖 4-9 TSPC 型態 D 型正反器

4.6 三角積分調變器

三角積分調變器廣泛應用於非整數頻率合成器(Fractional-N frequency synthesizer)中，它能夠降低量化雜訊(Quantization noise)以及將量化雜訊頻譜(Quantization noise

spectrum)的能量移到較遠的頻率。圖 4-10 為一階三角積分調變器的架構圖。

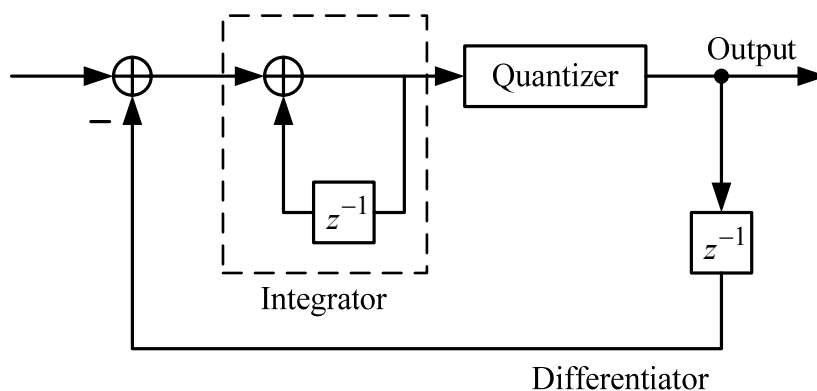


圖 4-10 一階三角積分調變器

我們將量化雜訊加入到三角積分調變器做討論[24]，如圖 4-11 所示

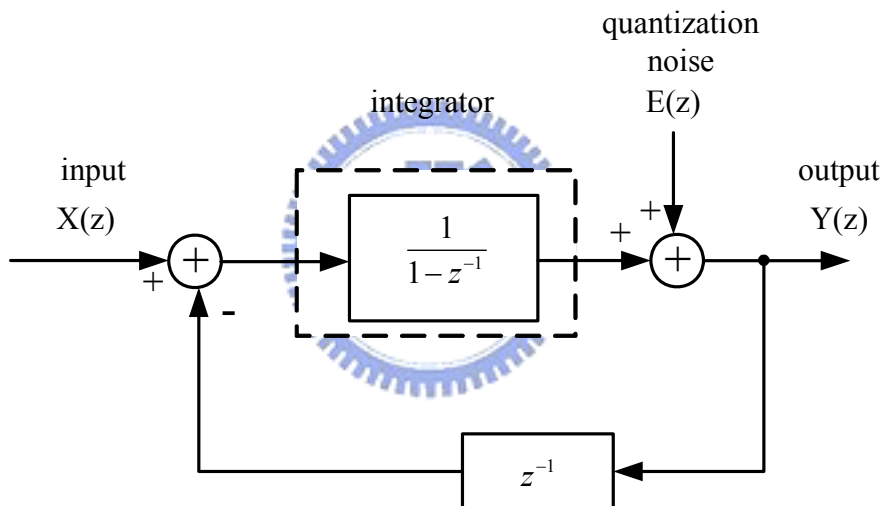


圖 4-11 具量化雜訊之一階三角積分調變器

由圖 4-11 可得到

$$Y(z) = [X(z) - Y(z) \cdot z^{-1}] \cdot \frac{1}{1 - z^{-1}} + E(z) \quad (4.9)$$

整理後可得到下式

$$Y(z) = X(z) + E(z) \cdot (1 - z^{-1}) \quad (4.10)$$

將圖 4-11 進一步轉換成圖 4-12 所表示的數位信號方塊圖

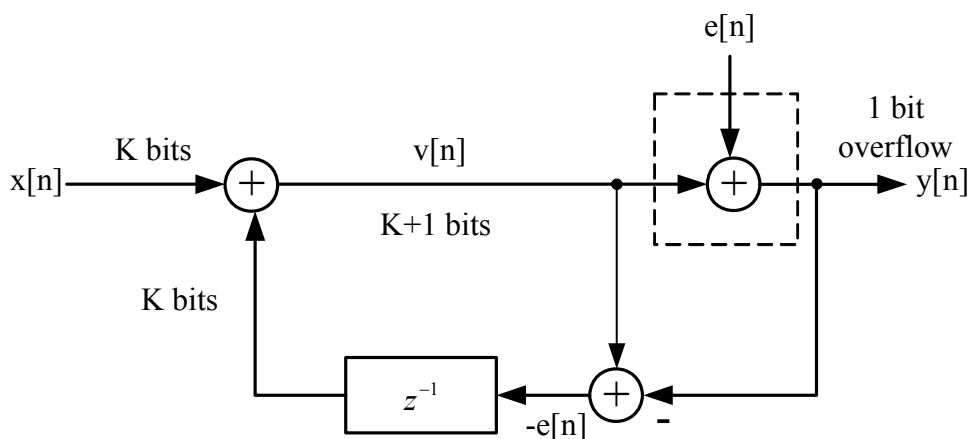


圖 4-12 一階三角積分調變器數位信號方塊圖

我們將 k 位元的輸入信號與暫存器拉回的 k 位元信號相加，會在累加器產生 $k+1$ 位元的輸出，此輸出分為兩部分， $y[n]$ 為一個位元的溢位位元(Overflow)，扣除掉 $y[n]$ 剩下的位元代表系統量化誤差的負值，將其存入暫存器內，等待下個信號的到來，與輸入信號作相加，產生新的輸出。

數位控制震盪器的解析度由 LSB 所能改變的週期變化量決定，舉例來說，若一個數位控制震盪器的解析度為 4ps ，則當 LSB 為 0 時，震盪訊號週期為 798ps ，當 LSB 為 1 時，震盪訊號週期為 802ps ，週期具有 4ps 的改變量。若我們將一階三角積分調變器的 $y[n]$ ，也就是溢位位元，來控制數位控制震盪器的 LSB，則可以做出分數型的控制，將原本的解析度做更精確的調變[9]。就上述的例子來說，若我們想使震盪訊號週期為 798.5ps ，多增加八分之一解析度，三角積分調變器的輸入 $x[n]=0.125$ ，則 $y[n]$ 的變化如表格 4.1 所示。當 $y[n]=0$ 時，震盪訊號週期為 798ps ，當 $y[n]=1$ 時，震盪訊號週期為 802ps ，則由表格 4.1 可知震盪訊號的平均週期即為 798.5ps 。藉由三角積分調變器來對 LSB 作分數型控制，可將原本低解析度的數位控制震盪器，在不增加數位控制震盪器硬體成本的情況下，達到高解析度的要求。

圖 4-13 為我們利用數位相位累加器(digital phase accumulator, DPA)，來實現全數位的三角積分調變器，利用全數位設計具有電路穩定以及容易實現等優點，我們利用 3 位元的輸入來控制三角積分調變器，將原本數位控制震盪器的解析度在作細分，來改善

全數位鎖相迴路的時脈抖動。

表格 4.1 震盪週期變化

$x[n]$	累加器輸出	$e[n]$	$y[n]$	震盪週期
0.125	0.125	-0.125	0	798ps
0.125	0.25	-0.25	0	798ps
0.125	0.375	-0.375	0	798ps
0.125	0.5	-0.5	0	798ps
0.125	0.625	-0.625	0	798ps
0.125	0.75	-0.75	0	798ps
0.125	0.875	-0.875	0	798ps
0.125	1.0	-0.0	1	802ps

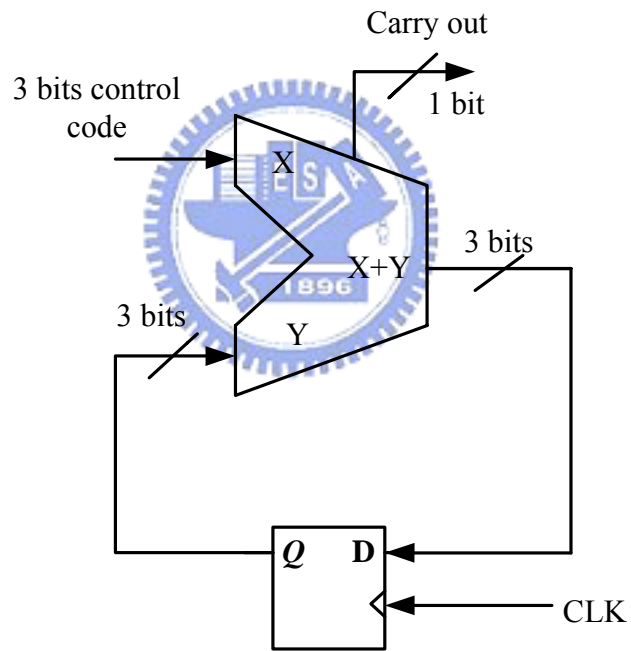


圖 4-13 全數位一階三角積分調變器

4.7 數位控制震盪器

本章節介紹在我們全數位鎖相迴路系統中所設計的數位控制震盪器，如圖 4-14 所示，數位控制震盪器由四組差動對延遲單元所組成，其輸出頻率為 1.25GHZ，具有八個輸出相位。圖 4-15 為數位控制震盪器延遲單元架構，由三個控制位元的粗調機制 (Coarse-tuning stage) 以及四個控制位元的微調機制 (Fine-tuning stage) 所組成。在粗調機制中，由一組並聯數為 16 的驅動元件 (Driving cell)，搭配上三組並聯數分別為 2、4、8 的驅動元件，來做二進位的粗調，其中並聯數為 16 的驅動元件為永遠開啟，而另外三組則由三個控制位元來作數位控制震盪器的頻率調整。

在一般數位控制震盪器中，驅動元件多為三態反相器，但在我們的架構中，由於將參考訊號相位注入到數位控制震盪器中，所以我們的驅動元件設計如圖 4-16 所示，將參考訊號以及震盪器回授訊號經過二對一的多工器 (Mux) 作選擇，因此每一級驅動元件可選擇參考訊號或是震盪器回授訊號當作輸出，當相位注入選擇訊號 sel 為 low 時，震盪器為傳統震盪狀態，由控制位元控制震盪頻率，當 sel 為 high 時，由相位注入參數控制多工器選擇參考訊號或是震盪器回授訊號當作輸出，但總並聯反向器的個數與 sel 為 low 時一樣，利用這樣的控制來達到不同的參考訊號相位注入量，完成可調變的相位注入鎖定。特別要注意的是，在四級數位控制震盪器延遲單元中，只有其中一級延遲單元將參考訊號相位注入，另外三級中的驅動元件，輸出永遠為震盪器訊號，不受參考訊號的影響。

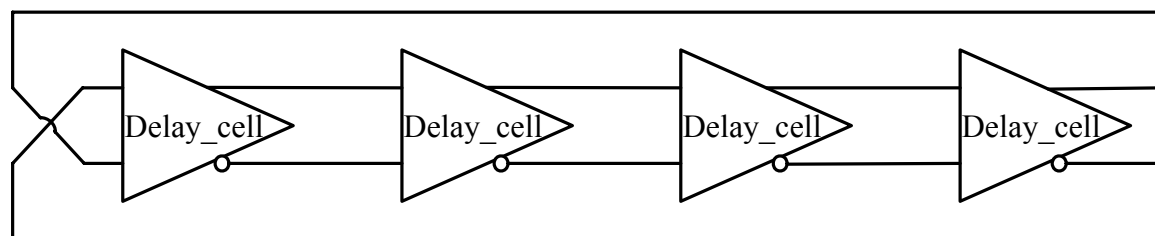


圖 4-14 四級延遲單元組成之數位控制震盪器

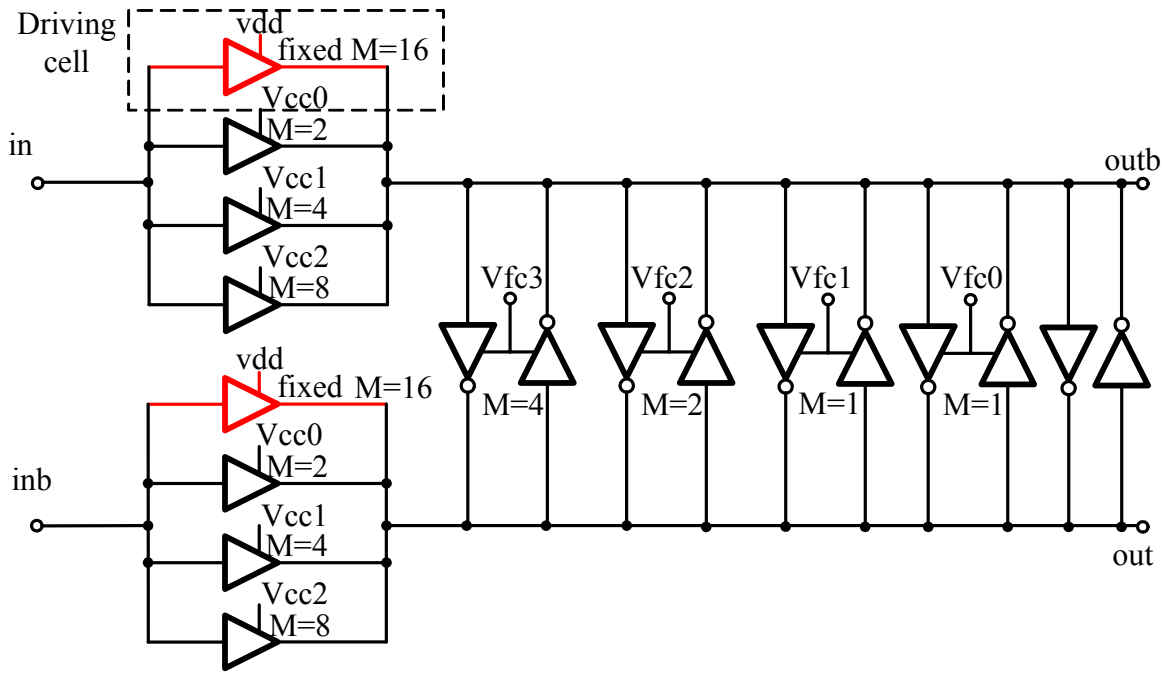


圖 4-15 延遲單元電路

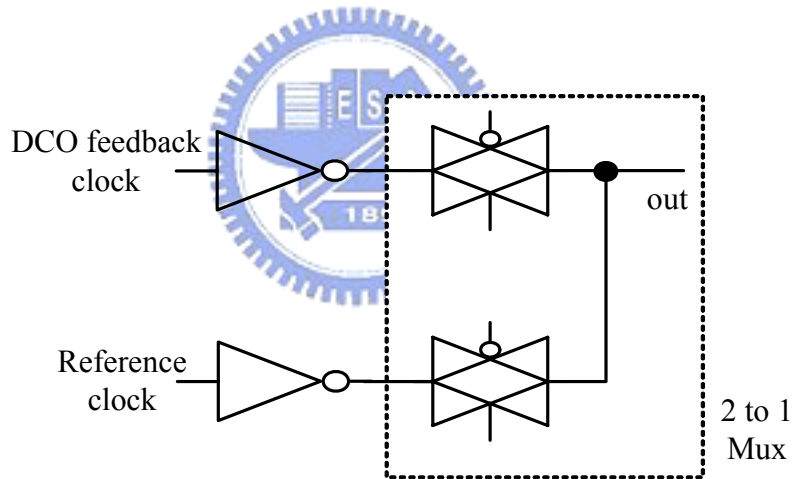


圖 4-16 驅動元件電路

在微調機制中，我們利用四組不同並聯數的磁滯延遲元件(Hysteresis delay cell)，來完成微調，如圖 4-17 所示。在信號路徑上利用兩個三態反相器產生正回授機制進而造成磁滯效應(Hysteresis effect)，藉由調整三態反相器的個數改變正回授的能力，進而產生不同磁滯電壓並產生延遲。

為了增加解析度，我們將每一級最後一組 $M=1$ 的磁滯延遲元件，作分別獨立的操作(Controlled independently)，如圖 4-17 所示。利用解碼器控制 S_0 、 S_1 、 S_2 ，將其分別開關，並利用三角積分調變器對 S_3 作分數型的控制，如圖 4-18 所示。

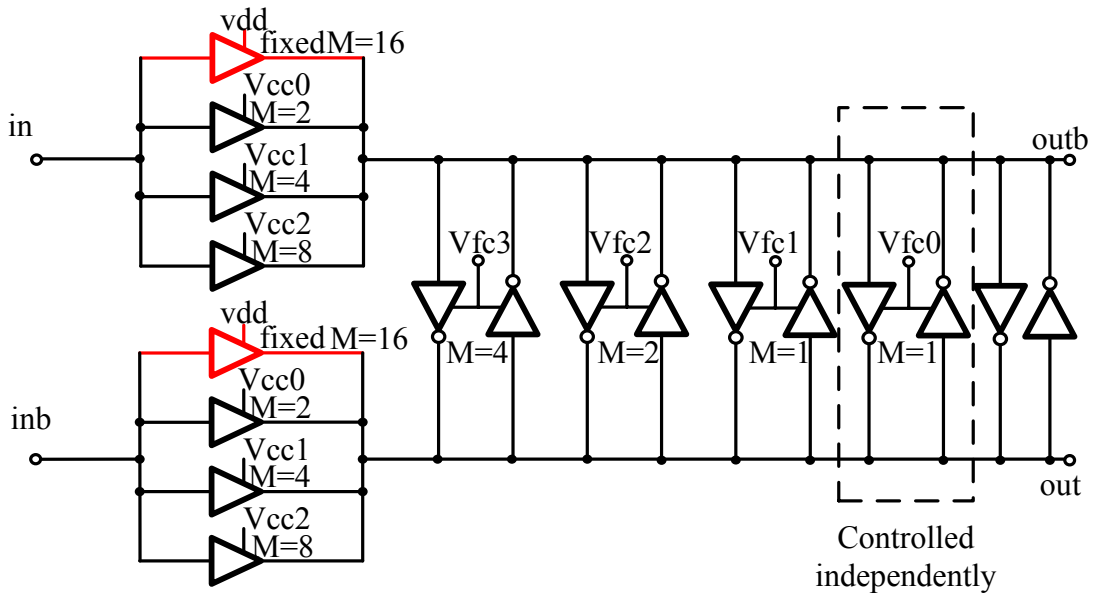


圖 4-17 磁滯延遲元件獨立操作

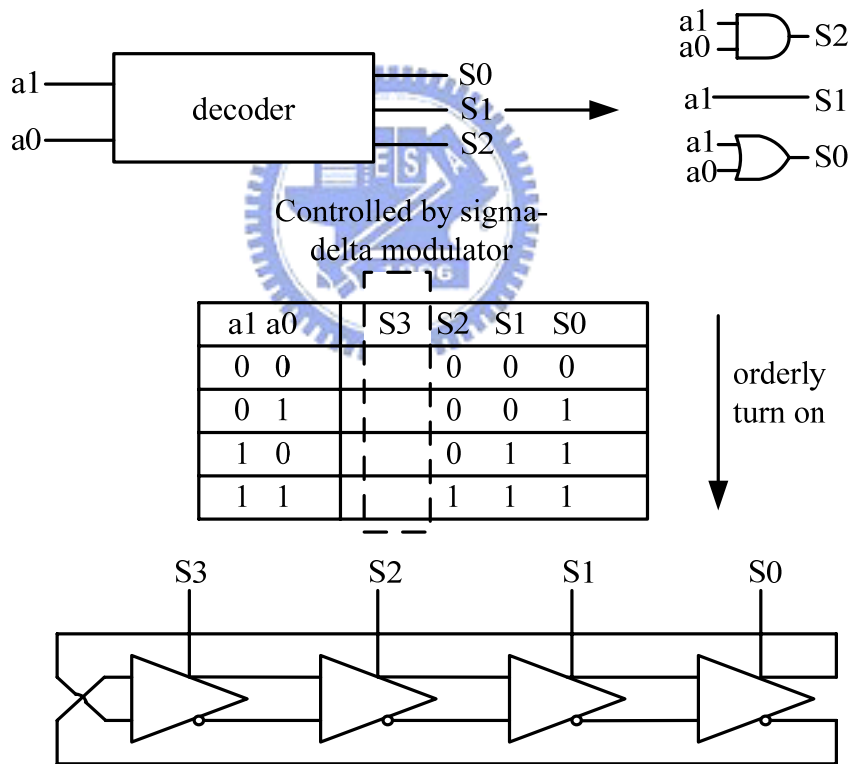


圖 4-18 獨立操作控制電路

圖 4-19 為數位控制震盪器經由佈局後模擬(Post-simulation)所得到的操作頻率可調整範圍，由模擬結果顯示在五個不同 corner 皆可達到 1.25GHZ，表格 4.2 列出在五個不同 corner 數位控制震盪器的操作頻率可調整範圍，以及在粗調機制中數位控制震盪器的平均增益。

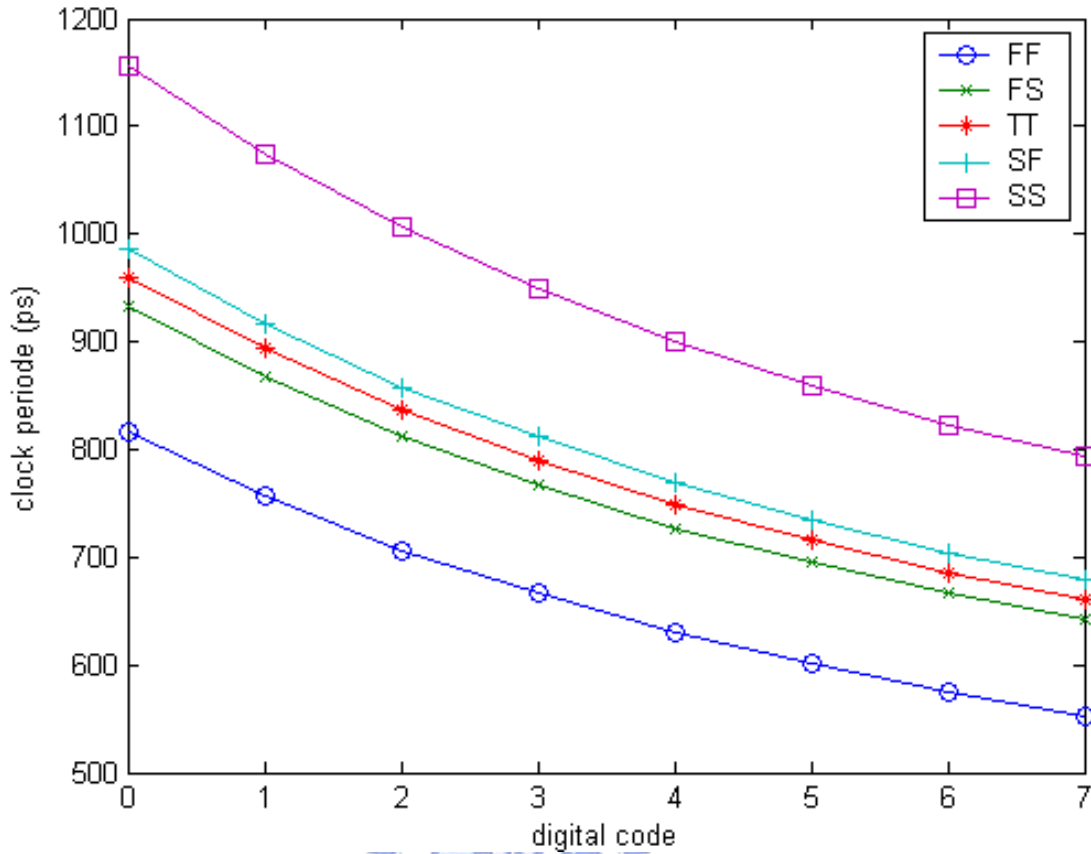


圖 4-19 數位控制震盪器操作頻率可調整範圍

表格 4.2 操作頻率可調整範圍

Corner	TT	FF	SS	SF	FS
Frequency range (GHZ)	1.52~1.04	1.8~1.22	1.26~0.86	1.47~1.01	1.56~1.07
Avg.DCO Gain	43ps/code	38ps/code	52ps/code	44ps/code	42ps/code

圖 4-20 為在微調機制中改變磁滯延遲元件並聯個數，所產生震盪週期的變化。

圖 4-21 為將每一級最後一組 $M=1$ 的磁滯延遲元件，作分別獨立的操作，並利用三角積分調變器作分數型的控制所產生的震盪週期變化。

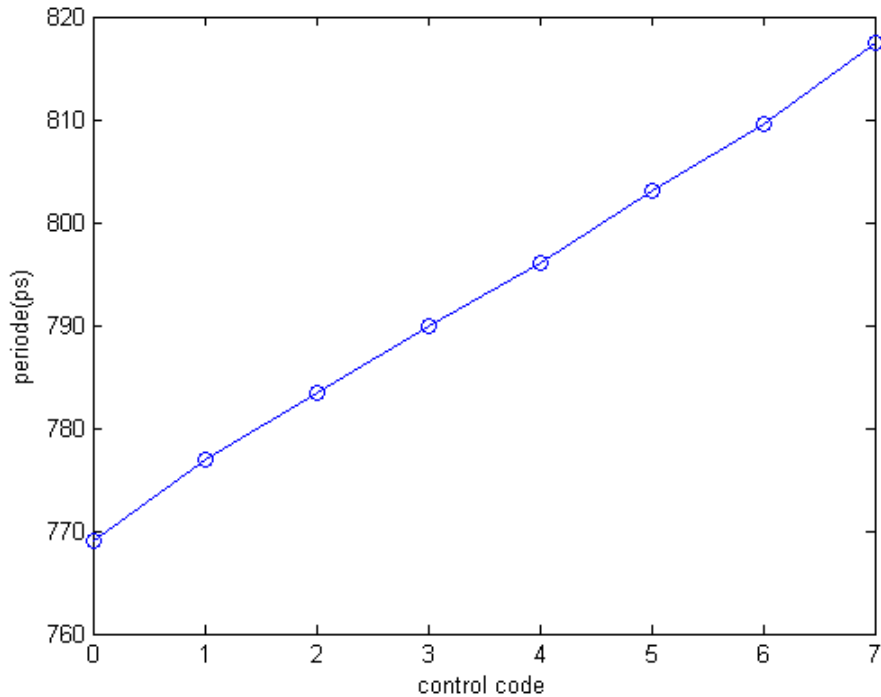


圖 4-20 微調機制震盪週期變化

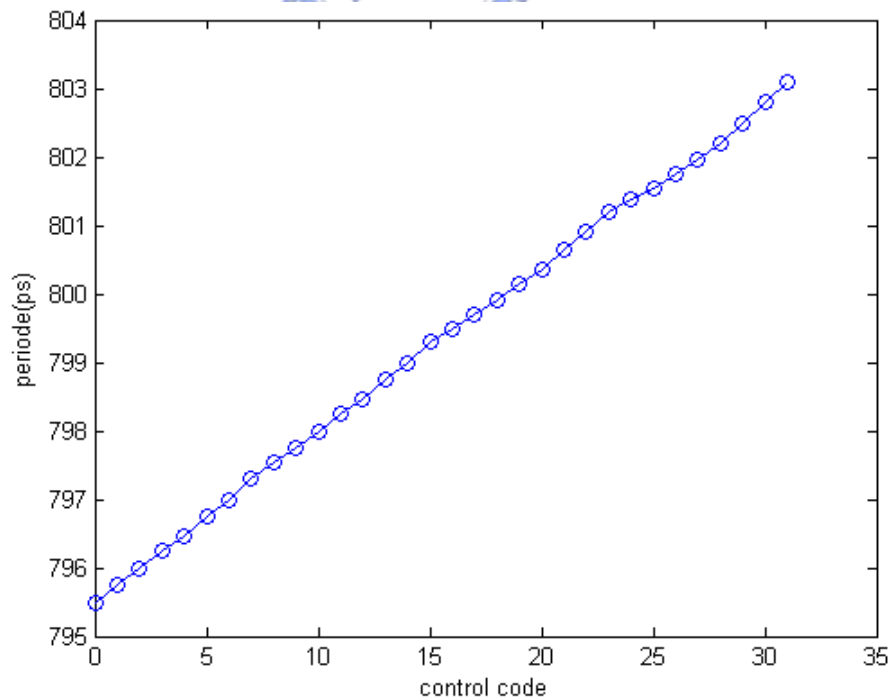


圖 4-21 分數型控制所產生的震盪週期變化

我們將數位控制震盪器規格總結如表格 4.3 所示，我們僅利用 7 位元控制的數位控制震盪器，加入三角積分調變器控制，便達到等效 0.24ps 的解析度。

表格 4.3 數位控制震盪器規格表

Items	Coarse delay	Fine delay
Control code	3 bit	3 bit + 1 bit
Control code type	Binary	Binary
Avg.DCO gain	43ps/code	1.9ps/code
With SDM dithering		0.24ps/code
Operation range	1.04GHZ~1.52GHZ(TT corner)	
Multi phase output	8-phase output	

我們將數位控制震盪器分為粗調機制以及微調機制，在控制位元轉換過程中，頻率可調整範圍要足夠大，不然會在控制位元變化時產生間隔(Gap)，如圖 4-22 所示。

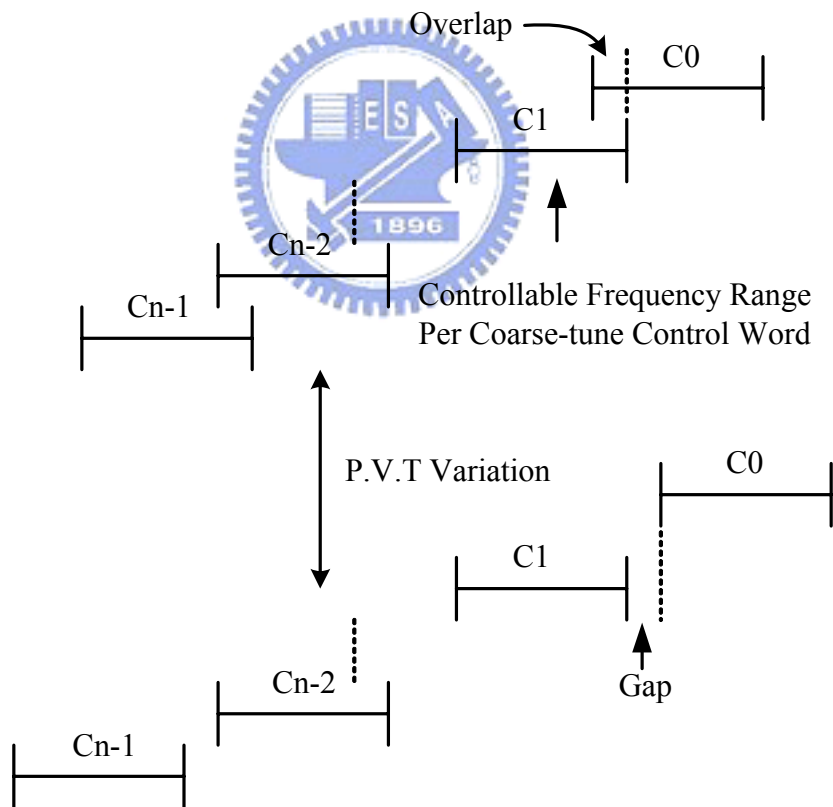


圖 4-22 控制位元變化時產生間隔

控制位元變化時產生間隔會導致鎖相迴路時脈抖動過大，所以在設計數位控制震盪器時除了將頻率可調整範圍擴大，以便發生製程飄移時還能達到所要求的震盪頻率，以及設計出合理的解析度，來減少鎖相迴路時脈抖動，還必須讓數位控制震盪器控制位元變化時，震盪週期可以覆蓋，不會產生間隔。

圖 4-23 為我們設計的數位控制震盪器在粗調機制控制位元產生變化時，微調機制的頻率可調整範圍皆可以覆蓋，不會產生間隔，表格 4.4 為圖 4-23 所對應到的震盪週期。

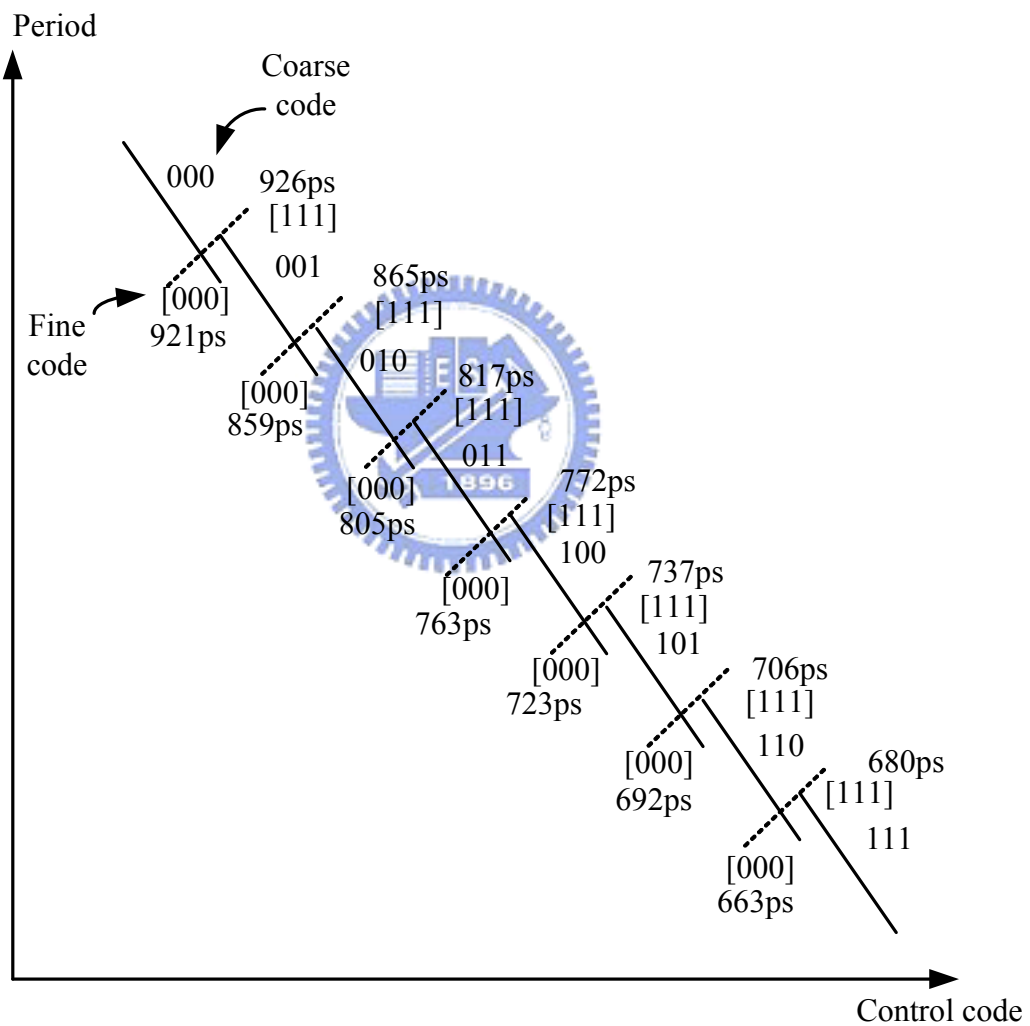


圖 4-23 粗調機制與微調機制覆蓋圖

表格 4.4 震盪週期對應表

Coarse code	Fine code all one	Fine code all zero
000		921ps
001	926ps	859ps
010	865ps	805ps
011	817ps	763ps
100	772ps	723ps
101	737ps	692ps
110	706ps	663ps
111	680ps	



第五章

模擬結果與佈局



5.1 系統行為模擬

我們利用 Matlab 的 Simulink 幫助我們完成系統行為模擬，如圖 5-1 所示，我們模擬了相位注入參數 $\beta=0, 0.25, 0.5, 0.75, 1$ 這五種不同的相位注入參數所造成全數位鎖相迴路的輸出眼圖，如圖 5-2 所示，並繪製成表格 5.1。

表格 5.1 Matlab 模擬之輸出時脈抖動(peak-to-peak jitter)

Factor	$\beta=0.2$	$\beta=0.25$	$\beta=0.5$	$\beta=0.75$	$\beta=1$
Jitter	12ps	8.5ps	7.5ps	8ps	8ps

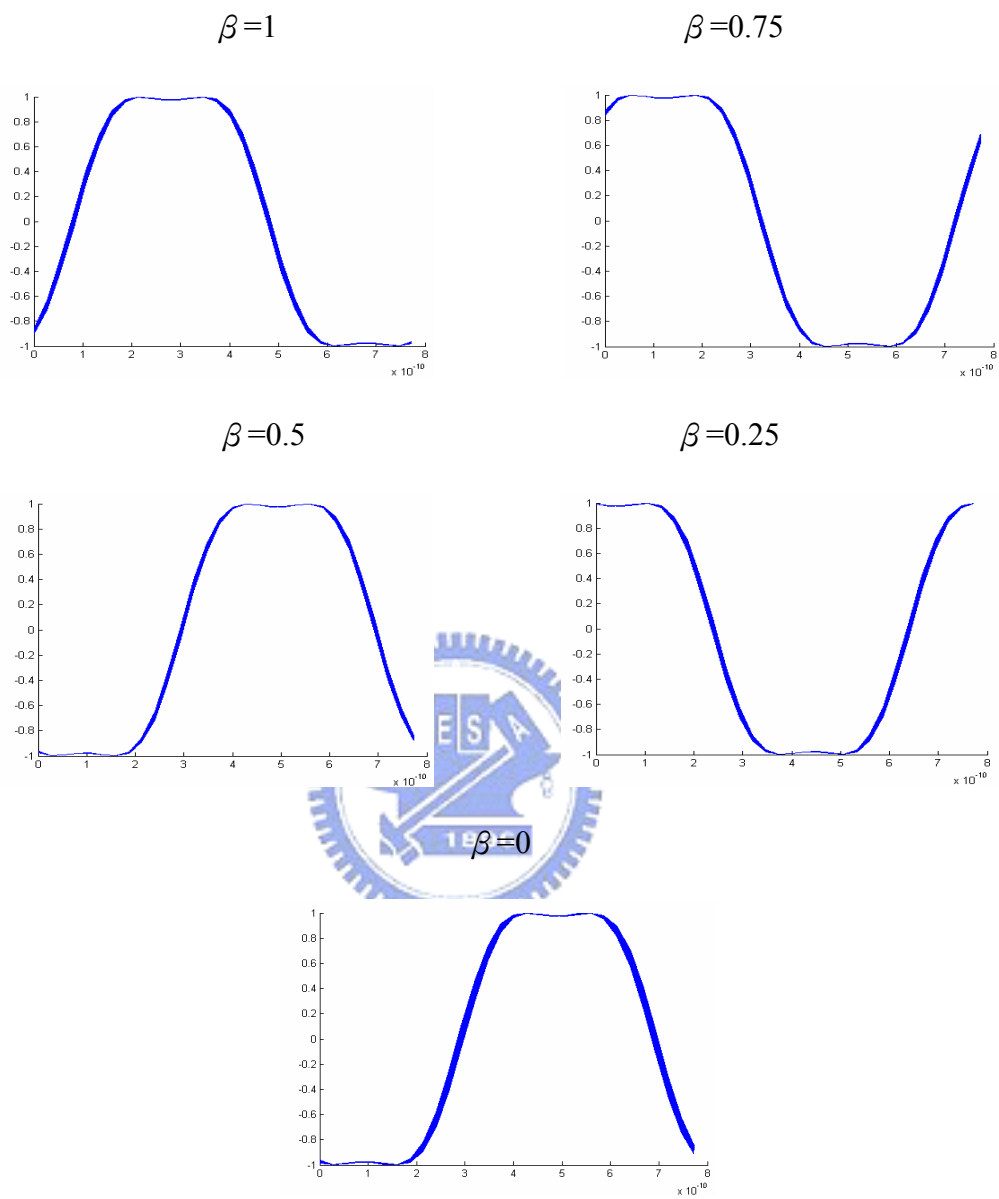


圖 5- 1 Matlab 模擬不同相位注入參數所造成全數位鎖相迴路的輸出眼圖

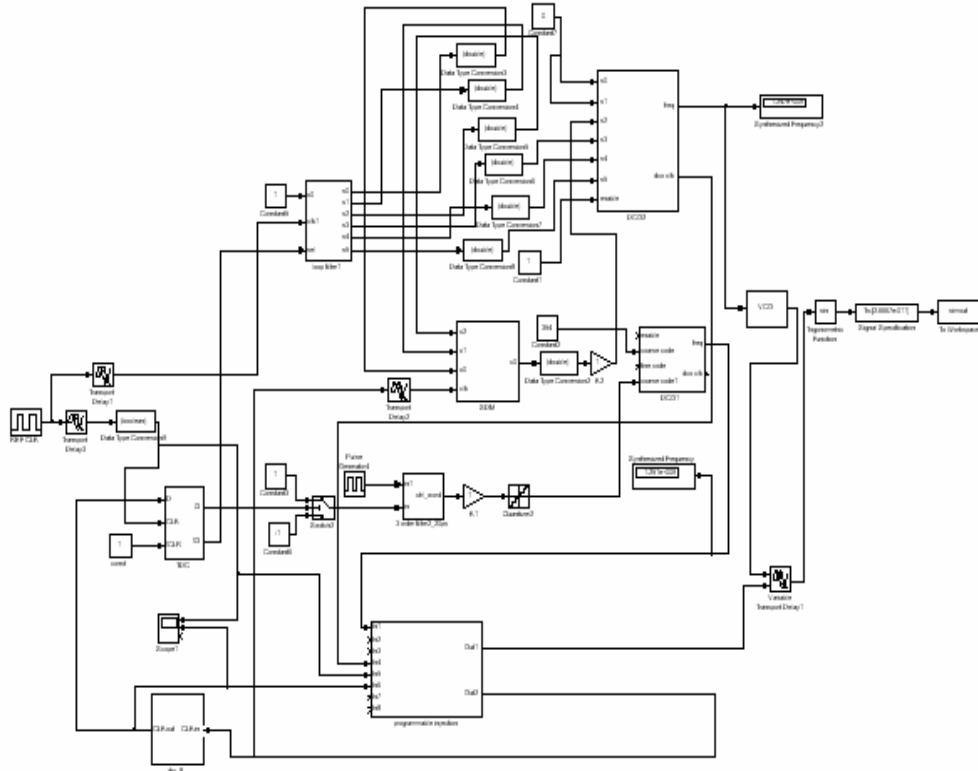


圖 5-2 Matlab Simulink 區塊圖

5.2 佈局前模擬

我們利用 HSPICE 來幫助我們完成佈局前模擬，我們模擬了相位注入參數 $\beta=0$ ，0.25，0.5，0.75，1 這五種不同的相位注入參數所造成全數位鎖相迴路的輸出眼圖，並量測時脈抖動。由第三章的線性模型我們得知，參考訊號相位注入將會導致輸入雜訊進入震盪器輸出相位，所以我們模擬了參考訊號加入雜訊時，系統的輸出時脈抖動。

圖 5-3 為在參考訊號沒有雜訊時，五個不同相位注入參數的輸出眼圖，參考訊號為 156.25MHZ，輸出頻率為 1.25GHZ，操作電壓為 1.2V，時脈抖動如表格 5.2 所示。

表格 5.2 HSPICE 模擬未加輸入雜訊之輸出時脈抖動(peak-to-peak jitter)

Factor	$\beta=0$	$\beta=0.25$	$\beta=0.5$	$\beta=0.75$	$\beta=1$
Jitter	21ps	14ps	11ps	11.5ps	12ps

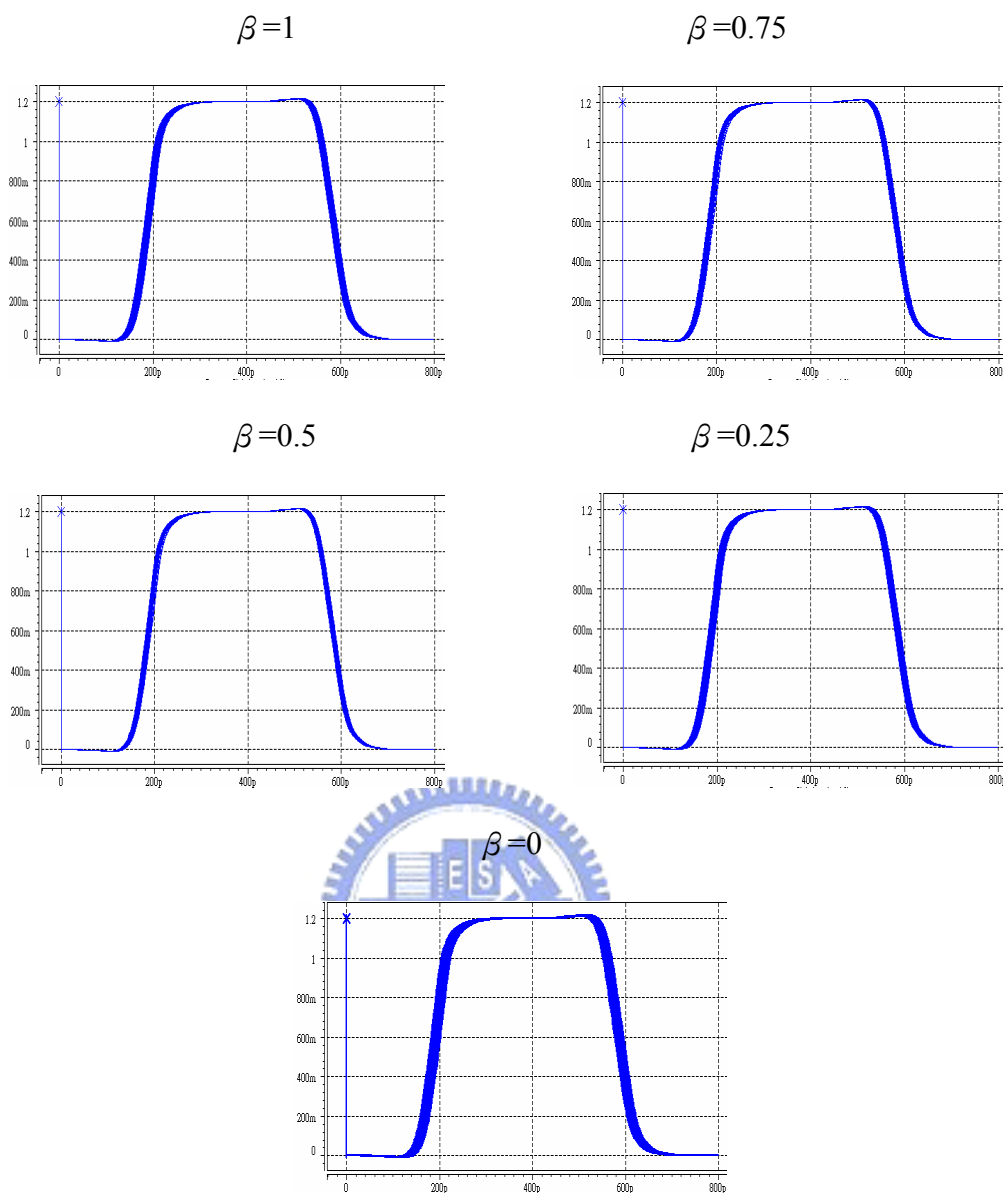


圖 5-3 HSPICE 模擬不同相位注入參數所造成全數位鎖相迴路輸出眼圖

我們利用 Matlab 產生隨機雜訊(Random noise)，加入參考訊號中，使參考訊號產生 20ps 的時脈抖動，如圖 5-4 所示，而我們模擬 $\beta=0, 0.5, 1$ 三個不同相位注入參數的輸出眼圖，如圖 5-5 所示。

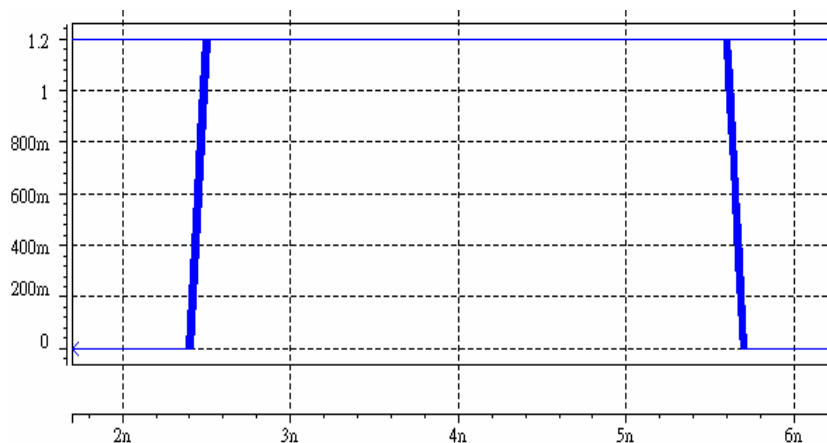


圖 5-4 具有 20ps 輸入時脈抖動的參考訊號

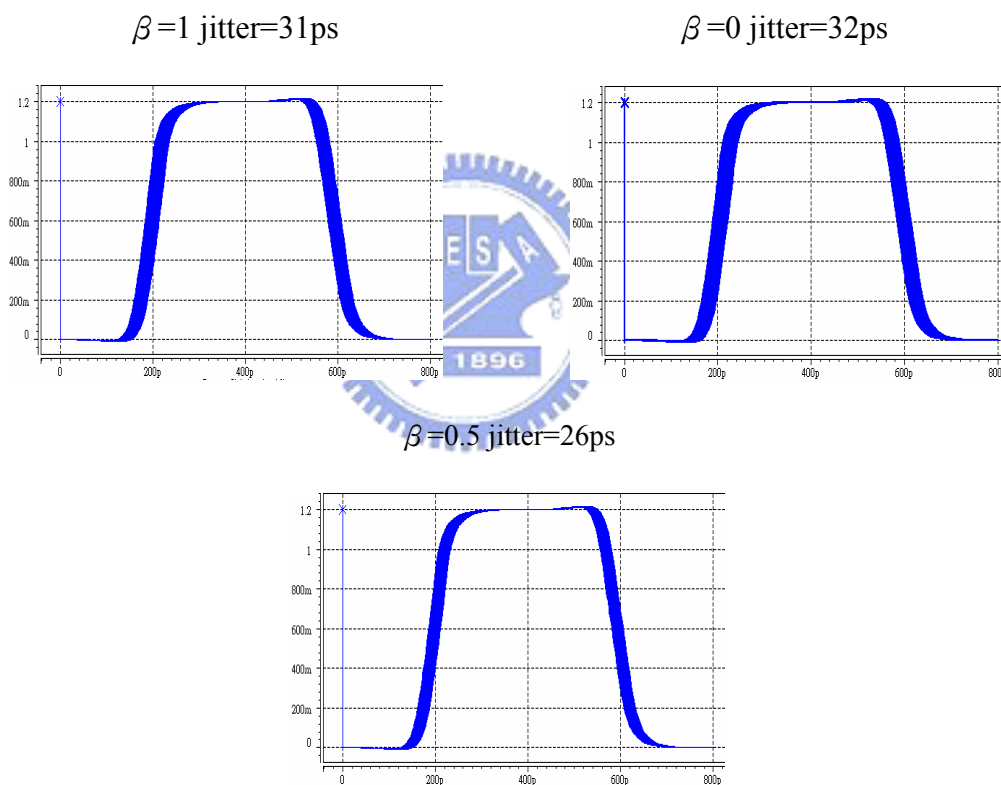


圖 5-5 具有 20ps 輸入時脈抖動的全數位鎖相迴路輸出眼圖

將雜訊加大，使參考訊號產生 40ps 的時脈抖動，如圖 5-6 所示，而三個不同相位注入參數的輸出眼圖，則如圖 5-7 所示。

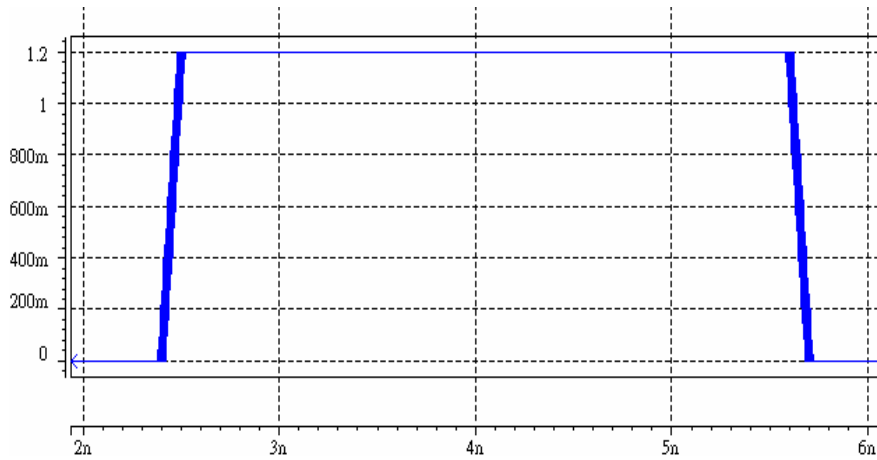


圖 5-6 具有 40ps 輸入時脈抖動的參考訊號

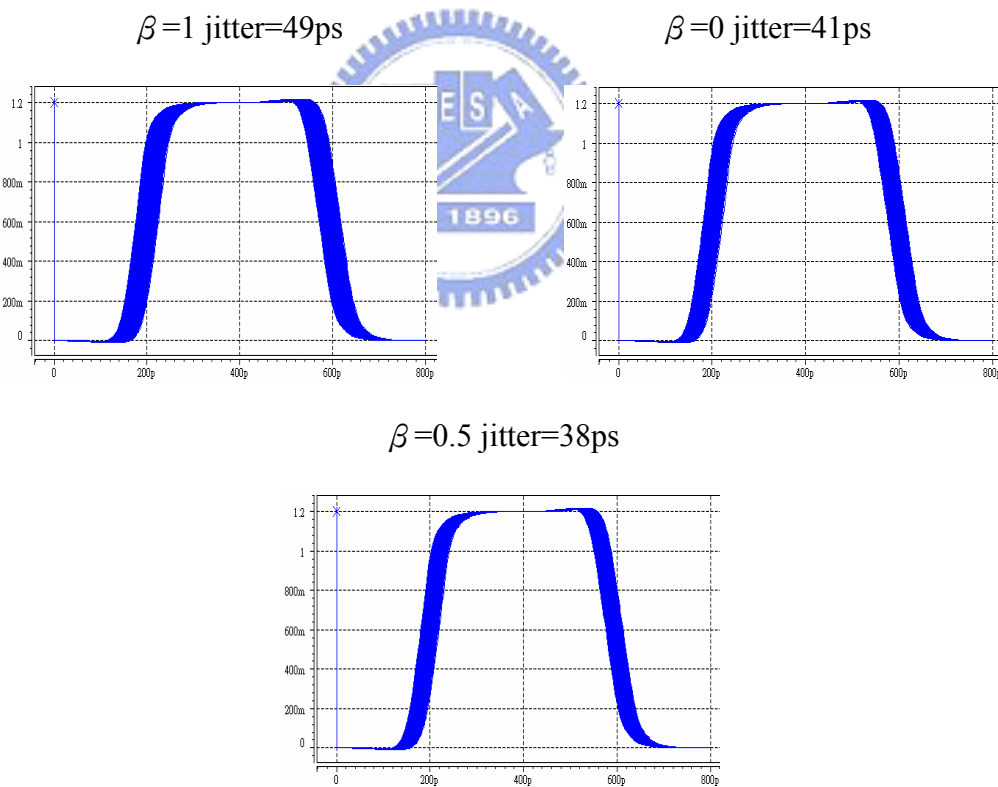


圖 5-7 具有 40ps 輸入時脈抖動的全數位鎖相迴路輸出眼圖

將雜訊再加大，使參考訊號時脈抖動增加到 60ps，如圖 5-8 所示，而三個不同相位注入參數的輸出眼圖，則如圖 5-9 所示。

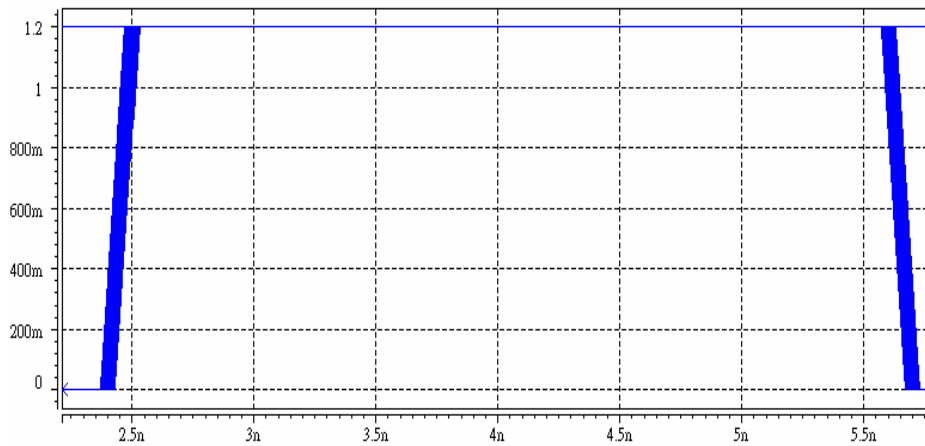


圖 5-8 具有 60ps 輸入時脈抖動的參考訊號

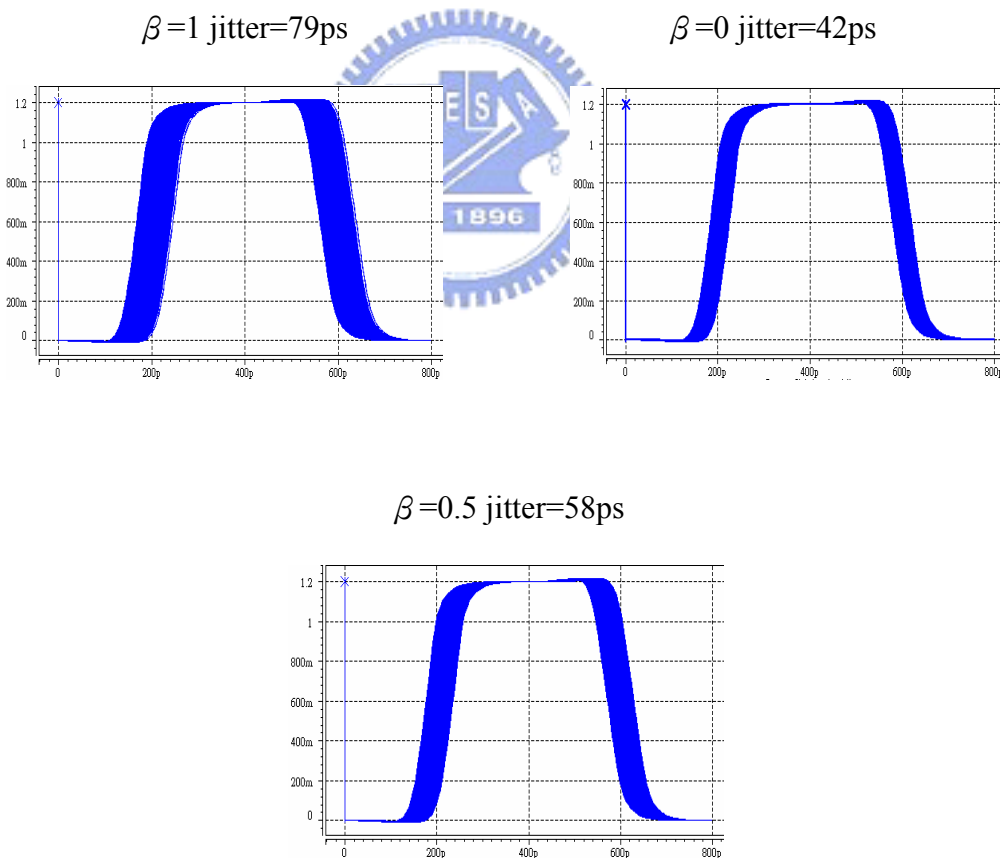


圖 5-9 具有 60ps 輸入時脈抖動的全數位鎖相迴路輸出眼圖

我們將模擬得到的具有輸入雜訊的鎖相迴路時脈抖動整理為表格 5.3，並繪製成圖 5-10。由模擬我們得知當輸入端參考訊號具有雜訊時，完全相位注入($\beta=1$)會將雜訊帶入震盪器，此時迴路操作類似一個一階的延遲鎖定迴路系統(Delay locked loop)，對輸入端雜訊的濾波效應降低，此時部分相位注入即可解決此問題，部分相位注入保有了鎖相迴路過濾輸入端雜訊的能力，並且利用參考訊號相位注入來降低濾波器的相位雜訊，減少時脈抖動。但當輸入參考訊號受到晶片內部傳輸干擾，導致雜訊過大，如我們模擬的輸入端具有 60ps 的時脈抖動，將參考訊號注入震盪器內反而造成更大的干擾，此時將系統恢復為傳統鎖相迴路，增強對輸入雜訊的濾波能力，降低時脈抖動。我們設計出一個可根據不同的外在環境來調整相位注入參數的全數位鎖相迴路，利用不同的相位注入量，來得到最佳輸出效果。

表格 5.3 HSPICE 模擬加入不同大小輸入雜訊之輸出時脈抖動(peak-to-peak jitter)

	Input jitter 20ps	Input jitter 40ps	Input jitter 60ps
$\beta=1$	31ps	49ps	79ps
$\beta=0.5$	26ps	38ps	58ps
$\beta=0$	32ps	41ps	42ps

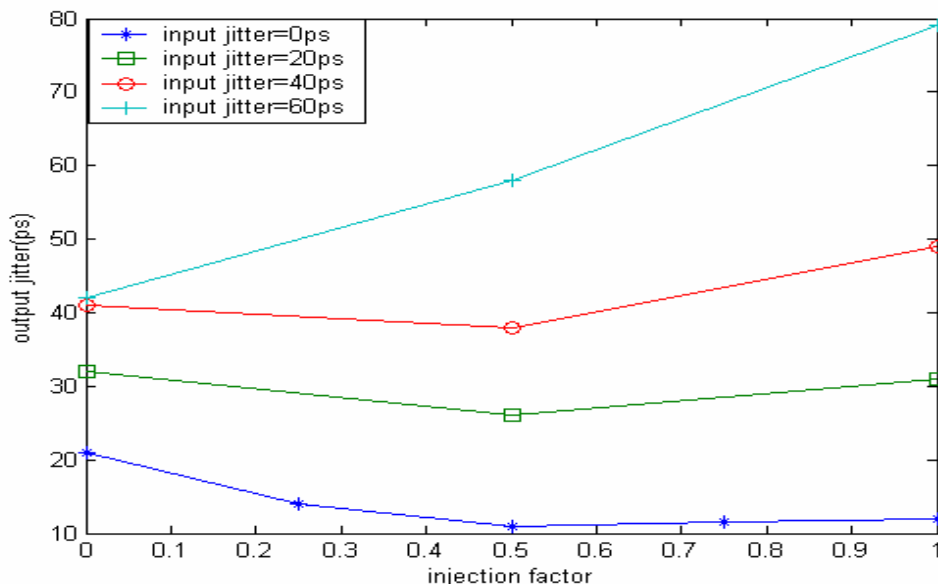


圖 5-10 全數位鎖相迴路輸出時脈抖動對照圖

5.3 晶片佈局圖

我們使用了 TSMC 0.13RF 製程來實踐我們的電路，如圖 5-11 所示。晶片佈局圖(Chip layout) 的總面積為 $(874\mu\text{m} \times 874\mu\text{m})$ ，總共有 25 個腳位，各個腳位的屬性如表格 5.4 所示。此晶片包含了我們設計的具可調變相位注入鎖定之全數位鎖相迴路，以及輸出緩衝器。在佈局圖空白面積上，我們放入了去耦電容 (Decoupled capacitors)，平均分配給兩組供電源使用，目的是為了讓供電源的雜訊能夠降低。完成晶片佈局，後我們經過 Calibre 驗證，粹取出電路的寄生效應，再用 HSPICE 來做佈局後模擬。

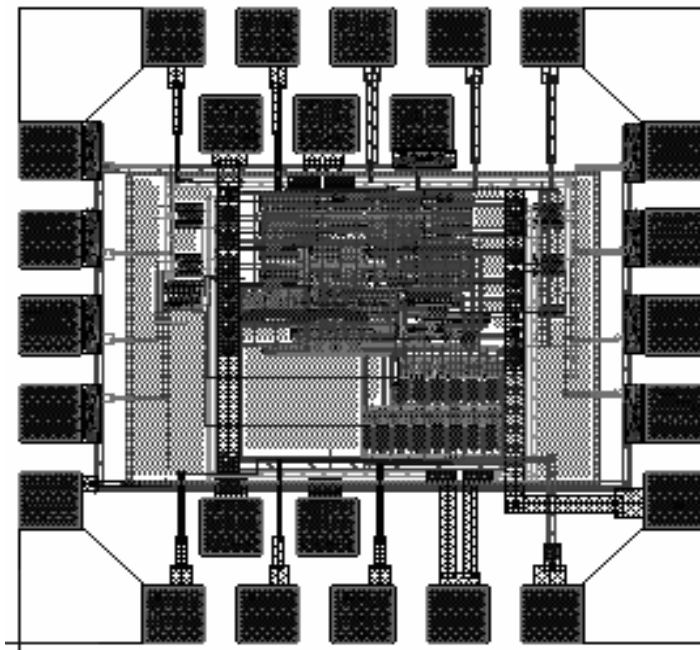


圖 5-11 晶片佈局圖

表格 5.4 晶片腳位屬性表

Attribute	Pin Name	Pads
Power	vdd, gnd, vddbuf, gndbuf, gndp, gndpb, gndg	7
Control	r1, r2, c1, c2, c3	5
Output	p1, p2, p3, p4, p5, p6, p7, p8 Dividerout	9
Input	reference	1
Logic Output	vc1, vc2, vc3	3

5.4 佈局後模擬

佈局後模擬眼圖為以下各圖所示，而時脈抖動如表格 5.5 所示。

TT $\beta=0.5$ jitter=17ps

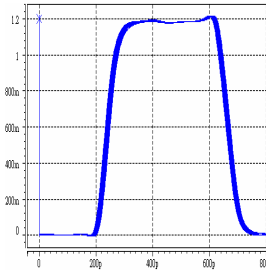


圖 5-12 佈局後模擬 TT 眼圖

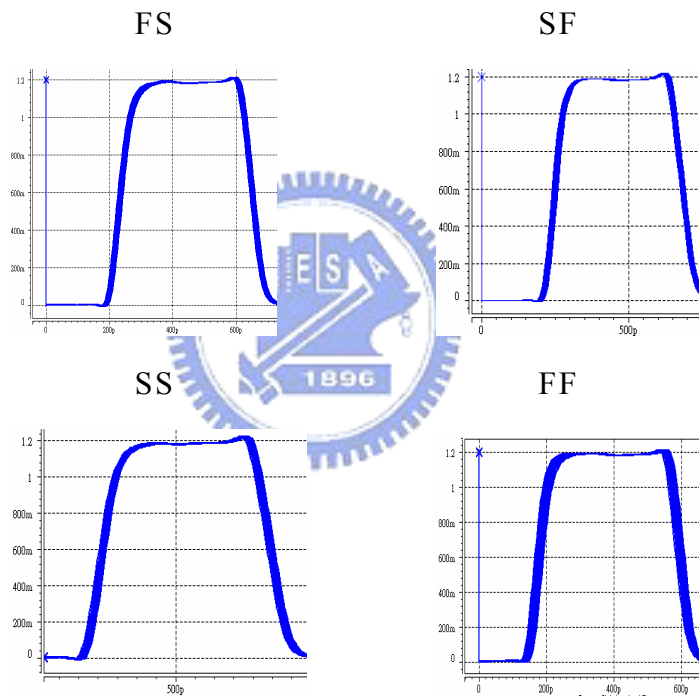


圖 5-13 佈局後模擬 SS SF FS FS 眼圖

表格 5.5 佈局後模擬之輸出時脈抖動(peak-to-peak jitter)

Corner	TT	FF	SS	SF	FS
Jitter	17ps	26ps	23ps	21ps	19ps

5.5 電路規格

表格 5.6 電路規格表

Function	ADPLL
Specification	Post-layout simulation
Technology	TSMC 0.13um
Power supply	1.2V
Power	22mw
Reference clock	156.25MHZ
Output frequency	1.25GHZ
DCO tuning range	1.04GHZ~1.52GHZ
Timing jitter	17ps
Multi-phase output	8-phase output
Core size	400um x 400um
Chip size	874um x 874um

5.6 性能比較

將我們的電路性能和其他論文(paper)來做比較，得到表格 5.7 的性能比較(performance comparison)，包含了操作頻率範圍，功率消耗，數位控制震盪解析度，輸出時脈抖動和電路面積大小。由表可知，我們加入了三角積分調變器控制數位控制震盪器的 LSB，以及參考訊號相位注入，大大的改善了數位控制震盪器解析度和輸出時脈抖動。

表格 5.7 性能比較表

Type	Proposed	ISCAS05[19]	IEICE05[20]	JSSC03[14]	JSSC04[22]
Process	0.13 μ m	0.18 μ m	0.18 μ m	0.35 μ m	0.35 μ m
Supply	1.2V	1.8V	1.8V	3.3V	3V
Core Area	400*400 μ m ²	0.1mm ²	600*450 μ m ²	0.71mm ²	260*260 μ m ²
Frequency Range	1.04GHZ ~ 1.52GHZ	140MHZ ~ 1.03GHZ	500MHZ ~ 1.5GHZ	45MHZ ~ 510MHZ	152MHZ ~ 366MHZ
Power	22mw (@1.25GHZ)	N/A	27mw (@670MHZ)	100mw (@500MHZ)	24mw (@366MHZ)
Resolution	0.24ps	22ps	1.2ps	5ps	10ps
Jitter	17ps	143ps	70ps	70ps	775ps

5.7 量測考量

圖 5-14 為量測晶片的架構圖，首先我們會進行打線，接下來利用 HP 8113A 波形產生器產生一 156.25MHz 的輸入信號，E3610A 作為供電源，輸出部分則是利用 86100B 觀察晶片輸出的時脈抖動，並量測眼圖。

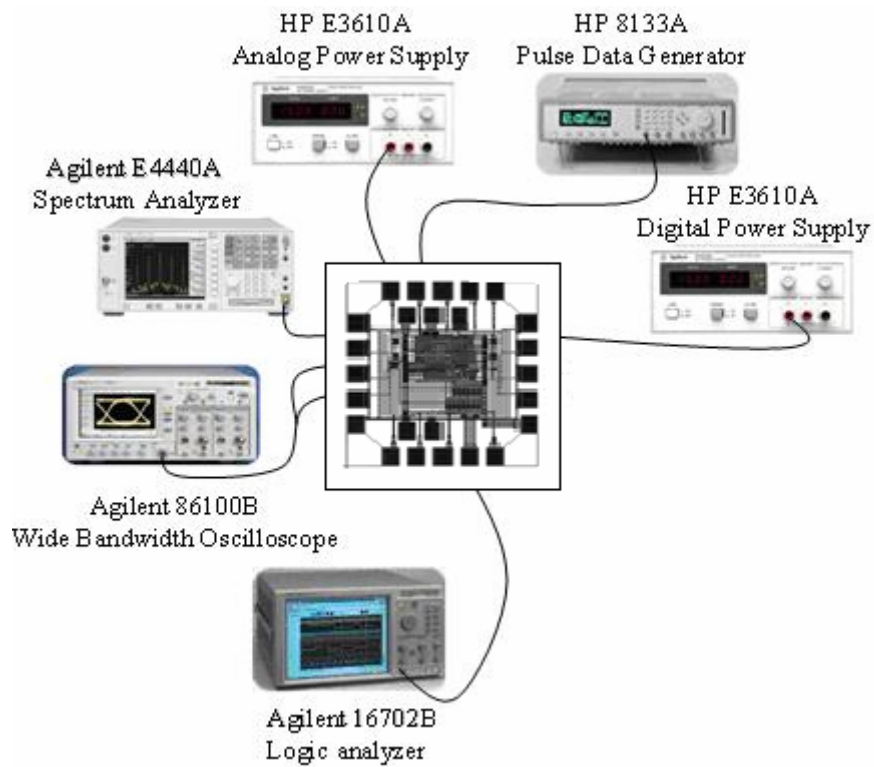


圖 5-14 量測晶片的架構圖

第六章

結論



本論文利用可調變參考訊號相位注入震盪器，消除由相位雜訊所累積的時脈抖動，並且利用不同的相位注入強度，使鎖相迴路輸出訊號在不同的環境中得到最佳的效能。

在數位控制震盪器設計方面，不同於一般設計解析度小於 1ps 的架構，往往需要 10 位元以上的調整機制，在我們的架構中，利用 7 位元的數位控制延遲單元，加上三角積分調變器的操作，在不增加數位控制震盪器多餘硬體消耗的情況下，大大改善了解析度的問題，使全數位鎖相迴路能應用於高頻操作，並且具有良好的輸出時脈抖動表現。

我們使用 TSMC 0.13um RF 製程來實踐整個電路架構，並且對電路做佈局後模擬，得到電路規格表。在供電壓 1.2V 情況下，輸出頻率為 1.25GHz，具有八個輸出相位，輸出時脈抖動為 17ps，消耗功率為 22mw。

參考文獻

- [1] Behzad Razavi, “Design of analog CMOS integrated circuits”, McGraw-Hill international editions, 2001.
- [2] R. E. Best, “Phase-Lock loops, “Design, Simulation and Applications”, New-York: McGraw-Hill, 1999, 4th Edition.
- [3] J. Jong and C. Lee, “A novel structure for portable digitally controlled oscillator,” IEEE International Symposium on Circuits and Systems, vol,1 ,pp.272-275, May 2001
- [4] Behzad Razavi, “RF Microelectronics”, Prentice-Hall, Inc., 1998
- [5] Roland E. Best, “Phase-Locked Loops Theory Design, Simulation, and Applications”, McGraw-Hill international editions, 1993.
- [6] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, “Delta-Sigma Modulation in Fractional-N Frequency Synthesis,” IEEE Journal of Solid-State Circuits, pp.553-559, 1993.
- [7] Farjad-Rad, R.Dally, and W. Hiok-Tiaq Ng, “A low-power multiplying DLL for low-jitter multigigahertz clock generation in highly integrated digital chips”, IEEE Journal of Solid-State Circuits ,pp.1804 – 1812, Dec. 2002.
- [8] Sheng Ye, Jansson, L., and Galton, I., “A multiple-crystal interface PLL with VCO realignment to reduce phase noise”, IEEE Journal of Solid-State Circuits,pp.1795 – 1803, Dec. 2002.
- [9] Staszewski R.B.,Chih-Ming Hung,and Barton N., “A digitally controlled oscillator in a 90 nm digital CMOS process for mobile phones”, IEEE Journal of Solid-State Circuits, pp. 2203 - 2211, Nov. 2005.
- [10] Kratyuk V., Hanumolu, P.K., and Un-Ku Moon, “A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy” IEEE Transactions on Circuits and Systems II, pp.247 – 251 March 2007.

- [11] Staszewski R.B.,Vemulapalli S.,and Vallur, P., “Time-to-digital converter for RF frequency synthesis in 90 nm CMOS” Radio Frequency integrated Circuits (RFIC) Symposium, June 2005 Page(s):473 - 476 .
- [12] E. Roth, M. Thalman, N. Felber, and W. Fichtner, “A Delay-Line Based DCO for Multimedia Application Using Digital Standard Cells”, in Dig. Tech. Papers ISSCC’03 , Feb. 2003, pp. 432-433.
- [13] J. Dunning, G. Garcia, J. Lundberg, and Ed Nuckolls, “An All-digital Phase-Locked Loop with 50-cycle Lock Time Suitable for High Performance Microprocessors”, IEEE Journal of Solid-state Circuits, Vol. 30, No. 4, pp. 412-422, Apr. 1995.
- [14] C.-C Chung and C.-Y. Lee, “An All Digital Phase-Locked Loop for High-Speed Clock Generation”, IEEE Journal of Solid-State Circuits, Vol. 38, No. 2, pp. 347-351, Feb. 2003.
- [15] Liang Dai, “A low phase noise ring oscillator with differential control and quadrature outputs” ASIC/SOC Conference, 2001. Proceedings. 14th Annual IEEE International , 12-15 Sept. 2001 .Pages:134 – 138.
- [16] J.-S. Chiang and K.-Y. Chen, “The Design of All Digital Phase Locked Loop with Small DCO Hardware and Fast Phase Lock”, IEEE Trans. Circuit and Syst. II , Analog and Digital Signal Processing, Vol. 46, No. 7, pp. 945-950, July 1999.
- [17] H. T. Ahn and D. J. Allstot, “A low-jitter 1.9-V CMOS PLL for ultra-SPARC Microprocessor Applications”, IEEE Journal of Solid-State Circuits, Vol. 35, No. 5, pp. 450-454, May 1999.
- [18] Chi-Cheng Cheng, “The Analysis and Design of All-Digital Phase-Locked Loop(ADPLL),” M.S. Dissertation, Department of Electronics Engineering, National Chiao Tung University, Taiwan, July 2001.
- [19] Chia-Tsun Wu, Wei Wang,and I-Chyn Wey,” A scalable DCO design for portable ADPLL design” , IEEE International Symposium on Circuits and System ISCAS 2005
- [20] Kwang-Jin LEE,“A Low Jitter ADPLL for Mobile Applications”, IEICE Transactions Electron.,, VOL.E88-C,NO.6 JUNE 2005.

- [21] T.Y. Hsu , C.-C. Wang, and C.-Y. Lee “Design and analysis of a portable high-speed clock generator,” IEEE Trans. Circuits Syst. II, vol. 48, pp. 367-375, Apr. 2001.
- [22] Thomas Olsson, “A digitally Controlled PLL for SoC Applications”, IEEE J. Solid-State Circuits, vol.39, no.5, pp. 751-759, May. 2004.
- [23] 高曜煌 ”射頻鎖相迴路IC設計”，滄海書局。
- [24] 劉深淵 揚清淵 ”鎖相迴路”，滄海書局。

