

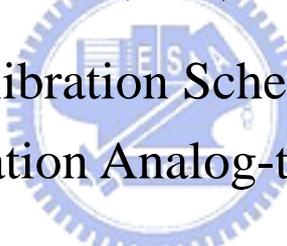
國立交通大學

電機與控制工程學系

碩士論文

一種應用於連續近似式類比數位轉換器
之數位校正方法

A Digital Calibration Scheme for the Successive
Approximation Analog-to-Digital Converter



研究生：謝宗殷

指導教授：洪浩喬 教授

中華民國九十八年三月

一種應用於連續近似式類比數位轉換器
之數位校正方法

A Digital Calibration Scheme for the Successive
Approximation Analog-to-Digital Converter

研究生：謝宗殷

Student：Tsung-Yin Hsieh

指導教授：洪浩喬

Advisor：Hao-Chiao Hong

國立交通大學 電機學院

電機與控制工程學系



Submitted to Department of Electrical and Control Engineering
College of Electrical Engineering
National Chiao-Tung University
In Partial Fulfillment of the Requirements
for the Degree of
Master
In
Electrical and Control Engineering

March 2009
Hsinchu, Taiwan, R.O.C

中華民國九十八年三月

一種應用於連續近似式類比數位轉換器 之數位校正方法

研究生：謝宗殷

指導教授：洪浩喬 博士

國立交通大學電機與控制工程學系碩士班

摘要

傳統 SAR ADC 的解析度主要受限於製程製作出的電容比例是否準確。本論文提出一種適用於 SAR ADC 的新穎校正方式。對於一個由已知比例關係之方式所構成的待校電容陣列，我們可以使用此演算法去找出該陣列中各個電容因製程變異而產生的誤差量，並將之數位化後儲存。然後，在 SAR ADC 進行轉換時計算出每一輸出碼的誤差量再以數位方式修正，如此便可提升該 SAR ADC 的解析度。

由於此校正法採用全數位方式校正，因此具有低功耗且不容易受製程變異或其他環境因素影響的優點。此外，所提出的校正演算法，不論各待校電容的誤差量為正或負，在電路實現上僅需一個單向的類比參考電壓，就可以找出各電容的數位誤差值。相較於文獻上其他需要兩個對稱參考電壓的校正方式，成本更低也更具實用性。其所需的額外硬體除少數類比開關與電容外，皆為數位電路，因此硬體成本很低且非常容易移植到先進製程。

我們使用 TSMC 0.18 μ m 1P6M CMOS 製程設計並實現一具校正功能的 1-V，12-bit SAR ADC 之晶片，來驗證此校正法是否有效。實際測量顯示，

對於同一個晶片，開啟校正功能的 SAR ADC 可以操作在更快的時脈頻率，並且擁有更寬的有效頻寬；此晶片之 DNL 與 INL 在經過校正後，分別由 -1~+18 個 LSB 與 -8~+18 個 LSB，大幅降至 -1~+9 個 LSB 與 -6~+9 個 LSB；且在同樣的輸入信號下，開啟校正功能後其 SNDR 最多有 5dB 的改善，換言之經校正後約可提升 1 個有效位元，且在 1-V 的電源電壓下其耗能僅 20 μ W。



A Digital Calibration Scheme for the Successive Approximation Analog-to-Digital Converter

Student : Tsung-Yin Hsieh

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

It is the mismatched capacitors due to process variation that mainly limit the resolution of conventional SAR ADCs. To address this issue, this thesis proposes a novel calibration scheme for SAR ADCs. The proposed calibration scheme first estimates the ratio errors of the capacitors under calibration in the weighted capacitive array. Then, the errors will be digitized and stored. During the normal conversion of SAR ADCs, the corresponding error code of every ADC's output will be calculated according to the stored error codes. Finally, the error code will be compensated in digital domain. With the proposed calibration scheme, the resolution of the SAR ADC can be enhanced.

The hardware overhead consists of several capacitors and a few of switches in addition to the digital function blocks. Since the proposed calibration scheme estimates and calibrates the errors digitally, it is very robust, low-power, and can be easily ported to advanced technologies. In practical implementation, only one reference voltage is necessary no matter the capacitor errors are positive or

negative. Comparing with the state-of-the-art calibration schemes which require precisely symmetric dual reference voltages to handle the signed errors, the proposed calibration scheme is more practical and low-cost.

We implemented a 1-V SAR ADC with the proposed calibration scheme in TSMC 0.18 μm 1P6M CMOS process. Measurement results show that the SAR ADC can operate faster and has a wider effective resolution bandwidth after calibration. The DNL and INL values are enhanced from -1~+18 LSB and -8~+18 LSB to -1~+9 LSB and -6~+9 LSB after calibration. With the same input, the SNDR of the ADC can have up to 5dB improvement after calibration. It corresponds to around an additional effective number of bit (ENOB). The ADC consumes less than 20 μW at 1-V.



誌謝

本研究能匯集成論文，再由初稿彙整成最終版本，要感謝的對象甚多，故作誌謝文一篇：

首謝吾師浩喬，春風化雨，惠我良多。由基礎之研究精神，至求學態度，實驗方法、報告寫作與投影片製作等技巧，不一而足。此乃其他實驗室所不能及之處，兩年半載，甚是充實。

亦要感謝鄭教授、黃教授、張教授，百忙之中抽身來擔任學生之口試委員，給予學生之論文許多寶貴的意見與指導，十分受用。

再謝吾之嚴父慈母，使吾之求學過程中，衣食飽暖，不虞匱乏。每當汝問曰：「此不肖子何時能畢業？」吾苦笑，答曰：「近期、再近期、亦或再近期矣。」實此乃緩兵之計也，而汝總能包容且諒解之，感謝之心，難以言表。

三謝實驗室之各位學長，聖泉與家昕學長，指導學弟佈局與除錯等，獲益良多。孟軒小學長雖時常唆使學弟與盜版為伍，並且出言「關照」學弟，實則孟軒小學長之一種關心之表現也。國銘學長則帶領學弟一路前進，並與學弟分享奇某公司之內幕，甚是熱心。皇承學長終日鎮守實驗室，維護實驗室之和平，不甚感謝。而時常與宏慶、芳毅學長，進行拳皇或投壺之勝負，學弟自終未從學長手中獲得一勝，學長技術了得，學弟甘拜下風。

振綱學長總是關心學弟身體健康，多向學弟推銷營養補充品等，好意心領，而荷包不能容許。榮洲學長，陪伴學弟一年多，耳提面命，提攜上進，或當電路焊將、或在電資露營過夜等，實則難忘。

後謝同窗永順，永順乃笑傲江湖之歌王也！同窗勇成，勇成乃潘安再世也！與吾人度過二載寒暑，同窗之情，永不忘懷。學弟明達，又一鎮守實驗

室，維護和平之義士也。學弟紹峰、韋傑，時常與吾人運籌帷幄中，討論掌中之小宇宙，了解宇宙之奧秘，乃研究之外另一樂趣也。

末謝學弟志健，伴吾於電資大樓組隊測量，或協助吾人文章除錯，甚是辛苦。學弟崑池、逸瑋、毓賢，雖相處之日不長，實乃後起之秀，頗有長江後浪推前浪之勢。實驗室人才濟濟，吾人可安心登入國軍尤賴矣。

特謝舊識兼好友冠廷，憶當時你我於長庚圖書館寒窗苦讀，或在據德樓住宿時以外掛組隊交心四載寒暑。及在風城時，初來乍到，人生地不熟，互相照應、互吐苦水等，實為求學生涯難忘之回憶，彌足珍貴。

欲感謝之人、事、物，不勝枚舉，謝天、足矣！



己丑年 孟春 吉日 良時
謝宗殷 謹識
於風城

目錄

摘要.....	I
Abstract.....	III
誌謝.....	V
目錄.....	VII
圖目錄.....	IX
表目錄.....	XIII
第一章 緒論.....	1
1.1. 研究背景.....	1
1.2. SAADC 介紹.....	2
1.3. 傳統單端輸入之 SA ADC.....	4
1.4. 改良型單端輸入之 SA ADC.....	5
1.5. 採用非二進位加權式電容陣列之單端 SA ADC.....	6
1.6. 傳統雙端輸入之 SA ADC.....	8
1.7. 改良型虛擬雙端輸入之 SA ADC.....	10
1.8. 特殊型式之雙端輸入 SA ADC.....	13
1.9. 研究動機與目的.....	14
1.10. 論文章節組織及研究方法.....	16
第二章 具有自我校正功能之 SA ADC 介紹.....	18
2.1. 可變解析度的 SA ADC.....	18
2.2. 應用於 SA ADC 之由高至低式校正演算法.....	20
2.3. 應用於 SA ADC 之由低至高式校正演算法.....	29
2.4. 具有自我校正功能的 SA ADC 之一[21].....	34
2.5. 具有自我校正功能的 SA ADC 之二[22].....	35
2.6. 結論：關於前人提出之校正法的缺失.....	37
第三章 提出之應用於電容陣列的校正演算法.....	39
3.1. 提出之演算法架構選擇.....	39
3.2. 提出之演算法簡介.....	42
3.3. 使用單一參考電壓完成誤差計算的方法.....	46
3.4. 誤差計算模式時的改良.....	51
3.4.1. 以參考電壓當預先充電與逼近基準.....	52
3.4.2. 全電容式的數位類比轉換器與新開關切換方式.....	56
3.5. 使用單一參考電壓完成誤差補償的方法.....	58
3.6. 所提出之新穎的誤差計算模式.....	60

3.6.1.	計算待校電容陣列中 MSB 電容負向誤差之方法	61
3.6.2.	計算待校電容陣列中 MSB ₁ 電容負向誤差之方法	65
3.6.3.	計算待校電容陣列中 MSB 電容正向誤差之方法	69
3.7.	加入校正演算法之電路動作流程	73
3.8.	以電路之行為模型驗證所提出之演算法	75
3.8.1.	範例一：最大可校正於 MSB 電容之誤差	77
3.8.2.	範例二：最大可校正的亂數誤差	80
3.8.3.	範例三：由先前下線經驗所得到之誤差	83
3.9.	與先前所提出之校正方法比較	87
第四章	具校正功能之 12 位元 SAADC 設計	90
4.1.	提出之 SAADC 架構	90
4.2.	提出之 SAADC 類比電路設計	91
4.2.1.	取樣保持電路 (Sample and Hold, S/H)	96
4.2.2.	具偏移量補償功能的比較器級	101
4.2.3.	數位類比轉換器 (Digital to Analog Converter)	111
4.3.	提出之 SAADC 數位電路設計	124
4.3.1.	控制區塊 (Controller block)	125
4.3.2.	暫存器與 ALU 區塊	132
4.4.	ADC 佈局圖	135
4.5.	電路模擬與驗證	136
4.6.	Hardware Overhead	141
第五章	量測結果與性能分析	144
5.1.	量測環境設定與晶片照	144
5.2.	測量用 PCB 板與 PCB 板設定	145
5.2.1.	具有誤差校正功能的測量模式設定	147
5.2.2.	不具誤差校正功能的測量模式設定	148
5.2.3.	誤差量數位碼觀測模式設定	149
5.3.	在供應電壓 1 伏特下的測量結果	151
5.3.1.	時脈頻率 560k Hz 之測量結果	153
5.4.	ADC 之測量結果分析	163
第六章	結論與未來發展	171
6.1.	結論	171
6.2.	未來發展與待改進之處	172
6.2.1.	SAADC 編碼輸出方式的改進	172
6.2.2.	具有偏移量補償功能之比較器級的改進	174
6.2.3.	晶片實做方面之改進	176
6.2.4.	電路模擬時間過長之改進	178
參考文獻	180

圖目錄

圖 1-1	基本的連續近似式類比數位轉換器架構.....	2
圖 1-2	以具體化的天平秤重概念描述 SA ADC.....	3
圖 1-3	以逼近的方式完成天平秤重.....	3
圖 1-4	傳統的單端輸入連續近似式類比數位轉換器架構[2].....	4
圖 1-5	改良型的單端輸入連續近似式類比數位轉換器架構[5].....	5
圖 1-6	二進位加權式的十二位元電容陣列.....	6
圖 1-7	使用非二進位加權式電容陣列的單端 SA ADC.....	7
圖 1-8	傳統的雙端輸入差動式 SA ADC.....	8
圖 1-9	改良型傳統雙端輸入差動式 SA ADC.....	9
圖 1-10	虛擬雙端輸入之 SA ADC 架構圖.....	10
圖 1-11	新穎的虛擬雙端追蹤保持電路.....	11
圖 1-12	提出之虛擬雙端輸入 SA ADC 與前端電路整合晶片圖.....	12
圖 1-13	具有自我時序控制比較器的雙端輸入之 SA ADC.....	13
圖 1-14	對稱中心式的電容佈局.....	15
圖 2-1	可變解析度的 SA ADC 方塊圖.....	18
圖 2-2	新式二分搜尋架構圖.....	19
圖 2-3	應用由高至低式校正演算法之 SA ADC 架構圖.....	21
圖 2-4	以由高至低演算法找出電容 C_N 之誤差量的方法.....	22
圖 2-5	以由高至低演算法找出電容 C_{N-1} 之誤差量的方法.....	25
圖 2-6	應用由低至高演算法之 SA ADC 架構圖.....	30
圖 2-7	文獻[19]所提出之 SA ADC 類比部分架構.....	31
圖 2-8	具有自我校正功能的 SA ADC 【1】類比部分之架構.....	34
圖 2-9	具有自我校正功能的 SA ADC 【2】架構方塊圖.....	36
圖 3-1	抽象化的描述 SA ADC 之動作方式.....	42
圖 3-2	以天平自身的秤重功能找出 16 克法碼的誤差量.....	44
圖 3-3	若 16 克之法碼誤差量為 $-\Delta$ 克時之情形.....	45
圖 3-4	將天平兩端互換後，於右側加入測重法碼使天平重歸平衡.....	46
圖 3-5	交換 DAC 電容充放電之方式.....	47
圖 3-6	以改良的由高至低演算法找出「負向誤差」的方式.....	48
圖 3-7	以改良的由高至低演算法找出「正向誤差」的方式.....	50
圖 3-8	傳統的由高至低校正法架構[15,16,17].....	52
圖 3-9	改良後的誤差計算模式電路.....	54
圖 3-10	改良前的比較器負端電壓示意圖.....	55

圖 3- 11	改良後的比較器負端電壓示意圖.....	55
圖 3- 12	再次改良後的誤差計算模式電路其類比電路之部分.....	56
圖 3- 13	將 Sub DAC 與 Calibration DAC 切換至「1」.....	57
圖 3- 14	將 Sub DAC 與 Calibration DAC 切換至「0」.....	57
圖 3- 15	以提出之誤差計算演算法計算 C_7 之負向誤差的方式.....	63
圖 3- 16	以提出之誤差計算演算法計算 C_6 之負向誤差的方式.....	66
圖 3- 17	以提出之誤差計算演算法計算 C_7 之正向誤差的方式.....	70
圖 3- 18	加入新穎的誤差計算演算法之電路動作流程圖.....	73
圖 3- 19	誤差計算模式時之動作流程圖.....	74
圖 3- 20	具有校正功能的正常轉換模式之動作流程圖.....	74
圖 3- 21	範例一模擬時由提出之校正演算法求出之誤差量.....	77
圖 3- 22	範例一校正前的頻譜分析圖.....	78
圖 3- 23	範例一校正後的頻譜分析圖.....	78
圖 3- 24	範例一校正前的 INL 圖.....	79
圖 3- 25	範例一校正後的 INL 圖.....	79
圖 3- 26	範例二模擬時由提出之校正演算法求出之誤差量.....	81
圖 3- 27	範例二校正前的頻譜分析圖.....	81
圖 3- 28	範例二校正後的頻譜分析圖.....	82
圖 3- 29	範例二校正前的 INL 圖.....	82
圖 3- 30	範例二校正後的 INL 圖.....	83
圖 3- 31	範例三模擬時由提出之校正演算法求出之誤差量.....	84
圖 3- 32	範例三校正前的頻譜分析圖.....	85
圖 3- 33	範例三校正後的頻譜分析圖.....	85
圖 3- 34	範例三校正前的 INL 圖.....	86
圖 3- 35	範例三校正後的 INL 圖.....	86
圖 4- 1	提出之具校正功能的 SAADC 架構圖.....	90
圖 4- 2	提出之 SAADC 的類比電路方塊圖.....	92
圖 4- 3	類比部分之動作時序圖.....	93
圖 4- 4	在具校正功能的正常轉換模式下類比電路之動作.....	95
圖 4- 5	在誤差計算模式下類比電路之動作.....	96
圖 4- 6	常見的 Bootstrapped 開關架構[3].....	97
圖 4- 7	各種不同架構的開關之導通電阻比較.....	98
圖 4- 8	所使用的取樣保持電路[10].....	99
圖 4- 9	取樣保持電路當輸入信號為 1k Hz 時之頻譜分析圖.....	100
圖 4- 10	取樣保持電路當輸入信號為 25k Hz 時之頻譜分析圖.....	101
圖 4- 11	具有偏移量補償功能的比較器級.....	102
圖 4- 12	提出之操作於低電壓下的軌對軌前置放大器設計.....	109
圖 4- 13	供應電壓 1 伏特時 PA1 之頻率響應.....	109

圖 4- 14	供應電壓 1 伏特時 PA2 系列之頻率響應.....	110
圖 4- 15	軌對軌之低耗能比較器.....	111
圖 4- 16	一般的二進位加權電容式 DAC.....	112
圖 4- 17	將 DAC 陣列分成 Sub DAC 與 Main DAC 之架構.....	114
圖 4- 18	提出之數位類比轉換器架構.....	117
圖 4- 19	加上寄生電容後的數位類比轉換器.....	118
圖 4- 20	三組 DAC 之佈局.....	123
圖 4- 21	提出之數位部分方塊圖.....	124
圖 4- 22	提出之控制區塊架構圖.....	125
圖 4- 23	提出之控制器 A 之架構.....	127
圖 4- 24	控制器 A 之時序圖.....	129
圖 4- 25	提出之暫存器與 ALU 區塊架構圖.....	133
圖 4- 26	ADC 佈局圖.....	135
圖 4- 27	不啟動誤差校正功能時的輸出頻譜.....	137
圖 4- 28	啟動誤差校正功能後的輸出頻譜.....	138
圖 4- 29	不同輸入信號頻率對 SNDR 之模擬結果分析圖.....	140
圖 4- 30	誤差觀測模式之誤差量數位碼製圖.....	140
圖 5- 1	透過 Wire bonding 於 PCB 板上後之晶片圖.....	144
圖 5- 2	量測儀器與環境設定.....	145
圖 5- 3	測試用 PCB 板.....	146
圖 5- 4	測量模式一時，控制面板之設定.....	147
圖 5- 5	測量模式一時，輸出面板之連接.....	147
圖 5- 6	測量模式二時，控制面板之設定.....	148
圖 5- 7	測量模式二時，輸出面板之連接.....	149
圖 5- 8	觀測模式時，控制面板之設定.....	150
圖 5- 9	觀測模式時，輸出面板之連接.....	150
圖 5- 10	不同的時脈頻率對 SFDR 之測量結果.....	152
圖 5- 11	不同的時脈頻率對 SNDR 之測量結果.....	152
圖 5- 12	不同的時脈頻率對消耗功率之測量結果.....	153
圖 5- 13	校正前之 DNL 圖形.....	154
圖 5- 14	校正後之 DNL 圖形.....	154
圖 5- 15	校正前之 INL 圖形.....	155
圖 5- 16	校正後之 INL 圖形.....	155
圖 5- 17	校正前之輸出頻譜圖.....	156
圖 5- 18	校正後之輸出頻譜圖.....	157
圖 5- 19	輸入信號振幅為-0.3 dBFS 時之 ERBW 測量結果.....	157
圖 5- 20	輸入信號振幅為-10 與-20 dBFS 時之 ERBW 測量結果.....	158
圖 5- 21	輸入信號振幅為-30 與-40 dBFS 時之 ERBW 測量結果.....	158

圖 5- 22	不同的輸入信號振幅對 SFDR 之測量結果.....	159
圖 5- 23	不同的輸入信號振幅對 SNDR 之測量結果.....	160
圖 5- 24	誤差觀測模式所測量之電容相對誤差量分佈.....	161
圖 5- 25	經過分析後的測量所得之未校正的 INL 圖形.....	161
圖 5- 26	誤差觀測模式所測量之電容相對誤差量分佈.....	164
圖 5- 27	根據誤差觀測模式之測量結果所估計的電容相對誤差量分佈.....	164
圖 5- 28	測量得到的未校正之 DNL 圖形.....	165
圖 5- 29	測量得到的校正後之 DNL 圖形.....	165
圖 5- 30	根據測量結果調整電容誤差量且重新校正後的 DNL 圖形.....	165
圖 5- 31	測量得到的未校正之 INL 圖形.....	167
圖 5- 32	測量得到的校正後之 INL 圖形.....	167
圖 5- 33	根據測量結果調整電容誤差量且重新校正後的 INL 圖形.....	167
圖 6- 1	提出之 SAADC 在具有校正功能之正常轉換模式下的動作流程圖 ..	173
圖 6- 2	改進之 SAADC 在具有校正功能之正常轉換模式下的動作流程圖 ..	173
圖 6- 3	提升比較器精準度之校正法[33].....	175
圖 6- 4	改進後的 SAADC 晶片連接方式.....	177



表目錄

表 1- 1	類比數位轉換器種類[1].....	1
表 3- 1	範例一之電容值設定.....	77
表 3- 2	範例二之電容值設定.....	80
表 3- 3	範例三之電容值設定.....	84
表 3- 4	與前三篇校正經典作比較.....	87
表 4- 1	分析位元數之結果比較.....	115
表 4- 2	控制器 B 之連續近似暫存器動作.....	126
表 4- 3	控制器 A 計算電容 C_7 的負向誤差時所需之信號.....	130
表 4- 4	控制器 A 計算電容 C_6 的負向誤差時所需之信號.....	131
表 4- 5	控制器 A 計算電容 C_7 的正向誤差時所需之信號.....	132
表 4- 6	佈局後之 ADC 各 Active area 所佔面積.....	136
表 4- 7	進行 ADC 模擬時的基本設定.....	136
表 4- 8	模擬時的電容誤差量設定.....	137
表 4- 9	各個 Corner 下啟動誤差校正功能之模擬結果.....	138
表 4- 10	各個 Corner 下不啟動誤差校正功能之模擬結果.....	139
表 4- 11	不同輸入信號頻率對 SNDR 之模擬結果.....	139
表 4- 12	ADC 各電源所消耗之功率.....	141
表 4- 13	ADC 模擬時所達到的預計規格列表.....	141
表 4- 14	各種條件下的 ADC 消耗面積及其實作所需之成本.....	142
表 5- 1	各種條件下的 DNL 與 INL 值比較.....	168
表 5- 2	測量所得之誤差量與估計所得之誤差量的差異.....	169



第一章 緒論

1.1. 研究背景

心電圖為人體最重要的信號之一，我們可以藉由觀測心電圖之波形，來得知個人的身體健康狀態，能有效發現各種和心臟有關的疾病，達到及早預防、勝於治療的功效。

然而，心電圖是一個類比訊號，為了要使之能與各類醫療儀器溝通，所以我們需要一個類比數位轉換器（Analog-to-Digital Converter, ADC），負起將類比信號轉換成數位信號的重要角色。此類比數位轉換器之解析度會直接影響了診斷的準確性，而為了能更加仔細觀測，提早發現不正常的心電圖波形，我們通常需要一個十位元以上的類比數位轉換器。

考量到功率消耗以及解析度等因素，加上心電圖之頻段考量，我們需要的類比數位轉換器規格為：超低耗能、中等轉換速度、與中等解析度。綜合以上規格，經由表 1-1 之類比數位轉換器規格表所示，發現連續近似式類比數位轉換器（Successive Approximation Analog-to-Digital Converter, SA ADC）是比較符合所需的。

表 1-1 類比數位轉換器種類[1]

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Oversampling Integrating	Successive-approximation Algorithmic Cyclic	Flash Two-step Interpolating Folding Pipelined Time-interleaved

1.2. SA ADC 介紹

連續近似式類比數位轉換器 (Successive Approximation Analog-to-Digital Converter, SA ADC) 之基本架構如圖 1-1 所示，其主要的構成元件為一個比較器、一個 N-bit 的數位類比轉換器 (Digital-to-Analog Converter, DAC) 及一個連續近似式暫存器 (Successive approximation register, SAR)。

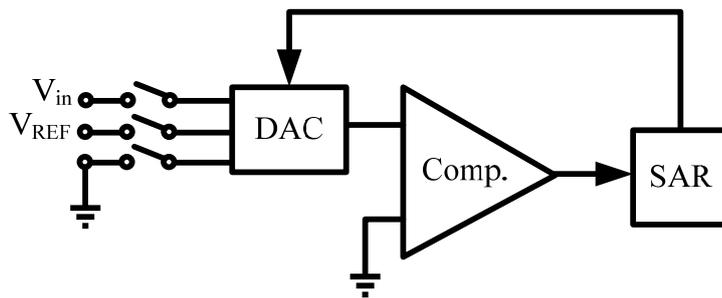


圖 1-1 基本的連續近似式類比數位轉換器架構

SA ADC 主要精神是二分搜尋 (Binary search algorithm) 演算法，二分搜尋法被廣泛應用於各種搜尋動作中。利用被搜尋的數列已經有排序之特性，減少搜尋比對的次數。

在二分搜尋法中，從數列的中間開始搜尋，如果這個數小於我們所搜尋的數，由於數列已排序，則該數左邊的數必定都小於要搜尋的對象，所以無需浪費時間在搜尋左邊的數；如果搜尋的數大於所搜尋的對象，則右邊的數無需再搜尋，直接搜尋左邊的數。

我們將此抽象的演算法描述具體化，可用天平秤重作比喻，如圖 1-2 所示。此天平秤重範圍為 0 克到 7 克，它有三個分別為 4 克、2 克、和 1 克的法碼。

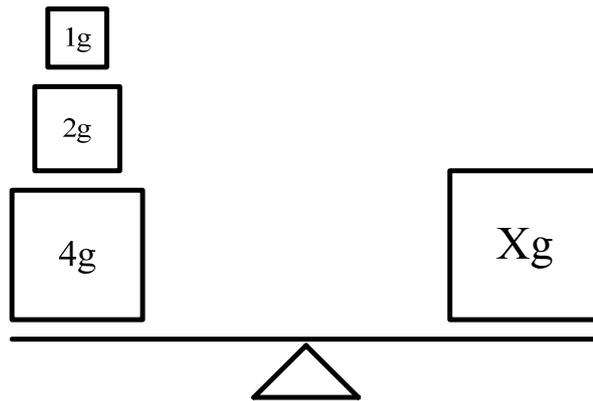


圖 1-2 以具體化的天平秤重概念描述 SA ADC

第一步我們先以 4 克法碼嘗試比較，發現比待測物還輕，故在下一步驟中保留 4 克法碼，並且放上 2 克法碼。此時發現比待測物還重，因此移除 2 克法碼。第三步則放上 1 克法碼，於是天平趨近於平衡，法碼總數為 5 克，則完成此次物體的測重；其動作步驟如圖 1-3 所示。

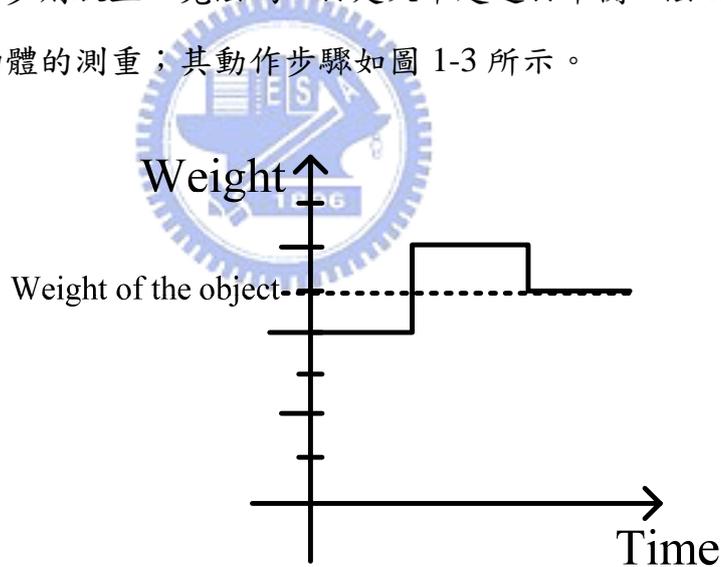


圖 1-3 以逼近的方式完成天平秤重

將上述測物重之動作原理延伸至 SA ADC：透過比較器比較兩輸入端電壓之大小，輸出一個為 0 或 1 的編碼給 SAR，SAR 便會經由一些控制線去控制 DAC 陣列中各元件是接到 0（接地）或 1（接 V_{REF} ），如此便可改變下次 DAC 之輸出。如此反覆動作 N 次後，便可逐次逼近至一筆長度為 N 位元

的數位編碼，此數位編碼即為最後將類比輸入數位化後的結果。

1.3. 傳統單端輸入之 SA ADC

傳統的連續近似式類比數位轉換器主要的構成元件為一個比較器、一個 N-bit 的數位類比轉換器 (Digital-to-Analog Converter, DAC) 及一個連續漸近暫存器 (Successive approximation register, SAR)。其架構如圖 1-4 所示。

此架構的轉換原理主要是使用上述二分搜尋法的觀念，其操作方式分成三個步驟，分別是取樣模式、保持模式及電荷重新分佈模式。

取樣模式是將 S_b 切到 V_{in} 且 S_a 將 V_{dac} 端接至地端；接著進入保持模式，此時 V_{dac} 端電壓為 $-V_{in}$ ，下一步則進入轉換模式，也就是電荷重新分佈模式。這個模式需要 N 次的轉換，N 取決於類比數位轉換器的解析度，除了最後一次的轉換，其餘的轉換後都會在 V_{dac} 端加或減 $V_{REF}/2^C$ ，其中 C 為第幾次的轉換，而藉由加或減來得到最後相對的數位輸出。

此種架構具有低耗能的優點，因為其主動元件僅有一個比較器。但是在今日以 CMOS 重新設計時則會碰上若干問題，因此有了改良型態的出現。

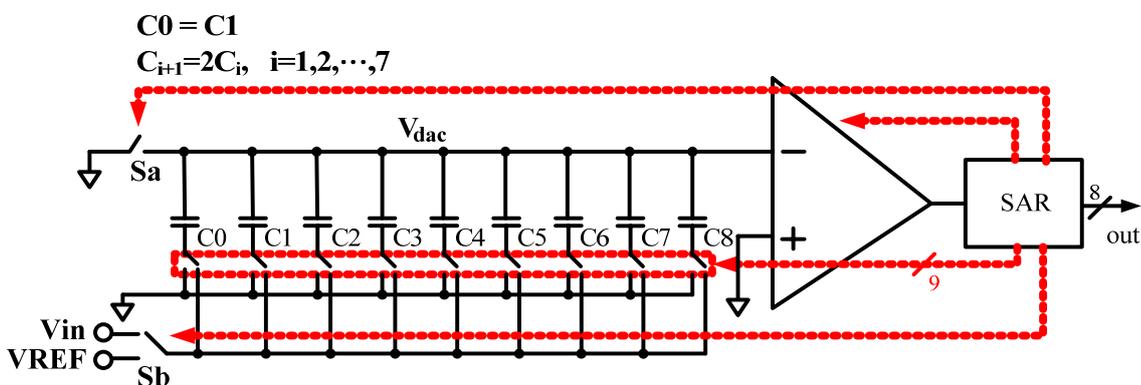


圖 1-4 傳統的單端輸入連續近似式類比數位轉換器架構[2]

1.4. 改良型單端輸入之 SA ADC

傳統的 SA ADC 會面臨的問題之一，當 V_{in} 愈大時，其 V_{dac} 端則會得到愈大的負值，而若使用一般之傳輸閘 (Transmission gate, TG) 來完成開關 S_a 的話，將會造成開關 S_a 會出現漏電流情形。為了避免開關 S_a 漏電流的情況，於是使用[3]之架構，將一端接輸入訊號，並且另一端接 DAC 的方式，且在 DAC 的部份採用了[4]中的 grounded-switches 的技巧，即是接 V_{DD} 或 GND 兩個電位的技巧，圖 1-5 為改良型之 SA ADC 架構。

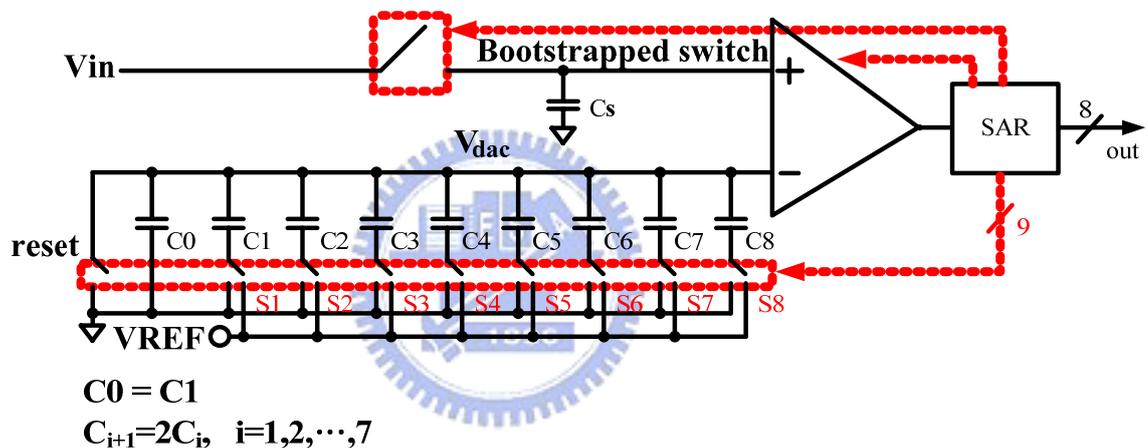


圖 1-5 改良型的單端輸入連續近似式類比數位轉換器架構[5]

如今比較器的兩輸入端從 DAC 之輸出與地端，變為 DAC 之輸出與經過取樣與保持的輸入信號端。因為經過取樣與保持的輸入信號並不會出現負值，所以在逼近過程中 V_{dac} 端也不會有負電壓出現，如此便可避免開關 S_a 漏電流的情形。

此架構被普遍的應用在今日流行的單端 SA ADC 之上，各種新穎的單端 SA ADC 幾乎都由此種架構改良而來，至此對於 SA ADC 的研究開始蔚為一股風氣。

然而，單端輸入的 SA ADC 本身存在著極限。因為儀器上的限制，輸入信號或多或少都會帶點雜訊 (Noise) 存在，當電壓越來越低，而解析度越來越高的時候，輸入信號本身的雜訊就會影響了單端輸入 SA ADC 的解析度，因此常見的單端 SA ADC 其解析度大多為 8 到 12 位元。

若要突破這個極限，一般是將輸入方式改成雙端差動輸入，這是比較常見的解決方案，所以通常 12 位元以上的 SA ADC 我們會以雙端差動輸入的方式來完成。

1.5. 採用非二進位加權式電容陣列之單端 SA ADC

一個 N-bit 的數位類比轉換器 (Digital-to-Analog Converter, DAC) 是連續近似式類比數位轉換器的必須元件之一。然而完成它的方法有許多種，包含 R-2R 類型、電阻串 (Resistor string) 分壓類型、R-C 混合類型等等。其中最普遍被使用的則是二進位加權式 (Binary weighted) 的電容陣列，如圖 1-6 所示。

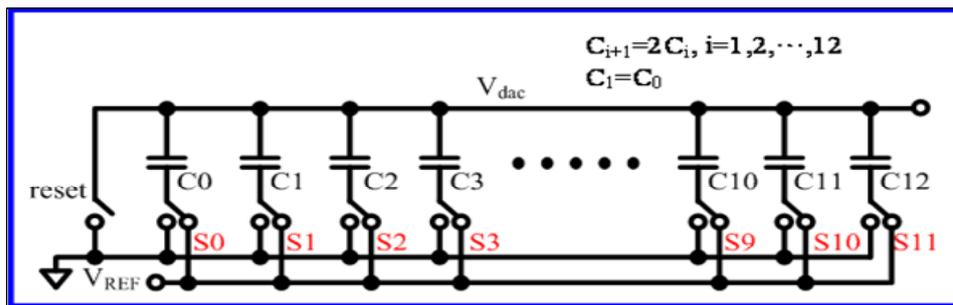


圖 1-6 二進位加權式的十二位元電容陣列

傳統的由二進位加權式電容陣列構成之數位類比轉換器如上圖所示，以十二位元為例，則電容數量有 13 個。除了 C_0 和 C_1 之外， C_1 到 C_{12} 之間互相保持一定的關係，如圖 1-6 所示，「二進位加權式」也是因此比例關係而得

名。使用此種架構的消耗功率會遠低於電阻串架構，故二進位加權式的電容陣列被廣泛的應用在今日的數位類比轉換器元件中。

另外有一種不使用二進位加權式電容陣列去完成數位類比轉換器之架構被提出[6]，其電容陣列中的各個電容間也維持著一個固定的比例關係，和以往不同的是，傳統的二進位加權式電容陣列，其各電容間比例常數為 2；而此架構使用非 2 例如 1.8 當作各電容間的比例常數。

因為各電容之間的比例常數不為 2，因此可以有效節省晶片中被大電容所佔掉的面積；由於電容值的減小，同時也節省了數位類比轉換器的消耗功率，特別是當位元數提高時效果更加顯著。但是我們必須加入一些數位解碼電路去將它的數位編碼正規化 (Normalized)，故此種架構的 SA ADC 其數位電路將會非常複雜，其架構如圖 1-7 所示。

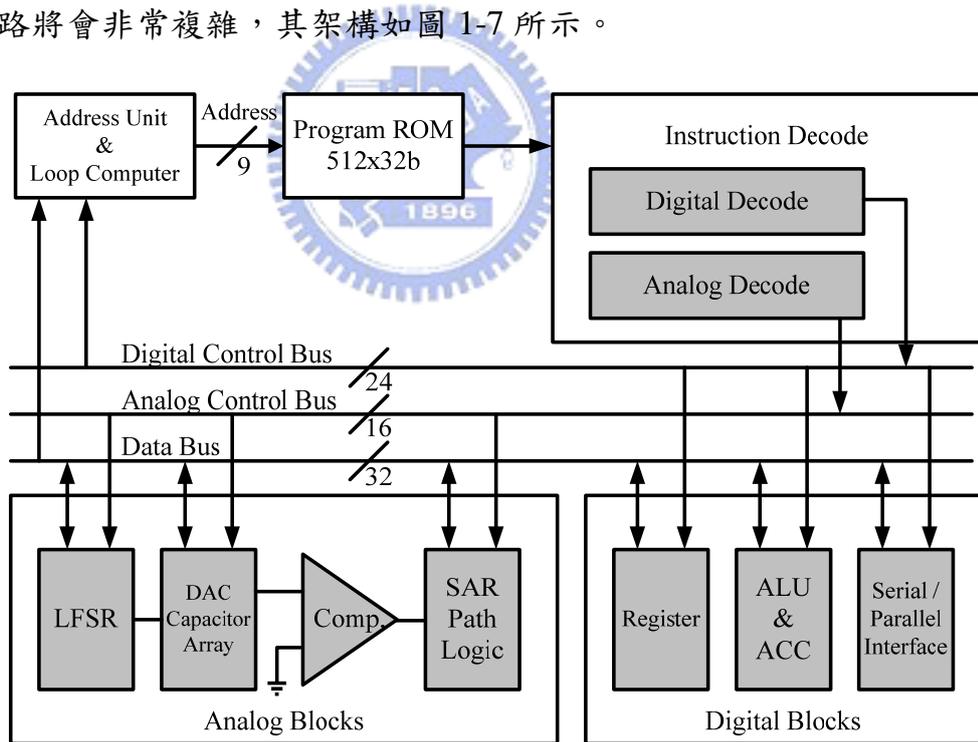


圖 1-7 使用非二進位加權式電容陣列的單端 SA ADC

由圖 1-7 我們可以發現，此種架構的 SA ADC 雖然節省了晶片中被電容佔去的面積，節省了大電容切換所消耗的功率，但是卻會被過度複雜的數位

解碼電路佔去更大的面積，消耗更多的功率。因此，此架構之創新度雖然高，但是在實作上可能不合乎經濟效益。

1.6. 傳統雙端輸入之 SA ADC

為了讓類比電路更能夠抵抗因輸入信號帶來的雜訊 (Noise)，我們通常會以雙端輸入的方式去完成類比電路的輸入端，通常稱此種技術為差動輸入 (Differential input)。此技術被廣泛的應用在類比電路之中，如常見的差動輸入式放大器、比較器級。

傳統的雙端輸入差動式 SA ADC 如圖 1-8 所示[7, 8]，其接收兩個差動輸入的類比信號，將此類比信號轉換成數位輸出。

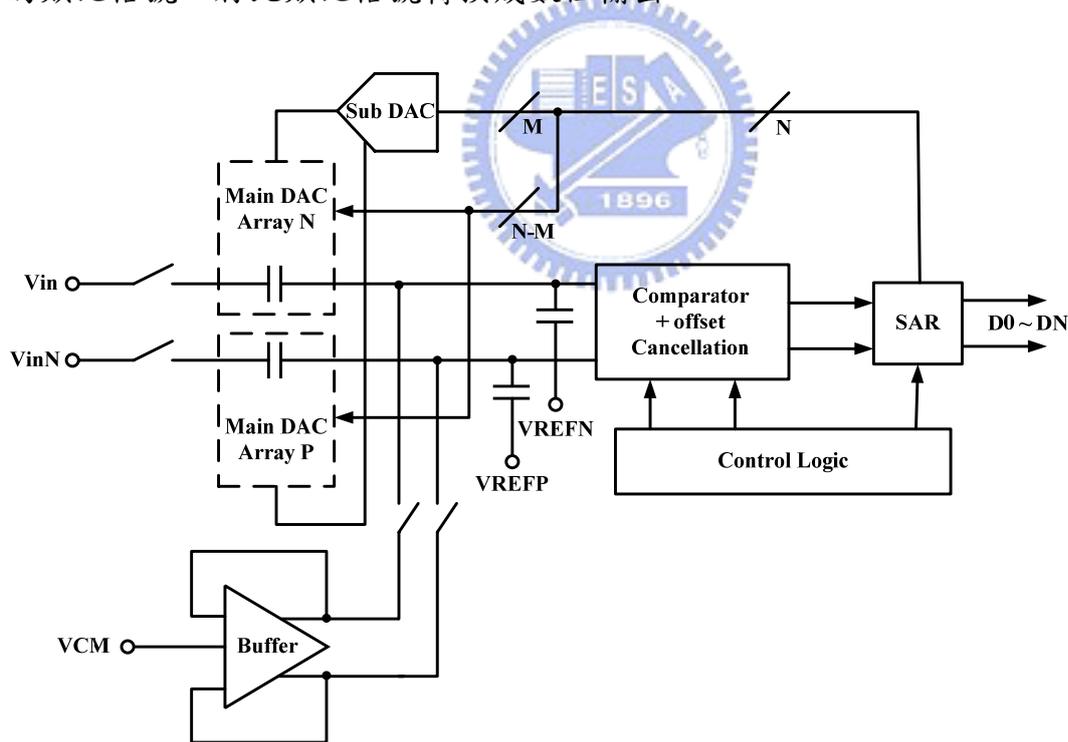


圖 1-8 傳統的雙端輸入差動式 SA ADC

此種傳統雙端輸入差動式之 SA ADC 架構有兩個主要之缺點，第一為使用了一個緩衝器 (Buffer) 去提供共模電壓 V_{CM} ，所以主動元件除了比較器

之外又多了一個 Buffer，因此會消耗額外的功耗。其次為此種架構之晶片面積幾乎取決於位元數 N ， N 越大，數位類比轉換器中的電容越多；由於兩輸入端都各採用了一個由電容陣列構成之數位類比轉換器，所以電容面積為單端輸入之 SAADC 的兩倍。

於是 K.C. Smith 提出第二種雙端輸入之差動式 SAADC [2]，其架構如圖 1-9 所示。將 Buffer 由電路中移除，主動元件僅有一個比較器，消耗功率會比未改良前的來得小。但是其晶片面積被數位類比轉換器之電容陣列佔掉大半的弊病仍未改善。

而當我們在低電壓下設計雙端輸入差動式 SAADC 時會碰到另一個問題。數位類比轉換器電容陣列中，電容下板極之開關，若由普通的傳輸閘 (TG) 去完成，由於操作在低電壓下，在輸入信號接近 $\frac{1}{2}V_{DD}$ 時，構成 TG 的 PMOS 和 NMOS 都會無法完全導通，因此這些開關會有導通性不良的問題。

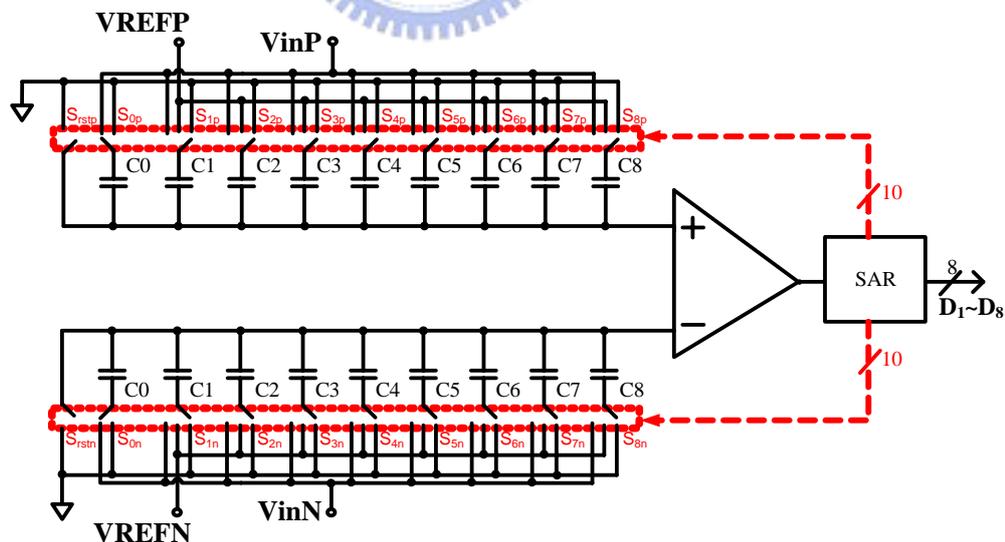


圖 1-9 改良型傳統雙端輸入差動式 SAADC

解決開關在低電壓設計下導通性不良的處理方法有二：使用低臨界電壓

製程去完成電路 (Low V_T) [11]，或靴帶式倍壓開關技術 (Bootstrapped switch) [9, 10]之技巧。

由成本的觀點來看，使用靴帶式倍壓開關技術是比較可行的。但是在兩個輸入端之數位類比轉換器電容陣列中，各個電容下板極都要使用倍壓式開關，消耗的功率實在驚人。所以此種電路在低電壓的設計下，還有許多改良的空間。

1.7. 改良型虛擬雙端輸入之 SA ADC

為了克服在低電壓下設計傳統雙端輸入之 SA ADC 會碰到的問題，我們於[12]提出一種虛擬雙端輸入之 SA ADC，如圖 1-10 所示。

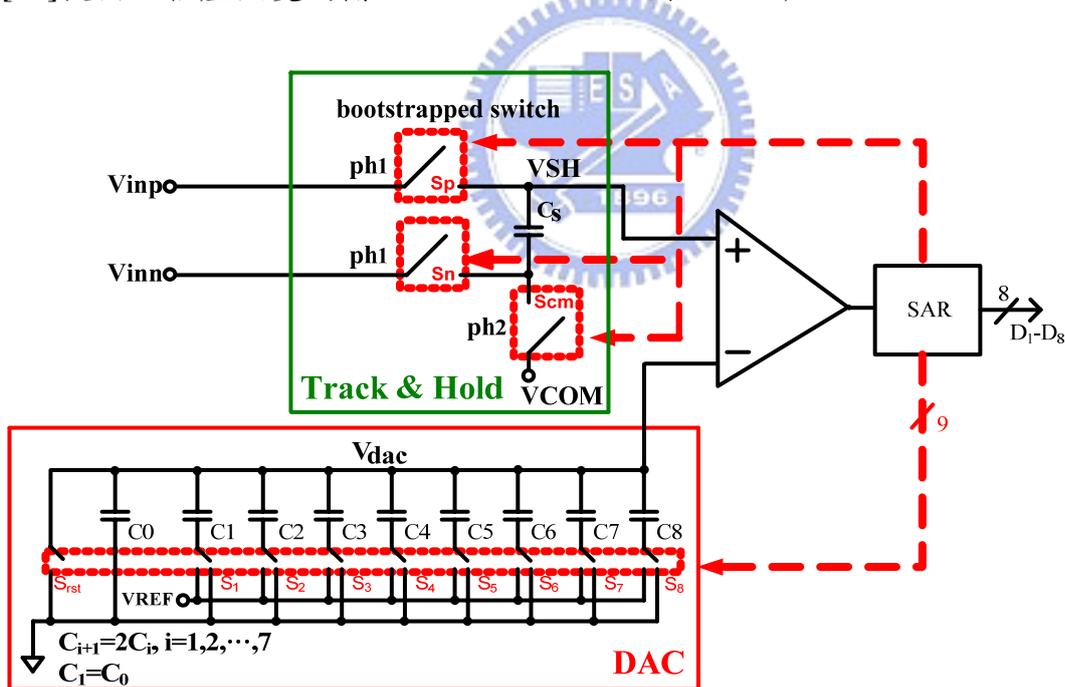


圖 1-10 虛擬雙端輸入之 SA ADC 架構圖

比較器的正端是一個虛擬雙端差動式的追蹤保持電路 (Track & Hold)，使用此種新穎的追蹤保持電路，使電路可以接受雙端差動輸入信號，而僅需

路進入保持模式時，開關 S_p 和 S_n 關閉， S_{cm} 導通，由於取樣電容 C_S 兩板壓降必須保持一定，所以電壓 V_{SH} 會是 $(V_{COM}+2V_{p,p})$ 之值。接著 SA ADC 進入轉換模式，負端會對作電壓 V_{SH} 逼近，而最終得到一個表示電壓 V_{SH} 之值的數位編碼。

此種虛擬雙端輸入的好處為節省了晶片中被數位類比轉換器中的電容陣列所佔去的面積，同時在低電壓設計下，我們僅需要三個 Bootstrapped switches 就可完成，大幅減少了 Bootstrapped switches 所需要的數量。然而此種架構的消除輸入信號雜訊的功能卻比不上真正的雙端差動輸入架構，若想做到更高的解析度，還是必須使用真正的雙端差動輸入架構。

此電路整合於由一感測器與一前端放大器組成之整合型電路晶片內，使用 $0.18\mu\text{m}$ 製程，透過 CIC 下線完成且驗證 Function work，其晶片照如圖 1-12 所示。

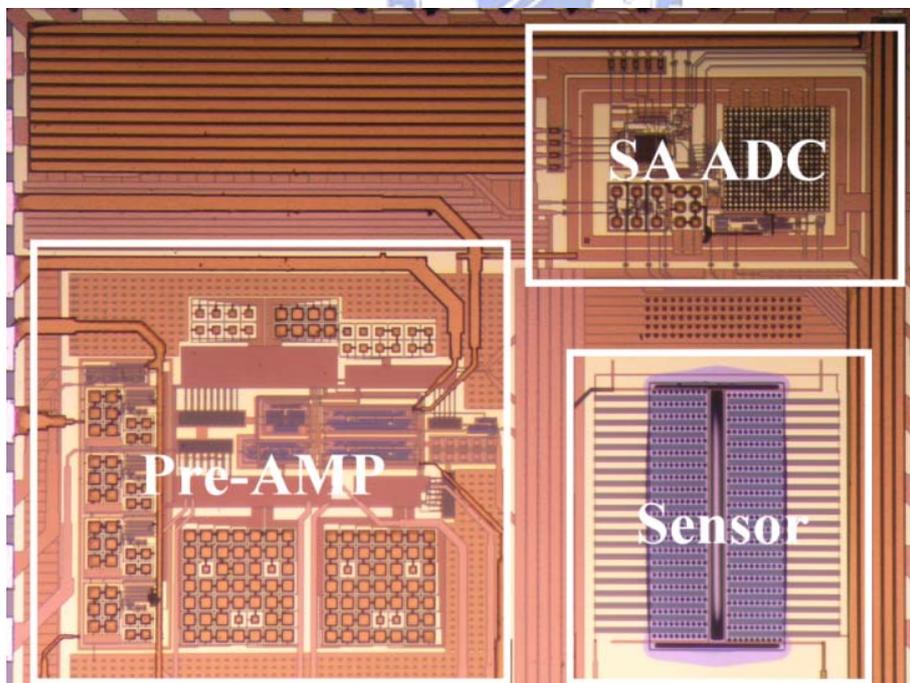


圖 1-12 提出之虛擬雙端輸入 SA ADC 與前端電路整合晶片圖

1.8. 特殊型式之雙端輸入 SA ADC

Gilbert Promitzer 於[13]提出另一種具有一個有自我時序控制的比較器 (Self-timed comparator) 的雙端輸入 SA ADC，如圖 1-13 所示。傳統的比較器通常只有兩個時序，即比較時序與重置時序，各佔 Duty cycle 的 50%。而這種具有自我時序控制的比較器則能根據輸入信號之大小，改變比較時序與重置時序在一個時脈時間 (Clock time) 內所佔的長短。

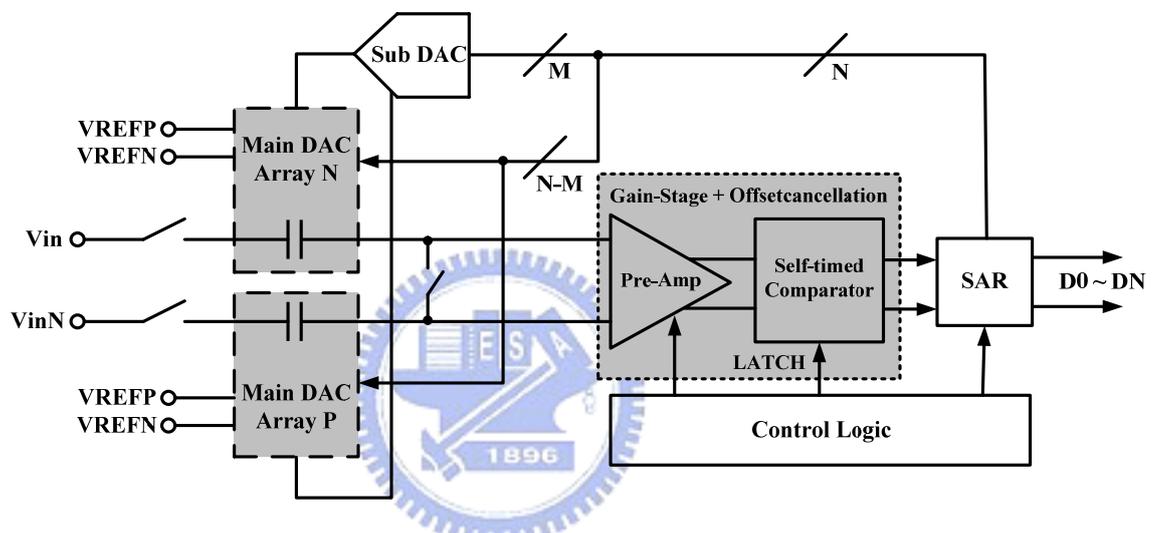


圖 1-13 具有自我時序控制比較器的雙端輸入之 SA ADC

當比較器之兩輸入信號相差很大時，比較器能在瞬間完成這次的比較，經由 LATCH 信號回傳比較完成信號後，剩下的時間則可以挪給下個比較時序使用。通常緊接在後的比較時序內，比較器之兩輸入信號差異會變小，此時比較器會需要更多的時間去完成這次的比較，由於之前的時序有剩下時間可以利用，所以藉由加長這次比較的時間，讓比較器可以精確的完成這次的比較動作。

此種電路架構利用比較器之自我時序控制技術，讓比較器在兩輸入信號相差較大時使用較短的時間完成比較；反之當兩輸入信號相差很小時，就加

長這次比較所花的時間。這種做法可以讓比較器減少亞穩態 (Meta-stable) 的出現，讓比較的結果更加精確。

1.9. 研究動機與目的

以上簡介了幾種 SA ADC 的架構，我們可以發現，不論各種各類的 SA ADC 架構，其基本元件都如圖 1-1 所示，包含一個比較器以比較兩端信號大小、一組連續近似暫存器用以儲存比較值和時序控制、以及一組數位類比轉換器。

其中數位類比轉換器架構中，又以二進位加權式電容陣列最廣泛被使用。因為其本身各元件就已經具備比例常數為 2 的條件，恰巧和二進位碼權重相同，所以不需要外加一組解碼器電路去將輸出碼編成標準二進位編碼。加上以電容陣列構成，本身耗能較電阻串型式構成來得低，所以幾乎各 SA ADC 內都存在著一組由二進位加權式的電容陣列所構成的數位類比轉換器架構。

然而這會面臨一個問題，由於製程是非理想的，晶片出廠後最終所得到的電容或是電阻值，往往會和實際值有所出入。這個結果將導致各電容或電阻值在出廠後產生漂移，使其值與模擬時不同。

也就是本來預期數位類比轉換器中，各電容值為一個公比為 2 的等比級數，如今會因為製程因素改變其比例關係，使其各元件間權重不為 2，如此將導致最後輸出的二進位數位編碼和理想值有所出入。這個現象在 ADC 位元數上升，電容數目變多、電容值變大時會更加明顯，因而限制 SA ADC 的解析度與線性度。

由以上我們可以得知，若要提升 SA ADC 的解析度，其關鍵元件為二進

位加權電容式的數位類比轉換器，改善電容陣列中各電容間的匹配度，將是提升 SAADC 解析度的首要問題。

增加電容匹配度的方法有很多種，在電路設計時，一種常見的方式是將電容陣列中的各個電容切割成許多小單位電容，再將這些單位電容以對稱中心佈局（Common centroid）的方式佈局而成，如圖 1-14 所示。如此這些單位電容將在 X 軸和 Y 軸上均勻的分佈，期望可以將因製程漂移造成的變異量降到最小。

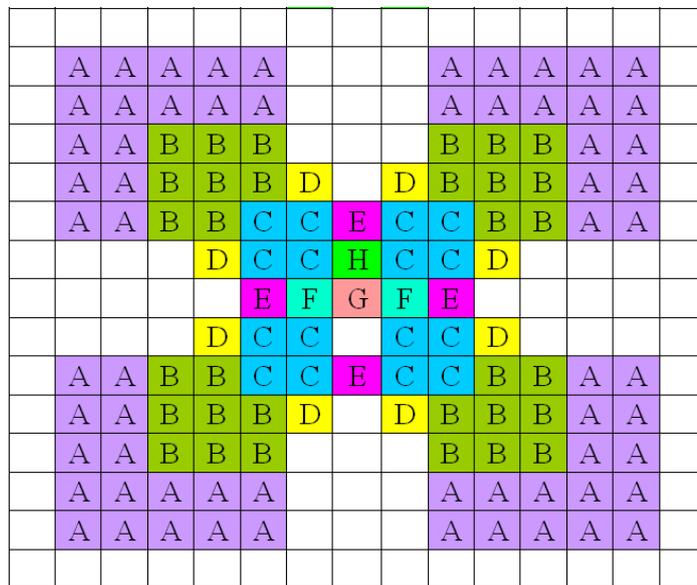


圖 1-14 對稱中心式的電容佈局

接著我們可以利用晶圓廠所提供的 RC 萃取檔案（RCX command file）去估計各個電容之間，因佈局走線造成的寄生電容值，若我們可以估計這些寄生電容，則我們也可以預先將此寄生電容值調整成 2 的冪次。如此再使用電路模擬軟體如 Hspice 進行後模擬（Post layout simulation），則可以將電容的匹配度問題降到最小。

然而這必須建立在 RC 萃取檔案（RCX command file）是準確且可靠的條件下，我們所估算的電容值才有意義。一旦 RC 萃取檔案有誤差發生，則

整體電路的效能仍將會和預期有所偏差。

另一種解決方法是在晶片出廠後，根據測量靜態參數的結果分析，我們可以知道究竟是數位類比轉換器中，那個電容出現了問題。接著我們可以使用雷射校正（Laser trimming）的方式，將此電容值作修正。

但是使用雷射校正成本昂貴，且需要大量的晶片測量出統計數據，才可以確定是那個電容需要被修正，浪費大量的人力、時間、測試成本。加上雷射校正機台本身價值不菲，這種方式並不適合用在大量生產的產品中。

本論文提出一種適用於連續近似式類比數位電路的校正演算法，此校正演算法能讓電路自動找出數位類比轉換器，電容陣列中各電容間的比例誤差，然後在轉換過程中進行自我校正（Self-calibration）。如此不需完全仰賴 RC 萃取檔案的精準度，也不需要昂貴的雷射校正儀器，是真正符合實際效益且可量產的方法。



1.10. 論文章節組織及研究方法

本論文共分為六章，第一章除簡介各種 SA ADC 外，並闡述本論文研究背景、動機、目的以及研究方法；第二章介紹且分析各種目前已發表過的應用於 SA ADC 之自我校正方法；第三章提出我們的校正方法，並且使用電路之行為模型（Behavior model）做驗證；第四章為電路設計及其於 Hspice 軟體的模擬及驗證；第五章為晶片量測結果與性能分析；第六章為結論及未來展望。

本論文所設計的類比數位轉換器是利用 $0.18\mu\text{m}$ CMOS 1P6M 製程來完成晶片的實現。希望能在加入校正演算法到 SA ADC 的同時，也能兼顧低功耗的需求。

為提出一種新穎的校正演算法，首先要分析數位類比轉換器電容陣列中，各電容之誤差對電路的影響，及其誤差來源；同時也要參考前人所提出的演算法有何優點與缺點，最後提出一種創新的校正演算法。再以 Matlab 建立將此種演算法加入 SA ADC 後的動作模型，使用動作模型檢查演算法的可行性。確認動作模型無誤後再將之轉化成實際電路，透過 Hspice 進行前模擬（Pre-simulation），確認電路功能與整體設計無任何錯誤後，才開始進行佈局與後模擬（Post-simulation）。

至於降低功率，則先由電路層面來看，降低供應電壓通常是最快速降低整體耗能的方法，故降低供應電壓來達到我們低耗能的需求；次從電晶體層面來看，由於數位電路的功率消耗與其負載電容成正比關係，故盡可能的降低數位電路的電晶體大小以減少負載電容，來降低功率消耗。



第二章 具有自我校正功能之 SA ADC 介紹

2.1. 可變解析度的 SA ADC

從上一章的結論中，我們可以知道 SAADC 其解析度 (Resolution) 與線性度 (Linearity) 會被數位類比轉換器 (Digital-to-Analog Converter, DAC) 中，二進位加權式電容陣列 (Binary weighted capacitor array) 之匹配性所影響。所以要將 SAADC 之效能更往上提升，我們可以利用校正演算法來修正 DAC 中各電容間的不匹配問題。

另一種思考方向是，既然 DAC 陣列中的電容會因為不匹配而造成誤差，那我們何不降低電容的數量？電容數量降低，相對的電容最大值也降低，就算它有誤差發生，對電路影響也不會太大。這的確是個不錯的方法，所以傳統的八位元以下 SAADC 幾乎是不需要校正的，因為其電容數量並不多。但是這會造成整體解析度無法提高的問題，因此不做校正的 SAADC 其有效位元 (Effective number of bits, ENOB) 將會很難突破十位元。

於[14]提出一種可變解析度的 SAADC，其架構如圖 2-1 所示。

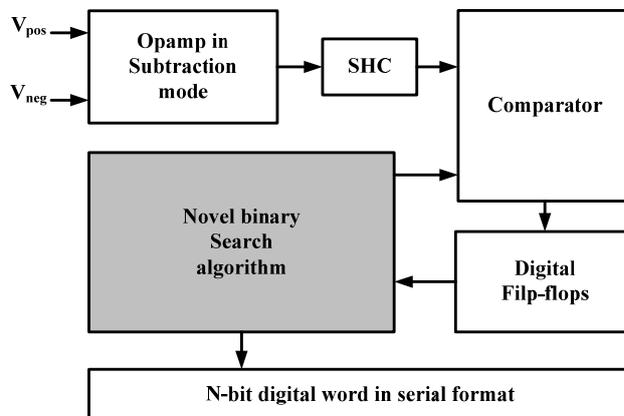


圖 2-1 可變解析度的 SAADC 方塊圖

其架構採取雙端輸入，經過一個類比減法器後得到差動輸入信號 V_{diff} ，再將此信號經由取樣保持電路（Sample and Hold Circuit, SHC），與使用新式二分搜尋法所產生的信號送入比較器做比較，最終得到一筆序列格式輸出（Serial format）的 N 位元數位編碼。

其新式的二分搜尋法如圖 2-2 所示，利用一個連接成電壓緩衝器的 Op-amp，加上兩個電容串聯之分壓，組合而成一個除二電路。取代傳統的二進位加權式電容陣列之 DAC，提供給比較器一個 $V(i) = \frac{V_{REF}}{2^i}$ 之類比輸入信號，其中 i 為此 SA ADC 之位元數，可以隨需求而改變。

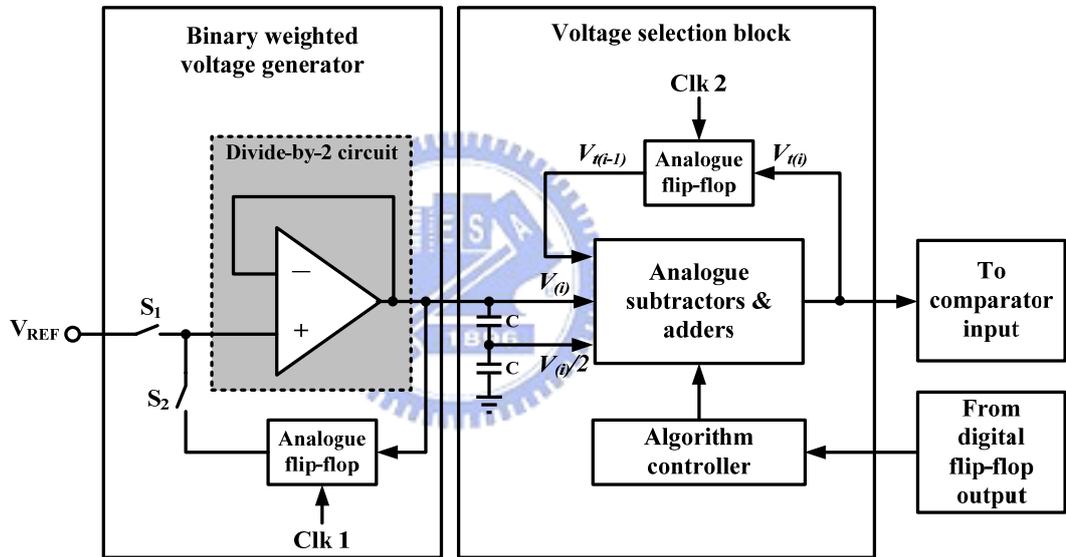


圖 2-2 新式二分搜尋架構圖

由圖 2-2 可知，傳統的二進位加權式電容陣列 DAC，所提供的二進位權重的類比電壓，如今被一組電壓除二電路所取代。此電路之輸出類比電壓為 $V(i) = \frac{V_{REF}}{2^i}$ ，電壓除二電路的輸出與輸入端之間存在一個類比式的 Delay cell。故若要提升此 SA ADC 之解析度，只要增加除二電路動作之時脈數，使其反覆除二次數 i 增加，就可以讓 $V(i)$ 經由更多次的除二步驟，被切割成更小更精準的 $V(i)$ 。

由於此電路只由兩個單位電容構成，所以只要控制好此兩個電容的匹配度，就可以使電路有良好的解析度與線性度。同時比起傳統的二進位加權式電容陣列之 DAC，此電路被電容所佔面積非常小，可以大幅減少晶片面積以降低成本。而即使電容數目下降，也不會因此限制了它的解析度。

然而此電路之缺點為使用了大量的「類比式」減法器，類比式減法器其原理為差動式 Op-amp，比較兩輸入端差值而輸出一類比電壓。當解析度提高的時候，其對於減法器要求更嚴格，而類比減法器在設計上是十分困難的，特別是高精準度的類比減法器。所以當 SA ADC 之解析度不再受限於 DAC 的時候，卻受限於類比減法器，是提升這個架構精確度的主要問題。

另外此架構在轉換模式時，所需時脈過長也是問題之一。傳統二進位加權式電容陣列 DAC，依序將 $\frac{V_{REF}}{2}$ 、 $\frac{V_{REF}}{4}$ 、 $\frac{V_{REF}}{8}$ 到 $\frac{V_{REF}}{2^N}$ 加入比較器負端，若要完成 N 位元的轉換則至少需要 N 個時脈週期。

如今此電路產生 $\frac{V_{REF}}{2}$ 需要 1 個時脈週期，產生 $\frac{V_{REF}}{4}$ 需要 2 個時脈週期，產生 $\frac{V_{REF}}{2^N}$ 則需要 N 個時脈週期，所以其完成 N 位元之轉換時，所需時脈週期至少為 $\frac{(N+1)}{2}N$ 個，過長的轉換周期使此 SA ADC 之速度受到限制。就以上之問題看來，此種新穎架構之 SA ADC 尚有許多改善空間。

2.2. 應用於 SA ADC 之由高至低式校正演算法

於 1983 年，D.A. Houges 等人提出一種應用於 SA ADC 之校正演算法 [15][16][17]，因為其誤差計算之順序是由最高位元（Most Significant Bit, MSB）電容開始，至最低位元（Least Significant Bit, LSB）電容結束，故以下稱其為「由高至低（Top-Down）」式演算法。

其架構如圖 2-3 所示，此種 SA ADC 在開機後會有一小段的自我校正 (Self-Calibration) 時間，在此時間內利用所提出的由高至低式演算法，找出待校正電容陣列中 (C_N 、 C_{N-1} 、 $C_{N-2}\dots C_1$)，各電容的誤差量。其值為一數位化的編碼，儲存於暫存器內，接著進入正常轉換模式。其中校正用數位類比轉換器 (Calibration DAC) 透過單位電容 C_{cal} 與比較器負端連結。

電路進入正常轉換模式後，其動作與一般 SA ADC 無太大差異，但是會在轉換同時，根據當下之位元輸出為 0 或 1，而決定是否要累加其對應的誤差量校正項。若此時輸出之位元為 1，則將此電容之誤差量的數位編碼，透過 Calibration DAC 將其轉換成類比電壓，於比較器負端扣除此值。如此邊轉換邊扣除對應的誤差量校正項，最終可以得到一個校正後的數位輸出。

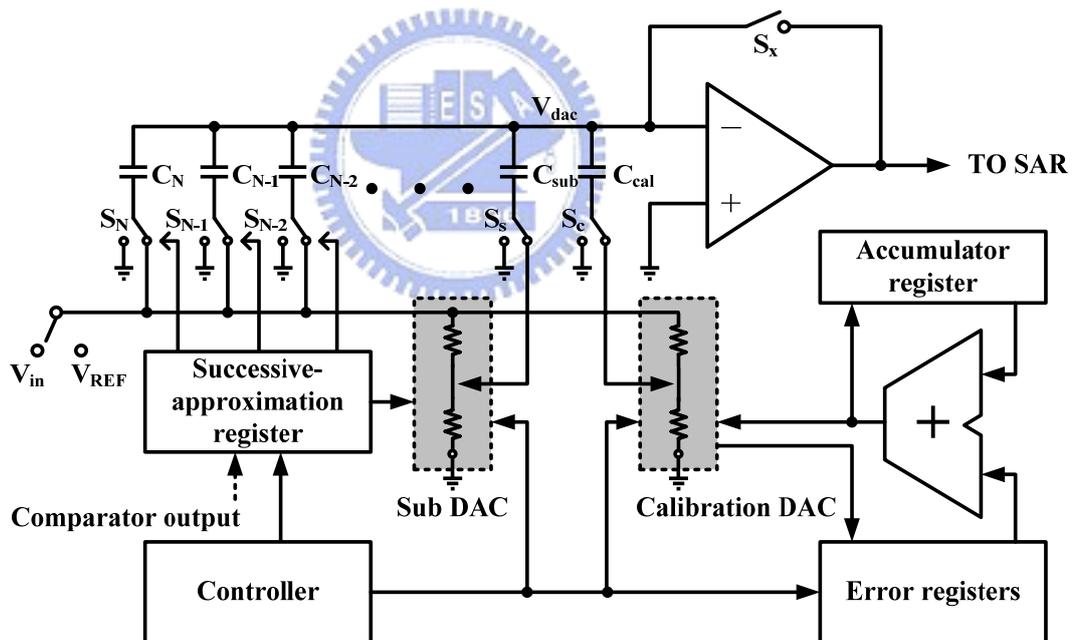


圖 2-3 應用由高至低式校正演算法之 SA ADC 架構圖

待校電容陣列是二進位加權式的電容陣列，各電容間的關係為：

$C_{i+1} = 2C_i$ ($i=1,2,3,\dots,N-1$)，我們以其計算 MSB 電容 C_N 、與 MSB-1 電容 C_{N-1} 之誤差量做範例，詳細說明整體誤差計算步驟。

計算 MSB 電容 C_N 之誤差量的方式如圖 2-4 所示，包含兩個主要步驟。

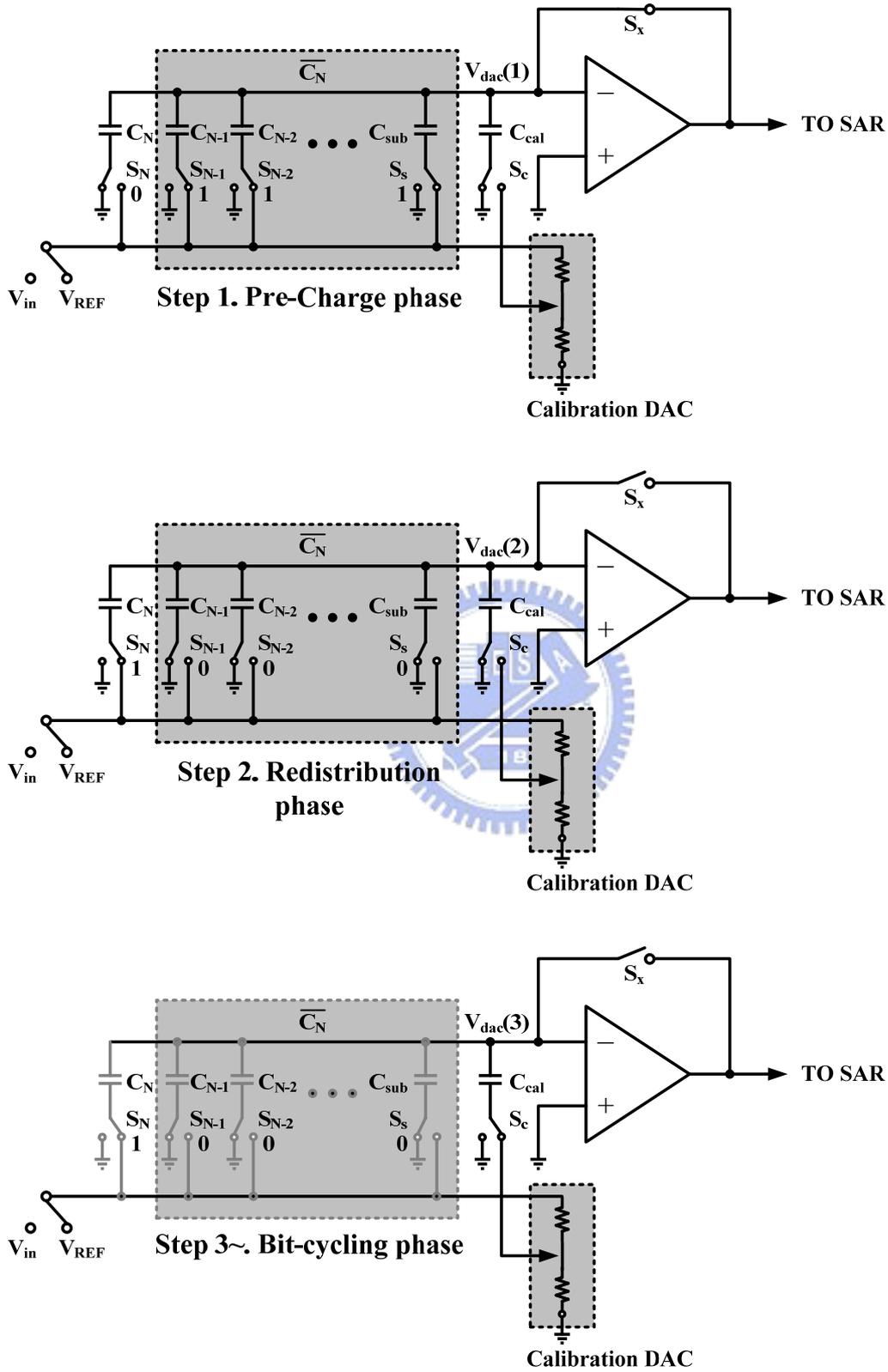


圖 2-4 以由高至低演算法找出電容 C_N 之誤差量的方法

以此演算法完成一個電容的誤差計算至少需要兩個主要步驟，第一個步驟為預先充電模式 (Pre-charge phase)，第二個步驟為電荷重佈模式 (Charge re-distribution phase)。接著第三個步驟起則是將 $V_{dac(2)}$ 數位化的 SAADC 標準轉換模式，此步驟之長度則視 Calibration DAC 之位元數決定。

先定義參數如下：

$C_{tot} = \sum_{i=1}^N C_i + C_{sub}$ 表示參與誤差計算步驟中，所有的電容值總和。其中 C_{sub} 是連接 Main DAC 與 Sub DAC 之單位電容，其值和 LSB 電容 C_1 相等。

$C_N = \frac{C_{tot}}{2} + \Delta C_N$ 表示 MSB 電容之實際值有了大小為 ΔC_N 之誤差量，MSB 電容之理想值，為整體參與誤差計算步驟中之電容值總和之一半。

$\overline{C_N} = \frac{C_{tot}}{2} - \Delta C_N$ 表示除了 MSB 電容之外，其餘參與誤差計算步驟中之電容值和。

在第一個步驟，也就是預先充電模式時，將開關 S_x 導通，於是比較器構成一個負回授，由於虛短路 (Virtual short) 的關係，此時比較器負端電壓 $V_{dac(1)}$ 為 0。同時設定各參與誤差計算步驟之電容，其下板開關之位置如圖 2-4 之 Step.1 所示。

第二步驟為電荷重佈模式，關閉開關 S_x ，於是比較器負端之電荷將會進行電荷重佈。同時設定各參與誤差計算步驟之電容，其下板開關之位置，切換為和 Step.1 完全反向的位置，如圖 2-4 之 Step.2 所示。且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{C_N - \overline{C_N}}{C_N + \overline{C_N}} = V_{REF} \frac{C_N - \overline{C_N}}{C_{tot}} \quad (2.1)$$

由上式 (2.1) 可以觀察到，當 C_N 與 $\overline{C_N}$ 相等時，也就是 ΔC_N 為零時，

此電壓 $V_{dac(2)}$ 為 0，也就是此時電容 C_N 為理想值且無誤差。

接著第三個步驟開始則是轉換模式，設定各參與誤差計算步驟之電容，其下板開關位置保持在 Step.2 之位置，如圖 2-4 之 Step.3~所示。將 $V_{dac(2)}$ 以 Calibration DAC 數位化後，進行一些運算後且儲存，此步驟之長度將取決於 Calibration DAC 之位元數。

為了推導 $V_{dac(2)}$ 與 C_N 之誤差量的關係式，將式 (2.1) 重新整理後，重新表示成如下之型式：

$$V_{dac(2)} = V_{REF} \frac{2\Delta C_N}{C_{tot}} = V_{REF} \frac{2\left(C_N - \frac{C_{tot}}{2}\right)}{C_{tot}} = 2V_{REF} \left(\frac{C_N}{C_{tot}} - \frac{1}{2}\right) \quad (2.2)$$

定義數位化之運算子為 $D(x)$ ，符號 D 為表示一個「數位化」之動作的算符 (Operator)，定義 C_N 之誤差量數位化後的結果為 D_{eN} ：

$$D_{eN} = D\left[V_{REF} \left(\frac{C_N}{C_{tot}} - \frac{1}{2}\right)\right] \quad (2.3)$$

則由式 (2.2) 與 (2.3) 可以得到兩者之關係：

$$D(V_{dac(2)}) = 2D\left[V_{REF} \left(\frac{C_N}{C_{tot}} - \frac{1}{2}\right)\right] = 2D_{eN} \quad (2.4)$$

$$D_{eN} = \frac{1}{2}D(V_{dac(2)}) \quad (2.5)$$

故由式 (2.5) 可知，若要由數位化後的 $V_{dac(2)}$ 找出 C_N 之誤差量，所需要的運算僅僅是把數位碼 $D(V_{dac(2)})$ 右移一位即可。

接著進入計算 MSB_{-1} 電容 C_{N-1} 的誤差量之步驟，在這步驟中必須排除已完成誤差計算之電容 C_N ，對該次誤差計算的影響。也就是在預先充電、電荷重佈模式、以及數位化轉換模式時，將電容 C_N 之下板開關位置保持一定，不論固定接地 (0) 或是固定接 V_{REF} (1) 皆可。

計算 MSB₋₁ 電容 C_{N-1} 的誤差量之步驟如圖 2-5 所示。

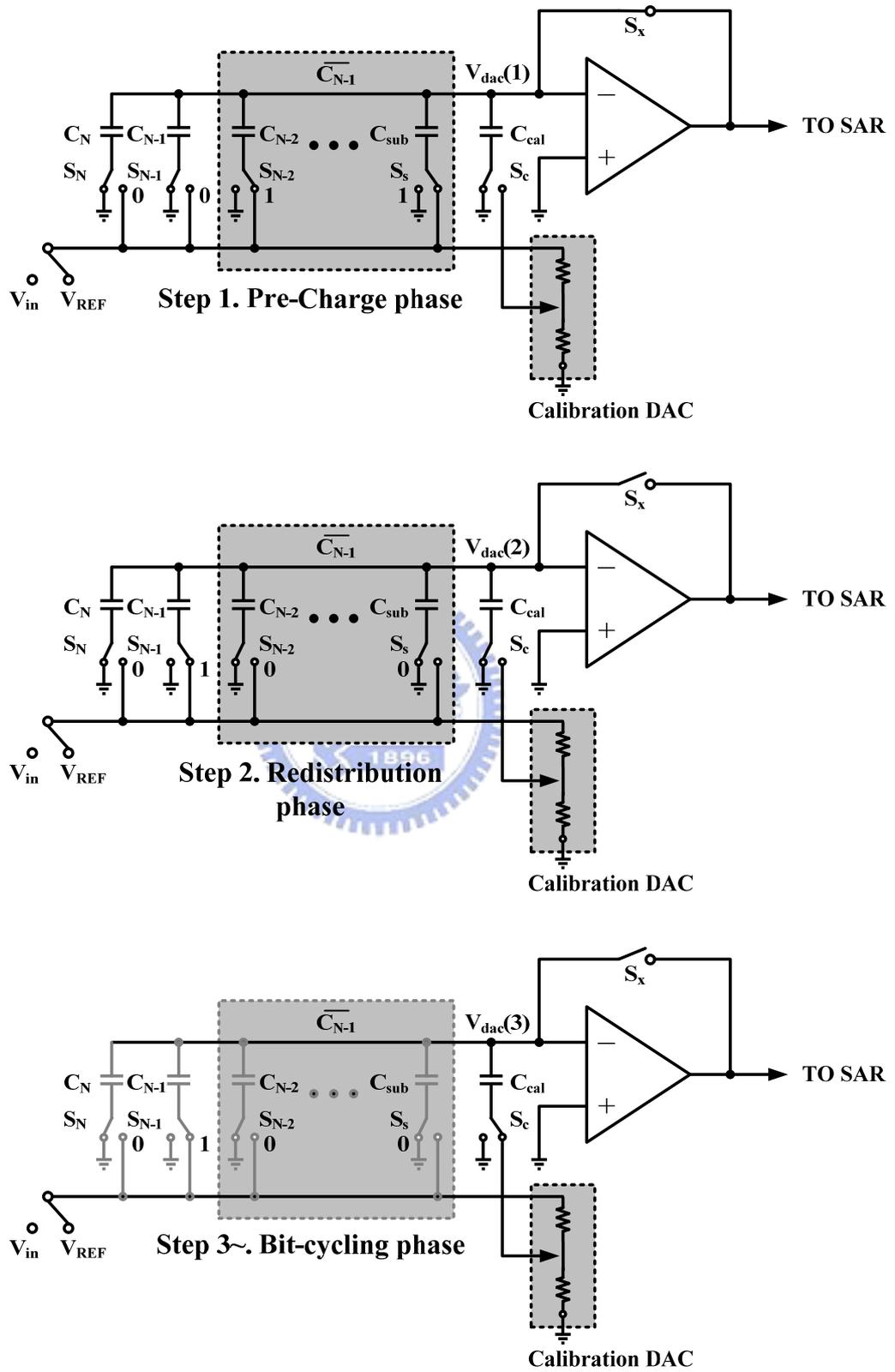


圖 2-5 以由高至低演算法找出電容 C_{N-1} 之誤差量的方法

先定義參數如下：

$C_{tot} = \sum_{i=1}^N C_i + C_{sub}$ 表示參與誤差計算步驟中，所有的電容值總和。其中

C_{sub} 是連接 Main DAC 與 Sub DAC 之單位電容，其值和 LSB 電容 C_1 相等。

$C_N = \frac{C_{tot}}{2} + \Delta C_N$ 表示 MSB 電容之實際值有了大小為 ΔC_N 之誤差量。

$C_{N-1} = \frac{C_{tot}}{4} + \Delta C_{N-1}$ 表示 MSB₋₁ 電容之實際值有了 ΔC_{N-1} 之誤差量，

MSB₋₁ 電容之理想值，為整體參與誤差計算步驟中之電容值總和之 $\frac{1}{4}$ 。

$\overline{C_{N-1}} = \frac{C_{tot}}{4} - \Delta C_N - \Delta C_{N-1}$ 表示除了 MSB 與 MSB₋₁ 電容之外，參與誤差

計算步驟中之電容值和。

在第一個步驟，也就是預先充電模式時，將開關 S_x 導通，於是比較器負端構成一個負回授 (Negative feedback)，由於虛短路的關係，此時比較器負端電壓 $V_{dac(1)}$ 為 0。此時設定各參與誤差計算步驟之電容，其下板開關之位置如圖 2-5 之 Step.1 所示。

第二步驟為電荷重佈模式，關閉開關 S_x ，於是比較器負端之電荷將會進行電荷重佈。同時設定各參與誤差計算步驟之電容，其下板開關之位置，切換為和 Step.1 完全反向的位置，如圖 2-5 之 Step.2 所示。且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{C_{N-1} - \overline{C_{N-1}}}{C_N + C_{N-1} + \overline{C_{N-1}}} = V_{REF} \frac{C_{N-1} - \overline{C_{N-1}}}{C_{tot}} \quad (2.6)$$

接著第三個步驟開始則是轉換模式，設定各參與誤差計算步驟之電容，其下板開關位置保持在 Step.2 之位置，如圖 2-5 之 Step.3~所示。將 $V_{dac(2)}$ 以 Calibration DAC 數位化後，進行一些運算後且儲存，此步驟之長度將取決於 Calibration DAC 之位元數。

為了推導 $V_{dac(2)}$ 與 C_{N-1} 之誤差量的關係式，將式 (2.6) 重新整理後，重新表示成如下之型式：

$$V_{dac(2)} = V_{REF} \frac{2\Delta C_{N-1} + \Delta C_N}{C_{tot}} = V_{REF} \frac{2\left(C_{N-1} - \frac{C_{tot}}{4}\right) + \left(C_N - \frac{C_{tot}}{2}\right)}{C_{tot}} \quad (2.7)$$

再化簡式 (2.7) 可得：

$$V_{dac(2)} = V_{REF} \left[2\left(\frac{C_{N-1}}{C_{tot}} - \frac{1}{4}\right) + \left(\frac{C_N}{C_{tot}} - \frac{1}{2}\right) \right] \quad (2.8)$$

定義 C_{N-1} 之誤差量數位化後的結果為 D_{eN-1} ：

$$D_{eN-1} = D \left[V_{REF} \left(\frac{C_{N-1}}{C_{tot}} - \frac{1}{4} \right) \right] \quad (2.9)$$

則由式 (2.3) 結合式 (2.9) 後，代入式 (2.8) 可以得到三者之關係：

$$D(V_{dac(2)}) = D \left\{ V_{REF} \left[2\left(\frac{C_{N-1}}{C_{tot}} - \frac{1}{4}\right) + \left(\frac{C_N}{C_{tot}} - \frac{1}{2}\right) \right] \right\} = 2D_{eN-1} + D_{eN} \quad (2.10)$$

$$D_{eN-1} = \frac{1}{2} [D(V_{dac(2)}) - D_{eN}] \quad (2.11)$$

故由式 (2.11) 可知，若要由數位化後的 $V_{dac(2)}$ 找出 C_{N-1} 之誤差量，所需要的運算僅僅是把數位碼 $D(V_{dac(2)})$ 減去 D_{eN} 後，再右移一位即可。

將式 (2.11) 延伸，可以推導出以下之通式：

$$D_e i = \frac{1}{2} \left[D(V_{dac(2)} i) - \sum_{p=i+1}^N D_e p \right] \quad (2.12)$$

至此知道了每個步驟中之 $V_{dac(2)}$ 與 $D_e i$ 的關係，如此就可以看出圖 2-3 中各元件的作用，必須在普通的 SAADC 內加入一個累加器與暫存器去完成這些數位運算。以及加入一些控制電路去控制整體電路時序之動作，並且加

入一組 Calibration DAC 負責將每個步驟中之 $V_{dac(2)}$ 數位化，以及將每次轉換時累積的誤差量校正項轉換成類比電壓。

此校正演算法於 1983 年提出至今已有 20 多個年頭，依舊是 SA ADC 中校正演算法的先驅與典範，之後被應用於各式的 SA ADC 中，成為照亮 SA ADC 的一盞明燈。更被列於[18]之教材章節中，成為每個修習類比積體電路的學子必讀之經典，可見此篇論文之重要性與可貴性。

然而此篇校正演算法先驅存在三個主要缺點，這也是我們所提出之演算法所欲改良的地方。

第一，此篇論文使用了「混合信號式校正」。

將每個步驟中之 $V_{dac(2)}$ 轉換成數位編碼後，進行一些運算後儲存；之後在每次轉換時，根據當下的輸出是 0 或 1 決定是否要將此電容之誤差量加入累積的誤差量校正項中。邊轉換邊透過 Calibration DAC 將累積至今的誤差量校正項轉換成類比電壓模式，於比較器之負端扣除此誤差量校正項。

如此會經過一次類比數位轉換，一次數位類比轉換，其中產生了兩次的轉換誤差，這表示對於 Calibration DAC 之精準度要求甚高；特別是當 SA ADC 之解析度很高的時候。

第二，此篇論文需要兩個精準對稱的正負參考電壓。

由於比較器正端始終接地，所以比 0 還小的 $V_{dac(2)}$ 才能被轉換成數位編碼，由式 (2.1) 發現， $V_{dac(2)}$ 有可能比 0 大、亦可能比 0 小，取決於該電容的誤差量是比標準值多或低。若當 $V_{dac(2)}$ 有正值發生，則無法將此值數位化，也就是無法處理誤差量是負值的情形。

為了解決此情形，該作者於電路中使用了正向與負向的參考電壓，如此便可應付電容的誤差量是比標準值多或低的情形。由此可知，此正向與負向

的參考電壓需要精準對稱，以免在轉換過程中產生誤差。然而在現實世界中難以實現完全精準對稱的電壓源對，這也是尚待改善的地方。

另一個缺點是當負電壓的 $V_{dac(2)}$ 出現在比較器負端時，開關 S_x 可能會有漏電流發生，這表示負向的 $V_{dac(2)}$ 有其可以處理的極限值，若負的過多可能會造成電荷由開關 S_x 漏光。

第三，連接 Calibration DAC 的電容 C_{cal} 並未在其誤差校正項中被考慮。

電容 C_{cal} 為連接 Calibration DAC 的單位電容，理論上該電容值應該在校正過程中被考慮，才能將各電容間之「絕對誤差」量修正成「相對於比較器負端整體電容值的『相對誤差』」量。

若不考慮電容 C_{cal} 對誤差量校正項之影響，則得到的校正項是「絕對」於「理想值」的校正項；必須考慮電容 C_{cal} 在誤差計算時的角色，才能得到「相對」於「比較器負端並聯電容值總和」之誤差量校正項。

雖然有以上幾種小缺點，但是此篇論文對 SA ADC 之貢獻仍然瑕不掩瑜，此論文至 1983 年提出至今，尚未有人提出過其他的校正法，仍然是 SA ADC 校正法內的翹楚。

2.3. 應用於 SA ADC 之由低至高式校正演算法

另一種應用於 SA ADC 之校正法在隔年（西元 1984 年）被提出，其架構如圖 2-6 所示。在申請專利[19]兩年後，作者本人 K.S TAN 又將此架構改良且應用於雙端差動輸入的 SA ADC 之上[20]。

和前篇不同的是，此種架構之校正法是採用「由低至高（Bottom-up）」的方式計算待校電容陣列中各電容之誤差，也就是先從計算 LSB 電容之誤差量開始，至計算 MSB 電容之誤差量為止，由最小電容開始至最大電容結

束的方式。其中各組 DAC 皆以 Binary weighted capacitor 之架構完成，和先前的架構相比，有著相對較低的功率消耗。

圖 2-6 所包含之附加元件大致和圖 2-3 所提出之架構類似，需要多一組控制電路控制整體電路動作之時序、需要一組記憶體來儲存各個電容的誤差校正項、以及需要一組誤差電容陣列（Error capacitor array）當做整體校正演算法的核心。

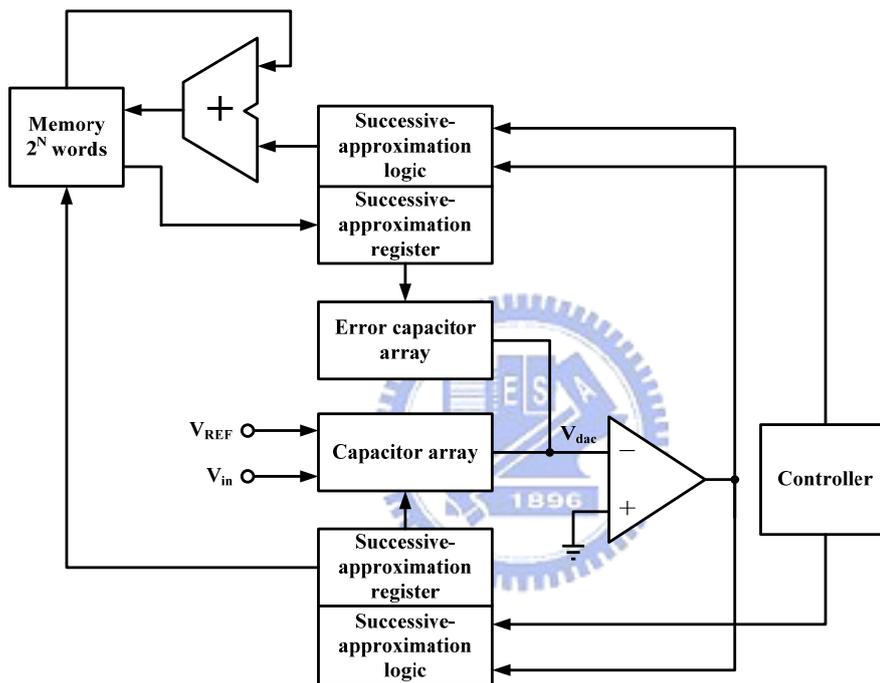


圖 2-6 應用由低至高演算法之 SA ADC 架構圖

而其類比部份之元件如圖 2-7 所示，以圖 2-7 講解其誤差計算之步驟。

其中 Capacitor array 為二進位加權式電容陣列，待校正部份為 C_N 、 C_{N-1} 、 $C_{N-2} \dots C_1$ ，各元件之關係為： $C_{i+1} = 2C_i$ ($i=1,2,3 \dots, N-1$)， C_1 為單位電容， C_0 為達成二進位權重之單位電容， C_{cal} 為連接 Error capacitor array 之單位電容。以計算 MSB、 MSB_{-1} 、和 MSB_{-2} 這三顆電容之誤差量做範例說明。

誤差計算步驟得先從三顆電容中，最小的電容 MSB_{-2} 電容 C_{N-2} 開始計算

起。MSB₂ 電容 C_{N-2} 其理想值為 $\frac{1}{8}C_{tot}$ ，其中定義 $C_{tot} = \sum_{i=0}^N C_i$ 。這種由低至高的演算法也包含主要的兩個步驟。

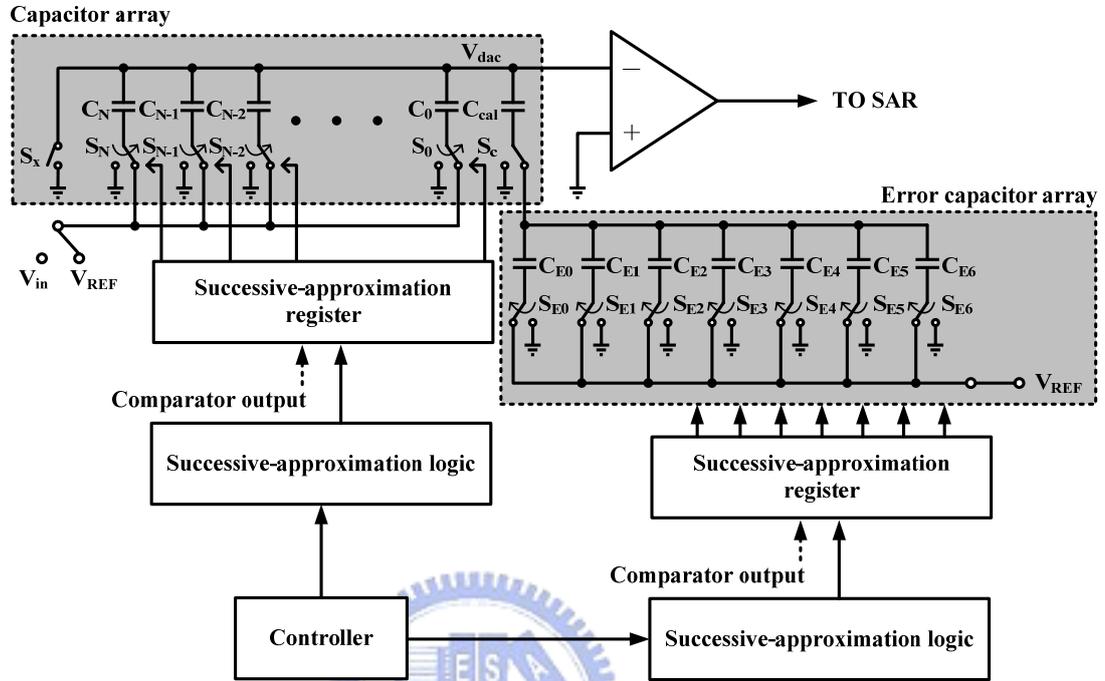


圖 2-7 文獻[19]所提出之 SA ADC 類比部分架構

步驟一，將開關 S_x 導通，於是比較器的負端被接地，同時將各電容陣列內，其中各電容下板開關之位置設定成：

$$\{S_N, S_{N-1}, S_{N-2}, S_{N-3}, S_{N-4}, \dots, S_0\} = \{0, 0, 0, 1, 1, \dots, 1\}$$

$$\{S_{E6}, S_{E5}, S_{E4}, S_{E3}, S_{E2}, \dots, S_{E0}\} = \{0, 0, 0, 0, 0, \dots, 0\}$$

如此第一步驟為預先充電模式，此時比較器負端之電壓為 0，和前篇之第一步驟原理相同。

第二步驟將開關 S_x 關閉，於是比較器的負端進入電荷重佈模式，再將各電容陣列內，其中各電容下板開關之位置設定如下：

$$\{S_N, S_{N-1}, S_{N-2}, S_{N-3}, S_{N-4}, \dots, S_0\} = \{0, 0, 1, 0, 0, \dots, 0\}$$

$$\{S_{E6}, S_{E5}, S_{SE4}, S_{E3}, S_{E2}, \dots, S_{E0}\} = \{0, 0, 0, 0, 0, \dots, 0\}$$

經由改變各電容陣列內，其中各電容下板開關之位置，使電荷重新分佈後，由 $C_{N-2} = \sum_{i=0}^{N-3} C_i$ 之關係，則電荷重佈的結果，將使比較器之負端出現一個類比電壓。此類比電壓之型式和式 (2.1) 所描述之型式雷同，取決於 C_{N-2} 和 $\sum_{i=0}^{N-3} C_i$ 之差異，此類比電壓即為電容 C_{N-2} 之誤差量。

和前篇論文之不同地方在於， S_N 和 S_{N-1} 由於和計算 C_{N-2} 之誤差量的步驟無關，所以在此並不將其加入預先充電模式或是電荷重佈模式中，故在這兩個步驟中將 S_N 和 S_{N-1} 保持在固定電位即可。

接下來的步驟中，利用 Error capacitor array 將比較器負端出現的，表示 C_{N-2} 之誤差量的類比電壓數位化，此步驟因為 Error capacitor array 有七個位元，所以總共需要七個時序完成數位化的動作，且將其儲存於記憶體內。接著進入計算 MSB₋₁ 電容 C_{N-1} 之誤差量的步驟。

計算 MSB₋₁ 電容 C_{N-1} 之誤差量的第一步驟，仍然是將開關 S_x 導通，於是比較器的負端被接地，同時將各電容陣列內，其中各電容下板開關之位置設定成：

$$\{S_N, S_{N-1}, S_{N-2}, S_{N-3}, S_{N-4}, \dots, S_0\} = \{0, 0, 1, 1, 1, \dots, 1\}$$

$$\{S_{E6}, S_{E5}, S_{SE4}, S_{E3}, S_{E2}, \dots, S_{E0}\} = \{\text{Error code of } C_{N-2}\}$$

由於已經對 MSB₋₂ 電容 C_{N-2} 完成誤差計算，所以在此必須排除 C_{N-2} 對此次誤差計算步驟之影響，透過將 Error capacitor array 內各電容下板開關之位置，設定成表示電容 C_{N-2} 之誤差量的數位編碼，如此便能以「類比電壓」的型式，在比較器的負端扣除此電壓。

接著第二步驟將開關 S_x 關閉，於是比較器的負端進入電荷重佈模式，將各電容陣列內，其中各電容下板開關之位置設定成：

$$\{S_N, S_{N-1}, S_{N-2}, S_{N-3}, S_{N-4}, \dots, S_0\} = \{0, 1, 0, 0, 0, \dots, 0\}$$

$$\{S_{E6}, S_{E5}, S_{SE4}, S_{E3}, S_{E2}, \dots, S_{E0}\} = \{\text{Error code of } C_{N-2}\}$$

同理，經過電荷重新分佈後，由 $C_{N-1} = \sum_{i=0}^{N-2} C_i$ 之關係，比較器之負端將出現一個類比電壓。此類比電壓之型式和式 (2.1) 所描述之型式雷同，取決於 C_{N-1} 和 $\sum_{i=0}^{N-2} C_i$ 之差異，此類比電壓即為電容 C_{N-1} 之誤差量。

接下來的步驟中，利用 Error capacitor array 將比較器負端出現的，表示 C_{N-1} 之誤差量的類比電壓數位化且儲存。接著進入計算 MSB 電容 C_N 之誤差量的步驟，在此就不多加贅述。

由以上的步驟中發現，使用由低至高演算法的好處是，其數位計算步驟更加簡略，不需要一些額外的減法器電路就可完成，比起使用由高至低演算法來說，節省了數位部分的面積。

但其缺點是，由於每次執行誤差計算演算法時，都要排除已完成誤差計算之電容，對這次之誤差計算的影響，所以必須以「類比方式」透過 Error capacitor array 之設定，由比較器之負端扣除。如計算 MSB 電容 C_N 之誤差量時，Error capacitor array 之設定為：

$$\{S_{E6}, S_{E5}, S_{SE4}, S_{E3}, S_{E2}, \dots, S_{E0}\} = \{\text{Error code of } (C_{N-2} + C_{N-1})\}$$

如此可以發現，當欲計算誤差的電容數量上升時，Error capacitor array 內所設定之誤差量便會累積，故需要加大 Error capacitor array 之位元數來達成此需求。節省了數位計算的面積，卻浪費了更大的 Error capacitor array 電容面積，似乎看不出能有效減少的面積。

其另外三個主要缺失也和上篇雷同：「使用混合信號式校正」和「需要兩個精準對稱的參考電壓」以及「當比較器負端出現負電壓時，開關 S_x 之漏電流疑慮」。故此篇專利也有待改進之處，但仍不失與上篇並列 SAADC 校正法唯二經典的光采。

2.4. 具有自我校正功能的 SA ADC 之一[21]

有一篇整合以上兩者之 SAADC 於 2001 年被提出[21]，其取 H.S LEE 之演算法，採取「由高至低」之誤差計算方式；然而將數位類比轉換器陣列由高耗能的電阻串架構，改良成 K.S TAN 之電容陣列架構以降低耗能。其類比部份之架構如圖 2-8 所示。

此電路共有四個二進位加權電容陣列構成之數位類比轉換器，其中 Main DAC 為待校電容陣列，與 Sub DAC 構成此 ADC 之主要數位類比轉換器陣列，其兩者位元數總和則為此 SAADC 之位元數。

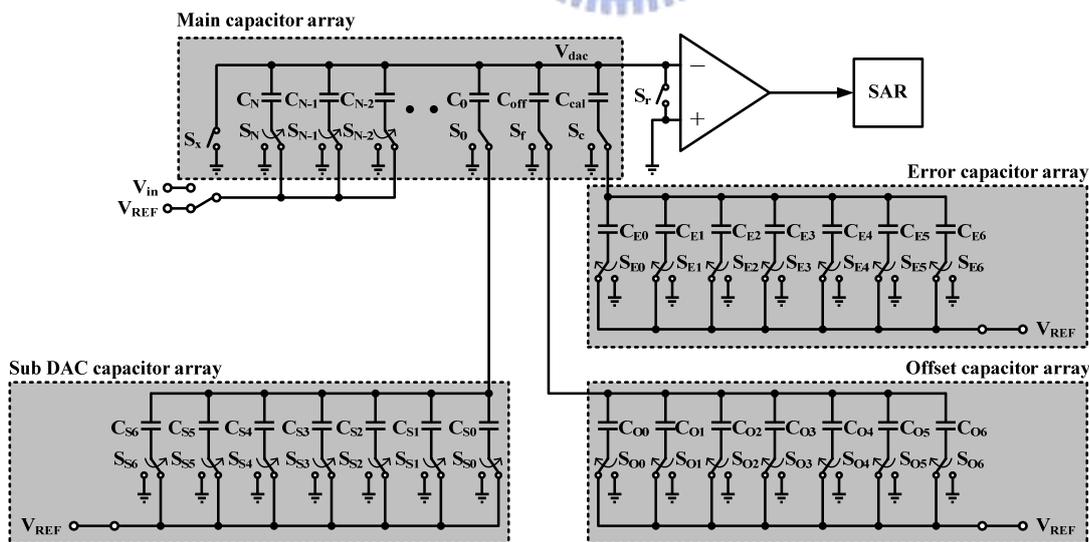


圖 2-8 具有自我校正功能的 SAADC 【1】 類比部分之架構

Error capacitor array 仍然擔當整體校正演算法的核心，另外有一組 Offset

capacitor array，負責處理電路的 Offset 問題。其處理方式和 Error capacitor array 雷同：

先將所有電容下板開關都切換到 0（接地），如此比較器負端應該出現之電壓為 0 伏特；換言之，若有不為 0 伏特的電壓出現在比較器負端，則此值即為電路 Offset 電壓。透過 Offset capacitor array 將其數位化後，不需要儲存，只要在之後的所有步驟都將 Offset capacitor array 之電容下板開關切換成此值，就能以類比方式在比較器負端消除該 Offset 電壓。

然而此篇論文沿用兩篇經典之架構，缺點仍和兩篇經典雷同：「使用混合信號式校正」和「需要兩個精準對稱的參考電壓」以及「當比較器負端出現負電壓時，開關 S_x 和 S_r 之漏電流疑慮」。

2.5. 具有自我校正功能的 SA ADC 之二[22]

第二篇整合以上兩篇經典的論文於 ISSCC 1990 被提出[22]，其架構之豪華如圖 2-9 所示。

其架構之方塊圖如圖 2-9 所示，依然是取 H.S LEE 之演算法，採取「由高至低」之誤差計算方式；然而將數位類比轉換器陣列由高耗能的電阻串架構，改良成 K.S TAN 之電容陣列架構以降低耗能。

此篇論文所提出之 SA ADC 共有 18 位元，其解析度為當今世上 SA ADC 所見最高；然而其輸入電壓範圍為 20 伏特，也是當今世上所見最高。

此「雙重最高」殊榮的 SA ADC 將類比和數位晶片獨立，透過外部接線互相連接，如此便可單獨測試類比與數位方面的良率與問題所在；但是如何克服連接兩晶片之導線的寄生電容卻是個問題。

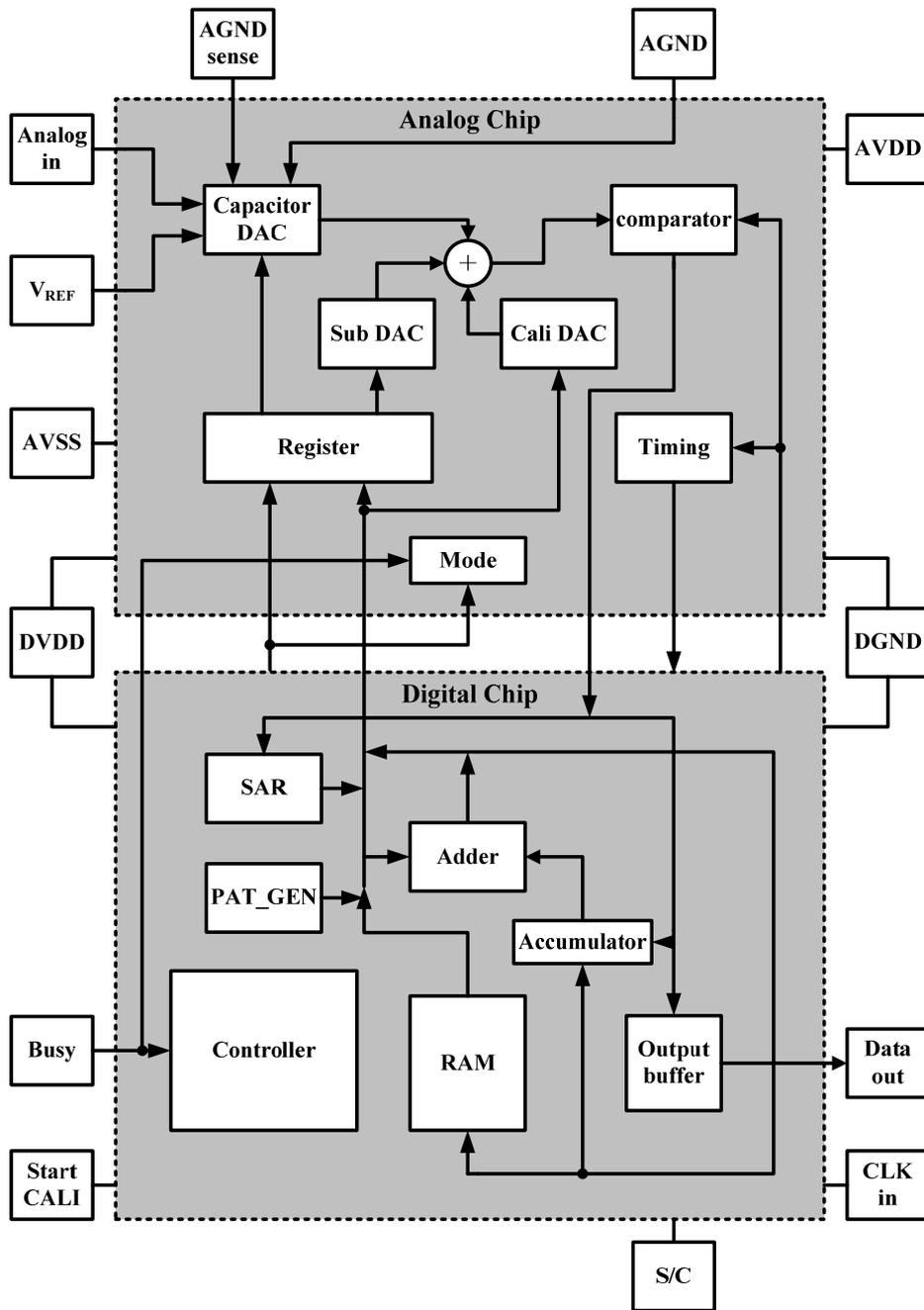


圖 2-9 具有自我校正功能的 SA ADC【2】架構方塊圖

然而此篇論文沿用兩篇經典之架構，缺點仍和兩篇經典雷同：「使用混合信號式校正」和「需要兩個精準對稱的參考電壓」以及「當比較器負端出現負電壓時，接地開關之漏電流疑慮」。

2.6. 結論：關於前人提出之校正法的缺失

仔細研讀兩篇 SAADC 之校正經典，與其延伸出來的各式各類具有自我校正功能的 SAADC 後，發現主要缺點有二：

第一，使用「混合信號式校正」之問題。

前人之校正法，在每次正常轉換時，會根據當下比較器的輸出是 0 或 1，決定是否要將此電容之誤差量加入累積的誤差量校正項中。邊轉換同時邊透過 Calibration DAC 將累積至今的誤差量校正項轉換成類比電壓模式，於比較器之負端扣除此誤差量校正項

如此會經過一次類比數位轉換，一次數位類比轉換，其中產生了兩次的轉換誤差，這表示對於 Calibration DAC 之精準度要求甚高；特別是 SAADC 之解析度很高的時候。

因為 Calibration DAC 本身也存在若干誤差，我們不可能做出一個毫無誤差的 Calibration DAC，不論是電阻串或是電容陣列之架構都一樣。因此我們只能以有限精準度的 Calibration DAC，去克服所有可能出現的誤差量。

將 Calibration DAC 比喻成一把精準度有限的尺規，我們僅能在尺規的誤差容許範圍內去測量待測物的長度。一但待測物的誤差量超過尺規所能測定的標準，則尺規將失去它「測量」的功用。

第二，需要兩個精準對稱的正負參考電壓之問題。

由於比較器正端始終接地，所以比 0 還小的負端電壓才能被轉換成數位編碼，由式 (2.1) 發現，比較器之負端會出現的電壓可能比 0 大、亦可能比 0 小，取決於該電容的誤差量是比標準值多或低。若當比較器負端有正值發生，則無法將此值數位化，也就是僅能對單一種誤差量（上升或下降）做

處理。

以抽象化的概念描述，我們只有一把能向右伸展的尺規，一但碰到了向左伸展的線段，則尺規將失去測量長度的功能。除非我們能找到另一把完全相等的尺規，串接於此尺規後方，負責向左延伸的測量。

為了解決此情形，第一篇經典作者 H.S LEE 於電路中使用了正向與負向的參考電壓，如此便可應付電容的誤差量是比標準值多或低的情形。第二篇經典 K.S TAN 則在專利中，絕口不提及另一方向的誤差量該如何處理，而在其之後發表的論文中，則以雙端差動輸入的方式克服。

若要使用正向與負向的參考電壓，則此兩參考電壓必須做到「精準對稱」，以免對同一絕對值大小相等的誤差量出現誤判，其精準度直接影響校正法的準確度。

然而在現實世界中，難以找到有這種儀器可以提供如此完美的精準對稱正向與負向參考電壓，即使有這種儀器也會因其所費不低，使測試成本大幅上升，這也是目前尚待改善的地方。

以上是兩篇經典所共同面臨的問題，也是我們所提出之校正法想要解決的問題。如何在單端輸入的 SAADC 之上使用校正演算法，又能不碰到和前人相同的矛盾呢？

第三章 提出之應用於電容陣列的校正演算法

3.1. 提出之演算法架構選擇

根據第二章之介紹，我們知道校正演算法之兩篇經典，雖然都有尚待改善與其不足之處，但是發展至今二十餘年，仍然不失其作為經典之特性。往後數年間，發展出各式各類的具有校正能力之 SAADC，其校正之方法都是引用兩篇經典而來；相異之處僅是變更數位電路以及類比電路的實現方式，於是一篇不同的論文就誕生了。

二進位加權電容式數位類比轉換器（Binary weighted capacitor array Digital-to-Analog Converter）中，每個電容之間互相保持著公比為 2 的比例關係，分別代表二進位編碼中的權重。對於一個 N 位元的二進位加權電容式數位類比轉換器而言，其最重要位元電容（Most Significant Bit, MSB）之大小為 $2^{N-1}C$ ；最低位元電容（Least Significant Bit, LSB）之大小為 C 。

在二進位加權電容式數位類比轉換器中實行誤差計算時，大致可以分成兩大類：一種是由最大電容（MSB capacitor）開始，依序向下校正至最小電容（LSB capacitor）結束，簡稱「由高至低（Top-down）」式。另一種是由最小電容（LSB capacitor）開始，依序向上校正至最大電容（MSB capacitor）結束，簡稱「由低至高（Bottom-up）」式。

因為 SAADC 是以「二分搜尋（Binary search）」的方式動作，而二分搜尋的基本精神就是「排序」，所以即使實行任何校正方式，我們也必須秉持「排序」這原則，不論是使用由高至低或是由低至高式。故在思考該用什麼方式校正之前，我們必須先考慮該以何種「順序」為基礎，當作整體演算法的基本架構。

挑選校正演算法架構之順序只有兩種選擇，由高至低或是由低至高。原因有二：DAC 陣列中，各個電容之間的誤差量是「相對於整體電容總和之誤差」，並非「絕對於理想值之誤差」；加上 SA ADC 動作原理本身就有排序性，所以依序校正才是最簡單又最容易實現的方式。

至於要選擇由高至低，或是由低至高來完成校正呢？

由高至低校正演算法，從第二章可以發現，其後端的數位電路要經過一些運算，才能得到待校正電容真正的誤差量，所以它的數位電路略嫌複雜，至少需要一個右移電路（除二）、一個加法器與減法器、一個累加器才能完成計算。

由低至高演算法中，其數位電路就僅只有一個右移動作（除二），所以它的數位電路架構是比較簡單的。

但是由低至高演算法中，每次執行誤差計算時，得透過 Error capacitor array 之設定，於比較器負端，以「類比方式」扣除已校正電容對該次誤差計算的影響。當待校正之電容陣列位元數較少時，可能還看不出這有哪些缺點，但是當待校正之電容陣列位元數太多的時候，其缺點便會相當明顯。

第一，當待校正電容陣列之位元數較高的時候，Error capacitor array 所佔之面積便會過大。以計算一個 N 位元的待校正電容陣列之各電容誤差量為例，其 MSB 電容定義為 C_N ，其 LSB 電容定義成 C_0 。

計算電容 C_1 之誤差時，利用 Error capacitor array 排除已完成誤差計算的電容 C_0 之影響，故設定 Error capacitor array 為已完成誤差計算的電容 C_0 之誤差量。

計算電容 C_2 之誤差時，利用 Error capacitor array 排除已完成誤差計算的電容 C_0 與 C_1 之影響，故設定 Error capacitor array 為已完成誤差計算的電

容 C_0 與 C_1 之誤差量之和。

計算電容 C_3 之誤差時，利用 Error capacitor array 排除已完成誤差計算的電容 C_0 、 C_1 、 C_2 之影響，故設定 Error capacitor array 為已完成誤差計算的電容 C_0 、 C_1 、 C_2 之誤差量之和。

計算電容 C_N 之誤差時，利用 Error capacitor array 排除已完成誤差計算的電容 C_0 至 C_{N-1} 之影響，故設定 Error capacitor array 為已完成誤差計算的電容 C_0 至 C_{N-1} 之誤差量總和。

如此當欲計算誤差的電容數量很多的時候，Error capacitor array 之位元數就要更多，才能存放每個已完成誤差計算的電容誤差量總和。而在晶片中最佔面積的元件就是 DAC 的電容陣列，加大 Error capacitor array 同時也直接使電容與晶片面積增加，雖省下了數位運算的面積，卻增加了電容的面積，此為缺點之一。

第二，由低至高演算法中，「每次」進行誤差計算時，都要透過 Error capacitor array 之設定，於比較器負端「扣除」已完成誤差計算的電容對該次誤差計算的影響。

將上述段落重新翻譯文句意義，可以寫成：「每次」進行誤差計算時，我們都必須以「精準度有限」的 Error capacitor array，在比較器負端，用「類比方式扣除」已完成誤差計算的電容對該次誤差計算的影響。

顯而易見的，當欲計算誤差的電容數目一多，誤差計算步驟進行數量就越多，精準度有限的 Error capacitor array 本身的誤差便會持續累積，類比減法器的非理想性也是隨電容數量上升而累積，此為缺點之二。

從以上缺點可以發現，當欲計算誤差的電容數量不多的時候，由低至高的方式比較簡單；但是欲計算誤差的電容數量一多，即使是小小的非理

想性誤差，也會如滾雪球般累積，故在高解析度下應用時，此方法較由高至低的方式為差。

由高至低的方式，其在排除已完成誤差計算的電容之誤差量時，是以數位方式完成，雖然數位計算略嫌複雜，但是卻不會使 Error capacitor array 面積增加。每次執行誤差計算時，也不會使 Error capacitor array 之誤差、與類比減法器之非理想性持續累加，比較適合應用在高解析度的架構上。

故我們在此挑選「由高至低 (Top-down)」的方式當作我們演算法的基本架構，在由高至低的基礎上去完成校正。

3.2. 提出之演算法簡介

以下將我們所提出的演算法，以抽象化的概念描述之：

連續近似式類比數位轉換器 (Successive Approximation Analog-to-Digital Converter, SA ADC) 之原理我們可以比喻成以天平秤重物，試著將一個 5 位的 SA ADC 以抽象的方式表示，如圖 3-1 所示。

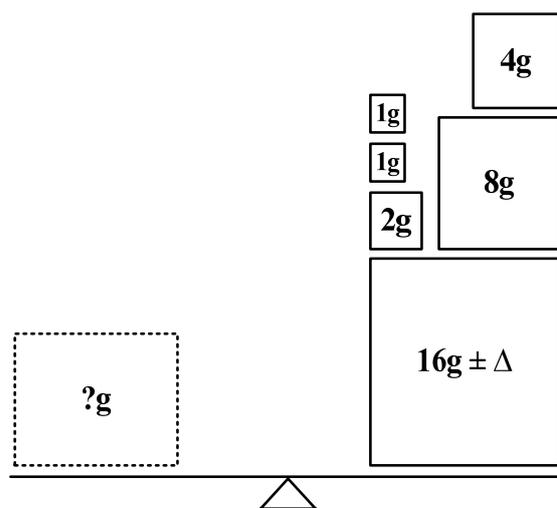


圖 3-1 抽象化的描述 SA ADC 之動作方式

這個天平有五種法碼，其重為 1 克、2 克、4 克、8 克、16 克，故可知該天平秤重範圍是 0 克到 31 克。將該天平之法碼由大至小，依序累加或移除於天平右端，則當該天平平衡時，天平右端的法碼重量，便是天平左端的待測物物重。而如今最大的法碼 16 克，產生了其值為 Δ 克的誤差量。

將抽象概念轉換回 SAADC 電路上，天平就是 SAADC 的核心元件比較器，天平兩臂為比較器兩端，而它的二進位加權電容式數位類比轉換器是由 C、2C、4C、8C、16C 這五個電容與權重電容 C 所構成。其數位化刻度是由 0 到 31，而如今 16C 的電容有了值為 Δ 法拉的誤差量。

我們希望這個天平能有自我找出誤差量的功能，也就是說這組天平不需要依靠一些外加的輔助秤重裝置，如第二組天平、電子秤等，就能使用自己的秤重功能找出該 16 克法碼的誤差量。

從天平的法碼結構發現，五種法碼各為：權重法碼 1 克 1 個、秤重法碼 1 克、2 克、4 克、8 克、16 克各一個，而扣除最大顆 16 克的法碼後，剩下的 5 個法碼總和仍然是 16 克。

故我們可以將法碼分成兩堆：「一顆 16 克」的法碼為第一堆，剩餘五個法碼為第二堆，將此兩堆法碼分別放在天平的兩端，則理論上兩端重量會相等，天平應該能保持平衡。

而如今「一顆 16 克」的法碼有值為 $+\Delta$ 克的誤差量，天平於是明顯的偏向「一顆 16 克」的一方，這表示我們可以在天平的右側加入一些測重小法碼，直到天平重新回到平衡狀態。新加入的測重小法碼其重量即為 Δ 克，也就是該 16 克法碼的誤差量，如圖 3-2 所示。

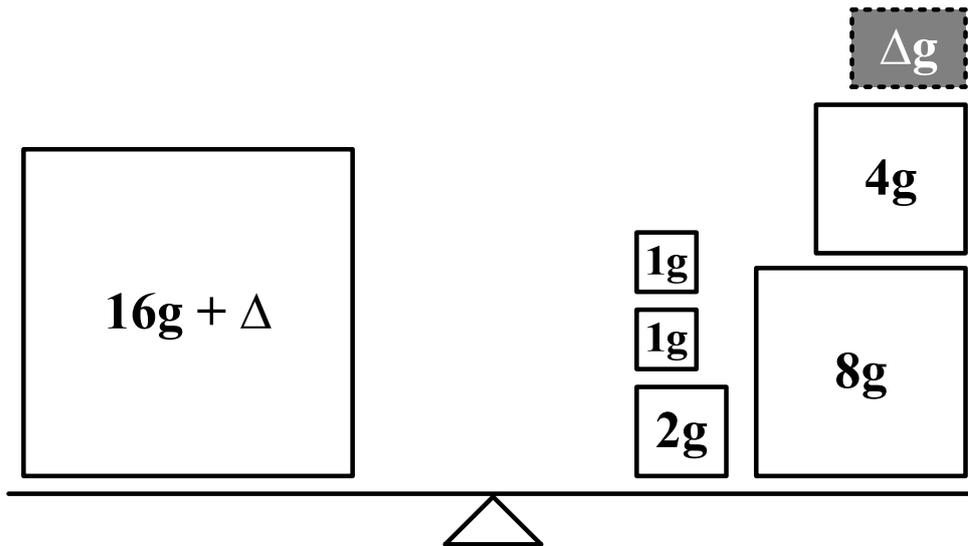


圖 3-2 以天平自身的秤重功能找出 16 克法碼的誤差量

將此種抽象化的描述法轉換回 SAADC 之上，即為前由高至低校正法之基本原理：

第一步先將比較器負端，也就是電容陣列上板極接至一個固定電位，對「一顆 16C」的電容進行「預先充電」的動作。第二步則將比較器負端浮接，於是進入「電荷重佈」模式，先前步驟所累積於「一顆 16C」的電容內之電荷量會平均分佈於「總和為 16C」的電容中。

若「一顆 16C」之電容與「總和為 16C」的電容其值相等，則比較器負端之電位，在兩步驟時應該保持相等。而如今「一顆 16C」的電容有了 $+\Delta$ 法拉的誤差量，於是電荷重佈後的電位會和預先充電時的電位不相等。此時透過校正用數位類比轉換器，在比較器負端加入一些電荷量去改變其電位，直到平衡，此時加入的電荷量就表示了「一顆 16C」電容的誤差量。

由此看來這種校正方法似乎是不錯的點子，但是，若「一顆 16 克」的法碼其誤差量為 $-\Delta$ 克，則只能添加法碼於右側的方式，將使此天平永遠不可能保持平衡，如圖 3-3 所示，此時我們該如何找出誤差量？

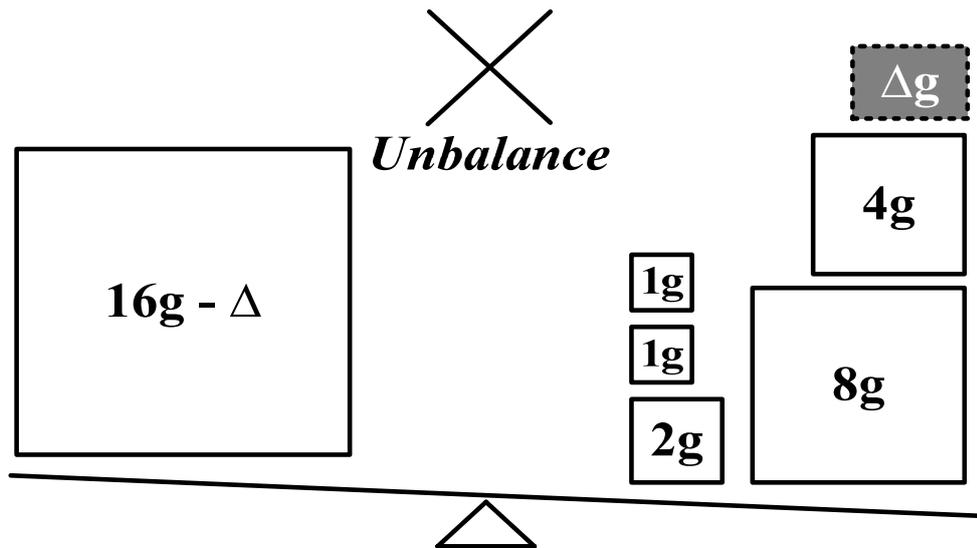


圖 3-3 若 16 克之法碼誤差量為 $-\Delta$ 克時之情形

一種方法是在「總和為 16 克」的法碼側「拿掉 Δ 克」的重量，於是天平會逐漸重歸平衡。將這種方法轉換到 SAADC 之上，則是使用「負向參考電壓」的方式，但是使用正、負雙向參考電壓會碰到一些非理想性的問題，例如兩參考電壓不匹配等等，如第二章所述。故思考是否有方法只用在右側增加重量的方式，就可以應對 $\pm\Delta$ 克的誤差量？

答案出乎意料的簡單，我們只要將天平兩端的物體互換即可：將左側換成「總和為 16 克」的法碼、右端換成「一顆 16 克」的法碼。則當「一顆 16 克」的法碼發生了其值為 $-\Delta$ 克之誤差量時，我們仍然可以使用在右端加入一個測重小法碼的方式，使天平兩端重歸平衡，去找出該 16 克法碼的誤差量，如圖 3-4 所示。

將此方法轉換回 SAADC 中，我們將預先充電步驟與電荷重佈的電容互換，也就是第一步先將比較器負端，也就是電容陣列上板極接至一個固定電位，對「總和為 $16C$ 」的電容進行「預先充電」的動作。第二步則將比較器負端浮接，於是進入「電荷重佈」模式，先前步驟所累積於「總和為 $16C$ 」的電容內之電荷量會平均分佈於「一顆 $16C$ 」的電容中。

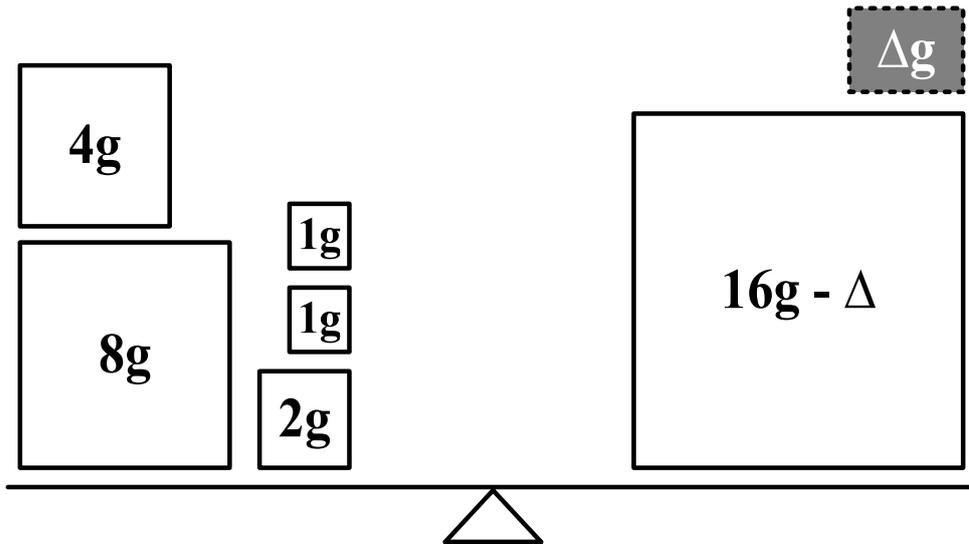


圖 3-4 將天平兩端互換後，於右側加入測重法碼使天平重歸平衡

我們可以將此觀念轉換到 SA ADC 之中，天平在 SA ADC 之中即是核心元件比較器，而天平的兩端就是比較器的兩端，法碼就是累積在比較器兩端的電容內的電荷量（等效如電壓值）。而互換天平兩端的物體，可以想像成互換數位類比轉換器中電容的充放電順序，使一個大小相同，方向相反的電壓出現在比較器負端，這將會在下一章詳述。

3.3. 使用單一參考電壓完成誤差計算的方法

將上一章的概念引入誤差計算的方式，可以得知只要改變電容的充放電順序，就可以得到一個大小相同、方向相反的電壓，如圖 3-5 所示。

圖 3-5-A 側，在 Step.1 的預先充電模式時，先對 $\overline{C_N}$ 充電；在 Step.2 的電荷重佈模式時，則將步驟 1 累積於 $\overline{C_N}$ 內之電荷倒入 C_N 內。相反的於圖 3-5-B 側，在 Step.1 的預先充電模式時，先對 C_N 充電；在 Step.2 的電荷重佈模式時，則將步驟 1 累積於 C_N 內之電荷倒入 $\overline{C_N}$ 內。如此只需要一個參考電

壓即可應對 $\pm\Delta$ 的誤差量，接下來的段落中將會詳細說明。

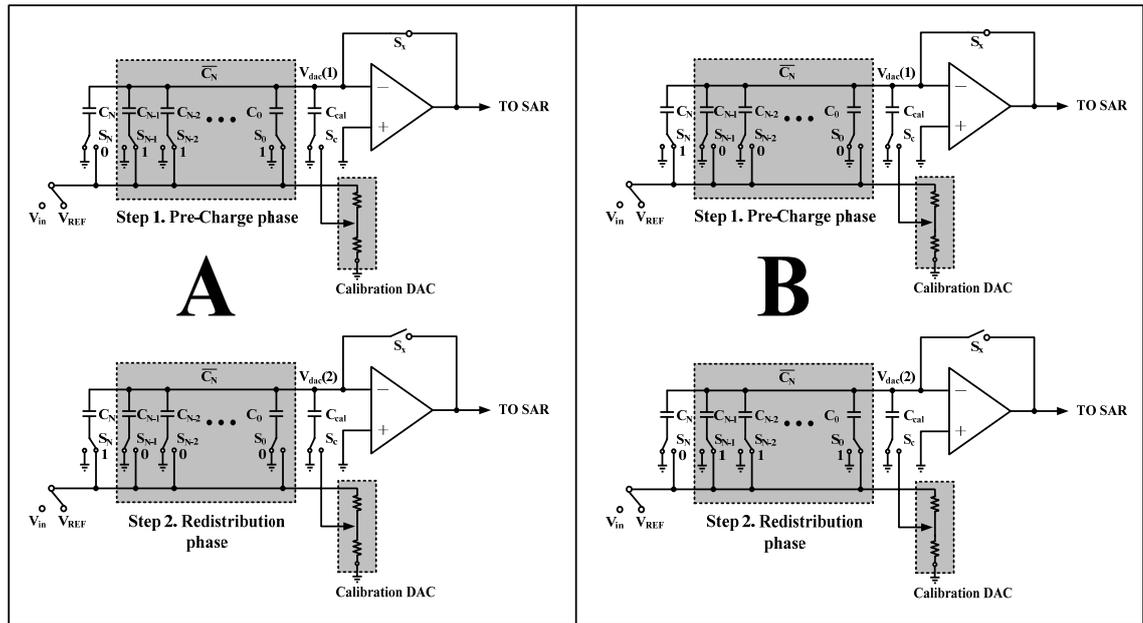


圖 3-5 交換 DAC 電容充放電之方式

仔細推導圖 3-5 中 A 狀況和 B 狀況的情形，圖 3-6 為圖 3-5-A 之放大。

我們先定義參數如下：

待校正之 N 位元、二進位加權式電容陣列為 C_1 至 C_N ，而 C_N 為 MSB 電容， C_1 為 LSB 電容， C_0 為用以達成二進位權重的單位電容。其中各電容間之關係為 $C_1 = C_0$ 且 $C_{i+1} = 2C_i$ ($i=1,2,3,\dots,N-1$)。

$$C_{tot} = \sum_{i=0}^N C_i \quad \text{表示參與誤差計算步驟中所有的電容值總和。}$$

$$C_N = \frac{C_{tot}}{2} \pm \Delta C_N \quad \text{表示 MSB 電容之實際值有了大小為 } \pm\Delta C_N \text{ 之誤差量，}$$

MSB 電容之理想值，為整體參與誤差計算步驟中之電容值總和之一半。

$$\overline{C_N} = \frac{C_{tot}}{2} \mp \Delta C_N \quad \text{表示除了 MSB 電容之外，參與誤差計算步驟中之電容}$$

值和。

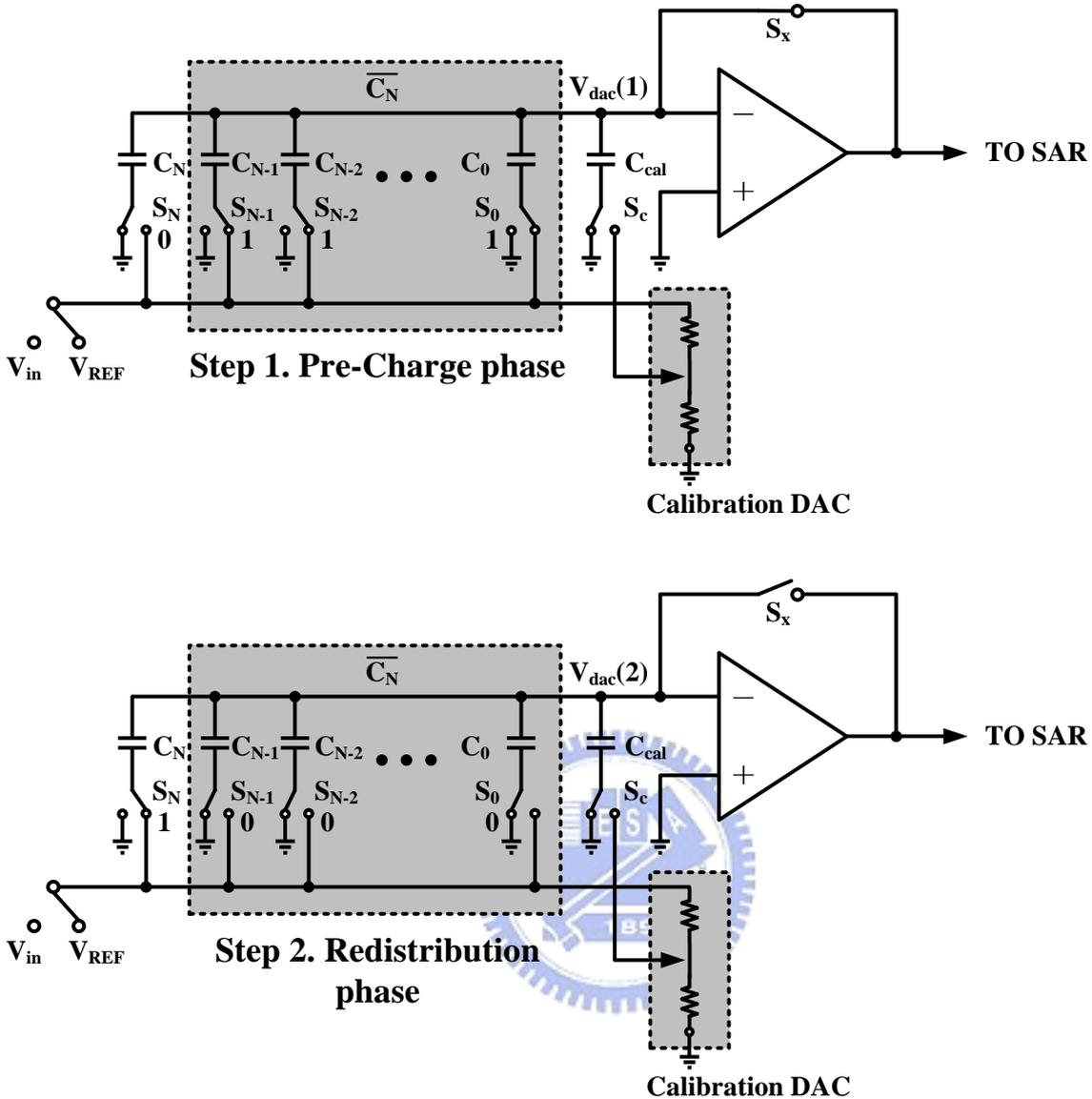


圖 3-6 以改良的由高至低演算法找出「負向誤差」的方式

在第一個步驟，也就是預先充電模式時，使開關 S_x 導通，於是比較器負端構成一個負回授，由於虛短路 (Virtual short) 的關係，此時比較器負端電壓 $V_{dac(1)}$ 為 0。此時設定各參與誤差計算步驟之電容，其下板開關之位置如圖 3-6 之 Step.1 所示，我們先對 $\overline{C_N}$ 進行預先充電。

第二步驟為電荷重佈模式，關閉開關 S_x ，於是比較器負端之電荷將會進行電荷重佈。同時將各參與誤差計算步驟之電容，其下板開關之位置，切換

為和 Step.1 完全反向的位置，如圖 3-6 之 Step.2 所示。此時先前累積於 $\overline{C_N}$ 內之電荷將倒入 C_N 內，且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{C_N - \overline{C_N}}{C_N + \overline{C_N}} = V_{REF} \frac{C_N - \overline{C_N}}{C_{tot}} \quad (3.1)$$

由式 (3.1) 可以看出，由於比較器正端接地，所以其數位化 $V_{dac(2)}$ 之方式為將比較器負端逐漸逼近至地 (0 伏特)。由於只使用單向參考電壓，所以比較器負端電壓值 $V_{dac(2)}$ 只會逐漸「遞增逼近」至地。

換言之當 C_N 小於 $\overline{C_N}$ 時，也就是 $C_N = \frac{C_{tot}}{2} - \Delta C_N$ 而 $\overline{C_N} = \frac{C_{tot}}{2} + \Delta C_N$ 時，此時比較器負端電壓值 $V_{dac(2)}$ 為負，可以被數位化處理，故我們定義這種因實際電容較預期減少而引起的誤差量稱作「負向誤差」。

接著我們考慮另一種方向的誤差，說明如何藉由交換充電順序，使用一個參考電壓應付兩種方向的誤差量。其方式如圖 3-7 所示，該圖為圖 3-5-B 之放大，可以發現其電容開關之切換方式為圖 3-6 之相反方向。

在第一個步驟，也就是預先充電模式時，將開關 S_x 導通，於是比較器負端構成一個負回授，由於虛短路 (Virtual short) 的關係，此時比較器負端電壓 $V_{dac(1)}$ 為 0。此時設定各參與誤差計算步驟之電容，其下板開關之位置如圖 3-7 之 Step.1 所示。和之前的步驟不同，我們在此時先對 C_N 進行充電。

第二步驟為電荷重佈模式，關閉開關 S_x ，於是比較器負端之電荷將會進行電荷重佈。同時將各參與誤差計算步驟之電容，其下板開關之位置，切換為和 Step.1 完全反向的位置，如圖 3-7 之 Step.2 所示。此時則將先前累積於 C_N 內之電荷倒入 $\overline{C_N}$ 中，且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{\overline{C_N} - C_N}{\overline{C_N} + C_N} = V_{REF} \frac{\overline{C_N} - C_N}{C_{tot}} \quad (3.2)$$

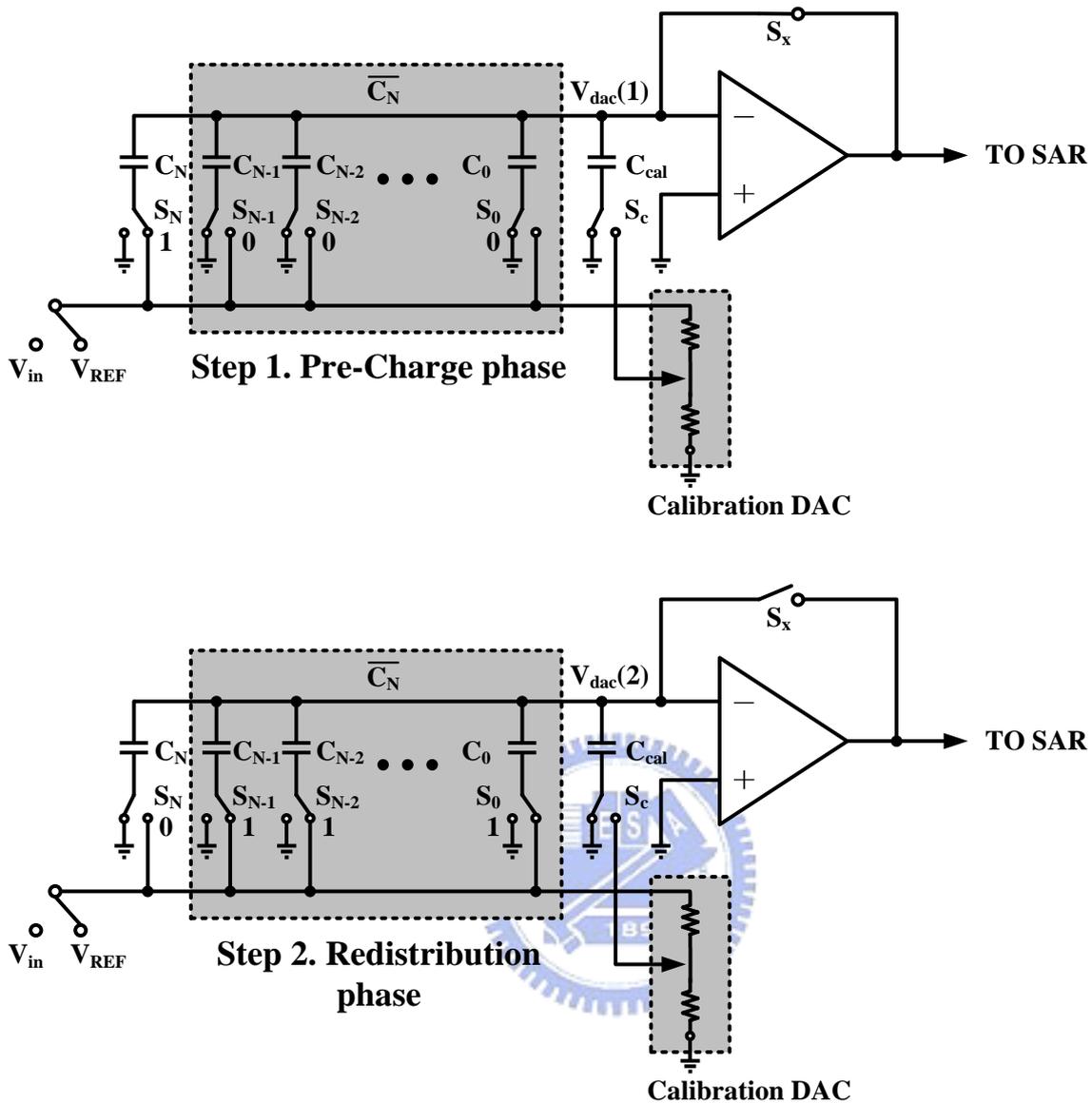


圖 3-7 以改良的由高至低演算法找出「正向誤差」的方式

由式 (3.2) 可以看出此時 $V_{dac(2)}$ 與式 (3.1) 之方向相反，這表示我們的確可以藉由交換充放電電容的順序，得到兩個方向相反的 $V_{dac(2)}$ 以應對兩種不同方向的誤差量。

故當 C_N 大於 $\overline{C_N}$ 時，也就是 $C_N = \frac{C_{tot}}{2} + \Delta C_N$ 而 $\overline{C_N} = \frac{C_{tot}}{2} - \Delta C_N$ 時，比較器負端電壓值 $V_{dac(2)}$ 為負，可以被數位化處理，故我們定義這種因實際電容較預期增加而引起的誤差量稱作「正向誤差」。

由以上推導步驟得知，我們可以藉由交換預先充電的電容之方式，使電荷重佈後的剩餘電壓 $V_{dac(2)}$ 在式 (3.1) 與 (3.2) 中互為反向的。這表示不論正、負的電容誤差量，我們都可以僅使用單一參考電壓完成數位化之動作，而代價是多付出一次的校正週期。

多付出一個校正週期，由於此種校正方式僅需要在開機時、或是導通 reset 按鈕時才動作一次，所以並不會使正常轉換模式時的週期數增加，故不會導致取樣率 (Sample rate ; Conversion rate ; Bit rate) 減少。而在誤差計算模式時，多出來的週期對於人類的感覺而言，僅止於眨眼瞬間 (約幾毫秒，取決於時脈速度) 的時間。

而僅使用單一參考電壓的好處卻有很多，我們可以利用簡單的電路來產生這個參考電壓，而不需要尋找能提供「精準對稱」之參考電壓的精密儀器，可以大幅節省晶片的測試以及操作成本，且增加了晶片實作的可能性。

3.4. 誤差計算模式時的改良

發現了使用交換電容充放電順序，藉以使用單一參考電壓數位化正、負兩種誤差量的方式後，我們接著還要考慮一些未解決的問題，將前人架構 [15,16,17] 展開來看，如圖 3-8 所示。

要改良的第一點為「以地 (0 伏特) 當作預先充電與逼近基準」，圖 3-8 之架構中，在第二章提到開關 S_x 會有漏電流疑慮，限制了誤差計算模式的可數位化範圍。這點改良將會在 3.4.1 節中做詳細討論。

第二點為副數位類比轉換器陣列 (Sub DAC) 與校正用數位類比轉換器陣列 (Calibration DAC) 之構成，我們希望能以二進位加權式電容陣列取代高耗能的電阻串架構完成，以及討論到切換電容下板極開關的方式。在 3.4.2

節中將會做詳細討論。

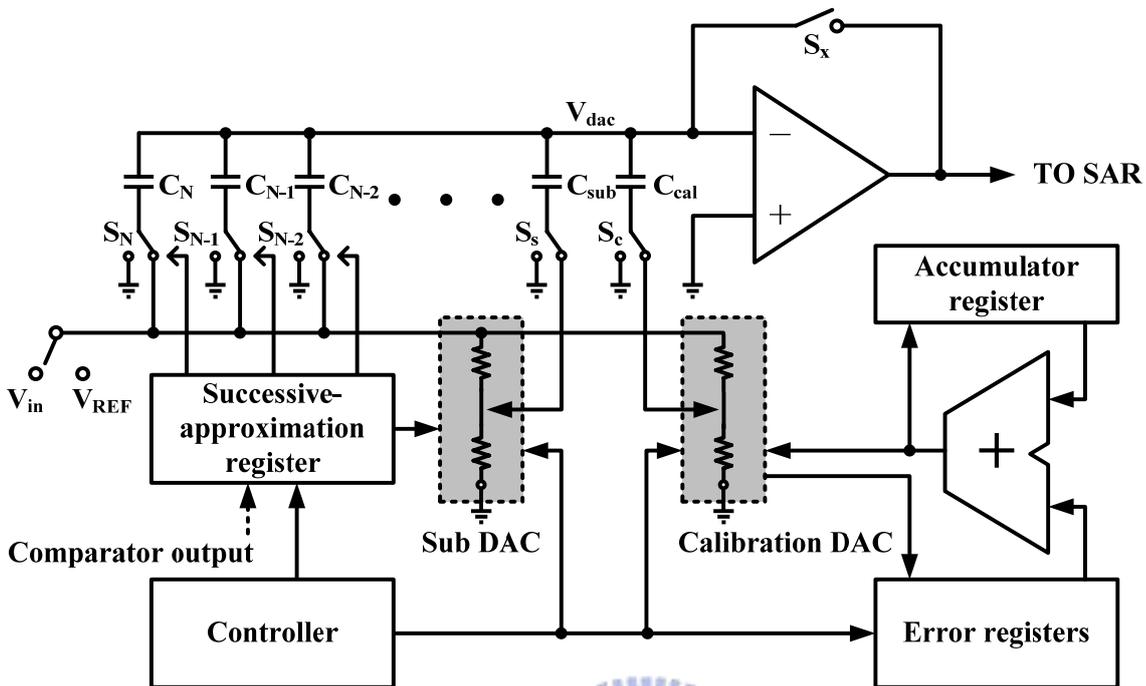


圖 3-8 傳統的由高至低校正法架構[15,16,17]

最後於 3.6 節中，我們將會整合上述討論之結果，提出一種新穎的用於誤差計算模式時之校正演算法，並且詳細推導此種新穎的校正演算法之各步驟。

3.4.1. 以參考電壓當預先充電與逼近基準

如圖 3-8 所示，之前的誤差計算模式時，比較器的正端接地（0 伏特），所以比較器的負端是由一個負電壓向地逼近，以完成將比較器負端之電壓數位化的步驟。

由於在標準 CMOS 製程中，N 型電晶體的本體極（Body）部分是接到晶片中的最低電位，也就是地（0 伏特）。若比較器負端經由上述之誤差計算演算法出現了一個負電壓，假若該負電壓的值太大，則開關 S_x 之 N 型電

晶體可能會有漏電路徑出現。

這路徑是由 N 型電晶體集極端 (Drain) 或是源極端 (Source) 往本體極 (Body) 的漏電路徑，當集極端 (Drain) 或是源極端 (Source) 負的過多，與本體極 (Body) 之間的 PN 接面將會慢慢導通，形成一個漏電路徑。如此會造成多餘的電荷由本體極 (Body) 流入汲極端 (Drain) 或是源極端 (Source)，進而影響了比較器負端的電壓值。

所以這限制了我們所能計算的電容誤差量。若是電容誤差較大，表示經由校正演算法後，我們會得到一個更負的電壓出現在比較器負端，然而這負的電壓卻會受到漏電路徑的影響，使我們能校正的電容誤差量受限於 N 型電晶體之體極與集、源極中 PN 接面的導通電壓。

反推比較器負端出現負電壓的原因，可以發現是因為我們在校正演算法中，在預先充電模式時，將比較器負端連接到地 (0 伏特) 所造成的。為了保持電荷不變，所以在經過電荷重佈模式後，比較器負端仍然會是一個接近 0 伏特的電壓。

而我們將比較器正端接地，所以比較器負端之電壓若要數位化，則只能向 0 伏特逼近，也就是只有負電壓、出現在比較器負端時才能數位化。

因為我們希望比較器負端不會有負電壓出現，也就是不希望我們的演算法所能應付的電容誤差量，受限於電晶體中 PN 接面的導通電壓，故我們將誤差計算模式時的電路做了一些改良，如圖 3-9 所示。

我們加入以單一 P 型電晶體完成的開關 S_v ，在預先充電模式時，將開關 S_v 導通，以參考電壓 V_{REF} 當作預先充電時的電壓基準，這也表示在經過電荷重佈模式時，比較器負端的電壓會是個在 V_{REF} 上下的電壓，取決於當時計算的電容誤差量比標準值多或低。

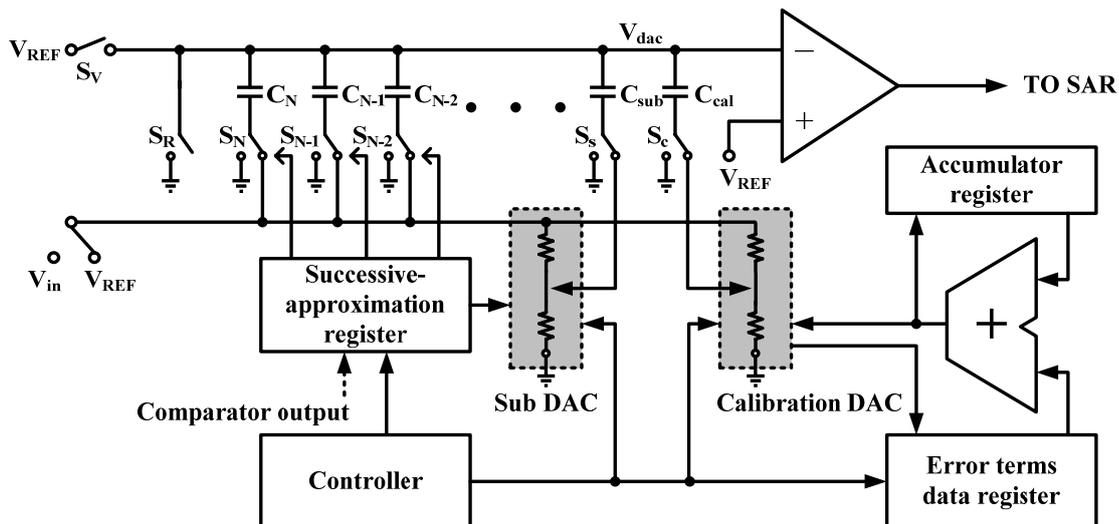


圖 3-9 改良後的誤差計算模式電路

為了應付預先充電模式的改變，比較器的正端在誤差計算模式時被接到參考電壓 V_{REF} ，也就是說比較器負端小於參考電壓 V_{REF} 的值，才能藉由逐步逼近至比較器正端完成數位化。

由傳輸閘構成的開關 S_R 則是取代開關 S_x 的另一項功能：將比較器兩端短路做電荷重置的功能，我們在重置模式時導通開關 S_R ，使比較器負端接地，先放掉所有先前步驟累積在比較器負端的電荷。

改良前的比較器負端電壓示意圖如圖 3-10 所示。參考電壓 V_{REF} 與地 GND 之間，是開關 S_x 之電晶體絕不會漏電的安全範圍，但是在此段範圍的比較器負端之電壓卻無法被利用，也就是它無法被數位化。

我們僅能利用小於 GND 的一小段電壓，在此範圍內可以逐步逼近至比較器正端之 GND ，也就是可以數位化。但是此段電壓卻會受到開關 S_x 之電晶體 PN 接面漏電流之限制。

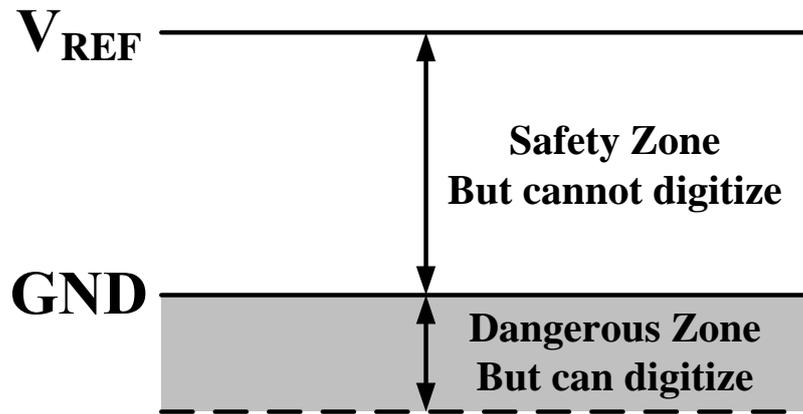


圖 3-10 改良前的比較器負端電壓示意圖

改良後的比較器負端電壓示意圖如圖 3-11 所示。參考電壓 V_{REF} 與地 GND 之間，是開關 S_x 之電晶體絕不會漏電的安全範圍，我們利用此段範圍的比較器負端之電壓，將它逐步上升逼近至 V_{REF} 完成數位化。

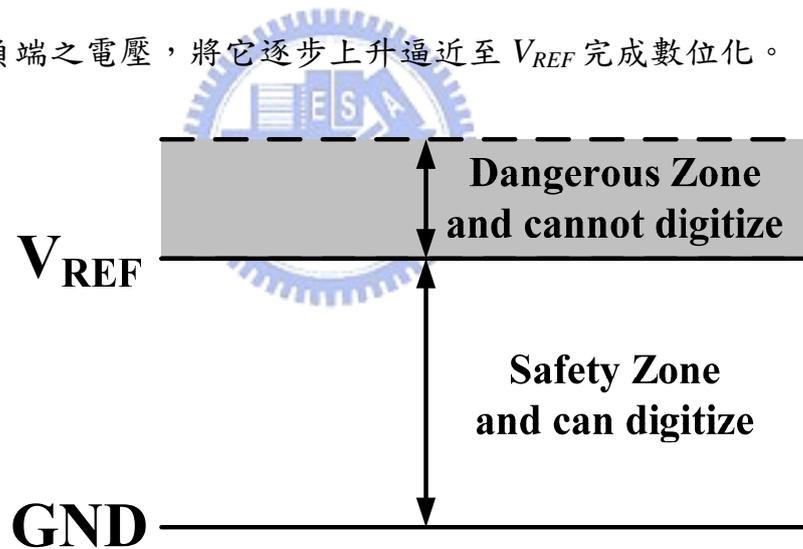


圖 3-11 改良後的比較器負端電壓示意圖

超過 V_{REF} 是可能會使電晶體 PN 接面導通的危險範圍，由單一 P 型電晶體構成之開關 S_v 和由傳輸閘 TG 構成之開關 S_R 都有漏電的危險。但是在此區段內的電壓本來就無法逼近至比較器正端之 V_{REF} 位準，所以即使漏電流出現也不會對數位化值有任何影響，此為我們改良之要點一。

3.4.2. 全電容式的數位類比轉換器與新開關切換方式

在完成校正演算法的同時，我們希望能同時達到超低耗能的需求，所以我們參照前人之作法[21]，將架構中所有數位類比轉換器陣列，都改良成二進位加權電容式之架構，其在誤差計算模式時之類比部分電路如圖 3-12 所示。

我們將副數位類比轉換器 (Sub DAC)、與校正用數位類比轉換器 (Calibration DAC) 都以二進位加權式電容架構，取代原本之電阻串式架構。且以單位電容 C_{sub} 與 C_{cal} 分別連接之，如此可以有效降低數位類比轉換器所消耗的功耗，在實行演算法的同時也可以兼顧低耗能的需求。

我們同時移除開關 S_s 與 S_c ，讓 Sub DAC 和 Calibration DAC 之開關切換，在誤差計算模式與接下來的轉換模式時都能同步。

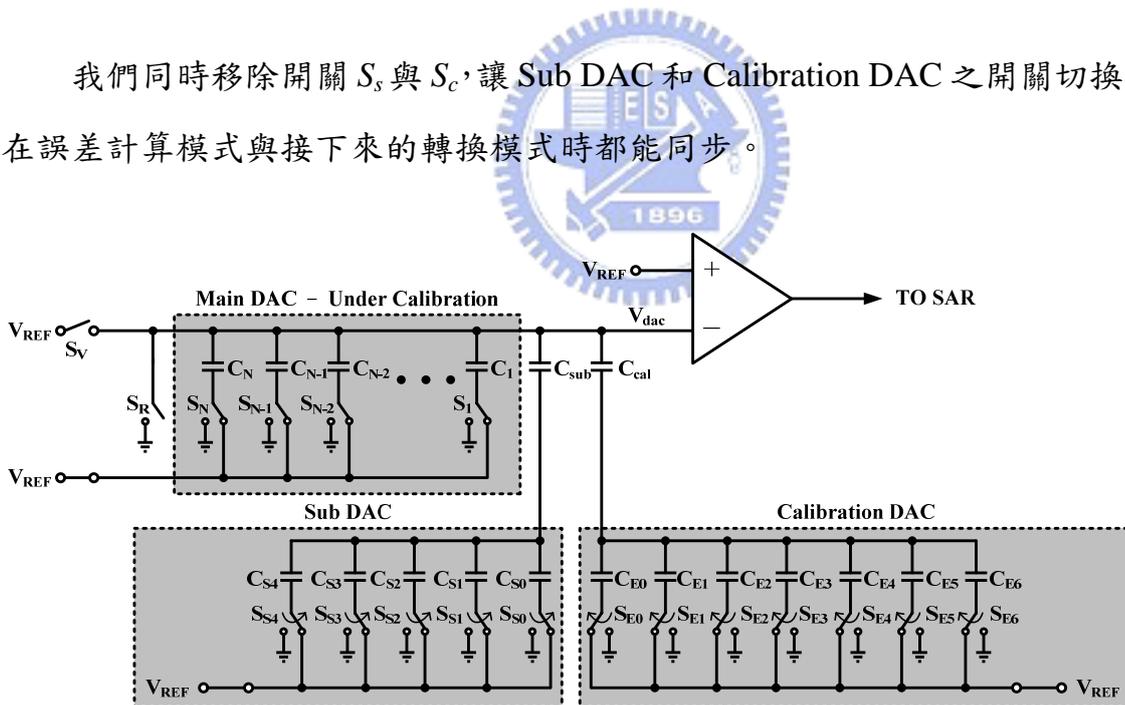


圖 3-12 再次改良後的誤差計算模式電路其類比電路之部分

移除開關 S_s 與 S_c 後，Sub DAC 與 Calibration DAC 在誤差計算模式時，無論切換到 1 (圖 3-13)、或 0 (圖 3-14)，都是整體 Sub DAC 與 Calibration

DAC 同步動作。也就是無論在誤差計算模式或是接下來的正常轉換模式，由電容 C_{sub} 與 C_{cal} 看入的阻抗皆相同。即是我們在誤差計算模式時，所見之等效電容性負載，完全模擬正常轉換時的等效電容性負載，以期望誤差計算模式能夠更精準。

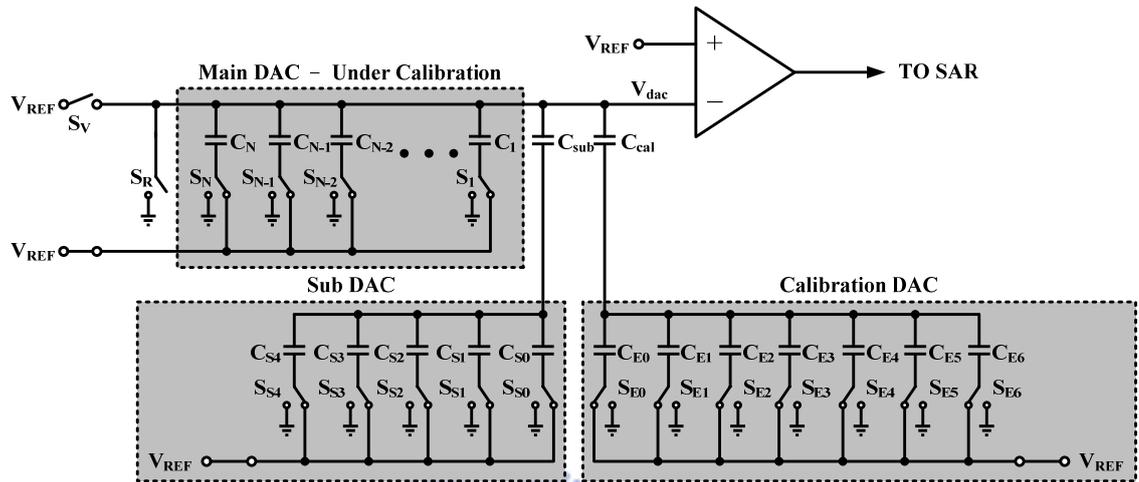


圖 3-13 將 Sub DAC 與 Calibration DAC 切換至「1」

如圖 3-13 所示，當 Sub DAC 與 Calibration DAC 切換至「1」時，我們將 Sub DAC 與 Calibration DAC 中，所有的電容下板極都同步連接到 V_{REF} 。

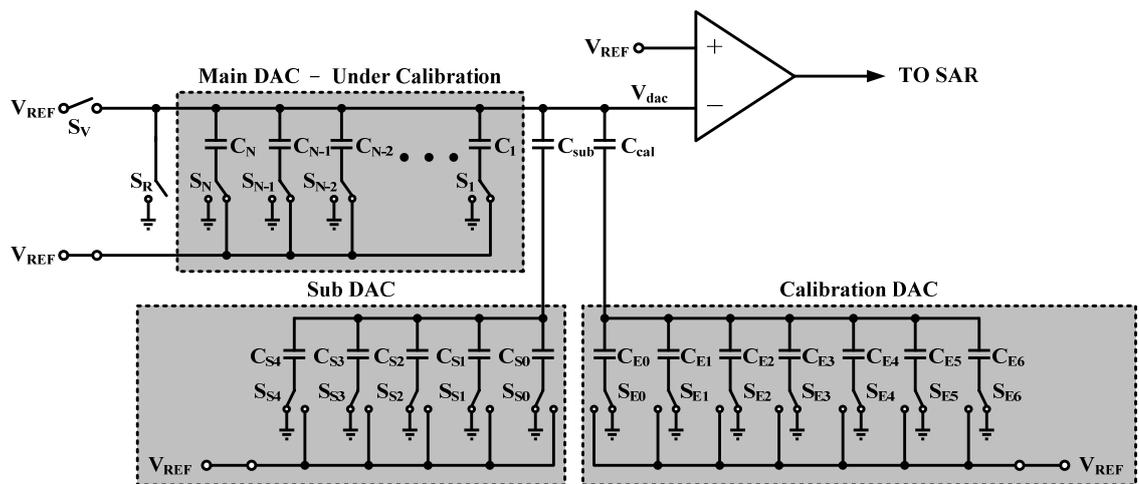


圖 3-14 將 Sub DAC 與 Calibration DAC 切換至「0」

反之如圖 3-14 所示，當 Sub DAC 與 Calibration DAC 切換至「0」時，我們將 Sub DAC 與 Calibration DAC 中，所有的電容下板極都同步連接到地端。

以上為我們對誤差計算模式時所做的改良，在接下來的段落中，我們將仔細介紹與推導在新誤差計算模式時各狀態下的電壓與電容之誤差量的關係。並且透過正向校正 C_N 與 C_{N-1} 來講解校正步驟，同時經由說明負向校正 C_N 之步驟以證明可以使用單一參考電壓就應付正向與負向的誤差量。

3.5. 使用單一參考電壓完成誤差補償的方法

使用單一參考電壓完成誤差計算的方法被提出後，接著我們要考慮的就是該如何使用單一參考電壓完成誤差補償的方法。

先前的作法是透過 Calibration DAC 完成誤差補償，也就是在邊轉換同時邊將相對應的電容誤差量輸入 Calibration DAC，如此便可以在比較器負端得到一個表示該電容誤差量的類比電壓。

使用此種作法有兩個問題，第一是此電容誤差量經過 Calibration DAC 進行類比數位轉換後儲存，而又透過數位類比轉換回到比較器負端，這過程中 Calibration DAC 之誤差就出現了兩次。Calibration DAC 本身就不是完美精確的數位類比轉換器陣列，然而我們只能在有限的 Calibration DAC 精準度下完成校正，所以不希望它的誤差被累積兩次。

第二則是它只能「單向校正」，前人以電阻串完成 Calibration DAC，電阻串本身就是利用分壓原理將 V_{REF} 與 0 之間，分壓出各種數位刻度，故不在 V_{REF} 與 0 之間的刻度無法被分出。也就是說，分壓出的數位值永遠為正，僅能相加於比較器負端；不可能分壓出一個負電壓於比較器負端扣除之。這

個缺點就算換成二進位加權式電容陣列仍然存在。

我們提出了改良這種問題的方法，也就是「實行全數位校正」。以數位方式找出電容誤差量、以數位方式補償電容之誤差量。

如今我們不再邊轉換邊透過 Calibration DAC 補償誤差量，而是透過一個累加器，在轉換同時累積此組編碼對應的電容誤差量，在轉換後透過一組加法器一次補償。

為了要完成上述的動作，我們必須將「二補數」的概念引入電路中。將經由「負向誤差」演算法找出的值轉換成二補數系統。

二補數是一種 (2's complement) 用二進位表示有號數的方法，也是一種將數字的正負號變號的方式，常在計算機科學中使用。

一個數字的二補數就是將該數字作位元反相運算 (即一補數)，再將結果加 1，即為該數字的二補數。在二補數系統中，一個負數就是用其對應正數的二補數來表示。

二補數系統的最大優點是可以在加法或減法處理中，不需因為數字的正負而使用不同的計算方式。只要一種加法電路就可以處理各種有號數加法，而且減法可以用一個數加上另一個數的二補數來表示，因此只要有加法電路及二補數電路即可完成各種有號數加法及減法，在電路設計上相當方便。

另外，二補數系統的 0 只有一個表示方式，這點和一補數系統不同 (在一補數系統中，0 有二種表示方式)，因此在判斷數字是否為 0 時，只較比對一個不同的條件即可。

如此可知，二補數系統對於我們電路是非常適合的，首先它只需要一組硬體就可以完成有號數的加法與減法，可以有效減少數位電路的面積與功耗，而二補數轉換器只要利用簡單的半加器 (Half adder) 就可以完成。

而由於二補數只有一種 0 的表示方式的特性，我們只要將「正向誤差」與「負向誤差」作「OR」，就可以得到真正有效誤差量。只要在接下來的步驟中注意「符號延展 (Sign extension)」之規則即可。

符號延展 (Sign extension) 是將一個特定位元二補數系統的數字要以較多位元表示時 (例如，將 4 個位元的數複製到另一個 8 個位元的數)，所有增加的高位元都要填入原數字的符號位元 (即 MSB 位元)。換言之，對於正數，我們補「0」完成符號延展；對於負數，我們則補「1」完成符號延展。

使用全數位方式校正時，校正後的編碼會在最終轉換完成後，經由一個加法器完成最後的輸出。如此 Calibration DAC 之誤差量只會出現一次；且在校正過程中，Calibration DAC 之該條路徑所看入的阻抗始終保持一定 (接地)，並不會受到誤差補償量的影響，去改變 Calibration DAC 之路徑所看入的阻抗。

同時也因為全數位校正與導入二補數系統的關係，只要一個參考電壓就可以完成數位化誤差與數位化誤差補償的動作。先藉由交換電容預先充電的順序找出正向與負向誤差，再將負向誤差以二補數系統表示成負數，且和正向誤差以「OR」之操作結合成真正有效誤差，傳遞給後端數位電路做累加與除二等等步驟，最終以一組加法器在轉換後一併補償誤差量。真正做到以一個參考電壓完成誤差計算與誤差補償。

3.6. 所提出之新穎的誤差計算模式

綜合以上之改良，我們以由高至低位元 (Top-down) 校正法為核心，提出了一種新穎的誤差計算演算法。以下我們將以計算電容 C_N 、 C_{N-1} 之誤差量、與計算另一方向的 C_N 之誤差量做範例，講解誤差計算之步驟。在此將提出之待校 SAADC 設定成十二位元，待校正數位類比轉換器 (Main DAC)

為七位元 (N=7)、副數位類比轉換器 (Sub DAC) 為五位元、校正用數位類比轉換器 (Calibration DAC) 為七位元。

3.6.1. 計算待校電容陣列中 MSB 電容負向誤差之方法

在此節以計算 MSB 電容 C_7 之誤差作例子，並假設 C_7 有因非理想製程導致其值下降，亦即其具「負向誤差」。

以此演算法完成一個電容的誤差計算至少需要三個主要步驟，第一個步驟為預先充電模式 (Pre-charge phase)，第二個步驟為電荷重佈模式 (Charge redistribution phase)。

第三個步驟起則是將 $V_{dac(2)}$ 數位化的 SAADC 連續近似逼近轉換模式，此步驟之長度則視 Calibration DAC 之位元數決定。我們在此使用七個位元的 Calibration DAC，故需要七個時脈週期將誤差數位化。此外還需要一個資料寫入週期，在此週期內判斷是否要將數位化後的值轉換成二補數系統並寫入，所以共總需八個週期完成 $V_{dac(2)}$ 數位化與寫入暫存器之步驟。

先定義參數如下：

$$Z_{sub} = \frac{C_s \cdot \sum_{i=0}^4 C_s(i)}{C_s + \sum_{i=0}^4 C_s(i)} \quad \text{表示由 } C_s \text{ 串聯 Sub DAC 的等效電容值，其中 } C_s$$

是連接 Main DAC 與 Sub DAC 之間的單位電容。而 Sub DAC 是五位元的二進位加權式電容陣列，其各元件間之關係為 $C_s(i+1) = 2C_s(i)$ ，(i=0,1,2,3)，而 C_{s0} 為單位電容。

$$Z_{cal} = \frac{C_c \cdot \sum_{i=0}^6 C_E(i)}{C_c + \sum_{i=0}^6 C_E(i)}$$

表示由 C_c 串聯 Calibration DAC 的等效電容值，其

中 C_c 是連接 Main DAC 與 Calibration DAC 之間的單位電容。而 Calibration DAC 是七位元的二進位加權式電容陣列， C_{E0} 為單位電容，其各元件間之關係為 $C_E(i+1) = 2C_E(i)$ ， $(i=0,1,2,\dots,5)$ 。

$C_{tot} = \sum_{i=1}^7 C(i) + Z_{sub}$ 表示所有參與誤差計算步驟之電容值總和，包含待校正電容陣列 (Main DAC) 與 C_s 看入之串聯等效電容 Z_{sub} 。Main DAC 是七位元的二進位加權式電容陣列，其中各元件間之關係為 $C(i+1) = 2C(i)$ ， $(i=1,2,\dots,6)$ ，而 C_1 為單位電容。因 Z_{sub} 參與誤差計算步驟，故將其包含在參數 C_{tot} 之中。

$C_{SUM} = C_{tot} + Z_{cal}$ 表示比較器負端看入之「所有」等效電容值之總和，包含 C_{tot} 與 C_c 看入之串聯等效電容 Z_{cal} ，因 Z_{cal} 本身不參與誤差計算步驟，在校正步驟中始終保持固定位置，故將其獨立於參數 C_{tot} 之外。

$C_7 = \frac{C_{tot}}{2} - \Delta C_7$ 表示 MSB 電容之實際值有了大小為 ΔC_7 之誤差量，MSB 電容之理想值，為參與誤差計算步驟之電容陣列中，所有電容值總和之一半。

$\overline{C_7} = \frac{C_{tot}}{2} + \Delta C_7$ 表示除了 MSB 電容之外，參與誤差計算步驟的電容陣列中，剩下的電容值總和。

計算 MSB 電容 C_7 之負向誤差的方式，如圖 3-15 所示：

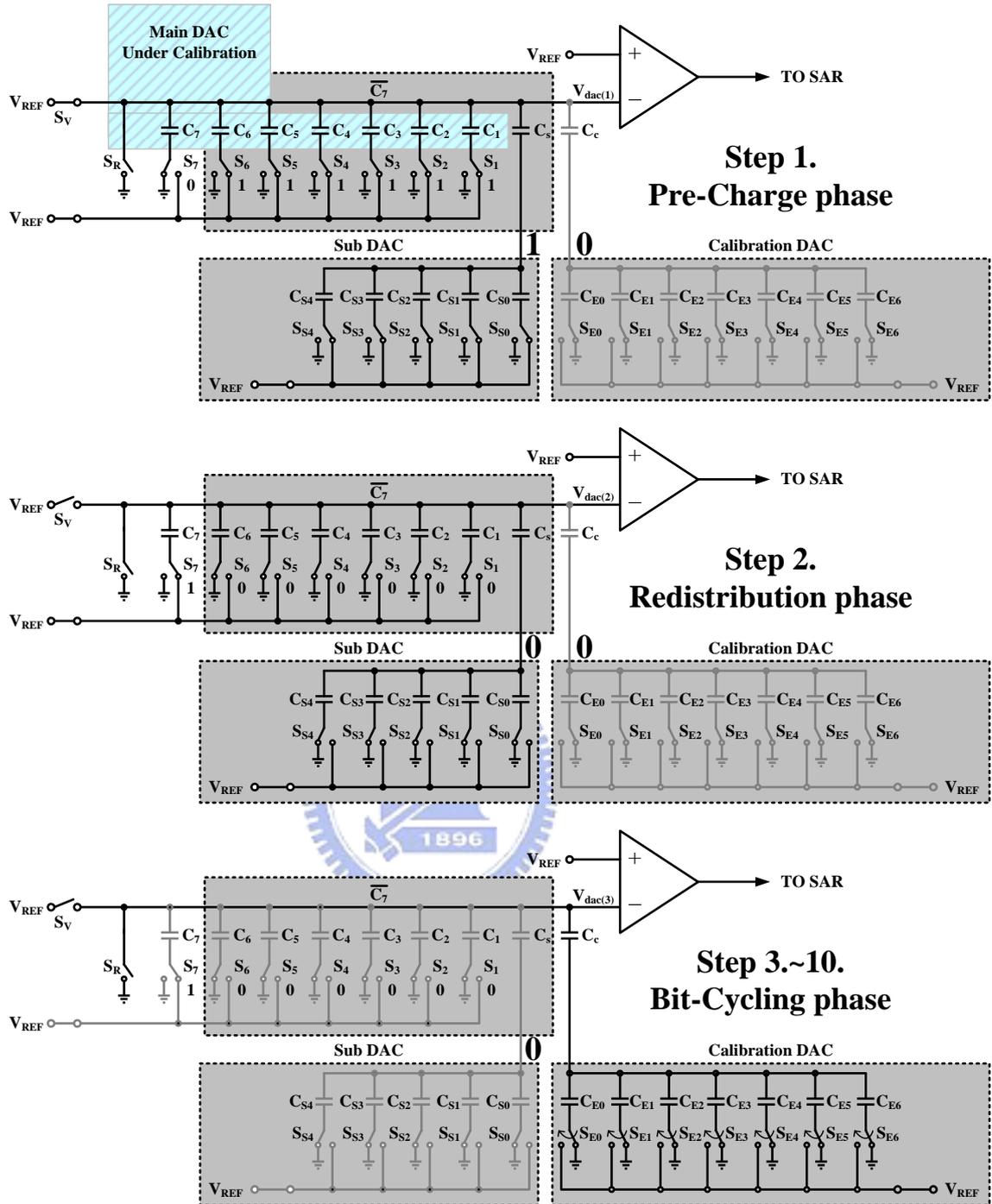


圖 3-15 以提出之誤差計算演算法計算 C₇ 之負向誤差的方式

在第一個步驟，也就是預先充電模式時，將開關 S_v 導通，於是比較器負端連接至參考電壓 V_{REF}，此時比較器負端電壓 V_{dac(1)} 為 V_{REF}。此時設定各參與誤差計算步驟的電容，其下板開關之位置如圖 3-15 之 Step.1 所示。

第二步驟為電荷重佈模式，關閉開關 S_v ，浮接比較器負端，於是比較器負端之電荷將進行電荷重佈。同時將各參與誤差計算步驟的電容，其下板開關之位置，切換為和 Step.1 完全反向之位置，如圖 3-15 之 Step.2 所示。且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{2C_7 + Z_{cal}}{C_7 + \overline{C_7} + Z_{cal}} \quad (3.3)$$

接著第三個步驟開始則是轉換模式，設定各參與誤差計算步驟的電容，其下板開關之位置保持在 Step.2 之位置，將比較器負端之電壓 $V_{dac(2)}$ 逐步逼近至 V_{REF} ，如圖 3-15 之 Step.3~10 所示。

定義數位化之運算子為 $D(x)$ ，符號 D 為表示一個「數位化」之動作的算符 (Operator)，如 $D(V_s)$ 則是表示將類比電壓 V_s 數位化。

在 Step.3~10 數位化 $V_{dac(2)}$ 之結果可以表示成：

$$D(V_{dac(2)}) = D(V_{REF} - V_{dac(2)}) = D\left(V_{REF} \frac{\overline{C_7} - C_7}{C_7 + \overline{C_7} + Z_{cal}}\right) = D\left(V_{REF} \frac{\overline{C_7} - C_7}{C_{SUM}}\right) \quad (3.4)$$

由上式 (3.4) 可以觀察到，當 C_7 與 $\overline{C_7}$ 相等時，也就是 ΔC_7 為零時，電壓 $V_{dac(2)}$ 數位化後之為 0，此時電容 C_7 為理想值且無誤差。且 C_7 若小於 $\overline{C_7}$ 則可以數位化，故定義為負向誤差。

加入二補數系統的概念，將式 (3.4) 轉化成二補數系統後寫成：

$$|D(V_{dac(2)})| = D\left(V_{REF} \frac{-2\Delta C_7}{C_{SUM}}\right) = D\left\{V_{REF} \frac{2}{C_{SUM}} \left(C_7 - \frac{C_{tot}}{2}\right)\right\} \quad (3.5)$$

為了推導 $|D(V_{dac(2)})|$ 與 C_7 之誤差量的關係式，將式 (3.5) 重新整理後，重新表示成如下之型式：

$$\left|D(V_{dac(2)})\right| = D\left\{V_{REF} \frac{2}{C_{SUM}} \left(C_7 - \frac{C_{tot}}{2}\right)\right\} = 2 \cdot D\left\{V_{REF} \left(\frac{C_7}{C_{SUM}} - \frac{C_{tot}}{2C_{SUM}}\right)\right\} \quad (3.6)$$

由式 (3.6) 可知，加入了 Calibration DAC 後，比較器負端多了 Z_{cal} 項，該項為一個小於 1 但是接近 1 的數值。故在定義 C_7 之誤差時，將其定義成「相對」於比較器負端電容值總和 C_{SUM} 之誤差。式 (3.6) 顯示這結果和之前是一樣的，則當 $2C_7 = C_{tot}$ 時則無誤差，此值為 0。

定義 C_7 誤差數位化後為 D_{E7} ，表示成：

$$D_{E7} = D\left\{V_{REF} \left(\frac{C_7}{C_{SUM}} - \frac{C_{tot}}{2C_{SUM}}\right)\right\} \quad (3.7)$$

則由式 (3.6) 與 (3.7) 可以得到兩者之關係：

$$\left|D(V_{dac(2)})\right| = 2D_{E7} \quad (3.8)$$

$$D_{E7} = \frac{1}{2} \left|D(V_{dac(2)})\right| \quad (3.9)$$

故由式 (3.9) 可知，若要由數位化、且轉換成二補數系統表示法後的 $\left|D(V_{dac(2)})\right|$ 找出 C_7 之誤差量，所需要的運算僅僅是把數位碼 $\left|D(V_{dac(2)})\right|$ 右移一位即可。

3.6.2. 計算待校電容陣列中 MSB₋₁ 電容負向誤差之方法

接著進入計算 MSB₋₁ 電容 C_6 誤差量的步驟，在這步驟中必須排除已完成誤差計算的電容 C_7 ，對該次誤差計算的影響。也就是在預先充電、電荷重佈模式、以及數位化轉換模式時，將電容 C_7 之下板開關位置保持一定，不論固定接地 (0) 或是固定接 V_{REF} (1) 皆可。

其計算 MSB₋₁ 電容 C_6 之負向誤差的方式，如圖 3-16 所示：

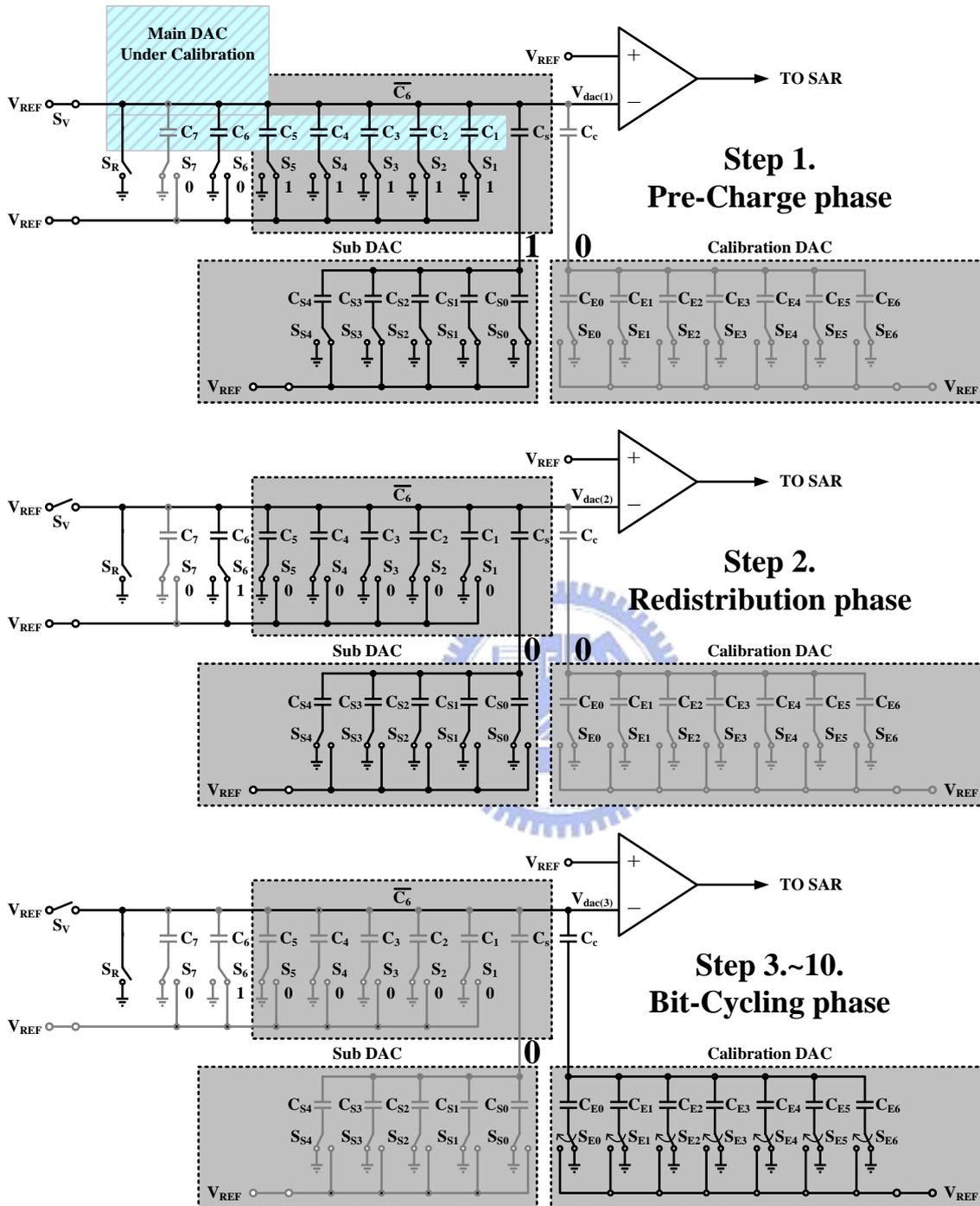


圖 3-16 以提出之誤差計算演算法計算 C_6 之負向誤差的方式

參數定義和前一個小節相同，故在此不多加贅述，加入計算 C_6 之誤差量時的定義參數：

$C_7 = \frac{C_{tot}}{2} - \Delta C_7$ 表示 MSB 電容之實際值有了大小為 ΔC_7 之誤差量，

MSB 電容之理想值，為參與誤差計算步驟之電容陣列中，所有電容值總和之半。

$C_6 = \frac{C_{tot}}{4} - \Delta C_6$ 表示 MSB_{.1} 電容之實際值有了大小為 ΔC_6 之誤差量，

MSB_{.1} 電容之理想值，為參與誤差計算步驟之電容陣列中，所有電容值總和之 $\frac{1}{4}$ 。

$\overline{C_6} = \frac{C_{tot}}{4} + \Delta C_7 + \Delta C_6$ 表示除了 MSB 電容與 MSB_{.1} 電容之外，參與誤差

計算步驟的電容陣列中，剩下的電容值總和。

在第一個步驟，也就是預先充電模式時，將開關 S_v 導通，於是比較器負端連接至參考電壓 V_{REF} ，此時比較器負端電壓 $V_{dac(1)}$ 為 V_{REF} 。此時設定各參與誤差計算步驟的電容，其下板開關之位置如圖 3-16 之 Step.1 所示。

第二步驟為電荷重佈模式，關閉開關 S_v ，浮接比較器負端，於是比較器負端之電荷將進行電荷重佈。同時將各參與誤差計算步驟的電容，其下板開關之位置，切換為和 Step.1 完全反向之位置，如圖 3-16 之 Step.2 所示。且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{C_7 + 2C_6 + Z_{cal}}{C_7 + C_6 + \overline{C_6} + Z_{cal}} \quad (3.10)$$

接著第三個步驟開始則是轉換模式，設定各參與誤差計算步驟的電容，其下板開關之位置保持在 Step.2 之位置，將比較器負端之電壓 $V_{dac(2)}$ 逐步逼近至 V_{REF} 。如圖 3-16 之 Step.3~10 所示。

定義數位化之運算子為 $D(x)$ ，符號 D 為表示一個「數位化」之動作的算符 (Operator)，如 $D(V_s)$ 則是表示將類比電壓 V_s 數位化。

在 Step.3~10 數位化 $V_{dac(2)}$ 之結果可以表示成：

$$D(V_{dac(2)}) = D(V_{REF} - V_{dac(2)}) = D\left(V_{REF} \frac{\overline{C_6} - C_6}{C_7 + C_6 + \overline{C_6} + Z_{cal}}\right) = D\left(V_{REF} \frac{\overline{C_6} - C_6}{C_{SUM}}\right) \quad (3.11)$$

由上式 (3.11) 可以觀察到，當 C_6 與 $\overline{C_6}$ 相等時，也就是 ΔC_6 為零時，電壓 $V_{dac(2)}$ 數位化後之為 0，此時電容 C_6 為理想值且無誤差。且 C_6 若小於 $\overline{C_6}$ 則可以數位化，故定義為負向誤差。

加入二補數系統的概念，將式 (3.11) 轉化成二補數系統後，加以整理表示成：

$$\begin{aligned} |D(V_{dac(2)})| &= D\left(V_{REF} \frac{C_6 - \overline{C_6}}{C_{SUM}}\right) = D\left(V_{REF} \frac{-\Delta C_7 - 2\Delta C_6}{C_{SUM}}\right) \\ &= D\left\{ \frac{V_{REF}}{C_{SUM}} \left[\left(C_7 - \frac{C_{tot}}{2} \right) + 2 \left(C_6 - \frac{C_{tot}}{4} \right) \right] \right\} \\ &= D\left\{ V_{REF} \left[\left(\frac{C_7}{C_{SUM}} - \frac{C_{tot}}{2C_{SUM}} \right) + 2 \left(\frac{C_6}{C_{SUM}} - \frac{C_{tot}}{4C_{SUM}} \right) \right] \right\} \end{aligned} \quad (3.12)$$

由式 (3.12) 可知，加入了 Calibration DAC 後， Z_{cal} 項依然存在，該項為一個小於 1 但是接近 1 的數值。故在定義 C_7 與 C_6 之誤差時，將其定義成「相對」於比較器負端電容值總和 C_{SUM} 之誤差。式 (3.12) 顯示這結果和之前是一樣的，當則 $2C_7 = C_{tot}$ 且 $4C_6 = C_{tot}$ 時則無誤差，此值為 0。

定義 C_6 誤差數位化後為 D_{E6} ，表示成：

$$D_{E6} = D\left\{ V_{REF} \left(\frac{C_6}{C_{SUM}} - \frac{C_{tot}}{4C_{SUM}} \right) \right\} \quad (3.13)$$

則由式 (3.7) 與 (3.12)、(3.13) 可以得到三者之關係：

$$\left|D(V_{dac(2)})\right| = 2D_{E6} + D_{E7} \quad (3.14)$$

$$D_{E6} = \frac{1}{2} \left[\left|D(V_{dac(2)})\right| - D_{E7} \right] \quad (3.15)$$

故由式 (3.15) 可知，若要由數位化、且轉換成二補數系統表示法後的 $\left|D(V_{dac(2)})\right|$ 找出 C_6 之誤差量，所需要的運算僅僅是把數位碼 $\left|D(V_{dac(2)})\right|$ ，減去 C_7 之誤差量後（以數位方式，排除 C_7 之誤差量後），再右移一位即可。

將式 (3.15) 延伸後可得負向誤差通式：

$$D_E(x) = \frac{1}{2} \left\{ \left|D[V_{dac(2)}(x)]\right| - \sum_{p=x+1}^7 D_E(p) \right\} \quad (3.16)$$

故由式 (3.16) 可知，若要由數位化、且轉換成二補數系統表示法後的 $\left|D(V_{dac(2)})\right|$ 找出所對應 x 號電容 C_x 之誤差量，需要的運算是將 x 號電容 C_x 經由誤差計算演算法，出現在比較器負端之電壓 $V_{dac(2)}$ 數位化後，且以二補數表示的數位碼 $\left|D(V_{dac(2)})\right|$ ，減去由 MSB 電容累積至 $(x+1)$ 號電容之誤差量後，再右移一位即可。

以兩種例子說明負向誤差計算的方式後，可以得到一個關於電容誤差量的通式，由此通式我們可以知道該以哪些數位元件完成其後端的計算電路。

3.6.3. 計算待校電容陣列中 MSB 電容正向誤差之方法

在先前的章節中，提出了藉由交換電容充放電順序，使用單一參考電壓就能完成誤差計算的方式。在此以計算 MSB 電容 C_7 之誤差說明其操作，如圖 3-17 所示。並假設 C_7 有因製程之非理想性導致其值上升所造成之誤差，定義該誤差為「正向誤差」。

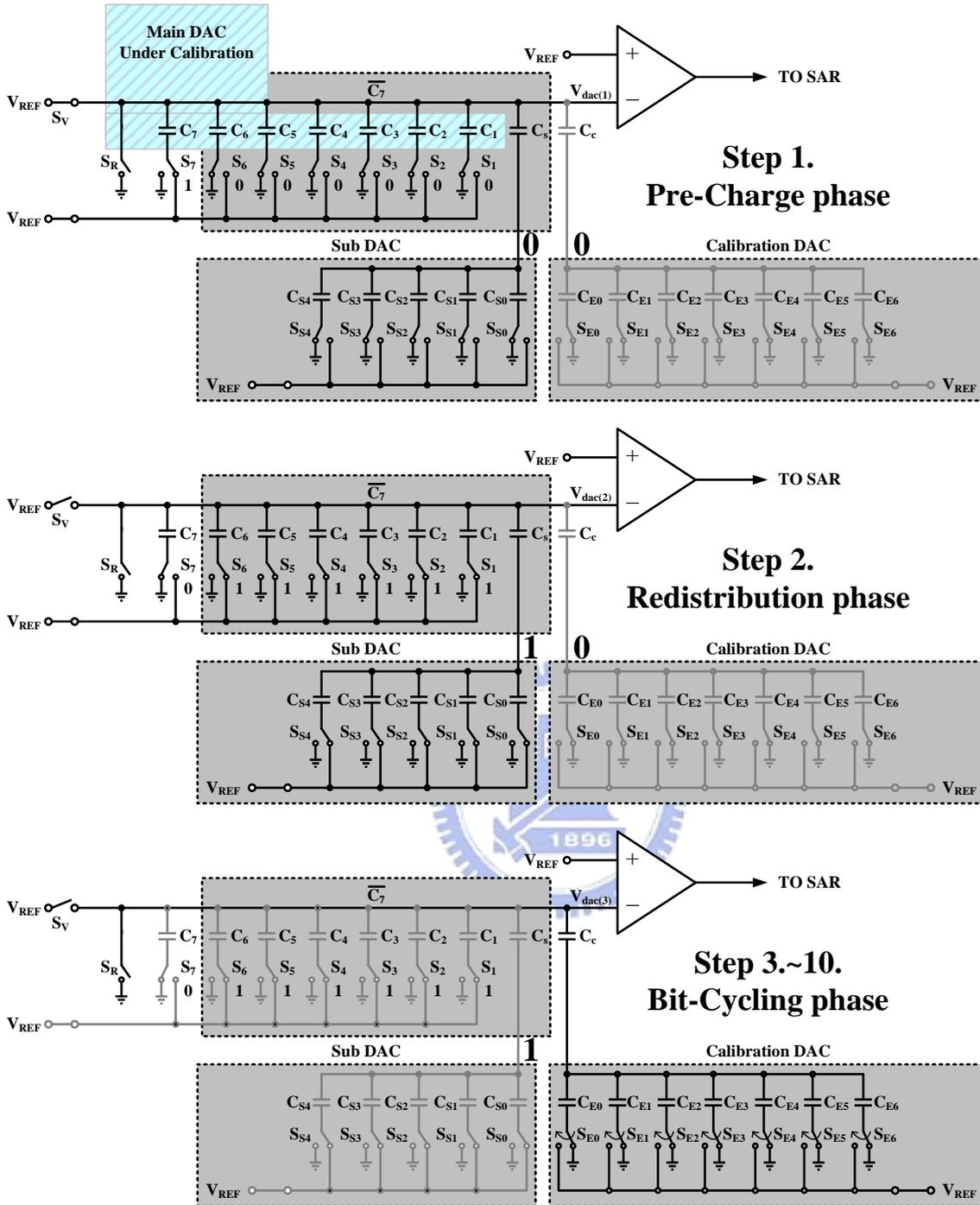


圖 3- 17 以提出之誤差計算演算法計算 C_7 之正向誤差的方式

定義與前方 3.6.1 小節不同之參數如下：

$$C_7 = \frac{C_{tot}}{2} + \Delta C_7 \quad \text{表示 MSB 電容之實際值有了大小為 } \Delta C_7 \text{ 之誤差量，}$$

MSB 電容之理想值，為參與誤差計算步驟之電容陣列中，所有電容值總和

之一半。

$\overline{C_7} = \frac{C_{tot}}{2} - \Delta C_7$ 表示除了 MSB 電容之外，參與誤差計算步驟的電容陣列中，剩下的電容值總和。

在第一個步驟，也就是預先充電模式時，將開關 S_v 導通，於是比較器負端連接至參考電壓 V_{REF} ，此時比較器負端電壓 $V_{dac(1)}$ 為 V_{REF} 。此時設定各參與誤差計算步驟的電容，其下板開關之位置如圖 3-17 之 Step.1 所示。

第二步驟為電荷重佈模式，關閉開關 S_v ，浮接比較器負端，於是比較器負端之電荷將進行電荷重佈。同時將各參與誤差計算步驟的電容，其下板開關之位置，切換為和 Step.1 完全反向，如圖 3-17 之 Step.2 所示。且得到此時比較器負端之電壓為：

$$V_{dac(2)} = V_{REF} \frac{2\overline{C_7} + Z_{cal}}{C_7 + \overline{C_7} + Z_{cal}} \quad (3.17)$$

接著第三個步驟開始則是轉換模式，設定各參與誤差計算步驟的電容，其下板開關之位置保持在 Step.2 之位置，將比較器負端之電壓 $V_{dac(2)}$ 逐步逼近至 V_{REF} 。如圖 3-17 之 Step.3~10 所示。

定義數位化之運算子為 $D(x)$ ，符號 D 為表示一個「數位化」之動作的算符 (Operator)，如 $D(V_s)$ 則是表示將類比電壓 V_s 數位化。

在 Step.3~10 數位化 $V_{dac(2)}$ 之結果可以表示成：

$$D(V_{dac(2)}) = D(V_{REF} - V_{dac(2)}) = D\left(V_{REF} \frac{C_7 - \overline{C_7}}{C_7 + \overline{C_7} + Z_{cal}}\right) = D\left(V_{REF} \frac{C_7 - \overline{C_7}}{C_{SUM}}\right) \quad (3.18)$$

由上式 (3.18) 可以觀察到，當 C_7 與 $\overline{C_7}$ 相等時，也就是 ΔC_7 為零時，電壓 $V_{dac(2)}$ 數位化後之為 0，此時電容 C_7 為理想值且無誤差。且 C_7 若大於 $\overline{C_7}$

則可以數位化，故定義為正向誤差。

因為是正向誤差，故不需要轉成二補數系統表示法，直接將式 (3.18) 整理後寫成：

$$D(V_{dac(2)}) = D\left(V_{REF} \frac{C_7 - \overline{C_7}}{C_{SUM}}\right) = D\left(V_{REF} \frac{2\Delta C_7}{C_{SUM}}\right) = D\left\{V_{REF} \frac{2}{C_{SUM}} \left(C_7 - \frac{C_{tot}}{2}\right)\right\} \quad (3.19)$$

為了推導 $D(V_{dac(2)})$ 與 C_7 之誤差量的關係式，將式 (3.19) 重新整理後，表示成如下之型式：

$$D(V_{dac(2)}) = D\left\{V_{REF} \frac{2}{C_{SUM}} \left(C_7 - \frac{C_{tot}}{2}\right)\right\} = 2 \cdot D\left\{V_{REF} \left(\frac{C_7}{C_{SUM}} - \frac{C_{tot}}{2C_{SUM}}\right)\right\} \quad (3.20)$$

由式 (3.20) 可知，加入了 Calibration DAC 後， Z_{cal} 項依然存在，該項為一個小於 1 但是接近 1 的數值。故在定義 C_7 之誤差時，將其定義成「相對」於比較器負端電容值總和 C_{SUM} 之誤差。式 (3.20) 顯示這結果和之前是一樣的，當則 $2C_7 = C_{tot}$ 時則無誤差，此值為 0。

定義 C_7 誤差數位化後為 D_{E7} ，表示成：

$$D_{E7} = D\left\{V_{REF} \left(\frac{C_7}{C_{SUM}} - \frac{C_{tot}}{2C_{SUM}}\right)\right\} \quad (3.21)$$

則由式 (3.20) 與 (3.21) 可以得到兩者之關係：

$$D(V_{dac(2)}) = 2D_{E7} \quad (3.22)$$

$$D_{E7} = \frac{1}{2} D(V_{dac(2)}) \quad (3.23)$$

故由式 (3.23) 可知，若要由數位化後的 $D(V_{dac(2)})$ 找出 C_7 之誤差量，所需要的運算僅僅是把數位碼 $D(V_{dac(2)})$ 右移一位即可。

如此我們完成整個演算法的推演，在僅使用一個參考電壓的情況下可以藉由交換電容充放電順序，完成雙向的誤差量數位化動作；此外我們導入二補數系統的概念，利用簡單的運算便可完成補償雙向的誤差量。

3.7. 加入校正演算法之電路動作流程

在此章節中，我們將所提出的新穎之誤差計算方式加入 SA ADC 的電路中，其操作流程如圖 3-18 所示。



圖 3-18 加入新穎的誤差計算演算法之電路動作流程圖

在開啟電源後，電路的動作分成兩個模式：

模式一為誤差計算模式 (Error estimation phase)，顧名思義為找出誤差且計算誤差後、將其儲存的模式，其操作如圖 3-19 所示。

在此模式中，引用所提出之新穎的誤差計算演算法，由 MSB 電容 C_N 依序往下至 LSB 電容 C_1 ，用由高至低之方式 (Top-down)，逐步找出待校正之 N 位元電容陣列中，各電容之「正向誤差」與「負向誤差」且數位化之。

其中負向誤差以二補數系統表示後，與正向誤差作「OR」之操作，結合成真正的誤差量。最後送入後端的數位電路，進行一些加、減、右移、符

號延展 (Sign extension) 後，儲存於暫存器中，結束誤差計算模式。

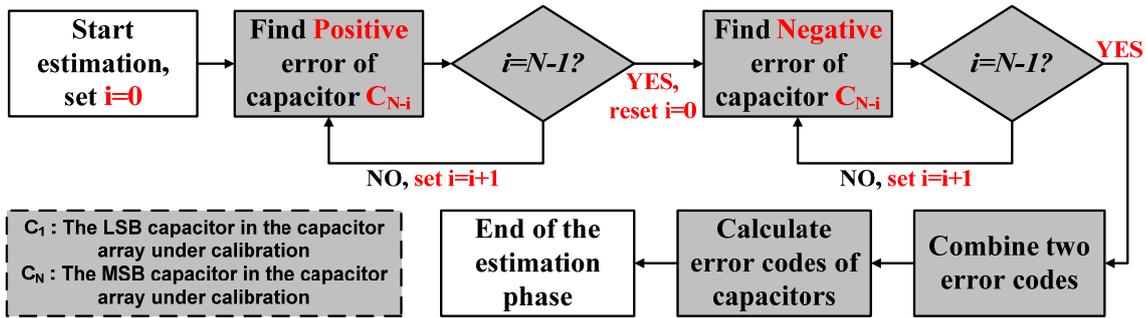


圖 3-19 誤差計算模式時之動作流程圖

誤差計算模式結束後，所計算出來的誤差將會被儲存在暫存器中，直到重新開機、或是啟動重置 (Reset) 訊號時才會再次動作，此校正方式是屬於前景校正 (Foreground calibration) 的方式。

模式二為具校正功能之正常轉換模式 (Normal conversion with calibration phase)，在誤差計算模式後自動切換，其操作如圖 3-20 所示。

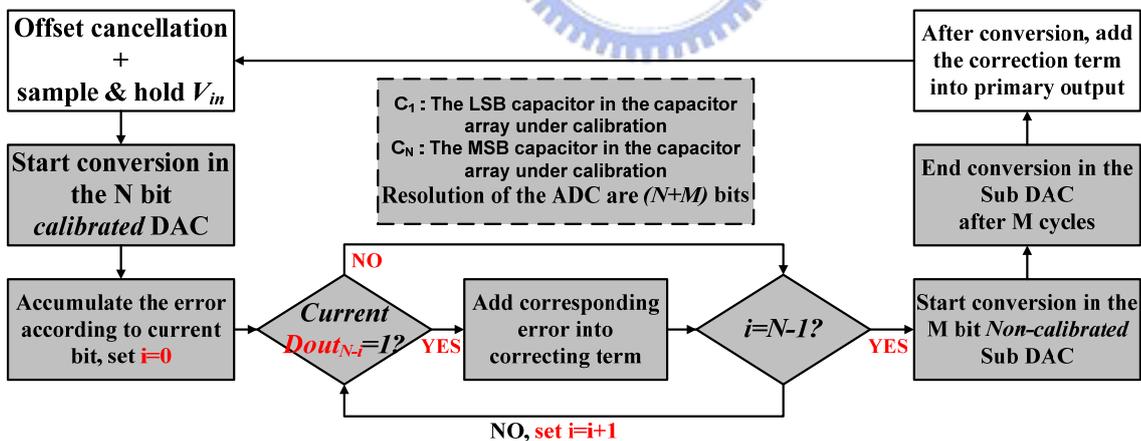


圖 3-20 具有校正功能的正常轉換模式之動作流程圖

在此模式中之動作與一般 SA ADC 無太大差異，但是在進行連續近似動作於已校正之 N 位元數位類比轉換器的同時，會根據每個位元在轉換時的比較器輸出，去判定是否要累積此位元相對應的電容之誤差量。

電路在進行比較器之偏移電壓清除 (Offset cancellation)、對輸入信號進行取樣保持 (Sample & hold) 之動作後，開始在已校正的 N 位元數位類比轉換器中，對較高的 N 位元進行 SA ADC 標準之連續近似式二分搜尋的動作。在此動作中將依序由 MSB 至 LSB，對取樣保持後的輸入信號做逼近；而在逼近同時，根據每個位元在比較時的比較器輸出為 0 或 1，去判斷是否要將此位元所對應的電容之誤差量，加入累積的誤差校正項中。

完成連續近似之動作於已校正的 N 位元數位類比轉換器後，電路將利用未校正的 M 位元數位類比轉換器，完成剩下較低的 M 位元之連續近似逼近動作；此 ADC 之解析度即為 $(N+M)$ 位元。

在完成較低的 M 位元之連續近似逼近動作後，此 SA ADC 已經成功的解出一組長度為 $(N+M)$ 位元的未校正之數位輸出碼；同時也根據較高的 N 位元之輸出，累積了一組此未校正之數位輸出碼所對應的校正項。在最後轉換結束後，電路準備重置進行下次轉換前，利用一個加法器將此未校正之數位輸出碼，與其所對應的校正項相加，最終可以得到一筆已經校正的數位輸出碼。

把此已校正之數位輸出碼暫存於輸出暫存器後，電路將舉起抓取信號 (Data fetch signal) 通知儀器抓值，將此碼以並列 (Parallel) 之方式一次輸出，完成一次的具有校正功能之正常轉換模式。電路於是重置比較器兩端之輸入後，進入下次具有校正功能之正常轉換模式，直到關掉電源為止。

3.8. 以電路之行為模型驗證所提出之演算法

在此章節中，我們利用 Matlab 軟體建立此含校正功能之 SA ADC 行為模型，先以行為模型驗證所提出之演算法的可行性，分別驗證三種狀況下的校正可行性。

此三種範例分別是：最大可校正的誤差於 MSB 電容 C_N 之範例、最大可校正之常態分布的亂數誤差於所有 DAC 之範例、以及根據之前下線所測量得到的誤差量代入之範例。

模擬時之共通設定為：參考電壓 1 伏特、供應電壓 1 伏特、地電壓 0 伏特、時脈頻率 350k Hz。

輸入信號則設定為：峰對峰振幅-1 dBFS、速度 1k Hz（模擬弦波輸入）。起始電壓-0.2 伏特、終點電壓 1.2 伏特、速度 1 Hz（模擬漣波 Ramp 輸入）。

SAADC 則模擬十二位元之設計，待校正之較高位元二進位加權電容式數位類比轉換器（Main DAC）為七位元（ $N=7$ ）、不校正之較低位元二進位加權電容式數位類比轉換器（Sub DAC）為五位元（ $M=5$ ）、校正用之二進位加權電容式數位類比轉換器（Calibration DAC）為七位元。如之前 3.6 小節之參數設定與符號。

另外為了模擬製程上 MIM 電容的非理想性，所有構成數位類比轉換器之單位電容，都以亂數產生標準差為 0.1% 之誤差，且假設此誤差是呈現常態分布在總計 287 個單位電容之中。一個單位電容理想值為 24f 法拉。

同時也考慮佈局時可能產生的三個寄生電容，參考之前下線經驗，將其值藉由 RC 抽取檔案取出後定義如下：

C_M ：位於比較器負端對地之寄生電容，大小約為 90f 法拉。

C_p ：位於 Sub DAC 陣列中，所有電容上板之共同點對地之寄生電容，大小約為 16f 法拉。

C_{pc} ：位於 Calibration DAC 陣列中，所有電容上板之共同點對地之寄生電容，大小約為 76f 法拉。

3.8.1. 範例一：最大可校正於 MSB 電容之誤差

於此範例中，我們假設所有誤差都發生在待校正之最高 7 位元的數位類比轉換器之中。因為 MSB 電容 C_7 對此類比數位轉換電路的準確性有著決定性的影響，故只要能校正此電容所造成之誤差，對於其他種類的誤差理論上也能成功校正。其電容值之設定如表 3-1 所示，經由校正演算法得到之誤差量如圖 3-21 所示。

表 3-1 範例一之電容值設定

Sub DAC 5-bit								
C_{S0}	C_{S1}	C_{S2}	C_{S3}	C_{S4}			C_s	C_p
1.001	1.998	4.009	7.994	15.993			1.003	0.652
Main DAC 7-bit								
C_1	C_2	C_3	C_4	C_5	C_6	C_7		C_m
1.002	2.005	3.998	8.001	16.005	31.996	62.972		3.699
Calibration DAC 7-bit								
C_{E0}	C_{E1}	C_{E2}	C_{E3}	C_{E4}	C_{E5}	C_{E6}	C_c	C_{pc}
0.998	1.998	3.992	7.998	15.993	32.002	64.001	1.005	3.148

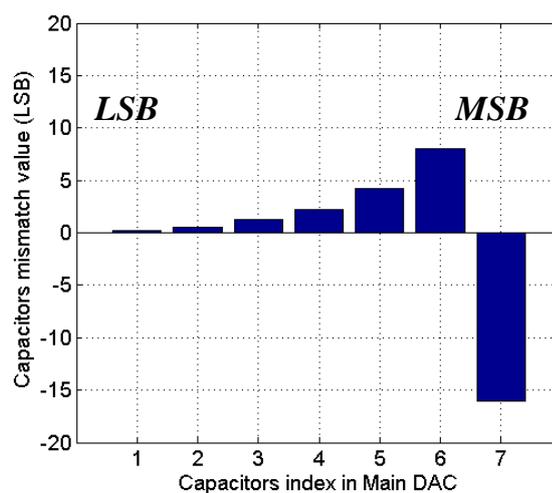


圖 3-21 範例一模擬時由提出之校正演算法求出之誤差量

而其校正前的頻譜圖如圖 3-22 所示，校正後的頻譜圖如圖 3-23 所示。可以看見在圖 3-23 中，諧波失真（Harmonic distortion）被大幅降低，因此能將其 ENOB 校正到高於 11 位元。

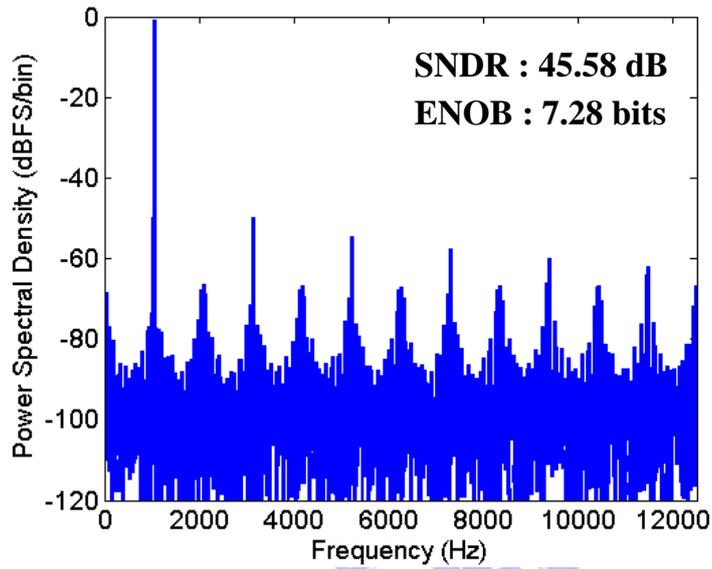


圖 3-22 範例一校正前的頻譜分析圖

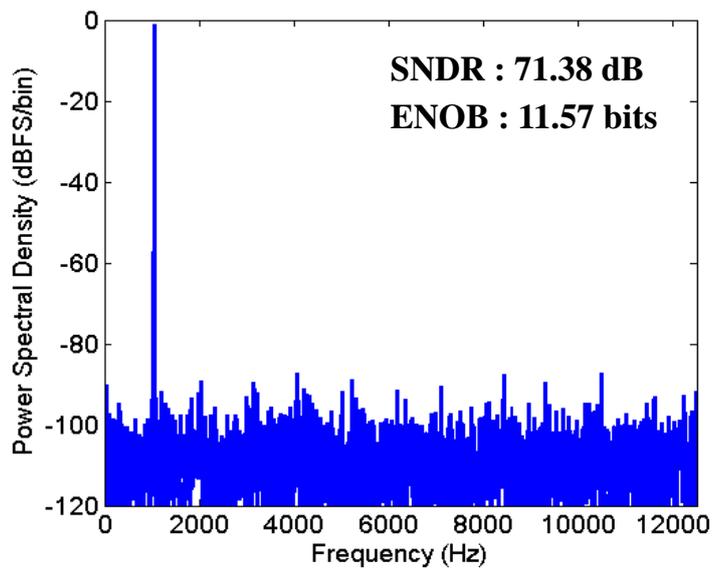


圖 3-23 範例一校正後的頻譜分析圖

而其校正前的積分非線性誤差 (Integral Nonlinearity, INL) 圖如圖 3-24 所示，校正後的 INL 圖則如圖 3-25 所示，可以看到 INL 在校正後是有大幅改善的。由 INL 與頻譜分析圖得知此校正方式在範例一下的確是可行的。

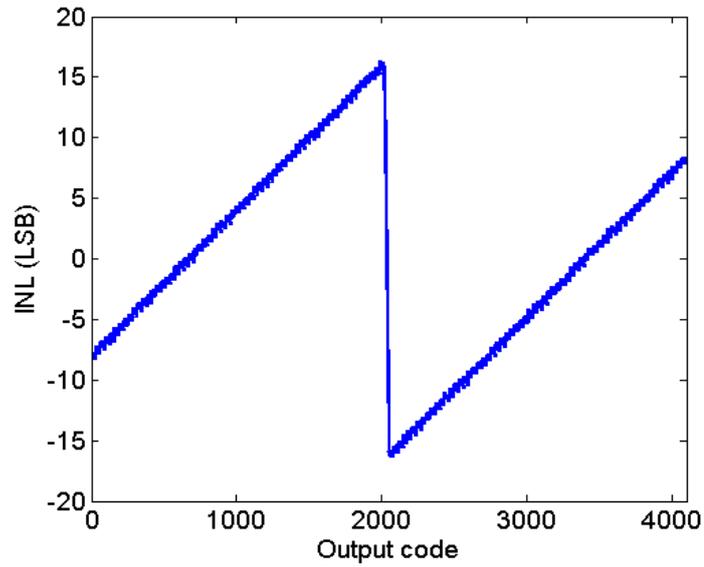


圖 3-24 範例一校正前的 INL 圖

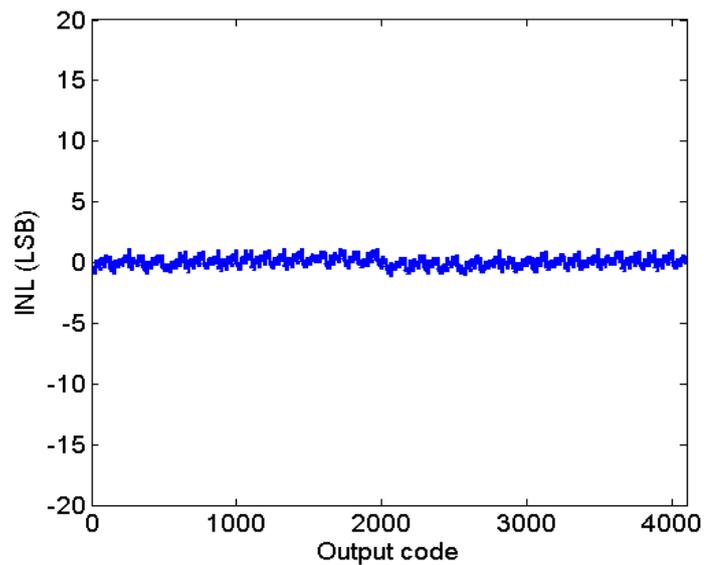


圖 3-25 範例一校正後的 INL 圖

3.8.2. 範例二：最大可校正的亂數誤差

誤差實際上不只會出現在 Main DAC，較低位元的 Sub DAC 也會出現誤差，但是 Sub DAC 之誤差對電路影響相對的較小。

同理 Calibration DAC 也不可能毫無誤差，我們只能用有限精準度的 Calibration DAC 去克服各種可能出現的誤差。

在此範例下我們以亂數產生標準差為 $x\%$ 之誤差，且假設此誤差是常態分布的。將此誤差加入到構成 Main DAC、Sub DAC、Calibration DAC 的單位電容中，觀察所能應付的最大 x 值為何。

其電容值之設定如表 3-2 所示，而經由校正演算法得到之誤差量如圖 3-26 所示。

表 3-2 範例二之電容值設定

Sub DAC 5-bit								
C_{S0}	C_{S1}	C_{S2}	C_{S3}	C_{S4}			C_s	C_p
1.004	1.991	4.014	7.960	16.059			0.999	0.652
Main DAC 7-bit								
C_1	C_2	C_3	C_4	C_5	C_6	C_7		C_m
0.995	2.009	3.984	8.037	15.939	32.119	63.734		3.699
Calibration DAC 7-bit								
C_{E0}	C_{E1}	C_{E2}	C_{E3}	C_{E4}	C_{E5}	C_{E6}	C_c	C_{pc}
0.995	2.008	3.985	8.035	15.937	32.129	63.745	0.998	3.148

在此範例下我們得到最大之 x 值為 0.4，表示有亂數且呈現常態誤差的分布加入到各個單位電容當中，其值為 0.4% 個標準差之大小。由錯誤計算圖可以看出其約是如何分佈。

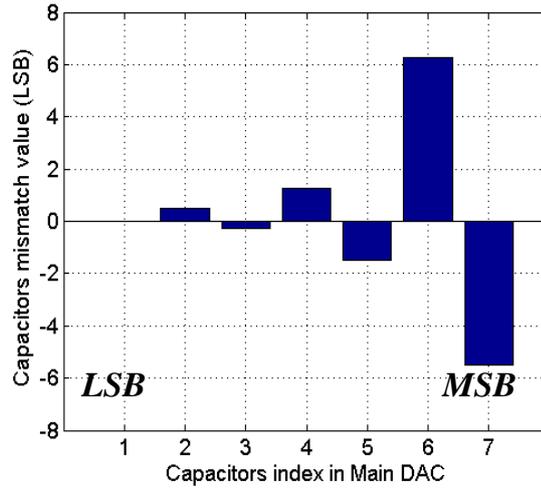


圖 3- 26 範例二模擬時由提出之校正演算法求出之誤差量

而其校正前的頻譜圖如圖 3-27 所示，校正後的頻譜圖如圖 3-28 所示。可以看見在圖 3-28 中，諧波失真（Harmonic distortion）被大幅降低，因此能將其 ENOB 校正到高於 11 位元。

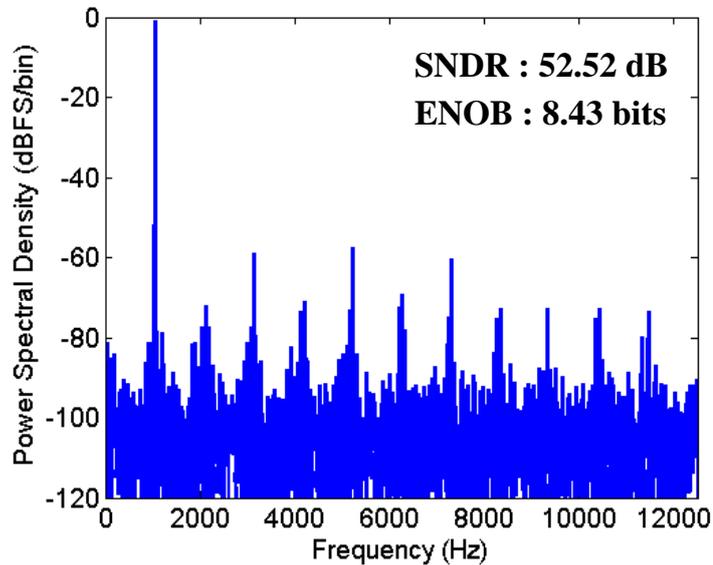


圖 3- 27 範例二校正前的頻譜分析圖

消除了諧波失真後，我們可以得到較高的 SNDR 與 ENOB 值，證明提出之演算法也能應付隨機誤差。

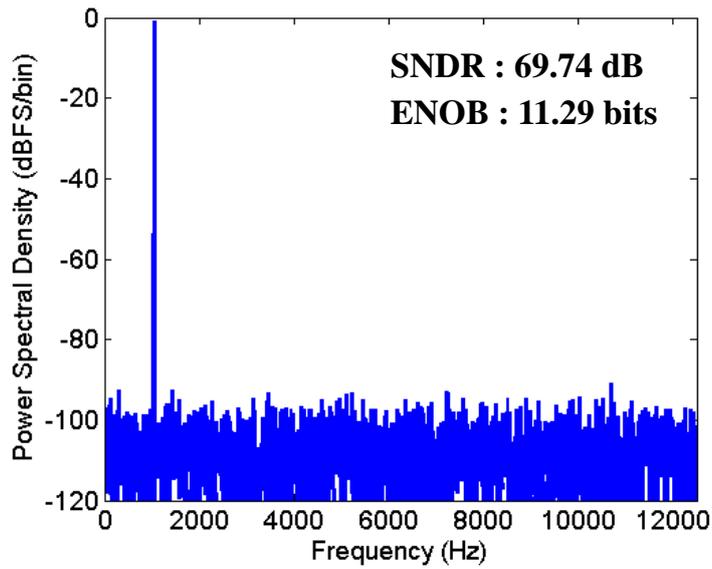


圖 3-28 範例二校正後的頻譜分析圖

而其校正前的積分非線性誤差 (Integral Nonlinearity, INL) 圖如圖 3-29 所示，校正後的 INL 圖則如圖 3-30 所示，可以看到 INL 在校正後是有大幅改善的。由 INL 與頻譜分析圖得知此校正方式在範例二下的確是可行的。

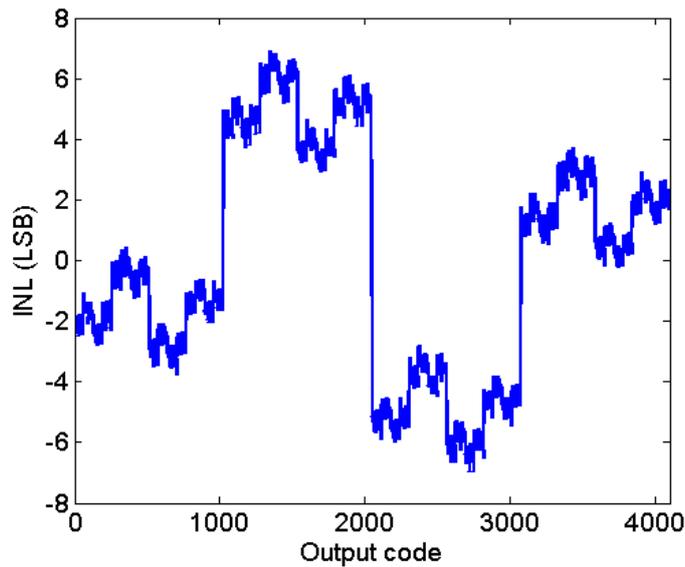


圖 3-29 範例二校正前的 INL 圖

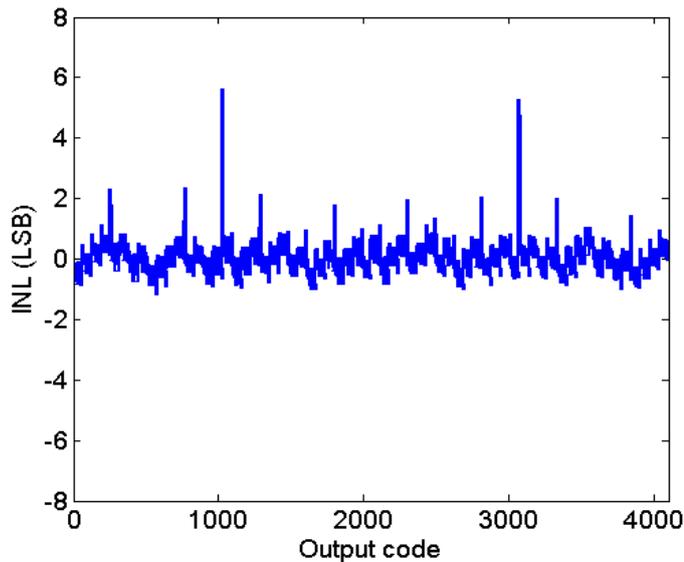


圖 3- 30 範例二校正後的 INL 圖

隨機誤差出現在各個數位類比轉換器中，這是比較符合實際情形的行為模型，要以有限精準度的 Calibration DAC 去校正 Main DAC 的同時，還要小心其誤差對 Sub DAC 的影響。

Sub DAC 負責較低五位元的轉換，所以它可承受的誤差量將遠大於 Main DAC。不過也由於並未對 Sub DAC 實行校正演算法，所以要當其誤差過大時將會在校正後影響整體 ADC 效能。

兩個橋接用的單位電容 C_{cal} 與 C_{sub} 也是我們注意的，此兩個單位電容負責連接 Main DAC 與 Sub DAC 和 Calibration DAC。實際影響為 Sub DAC 和 Calibration DAC 之電容上板分壓到 Main DAC 端的電壓值。

3.8.3. 範例三：由先前下線經驗所得到之誤差

由之前下線編號為 T18-96D-159 的晶片測量結果，我們可以得知有哪些電容可能會有較大的誤差發生，試著將這些電容值加入行為模型中，觀察在

此範例下的校正結果。

經由先前的測量結果可以整理出其誤差模型，將其誤差模型加入此具有校正功能之 SAADC 行為模型中。而 Calibration DAC 方面因為其走線方式與位元數和 Main DAC 相同，故將 Calibration DAC 之誤差設定如同 Main DAC。其電容值之設定如表 3-3 所示，而經由提出之校正演算法所求得之誤差如圖 3-31 所示。

表 3-3 範例三之電容值設定

Sub DAC 5-bit								
C_{S0}	C_{S1}	C_{S2}	C_{S3}	C_{S4}			C_s	C_p
1.064	2.123	4.253	8.513	17.060			1.063	0.652
Main DAC 7-bit								
C_1	C_2	C_3	C_4	C_5	C_6	C_7		C_m
1.062	2.131	4.256	8.455	16.904	33.652	67.231		3.699
Calibration DAC 7-bit								
C_{E0}	C_{E1}	C_{E2}	C_{E3}	C_{E4}	C_{E5}	C_{E6}	C_c	C_{pc}
1.061	2.129	4.258	8.455	16.906	33.653	67.238	1.063	3.148

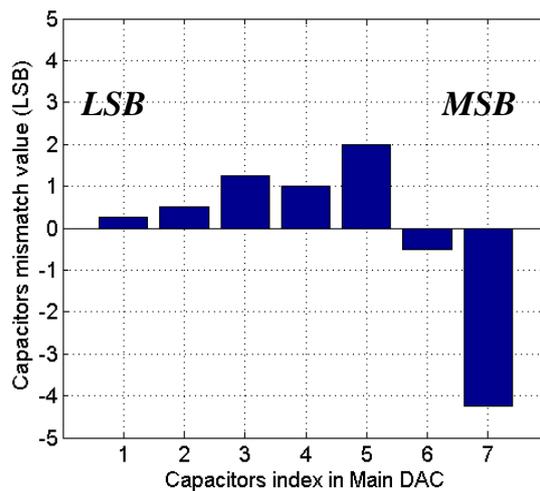


圖 3-31 範例三模擬時由提出之校正演算法求出之誤差量

而其校正前的頻譜圖如圖 3-32 所示，校正後的頻譜圖如圖 3-33 所示。

可以看見在圖 3-33 中，諧波失真（Harmonic distortion）被大幅降低，因此能將其 ENOB 校正到高於 11 位元。

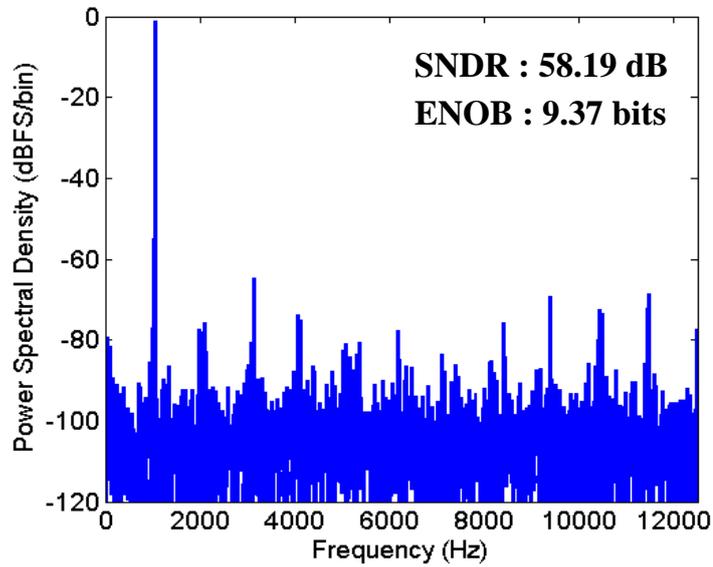


圖 3-32 範例三校正前的頻譜分析圖

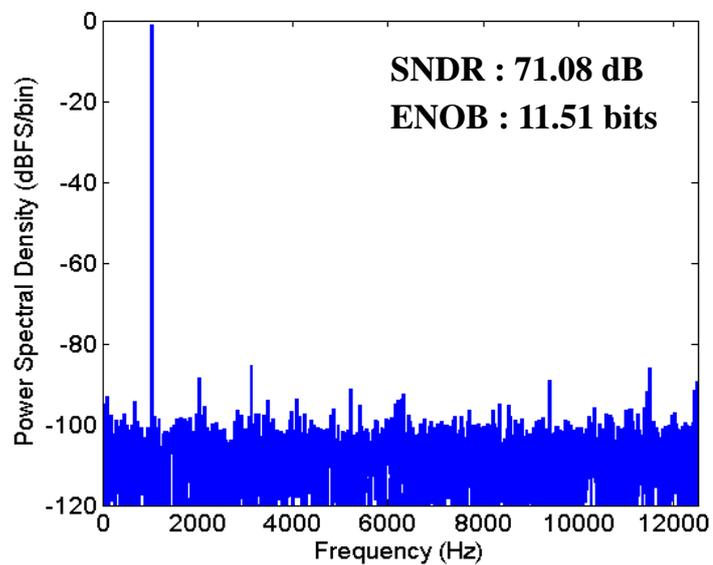


圖 3-33 範例三校正後的頻譜分析圖

而其校正前的積分非線性誤差（Integral Nonlinearity, INL）圖如圖 3-34

所示，校正後的 INL 圖則如圖 3-35 所示，可以看到 INL 在校正後是有大幅改善的。由 INL 與頻譜分析圖得知此校正方式在範例三下的確是可行的。

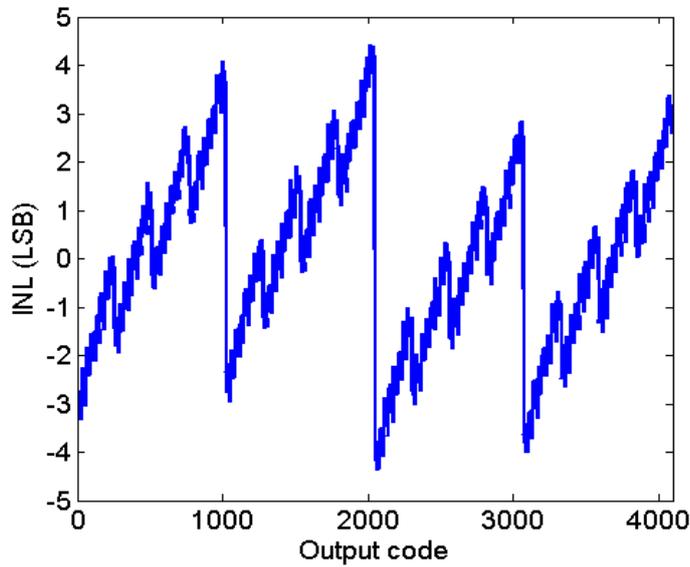


圖 3-34 範例三校正前的 INL 圖

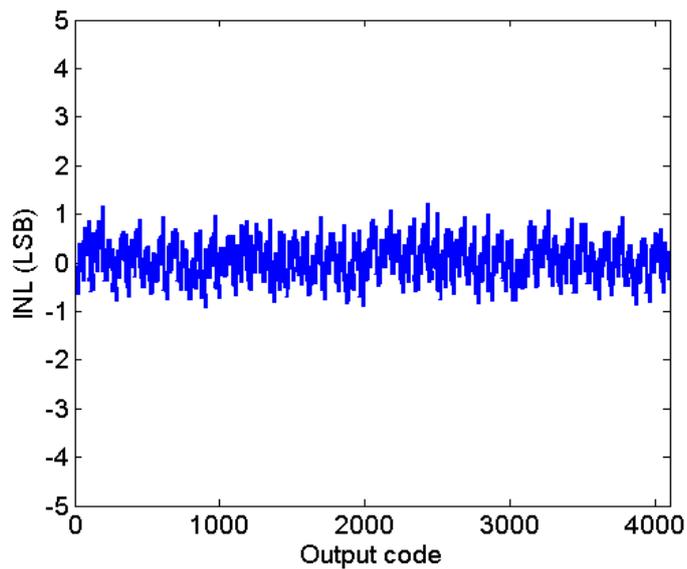


圖 3-35 範例三校正後的 INL 圖

由以上之行為模型模擬結果我們驗證所提出之校正演算法的確有效的

改善待校 SAADC 的非線性度 (Non-linearity)，而在接下來的章節，我們將提出之演算法與先前的演算法加以比較，看看我們所提出的演算法是否有實作上的價值。

3.9. 與先前所提出之校正方法比較

將我們所提出之校正方法與前兩篇校正經典互相比較，可以分成校正方法、參考電壓要求、校正能力、誤差出現容許範圍等四項。其比較結果如下表 3-4 所示。

表 3-4 與前三篇校正經典作比較

	Estimation method	Calibration method	Required references	Calibration capability	Digitizable error range
D. A. Houge 1984 ISSCC [15,16,17]	Digital	Analog	Dual precisely symmetric references	Dual side errors	$V_{DD} > V_E > -V_{DD}$
K. S. Tan 1985 U.S Patent [19,20]	Digital	Analog	Single reference	Positive side errors only	< GND Limited to PN junction turn-on voltage
H. Neubauer 2001 ICECS [21]	Digital	Analog	Single reference	Positive side errors only	< GND Limited to PN junction turn-on voltage
This Work P. algorithm	Digital	Digital	Single reference	Dual side errors	Rail-to-Rail

表 3-4 顯示四項與之前校正法之比較，第一項為校正方式之比較：

前三篇之校正方式皆為「混合信號式」校正，即是以數位演算法方式找出誤差量後，再以 Calibration DAC 數位化後儲存。在校正的時候則透過

Calibration DAC 將數位校正項轉換成類比電壓，於比較器負端扣除此校正項。此種校正方法受限於類比減法器之精準度，同時會受到兩次 Calibration DAC 之非理想性的影響。

所提出之校正演算法則是全數位校正，除了有可以隨製程變化而容易改變設計的優點外，Calibration DAC 之非理想性對校正結果的影響也只有一次，同時也不需要類比的減法器。

第二項比較為參考電壓需求之比較：

前三篇為了要應付正向與負向的誤差量，使其電阻串架構的 Calibration DAC 無論在何種誤差範例下都能完成數位化誤差量與補償校正項的功能，使用了雙向的參考電壓去完成。然而此雙向的參考電壓卻需要精準對稱，若沒有精準對稱則會對校正效果產生影響，要能提供精準對稱的雙向參考電壓的電路十分難以實現，此為此校正法未能廣泛被採用的主因。

在我們所提出的校正演算法中，藉由交換電容充放電順序與導入二補數系統的概念，則只需要一個參考電壓就可以完成正向與負向的誤差量數位化之功能，同時也能以二補數系統進行正向與負向的誤差校正項之補償。

第三項比較為校正能力之比較：

除了[15,16,17]提到導入雙向參考電壓與雙向供應電壓可以達到雙向校正外，[19,20]和[21]則假設電容之誤差只會偏向某一方向，對於另一方向的誤差發生時則含糊帶過。

在我們所提出的校正演算法中，正向與負向的誤差量都能使用單向參考電壓完成數位化，而正向與負向的誤差校正項則是以二補數系統進行補償。

第四項比較為所能數位化的比較器負端電壓範圍：

經過校正演算法後，比較器負端會出現一個相對於該電容誤差大小的類

比電壓，在之前的作法中，因為預先充電之位準與連續近似逼近之位準為 0 伏特，故只有小於 0 伏特的比較器負端電壓可以數位化。同時此比較器負端電壓可數位化範圍又受到 PN 接面導通電壓之影響，則可校正範圍除了先天無法克服的 Calibration DAC 之精準度和比較器之分辨率外，還不能過低否則將使開關的 PN 接面漏電。

而所提出的校正演算法中，預先充電之位準與連續近似逼近之位準為 V_{REF} ，所以可用的範圍為大於 0 伏特且小於 V_{REF} 之間，在此之間不會受到 PN 接面導通電壓之影響，故可校正之範圍僅受限於 Calibration DAC 之精準度與比較器之分辨率。

在接下來的章節中進入實作設計部分，為了要將此演算法實現於電路中需要哪些數位元件與類比元件，如何設計？其極限與要求為何？都將在下一章中討論。



第四章 具校正功能之 12 位元 SA ADC 設計

4.1. 提出之 SA ADC 架構

在第三章中，我們提出了一種應用於 SAADC 的新穎校正演算法，以校正其數位類比轉換器電容陣列之不匹配性。下圖 4-1 顯示如何將此演算法應用於實現一個具有校正功能之 SAADC 的 SAADC 中。

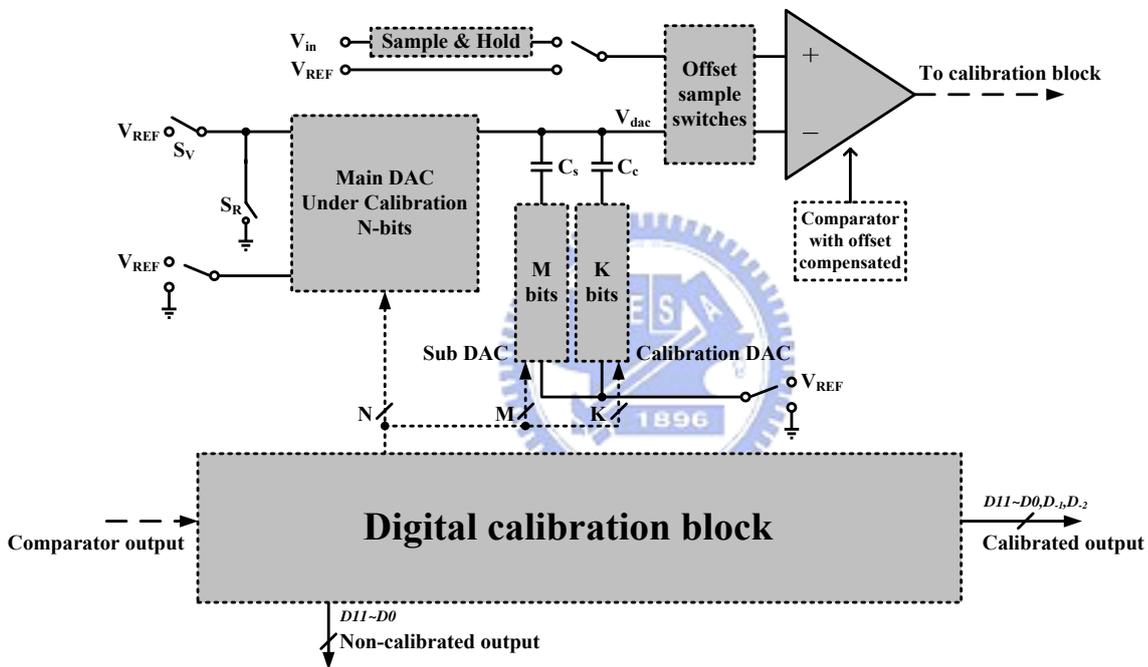


圖 4-1 提出之具校正功能的 SA ADC 架構圖

其架構中可分成類比與數位兩部分。類比電路中包含一個取樣保持電路 (Sample and Hold)、一些用來做偏移電壓取樣及儲存的開關，以及一個具有偏移電壓補償功能的比較器 (A comparator with offset compensation)、以及三組數位類比轉換器。

數位類比轉換器內，包含負責較高之 N 位元的主要數位類比轉換器 (Main DAC)，負責較低之 M 位元的次要數位類比轉換器 (Sub DAC)，以

及在誤差計算模式時動作，負責數位化 V_{dac} 電壓，一個 K 位元校正用數位類比轉換器 (Calibration DAC)。

該主要數位類比轉換器決定 SAR ADC 的線性度，因此我們僅針對此主要數位類比轉換器實行誤差校正演算法，在 Sub DAC 與 Calibration DAC 中因為其解析度較低，我們假設其不需要進行校正。三個數位類比轉換器都是由二進位加權式電容陣列所構成。

我們的設計目標是一個十二位元的 SA ADC 之設計，故取 $N+M=12$ 。且我們希望能在最小有效位元 (Least significant bit, LSB) 之後，多取更低的兩個冗位元 (Redundant bits, Guard bits) 當作校正 LSB 之用，故取 $K=M+2$ 。

數位部分分成三個區塊，第一個區塊為控制區塊 (Controller block)、第二區塊為暫存器與 ALU 區塊 (Register Files & ALU block)、第三區塊為加法器區塊 (Adder)。這些區塊我們將其合稱為校正區塊 (Calibration block)，且以此區塊取代電路中傳統的 SAR 控制器。

此 ADC 設計可在未校正之轉換模式下，直接輸出未校正前的編碼；也可以經由最末級的加法器取得校正後輸出編碼，此時稱其為校正輸出模式。

4.2. 提出之 SA ADC 類比電路設計

提出之 SA ADC 類比電路部份如圖 4-2 所示，由一個取樣保持電路 (Sample and Hold)、一些用來做偏移電壓取樣及儲存的開關、一個具有偏移電壓補償功能的比較器級 (An offset-compensated comparator)、以及上述三組數位類比轉換器構成[23]。

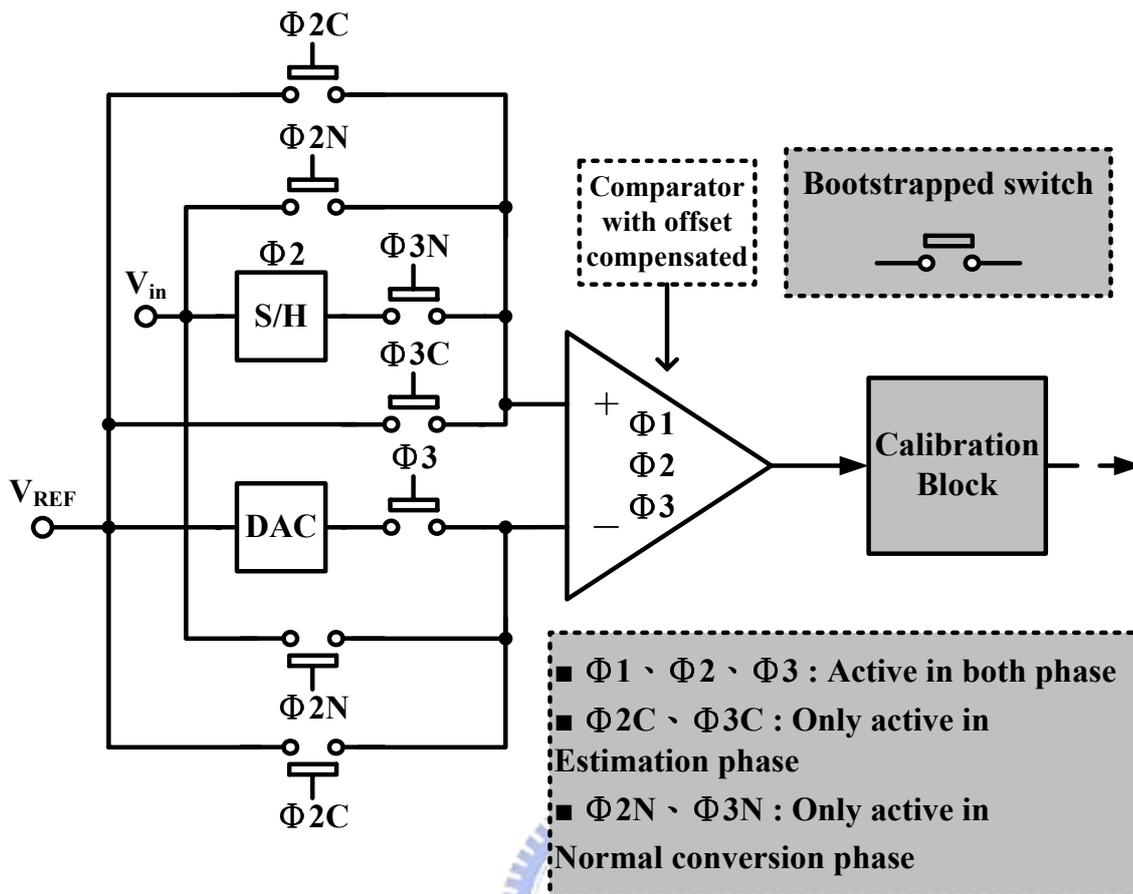


圖 4-2 提出之 SA ADC 的類比電路方塊圖

類比部分之時序圖如圖 4-3 所示，分成三個主要 phases $\Phi 1$ 、 $\Phi 2$ 、 $\Phi 3$ 。 $\Phi 2C$ 、 $\Phi 3C$ 表示該等訊號僅在誤差計算模式啟動， $\Phi 2N$ 、 $\Phi 3N$ 表示該等訊號僅在具校正功能的正常轉換模式作用。

其中 $\Phi 1$ 、 $\Phi 2$ 和 $\Phi 3$ 為非重疊 (Non-overlapped) 訊號， $\Phi 1$ 主要是用來清除上一次轉換所儲存的偏移量， $\Phi 2$ 主要是用來儲存這次轉換要儲存的偏移量，因此 $\Phi 1$ 、 $\Phi 2$ 兩信號可以部分重疊，只要能在 $\Phi 2$ 信號結束時，完成偏移電壓取樣及儲存即可。

但是 $\Phi 2$ 和 $\Phi 3$ 不能有部份重疊發生，主要原因有二個：一為當 $\Phi 2$ 和 $\Phi 3$ 重疊時，比較器級正端的電壓將會隨著 V_{in} 而改變；二為當取樣保持電路在取樣而 $\Phi 3$ 先發生時，這時用來取樣的電容還沒儲存到正確的輸入值。

若此時就開始 $\Phi 3$ 轉換位元的相位，則在 $\Phi 3$ 的最終，DAC轉換出來的值會有誤差。

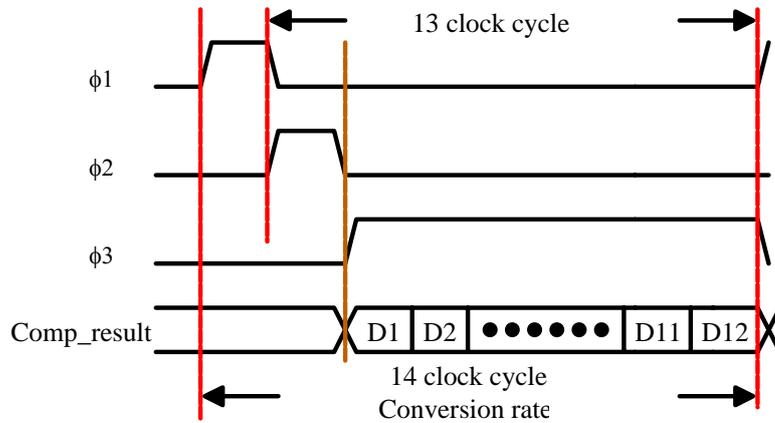


圖 4-3 類比部分之動作時序圖

第一個 phase 記作 $\Phi 1$ ，用來重置儲存於偏移電壓取樣電容內的電荷，這在接下來的章節中將會仔細討論。

第二個 phase 記作 $\Phi 2$ ，用來對偏移電壓作取樣且儲存，在具校正功能的正常轉換模式時還控制了取樣保持電路的動作。以上兩個 phase 無論在誤差計算模式，或是具校正功能的正常轉換模式裡，其動作方式皆相同。

第三個 phase 記作 $\Phi 3$ ，在誤差計算模式中，總共執行預先充電、歸零、電荷重佈、控制 Calibration DAC 做連續近似逼近、二補數系統轉換、與暫存器寫入等動作，這些動作總計為 12 個時脈週期。而在具校正功能的正常轉換模式下，則執行標準連續近似的動作，因為解析度為 12 位元，所以也是同為 12 個時脈週期。

在設計上為了實現低功率消耗，所以降低了整個 ADC 的操作電壓，將其設定在 1 伏特，並且為了得到較高的訊號雜訊比 (SNR)，所以我們希望 ADC 能具備軌對軌 (Rail-to-rail) 的輸入範圍。若在低操作電壓下使用一般的傳輸閘 (Transmission gate, TG) 開關，在輸入接近 $\frac{V_{DD}}{2}$ 時，會使得 NMOS

及 PMOS 均為不導通 (Dead zone)，導致可用輸入信號範圍下降。

這個問題可用低電壓製程 (low-Vt process) [11]、或靴帶式倍壓開關技術 (Bootstrapping technique) [9][10] 方式來解決。但由於低電壓製程將會提高成本，因此不考慮採用這種方式解決，而改採用 Bootstrapped switch 的技巧來克服此問題。

且我們承襲自[3]之架構，將一端接輸入訊號並且另一端接 DAC 的方式，並且在 DAC 的下板極之所有開關上，採用了[4]中的 Grounded-switches 的技巧，即是接 V_{DD} 或 GND 兩個電位，確保此設計中的開關在低操作電壓下仍可以正常開關。

此外，考慮到偏移電壓 (Offset voltage) 會隨輸入信號不同而改變的緣故，我們使用了簡單的輸出偏移量儲存[18] (Output offset storage) 的方式。使用這種方式我們可以根據不同的輸入信號儀器、不同的輸入信號振幅大小、不同的輸入信號頻率，分別取樣相對應的偏移電壓，以期望偏移電壓對電路的影響能降到最小。

類比電路在具校正功能的正常轉換模式下之操作如圖 4-4 所示，在此模式中我們以輸入信號 V_{in} 當作偏移電壓之取樣儲存的基準。原因為比較器級的一端為 V_{in} 經過取樣保持電路後之輸出、一端為逼近至取樣保持後之 V_{in} 的 DAC 輸出。且在最終轉換結束後，兩端都會接近輸入信號 V_{in} ，故以輸入信號 V_{in} 當作偏移電壓取樣儲存時的共模電壓。

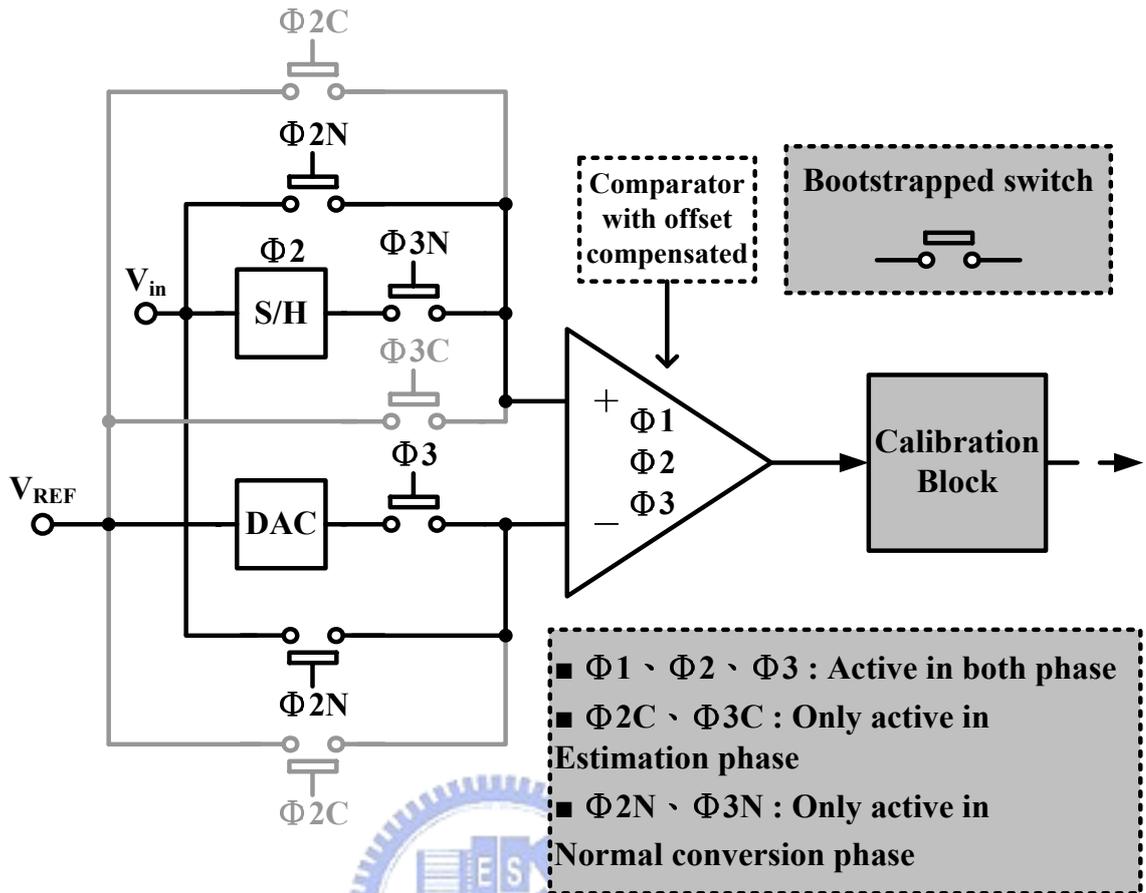


圖 4-4 在具校正功能的正常轉換模式下類比電路之動作

類比電路在誤差計算模式下之操作如圖 4-5 所示，在此模式中我們以參考電壓 V_{REF} 當作偏移電壓之取樣儲存的基準。原因為比較器級的一端直接接 V_{REF} 、另一端為經過校正演算法後，一個近似 V_{REF} 的電壓。在最終轉換結束後，兩端都會接近參考電壓 V_{REF} ，故以參考電壓 V_{REF} 當作偏移電壓取樣儲存時的共模電壓。

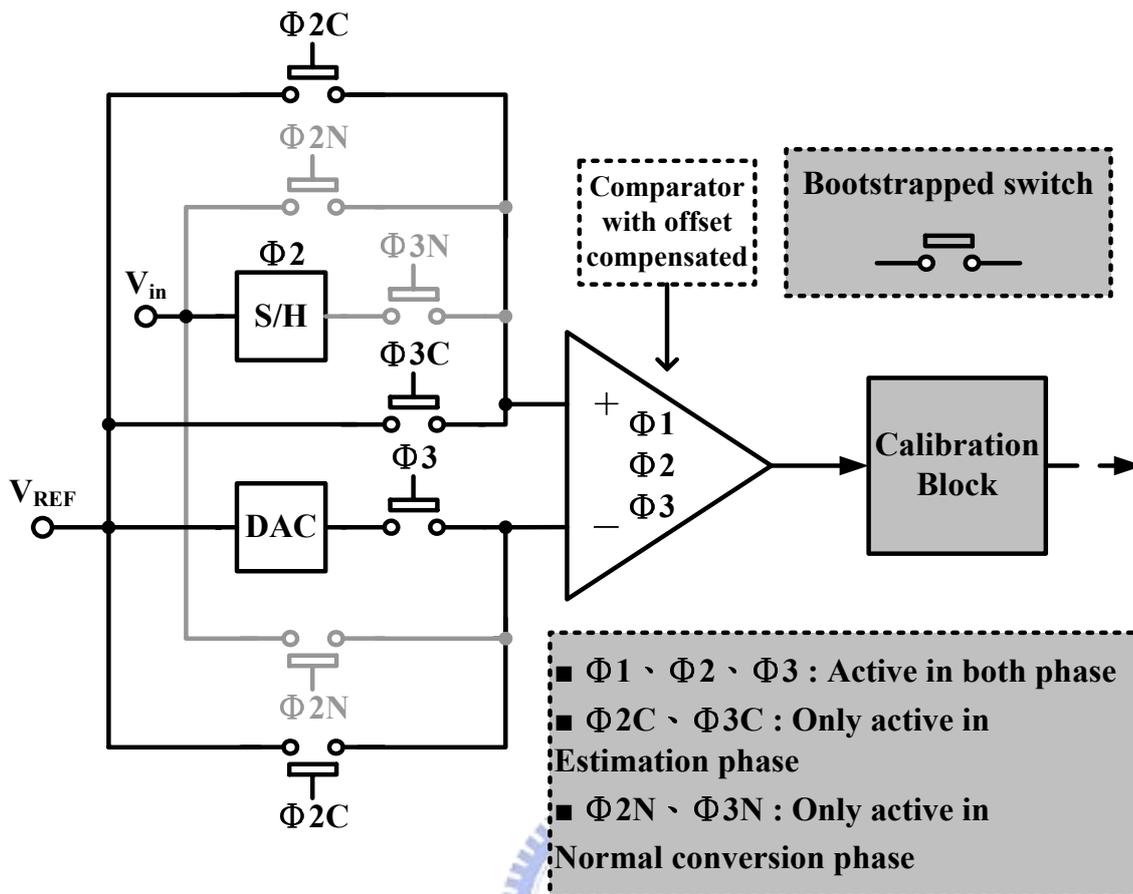


圖 4-5 在誤差計算模式下類比電路之動作

以下我們將依序由取樣保持電路、具有偏移電壓補償功能的比較器級、數位類比轉換器三個元件，介紹設計的方式。

4.2.1. 取樣保持電路 (Sample and Hold, S/H)

在一般電壓的設計上，普遍都是採用傳輸閘 (TG) 來實現 S/H，但由於我們要設計實現一個用於低電壓高解析的取樣保持電路，所以如果只使用 TG 來實現會產生兩個問題：

一為在低電壓、且信號接近 $\frac{V_{DD}}{2}$ 時，TG 導通性不良的問題。此問題是因為電晶體臨界電壓超過 $\frac{V_{DD}}{2}$ 而產生；我們使用 Clock boosting 的方法來解

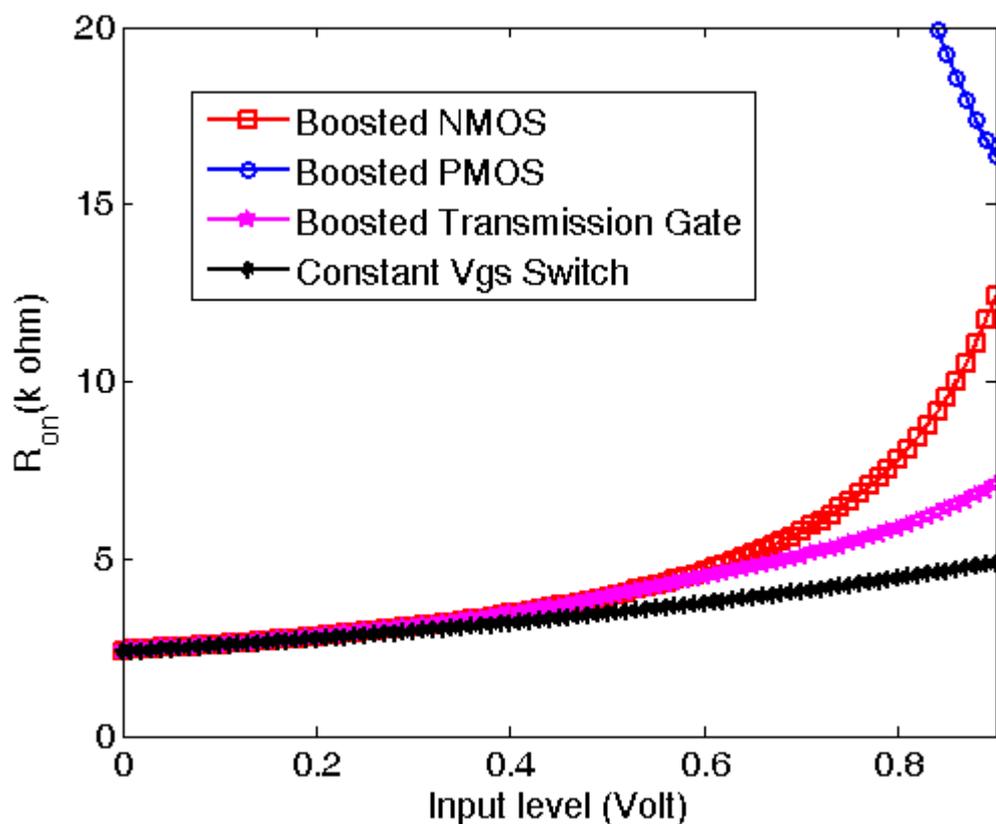


圖 4-7 各種不同架構的開關之導通電阻比較

因此，我們採用如圖 4-7 所示，具最小導通電阻變異量的 Constant V_{GS} 式開關。其目的是將輸入開關的閘、源極間電壓都能維持一個在固定的電壓 (V_{DD})，如此對於不同大小的輸入信號，其導通電阻變化不大、並且較為線性。

此開關架構上主要是由一個用來儲存導通閘、源極間，所需之較高電壓的電路，及將所儲存的電壓傳至輸入開關的閘、源極間這兩個部份所組成。而為了使電容 C3 能儲存較高的電壓，故使用了 Boosted clock 的架構，其工作原理和一般的 Bootstrapped 相似。

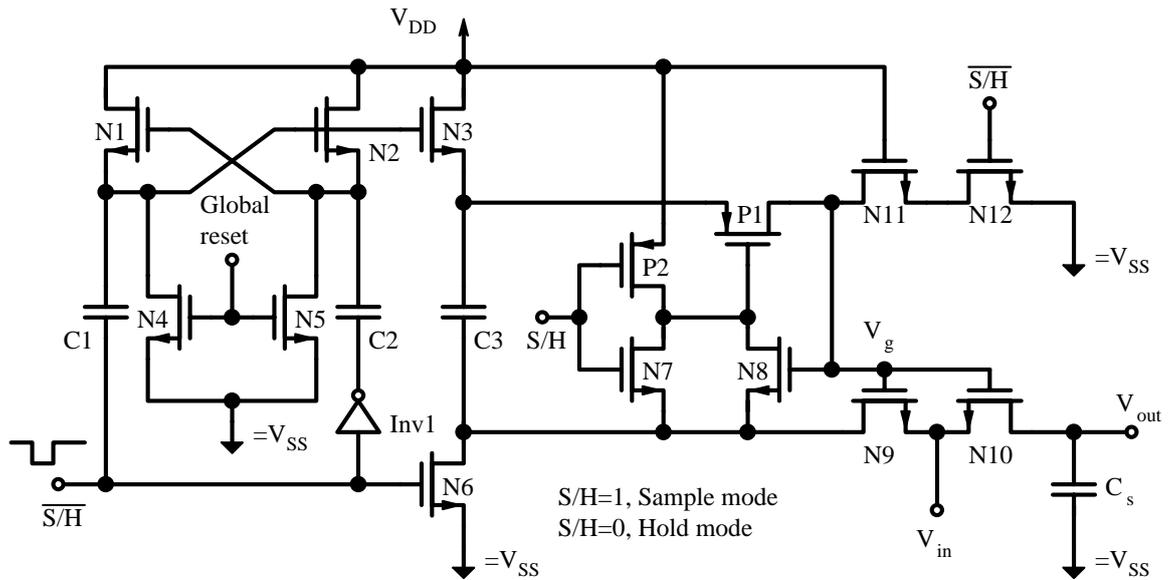


圖 4-8 所使用的取樣保持電路[10]

圖 4-8 左半部的 Boosted clock 架構，其功能主要是將 N2 的閘極電壓升到 V_{DD} 及 $2V_{DD}-V_{tN}$ 兩個準位。當 S/H 的信號為低電位時，N3 的閘極電壓被 Boosted 到 $2V_{DD}-V_{tN}$ ，故 N3 會進入深三極管區，延著 C3 和 N6 的路徑將電容 C3 兩端充電至 V_{DD} ，並且藉由 N11 及 N12 將 V_g 接至地，使得 N10 為關閉的狀態，故 S/H 電路進入了保持（Hold）的模式。

當 S/H 信號切換為高電位時，N3 的閘極電壓為 V_{DD} ，開關 N6 為關閉的狀態，而電容 C3 在保持模式時，已經將兩端保持成 V_{DD} 的壓降，故 N3 也為關閉的狀態。此時將先前儲存於 C3 兩端的 V_{DD} 壓降，利用開關的方式傳至輸入開關 N10 的閘、源極間，所以 N12 為關閉的狀態，且 P1、N7、N8 及 N9 都為導通的狀態，藉由這些開關的切換，將 C3 兩端的電壓 V_{DD} 傳至 N10 的閘、源極間，使得 S/H 電路進入取樣（Sample）的模式。

因為 V_g 可能是 0 至 $2V_{DD}$ 之間的電荷，當沒加上 N11 時，N12 的 V_{DS} 為 $2V_{DD}$ ，故 N12 有可能會燒毀。而當 V_g 為 $2V_{DD}$ 時，如果沒加上 N8，則有可能會造成 N7 無法順利導通，使得 Constant V_{GS} 工作不正常，而達不到所需求的需求，所以要加上 N8 及 N11 以增加電路的可靠度。

當 V_g 為 $2V_{DD}$ 時，此時輸入信號 V_{in} 大小接近 V_{DD} ，而 N7 其閘、源極間壓降為 0，故無法順利導通 N7。加入 N8 後，則此時 N8 之閘、源極間壓降為 V_{DD} ，可以取代原本 N7 的功能導通 P1。

當 V_g 為 $2V_{DD}$ 時，N11 和 N12 形成如一個共汲極放大器（源極隨耦器），不導通的電晶體 N12 則如一個很大的負載電阻。如此跨壓在 N12 的 V_{DS} 只有 V_{DD} ，同理跨壓在 N11 的 V_{DS} 也是 V_{DD} ，可以保障 N11 和 N12 都沒有燒毀的危險。

圖 4-9 為模擬整個 ADC 時，擷取 Sample & hold 電路的輸出點，作頻譜分析後之結果，其 SNDR 為 81.06 dB，對應到 13.17 bits ENOB，符合 12 bits 解析度 ADC 的設計要求。

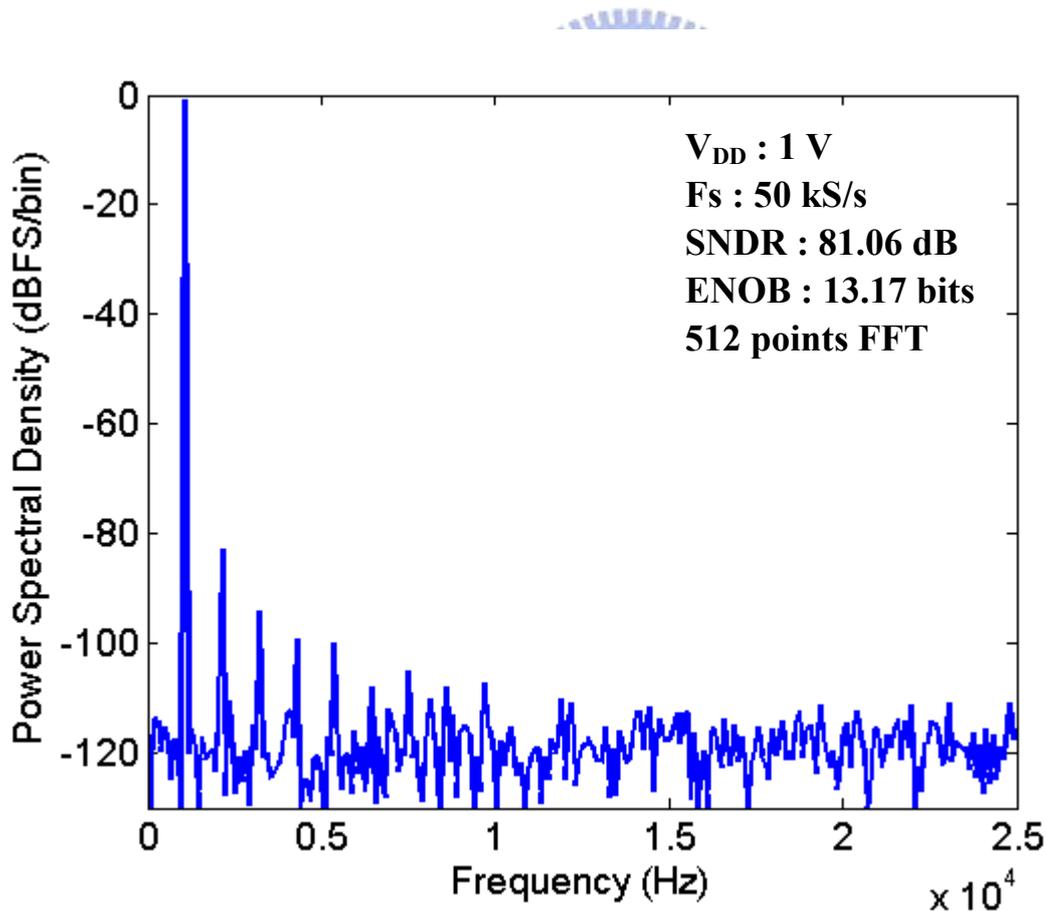


圖 4-9 取樣保持電路當輸入信號為 1k Hz 時之頻譜分析圖

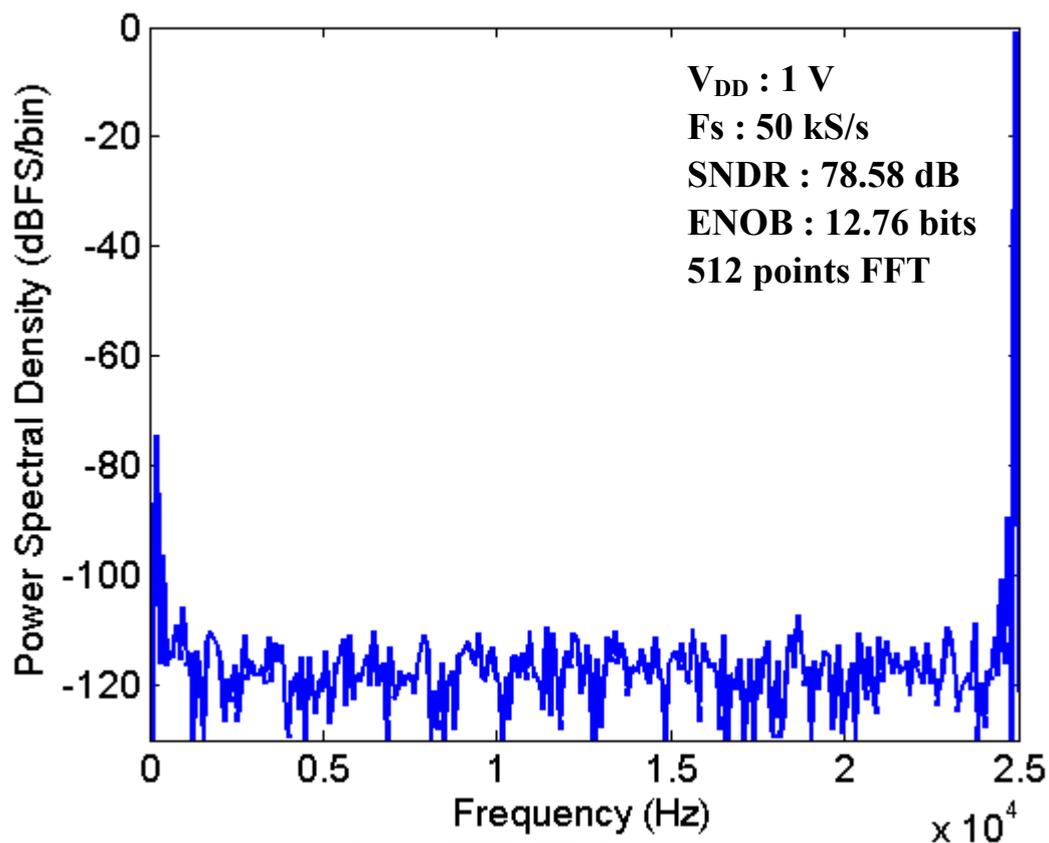


圖 4-10 取樣保持電路當輸入信號為 25k Hz 時之頻譜分析圖

圖 4-10 為當輸入信號接近 Nyquist frequency 時，取樣保持電路之輸出頻譜，其 SNDR 為 78.58 dB，而 ENOB 為 12.76 bits，也符合設計之需求。

4.2.2. 具偏移量補償功能的比較器級

由於學長[3]所實現的比較器具有功率消耗極低、並且能達到軌對軌的輸入範圍的特性，極適合應用於我們的設計中。但是其缺點就是該設計會產生與輸入信號相關（Input-dependent）的偏移電壓（Offset voltage）。

這種與輸入信號相關的偏移量，會隨輸入儀器不同、輸入信號大小、輸入信號振幅不同而改變，將會對於高解析的 ADC 之效能有極大的影響，所

以若想將其用於我們的設計中，則需要對此偏移量進行消除或補償。根據我們對目前發表的論文進行研究搜尋發現，大致上有三種能消除比較器的偏移量方式。

第一種為提出一種低消耗功率之比較器，且具備自我修正偏移量的設計 [1]，而這種的比較器在目前已知的文獻中，尚無人將其實現，主要可能原因為比較器對於相差極小的差動輸入，較難比較出其差異。

第二種為加入前置放大器來放大這微量的差動輸入，最後的輸出為門鎖 (Latch) 電路，並且每級放大器、以及每級的 Latch 電路都使用消除偏移電壓的技巧 [24]，但是由於我們已經有相當適合的超低耗能比較器，所以不考慮這個方法。

第三種則是使用前置放大器來降低比較器的偏移量影響，而前置放大器每級也必須加入消除偏移量的技巧。因為我們已經有合用的比較器，所以我們採用第三種方式來解決其偏移量的問題，只要能完成軌對軌的低功率前置放大器，就可以和超低耗能的比較器串接，得到耗能最低的前置放大器與比較器級。

所使用的具有偏移量補償功能的比較器級如圖 4-11 所示 [23,24]，我們串聯四級的前置放大器以得到想要的增益。

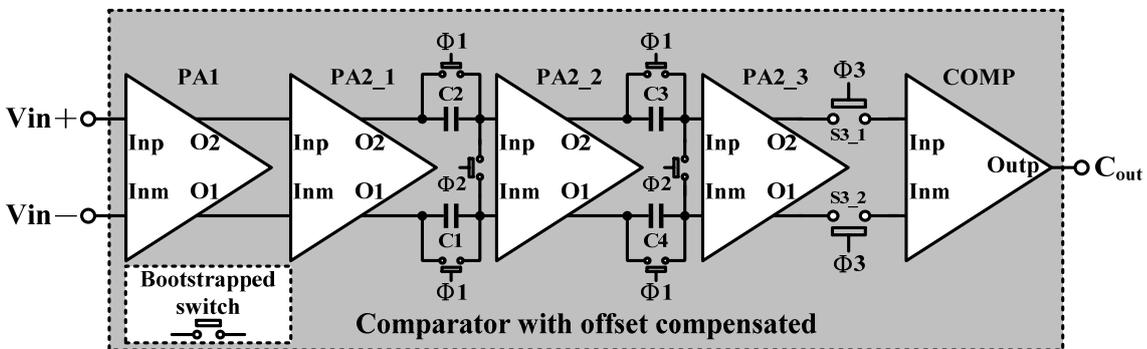


圖 4-11 具有偏移量補償功能的比較器級

由學長[3]的量測可知，比較器的偏移量（記作 VOS_{comp} ）大約為 10mV 左右，若沒解決偏移量的問題，則有效位元將會減少最少 5 位元以上（設計中一個 LSB 為 $\frac{1}{2^{12}} = 0.24 \text{ mV}$ ，10mV 約為 $\frac{10}{0.24} = 40.96$ 個 LSB，約 5-6 位元），故需要將偏移量降至 $\frac{LSB}{2}$ 以下。推算前置放大器之增益， $\frac{10}{100} = 0.1 \text{ mV}$ ，所以前置放大器的增益則最少要有 40 dB（100 倍放大）以上，並且由於前置放大器本身也具有偏移量，故其本身也需要消除其偏移量。

有兩種較簡單的方式可以消除前置放大器的偏移量，第一種是使用前置放大器使用閉迴路（Close-loop）的方式，採用輸入偏移量消除（Input offset cancellation）的方式[25]。第二種便是使用開迴路（Open-loop）的前置放大器做成輸出偏移量消除（Output offset storage）的方式[25]。

若使用第一種架構需要前置放大器，則其增益要大於 20 dB 以上才能消除偏移量，而因為使用的電壓小於 1 伏特，所以要用單級的架構來完成達到高增益、且又有軌對軌的輸入範圍的放大器較為困難，再加上以閉迴路放大器來完成，又會有穩定性的問題，故採用第二種方式來做前置放大器的偏移量消除。

採用第二種方式來完成偏移量消除，其每級的增益必須在 20 dB 以下，如此最少需要串接兩級以上的前置放大器。且為了讓輸入信號範圍能達到軌對軌、且在任一個輸入共模電壓位準時的增益都差不多，所以使用了第一級前置放大器 PA1 當作電壓緩衝器，而前置放大器 PA2_1 及、PA2_2 為主要的放大器。

因為學長所完成的比較器（圖中標記成 COMP）[3]，在每次比較之後，都會做一次重置的動作，其重置比較器之信號又與 Clock 有關，所以加入了前置放大器 PA2_3 用來防止比較器的 Clock feed-through 效應。並且加入了開關 S3_1 及 S3_2，以防止在儲存偏移量時，Clock feed-through 效應造成儲

存之偏移量不正確。由於 PA2_1 和 PA2_2 之增益，會受到儲存偏移量的電容 (C1、C2、C3、C4)、與佈局後寄生電容之影響，造成其增益衰減，所以 PA2_3 也有補償整體放大器級增益的效果。

在我們的設計中，並非每一級前置放大器都加入儲存偏移量的電容，主要原因在於，當每級前置放大器都加入儲存偏移量的電容之後，前置放大器將需要更大的輸出電流，才能在短時間內將兩輸入端之差值放大。而加大輸出電流將會讓電路之功率消耗上升，故能減少儲存偏移量的電容使用數量，也能降低整體消耗功率。

由於 PA1 之增益較小，所以將其和 PA2_1 一起做偏移量消除，第三級之 PA2_2 則為單級的偏移量消除，第四級之 PA2_3 則沒使用偏移量消除。主要原因為一般比較器的偏移量都會比前置放大器高，所以我們假設前置放大器的偏移量為 5mV，而在最差的情況下，COMP 的偏移量會經 PA2_3 衰減再和 PA2_3 的偏移量相加。

前三級因為採用偏移量消除設計，可以視為一 Offset-free 的等效放大器級，偏移量經 Offset-free 的放大器級衰減回輸入端，其值將要小於 $\frac{LSB}{2}$ ，所以若不想在 PA2_3 的輸出加入儲存偏移量的電容，則前置放大器的增益需滿足下式：

$$\frac{LSB}{2} \cdot A_{PA1} \cdot A_{PA2}^2 \cdot \left(\frac{C}{C_{in} + C} \right)^2 \geq VOS_{PA2_3} + \frac{VOS_{COMP}}{A_{PA2}} \quad (4.2)$$

其中 A_{PA1} 為 PA1 的增益、 A_{PA2} 為 PA2 系列 (PA2_1~3) 的增益，假設儲存偏移量的電容 C1、C2、C3、C4 都為單位電容 C，且 PA2_2 及 PA2_3 的輸入端寄生電容都為相等，即為 C_{in} ，由 Post-layout simulation 萃取出其輸入電容大概為 8f 法拉左右，在設計時將其帶入符合 (4.2) 式，如此 PA2_3 即可不用加儲存偏移量的電容。

在提出之比較器級中所用之開關，其要傳遞的信號都為接近 $\frac{V_{DD}}{2}$ 左右的電壓，為了避免開關導通性不良的情形，所以都採用 Bootstrapped 的靴帶式倍壓開關來完成。

由圖 4-3 我們可以了解比較器級內各開關的操作情形， $\Phi 1$ 用來清除儲存於 C1~C4 內，前一次轉換所儲存的 Offset 量。 $\Phi 2$ 則為將 PA1、PA2_1 及 PA2_2 的偏移量分別儲存於 C1~C4 中。 $\Phi 3$ 則導通開關 S3_1 和 S3_2 後，開始進行具有偏移量消除功能的連續近似逼近之動作。

偏移量儲存電容 C1（或 C2）兩個電容總共所儲存的電荷為：

$$C1 \cdot [A_{PA2} \cdot (A_{PA1} \cdot VOS_{PA1} + VOS_{PA2_1})] \quad (4.3)$$

而 C3（或 C4）兩個電容總共所儲存的電荷為：

$$C3 \cdot [A_{PA2} \cdot VOS_{PA2_2}] \quad (4.4)$$



4.2.2.1. 前置放大器（Pre-Amplifier）

為了要得到較好的效能，所以我們希望輸入信號能達到軌對軌，如此便需要有軌對軌輸入範圍的前置放大器，因此我們分析要使用那一種放大器才能達到我們的需求。

在低電壓供應下，有二種架構能實現軌對軌的前置放大器電路：一為使用 Bulk-driven 的架構，其主要是從 Bulk 端來輸入信號，研究[26][27]之架構發現，Bulk-driven 架構適合用於軌對軌的輸入信號，並且也能使用在低供應電壓下操作。當使用 PMOS 來當輸入級時，其 V_{tp} 與 Bulk 電壓的關係式為：

$$|V_{tp}| = |V_{t0}| + \gamma \cdot (\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F}) \quad (4.5)$$

其中 V_{t0} 為當沒有 Body effect 時的臨界電壓，其主要是藉由輸入差動電壓來改變 V_{tp} 而得到差動的電流值，再由負載來將差動電流轉成差動電壓，而可以控制負載來得到不同的增益。但是 PMOS 的源極與汲極對於 Bulk 端存在著 PN 界面，其 PN 界面可能會造成漏電流的發生，而又由於我們的輸入差動電壓很小，所以漏電流將會成為很嚴重的影響，故不太適合用在於我們的設計。

另一種則為輸入同時連接 P 及 N 型差動對，如[28][29]即是採用此一方法來完成，但由於我們所使用的供應電壓小於 1 伏特，所以其所採用的疊接 (Cascode) 負載電路就不能使用於我們的設計中。而[3]之架構可以使用於較低電壓，且同時連接 P 和 N 型差動對的架構，但此架構在該論文中當做比較器使用，所以只需要將其 Latch 的地方改成負載的型式，就能完成軌對軌的前置放大器。

因此我們來選擇適合用於低供應電壓的負載電路，一般差動放大器中可運用二極體連接之電晶體或電流鏡、甚至是單純的 Current-source 來做為其負載。但是由於本設計使用的電壓較低，所以電晶體可能會工作在次臨界區域 (Sub-threshold)，故分析這個區域所用之參數。在這個區域其電流公式為[30][31][32]：

$$i_D \cong K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{gs} - V_t}{\eta V_T}\right) \left[1 - \exp\left(\frac{V_{ds}}{V_T}\right)\right] \quad (4.6)$$

其中 η 為次臨界區斜率參數 (Sub-threshold slope factor)，而 K 為一個製程相關的參數 (Process-dependent parameter)，符號 $V_T = \frac{kT}{q}$ 為溫度電壓，在室溫下約為 25mV。而由電流之公式，可推導使用傳統差動放大器工作在次臨界區時，其小訊號之電導 (g_m) 參數為：

$$g_m \cong \frac{\partial i_D}{\partial V_{gs}} = \frac{1}{\eta V_T} \cdot K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{gs} - V_t}{\eta V_T}\right) \left[1 - \exp\left(\frac{V_{ds}}{V_T}\right)\right] = \frac{1}{\eta V_T} \cdot i_D \quad (4.7)$$

此時其輸出電阻 r_o 之倒數為：

$$\frac{1}{r_o} = \frac{\partial i_D}{\partial V_{ds}} = -\frac{1}{V_T} \cdot K \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{gs} - V_t}{\eta V_T}\right) \exp\left(\frac{V_{ds}}{V_T}\right) = \frac{-\exp\left(\frac{V_{ds}}{V_T}\right)}{V_T \cdot \left[1 - \exp\left(\frac{V_{ds}}{V_T}\right)\right]} \cdot i_D \quad (4.8)$$

由 (4.7) 式可知，次臨界區時的電流 i_D 很小，故 g_m 之值也很小，所以當要放大 20 dB 左右，負載則為將增益加大的主要元件。只使用二極體連接的電晶體或電流鏡來當負載，其在低電壓下之 r_o 可由 (4.8) 式看出，都不足以將增益放大 20 dB 左右。故我們使用了連接成二極體的電晶體 R_{o1} 和負電阻 R_{o2} 並聯，來提高負載電阻值[30]，兩者所並聯起來的負載電阻如下：

$$R_{out} = R_{o1} // R_{o2} \cong \left(\frac{1}{g_{m1}}\right) // \left(-\frac{1}{g_{m2}}\right) \quad (4.9)$$

$$R_{out} = \frac{1}{g_{m1} - g_{m2}} = \frac{1}{\frac{1}{\eta V_T} \cdot i_{D1} - \frac{1}{\eta V_T} \cdot i_{D2}} = \frac{1}{\frac{1}{\eta V_T} \cdot (i_{D1} - i_{D2})}$$

放大器的增益可以表示成：

$$A_V = G_m \times R_{out} \quad (4.10)$$

其中 G_m 和流過差動對電晶體的電流有關，由式 (4.7) 中可以看出，當流過差動對電晶體的電流有最大值時，其 G_m 有最大值，即是有最大增益。流過差動對電晶體的電流最大值就是流過兩負載電阻的電流相加，將此電流最大值以 $g_m(MAX) = \frac{1}{\eta V_T} \cdot (i_{D1} + i_{D2})$ 代入式 (4.10) 中：

$$A_v = G_m \times R_{out} = \frac{\frac{1}{\eta V_T} \cdot (i_{D1} + i_{D2})}{\frac{1}{\eta V_T} \cdot (i_{D1} - i_{D2})} = \frac{1 + \frac{i_{D2}}{i_{D1}}}{1 - \frac{i_{D2}}{i_{D1}}} = \frac{1 + \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}}}{1 - \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}}} \quad (4.11)$$

由 (4.11) 式中，發現其增益 $G_m R_{out}$ 的乘積值，只跟負載電晶體的寬長比有關，所以當供應電壓下降時，其增益並不會有很大的改變，故此架構十分適合應用於低供應電壓之設計下。

而在設計上要得到正負載電阻值，故取 $\frac{W_1}{L_1} > \frac{W_2}{L_2}$ 即可。

圖 4-12 為我們所設計的前置放大器架構 (PA1 與 PA2 系列皆如是)，主要原理是將輸入的差動電壓轉為差動電流，再經由負載將其轉為差動放大之電壓。在輸入共模電壓較低時，由 P 型差動對將輸入電壓轉成電流，再藉由 N3 至 N6 所組成的負載轉換成電壓的型式；而在輸入共模電壓較高時，N 型差動對也是將輸入電壓轉成電流，再由 P0 至 P3 所組成之電流鏡將電流複製到輸出端，最後在由負載轉換成電壓的型式。

然而輸入共模電壓介於兩者之間時，P 型及 N 型差動對將同時操作，而最後是將其兩者的電流總和藉由負載轉成電壓，而由於此種前置放大器的輸出最高在 $\frac{V_{DD}}{2}$ 左右。

圖 4-13 為 PA1 的頻率響應，其各 Corner 下的增益範圍在 6.0 - 9.3 dB 之間；而圖 4-14 為 PA2 系列的頻率響應，其各 Corner 下的增益範圍在 18 dB - 23 dB。其最差的情形也符合 (4.2) 式，故在此比較器在供應電壓 1 伏特是可行的。將設計上的負載之寬長比代入式 (4.11)，所計算出的增益大小也和模擬相去不遠，另外式 (4.11) 即使電路加壓後，使電晶體操作在飽和區，其亦成立。

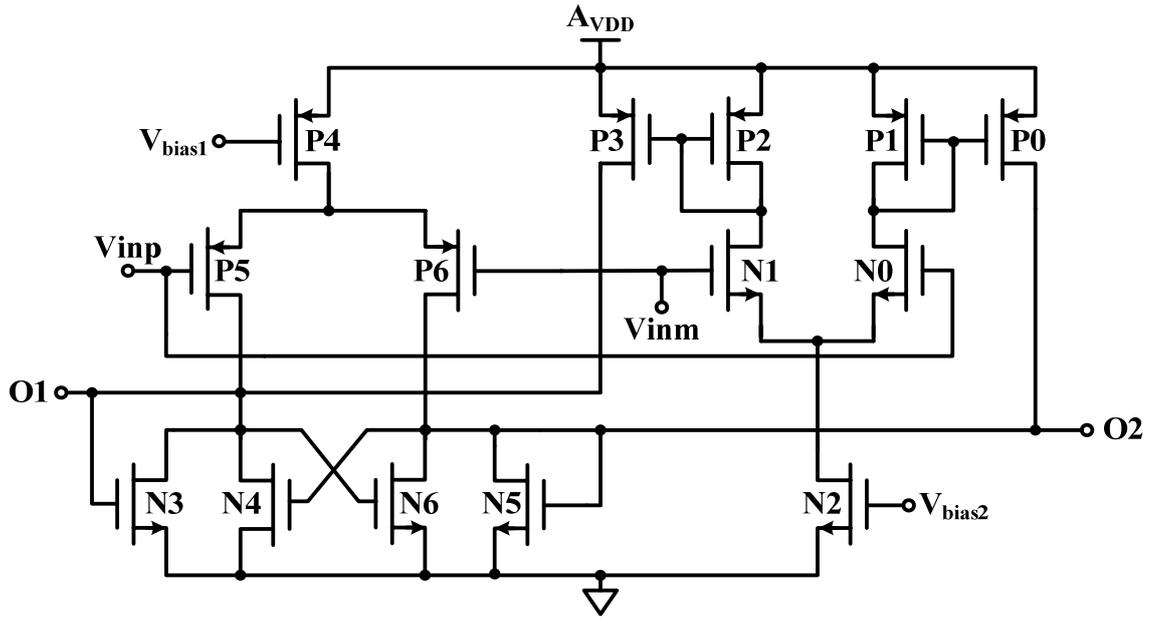


圖 4-12 提出之操作於低電壓下的軌對軌前置放大器設計

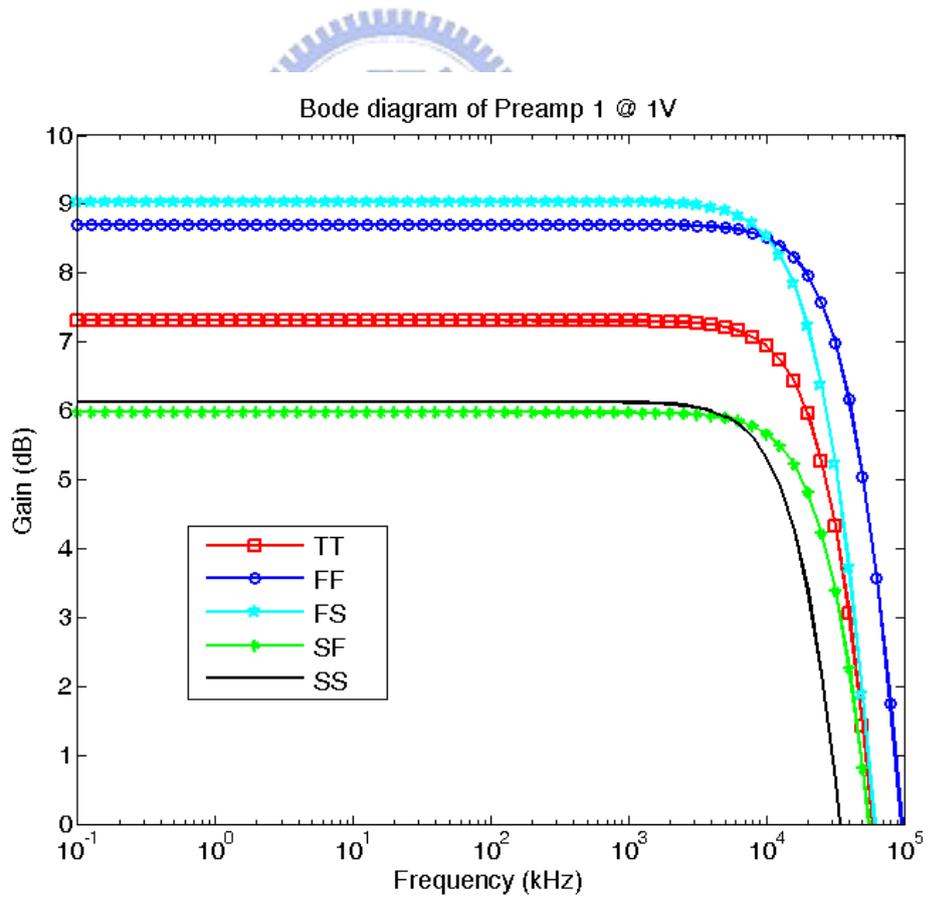


圖 4-13 供應電壓 1 伏特時 PA1 之頻率響應

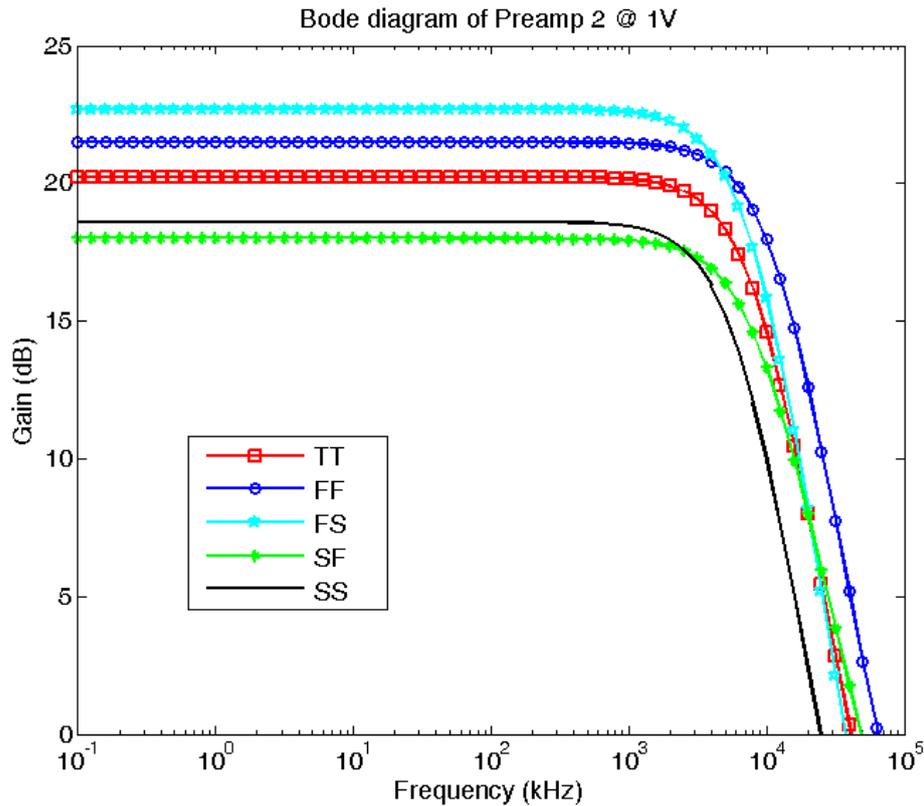


圖 4-14 供應電壓 1 伏特時 PA2 系列之頻率響應

PA2 系列之增益，約 20 dB 左右已經是極限，若增益太大，則當 Offset 過大時，有可能使次級負載趨近飽和。

該具有偏移電壓補償功能的最後一級為比較器，此比較器必須配合前置放大器能有軌對軌輸入信號範圍，而且可以分辨出前置放大器所放大的微小差動信號。

4.2.2.2. 比較器 (Comparator) [3]

這個電路主要是由學長所提出之設計[3]，其使用 N4 及 N6 來形成之門鎖 (Latch)，並且為了解決 Latch 磁滯的問題，所以加入了重置 (Reset) 用電晶體 (N3、N5) 來減低磁滯的影響，而最後再加一反向器將訊號拉至數

位訊號位準，其架構如圖 4-15 所示。

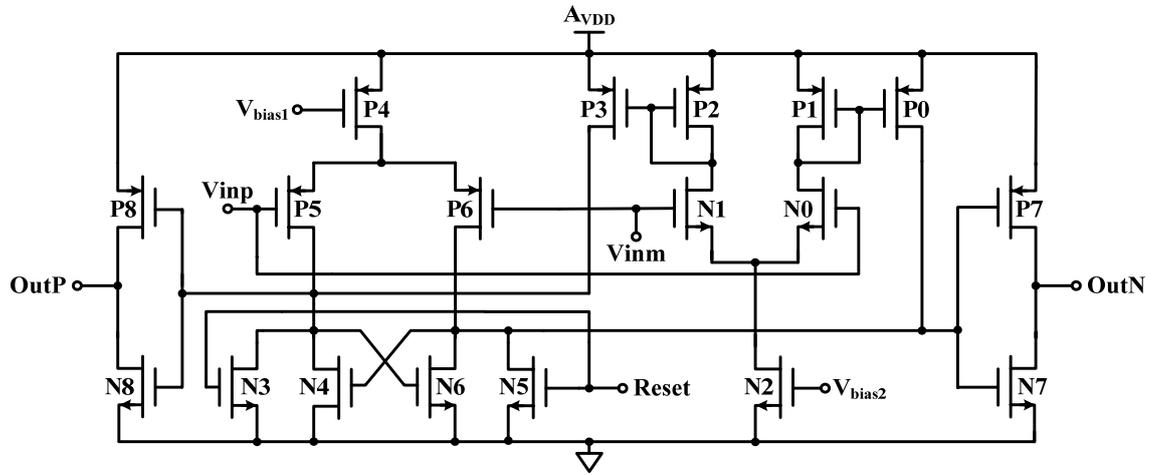


圖 4-15 軌對軌之低耗能比較器

此比較器的比較能力最小約為 1mV 左右，加上了前置放大器四級串接後，可以將相差 $\frac{LSB}{2}$ 的小信號放大到比較器可供比較的位準。但是此種具有偏移電壓補償功能的比較器級，其頻寬卻被前置放大器一至四號給限制住，若在之後的設計想把電路往更大的頻寬發展，首先要改良前置放大器的設計，使其頻寬能更寬。

4.2.3. 數位類比轉換器 (Digital to Analog Converter)

在這個部份主要由數位類比轉換器消耗之功率、不實行校正演算法的電容不匹配度對電路之影響、佈局時的寄生電容對電路之影響、電容陣列在晶片內所佔之面積，等這四方面來選擇我們所需要的數位類比轉換器 (Digital to Analog Converter, DAC)。

在 DAC 設計方面，一般都是由電阻或電容陣列所組成，而藉由連續近似暫存器 (SAR) 所發出的控制信號來控制 DAC 中每一個電阻或電容是接

地或是接參考電壓，再由分壓原理或電荷重佈（Charge redistribution）原理來產生 V_{dac} 電壓，即 DAC 的輸出電壓；再用 V_{dac} 電壓與 V_{in} 經取樣保持電路後的值比較。將比較完後的比較器輸出傳遞至連續近似暫存器，接著進入下一個位元的連續近似動作，逐步改變 V_{dac} 電壓直到其逼近至 V_{in} 為止。

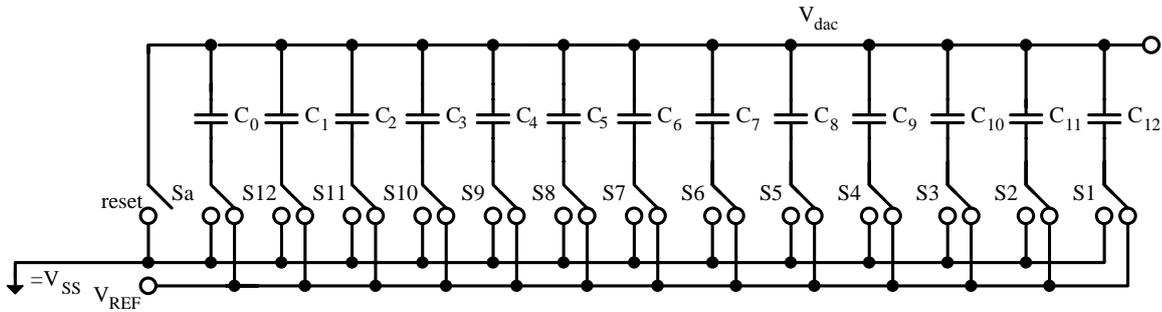


圖 4-16 一般的二進位加權電容式 DAC

傳統二進位加權（Binary weighted）電容式 DAC 如圖 4-16 所示，其中各元件之關係為 $C_{i+1} = 2C_i$ 且 $C_0 = C_1$ ， $(i=1,2,3,\dots,11)$ ，而就我們所關心的四點來進行分析此種 DAC：

先從功率方面來觀察，假設其需 14 個時脈週期來完成一次的轉換，並且其主要時脈頻率最大值為 700k Hz，而取單位電容 C_0 為 24f 法拉， V_{DD} 與參考電壓 V_{REF} 皆為 1 伏特，則其參考電壓的功率可以表示成一個和 V_{in} 有關的函式[3]，近似寫成：

$$PV_{REF}(V_{in}) \cong \frac{F_{CLK}}{14} \cdot 2^{12} \cdot C_0 \cdot \left(\frac{5}{6} V_{DD}^2 - \frac{1}{2} V_{in}^2 \right) \quad (4.12)$$

其值大約在 1.6 至 4 μ W，其主要和 V_{in} 大小有關， V_{in} 小則消耗更多的功率，反之亦然；這功率消耗在我們設計可容忍的範圍內。

再來分析其電容不匹配度和寄生電容所造成的影響，假設有誤差量 $\varepsilon\%$ 發生 MSB 電容 C_{12} 時，此時 C_{12} 接參考電壓、其餘電容接地的 V_{dac} 電壓值可

以表示成：

$$V_{dac}(mis) = \frac{C_{12}(1+\varepsilon)}{\sum_{i=0}^{11} C_i + C_{12}(1+\varepsilon)} \quad (4.13)$$

將 (4.13) 式與理想 V_{dac} ($\frac{1}{2}V_{REF} = 0.5$ 伏特) 比較，發現若此 DAC 要得到 11 位元以上的有效位元 (Effective Number Of Bit, ENOB)，則誤差量 ε 只能為 ± 0.097 (%)。再考慮佈局和下線時產生之寄生電容影響，可知若要用此架構在不實施校正演算法下，達到 11 位元以上的 ENOB，在經過實際下線後，其可實現度幾乎為零。

接下來討論此種 DAC 架構所占之面積問題，此種架構之 DAC 若使用校正演算法或許可以將其修正到有 11 位元以上的 ENOB，但是其最大電容高達 2048C，且整體 DAC 內之電容總和為 4096C。

若以一個單位電容邊長 $9\mu\text{m} \times 9\mu\text{m}$ (使用 $0.18\mu\text{m}$ 製程完成) 計算，即使不考慮走線寬度與兩單位電容間的間距，則此 DAC 之佈局所佔面積最小也高達 $576\mu\text{m} \times 576\mu\text{m}$ 以上 (每邊放 64 個單位電容，且採同心圓佈局計算之)。實際下線時還需要考慮間距等問題以符合 DRC 規則，實際面積還會更大，故並不實用。

前述架構其可容忍誤差量過小，且佔較大晶片面積的主要原因是因為最高位元電容值過大所致，為了解決這個問題，我們將整個 12 位元的 DAC 分成兩個部份，其架構如圖 4-17 所示。

此種架構將 Sub DAC 透過單位電容 C_0 與 Main DAC 相連接，由 Main DAC 負責較高位元的轉換，而 Sub DAC 負責較低位元的轉換。不但有效的降低了電容的最大值，也降低了整體電容值總和。

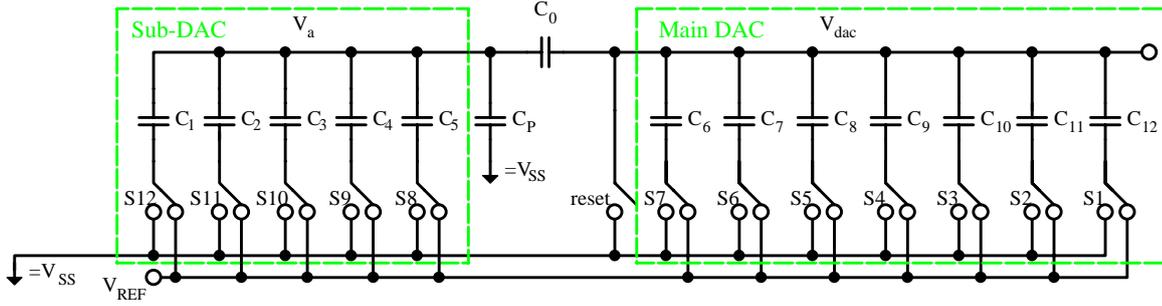


圖 4-17 將 DAC 陣列分成 Sub DAC 與 Main DAC 之架構

因為 Sub DAC 的位元數較少，可容忍較高之電容誤差，故不對其實施校正演算法。然而如何決定 Main DAC 及 Sub DAC 合適的位元數，期望 Sub DAC 之誤差量對整體 DAC 之精準度影響能降到最小，使此 DAC 能得到 11 位元以上的有效位元 (ENOB)。

首先討論 V_a 點之寄生電容 C_p 對 Sub DAC 之影響，計算 V_a 點所能容忍的最大寄生電容 C_p 值，此值必須能使此 DAC 得到 11 位元以上的 ENOB。在此我們假設每個電容具有良好的匹配性，而 V_a 點產生的寄生電容對於 Sub DAC 影響最嚴重，而 Sub DAC 又以 MSB 影響最大，經分析之後得：

$$V_a(C_p) = \frac{2^{(Sub_DAC_bit-1)}C}{(2^{Sub_DAC_bit} - 1)C + \frac{C_0 \cdot (2^{MDAC_bit} - 1)}{C_0 + (2^{MDAC_bit} - 1)}} + C_p \quad (4.14)$$

$$V_{dac}(C_p) = \frac{C_0}{C_0 + (2^{MDAC_bit} - 1)} \cdot V_a(C_p) \quad (4.15)$$

$$V_{error} = V_{dac}(C_p) - V_{dac}(C_p = 0) \quad (4.16)$$

其中 MDAC_bit 為 Main DAC 的位元數，Sub_DAC_bit 為 Sub DAC 的位元數。可由 (4.16) 來推得表 4-1，由表中我們可知，佈局時 V_a 點產生的寄生電容值 C_p ，再加上 C_0 下板所產生的寄生電容，一般來說都要能小於 24f

法拉，才能將 Sub DAC 之誤差量對電路的影響降到最小。

由於佈局時的因素，5 位元的 Sub DAC 是由 (2^5-1) 個單位電容構成，其寄生電容是由串接 (2^5-1) 個單位電容的上板之走線對地所產生，其值約為 18f 法拉左右；若使用 6 位元的 Sub DAC，其寄生電容則是由串接 (2^6-1) 個單位電容的上板之走線對地所產生，其值必會超過 24f 法拉以上。

所以採用架構 1 來實現較為困難，而可由架構 2 及 3 兩者選擇其一。兩者選擇主要考量到功率消耗方面，在同樣的單位電容下，第 2 種架構一定比第 3 種架構消耗功率低，故最後採用第 2 種架構來實現。

表 4-1 分析位元數之結果比較

Requirement : ENOB > 11 bits ; $V_{error} < \pm 1$ LSB				
架構	MDAC_bit	Sub_DAC_bit	Max. allowed Cap in node V_a	Power dissipation
1.	6-bit	6-bit	1.02C=24.36 f F	34.5 nW
2.	7-bit	5-bit	1.03C=24.72 f F	40.7 nW
3.	8-bit	4-bit	1.06C=25.58 f F	67.9 nW

由於不對 Sub DAC 做校正，我們同樣可以由式 (4.15) 推得 Sub DAC 中電容 C_5 所能忍受的最大誤差量為何，此值必須仍能使此 DAC 得到 11 位元以上的 ENOB。經推算後發現 C_5 能忍受約 -7~+10% 的誤差量發生，此誤差值對於實際製程上來說是可實現的。

在精準度方面，由於將整個 DAC 分成 Main DAC 和 Sub DAC 兩個部份，所以準確度會比傳統的架構佳。假設有誤差量 ε % 發生在 MSB 電容 C_{12} 時，此時 C_{12} 接參考電壓、其餘電容接地的 V_{dac} 電壓值可以表示成：

$$V_{dac}(mis) = \frac{C_{12}(1+\varepsilon)}{Z_{sub} + \sum_{i=6}^{11} C_i + C_{12}(1+\varepsilon)} \quad (4.17)$$

其中 Z_{sub} 表示由 C_0 串聯 Sub DAC 的等效電容值，寫成：

$$Z_{sub} = \frac{C_0 \cdot \left(\sum_{i=1}^5 C_i + C_p \right)}{C_0 + \left(\sum_{i=1}^5 C_i + C_p \right)} \quad (4.18)$$

由式 (4.17) 與理想 V_{dac} ($\varepsilon=0$) 做比較，則發現若此 DAC 欲得到 11 位元以上的 ENOB，則 ε 約能為 ± 0.097 (%)， $\pm 0.097\%$ 以內的誤差，可實現度仍然太低，故有對 Main DAC 實施所提出之校正演算法的必要，我們期望電路之表現在經過校正後，能達到 11 位元以上的 ENOB。

如此將 DAC 切成兩個部分，Sub DAC 之 MSB 電容 C_5 其值僅有 $16C$ ，Main DAC 內之 MSB 電容 C_{12} 其值僅有 $64C$ ，整體電容值總和僅有 $159C$ ，大幅降低了晶片內被 DAC 之電容陣列所佔去的面積。

4.2.3.1. 加入 Calibration DAC 與寄生電容之影響

為了要在實施校正演算法後，將一個出現在比較器負端，代表待校電容之誤差量大小的類比電壓數位化，以進行我們所提出的全數位校正方式，我們需要一組校正用數位類比轉換器 (Calibration DAC) 負責這個角色。

由之前的討論中提到，我們希望 Calibration DAC 可以多取兩個冗位元 (Redundant bits, Guard bits) 當作校正 LSB 之用，故我們取 Calibration DAC 的位元數為 Sub DAC 多兩個位元，也就是七位元的 Calibration DAC。

提出之數位類比轉換器最終如圖 4-18 所示，包含一組負責較高之七位元、且對其實行校正演算法的 Main DAC、一組負責較低之五位元的 Sub DAC、以及一組校正時負責數位化 V_{dac} 值的七位元 Calibration DAC。

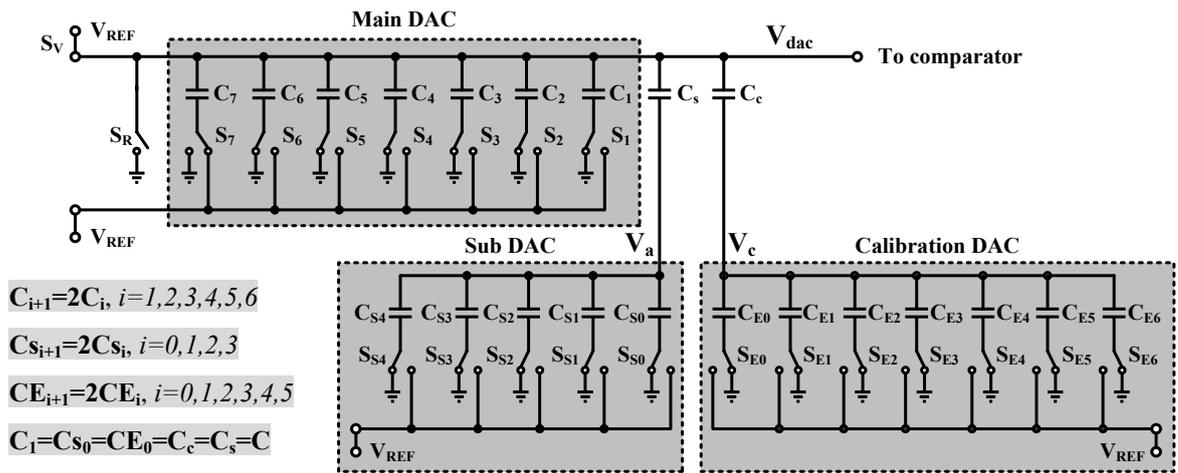


圖 4-18 提出之數位類比轉換器架構

Calibration DAC 的位元數直接影響了電路的最大校正能力，其選擇上有些限制。若想要校正能力夠大，其位元數則必須向上延伸，位元數向上延伸的話相對的電容數也要增加，這會導致電容面積再增加，所以只選擇七個位元來實現 Calibration DAC。

另外位元數若向下延伸，取更多的 Guard bits 以期望能校正的更精準，我們會在前置放大器與比較器級碰到瓶頸。由於前置放大器之增益無法再增加，每級增益 20 dB 已達到極限，若是往下延伸 Calibration DAC 之位元數，可能會使比較器無法分辨這過小的電壓差異。

以下我們將 DAC 加上各自的寄生電容後，討論其寄生電容對校正之精準度之影響，DAC 加上各自走線時造成的寄生電容後如圖 4-19 所示。 C_m 表示 V_{dac} 點對地之寄生電容， C_p 則表示 V_a 點對地之寄生電容， C_{pc} 則表示 V_c 點對地之寄生電容；而符號 C 表示單位電容，其值約為 24f 法拉。

這些寄生電容之來源皆是串接各單位電容的上板走線所造成，所以其值會和各 DAC 之位元數成正比，連接越多的單位電容則走線越長，寄生電容越大。

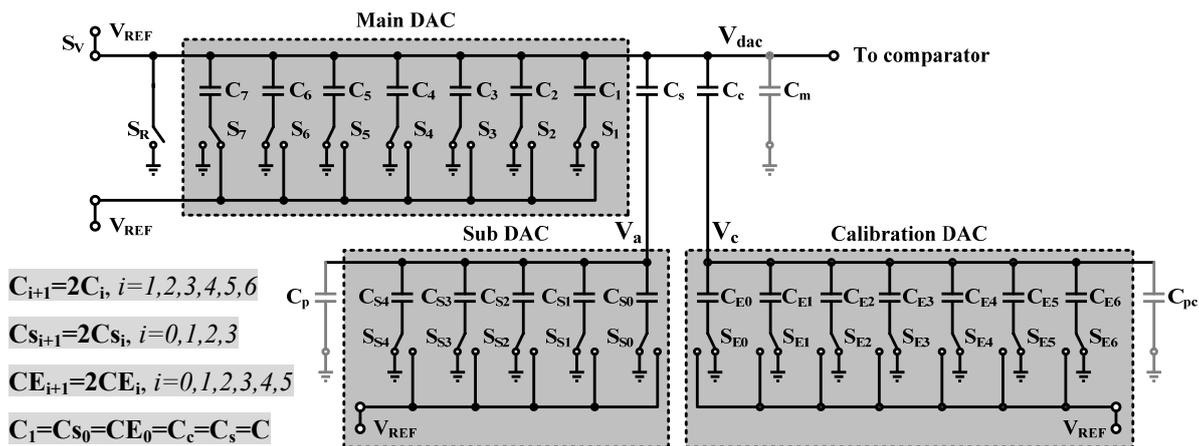


圖 4- 19 加上寄生電容後的數位類比轉換器

首先討論 Main DAC 內之影響最重大的 MSB 位元，若假設 MSB 電容 C_7 之誤差量為 $\varepsilon\%$ ，則當其接參考電壓、其餘電容接地的 V_{dac} 電壓值可以表示成：

$$V_{dac} = \frac{C_7(1+\varepsilon)}{Z_{sub} + Z_{cal} + \sum_{i=1}^6 C_i + C_7(1+\varepsilon) + C_m} \quad (4.19)$$

其中 Z_{sub} 表示由 C_s 串聯 Sub DAC 的等效電容值，寫成：

$$Z_{sub} = \frac{C_s \cdot \left(\sum_{i=0}^4 C_s i + C_p \right)}{C_s + \left(\sum_{i=0}^4 C_s i + C_p \right)} \quad (4.20)$$

其中 Z_{cal} 表示由 C_c 串聯 Calibration DAC 的等效電容值，寫成：

$$Z_{cal} = \frac{C_c \cdot \left(\sum_{i=0}^6 C_E i + C_{pc} \right)}{C_c + \left(\sum_{i=0}^6 C_E i + C_{pc} \right)} \quad (4.21)$$

根據學長之佈局經驗，將位元數相等的 C_m 和 C_{pc} 用 80f 法拉代入、 C_p 以 16f 法拉代入後，由式 (4.19) 推知，此時 MSB 電容 C_7 所能容忍的誤差

量大約和之前相同，約是 $\pm 0.097\%$ 左右，也有必要實行校正。

注意當 C_m 增加時，加上 Z_{cal} 的影響，會使式 (4.19) 之分母增加，此時原本應該是 $\frac{1}{2}V_{REF}$ 的電壓會變的不滿 $\frac{1}{2}V_{REF}$ 。也就是說 C_m 和 Z_{cal} 主要的影響是讓我們的輸入信號之動態範圍略為下降。

同理，由之前的推算得知，電容對於其值向上增加的誤差量可以有更大的容忍範圍，也是因為其值上升（電壓上升）與 C_m 和 Z_{cal} 的影響（電壓下降）正負相抵之故。

接著討論 Sub DAC 之影響最重大的 MSB 位元，若假設 MSB 電容 C_{s4} 之誤差量為 $\varepsilon_{s4}\%$ ，橋接電容 C_s 之誤差量為 $\varepsilon_s\%$ ；則當 MSB 電容 C_{s4} 接參考電壓、其餘電容接地的 V_{dac} 電壓值可以表示成：

$$V_a = \frac{C_{s4}(1+\varepsilon_{s4})}{\sum_{i=0}^3 C_s i + C_{s4}(1+\varepsilon_{s4}) + C_p + \frac{C_s(1+\varepsilon_s) \cdot \left(\sum_{i=1}^7 Ci + C_m + Z_{cal} \right)}{C_s(1+\varepsilon_s) + \left(\sum_{i=1}^7 Ci + C_m + Z_{cal} \right)}} \quad (4.22)$$

$$V_{dac} = \frac{C_s(1+\varepsilon_s)}{C_s(1+\varepsilon_s) + \sum_{i=1}^7 Ci + C_m + Z_{cal}} \cdot V_a \quad (4.23)$$

由式 (4.22) 和式 (4.23) 觀察，可以發現 C_m 和 Z_{cal} 項對其影響非常小，若此 DAC 欲得到 11 位元以上的 ENOB，則 MSB 電容 C_{s4} 所能忍受的誤差也和之前相當，約為 $-7\sim+10\%$ 。亦可以由上列二式來計算橋接單位電容 C_s 可容忍的誤差範圍，約為 $-3\sim+7\%$ ，對於實際製程來說，兩者都算是可實現的範圍。

經由以上的分析，我們證明儘管不對 Sub DAC 實施校正，其誤差量仍不會影響電路的主要效能。

七位元的 Calibration DAC，其最大可數位化之 V_{dac} 值為 31.75 LSB，可由此推算出最大可校正之誤差為何。Main DAC 中對電路之 ENOB 影響最大的電容為 MSB 電容 C_7 ，重寫式 (4.19)，且將 $\varepsilon\%$ 的誤差代入 MSB 電容 C_7 中，若 MSB 電容 C_7 接參考電壓、其餘電容接地的 V_{dac7} 電壓值可以寫成：

$$V_{dac7} = \frac{C_7(1+\varepsilon)}{Z_{sub} + Z_{cal} + \sum_{i=1}^6 Ci + C_7(1+\varepsilon) + C_m} \quad (4.24)$$

由第三章之結論，我們可以知道數位化後的 V_{dac} 與 C_7 之誤差量數位編碼 D_{E7} 之關係為：

$$D_{E7}(Max) = \frac{1}{2} D[V_{dac}(Max)] = V_{dac7} - V_{dac7}(\varepsilon = 0) \quad (4.25)$$

聯立式 (4.24) 和式 (4.25)，發現當 $V_{dac}(Max)$ 有最大值 31.75 LSB 時，此時 ε 為 $\pm 1.5\%$ ，即為 MSB 電容 C_7 之最大可校正範圍。由於 Main DAC 內的電容為二進位加權式電容陣列，我們也可以由式 (4.26) 推知其餘電容 $C_6 \sim C_1$ 之最大可校正範圍。

$$D_E(x) = \frac{1}{2} \left\{ D[V_{dac}(x)] - \sum_{p=x+1}^7 D_E(p) \right\} \quad (4.26)$$

接著我們專注在探討 Calibration DAC 的精準度上，Calibration DAC 之精準度要為何，才能將整體 ADC 的 ENOB 校正回 11 位元以上。我們假設 MSB 電容 C_{E6} 之誤差量為 $\varepsilon_{E6}\%$ ，橋接電容 C_c 之誤差量為 $\varepsilon_c\%$ ；當 MSB 電容 C_{E6} 接參考電壓、其餘電容接地的 V_{dac} 電壓值可以寫成：

$$V_c = \frac{C_{E6}(1+\varepsilon_{E6})}{\sum_{i=0}^5 C_E i + C_{E6}(1+\varepsilon_{E6}) + C_{pc} + \frac{C_c(1+\varepsilon_c) \cdot \left(\sum_{i=1}^6 Ci + C_7(1-1.5\%) + C_m + Z_{sub} \right)}{C_c(1+\varepsilon_c) + \left(\sum_{i=1}^6 Ci + C_7(1-1.5\%) + C_m + Z_{sub} \right)}} \quad (4.27)$$

$$V_{dac} = \frac{C_c(1+\varepsilon_c)}{C_c(1+\varepsilon_c) + \sum_{i=1}^6 C_i + C_7(1-1.5\%) + C_m + Z_{sub}} \cdot V_c \quad (4.28)$$

在此我們假設 Main DAC 內 MSB 電容 C_7 之誤差量為-1.5%，而要將整體 ADC 的 ENOB 校正回 11 位元以上。我們可以比較其各電容的誤差量數位碼 D_{Ei} ， C_{E6} 有誤差和無誤差時所得到的誤差量之數位碼，差異要小於一個 LSB。聯立 (4.27) 和 (4.28) 得知， C_{E6} 可容許的誤差約為+8%。

將電容 C_{E6} 可容許的誤差+8%代入 Calibration DAC 之行為模型 (Behavioral model)，可以發現此時 Calibration DAC 之 EONB 約為五位元，可以和式 (4.26) 相呼應。在式 (4.26) 中發現，我們對數位化後的 V_{dac} 作了「除二 (右移一位元)」的動作，若 Calibration DAC 精準到七位元時：

$$31.75/2 = 15.875 \quad (\text{LSB})$$

但是電路中以二進位儲存此數位碼，故發生了捨位誤差，將 15.875 以 15.75 儲存之。則當 Calibration DAC 精準度只有較高之五位元時：

$$31/2 = 15.5 \quad (\text{LSB})$$

此值 15.5 則可以被完全儲存而不需捨位，和理想值 15.75 相比，其誤差量不到 0.5 個 LSB，故可以認為以數位電路實行全數位校正法有著較高的容錯度，且+8%之誤差對實際製程而言也是可以實現的範圍。

接著討論橋接單位電容 C_c 對 Calibration DAC 之影響，注意在探討 C_c 之影響時，我們無法由 Calibration DAC 之 ENOB 來探討。原因是 C_c 其影響的是「 V_a 點分壓至 V_{dac} 點之分壓值」，因為這分壓值「一起下降」的緣故，其 ENOB 不會改變，故我們還是由誤差量之數位碼相差值，來估計 C_c 最大可容忍之誤差量。

經過計算後發現 C_c 其最大可容忍之誤差量為+9%，這對實際製程而言

也是可以實現的範圍。我們將以上的計算結果代入 Matlab 建立之 ADC 行為模型後驗證無誤，證明我們提出的 DAC 架構，具有以有效位元數有限的 Calibration DAC，將整體 ADC 的有效位元校正回 11 位元以上的能力。

注意我們的計算方式都是由影響最大的 MSB 電容下手，若要推算其餘的電容對電路之影響，可以簡單的由各元件之間的二進位加權比例關係推得之，故在此不多加贅述。

4.2.3.2. DAC 之消耗功率及其佈局考量

DAC 之操作主要有清除偏移量模式 $\Phi 1$ 、取樣及儲存偏移量模式 $\Phi 2$ 及電荷重新分佈模式 $\Phi 3$ 。當在清除偏移量模式 $\Phi 1$ 及取樣及儲存偏移量模式 $\Phi 2$ 時，主要是將 DAC 的電容兩端接至地；而電荷重新分佈模式時，其 V_{dac} 點是浮接狀態，故 DAC 部分無靜態功率之消耗，因此在此處其數位類比轉換器之功率主要由暫態功率所決定，藉此推導出[23]下式：

$$P_{SUM} = F_{CLK} C V_{REF}^2 \left\{ \sum_{i=8}^{11} \left\{ \left[\left((2^7 - 1) + (2^5 - 1) + \sum_{i=1}^7 \left[\frac{2^{7-i} + \sum_{n=1}^{i-1} 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right] \right) (-2^{6-i} + 2^{7-i} D_{13-i}) \right] + \right. \right. \\ \left. \left. \left[\left[\frac{1}{2^7} \times \frac{2^{12-i} + \sum_{n=1}^{i-8} 2^{5-n} D_{6-n}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} \right] + \left[\frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}} \right] \right] (-2^{6-i} + 2^{7-i} D_{13-i}) \right\} + \right. \\ \left. \left(-\frac{1}{2^5} - \sum_{n=2}^{12} 2^{n-6} D_n \right) \left[\frac{1}{2^7} \times \frac{1 + \sum_{n=1}^4 2^{5-n} D_{6-n} + \frac{\sum_{n=1}^7 2^{7-n} D_{13-n}}{(2^7 - 1) + \frac{(2^5 - 1)}{2^5}}}{(2^5 - 1) + \frac{(2^7 - 1)}{2^7}} \right] \right\} \quad (4.29)$$

其中 F_{CLK} 是時脈頻率， C 為單位電容， D_1 到 D_{12} 為 DAC 之輸出。

藉由式 (4.29)，我們可以知道當單位電容 C 值愈小，所消耗功率就會愈小，而主要由兩個方面來決定單位電容的值：即熱雜訊 (Thermal noise) 的分析及製程限制，從分析熱雜訊的結果，可知能使用的電容值只需大於 10.7f 法拉即可，但由於此一電容值受限於製程佈局規則無法實現。故最後考慮尖端放電之切角問題、在不違反佈局規則的前提下 (Design rule)，決定使用的單位電容值約為 24f 法拉。

在佈局方面，為了增進各電容之間的匹配度，故三組 DAC 中的電容陣列都以對稱中心 (Common-centroid) 的方式來擺放電容，盡可能的讓各單位電容在 X、Y 軸上能夠均勻對稱，來達到更好的電容匹配度。DAC 之佈局方式如圖 4-20 所示，我們將三組 DAC 呈 L 狀排列，如此各橋接之單位電容 (C_s 和 C_c) 其走線距離 (寄生於 C_s 和 C_c 兩端之電容) 將約略相等。

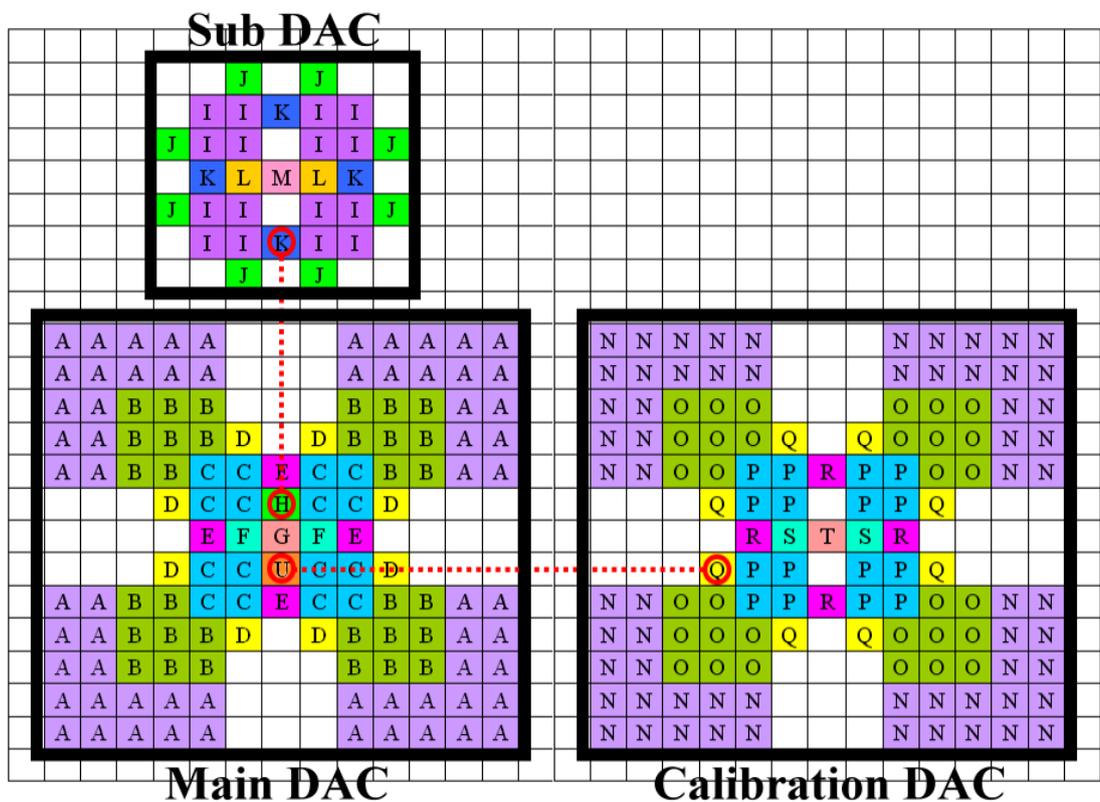


圖 4-20 三組 DAC 之佈局

A 到 G 依序為 Main DAC 的電容 C_7 到 C_1 , I 到 M 依序為 Sub DAC 的電容 C_{s4} 到 C_{s0} , N 到 T 依序為 Calibration DAC 的電容 C_{E6} 到 C_{E0} , H 為連接 Sub DAC 的電容 C_s , U 為連接 Calibration DAC 的電容 C_c 。三組 DAC 總共所佔面積約為 $355\mu\text{m} \times 220\mu\text{m}$, 其餘空白部份為 Dummy 電容。

4.3. 提出之 SA ADC 數位電路設計

為了將提出之演算法加入一個 SA ADC 中, 我們將一個校正區塊加入電路中 (Calibration block), 取代傳統的 SA ADC 之數位部份 (SAR)。校正區塊可分成三個主要區塊, 第一個區塊為控制區塊 (Controller block)、第二區塊為暫存器與 ALU 區塊 (Register Files & ALU block)、第三區塊為加法器區塊 (Adder), 其架構方塊圖如圖 4-21 所示。

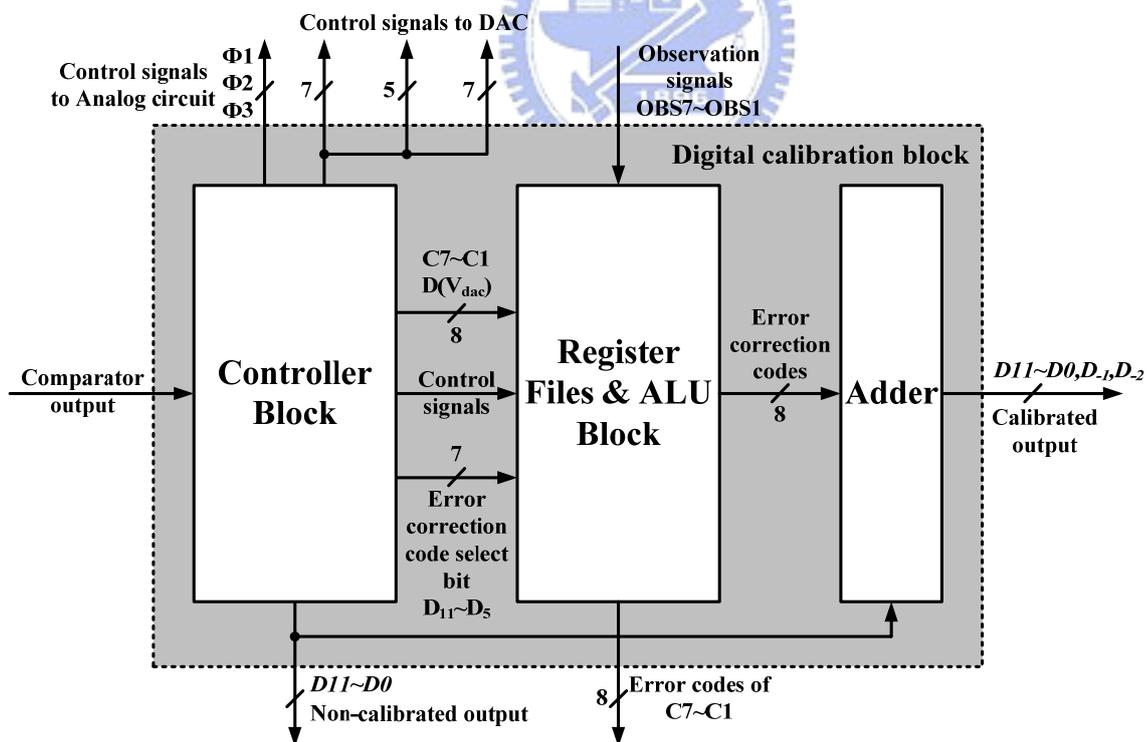


圖 4-21 提出之數位部分方塊圖

在接下來的小節中，我們以方塊圖解釋各數位區塊內的動作，及各數位區塊內的數位電路動作之時序圖。

4.3.1. 控制區塊 (Controller block)

控制區塊由兩塊主控制器區塊組合而成。控制器 A 於誤差計算模式時控制整體電路之動作；控制器 B 則於正常轉換模式時控制整體電路之動作，藉由一組多工器來切換控制器 A 與 B 之輸出，其架構如圖 4-22 所示。

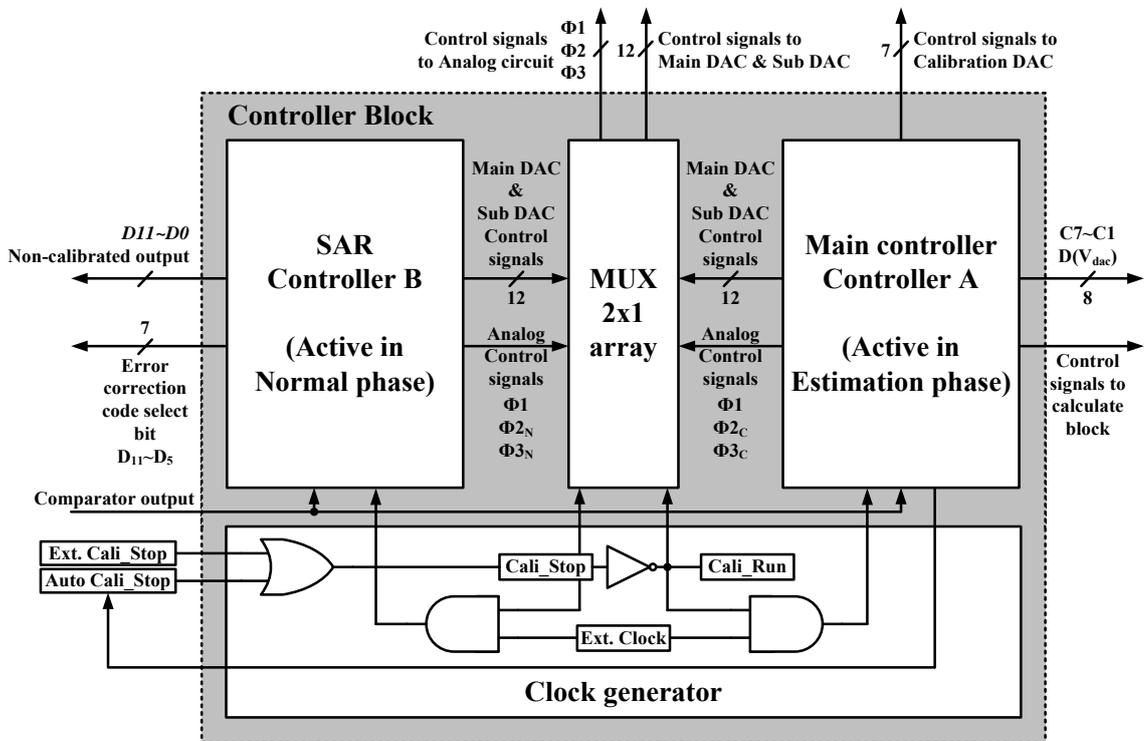


圖 4-22 提出之控制區塊架構圖

在誤差計算模式時，控制器 A 產生數組校正用的數位訊號，控制 Main DAC 與 Sub DAC 之電容下板開關的切換動作，且控制 Calibration DAC 完成連續近似逼近之動作，同時也控制了暫存器與 ALU 區塊的數位運算之動作。在正常轉換模式時，控制器 B 接收比較器的輸出並取代控制器 A 的功

能，此時由其控制 Main DAC 與 Sub DAC 完成連續近似的動作。

我們使用了一個名為 Cali_Stop 的訊號來分離誤差計算模式以及正常轉換模式，這個訊號可以由控制器 A 在誤差計算模式結束後自動產生，如此電路會進入具有校正功能的正常轉換模式。也可以由外部控制接腳直接輸入，如此電路便進入不具校正功能的正常轉換模式，用以和具校正功能的正常轉換模式相互驗證、比較。

控制器 B 其結構就是一般的連續近似暫存器架構，其動作如表 4-2 所示。由此表我們可知只要使用移位暫存器、多工器及一些邏輯電路即可完成控制器 B 之架構。

表 4-2 控制器 B 之連續近似暫存器動作

P	C	DAC switch control signal													C _o
		S _R	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S _{S4}	S _{S3}	S _{S2}	S _{S1}	S _{S0}	
Φ ₁	1	1	0	0	0	0	0	0	0	0	0	0	0	0	-
Φ _{2_N}	2	1	0	0	0	0	0	0	0	0	0	0	0	0	-
Φ _{3_N}	3	0	1	0	0	0	0	0	0	0	0	0	0	0	D ₁₁
Φ _{3_N}	4	0	D ₁₁	1	0	0	0	0	0	0	0	0	0	0	D ₁₀
Φ _{3_N}	5	0	D ₁₁	D ₁₀	1	0	0	0	0	0	0	0	0	0	D ₉
Φ _{3_N}	6	0	D ₁₁	D ₁₀	D ₉	1	0	0	0	0	0	0	0	0	D ₈
Φ _{3_N}	7	0	D ₁₁	D ₁₀	D ₉	D ₈	1	0	0	0	0	0	0	0	D ₇
Φ _{3_N}	8	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	1	0	0	0	0	0	0	D ₆
Φ _{3_N}	9	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	1	0	0	0	0	0	D ₅
Φ _{3_N}	10	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	1	0	0	0	0	D ₄
Φ _{3_N}	11	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	1	0	0	0	D ₃
Φ _{3_N}	12	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	1	0	0	D ₂
Φ _{3_N}	13	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	1	0	D ₁
Φ _{3_N}	14	0	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	1	D ₀

上表 4-2 所對應之開關符號如圖 4-18 或圖 4-19 所示，表中符號 P 表示 Φ₁、Φ_{2_N}、Φ_{3_N} 之操作，符號 C 表示目前動作之時脈週期數 (Clock cycle)，

符號 C_0 則表示當前之比較器輸出位元。

在 $\Phi 1$ 時電路之操作為清除上次轉換所儲存的偏移量，在 $\Phi 2_N$ 時則儲存這次轉換所需要的偏移量、並且對輸入訊號做取樣、且重置 DAC 上板之電壓，所以共多加兩次的 Clock cycle 來做上述兩個動作。

在 $\Phi 3_N$ 時則進入保持模式，比較器將由 MSB 至 LSB 依序解出 12 個位元，總計共十四個 Clock cycle 來完成一次的轉換。在轉換同時也會根據每次比較器之輸出 C_0 為 0 或 1，來決定是否要將此電容所對應的誤差校正項，加入此次轉換之編碼所對應的誤差校正項之中。

主控制器 A 之架構如圖 4-23 所示，經由一個主控制器 (DAC control signal generator)，根據七種不同的 Capacitor index select signal，產生七種不同的 DAC 開關之控制信號。

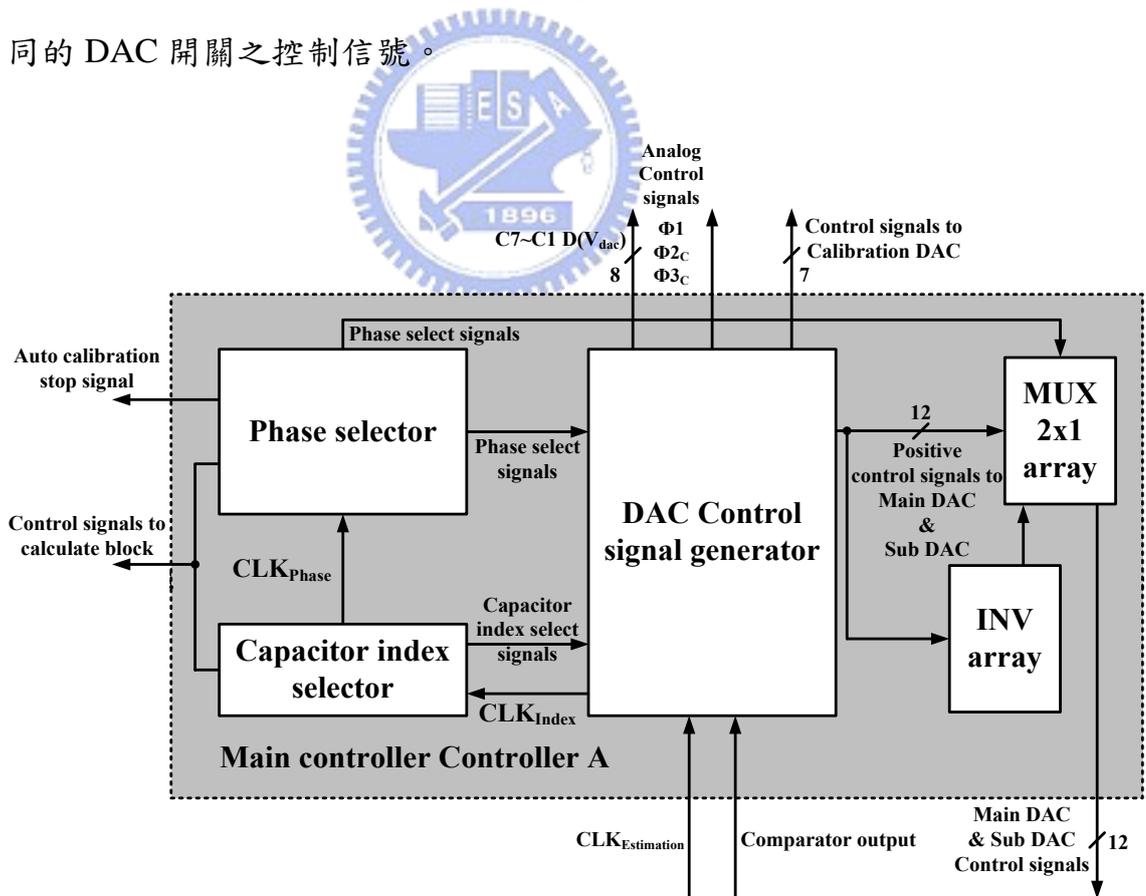


圖 4-23 提出之控制器 A 之架構

這些 DAC 開關之控制信號為計算電容之「正向誤差」所需之信號；同時這些信號會輸出至一組反向器陣列，以提供計算電容之「負向誤差」所需之信號，由一組多工器與一個 Phase select signal，控制所需提供的誤差計算信號之方向。

DAC control signal generator 亦產生三個類比電路控制信號 $\Phi 1$ 、 $\Phi 2_C$ 、 $\Phi 3_C$ 。且在誤差計算模式下，控制 Calibration DAC 之連續近似的動作，將七組數位化後的 $D(V_{dac})$ 輸出至次級計算電路。將控制器 A 之動作以時序圖表示，如圖 4-24 所示。

群組 1 (Group 1) 之信號由控制器 A 之 Phase selector 產生，經由一個 Reset 信號觸發後開始電路的誤差計算模式，其中 Pos_Cali 表示提供正向誤差計算信號，Neg_Cali 表示提供負向誤差計算信號，Calculate 信號是給次級計算電路之控制信號。最後完成後舉起 Auto_Cali_Stop 信號，結束誤差計算模式，進入具有校正功能的正常轉換模式。

群組 2 (Group 2) 之信號由控制器 A 之 Capacitor index selector 產生，信號 Cali_C7 至 Cali_C1 表示欲計算誤差的「待計算」電容編號，控制 DAC control signal generator 產生七種不同的誤差計算信號。當控制信號 Cali_C7 至 Cali_C1 輸入至次級計算電路的時候，則控制 ALU 單元計算該電容編號所對應之電容誤差量。群組 2 之所有信號只發生於誤差計算模式，於正常轉換模式時並不會舉起。

群組 3 (Group 3) 內下標為 c 之信號由控制器 A 之 DAC control signal generator 產生，總共可產生 7 種不同的電容誤差計算信號，將此電容誤差計算信號輸出至一組反向器陣列，再由一組多工器選擇其輸出。則總計有 14 種不同的 Main DAC 與 Sub DAC 開關控制信號由控制器 A 輸出。

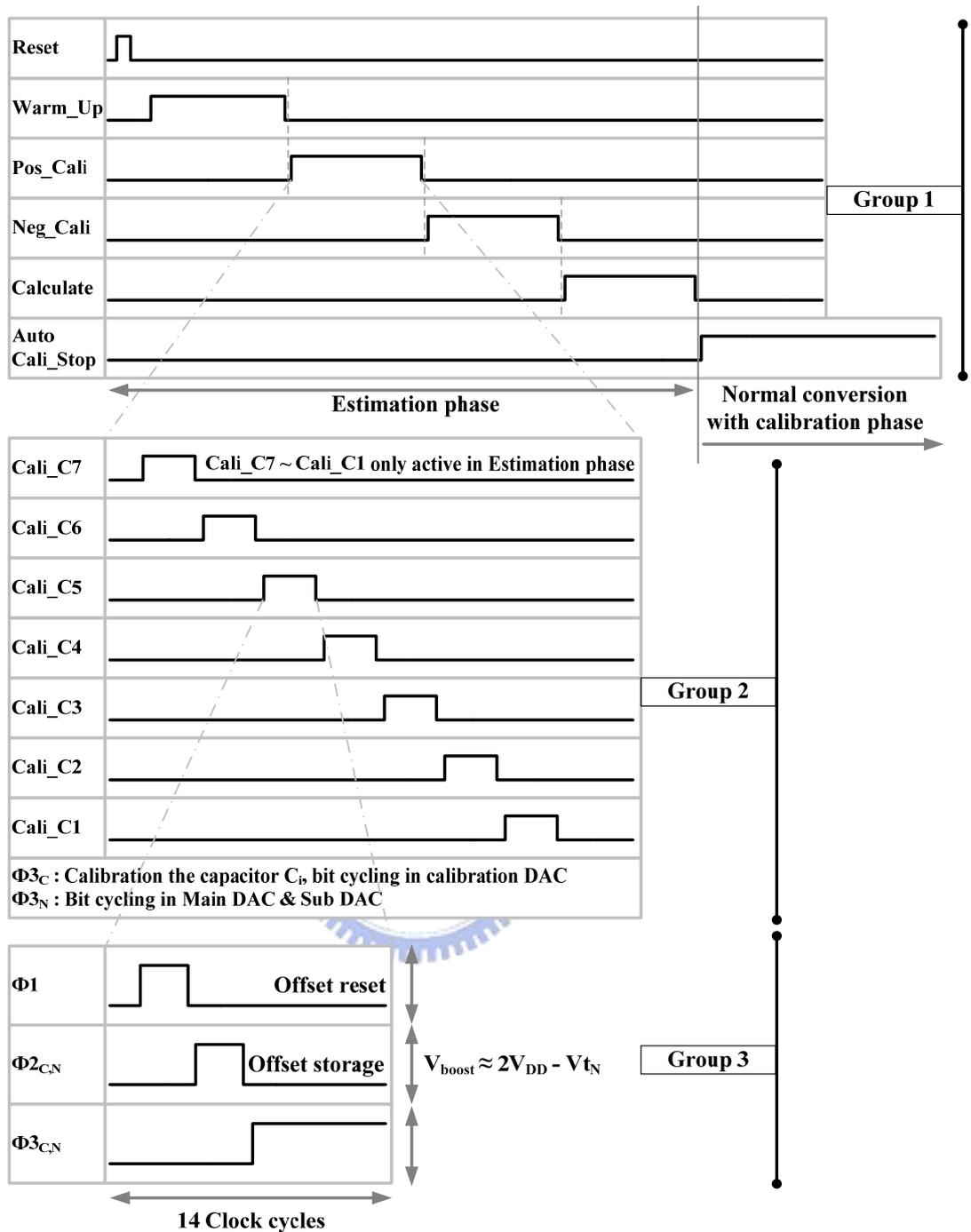


圖 4- 24 控制器 A 之時序圖

我們以計算 Main DAC 的 MSB 電容 C_7 之負向誤差所需信號、與計算 Main DAC 的 MSB_{-1} 電容 C_6 之負向誤差所需信號、以及計算 Main DAC 的 MSB 電容 C_7 之正向誤差所需信號做範例，依序將控制器 A 之 DAC control signal generator 輸出信號列於表 4-3、4-4、4-5，所對應之開關符號依然如圖

4-18 或圖 4-19 所示。

總計 14 個 Clock Cycle 完成「單向」計算一個電容之誤差量的動作，在 $\Phi 1$ 時電路之操作為清除上次轉換所儲存的偏移量、 $\Phi 2_C$ 時則儲存這次轉換所需要的偏移量，並重置 V_{dac} 點電壓、在 $\Phi 3_C$ 時則開始預先充電與電荷重佈模式，接著控制 Calibration DAC 做七位元的連續近似動作後，以一個 M_w (Memory Write) 信號將此數位化值寫入暫存器中，最後將暫存器內所儲存的值輸出至次級計算電路。

表 4-3 控制器 A 計算電容 C_7 的負向誤差時所需之信號

P	C	DAC switch control signal												C_o
		S_v	S7	S6 ~S1	S_{S4} ~ S_{S0}	S_{E6}	S_{E5}	S_{E4}	S_{E3}	S_{E2}	S_{E1}	S_{E0}	M_w	
$\Phi 1$	1	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 2_C$	2	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_C$	3	1	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_C$	4	1	0	1	1	0	0	0	0	0	0	0	0	-
$\Phi 3_C$	5	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_C$	6	0	1	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_C$	7	0	1	0	0	1	0	0	0	0	0	0	0	D_{E6}
$\Phi 3_C$	8	0	1	0	0	D_{E6}	D_{E5}	1	0	0	0	0	0	D_{E5}
$\Phi 3_C$	9	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	1	0	0	0	0	D_{E4}
$\Phi 3_C$	10	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	1	0	0	0	D_{E3}
$\Phi 3_C$	11	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	1	0	0	D_{E2}
$\Phi 3_C$	12	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	1	0	D_{E1}
$\Phi 3_C$	13	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	D_{E0}	1	D_{E0}
$\Phi 3_C$	14	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	D_{E0}	1	-

為了確保預先充電模式與電荷重佈模式百分之百不重疊，我們在兩模式交接時加入一個 All zero 模式做緩衝，此模式不但可以保證預先充電模式與電荷重佈模式百分之百不重疊、還可以避免在預先充電模式與電荷重佈模式交接時，因各電容下板開關的切換速度不一，瞬間過大的電壓發生於比較器

負端，使開關 S_v 漏電之問題。

由表 4-3 與圖 4-24 可以看出，主控制器 A 內之各元件（Phase selector、Capacitor index selector、DAC control signal generator）都可以由簡單的移位暫存器、多工器及一些邏輯電路來完成，不需要如前人的作法般，將控制碼內建於微處理器，或是寫入在 ROM 中。換言之，控制器 A 就是等同是提出之誤差校正演算法的具現化，亦是此數位電路之核心，電路的誤差計算模式所需時間約為 $14 \times 7 \times 4 = 392$ 個時脈週期。

表 4-4 控制器 A 計算電容 C_6 的負向誤差時所需之信號

P	DAC switch control signal													C_o
	S_v	S_7	S_6	S_5 $\sim S_1$	S_{S4} $\sim S_{S0}$	S_{E6}	S_{E5}	S_{E4}	S_{E3}	S_{E2}	S_{E1}	S_{E0}	M_w	
$\Phi 1$	0	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 2_c$	0	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	1	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	1	0	0	1	1	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	0	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	0	0	1	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	0	0	1	0	0	1	0	0	0	0	0	0	0	D_{E6}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	1	0	0	0	0	0	0	D_{E5}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	1	0	0	0	0	0	D_{E4}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	1	0	0	0	0	D_{E3}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	1	0	0	0	D_{E2}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	1	0	0	D_{E1}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	1	0	D_{E0}
$\Phi 3_c$	0	0	1	0	0	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	D_{E0}	1	-

表 4-5 控制器 A 計算電容 C_7 的正向誤差時所需之信號

P	C	DAC switch control signal												C_o
		S_V	S_7	S_6 ~ S_1	S_{S4} ~ S_{S0}	S_{E6}	S_{E5}	S_{E4}	S_{E3}	S_{E2}	S_{E1}	S_{E0}	M_W	
$\Phi 1$	1	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 2_c$	2	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	3	1	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	4	1	1	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	5	0	0	0	0	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	6	0	0	1	1	0	0	0	0	0	0	0	0	-
$\Phi 3_c$	7	0	0	1	1	1	0	0	0	0	0	0	0	D_{E6}
$\Phi 3_c$	8	0	0	1	1	D_{E6}	1	0	0	0	0	0	0	D_{E5}
$\Phi 3_c$	9	0	0	1	1	D_{E6}	D_{E5}	1	0	0	0	0	0	D_{E4}
$\Phi 3_c$	10	0	0	1	1	D_{E6}	D_{E5}	D_{E4}	1	0	0	0	0	D_{E3}
$\Phi 3_c$	11	0	0	1	1	D_{E6}	D_{E5}	D_{E4}	D_{E3}	1	0	0	0	D_{E2}
$\Phi 3_c$	12	0	0	1	1	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	1	0	0	D_{E1}
$\Phi 3_c$	13	0	0	1	1	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	1	0	D_{E0}
$\Phi 3_c$	14	0	0	1	1	D_{E6}	D_{E5}	D_{E4}	D_{E3}	D_{E2}	D_{E1}	D_{E0}	1	-

4.3.2. 暫存器與 ALU 區塊

所提出之數位電路內，第二區塊為暫存器與 ALU 區塊，其架構由三塊子區塊 A、B、C 構成，其架構如圖 4-25 所示。

暫存器與 ALU 區塊由暫存器陣列與加法器、累加器、右移器、二補數轉換器等數位計算電路構成。接收來自控制區塊之輸出並將其儲存，並依第三章所述方法進行數位運算得到待校正電容之誤差量的數位碼。在誤差計算模式時負責儲存且計算各電容相對應的誤差量數位碼，在正常轉換模式時則能根據目前比較器的輸出而累積此次轉換所對應的誤差量校正項。

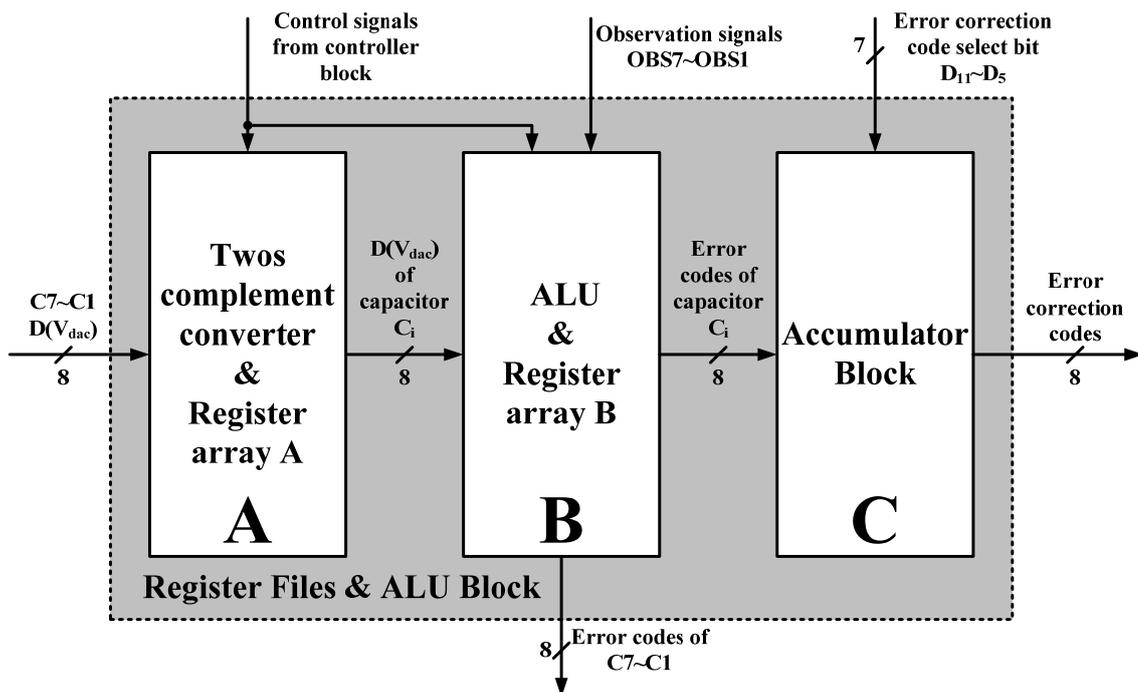


圖 4- 25 提出之暫存器與 ALU 區塊架構圖

子區塊 A 由二補數系統轉換器、與暫存器陣列所構成。其接收來自控制區塊之輸出（經由校正演算法後數位化的 $D(V_{dac})$ ），與控制信號後（電容編號控制信號 $Cali_C7 \sim Cali_C1$ ），判斷此 $D[V_{dac}(i)]$ 所對應的待計算電容編號，並將其儲存於相對應的待計算電容編號之暫存器內。

子區塊 A 內的二補數轉換器，根據控制信號 Pos_Cali 與 Neg_Cali 以及 Calculate 來動作。在 Neg_Cali 信號為 1 時，會先將接收到的 $D(V_{dac})$ 轉換成二補數系統，增加一位元的符號延展後（Sign Extension）才儲存；反之在 Pos_Cali 信號為 1 時，是將 $D(V_{dac})$ 直接增加一位元的符號延展後儲存。

最後在 Calculate 信號為 1 時，我們將在 Pos_Cali 與 Neg_Cali 時，儲存的 $D(V_{dac})$ 相結合，得到此待校正電容真正的 $D(V_{dac})$ 值。應用二補數系統內只有一個「0」的表示法之特性，我們只需要對正、負兩組 $D(V_{dac})$ 作簡單的「OR」運算，即可得到此待校正電容真正的 $D(V_{dac})$ 值。

子區塊 B 是計算與控制電路之核心，其功能為接收來自控制區塊中，所對應的電容編號控制信號 Cali_C7~ Cali_C1，依序計算出對應的待計算電容之誤差量值 ($D_E(i)$) 且儲存。子區塊 B 之功能函數可簡寫成式 (4.30)，故其組成之元件應包含完成式 (4.30) 之運算所需之元件：

$$D_E(x) = \frac{1}{2} \left\{ D[V_{dac}(x)] - \sum_{p=x+1}^7 D_E(p) \right\} \quad (4.30)$$

由式 (4.30) 可知，子區塊 B 內所含之元件為：一個右移器（右移 1 位元，即完成除二之動作）、一個累加器、與一個加法器（以 $A-B = A + \overline{B} + 1$ 完成減法操作），以及一組暫存器陣列等邏輯電路。

子區塊 B 之另一功能為觀測電容 C₇ 至 C₁ 之誤差量數位碼，藉由外部控制信號 OBS₇ 至 OBS₁ 可以選擇欲觀測之對應的電容編號。要注意的是，此誤差量數位碼之輸出腳位和 ADC 之輸出腳位 D₁₁ 至 D₄ 是共用的，以節省晶片被 PAD 所佔之面積。

子區塊 A 與子區塊 B 內的暫存器皆由標準 Flip-Flop 所構成，其中子區塊 A 內所包含的暫存器為 168 bits，子區塊 B 內所包含的暫存器為 56 bits；在佈局上則以 Clock 信號能夠均勻分布至各暫存器單元的「H-Tree」佈局法完成。這些暫存器的值在結束誤差計算模式後即不再更新，直到重新開機、或是按下 Reset 按鈕時，才會重新計算且更新該暫存器的值。

子區塊 C 為累加器之架構，其工作在具有校正功能的正常轉換模式，根據目前比較器的輸出 (D₅~D₁₁) 而累積此次轉換所對應的誤差量校正項。最後將此誤差量校正項輸出至數位電路最末級 Adder 後，和未校正的數位編碼相加總，完成一次具有校正功能的 SA ADC 轉換動作。

4.4. ADC 佈局圖

我們將所提出之 SAADC，以 Candance 公司之 Composer 與 Virtuoso 軟體完成架構圖與佈局圖，其佈局圖如圖 4-26 所示。數位部份與類比部分使用厚 Guard-ring 隔絕，以抵抗雜訊。數位部份之實現方式是以 Composer 手動結合各邏輯閘完成，以便進行數位部份與類比部份之共同模擬與驗證。

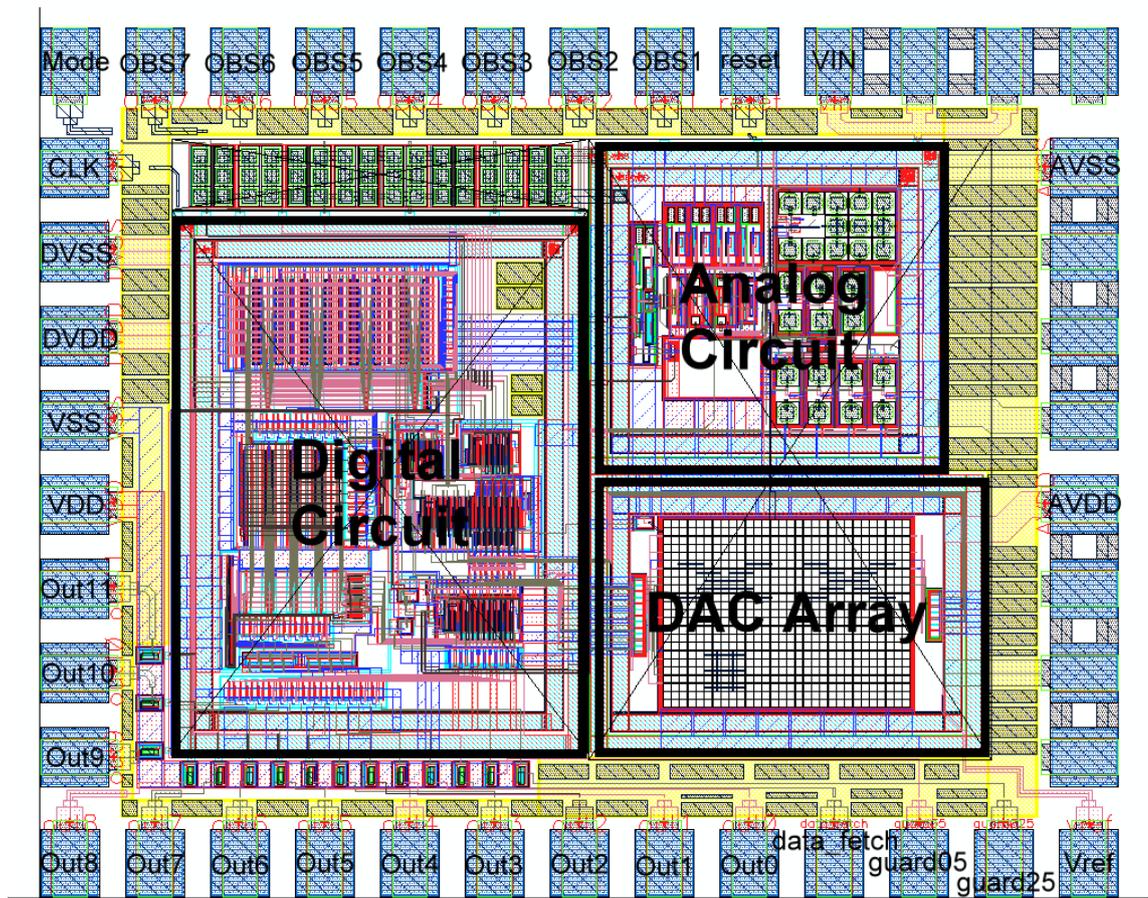


圖 4-26 ADC 佈局圖

此 ADC 之製程使用 TSMC 0.18μm CMOS (1P6M)，其各 Active area 所佔之面積如表 4-6 所示。

表 4-6 佈局後之 ADC 各 Active area 所佔面積

Active Parts	Area
Analog	320 μ m x 290 μ m
DAC	355 μ m x 220 μ m
Digital	380 μ m x 525 μ m
Full Area	1280 μ m x 1060 μ m

以下我們將使用 Hspice 軟體，對佈局後的 ADC 進行模擬與驗證。

4.5. 電路模擬與驗證

為驗證電路之動作結果是否正確，我們以 Hspice 軟體對電路進行佈局後的模擬與驗證。為比對測量之結果，模擬時的基本設定如下表 4-7 所示。

表 4-7 進行 ADC 模擬時的基本設定

Parameters	Setup
Supply voltage	1 V
Clock rate	560k Hz
Sample rate	40k Sample/s
Input signal frequency	1k Hz
Input signal swing	-1 dBFS
Model card	TSMC 0.18 μ m CMOS (1P6M)

首先驗證具有誤差校正功能的轉換模式，我們代入之電容誤差量如表 4-8 所示。不啟動誤差校正功能時的輸出頻譜如圖 4-27 所示，啟動誤差校正功能後的輸出頻譜如圖 4-28 所示。比較兩圖後可以發現，頻譜圖 4-27 上之諧波失真 (Harmonic distortion) 在經過校正功能之後，的確是被有效地消除了，使此 ADC 之 SNDR 與 ENOB 都能有效被提升。

表 4-8 模擬時的電容誤差量設定

Sub DAC 5-bit								
C_{S0}	C_{S1}	C_{S2}	C_{S3}	C_{S4}			C_s	C_p
1.064	2.123	4.256	8.512	17.055			1.063	0.652
Main DAC 7-bit								
C_1	C_2	C_3	C_4	C_5	C_6	C_7		C_m
1.062	2.129	4.257	8.454	16.908	33.657	67.232		3.699
Calibration DAC 7-bit								
C_{E0}	C_{E1}	C_{E2}	C_{E3}	C_{E4}	C_{E5}	C_{E6}	C_c	C_{pc}
1.062	2.129	4.257	8.454	16.908	33.657	67.232	1.063	1.673

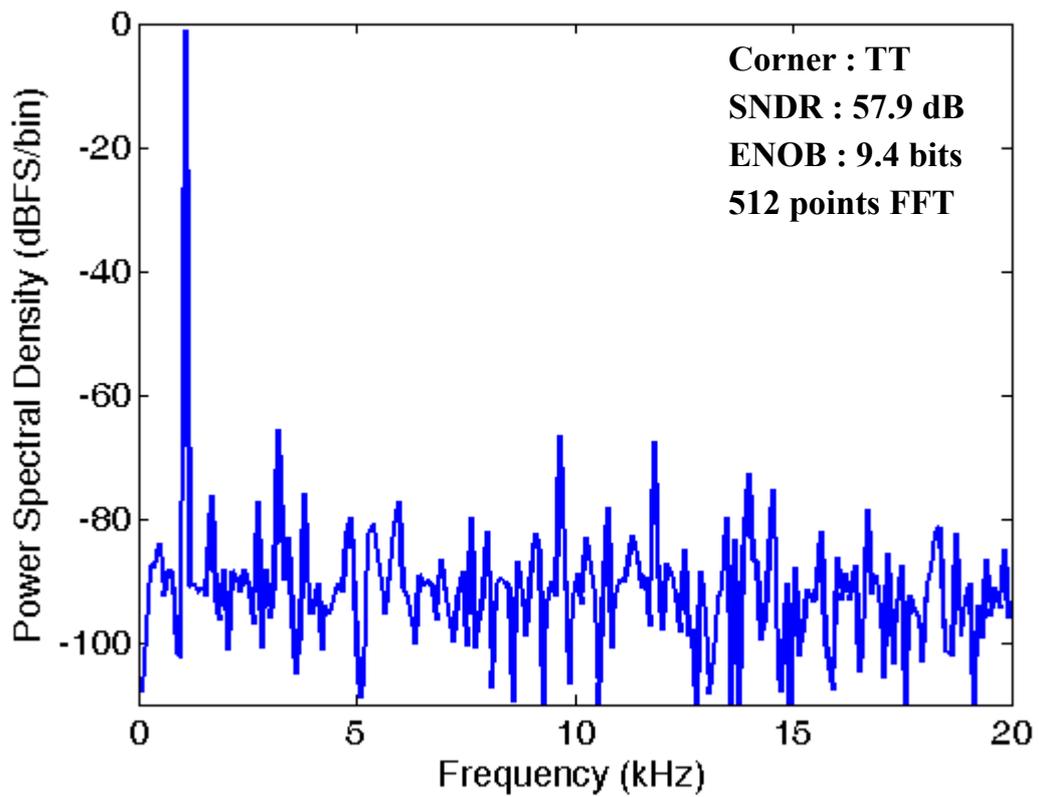


圖 4-27 不啟動誤差校正功能時的輸出頻譜

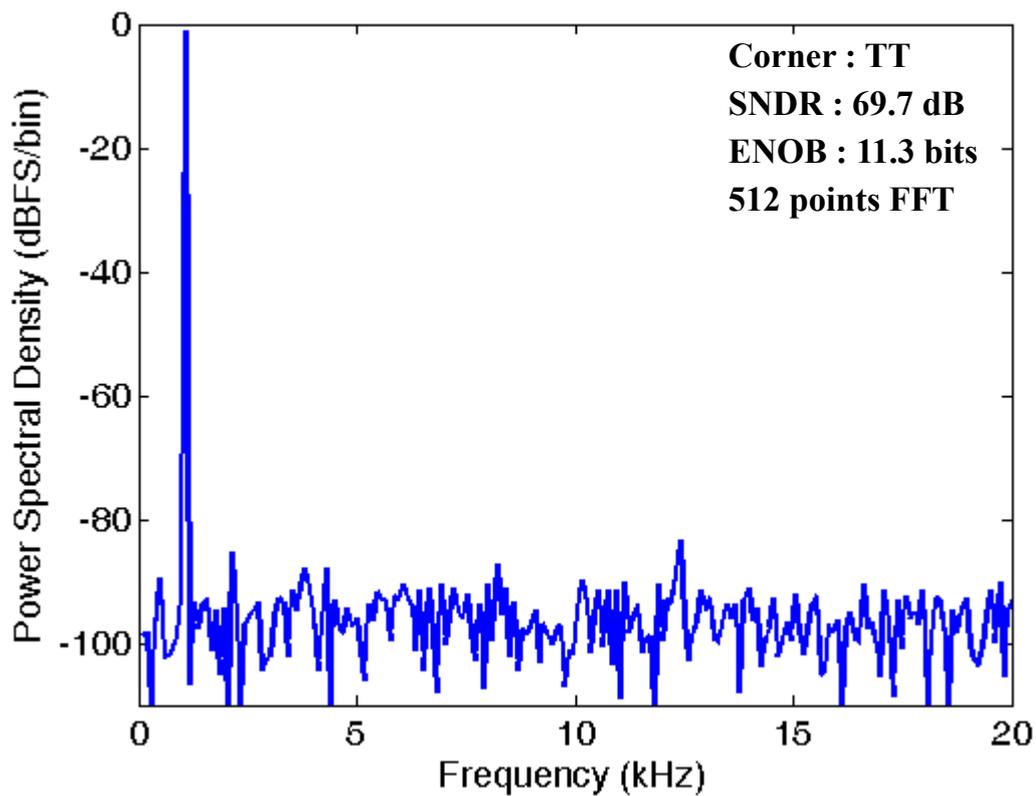


圖 4-28 啟動誤差校正功能後的輸出頻譜

而在不同 Corner 之下，我們亦比較其校正後的結果，觀察誤差校正功能在各 Corner 是否可以正常動作，其結果如表 4-9 所示。

表 4-9 各個 Corner 下啟動誤差校正功能之模擬結果

With Error + Calibration					
Corner	TT	FF	SF	FS	SS
SNDR (dB)	69.7	69.8	69.7	68.2	68.3
ENOB	11.3	11.3	11.3	11.0	11.0

由表 4-9 發現，誤差校正功能在各 Corner 下皆能正常動作，其表現相差不多。最差的兩個 Corners 為 FS 與 SS，其原因為開關 S_v （對照圖 4-18）在保持住誤差電壓時下降過快，導致數位化後的誤差量編碼與實際誤差量編碼

有所出入，使校正結果略為折扣。

接著我們進行「不啟動」誤差校正功能時的模擬，經由 RC 萃取程式，試著將各電容與其寄生電容，利用佈局走線的方式，使各電容間呈現完美的比例關係而進行模擬，其結果如表 4-10 所示。

表 4-10 各個 Corner 下不啟動誤差校正功能之模擬結果

Without Error/Calibration						
Corner	TT	FF	FF, 1.1V, -40°C	SF	FS	SS
SNDR (dB)	70.2	69.5	68.7	70.3	70.1	68.1
ENOB	11.4	11.2	11.1	11.4	11.3	11.0

由表 4-10 可知，假設各電容皆精確對稱且毫無誤差時，在各 Corner 下之模擬結果也有不錯的表現。

接著對電路進行 ERBW (有效頻寬) 之模擬，以驗證此電路之輸入信號是否可以達到 Nyquist Rate (耐奎斯特頻率)。由於此模擬之結果，是由類比電路部份之取樣保持電路與比較器級所影響，為節省模擬時間，繼續使用上述之「電容完美匹配」且「不啟動校正功能」的設定。其結果如表 4-11 所示，模擬結果製圖如圖 4-29 所示。

表 4-11 不同輸入信號頻率對 SNDR 之模擬結果

ERBW Test						
F _{in} (kHz)	1	4	8	12	16	20
SNDR (dB)	70.2	70.1	70.1	70.3	70.5	69.9
ENOB	11.4	11.3	11.3	11.4	11.4	11.3

由表 4-11 與圖 4-29 之分析，證明此 ADC 之 ERBW 是可以達到耐奎斯特頻率的。

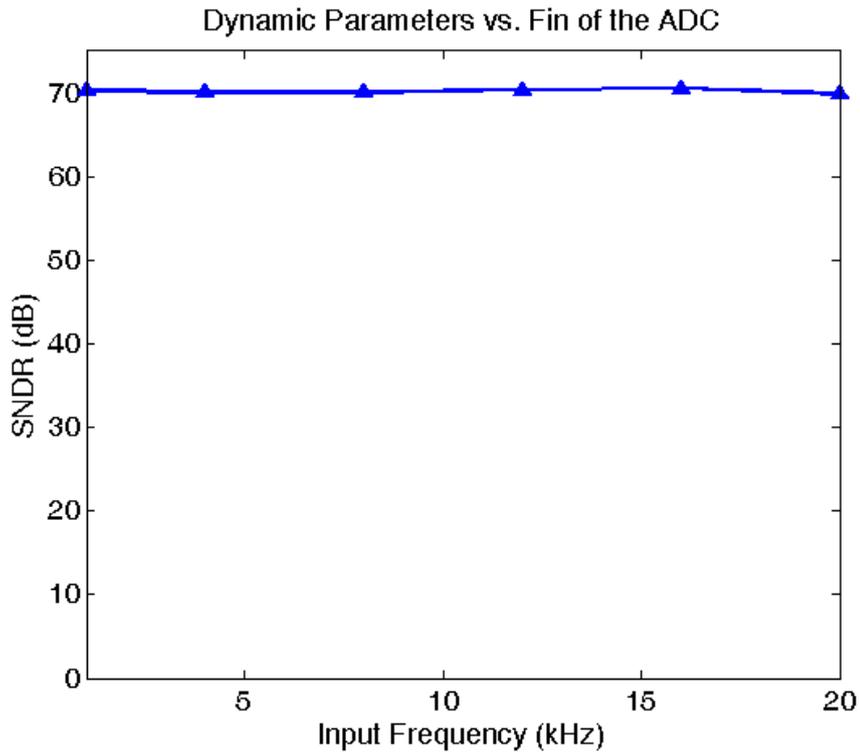


圖 4-29 不同輸入信號頻率對 SNDR 之模擬結果分析圖

最後的測試模式為誤差觀測模式，代入表 4-8 之電容誤差量後進行模擬，擷取各電容之誤差量數位碼製圖，如圖 4-30 所示。

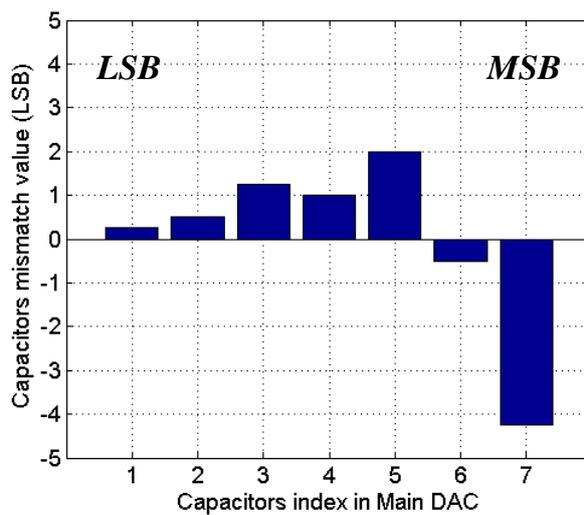


圖 4-30 誤差觀測模式之誤差量數位碼製圖

將觀測所得之誤差量數位碼與 Matlab 求出之誤差量數位碼相比較，的確相差無幾，證明誤差觀測模式是可以正常動作的。

最後我們分析整體 ADC 之消耗功率，各電源消耗之平均功率（Average power）如表 4-12 所示。

表 4-12 ADC 各電源所消耗之功率

	Avg. Power (μW)
P_{AVDD}	8.11
P_{DVDD}	7.53
P_{VREF}	0.12
P_{Vin}	0.01
Total power	15.79

總結此 ADC 之模擬達到的預期規格表，如表 4-13 所示。

表 4-13 ADC 模擬時所達到的預計規格列表

Parameters	Result
Supply voltage	1 V
Clock rate	560k Hz
Sample rate	40k Sample/s
Input signal swing	Rail-to-rail
SNDR @ DC_{TT}	70.2 dB
ENOB @ DC_{TT}	11.4 bits
ERBW	Nyquist rate
Resolution	12 bits
Power dissipation	15.79 μ W
Process	TSMC 0.18 μm CMOS (1P6M)

4.6. Hardware Overhead

在本章節中，討論將此校正法加入一個 SAR ADC 之後，其額外所付出

的面積，與晶片實作所需之金額消耗的關係，整理如表 4-14 所示。

根據 CIC 之下線導引顯示，TSMC 0.18 μ m CMOS 1P6M 之製程，其實作所需之金額為每 mm² 消費新台幣 55000 元。則我們下線之 IC 其成本約為新台幣 7 萬元；然而，其中扣除 PAD 與 Dummy 金屬層，和外層的隔絕雜訊之厚 Guard Ring 等面積後，其 Active area 所佔之面積，在實作上之費用約為新台幣 2 萬元。

表 4-14 各種條件下的 ADC 消耗面積及其實作所需之成本

	Area (mm ²)	Cost (NTD)
ADC Full area	1.27	70193
ADC Active area	0.36	19734
ADC Active area @ w/o calibration function	0.17	9350
ADC Active area @ after OPT, 1V 【A】	0.32	17570
ADC Active area @ after OPT, 1.8V 【B】	0.30	16476

若我們將實現此校正法所需之額外電路，例如類比電路部份的 Bootstrap 開關、DAC 上的 Calibration DAC，及為了和 Calibration DAC 對稱用，而加入的 Dummy capacitor、以及數位電路部份的暫存器與 ALU 單元等，全數移除後，其 Active area 所佔之面積，在實作上之費用約為新台幣 9 千元。也就是說，在加入校正法後，其 Active area 所需之成本將變為兩倍；而消耗面積最大的部份就是數位電路部份，與 Calibration DAC 及其 Dummy capacitor。

但實現此校正法時，我們並未對其實現方式做最佳化，因此所佔面積很大。但是根據我們的設計方法來看，其面積消耗還存在著能夠最佳化的空間，舉例如下：

由於在數位電路之實現上，我們以 Full custom 的方式實現之，故它並不是一個最佳化的數位電路實現方法。在未來的設計上，若我們使用 Cell based 設計流程來實現數位電路，則其面積應該是可以最佳化的。

而表 4-14 中，A 項目為「移除數位電路部份之空白區域後」，其 Active area 所佔之面積，與在實作上之費用。B 項目為「承項目 A，且將供應電壓改為 1.8 伏特後（移除被 Bootstrap 開關所佔之面積）」，其 Active area 所佔之面積，與在實作上之費用。

由表 4-14 可知，將供應電壓改到 1.8 伏特後，我們的類比電路部份將能更加精簡化；同理，若使用 Cell based 設計流程來實現數位電路，其面積亦可更加精簡化。在未來的設計上將朝向此兩方向作改良，節省晶片之面積，不但能讓更多的使用者能夠透過 CIC 下線驗證晶片，且可節省國家所花費之研究成本。



第五章 量測結果與性能分析

5.1. 量測環境設定與晶片照

圖 5-1 為使用 TSMC 0.18 μm CMOS 製程設計，透過 CIC 下線後（晶片編號為 T18-97C-16），所得之晶片圖：

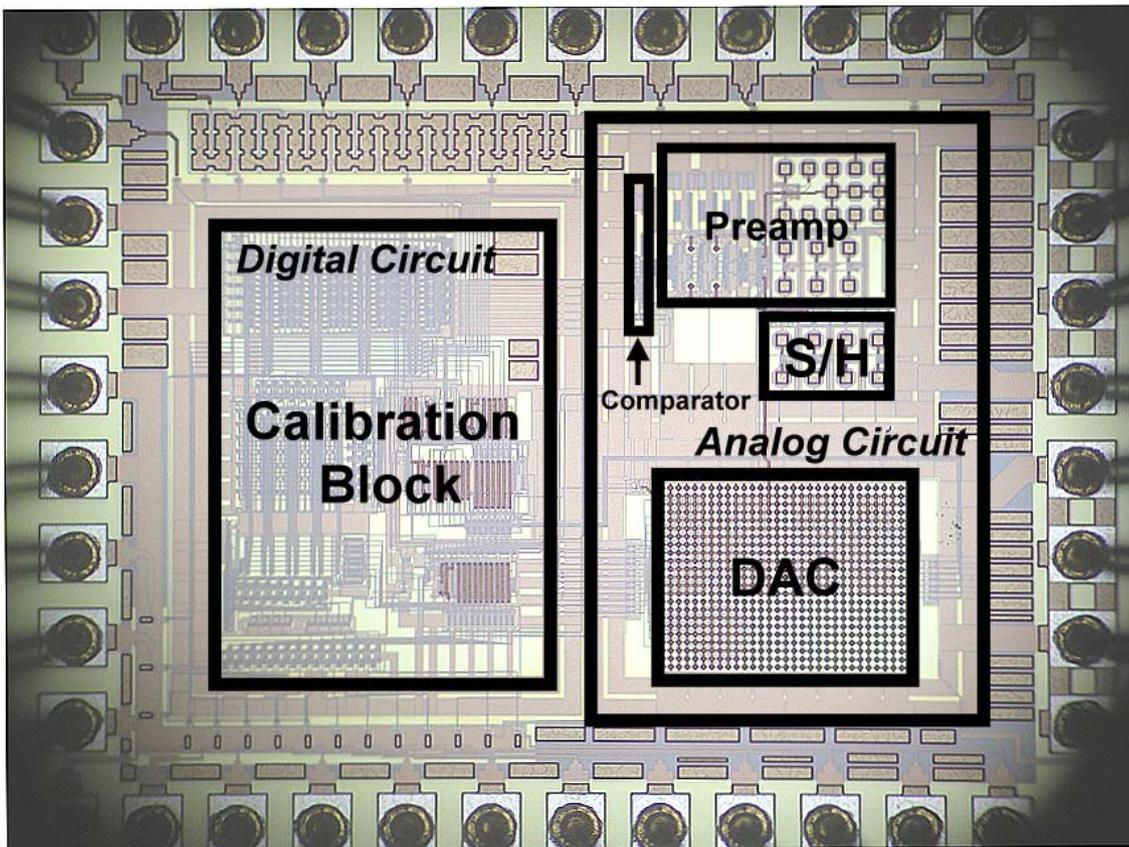


圖 5-1 透過 Wire bonding 於 PCB 板上後之晶片圖

圖 5-2 為此晶片之測量環境設定。首先將晶片透過 Wire bonding 的作法固定於測量用 PCB 板上，其輸入訊號可透過 Audio precision 2700-series，或是由 Agilent 33250A Function/Arbitrary Waveform generator 所提供；Clock 訊號亦由 Agilent 33250A Function/Arbitrary Waveform generator 所提供。

類比供應電壓 (A_{VDD})、參考電壓 (V_{REF}) 等較偏類比的電壓由 Keithley 2400 General-purpose Source-Meter 供給，亦可透過該儀器直接測量各電源所耗功率。連接輸出緩衝器 (Output buffer)、輸出多工器 (Output multiplexer)、與測量模式控制面板之電壓 (V_{DD})，以及數位供應電壓 (D_{VDD}) 則由 Agilent E3X00-series Power supply 供給。

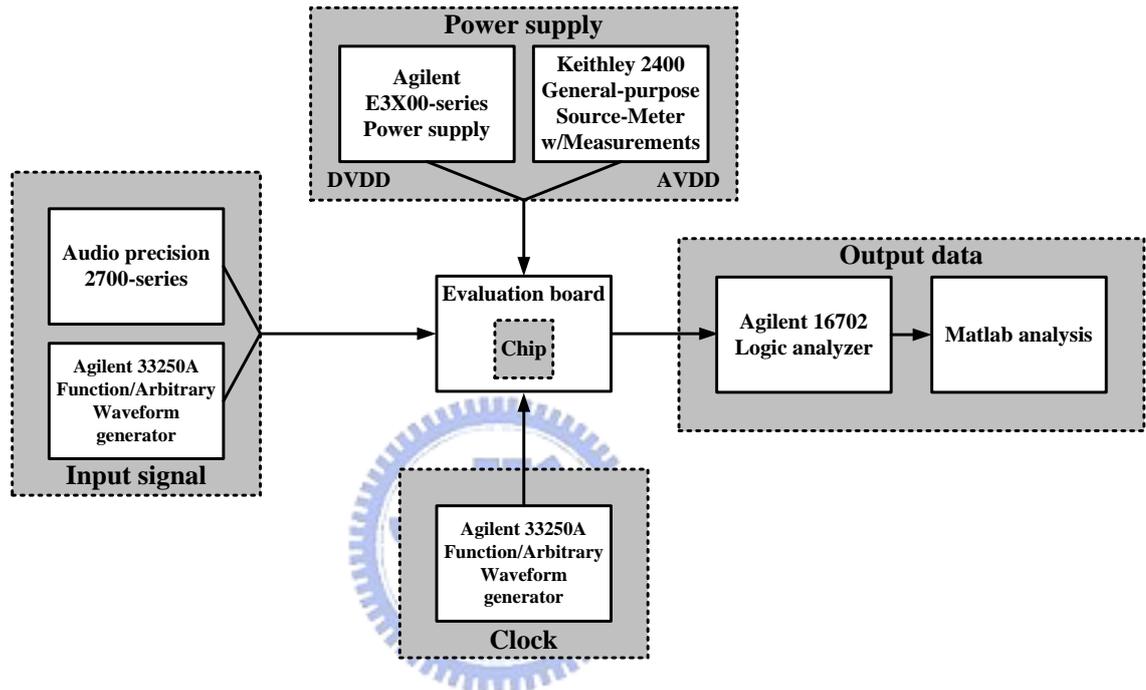


圖 5-2 量測儀器與環境設定

類比數位轉換器之輸出則以 Agilent 16702 Logic analyzer 擷取之，每筆數據皆取樣 8192 點，進行八次測試後取其平均值分析之；以下圖型上每個點都進行三次分析，以確保其客觀性。我們將儀器擷取之資料存檔後，使用一些數學分析軟體，如 Matlab 和 Excel 等進行頻譜分析與效能計算。

5.2. 測量用 PCB 板與 PCB 板設定

在測量晶片時，我們不對待測晶片進行包裝；而是使用自行設計的測試用 PCB 板 (Evaluation board)，將待測晶片透過 Wire bounding 的方式固定

於 PCB 板上，且以邦定膠（黑膠）或是靜電防護蓋保護之。測試時所使用的 PCB 板佈局圖如圖 5-3 所示。

此 PCB 板為雙層 1.5mm 之 FR-4 板材構成，其左半面為類比信號面，負責連接類比電源與類比輸入儀器。其右半面為數位信號面，負責連接數位電源與數位輸入、輸出儀器。

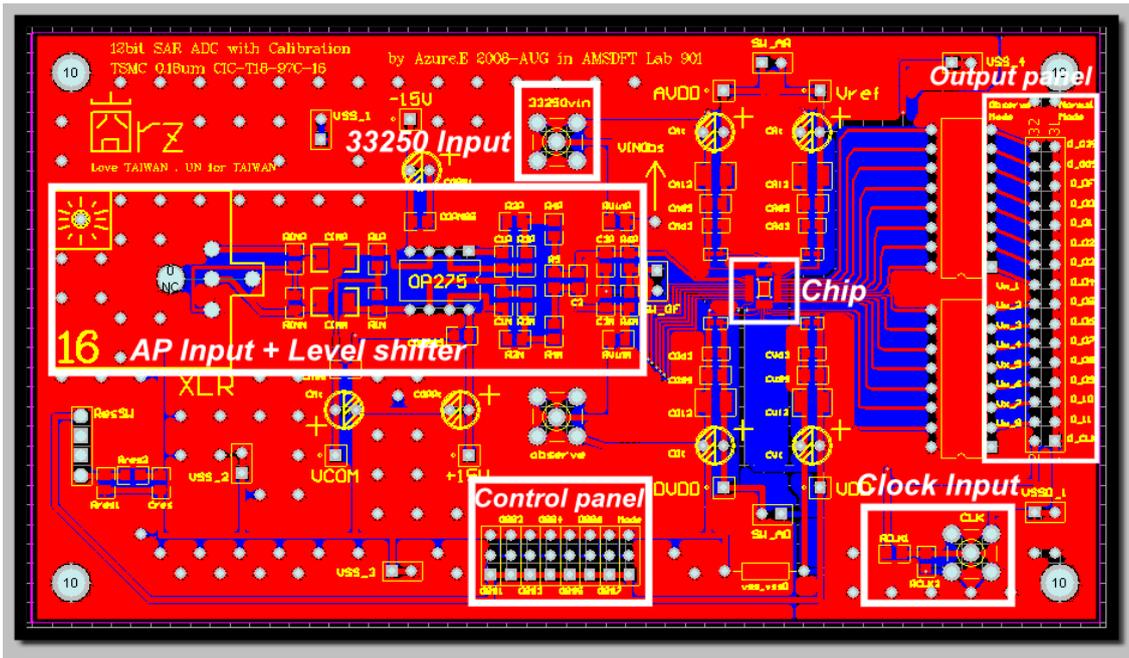


圖 5-3 測試用 PCB 板

此 PCB 板上包含一組 Level shifter 架構，如此便能將透過 XLR 接頭，輸入共模電壓在 0 伏特的 Audio precision 信號，向上位移到我們所想要的輸入共模電壓位準。當然也可以透過 Agilent 33250A，直接提供一組具有輸入共模電壓位準的輸入信號。

透過改變 PCB 板上控制面板（Control panel）的電壓，我們可以對晶片進行三種模式的測試。第一種模式為當實驗組的具有誤差校正功能之測量模式、第二種模式為當對照組的不具誤差校正功能之測量模式、第三種模式為當除錯組的誤差量數位碼觀測模式。

5.2.1. 具有誤差校正功能的測量模式設定

此模式為本次測試之實驗組，用途為驗證所提出之演算法是否有效，其控制面板之設定如圖 5-4 所示；而其輸出面板（Output panel）上之信號連接如圖 5-5 所示。

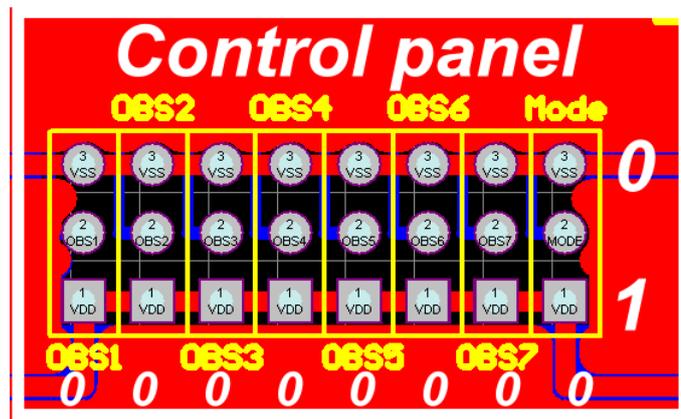


圖 5-4 測量模式一時，控制面板之設定

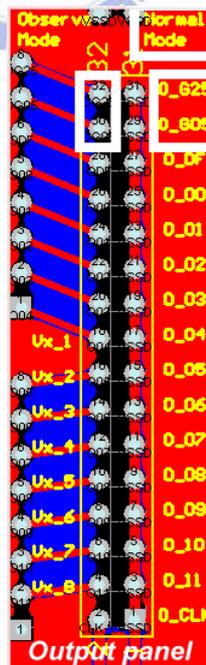


圖 5-5 測量模式一時，輸出面板之連接

控制面板上總共有八個控制信號，分別為觀測模式控制信號 OBS7 至 OBS1，以及 SA ADC 模式選擇信號 Mode。我們使用短路器 (Jumper)，將各控制信號輸入端點往上連接至 V_{SS} (0)，或是往下連接至 V_{DD} (1)。

在此模式中，輸出面板上各信號之連接，以右側之「Normal mode」為準。O_00 至 O_11 分別表示 12 位元的數位輸出信號，O_DF 是通知 LA 儀器擷取資料的信號，而 O_G05 和 O_G25 兩根接腳在此模式下會持續跳動，換言之，可由此兩根接腳判斷誤差計算功能是否成功被執行。

5.2.2. 不具誤差校正功能的測量模式設定

此模式為本次測試之對照組，用途為與模式一相比，以證明所提出之演算法是否有效，其控制面板之設定如圖 5-6 所示；而其輸出面板上之信號連接如圖 5-7 所示。

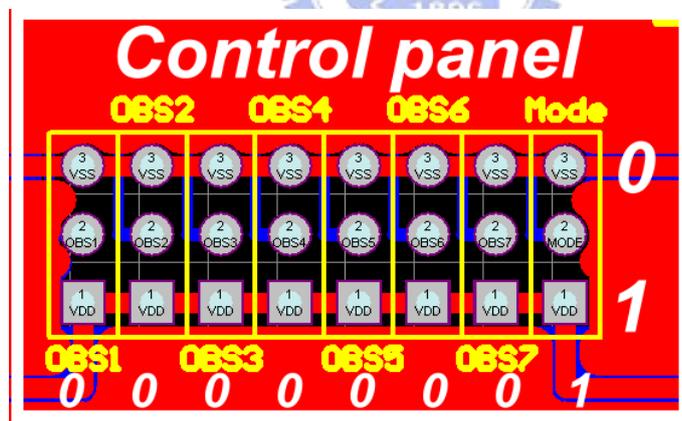


圖 5-6 測量模式二時，控制面板之設定

控制面板上之觀測模式控制信號 OBS7 至 OBS1，連接方式依然是連接至 V_{SS} (0) 不變。和模式一不同的是，在此將 SA ADC 模式選擇信號 Mode 連接至 V_{DD} (1)。

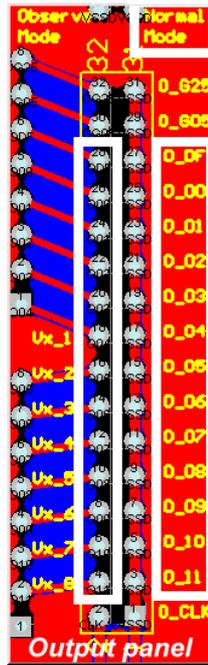


圖 5-7 測量模式二時，輸出面板之連接

在此模式中，輸出面板上各信號之連接，仍以右側之「Normal mode」為準。O_00 至 O_11 分別表示 12 位元的數位輸出信號，O_DF 是通知 LA 儀器擷取資料的信號，唯一的差別是，O_G05 和 O_G25 兩根接腳在此模式是不會跳動的。

5.2.3. 誤差量數位碼觀測模式設定

此模式為本次測試之除錯組，用途為觀測經由提出之演算法所數位化後的數位編碼，可以知道各電容之值在經過實際製程後，究竟產生了那些非理想性之誤差量。其控制面板之設定之順序如圖 5-8 之 A、B 圖所示；而其輸出面板上之信號連接如圖 5-9 所示。

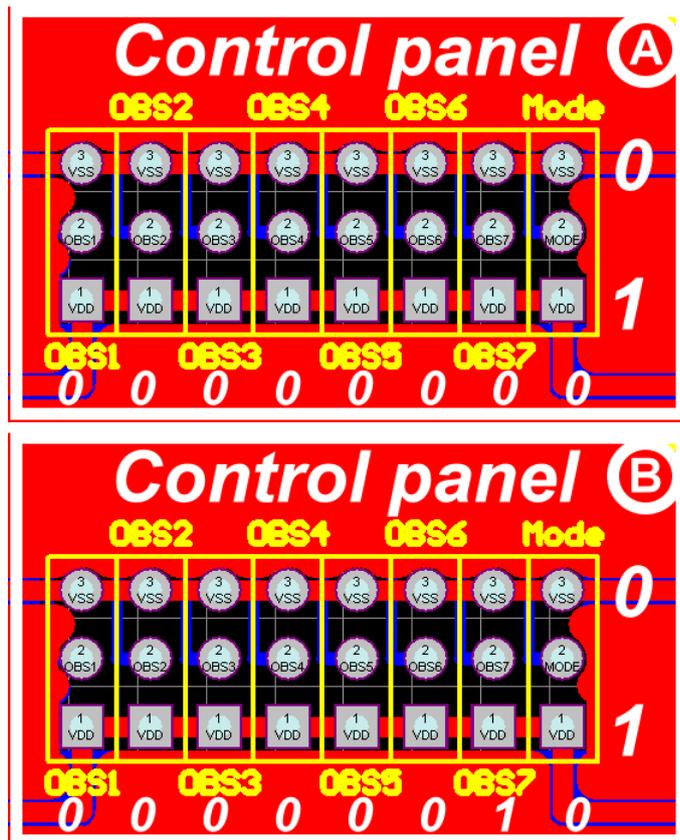


圖 5- 8 觀測模式時，控制面板之設定

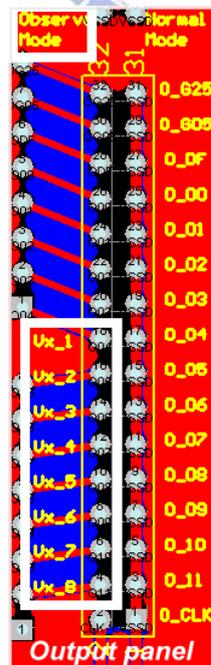


圖 5- 9 觀測模式時，輸出面板之連接

首先將 SA ADC 之模式選擇信號 Mode 連接至 V_{SS} (0)，使其執行誤差計算模式。而控制面板上之觀測模式控制信號 OBS7 至 OBS1，連接方式依然是連接至 V_{SS} (0)。此時控制面板之設定方式如圖 5-8-A 所示。

待其誤差計算模式執行完畢後，O_G05 和 O_G25 兩根接腳會開始跳動，此時便可以將 OBS7 至 OBS1 中，其中一個控制信號接至 V_{DD} (1)。以圖 5-8-B 為例，當 OBS7 為 V_{DD} (1) 時，表示觀測之誤差量為電容 C_7 之誤差，當 OBS6 為 V_{DD} (1) 時，表示觀測之誤差量為電容 C_6 之誤差，以此類推。要注意的是，每次只能有一個 OBS 信號為 V_{DD} (1)。

在此模式中，輸出面板上各信號之連接，以左側之「Observe mode」為準。O_04 至 O_11 分別表示 8 位元的誤差量數位編碼，O_DF 是通知 LA 儀器擷取資料的信號，而 O_G05 和 O_G25 兩根接腳在此模式是會跳動的。

5.3. 在供應電壓 1 伏特下的測量結果

儘管此電路可以在供應電壓 1.3 伏特至 0.5 伏特之間正常工作，以下所有測量環境將設定在「所有」供應電壓皆為 1 伏特，以驗證所提出之校正演算法的效果。

而每個圖形上的每個資料點都是三次測量所得結果，而在每次測量中，每筆資料皆取樣 8192 點，且為 8 次取樣後執行 FFT 所得之平均值，以確保每次測量之客觀性與正確性。

圖 5-10 和圖 5-11 為改變時脈頻率所測量的 SFDR 以及 SNDR 結果。其中每一個測試的輸入皆為同一個 -0.3 dBFS，頻率為 1k Hz 的弦波 (Sine wave)。

由圖 5-10 可知，使用我們所提出的校正演算法後，能使 ADC 操作在更

快的時脈頻率之下。而由圖 5-11 可知，加入校正演算法後的電路，其有效頻寬（ERBW）可以有效的被提升。

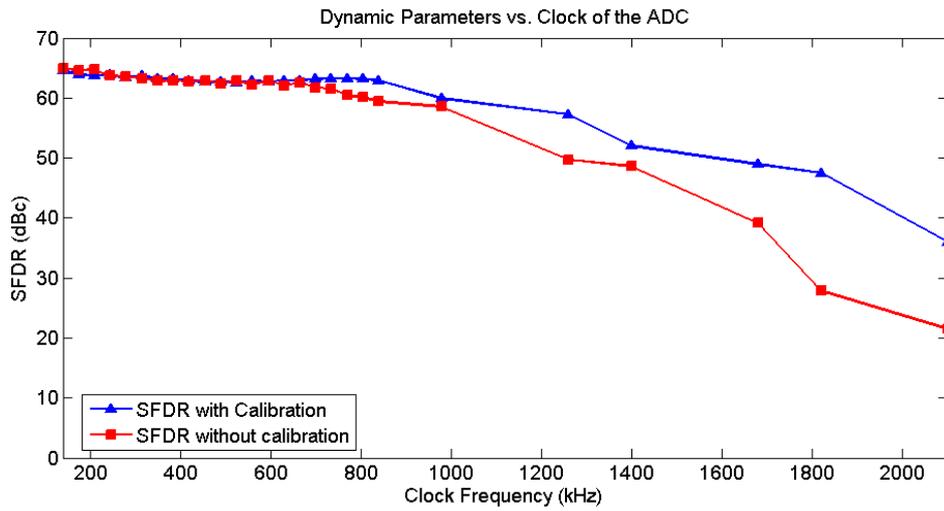


圖 5- 10 不同的時脈頻率對 SFDR 之測量結果

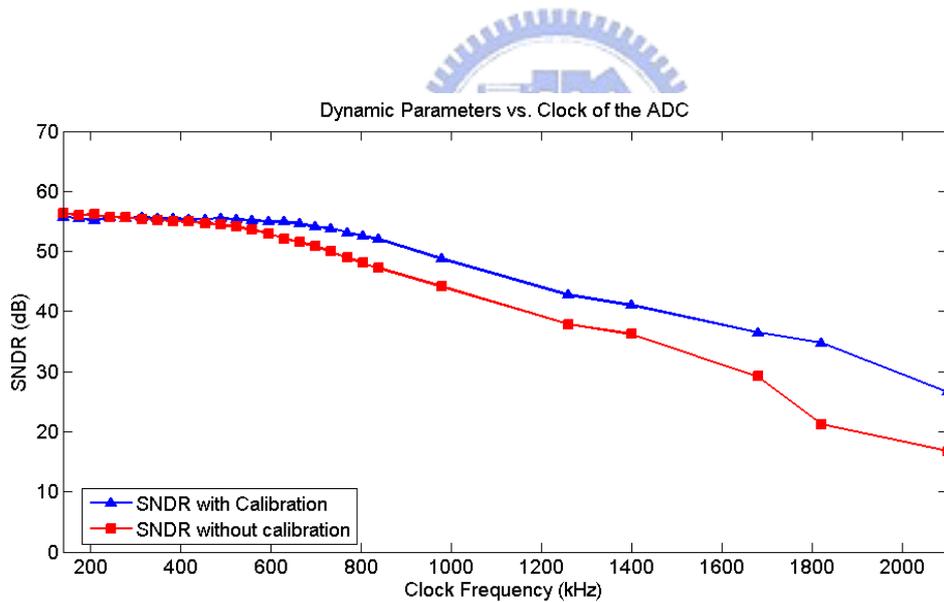


圖 5- 11 不同的時脈頻率對 SNDR 之測量結果

在供應電壓 1 伏特之下，時脈頻率對消耗功率之圖型如圖 5-12 所示。以 A_{VDD} 和 D_{VDD} 之兩個電源消耗功率較大。由於我們使用 bridging capacitor 的結構來實現 DAC 的緣故， V_{REF} 消耗功率小到可忽略不計。此 ADC 總共消耗功率約在 $20\mu\text{W}$ 以下，符合模擬之結果。

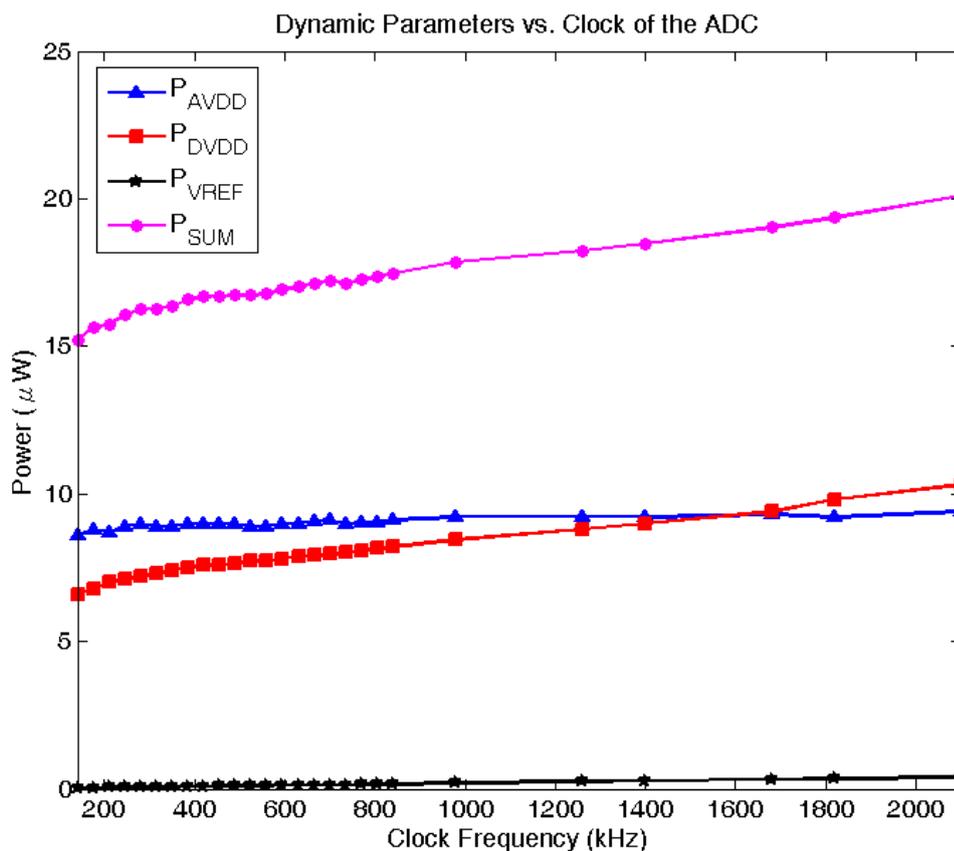


圖 5- 12 不同的時脈頻率對消耗功率之測量結果

以下我們將挑選幾個時脈頻率點進行更詳細測量，其結果如下段所述。

5.3.1. 時脈頻率 560k Hz 之測量結果

首先是在時脈頻率 560k Hz 下進行測量之結果，主要是與模擬結果作對比與除錯分析之用，在此時脈頻率下進行靜態參數與動態參數之測試，各測試又分為啟動校正功能之實驗組、以及不啟動校正功能之對照組。

首先是靜態參數之 DNL 與 INL 測量結果，之後是動態參數之輸出頻譜圖、然後是在各種輸入信號振幅下，進行有效頻寬 (ERBW) 測量、以及固定輸入信號頻率，改變輸入信號之振幅，進行電路之動態範圍測量。

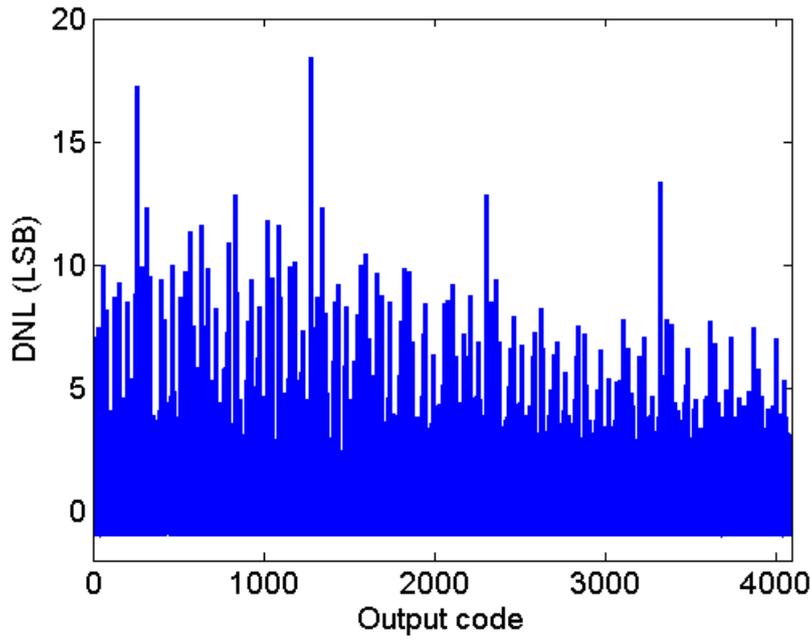


圖 5- 13 校正前之 DNL 圖形

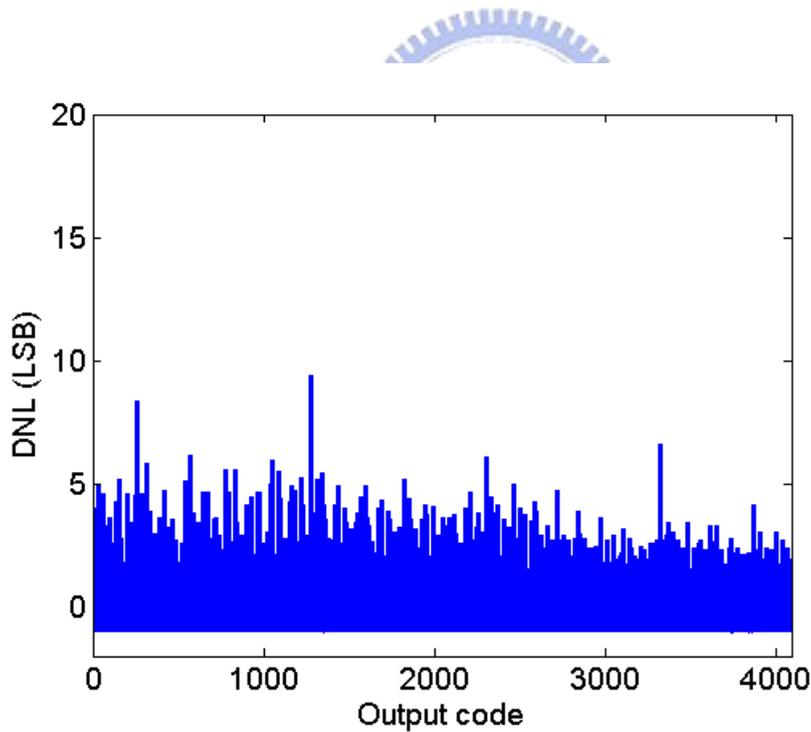


圖 5- 14 校正後之 DNL 圖形

圖 5-13 及圖 5-14 為測量所得之 DNL 圖形，校正前 ADC 的 DNL 約為 -1~+18 個 LSB，校正後 DNL 大幅減少至 -1~+9 個 LSB，證明我們所提出之

校正演算法的確能夠提升電路之線性度。

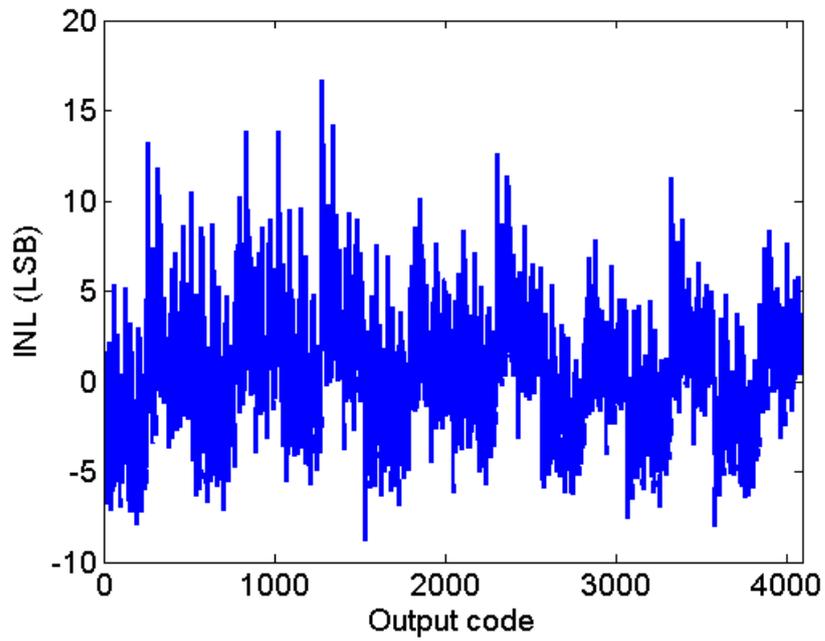


圖 5-15 校正前之 INL 圖形

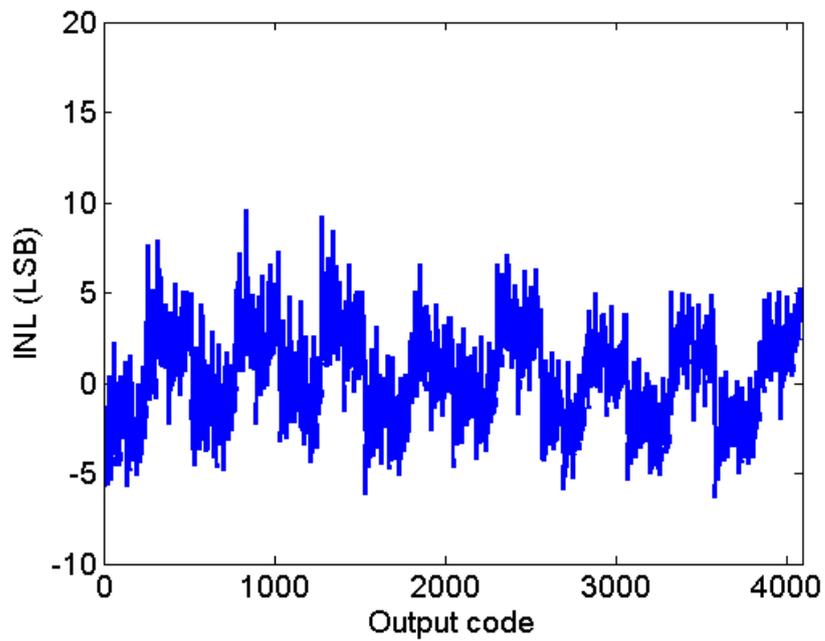


圖 5-16 校正後之 INL 圖形

圖 5-15 及圖 5-16 為測量所得之 INL 圖形，校正前 ADC 的 INL 約為

-8~+18 個 LSB，校正後 INL 大幅減少至-6~+9 個 LSB。測量結果證明我們所提出之校正演算法的確能夠大幅改善電路在靜態參數上之表現，但是，實驗數據顯示並不是在每個區段都能夠校正的相當好，在輸入信號振幅落於 $0 \sim \frac{1}{2}V_{DD}$ 時，電路之校正效果較差；反之輸入信號振幅落於 $\frac{1}{2}V_{DD} \sim V_{DD}$ 時，電路之校正效果卻是比較好的。

設定輸入信號頻率為 1k Hz，輸入信號振幅為-0.3 dBFS，校正前後之輸出頻譜，如圖 5-17 與 5-18 所示。

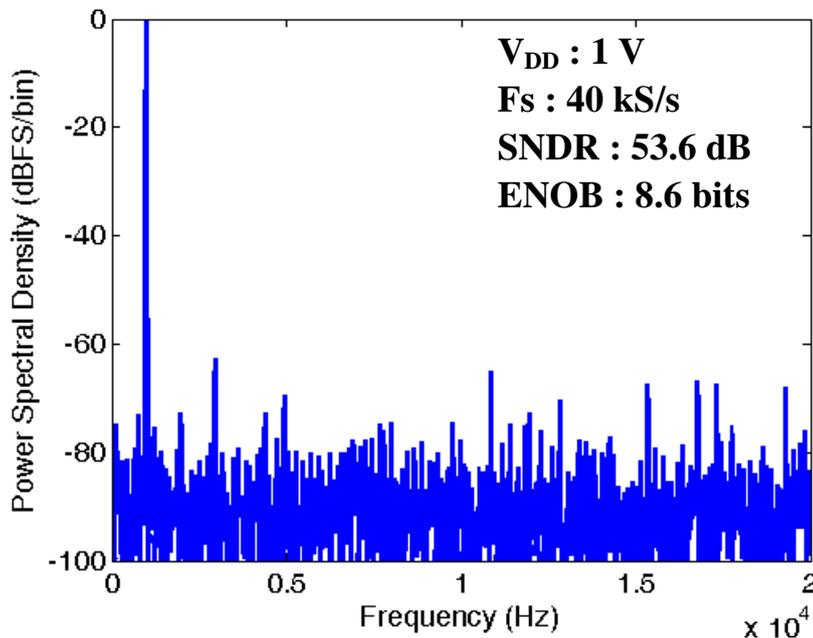


圖 5-17 校正前之輸出頻譜圖

比較圖 5-17 與圖 5-18，雖然諧波失真無法像模擬結果那樣完全消除，但是經過校正後 Noise floor 的確可以被有效的降低。若是諧波失真也能被完全消除，則測量結果就和模擬結果非常接近。這表示我們所提出之校正演算法雖然有效，卻在電路實現上仍然存在著尚待改善之處。

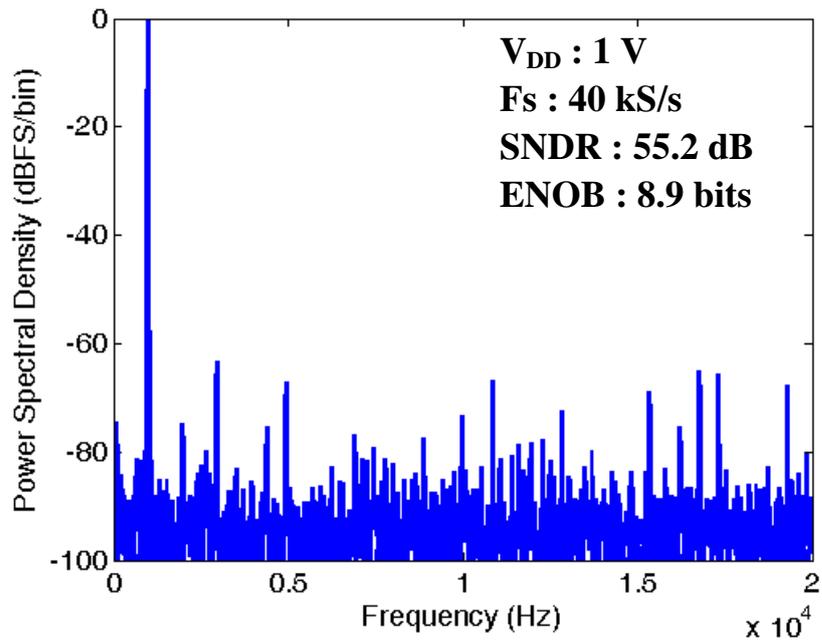


圖 5- 18 校正後之輸出頻譜圖

以下為在各種輸入信號振幅下，改變輸入信號之頻率，進行電路之有效頻寬（ERBW）測量，其結果如圖 5-19、5-20、5-21 所示。

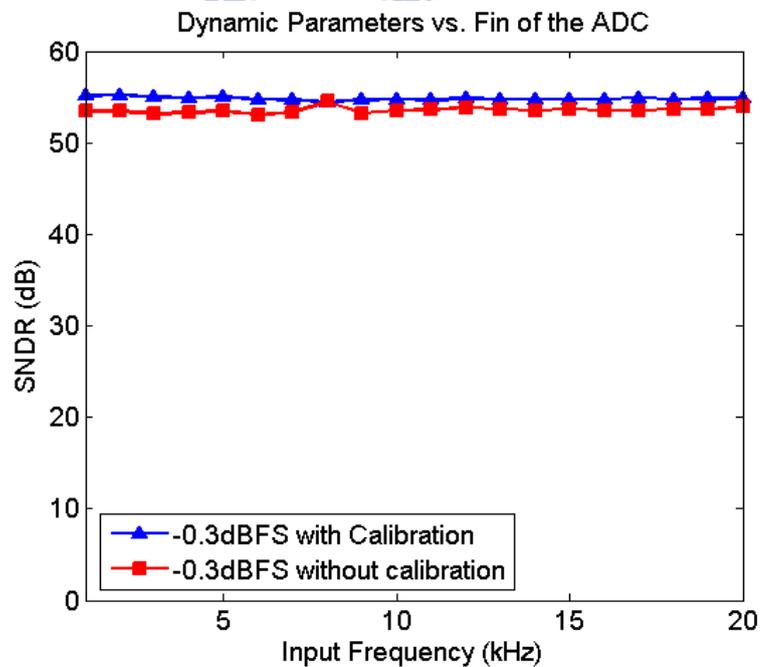


圖 5- 19 輸入信號振幅為-0.3 dBFS 時之 ERBW 測量結果

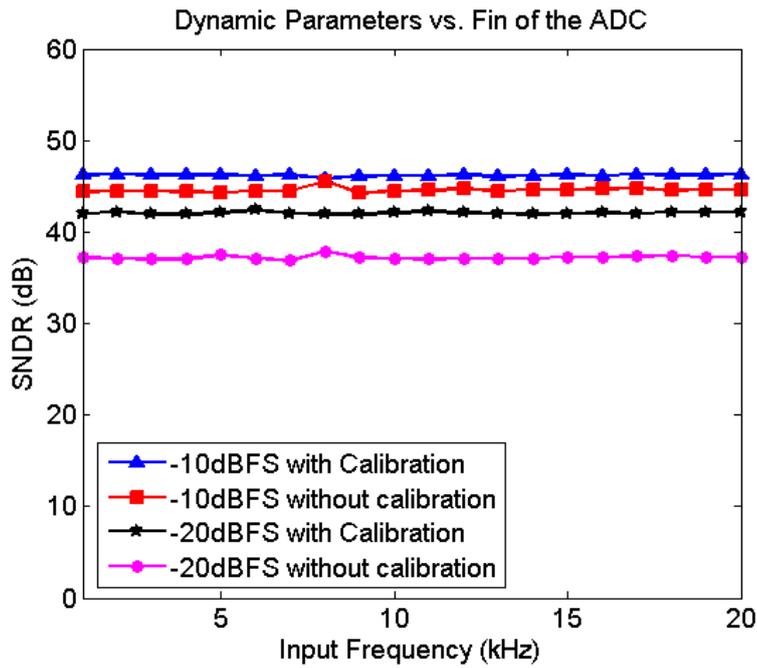


圖 5- 20 輸入信號振幅為-10 與-20 dBFS 時之 ERBW 測量結果

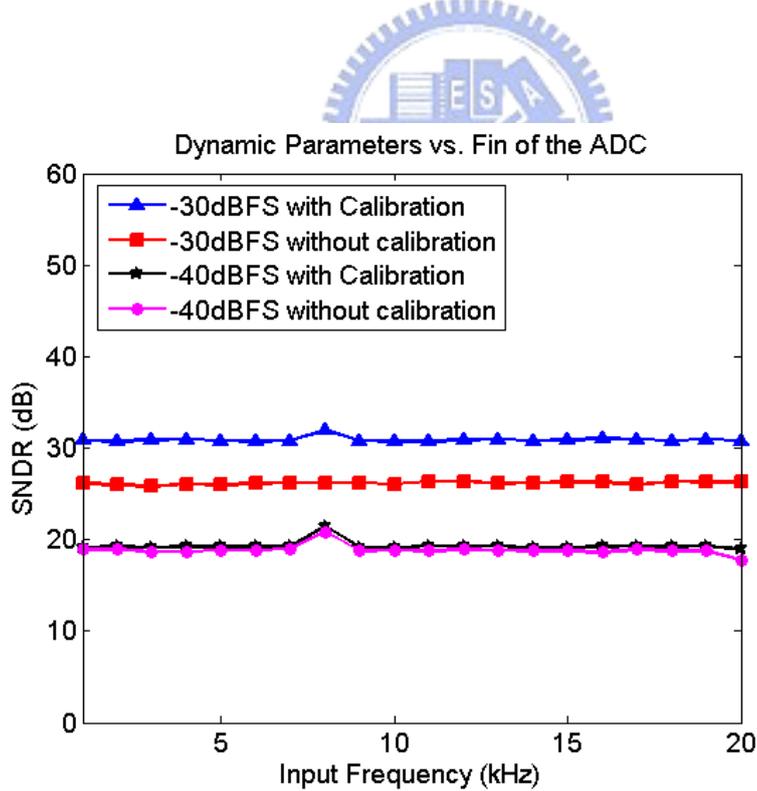


圖 5- 21 輸入信號振幅為-30 與-40 dBFS 時之 ERBW 測量結果

由以上各圖形可知，電路的確能夠在時脈頻率 560k Hz 下達到耐奎斯特

頻率；而校正之效果最明顯之區段，為輸入信號振幅大小為-20 dBFS 和-30 dBFS 時。在輸入信號振幅大小為-20 dBFS 和-30 dBFS 時，SNDR 在經過校正後至多有 5 dB 左右的改善，約相當於提升一個有效位元。

要解釋這個現象，可以由 INL 與 DNL 分布圖形來觀察。當輸入信號振幅大小為-20 和-30 dBFS 時，剛好避開了校正後 INL 與 DNL 圖形上的線性度較差之區域，此區域在校正前後仍有非常大的 INL 與 DNL，會直接對電路之 ENOB 造成影響。

而當輸入信號小至-40 dBFS 時，輸出數位碼已經脫離使用校正演算法的 Main DAC 所涵蓋之區域，該區域為 Sub DAC 所負責轉換。由於 Sub DAC 並不實行校正，所以校正前後之性能相差無幾。

以下為固定輸入信號頻率，改變輸入信號之振幅，進行電路之動態範圍測量，其結果如圖 5-22、5-23 所示。

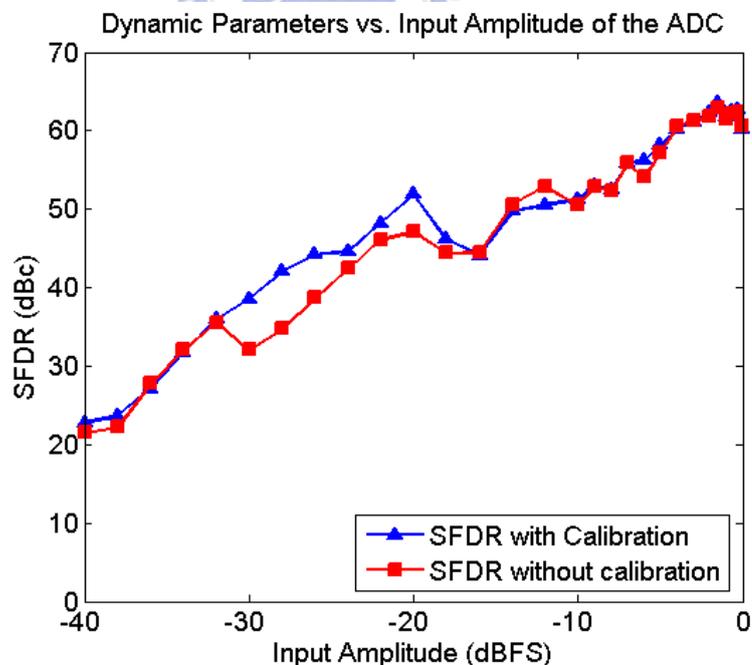


圖 5- 22 不同的輸入信號振幅對 SFDR 之測量結果

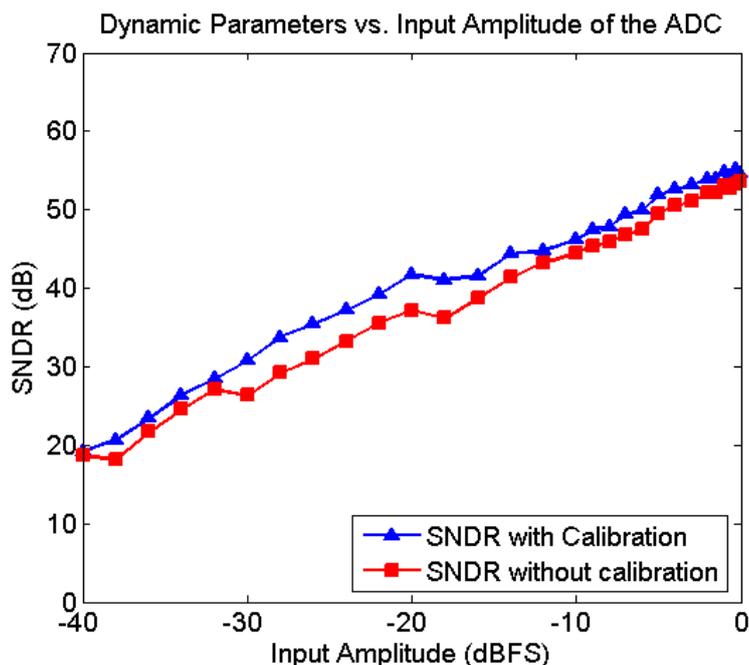


圖 5-23 不同的輸入信號振幅對 SNDR 之測量結果

由圖 5-22 與圖 5-23 觀察，此 ADC 之表現並不線性，大致可由兩個線性區段組合而成，而其以 -20 dBFS 為分界點。若將 -20 dBFS 之線性區段往上延伸，則所預測之 SFDR 與 SNDR 與模擬結果十分相近。

和前方之 DNL 與 INL 圖形類比之，我們得到以下之結論：

我們所提出之校正演算法的確有效，但是並非全部的範圍內都能夠校正的夠好。其中位校正前之 ADC 在輸出數位碼為 256~1280 這個區段最不線性。雖然此區段經過校正後，DNL 與 INL 的值可以降低一半，但仍是影響電路 ENOB 表現不佳的主要區段。

只要輸出信號不在該區段內，校正演算法就能得到不錯的效果，校正前後約相差有 5 dB 左右，約可提升一個有效位元。反之，一旦輸出信號範圍涵蓋該線性度不佳之區域，校正效果就顯得十分有限。以下我們將利用誤差觀測模式所得之誤差量分佈圖，與測量所得之 INL 圖形進行除錯與檢討。

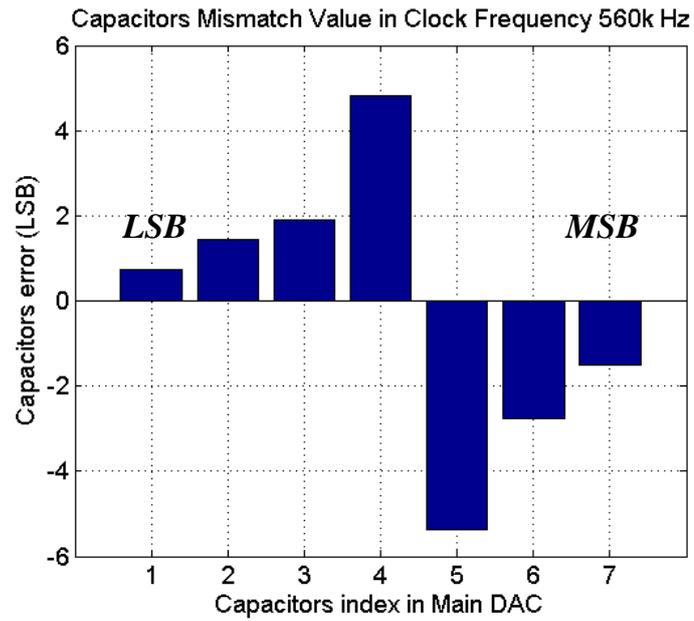


圖 5-24 誤差觀測模式所測量之電容相對誤差量分佈

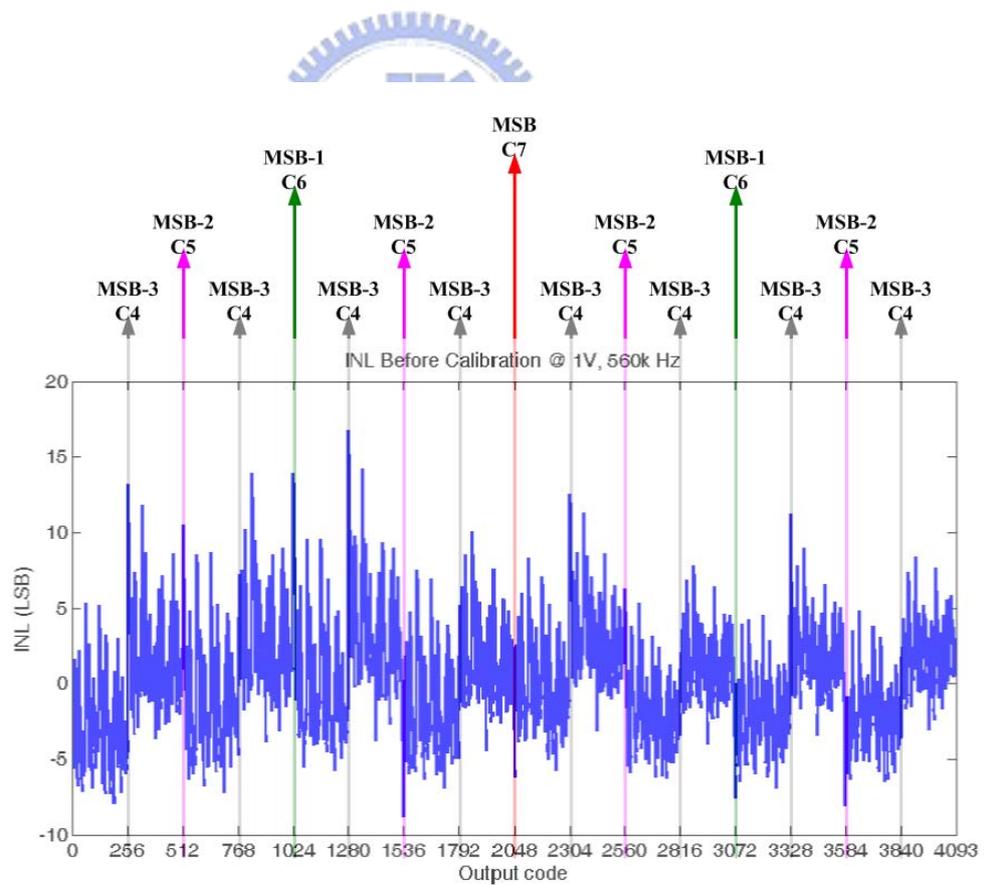


圖 5-25 經過分析後的測量所得之未校正的 INL 圖形

我們可以利用誤差觀測模式，輸出此時的電容相對誤差量分佈圖，各電容之間的相對誤差量分佈如圖 5-24 所示。並且我們將測量之 INL 圖形放大，且將各電容所代表的編碼區段標示後，製圖觀察之，其結果如圖 5-25 所示，來分析那些位元校正能力不夠好。

首先是 MSB 電容 C_7 ，由觀測模式所得之誤差量為負向誤差中最小者，對應在 INL 圖形上之數位碼 2048 區段，其 INL 分佈並未有太明顯的轉折幅度發生，推測其由觀測模式所得之誤差量是可接受的大小。

接著是 MSB₁ 電容 C_6 ，由觀測模式所得之誤差量為負向誤差中次之者，對應在 INL 圖形上之數位碼 1024 與 3072 區段，其 INL 分佈卻呈現左邊較大、右邊較小的不對稱情況，可能該誤差並不是由電容比例誤差引起的線性誤差，這我們將會在 5.4 小節另外討論。圖形上在數位碼為 1024 時之 INL 有明顯轉折幅度發生，推測其由觀測模式所得之誤差量是可接受的大小。

往下是 MSB₂ 電容 C_5 ，由觀測模式所得之誤差量為負向誤差中最大者，對應在 INL 圖形上之數位碼 512、1536、2560、3584 區段，其 INL 分佈也呈現左邊較大、右邊較小的不對稱情況，可能該誤差並不是由電容比例誤差引起的線性誤差；另外以 512 與 1024 兩點之 INL 轉折幅度比較，電容 C_5 之誤差量絕對值應相對小於電容 C_6 之誤差量絕對值，推測電容 C_5 由觀測模式所得之誤差量，有被計算的過大的情形發生。

再往下是 MSB₃ 電容 C_4 ，由觀測模式所得之誤差量為正向誤差中最大者，對應在 INL 圖形上之數位碼 256、768、1280、1792、2304、2816、3328、3840 區段，其 INL 分佈亦呈現左邊較大、右邊較小的不對稱情況，可能該誤差並不是由電容比例誤差引起的線性誤差；另外以 256 與 512 兩點之 INL 轉折幅度比較，電容 C_4 之誤差量絕對值應相對大於電容 C_5 之誤差量絕對值，推測電容 C_4 由觀測模式所得之誤差量，有被計算的過小的情形發生。

再往下是 MSB₄ 電容 C₃，由觀測模式所得之誤差量為正向誤差中次之者，對應在 INL 圖形上之 16 個數位碼轉折區段，其 INL 分佈並未有太明顯的轉折幅度發生，推測其由觀測模式所得之誤差量是可接受的大小。

再往下是 MSB₅ 電容 C₂，由觀測模式所得之誤差量為正向誤差中第二小者，對應在 INL 圖形上之 32 個數位碼轉折區段，其 INL 分佈亦呈現左邊較大、右邊較小的不對稱情況，可能該誤差並不是由電容比例誤差引起的線性誤差；另外以 320 與 512 兩點之 INL 轉折幅度比較，電容 C₂ 之誤差量絕對值應相對大於電容 C₅ 之誤差量絕對值，推測電容 C₂ 由觀測模式所得之誤差量，有被計算的過小的情形發生。

最後是 MSB₆ 電容 C₁，由觀測模式所得之誤差量為正向誤差中最小者，對應在 INL 圖形上之 64 個數位碼轉折區段，其 INL 分佈並未有太明顯的轉折幅度發生，推測其由觀測模式所得之誤差量是可接受的大小。

在接下來的章節中，我們將根據以上的誤差推論結果，對此 ADC 之效能不佳的問題進行討論。

5.4. ADC 之測量結果分析

我們根據測量得到的電容誤差量分佈，調整各電容之誤差量後，以未校正的 DNL 與 INL 測量資料為基準，使用 Matlab 軟體進行誤差量補償後，輸出其 DNL 與 INL 圖形，以驗證我們的推測是否合理。

圖 5-26 為測量所得之電容相對誤差量分佈圖，為了方便比較重新繪製如下。而圖 5-27 為我們根據測量結果所估計的電容相對誤差量分佈圖，我們使用此組電容相對誤差量分佈，對校正前的測量結果重新進行校正。

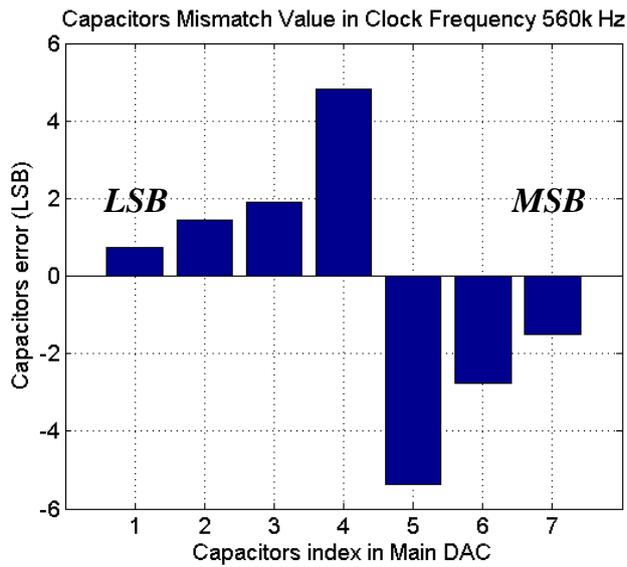


圖 5-26 誤差觀測模式所測量之電容相對誤差量分佈

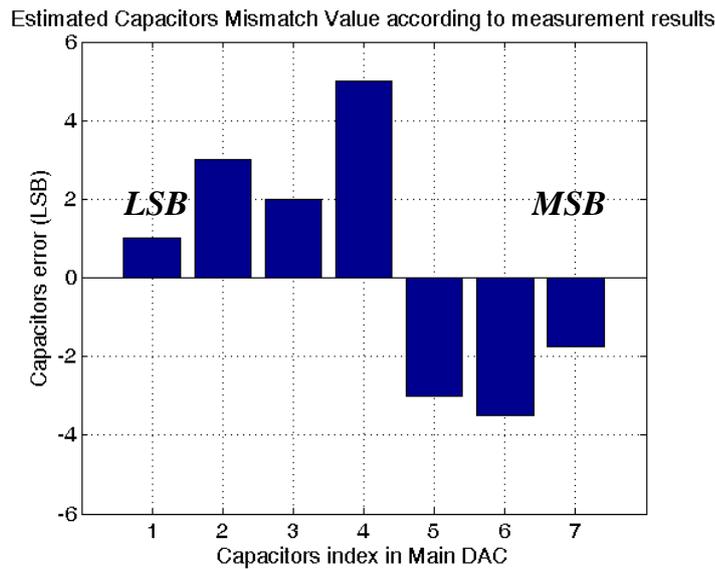


圖 5-27 根據誤差觀測模式之測量結果所估計的電容相對誤差量分佈

為了方便比較，我們將三種 DNL 圖形重新繪製如下。圖 5-28 為測量結果之未校正前的 DNL 圖形、圖 5-29 為測量結果之校正後的 DNL 圖形、圖 5-30 為根據我們的推論後，調整電容誤差量，對測量所得之 DNL 圖形再次校正後的 DNL 圖形。

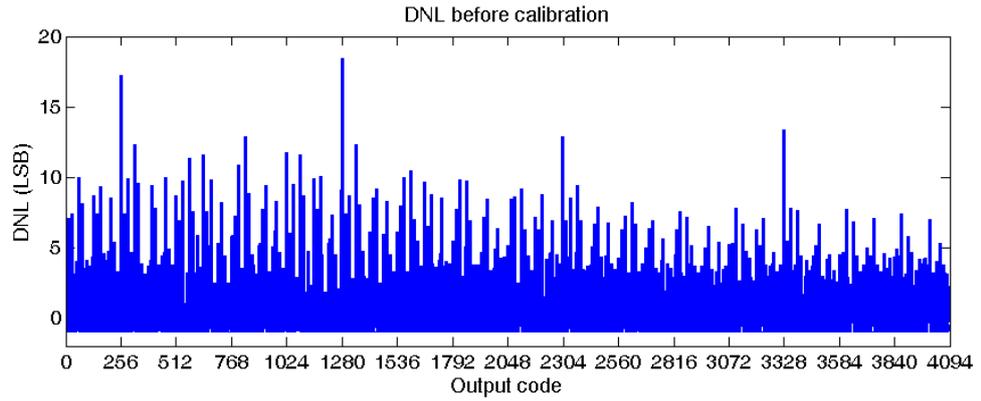


圖 5-28 測量得到的未校正之 DNL 圖形

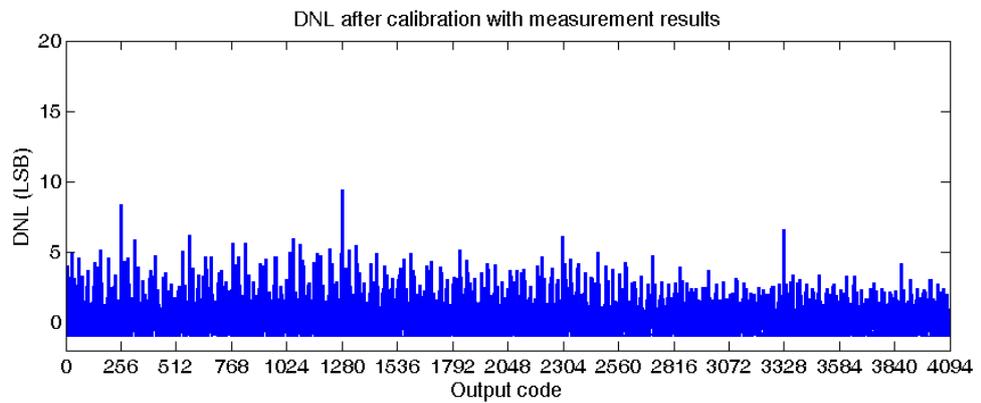


圖 5-29 測量得到的校正後之 DNL 圖形

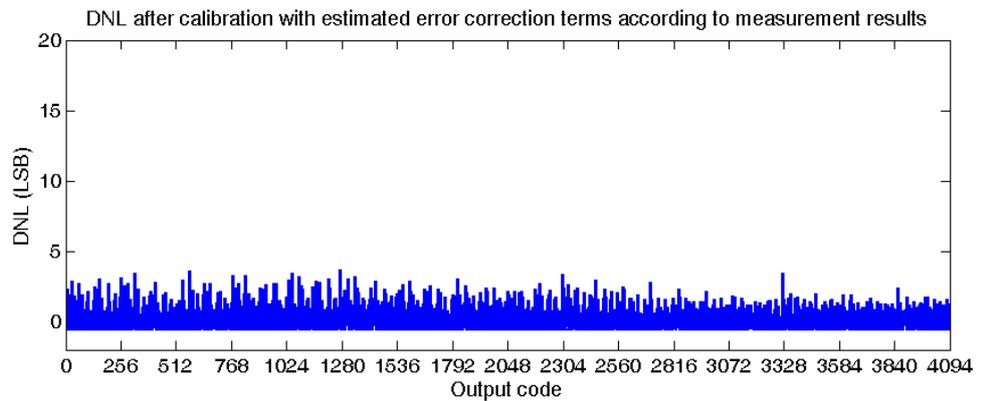


圖 5-30 根據測量結果調整電容誤差量且重新校正後的 DNL 圖形

比較圖 5-28、圖 5-29、圖 5-30，證明我們推測的電容相對誤差量是合

理的估計。但是 DNL 圖形上仍有兩點異常的問題發生：

第一點為三張 DNL 圖型，其左半部都有著相對較高的 DNL 值；第二點為在 256、1280、2304、3328 這四點有相對較高的 DNL 值。

為了做更詳細的分析，我們以同樣的方式重新繪製各 INL 圖形於下頁。圖 5-31 為測量結果之未校正前的 INL 圖形、圖 5-32 為測量結果之校正後的 INL 圖形、圖 5-33 為根據我們的推論後，調整電容誤差量，對測量所得之 INL 圖形再次校正後的 INL 圖形。

三張 INL 圖形有著和 DNL 圖形相同的趨勢，在 INL 分佈圖上，圖形之左半部亦有著相對較高的 INL 分佈；而同樣在 256、1280、2304、3328 這四個點上，也有著相對較高（或「負的較高」）之 INL 分佈。

有問題的四個編碼 256、1280、2304、3328 皆由電容 C_4 負責切換，但電容 C_4 負責切換的編碼還有 768、1792、2816、3840 這四點，這四點並沒有異常的 DNL 與 INL 分佈情形出現，故該異常大的 DNL 與 INL 值可能不是由電容 C_4 之誤差所主導之可校正的線性誤差，它可能是由比較器或是某些電路所造成的非線性誤差。

理論上，ADC 之 DNL 與 INL 分佈，若是由某顆電容之不匹配度所主導的線性誤差，則在 DNL 與 INL 圖形上應該要呈現左右對稱之分佈。但在以上各圖中並不是如此。由前面的測量分析結果來看，各 DNL 與 INL 圖形上都有著明顯的左邊較大、右邊較小的分佈趨勢。

仔細觀察 INL 分佈之圖形呈現，其左邊較大、右邊較小的樣式，有點類似三階函數之「N」狀波形，在圖 5-33 尤其明顯，故可以合理假設有一種三階的非線性誤差被累積到 INL 分佈內，至於該種非線性誤差並不是此校正法可以校正的範圍。

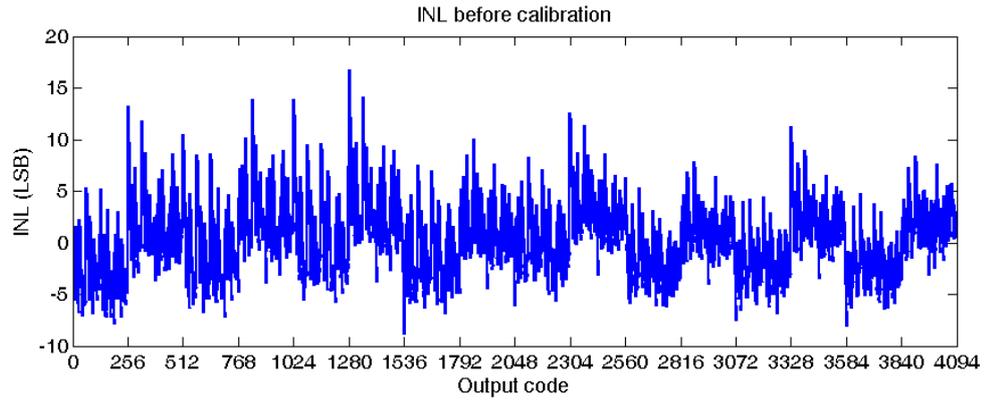


圖 5-31 測量得到的未校正之 INL 圖形

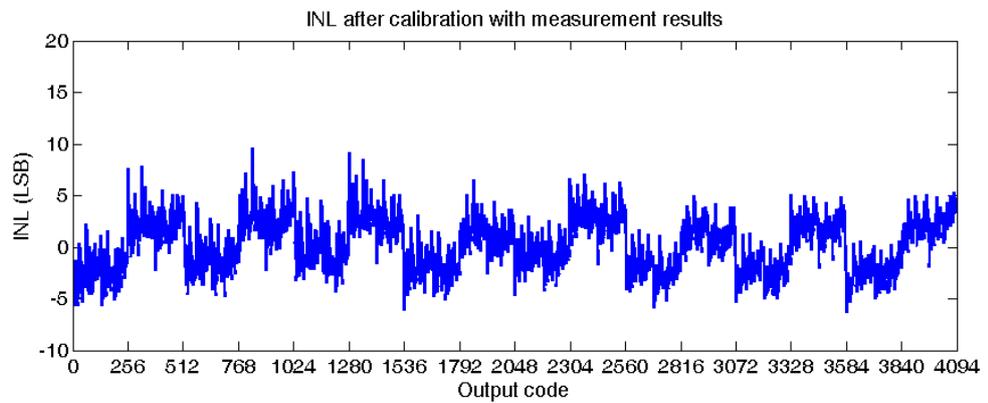


圖 5-32 測量得到的校正後之 INL 圖形

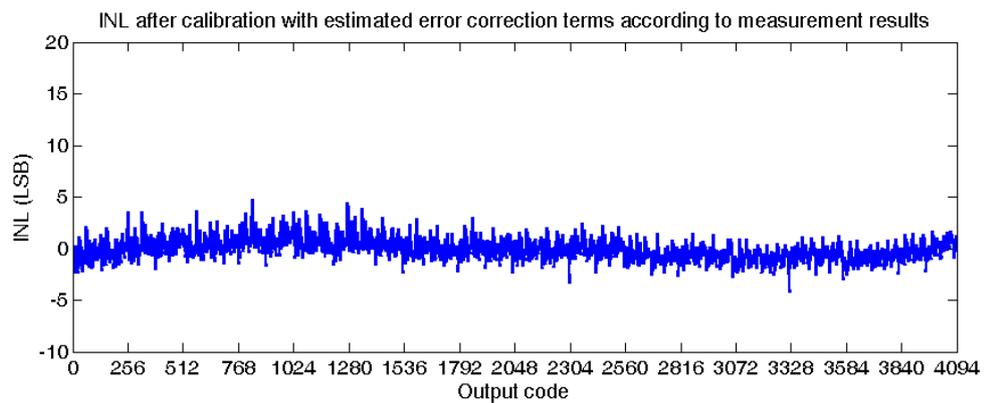


圖 5-33 根據測量結果調整電容誤差量且重新校正後的 INL 圖形

根據以上理論推測，DNL 與 INL 之分佈圖形，呈現左邊較大、右邊較

小的問題，可能不是由電容之線性誤差所引起，它可能是由比較器或是其他電路所引起的非線性誤差。值得一提的是我們所提出的校正演算法，對比較器的性能有一定的要求，若所設計之前置放大器級與比較器設計的不夠好，有一定機率出現這種異常大且不對稱分佈的 DNL 與 INL 圖形。

推測這種情形可能是晶片個案，在以往的測量經驗中，晶片的 DNL 與 INL 若主要由電容之線性誤差所引起，在 DNL 與 INL 圖形上應該是對稱分佈。少數的晶片在測量結果中的確也會有 DNL 與 INL 圖形不左右對稱的情形發生。在這種情況下我們會說該晶片之表現不佳，不對該晶片進行更詳細的測量。但由於此次晶片中，校正演算法能夠正常動作之晶片僅此一個，晶片本身良率並不算高，故在測量上沒有其它選擇。

將測量結果之未校正前的 DNL 與 INL 值、測量結果之校正後的 DNL 與 INL 值、以及根據我們的推論後，調整電容誤差量，對測量所得之結果再次校正後的 DNL 與 INL 值，列表比較，如表 5-1 所示。

表 5-1 各種條件下的 DNL 與 INL 值比較

	Non-calibrated (LSB)	Calibrated (LSB)	Calibrated with the better correction terms (LSB)
DNL	-1~+18	-1~+9	-1~+5
INL	-8~+18	-6~+9	-5~+5

觀察重新校正後的 DNL 與 INL 圖形，我們根據測量結果所重新估計的電容相對誤差量分佈應是可接受的估計。或許有其他組電容相對誤差量分佈值可以達到更好的校正結果，但目前著重在由 ADC 之 DNL 與 INL 測量結果來診斷其 DAC 之電容誤差量的研究並不多，故沒有更多的文獻可以幫助我們做有條理的推測。我們整理測量所得之電容相對誤差量分佈值，與根據測量結果所重新估計的電容相對誤差量分佈值之差異，如表 5-2 所示。

表 5-2 測量所得之誤差量與估計所得之誤差量的差異

電容編號	測量所得之誤差量【A】 (LSB)	根據測量結果重新估計 之誤差量【B】(LSB)	差異量 (LSB) (B-A)
C ₇	-1.5	-1.8	-0.3
C ₆	-2.75	-3.2	-0.45
C ₅	-5.37	-3	2.37
C ₄	4.81	5	0.19
C ₃	1.91	2	-0.09
C ₂	1.45	3	1.55
C ₁	0.72	1	0.22

由表 5-2 可知，其中最大的差異約為 2.37 個 LSB，約相對於 0.5mV，這或許是我們的比較器級性能不佳所導致。若欲分辨的電壓差值小於 0.5mV，則有可能使比較器級呈現亞穩態 (Meta-stable) 之現象。而其餘的電容之測量結果所得到的相對誤差量值，雖不中亦相去不遠矣。

且由表 5-2 還可以觀察到兩個現象：

第一為 MSB 電容 C₇ 之相對誤差量並非最大。理論上該電容由 64 個單位電容並聯形成，其走線最長，所佔之面積最大，在一般教材或是論文中，都會假設該 MSB 電容之誤差量為最大，且假設該電容之誤差影響了 ADC 之主要性能。但根據我們的測量結果得知並非如此，反而是電容 C₆、電容 C₅、電容 C₄、之誤差量較大。

這有可能是因為採用 common-centroid 佈局法，電容 C₇ 之誤差量反而因為其並聯之電容數量較多而得到補償，或是在實際製程上，變異量較大的區域剛好是在 C₇ 之內側區域。然而這只是推測，若有更多的晶片測量結果才使能此推測成立。

第二為在設計初期，我們假設了「若兩個 DAC 其位元數相同、走線相同、佈局相同、則其相對誤差量分佈相同」，在此假設下，我們假設七位元

之 Main DAC 與七位元之 Calibration DAC 之誤差量分佈相同，而五位元的 Sub DAC 其誤差量則和 Main DAC 之第五位元以下相同。如此，在設計的初期進行一些電路可行度分析。

為了證明此一假設，我們引用推測所得的電容相對誤差量分佈值，對先前學長之晶片測量結果以同樣手法進行校正，校正後得到的卻是一個毫無章法、且表現更差的 INL 圖形。則我們可以說，此假設不成立，即使「兩個 DAC 其位元數相同、走線相同、佈局相同」，其中各電容的相對誤差量分佈卻應該看成兩個獨立事件。

綜合學長的晶片與此次晶片之測量結果發現，我們提出的演算法有效，但是其基本假設是「有個能分辨出微小差異，且沒有 Offset 影響的比較器級」。故目前所使用的該種比較器級之架構，是需要重新檢討其設計的。在未來的設計上，需要重新設計一種可靠度較高，且 Offset 影響較小的比較器級。或是引用一種校正比較器之非線性誤差的演算法[33]，亦可自行設計一種適合用於我們的架構中，且能校正比較器之非線性誤差的演算法。若同時將供應電壓提升到 1.8 伏特，則在前置放大器與比較器之設計上將會變的更加簡單，期望能修正剩餘之非線性誤差量。

第六章 結論與未來發展

6.1. 結論

在本論文中提出了一個以全數位方式實行，校正任何已知比例的數位類比轉換器中，其電容陣列內，各電容之間因實際製程產生的誤差量之方法。將此校正方法應用於具有該數位類比轉換器架構的 ADC 中，例如 SAADC，將可使此 ADC 之線性度獲得提升，且可使此 ADC 擁有較大的頻寬，操作在更快的時脈頻率之下。

本論文提出之校正方式僅需要一個參考電壓，就能計算出因製程上的非理想性，導致電容上升、下降所造成的誤差；亦可以針對此電容上升、下降所造成的誤差作補償，有效的提升了 SAADC 的有效位元數。

由於使用全數位方式實現，此校正方法有著容易轉移到各種先進製程的優點，且對製程上的非理想性容忍度較高。因此，在未來的發展上，希望能以更先進的製程設計一個 SAADC，並且將此校正法應用於使用更先進製程的 SAADC 上。

此校正方式亦適用於雙端輸入之差動式 SAADC 中，若想要將 SAADC 之有效位元數向上提升，則可以將此校正方式加入一個雙端輸入、高解析度的差動式 SAADC 中，挑戰 SAADC 所能達到的最高有效位元數上限。

而在此校正法之額外應用上，此校正法之精神為「電荷重佈」之原理，藉由比較電荷分佈的結果與預先充電結果之差異，來找出該電容之誤差量。若要應用於其他架構的 DAC 之上，例如 Resistor string 之分壓式架構，或是 Current steering 之電流式架構上，則可將「比較電容陣列電荷重佈後之電荷差異」的觀念，改成「比較電阻串電壓分壓後之電壓差異」、亦或是「比較

各電流源流過之電流的差異」，以對各種 DAC 之架構實現此校正方法。

也可將此校正法設計成獨立的產品使用，將它設計成「一個能計算電容陣列中，各電容之相對誤差量」的電路。透過外掛上各種待測 DAC 後，可以使用此電路計算該待測 DAC 中各電容之誤差量，但是要注意連接點的寄生電容效應，若該寄生電容值過大，則有可能影響誤差計算之結果。

6.2. 未來發展與待改進之處

根據模擬與測量結果證實，我們所提出的這個應用於 SA ADC 之校正演算法是有效的。但是測量結果顯示電路之表現不如預期，表示它仍然有許多尚待改進的地方。

6.2.1. SA ADC 編碼輸出方式的改進

由於我們電路操作在低於 1 伏特的環境，其一個 LSB 只有 $60\mu\text{V}$ 不到，因此在測量時，測量環境對電路的影響必須加以考慮。例如環境溫度、電磁干擾等等問題都會對我們的測量環境造成影響。

當我們在測量電路表現時，會對此電路做兩次測試，首先測量電路不校正時的性能，之後再測量電路經過校正後的性能，將此兩筆測量數據製圖且相比較，方能驗證此演算法是有效的。

在測量上我們會碰到第一個問題，無法保證此兩次測量時的環境設定百分之百相同。即使兩次測試中，全部儀器設定相同、全部使用相同電源插座以及儀器，測量環境也只能做到八成近似，另外兩成決定在環境因素與儀器狀態上，必須依靠人為微調設定。但是經過微調後，此兩次測試相比較時，可靠度難免有失公允。

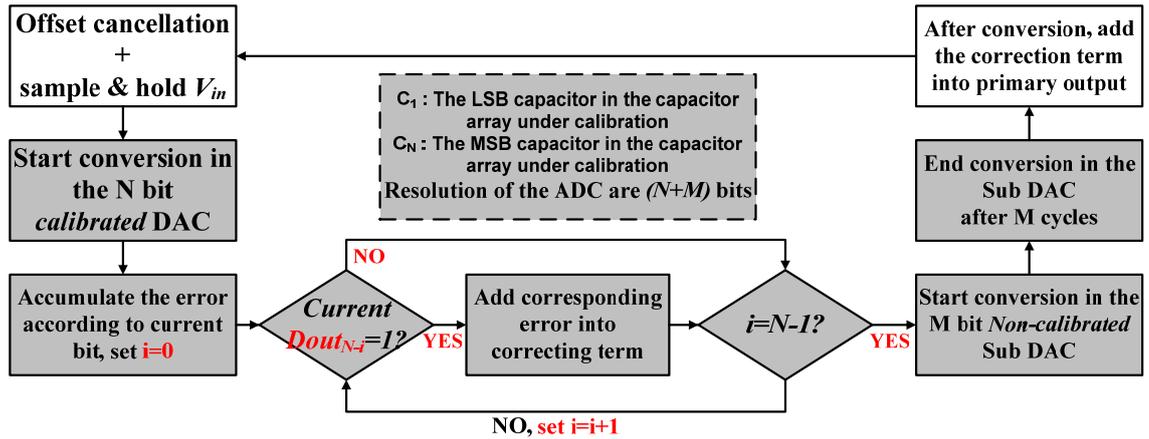


圖 6-1 提出之 SAADC 在具有校正功能之正常轉換模式下的動作流程圖

此 SAADC 在具有校正功能之正常轉換模式時的動作流程圖，如圖 6-1 所示。我們將誤差量校正碼、及不校正前的編碼，在電路末端 Adder 級便先做加總之動作，故在此模式中輸出為已經過校正的輸出。若想得到不經過校正的輸出，則必須關掉末端 Adder 級重新做一次測試。

如此便會碰到上述環境設定的問題，兩次測試時環境設定不可能百分之百相同。且當取樣點數增加時，測試所需時間拉長，要做兩次測試相比較，則必須多花兩倍時間在測試上。

在未來可以將 SAADC 之輸出模式改良，改良後的 SAADC 在具有校正功能之正常轉換模式時的動作流程圖，如圖 6-2 所示。

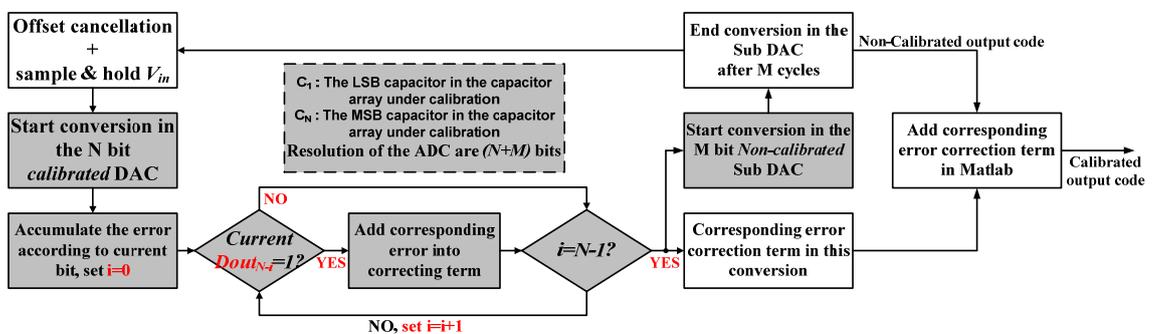


圖 6-2 改進之 SAADC 在具有校正功能之正常轉換模式下的動作流程圖

在圖 6-2 中，我們將此 SA ADC 之輸出分為兩部份，一部份為不經過校正的輸出編碼，另一部份為此輸出編碼所對應的誤差量校正項。即是將電路末端 Adder 移除，把兩數位碼相加總的校正動作，經由一些分析的程式，如 Matlab 等來處理。

如此校正前、後的編碼可以在一次的測試中擷取完成，不但保證兩次測試時的環境百分之百相同，且節省測試所需時間，還可驗證誤差量校正項與電容誤差量之關係，對於電路除錯大有幫助。

以此種方式完成校正的缺點是，在晶片中，我們必須多付出一些被輸出 PAD 與輸出緩衝器（Output buffer）所佔之面積，才能取得額外的腳位去擷取誤差量校正項之編碼；同理，在 PCB 板之設計上，也要多計算一些面積去擷取這些誤差量校正項之編碼，作 Wire bonding 的價格也會略為上升。

6.2.2. 具有偏移量補償功能之比較器級的改進

具有偏移量補償功能之比較器級，為此 SA ADC 之核心元件。在第四章中提到，比較器級的頻寬被四個軌對軌的前置放大器給限制住，若想將此電路操作頻率更往上提升，且維持低功耗，只有兩種方式可以完成：提出一種新的軌對軌前置放大器架構，或是使用更先進的製程實作。

由第五章之結果顯示，我們的比較器與前置放大器級之架構是需要檢討的，所提出的校正演算法對比較器的性能有一定的要求，若所設計之前置放大器級與比較器設計的不夠好，有一定機率出現這種異常大且不對稱分佈的 INL 圖形。此種非線性的誤差分佈，會影響了所提出之校正演算法的精準度，同時也是使 ADC 性能降低的主要原因之一。

然而，我們可以參考[33]之方式，以一種校正法來提升比較器的精確度，

其校正之方式如圖 6-3 所示。

在[33]之電路設計上，將比較器設計成兩種不同的架構：低耗能但高雜訊的比較器，負責較高位元（兩端差距較大時）時的比較動作；高耗能但低雜訊的比較器，負責較低位元（兩端差距較小時）時的比較動作。且在 LSB 位元 b_4 之後，加上一個校正位元 b_+ 。

在理想上的比較動作如下圖(a)所示，然而在下圖(b)時，比較器在比較位元 b_2 時發生了錯誤，導致此筆比較後的輸出有了誤差。在[33]所提出的比較器誤差修正演算法中，根據 LSB 位元 b_4 與校正位元 b_+ 之輸出結果，可以對此筆比較後的編碼做+1 或是-1 的動作，將位元 b_2 之誤差補回，提升此比較器級的精準度。

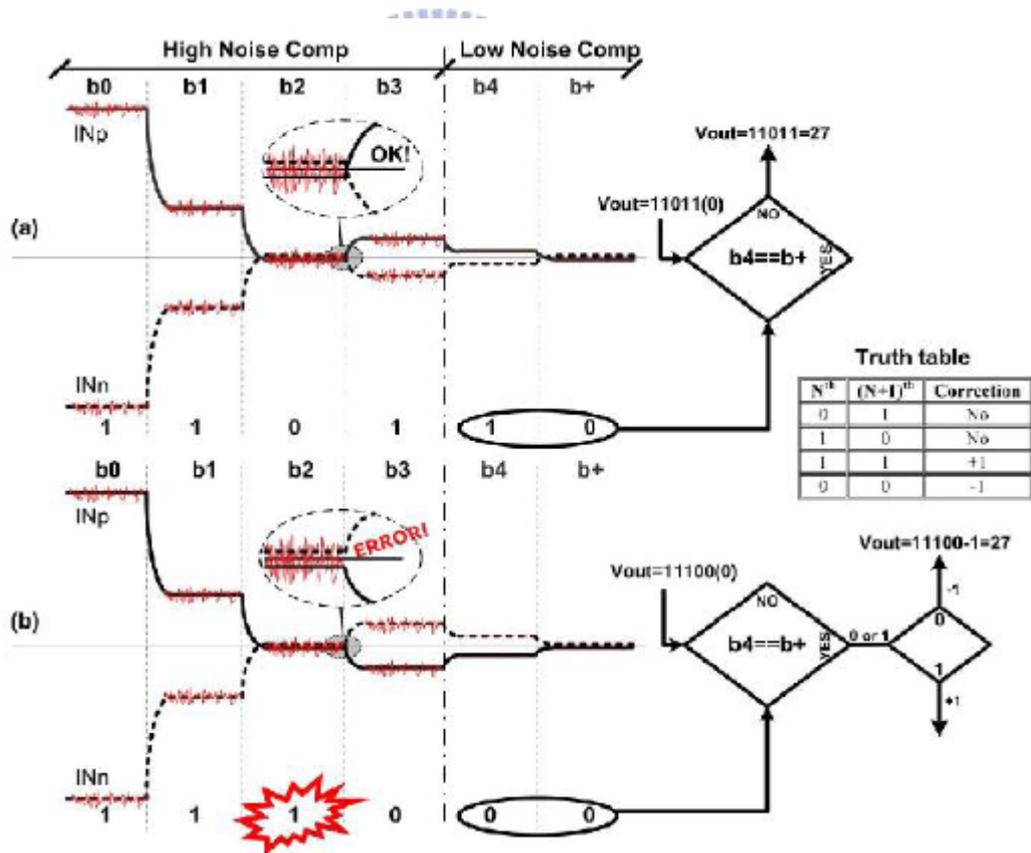


圖 6-3 提升比較器精準度之校正法[33]

然而此比較器之誤差修正演算法，其最大的缺點為，可校正範圍僅有 1 個 LSB，對誤差量較大的 Main DAC 可能幫助不大，不過我們可以如此應用於提出之 SAADC 上：

在 Main DAC 內之主要誤差量來源，是各電容間之不匹配造成的線性誤差，可使用本論文所提出之演算法消除之；反之，在 Sub DAC 與 Calibration DAC 內，其誤差量主要來源並非各電容間之不匹配，而是比較器難以分辨之細小誤差，導致比較結果錯誤時，則以[33]之演算法校正之。

6.2.3. 晶片實做方面之改進

在本論文提出之 SAADC 設計上，我們將數位部份與類比部份整合在一顆晶片內，且以一圈厚 Guard-Ring 分隔兩部份，期望數位部份的雜訊不會干擾到類比部份電路。

由晶片佈局圖中可以看到，此晶片被數位部份佔去一半的面積，也就是在此架構中，數位電路面積並不算太小。故數位電路所產生的雜訊，即使使用多層厚 Guard-Ring 隔絕，也很難保其不會透過共同基板去干擾類比電路部份，特別是當電路操作之時脈頻率再提升時。

參考[15][16][17][20][21][22]之做法，我們可以將晶片改造成如圖 6-4 之形式：將類比部份與數位部份分離，類比部分獨立於一個晶片中，數位部份則獨立於另一個晶片或是 FPGA 板上，兩晶片可透過 PCB 板之設計，或是以 Wire bounding 的方式相連接。

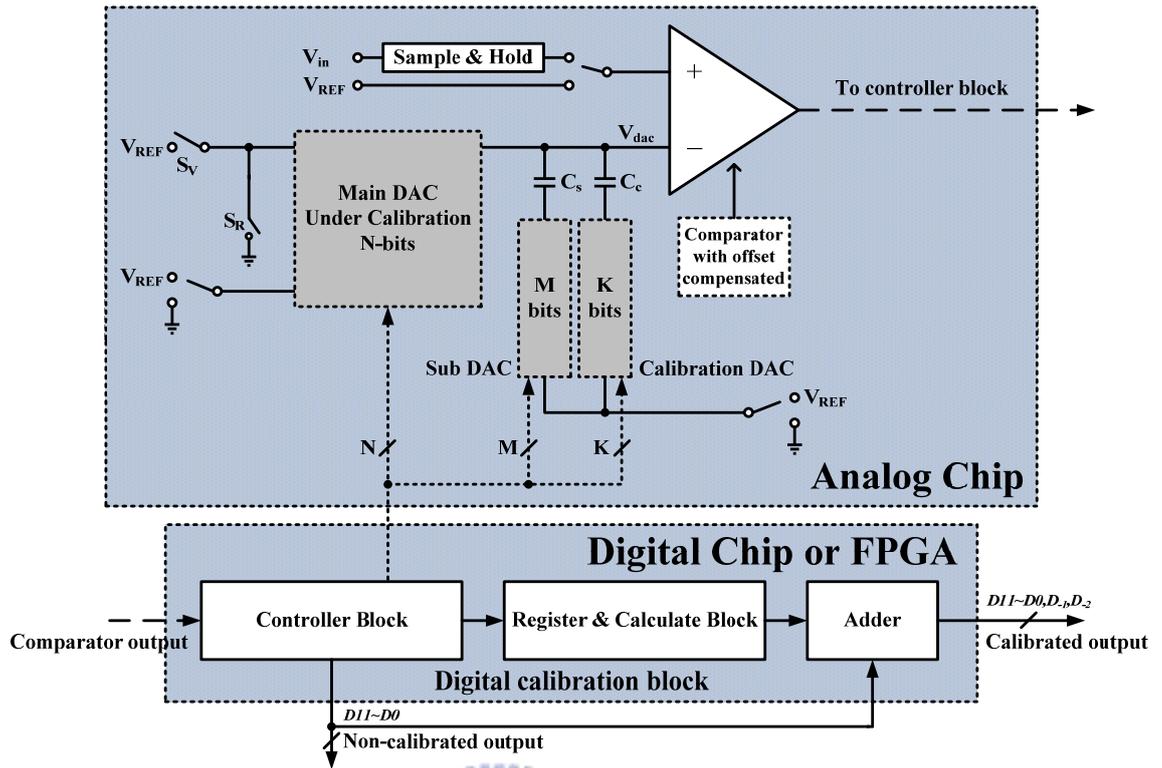


圖 6-4 改進後的 SA ADC 晶片連接方式

如此第一個優點是可以獨立測試兩部份電路之動作，可以單獨測試類比電路部份校正前的性能；也可以簡單的經由 RTL 語法，將複雜的校正用數位電路燒錄至 FPGA 內，再經由外部線路之連接來控制類比電路，以進行整合式的測試。

然而要注意的是，以此種方式進行兩晶片（或是晶片對 FPGA 板）之連接，連接之導線可視為一個極大的外掛寄生電容，必須考慮此寄生電容對於電路連接點之影響，視情況增加連接點對外連接所需的輸出緩衝器（Output buffer）之推力。

第二個優點依然建立在兩部份分別獨立測試上，大幅增加了電路除錯時的可偵錯性。將複雜的數位部份內建在 FPGA 中，偵錯時若發現有 Bug 存在，其可修改的彈性亦相當高。

第三個優點是節省電路模擬所需時間，這點我們將在下一個小節繼續探討。

6.2.4. 電路模擬時間過長之改進

在設計電路的過程中，我們通常會使用 Hspice 軟體來驗證電路可行性與正確性。在設計初期對僅含 Netlist 的電路進行前模擬（Pre-simulation），以驗證電路動作之行為與時序是否合乎預期；在電路設計末期進行後佈局後模擬（Post-simulation），此時模擬包含佈局時產生的寄生電阻電容等效應，以驗證實際下線後的可行性。

然而，對一個具有校正功能的十二位元 SA ADC 進行模擬，會碰到模擬時間過長的問題。在一台不算太老舊的工作站中，以 Cent OS 為作業系統，進行 Pre-simulation 約耗時兩天，進行 Post-simulation 約耗時四天，這還只是在取樣 512 點的狀態下。

模擬時間過長的因素之一，為 Hspice 軟體之精準度所致。Hspice 軟體為業界以及學界公認可信度最高之電路模擬軟體。雖然有很多電路模擬軟體強調其模擬速度高於 Hspice，如 Ultra-sim 這套軟體便可以針對不同的電路（類比、數位），設定不同的精準度（類比較詳細、數位較粗略），以達到節省模擬時間的效果。但是在真正使用後得到的模擬結果，卻是和 Hspice 大相逕庭。

模擬時間過久對於高解析度、且具有複雜的數位部份之混合信號電路，無疑是設計上的一大關卡，尤其是對於學習時間有限的碩博士生而言。對於業界搶攻市場所注重的 Time-to-Market 問題，也是一大阻礙。

或許我們可以使用降低取樣點數目的方式來提升模擬速度。以 12 位元

的 ADC 為例，我們可以先跑幾組模擬，這幾組只有取樣點數分別為 16384、8192、4096、2048、1024、512 點，其於條件皆相同。我們可以比較這幾筆資料的模擬結果，在精準度與模擬時間上做取捨。

然而這不是一個能夠治本的方式，當欲設計的 ADC 解析度很高的時候，採用圖 6-4 的方式，分離類比部份與數位部份於兩不同晶片中，就能有效提升模擬速度。

類比部份之晶片我們以精準度最高的軟體 Hspice 進行模擬與驗證，以 Awave 軟體觀察各連接點波形；數位部份由於只需驗證功能動作與電路時序是否正常，則可以用 NC-Verilog 等數位電路模擬軟體進行驗證，以 Nwave 軟體觀察電路時序圖與功能動作圖。如此將兩個不同部份以不同的軟體進行模擬與驗證，便可有效縮短模擬所需時間。

但是如此一來，便無法進行類比晶片與數位晶片的共同模擬，其下線後的可信度便會略為降低。但是由於數位部份燒錄在 FPGA 內，若在除錯時發現，電路整合後性能不佳的原因來自於數位電路，便可以很容易的對數位電路進行修改、再測試等動作。

參考文獻

- [1.] David A. Johns and Ken Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc., 1997.
- [2.] A. S. Sedra and K. C. Smith, "Microelectronic Circuits," 4th. Ed., Oxford University Press, 1998.
- [3.] H. C. Hong and G. M. Lee, "A 65fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, October 2007.
- [4.] Sauerbrey J., Schmitt-Landsiedel D., and Thewes R., "A 0.5-V 1- μ W successive approximation ADC," *IEEE J. Solid-State Circuits* 38(7), pp. 1261- 1265, 2003.
- [5.] H. C. Hong and G. M. Lee, "Design of An Ultra-low Power Successive Approximation Analog-to-Digital Converter for Wireless Sensor Networks," *VLSI CAD*, August 2006.
- [6.] Jianhua Gan, Shouli Yan, and Jacob Abraham, "Effects of Noise and Nonlinearity on the Calibration of a Non-Binary Capacitor Array in a Successive Approximation Analog-to-Digital Converter," *IEEE*, 2004.
- [7.] X. Jiang, Z. Wang, and M. F. Chang, "A 2GS/s 6b ADC in 0.18 μ m CMOS," *IEEE Int. Solid-State Circuits Conf.*, pp. 322-323, Feb. 2003.
- [8.] Hester, R. R., et al. "Fully differential ADC with rail-to-rail common-mode range and nonlinear capacitor compensation," *IEEE J. Solid-State Circuits*, 25(1), pp. 173-183.
- [9.] Shan-Li Long, Jian-Hui Wu, and Xiao-Juan Xia, "A 1.8-V 3.1mW successive approximation ADC in system-on-chip," *Analog Integrate Circuit Process*, 56, pp. 205-211, 2008.
- [10.] D. Aksin, M. Al-Shyoukh, and F. Maloberti, "Switch bootstrapping for precise sampling beyond supply voltage," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, Aug. 2006.
- [11.] Y. Matsuya and J. Yamada, "1 V power supply, low-power consumption A/D conversion technique with swing-suppression noise shaping," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, December 1994.
- [12.] H. C. Hong and T. Y. Hsieh, "A 1.76 μ W, 0.9V, 8-bit Successive Approximation Register ADC with Fully-Differential Input Capability," *VLSI CAD*, August 2007.

- [13.] Gilbert Promitzer, "12-bit Low-Power Fully Differential Switched Capacitor Non-calibrating Successive Approximation ADC with 1MS/s," *IEEE J. Solid-State Circuits*, vol. 36, no. 7, July 2001.
- [14.] H. P. Le, J. Singh, L. Hiremath, V. Mallapur, and A. Stojcevski, "Ultra-low-power variable-resolution successive approximation ADC for biomedical application," *Electronics Letters* 26th., vol. 41, no. 11, May 2005.
- [15.] Hae-Seung Lee and David A. Houges, "Self-Calibration Technique for A/D Converters," *IEEE Transactions on Circuits and Systems*, vol. CAS-30, no. 3, March 1983.
- [16.] Hae-Seung Lee, David A. Houges, and Paul R. Gray, "A Self-Calibrating 15 Bit CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, December 1984.
- [17.] Hae-Seung Lee and David A. Houges, "Accuracy Considerations in Self-Calibrating A/D Converters," *IEEE Transactions on Circuits and Systems*, vol. CAS-32, no. 6, June 1985.
- [18.] Behzad Razavi, "Design of Integrated Circuits for Optical Communications,"
- [19.] K.S Tan, "On Board Self-Calibration of Analog-to-Digital and Digital-to-Analog Converters," *Unite States Patent*, no. 4399426, August 1983.
- [20.] K.S Tan, S. Kiriaki, M.D. Wit, J.W. Fattaruso, C.Y. Tsay, W.E. Matthews, and R.K. Hester, "Error Correction Techniques for High-Performance Differential A/D Converters," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, December 1990.
- [21.] Harald Neubauer, Thomas Desel, and Hans Hauer, "A Successive Approximation A/D Converter with 16bit 200kS/s in 0.6 μ m CMOS using Self-Calibration and Low Power Techniques," *Proc. 8th. IEEE Int. Conf. Electronics Circuits and Systems*, pp. 859–862, September 2001.
- [22.] Gerald, Miller, Michael Timko, Hae-Seung Lee, Eric Nestler, Michael Mueck, and Paul Ferguson, "An 18b 10 μ s Self-Calibrating ADC," *IEEE Int. Solid-State Circuits Conf.*, February 1990.
- [23.] R. J. Guo, "Design of a 12-bit, Ultra-low Power Successive Approximation Analog-to-Digital Converter," Taiwan, National Chiao-Tung University, Department of Electrical and Control Engineering, January 2008.
- [24.] N. Verma and A. P. Chandrakasan, "A 25 μ W 100kS/s 12b ADC for wireless micro-sensor applications," *IEEE Int. Solid-State Circuits Conf.*, pp. 822–831, 2006.
- [25.] F. Kuttner, "A 1.2V 10bit 20MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS," *IEEE Int. Solid-State Circuits Conf.*, pp. 136–137, 2002.

- [26.] L. H. de Carvalho Ferreira and T. C. Pimenta, "An ultra low-voltage CMOS OTA Miller with rail-to-rail operation," *Proceedings of the 16th. International Conference on Microelectronics*, pp. 223-226, December 2004.
- [27.] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, "Designing 1-V op amps using standard digital CMOS technology," *IEEE Transactions on Circuits and Systems*, vol. 45, no. 7, July 1998.
- [28.] A. L. Coban and P. E. Allen, "A 1.75V rail-to-rail CMOS op amp," *IEEE Int. Solid-State Circuits Conf.*, pp. 497-500, 1994.
- [29.] R. Hogervorst, R. J. Wiegerink, P. A.L de Jong, J. Fonderie, R. F. Wassenaar, and J. H. Huijsing, "CMOS low-voltage operational amplifiers with constant-gm rail-to-rail input stage," *IEEE International Symposium on Circuits and Systems*, vol. 6, pp. 2876-2879, May 1992.
- [30.] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design," New York Oxford, Second Edition, 2002.
- [31.] T. Y. Tsai, "Low Power Techniques for Digital IC Design," *CIC eNEWS*, vol 86, 15th., December 2007.
- [32.] Reference to: "http://members.tripod.com/~x_zhou/MSM2000/sld011.htm"
- [33.] Vito Giannini, Pierluigi Nuzzo, Vincenzo Chironi, Andrea Baschirottoli, Geert Van der Plas, and Jan Craninckx, "An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SARADC in 90nm Digital CMOS," *IEEE Int. Solid-State Circuits Conf.*, 2008.
- [34.] S. Y. Chin and C. Y. Wu, "A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 8, August 1996.
- [35.] J. A. M. Jarvinen, M. Saukoski, and K. Halonen, "A 12-bit 32 μ W Ratio-Independent Algorithmic ADC," *Symposium on VLSI Circuits Digest*, 2006.
- [36.] C. S. Lin and B. D. Liu, "A new successive approximation architecture for low-power low-cost CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 54-62, January 2003.
- [37.] K. Hadidi, V. S. Tso, and G. C. Temes, "An 8-b 1.3-MHz successive approximation A/D converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, June 1990.
- [38.] E. Culurciello and A. Andreou, "An 8-bit, 1mW successive approximation ADC in SOI CMOS," *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 301-304, June 2003.
- [39.] A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters," *Electronics letters*, vol. 32, no. 12, June 1996.
- [40.] M. Waltari and K. A. I. Halonen, "1-V 9-Bit Pipelined Switched-Opamp ADC," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, January 2001.

