

國立交通大學

電機與控制工程研究所

碩士論文

內建基底雜訊量測電路



A Built-in Technique for Measuring Substrate Noise

研究生：林挺毅

指導教授：蘇朝琴 教授

中華民國九十七年十月

內建基底雜訊量測電路

A Built-in Technique for Measuring Substrate Noise

研究生：林挺毅

Student : Ting Yi Lin

指導教授：蘇朝琴 教授

Advisor : Chau Chin Su

國立交通大學

電機與控制工程研究所



A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

October 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十月


內建基底雜訊量測電路

研究生：林挺毅

指導教授：蘇朝琴 教授

國立交通大學電機與控制工程研究所

摘 要



本論文提出一個新的基底雜訊量測電路，配合上自我偵測 PVT (製程、電壓、溫度) 的電路，作動態頻率調整，使得 (SoC) 系統晶片能夠工作其最佳的工作狀態。在量測基底雜訊方面，不同於之前量測雜訊電壓的方法，取而代之的是以雜訊對電路所造成的時間抖動量，判斷雜訊對電路影響的大小。我們以一個壓控震盪器將電壓耦合進基底產生基底雜訊，經由反向器串鏈吸收基底雜訊，將雜訊轉換成時間抖動量(Jitter)。並用一個時間抖動偵測器，偵測時間抖動的大小。

此電路另有一個以偽隨機續位元序列產生器、數位電路、和並聯輸入信號暫存器組成的驗證電路，並且設計一個與數位電路相同組合邏輯深度的迴圈震盪器，量測其震盪頻率，以偵測目前工作的 PVT 狀態。如此，我們則能夠根據 PVT 與雜訊的偵測結果，藉由動態頻率調整，得到最佳的工作狀態。此晶片使用台積電 0.18 μm RF CMOS 製程來實現。在 1.8V 的電源供應下，總功率消耗為 26mW，其中量測電路所佔的功率消耗為 14.7mW。

關鍵字: 基底雜訊量測,時間抖動偵測, 動態頻率調整

A Built-in Technique for Measuring Substrate Noise

Student: Ting Yi Lin

Advisor: ChauChin Su

Department of Electrical and Control Engineering

National Chiao Tung University

Abstract

This thesis proposes a circuit to measure the substrate noise. This circuit cooperates with a PVT (Process, Voltage, Temperature), and a noise monitoring circuit to make a SoC (System on Chip) operates at its optimal operating point. For the substrate noise measurement, instead of measuring the noise amplitude, we measure the timing jitter of the circuit caused by the substrate noise. It determines the degree that the circuit is affected by the noise. The noise is coupled into the substrate from a voltage-control oscillator and absorbed by an inverter chain. The noise is transformed into timing jitter and detected by circuit

This circuit also includes a verification circuit, made up of a PRBS(Pseudo Random Binary Sequence), a digital circuit, and a MISR(Multiple Input Signature Register). A ring oscillator is designed to have the same combinational depth as that of the digital circuit to detect the current PVT status. According to the results of the noise measurement and PVT corner, we use dynamic frequency scaling to decide the optimal working condition for the circuit. This chip is implemented in TSMC 0.18um RF CMOS process. In a 1.8V power supply, the jitter measurement circuit consumes 14.7mV, and the total power consumption is 26mW.

Keyword: *substrate noise measurement, timing jitter measurement, dynamic frequency scaling*

致 謝

首先要感謝的是我的指導教授 蘇朝琴教授，這兩年的辛勤教導，無論是在專業領域的知識與技術，亦或是生活上為人處世的道理，都讓我獲益良多。

接下來要感謝的是博班盈杰學長和同學季慧陪我在這個陌生的領域探索與學習。另外感謝博士班學長們：丸子學長、鴻文學長、仁乾學長、煜輝學長在我遇到研究上的困難時，給予我熱心的指導。還有實驗室碩士班學長姊們：小馬、方董、議賢、村鑫、小潘潘、存遠、教主、snoopy，解決我在課業與研究上的疑惑。實驗室的同學們與學弟們：子俞、碩廷、孔哥、雅婷、洲銘、于昇、家齊，在課業上互相討論，生活上互相照顧與幫助。還要感謝助理雅雯和上容，對我的照顧及幫忙。

最後要感謝我的父親、母親、兩個姊姊、以及女朋友小條，感謝你們的鼓勵與陪伴，讓我能夠順利的度過這兩年的碩士生涯。



目錄

摘 要.....	II
Abstract.....	III
致 謝.....	IV
目 錄.....	V
表目錄.....	VIII
圖目錄.....	IX
第一章.....	1
緒論.....	1
1.1 簡介.....	1
1.2 研究動機.....	2
1.3 論文結構.....	3
第二章.....	4
背景回顧.....	4
2.1 前言.....	4
2.2 基底雜訊的來源.....	4
電壓供應源雜訊.....	5
源極與汲極的耦合效應.....	5
游離碰撞.....	6

2.3 基體效應.....	7
2.4 基底模組.....	8
以三度空間網路為主的模組.....	8
簡潔的宏觀模組.....	10
2.5 基底雜訊量測方法.....	11
比較器形式量測電路.....	11
放大器形式量測電路.....	11
2.6 動態電壓和頻率調整.....	12
2.7 本章總結.....	13
第三章.....	14
電路架構與基底模組.....	14
3.1 基底雜訊之影響.....	14
3.2 延遲效應.....	15
3.3 電路架構.....	17
3.4 基底模組.....	18
基底耦合的近場和遠場效應.....	18
Z矩陣和R矩陣表示法.....	19
相互阻抗.....	20
自我阻抗.....	22
電容佈局圖和模組.....	22
反向器佈局和模組.....	24
3.5 本章總結.....	26
第四章.....	27
電路分析與介紹.....	27
4.1 前言.....	27

4.2 雜訊產生器	27
4.3 驗證電路	32
偽隨機續位元序列產生器	32
待測電路(乘法器)	33
並聯輸入信號暫存器	33
4.4 時間抖動量測和自我偵測電路	34
延遲串鏈	34
相位內差電路	35
工作狀態和解析度自我偵測電路	37
相位偵測和數位計數電路	39
圖 4.19 相位偵測和數位計數電路	40
時間抖動量測電路	40
4.5 電路佈局圖和模擬結果	41
晶片佈局圖	41
4.6 佈局後的整體模擬	43
解析度偵測	43
時間抖動量測	45
晶片規格	52
4.7 量測考量	52
4.8 總結	53
第五章	54
結論	54
5.1 結論	54
5.2 未來發展	55
參考文獻	56

表目錄

表 4.1 解碼器真值表.....	29
表 4.2 相位內差解碼器真值表.....	36
表 4.3 相位差偵測表 (PRE-SIMULATION).....	39
表 4.4 腳位對照表.....	43
表 4.5 相位差偵測表 (POST-SIMULATION).....	43
表 4.6 在不同製程狀況下的相位差.....	45
表 4.7 解析度之平均值和最大變化量.....	45
表 4.8 TT CORNER 的模擬結果.....	50
表 4.9 FF CORNER 的模擬結果.....	51
表 4.10 FS CORNER 的模擬結果.....	51
表 4.11 SF CORNER 的模擬結果.....	51
表 4.12 SS CORNER 的模擬結果.....	52
表 4.13 電路規格表.....	52



圖目錄

圖 1.1 PVT和基底雜訊的影響	2
圖 2.1 電源供應器雜訊示意圖	5
圖 2.2 基體效應	7
圖 2.3 模組示意圖	8
圖 2.4 基底模組	10
圖 2.5 偵測電路示意圖	12
圖 3.1 基底雜訊之影響	15
圖 3.2 電容耦合示意圖和模組圖	16
圖 3.3 整體電路架構	17
圖 3.4 近場效應	18
圖 3.5 遠場效應	18
圖 3.6 雙埠模型圖	19
圖 3.7 基底電阻參數示意圖	21
圖 3.8 近場區域的基底電阻曲線圖	21
圖 3.9 近場效應和遠場效應比較圖	22
圖 3.10 雜訊耦合進基底的示意圖	23
圖 3.11 NMOS電容佈局圖	23
圖 3.12 接觸點佈局示意圖	24
圖 3.13 電容模組	24
圖 3.14 反向器佈局圖和佈局參數	25
圖 3.15 反向器模組	26
圖 4.1 壓控震盪器	28
圖 4.2 延遲單元	28
圖 4.3 雜訊可調範圍	28
圖 4.4 雜訊產生器示意圖	29
圖 4.5 基底效應示意圖	30
圖 4.6 耦合電壓模擬圖	30
圖 4.7 反向器基體端的模擬圖	31
圖 4.8 反向器基體端的模擬圖 (不同雜訊大小)	31
圖 4.9 待測電路	32
圖 4.10 偽隨機位元序列產生器	32
圖 4.11 乘法器延遲時間模擬圖	33
圖 4.12 時間抖動量測和自我偵測電路	34

圖 4.13 二對一多工器	35
圖 4.14 多工器用於相位選擇	35
圖 4.15 相位內差電路	35
圖 4.16 相位重疊示意圖	36
圖 4.17 環型震盪器	37
圖 4.18 PVT CORNER和解析度量測電路	38
圖 4.19 相位偵測和數位計數電路	40
圖 4.20 時間抖動量測示意圖	40
圖 4.21 時間抖動量測電路	41
圖 4.22 電路佈局圖	42
圖 4.23 (A)眼圖 (B)相位偵測器輸出 (無雜訊時)	46
圖 4.24 (A)眼圖 (B)相位偵測器輸出 (一組雜訊注入時)	47
圖 4.25 (A)眼圖 (B)相位偵測器輸出 (兩組雜訊注入時)	48
圖 4.26 (A)眼圖 (B)相位偵測器輸出 (三組雜訊注入時)	49
圖 4.27 (A)眼圖 (B)相位偵測器輸出 (四組雜訊注入時)	49
圖 4.28 晶片量測設備裝置	53



第一章

緒論



1.1 簡介

科技的蓬勃發展，電路的應用面越來越大，而製程技術不斷地演進，將所有複雜功能的系統全部都整合在一個晶片上已經是現在的趨勢。加上製程尺寸越作越小，一個晶片能夠擺放的電路系統越來越多，隨著製程尺寸越小，基底的耦合效應就會越顯著。站在雜訊源的角度，為了能夠節省更多的成本，許多原本使用類比電路的部份被數位電路所取代，也就是說能夠產生基底雜訊的電路所佔的比例越來越大；而站在受到雜訊干擾電路的角度，工作的頻率不斷的上升，而供應電壓不斷的下降，對於雜訊的忍受能力因此下降。在這個基底雜訊越來越大的情況之下，我們不能不去正視基底雜訊對電路所產生的影響。

1.2 研究動機

製程進入深次微米，製程、溫度、電壓對電路特性的影響程度也隨之增加。傳統的電路多操作在預設的最差狀況(Worst PVT Corner)，並預留適當的餘域(Margin)以應付未來的老化與環境的變動，這對整體的性能有相當大的損失。而隨著電路與電路之間的距離越來越小，基底效應也成為了雜訊源中重要的一環，見圖 1.1。雜訊 (Noise) 所造成的時間抖動(Timing Jitter) 將會吃掉在電路設計時所保留的時間餘域(Timing Margin)，使得電路無法正常工作。因此，在設計上又必須要保留更多的餘域，更進一步的降低了工作的性能，這些都是無謂的能量與效能浪費。

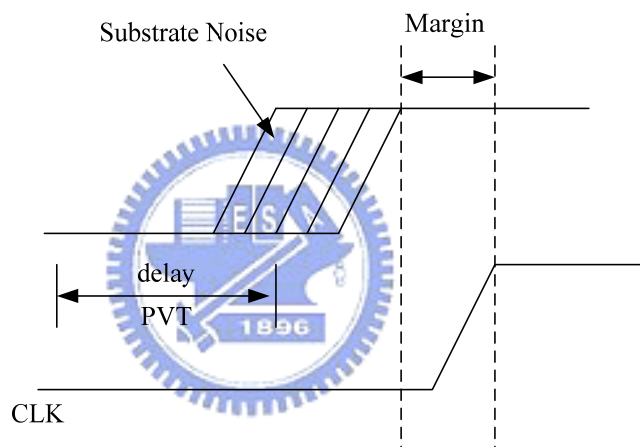


圖 1.1 PVT 和基底雜訊的影響

基底雜訊在近幾年被廣泛的討論，數位電路和類比電路之間會因為數位電路的快速切換而影響類比電路的表現，像是在[1]、[2]和[3]的研究中，就分析了基底雜訊是如何對鎖相迴路(Phase-Lock loop) 以及類比數位轉換器(Analog-to-Digital Converter) 產生干擾並影響其表現。因此為了減少基底雜訊的影響，在晶片佈局設計上我們會在類比電路外圍上防護環(Guard Ring)，以和數位電路作區隔，或者讓電路與電路之間有更遠的距離，增加基底之間的阻抗。在電路上，我們可以在防護環上再加上主動電路以增加防護環的效果[4]。

但基底雜訊的影響不單只有數位電路對類比電路的影響，隨著許多核心電路的數位化，數位電路在系統中所佔的重要性隨之遽升，數位電路和數位電路之間互相干擾

的現象，也變得不容忽視。但數位電路之間的互相干擾是難以用上述這些方法去抑制的。因此我們以量測雜訊對數位電路的影響為我們此專題的主要目的。而在數位電路中，不同於類比電路重視雜訊電壓的大小，我們所關注的是雜訊在時域上所造成的抖動(Jitter)。於是我們設計一個量測時間抖動量的電路，檢測時間抖動的大小，配合上一個能偵測當時製程、溫度、電壓狀況的環形震盪器(Ring Oscillator)，找出電路所能夠工作的最佳工作狀態，決定要如何調整電壓或訊號頻率(增減電壓或是增減訊號頻率)，來使電路達到最佳的耗電狀態(低功率消耗)。

1.3 論文結構

本論文內容分成以下五個章節。第一章為緒論，說明基底雜訊的重要性，研究動機，以及論文結構。第二章為背景回顧，探討基底雜訊的來源、基底的模組，以及先前量測基底雜訊的方法。第三章將介紹我們電路的整體架構以及根據之前研究所建立出的符合我們需求的模型。第四章介紹了一個可以偵測 PVT 和基底雜訊的電路，以及自我偵測解析度的機制，章節中還包括了晶片佈局圖、佈局後模擬、規格表，以及量測考量。第五章為結論，討論電路設計結果，以及未來發展的方向。

第二章

背景回顧



2.1 前言

本章旨在回顧有關基底雜訊歷年來的文獻，首先我們會在 2.2 節會先介紹基底雜訊的三個主要的來源，接下來 2.3 節中介紹基底雜訊是如何利用基體效應影響電路。在 2.4 節中我們會簡介在之前的研究之中最主要的基底模組，以及在 2.5 節整理目前量測基底雜訊的方法，最後在 2.6 節解釋動態電壓和頻率調整的重要性，以及 2.7 節作整章節的統整。

2.2 基底雜訊的來源

當電流注入到基底時，會對基底的電位產生變化，我們稱之為基底雜訊。在數位的 CMOS 電路中，基底雜訊的來源最主要有三種：(1)電源供應源雜訊(Power Supply Noise)，(2)源極與汲極的耦合效應(S/D Coupling Noise)，(3)碰撞游離(Impact Ionization)。

我們將分別詳細介紹：

電壓供應源雜訊

第一種雜訊是來自於電壓供應源，這種雜訊最主要是因為大量的邏輯電路在同時間切換，使得電路在瞬間產生大電流，造成基底電壓不穩，因此我們也可以稱電壓供應源雜訊為地電位彈跳(Ground Bounce)，或是同步切換雜訊(Simultaneous Switching Noise)。我們先由圖 2.1 作說明，當電路在轉態的時候會產生一股電流從 VDD 到達 GND，對 A 點及 B 點產生電位變化，如 (2.1) 所示：

$$V_{\text{noise}} = L_g \cdot \frac{dI}{dt} \quad (2.1)$$

而這也就是所謂的 $\frac{dI}{dt}$ 雜訊，在龐大的數位電路中若有 N 個元件在此時作切換，就會有 N 倍的雜訊產生，且在數位電路中幾乎每個元件的基底端都是直接接到地端，所以基底與地端只會有極小的電阻，換句話說，在地端的雜訊也將會被完整的呈現在基底造成基底雜訊。

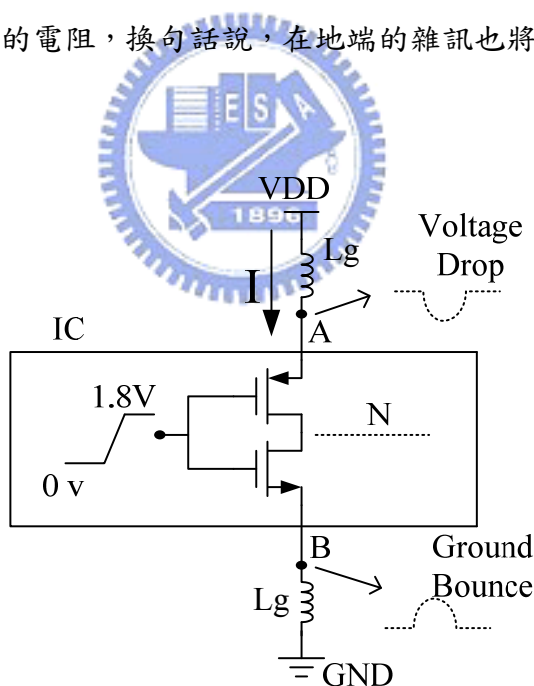


圖 2.1 電源供應器雜訊示意圖

源極與汲極的耦合效應

第二種雜訊來源是來自於 MOSFET 中源極與汲極經由接面電容的耦合效應，其中單位面積/週長的接面電容公式如 (2.2)：

$$C_{\text{junc}} = [2q\epsilon_{\text{Si}} \left(\frac{N_A \cdot N_D}{N_A + N_D} \right)]^{1-m} \cdot \frac{(1-m)}{\phi_0^m \cdot (1 + V_R/\phi_0)} \quad (2.2)$$

其中 ϕ_0 為內建的界面電壓， N_A 和 N_D 分別為基底和源極、汲極的雜質原子密度， q 為單位電荷強度 ($1.602 \times 10^{-19} \text{ C}$)， ϵ_{Si} 為矽的介電係數 ($1.04 \times 10^{-12} \text{ F/cm}$)，而 V_R 為接面的逆向偏壓。當數位電路不斷的在作切換時，源極與汲極將其電位偶合進基底，產生基底雜訊。

游離碰撞

游離碰撞最主要是產生在 MOSFET 因飽和 (Saturation) 而產生的夾止區域 (Pinch-off Region)。我們以 NMOS 為例，當電子從源極跑到汲極，多餘的電洞會被聚集在元件的下方。電子在夾止區域中的大電場中得到能量，稱為熱載子 (Hot Carrier)。而當熱載子得到足夠的能量，就會發生碰撞游離，產生更多的電子電動對 (Electron-Hole Pair)。而產生出來的大量電洞跑入基底，產生基底電流，進而產生雜訊。我們根據 [5] 可以將游離碰撞所產生的電流表示成 (2.3) 式求得：

$$I_{\text{impact}} = \int_{E_s}^{E_m} I_d A e^{-B/E(x)} dx \quad (2.3)$$

其中 E_s 和 E_m 分別是源極的電場以及電場的最大值， I_d 是汲極電流，而 A 和 B 是跟材質有關的常數，而因通常 $E_m \gg E_s$ ，我們可以把 (2.3) 近似成：

$$I_{\text{impact}} \approx \frac{A}{B} L_{\text{eff}} E_m I_d e^{-B/E_m} = C_1 (V_{\text{ds}} - V_{\text{dsat}}) I_d e^{-\frac{C_2}{(V_{\text{ds}} - V_{\text{dsat}})}} \quad (2.4)$$

其中 L_{eff} 、 V_{ds} 以及 V_{dsat} 分別是有效通道長度，汲極到源極的電壓、和其飽和電壓。 C_1 和 C_2 是和材質有關的常數。

從小訊號的分析中，我們可以把碰撞游離表示成一個汲極到基體的一個轉導係數 g_{db} ，其表示式為 (2.5)：

$$g_{db} = \frac{\partial I_{\text{impact}}}{\partial V_D} = \frac{C_2 I_{\text{impact}}}{(V_{ds} - V_{dsat})^2} \quad (2.5)$$

而 g_{db} 最直接的影響就是影響到 MOSFET 的 r_o ，造成輸出電阻的變化。影響到電路的表現。

2.3 基體效應

在 MOSFET 元件中，臨界電壓 V_t 是一個很容易受到基底電位影響的參數，如 (2.6) 所示：

$$V_t = V_{t0} + \frac{\sqrt{2q\epsilon N_A}}{C_{ox}} (\sqrt{2\phi_f + V_{sb}} - \sqrt{2\phi_f}) \quad (2.6)$$

其中 ϵ 為基底的介電係數， N_A 為基底的雜原子參雜濃度， C_{ox} 為單位氧化層電容， $2\phi_f$ 為反向費米能階，以及 V_{sb} 為源極到基體的電位。從上述式子可以看出當基底電位改變時，會影響到 MOSFET 的臨界電壓，進而影響到電流以及電路的工作，我們稱此現象為基體效應(Body Effect)。

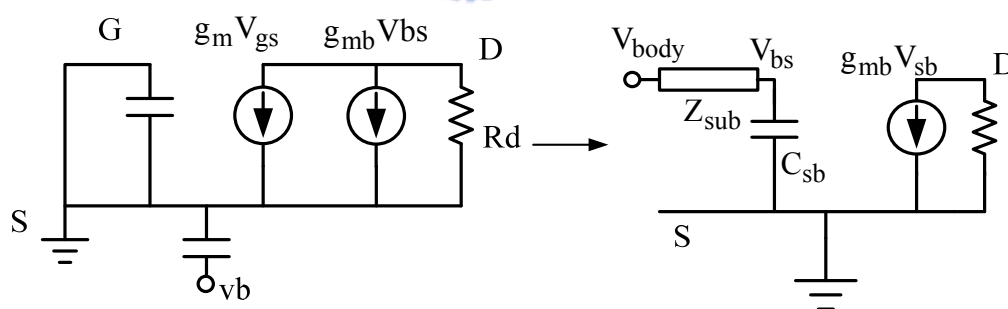


圖 2.2 基體效應

在圖 2.2 的右圖中為了可以讓我們更明確的知道基體效應對電路的影響，我們把基體效应在小訊號模組中以一個 g_{mb} 的轉導參數表現出來，其定義為 (2.7)：

$$g_{mb} = \frac{\partial I_d}{\partial V_{bs}} \quad (2.7)$$

而根據[5]，我們可以得到 g_{mb}/g_m 的關係式如 (2.8)：

$$\frac{g_{mb}}{g_m} = \frac{\partial V_t}{\partial V_{sb}} = \frac{\sqrt{2q\epsilon N_A}}{2C_{ox} \sqrt{2\phi_f + V_{sb}}} \quad (2.8)$$

其 g_{mb}/g_m 的比值以一般製程而言，大約是 0.1 到 0.3。為了只考慮基體效應的影響，我們將閘極接到地端，得到左圖，從圖中可以看出基底電壓對 MOSFET 的影響最主要是中低頻的時候，也因此受到基底雜訊的影響將會是最顯著的。

2.4 基底模組

回顧之前對於基底模組的研究，我們大致上可以把建立模組的方法分成兩種：(1) 以 RC 網路為主的萃取法 (Mesh-Based Extraction)，(2) 簡潔的宏觀模組 (Compact Macro Model)。

以三度空間網路為主的模組

最早我們是以三度空間網路為主的模組 (3-D Mesh-Based Model) 這種模組所用方法去模擬基底的電阻和電容效應，其方法是最直觀，也是最容易用數學式去呈現出來的。根據[6]的模組，我們把整個三度空間的基底分成許多 RC 的網路區塊，每一個區塊的示意圖如圖 2.3。依照製程參雜的濃度以及我們所需要的解析度來決定我們每一個區塊的大小。

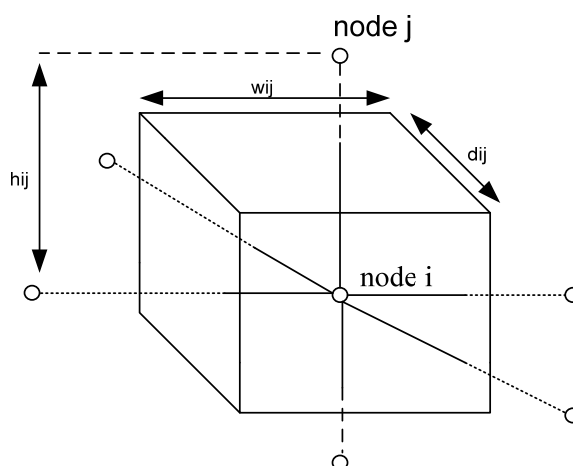


圖 2.3 模組示意圖

根據恆等式 $\nabla \cdot (\nabla \times \mathbf{A}) = 0$ ，我們可以知道當我們對一個向量場先作旋度在取散度

時，其值恆為零。因此我們可以把(2.9)中馬克思威爾安培定律 (Ampere's Law)，在方程式左右各取散度，得到 (2.10)。

$$\nabla \times \mathbf{H} = \mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} = \left(\frac{1}{\rho} + \varepsilon \frac{\partial}{\partial t}\right) \mathbf{E} \quad (2.9)$$

$$\nabla \cdot (\nabla \times \mathbf{H}) = \varepsilon \cdot \frac{\partial}{\partial t} (\nabla \cdot \mathbf{E}) + \frac{1}{\rho} \nabla \cdot \mathbf{E} = 0 \quad (2.10)$$

其中 \mathbf{H} 、 \mathbf{J} 、 \mathbf{D} 分別為磁場、電流密度以及電通量密度，而 ρ 和 ε 分別是金屬的電荷密度和介電常數。接著我們根據 (2.11) 中高斯散度定律，以圖 2.3 中包覆 node i 的體積將 (2.12) 寫成積分形式，其中 Ω_i 和 S_i 分別為包覆 node i 的體積和封閉曲面，最後我們將其積分式以累加的方式來作近似，得到 (2.13)，並推導成 (2.14)，得到電場散度和空間上的關係。

$$\nabla \cdot \mathbf{E} = \frac{\rho'}{\varepsilon} \quad (2.11)$$

$$\int_{S_i} \mathbf{E} d\mathbf{S} = \int_{\Omega_i} \frac{\rho'}{\varepsilon} d\Omega \quad (2.12)$$

$$\sum_j \mathbf{E}_{ij} \cdot \mathbf{S}_{ij} = \sum_j \mathbf{E}_{ij} \cdot \mathbf{w}_{ij} d_{ij} = \frac{\rho'}{\varepsilon} \cdot \Omega_i \quad (2.13)$$

$$\nabla \cdot \mathbf{E} = \frac{\rho'}{\varepsilon} = \frac{1}{\Omega_i} \sum_j \mathbf{E}_{ij} \cdot \mathbf{w}_{ij} \cdot d_{ij} \quad (2.14)$$

在圖 2.3 兩點電壓的所造成的電場為 $\mathbf{E}_{ij} = (V_i - V_j)/h_{ij}$ ，因此我們可以把 (2.10) 中，電場的散度用 (2.14) 作替換，得到 (2.15)。

$$\sum_j \left[\frac{(V_i - V_j)}{R_{ij}} + C_{ij} \left(\frac{\partial V_i}{\partial t} - \frac{\partial V_j}{\partial t} \right) \right] = 0 \quad (2.15)$$

其中的 $R_{ij} = \rho \frac{h_{ij}}{w_{ij} d_{ij}}$ ， $C_{ij} = \varepsilon \frac{w_{ij} d_{ij}}{h_{ij}}$ ，藉由 (2.15)，我們可將基底以一個 RC 的網路作近

似，如圖 2.4 所示。這個模組的建立影響了之後的許多種模組方式，像是[7]、[8]中所提出的以邊界為主的模組 (Boundary-Based Modeling)，便是利用此方法改進，將原本需要 3-D 的模組改為 2-D 的近似，以節省運算量。

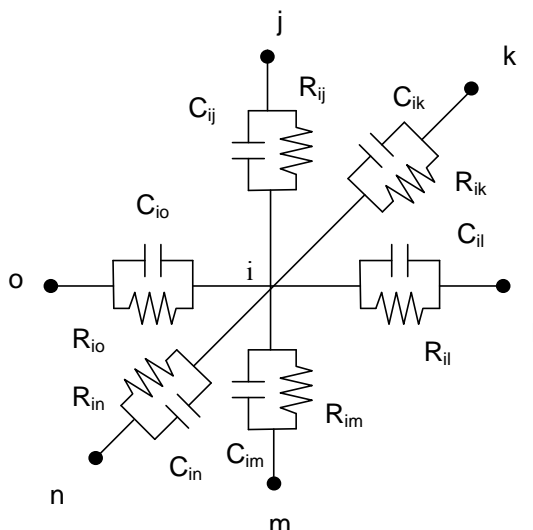


圖 2.4 使用 RC 網路模擬基底圖

簡潔的宏觀模組

在先前的模組方式的確可以精確的模擬出基底，也可以根據製程以及電路的不同作數學上的調整，但是如果運用到實際的電路上，要模擬出一個複雜電路底下的基底效應需要龐大的數學運算，也因此運算量會限制住前面模組方式所能模擬的電路大小。因此[9]提出了一個完全不同的模組方法，不再使用大量電阻電容去精確的模擬出基底，取而代之的是用一個簡單、容易分析的模組去模擬基底。如圖 2.5 所示，用簡單的電阻模擬基底，靠電路佈局上不同大小的接觸點以及控制雜訊源和雜訊偵測端之間的距離，量測雜訊的變化，最後再以量測的結果以方程式作近似。

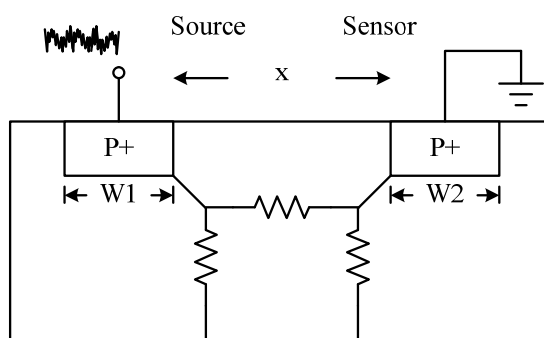


圖 2.5 基底模組

這種模組的方法省去了大量的電阻、電容的計算，只需要些許的製程參數便可以模擬出基底阻抗因佈局的不同，造成的變化量，我們稱這種模組為簡潔的宏觀模組

(Compact Macro Model)，而之後[10]、[11]的模組也是以這個模組作出發點，作更深一步的近似。

2.5 基底雜訊量測方法

對於量測基底雜訊的方法，最早由[12]用單顆 N 型的 MOSFET，利用基底雜訊對臨界電壓 V_t 的影響，偵測基底雜訊。而之後的量測方法大致上分成兩種形式：(1) 比較器形式，(2) 放大器形式。

比較器形式量測電路

這種以電壓比較器量測基底雜訊的方法，最早是由[13]提出的，其想法是以反向器和開關電路作出一個單端的自動歸零比較器(Auto-Zero Comparator)。利用比較器中 NMOS 受到基底雜訊的干擾，造成偏移量(Offset)，再將其偏移量與數個不同的參考信號作比對，得到偏移量的大小，藉此得知基底雜訊的大小。而之後[14]-[16]是將其單端的比較器改變成差動的輸入，不再是藉由偏移量作為量測的依據，而是直接將一端接到基底吸收雜訊，另一端接到參考信號，藉由數個比較器或是改變其參考信號的大小，作多次的比對，最後重建出基底雜訊的波形與大小。

放大器形式量測電路

在[17]的研究中，以一個反向器作為放大器，將輸入端接到基底，探討基底雜訊在不同的製程下產生不同的雜訊干擾，而[18]-[20]進一步的提出了以差動輸入的放大器為主的量測電路，如圖 2.6 所示，我們將一個差動放大器電路的其中一輸入端耦合到基底，另一端則耦合到地端，藉由觀察放大器的差模和共模增益，如 (2.16)、(2.17) 所示，推導出基底雜訊的大小，也可以藉由此電路觀察基底雜訊對於放大器的影響。

$$V_{DM} = R_l g_m V_{sub} \quad (2.16)$$

$$V_{CM} = -R_l g_{mb} V_{sub} \quad (2.17)$$

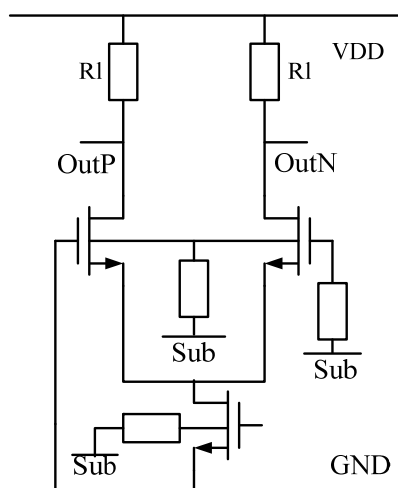


圖 2.6 偵測電路示意圖

2.6 動態電壓和頻率調整

功率的消耗是現在製作品片重要的考慮因素之一，我們知道功率的消耗與供應電壓大小成二次方的正比關係[21]，因此如何能用最低的供應電壓，使電路工作在要求的工作頻率範圍內，變成一個很重要的研究方向。因此動態的電壓和頻率調整(Dynamic Voltage/Frequency scaling)也成為這次專題的最終目標。在先前[22]-[24]的研究中，是以一個延遲串鏈(Delay Chain)去決定電路在特定的工作頻率下，最低的供應電壓需求。首先我們要偵測電路最長的關鍵路徑(Critical Path)，再以一個延遲串鏈模擬關鍵路徑的長度，並預留足夠的餘域(Margin)。我們必須要確定所預留的餘域能使延遲串鏈在任何的PVT狀態下，都能在電路產生錯誤前偵測到錯誤，並發出錯誤訊號。而隨著製程技術不斷的縮小，所需求的餘域隨之變大[25]，除了PVT狀態對電路表現的影響加劇之外，雜訊的干擾也是增加餘域大小重要的一環。因此在先進製程中，單單以延遲串鏈去決定工作的電壓大小和頻率快慢，依然會浪費過多的餘域空間，因此我們除了偵測PVT的改變對電路造成的影響之外，以一個量測時間抖動大小的量測電路，偵測基底雜訊對電路影響的大小，希望借此能更精確的作動態的電壓和頻率的調整。

2.7 本章總結

本章節中，我們首先去探討基底雜訊對電路最主要的影響來源-基體效應。確定了來源之後我們對已有的基底模組作分析，尋找適合我們的基底模組方式，在最後參閱之前對於量測基底雜訊以及動態電壓和頻率調整的相關研究後，決定我們所要進行深入研究的方向。



第三章

電路架構與基底模組



3.1 基底雜訊之影響

在前一章節我們介紹的許多研究紛紛提出對基底雜訊的模組，以及量測的方法。之前研究所重視是在數位電路對類比電路的影響，因此我們的量測電路都是著重於雜訊電壓的量測。而這次的電路設計所重視的是在於數位電路和數位電路之間的互相干擾 (Cross-Talk)，最主要原因有兩個：(1) 數位電路在 SOC 所佔的比重越來越重，許多核心的電路的數位化，讓我們不得不重視數位電路之間的干擾。(2) 在電路佈局上我們可以在類比電路外圍圍上防護環，以及增加類比電路與數位電路之間的距離。如圖 3.1 所示，我們可以有效的減少數位電路對類比電路的基底雜訊，但是數位電路和數位電路之間是很難作區隔的。

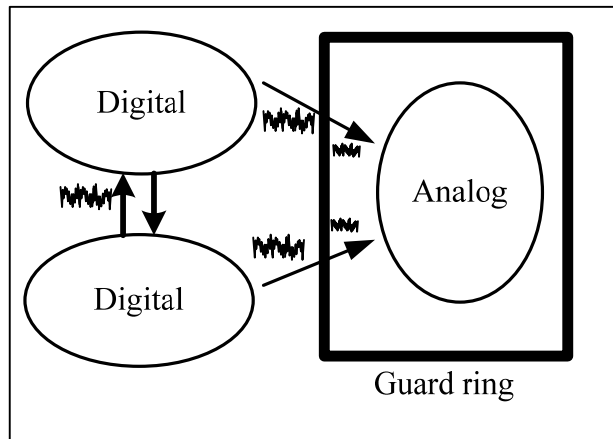


圖 3.1 基底雜訊之影響

在數位電路之中，我們所在乎的不是雜訊電壓的大小，而是因為雜訊所產生的時間抖動(Timing Jitter)，因此我們提出一個以偵測時間抖動大小來量測基底雜訊的一種全新方法。所以首先我們會在 3.2 節中推導出基底雜訊對數位電路的影響，以及在 3.3 節中介紹我們整體電路的概念，在 3.4 節中以我們所提出的電路架構對電路基底部分作所需的模組，最後在 3.5 節整理這章節的內容。



3.2 延遲效應

雖然在之前的分析都是以數位電路對類比電路的影響為主，但並不表示數位電路可以在基底效應下倖免，雜訊會藉由基體效應以及電容耦合效應影響因邏輯運算而切換的電晶體，使得資料的傳輸時間會與未受到雜訊干擾的時間有所不同，我們稱為延遲效應(Delay Effect)。

一個閘極延遲(Gate Delay)的長短是有很多因素所決定的，如：負載的大小、供應電壓的高低、電晶體的佈局、輸入的波形，以及電流分享效應(Charge Sharing)，都會影響到閘極延遲的時間。若我們扣除掉連接線的影響，我們可以把閘極延遲時間以 (3.1) 近似：

$$t_{\text{delay}} = R_{\text{eff}} \times C_G \quad (3.1)$$

其中 $C_G = C_{\text{ox}} WL$ 為閘極的電容， R_{eff} 為當電晶體在作切換時的有效電阻，而其值正比

於 R_{tr} ，表示式如 (3.2)：

$$R_{tr} = \frac{1}{g_m} \Big|_{V_{DS}=V_{DD}} = \frac{L/W}{\mu C_{ox}(V_{DD} - V_t)} \quad (3.2)$$

其中的臨界電壓 V_t ，根據基體效應會正比於源極到基體電壓 V_{sb} 的平方根值，因此我們可以把閘極延遲時間跟基體效應作一個簡單的比例關係 (3.3)：

$$t_{delay} \propto \frac{1}{\sqrt{\phi_f + V_{sb}} - \sqrt{\phi_f}} \quad (3.3)$$

而除了基體效應的影響之外，MOSFET 中的接面電容耦合效應也會提供額外的閘極延遲，如圖 3.2，在左圖我們將基底看成雜訊源，並用右圖的模組去最近似。

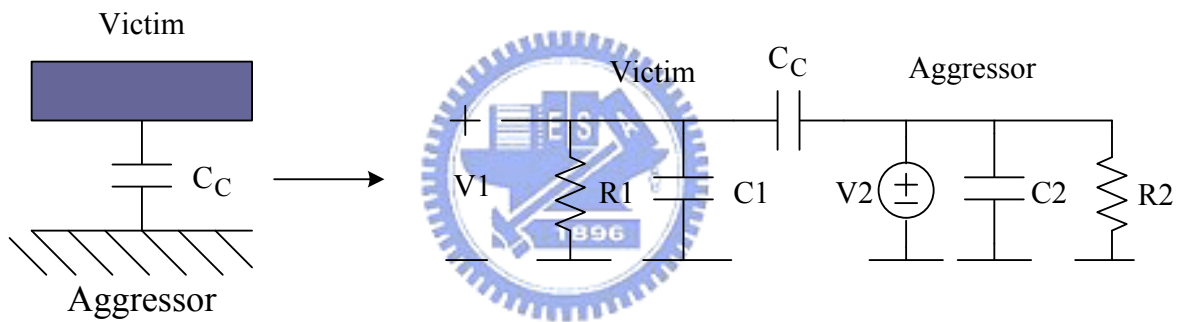


圖 3.2 電容耦合示意圖和模組圖

根據[26]，我們定義 $\tau_1 = (R_1 \parallel R_2)(C_1 + C_C)$ ，當雜訊源信號以時間常數 τ_2 作指數衰減的時候，我們可以下列 (3.4) 去求得受干擾電路電壓的變化。

$$t_p = \begin{cases} \tau_1 \\ \frac{\tau_1 \tau_2}{\tau_2 - \tau_1} \ln\left(\frac{\tau_1}{\tau_2}\right) \end{cases} \quad v_1(t_p) = \begin{cases} \frac{C_C}{C_1 + C_C} e^{-1} & \text{if } \tau_1 = \tau_2 \\ \frac{C_C}{C_1 + C_C} \left(\frac{\tau_1}{\tau_2}\right)^{\frac{\tau_1}{\tau_2 - \tau_1}} & \text{otherwise,} \end{cases} \quad (3.4)$$

3.3 電路架構

為了能夠量測基底雜訊對時間抖動以造成的影響，我們配合偵測電路工作環境中的變數 PVT，提出一個全新的架構，整體的架構圖如圖 3.3 所示。我們將其分成幾個區塊：在左下方中的數位電路是待測電路，在此是一個乘法器，我們利用一個偽隨機序列產生器(PRBS) 用以產生亂碼測試信號，並讓乘法器工作在一個受到基底雜訊干擾的環境之下，再以一個並聯輸入信號暫存器 (MISR)用以壓縮輸出並據此判斷電路工作正常與否。左上方是我們的雜訊產生器(Noise Generator)，我們將產生的雜訊經過電容耦合進基底，產生基底雜訊；而圖中以虛線表示的反向器串鏈(Inverter Chain)是用來吸收我們所產生的基底雜訊，經由延遲效應(Delay Effect)，將雜訊電壓轉換成時間抖動，再經由圖右的量測電路測量時間抖動的大小。而在右上方環形震盪器(Ring Oscillator)，我們將其設計成和待測電路有同樣的組合深度(Combinational Depth)，因此我們只要偵測環形震盪器所震盪的頻率就可以知道當時的工作情況，以及乘法器在不受到基底雜訊干擾時的工作頻率。

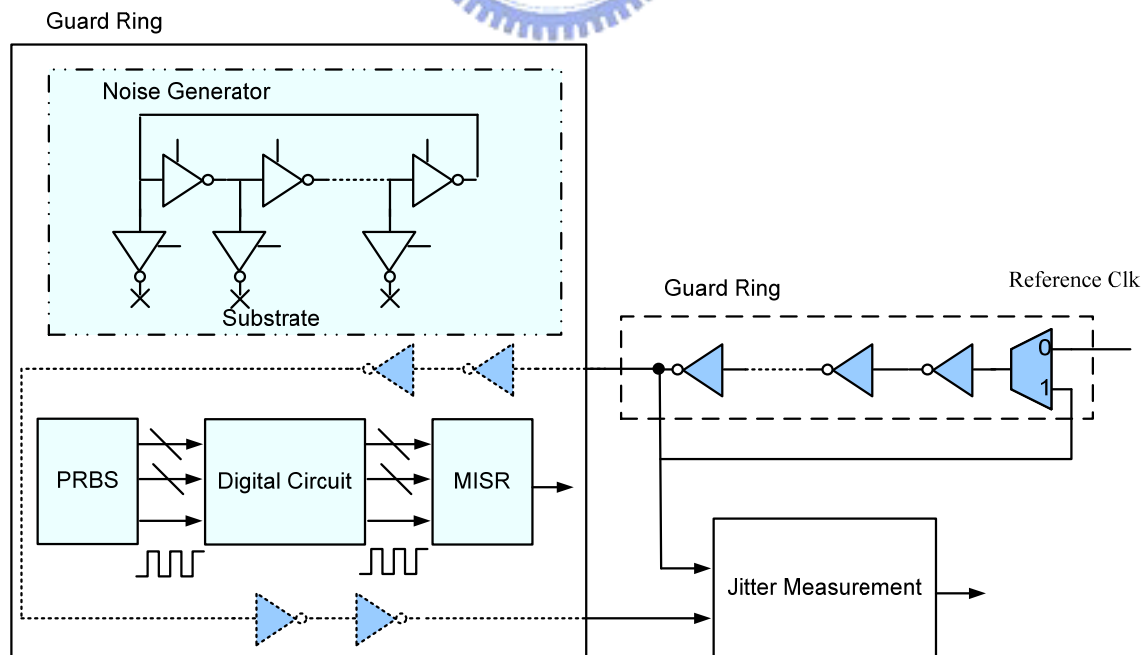


圖 3.3 整體電路架構

3.4 基底模組

為了能夠模擬出我們所輸入的基底雜訊以供之後量測作比較，我們必須要去對基底電阻、雜訊源，以及受干擾電路去作額外的模組。

基底耦合的近場和遠場效應

由於基底是一個很複雜的電磁體，若要用早期的方式精確的方式來模擬基底，需要非常龐大的電阻、電容網路，也違背我們以量測電路為主要的目的，因次我們的模組放棄以高精確方法來模擬，而是以基底的影響反推回來，所建立出來的模組[27][28]。若效應越大則等效的電阻就越小，反之則越大。對於基底的效應，以我們最初的了解而言，距離越近雜訊影響的越大，電阻值越小；反之則影響越小，電阻值越大。但其實距離對基底效應的影響並不是如此的單純。我們大致上可以距離的遠近分成兩個區域效應：一種是近場區域(Near-Field Region)，另一種是遠場區域(Far-Field Region)，示意圖如圖

3.3、圖 3.4：

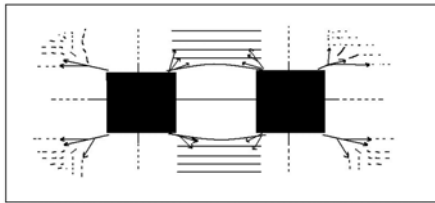


圖 3.4 近場效應

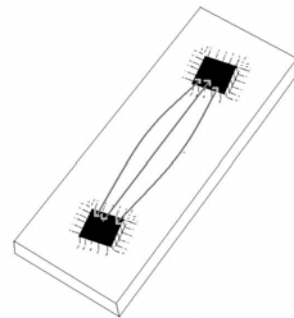


圖 3.5 遠場效應

當雜訊源和被干擾電路很靠近時，其電流的擴散效應(Spreading Effect)會變得明顯，其之間耦合的能力與大小以及形狀有很大的關係，且等電位線靠的很近，所以當一邊的電位有變化時，另一邊馬上也會有很劇烈的變化，在此時的電阻值很小且會隨著距離不斷的上升，通常我們以接觸點(Contact)的大小為準，當兩個接觸點的距離已遠大於接觸點的大小時，我們可以視為兩個塊狀的點，兩個接觸點之間耦合的能力會漸漸趨於飽和，電阻值上升的速度會趨於平緩。

Z矩陣和R矩陣表示法

在實際的電路佈局中，我們常以雙埠(Two-Port)網路的觀念來表示接觸點之間的關係。其中 Z 矩陣為主的模組可以很清楚的表示出接觸點和所有其他鄰近接觸點之間的偶和效應[]。對應於 N 個接觸點的 Z 矩陣，我們以 (3.6) 表示：

$$[Z] = \begin{pmatrix} Z_{11} & \dots & Z_{1N} \\ \vdots & \ddots & \vdots \\ Z_{N1} & \dots & Z_{NN} \end{pmatrix} \quad (3.6)$$

而矩陣中的每個元素我們將其定義成：

$$Z_{ij} = \frac{V_i}{I_j} \Bigg|_{I_k=0, k=1, \dots, N, k \neq j} \quad (3.7)$$

其中的自身阻抗(Self-Impedance) Z_{ii} ，是指當其餘的接觸點都為開路時，在接觸點 i 所看到的等效輸入阻抗。而相互阻抗(Mutual-Impedance) Z_{ij} ，則是指當其餘接觸點為開路時，接觸點 i 和接觸點 j 之間的耦合阻抗。

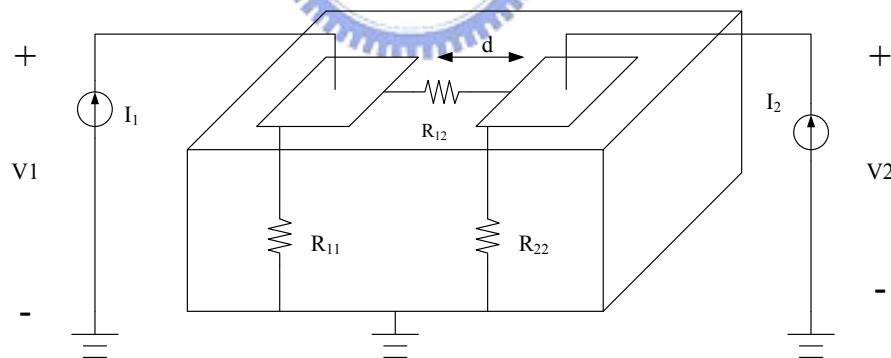


圖 3.6 雙埠模型圖

而我們必須要強調，Z 矩陣是不同於 R 矩陣，以圖 3.6 為例，圖中的 R_{12} 為兩個接觸點之間相互耦合的電阻值，而 R_{11} 、 R_{22} 分別為兩個接觸點到底盤的電阻值。若我們以 Z 矩陣表示的話，其各元素的表示式分別如下：

$$Z_{11} = \frac{R_{11} \cdot (R_{12} + R_{22})}{R_{11} + R_{12} + R_{22}} \quad (3.8)$$

$$Z_{22} = \frac{R_{22} \cdot (R_{12} + R_{11})}{R_{11} + R_{12} + R_{22}} \quad (3.9)$$

$$Z_{12} = \frac{R_{11} + R_{22}}{R_{11} + R_{12} + R_{22}} \quad (3.10)$$

從上面的關係式中，我們可以看出若兩個接觸點之間的距離 d 增加，其相互耦合電阻 R_{12} 將會增加，而 Z_{12} 則必須在 Z_{11} 、 Z_{22} 為獨立於距離 d 或和 d 只是個為弱的關係式時，我們才能確定其阻抗會隨著距離 d 增加而增加。而根據上述的關係式，我們便可以將一個實際電路先以一個 R 矩陣所表示，再將其轉換成 Z 矩陣：

$$[R] = \begin{pmatrix} R_{11} & \cdots & R_{1N} \\ \vdots & \ddots & \vdots \\ R_{N1} & \cdots & R_{NN} \end{pmatrix} \Leftrightarrow [Z] = \begin{pmatrix} Z_{11} & \cdots & Z_{1N} \\ \vdots & \ddots & \vdots \\ Z_{N1} & \cdots & Z_{NN} \end{pmatrix} \quad (3.11)$$

雖然從 Z 矩陣元素中可以很明確的表示相互耦合的阻抗，但我們可以發現，若電路越複雜的時候，計算量也會隨之增加，且其表示法並不是真正的電阻網路，因此比較適合用在行為層級(Behavior Level)，像是 Verilog-A 的模擬方法。反觀 R 矩陣，其矩陣中的元素很直接的表示出其電路的阻抗，因此適用於電路層級(Circuit Level)。因此我們為了能夠以 HSPICE 做模擬，我們便選擇直接以 R 矩陣的形式來描述我們的基底電阻。於是接下來我們分別對相互阻抗和自我阻抗去作方程式的近似。

相互阻抗

對於相互阻抗(Mutual-Impedance)，我們是根據[27]的方程式做近似：

$$R_{\text{contact to contact}} = \frac{\rho}{2r_{\text{cont}}} \left[1 - \frac{2}{\pi} \arcsin\left(\frac{r_{\text{cont}}}{d_{\text{cont-cont}} + r_{\text{cont}}}\right) \right] \quad (3.12)$$

各個參數如圖 3.7 所示，其中 ρ 是基底的電阻率， r_{cont} 是接觸點的半徑， $d_{\text{cont-cont}}$ 是兩個接觸點之間的距離， T_{con} 是接觸點的厚度(大約是 $0.2\mu\text{m}$)，根據上面 (3.12)，我們用不同接觸點半徑以 Matlab 模擬出近場區域中的曲線圖 3.8：

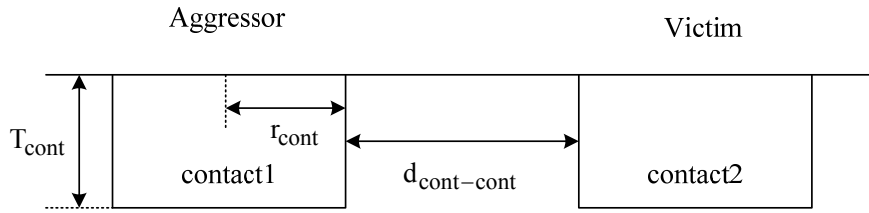


圖 3.7 基底電阻參數示意圖

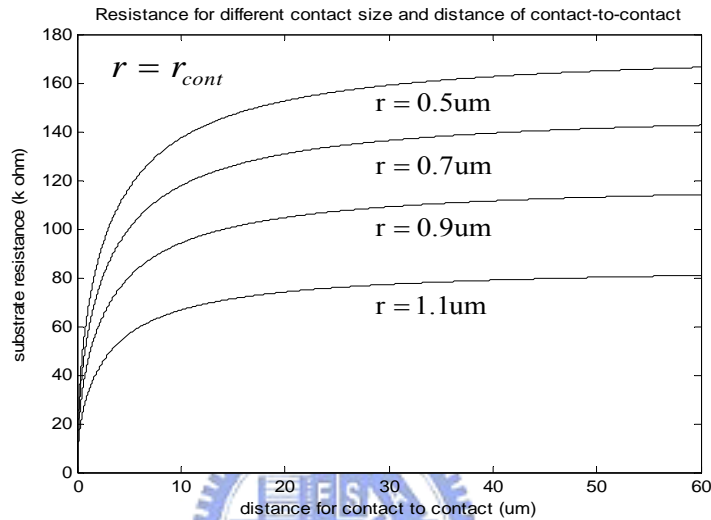


圖 3.8 近場區域的基底電阻曲線圖

從圖中可以看出不同的接觸點大小將會造成不同大小的基底電阻，從先前的研究我們大致上知道基底雜訊大約都是在數百毫伏左右。因此我們為了得到適當的雜訊大小，我們選擇以 $0.7\mu\text{m}$ 為接觸點的半徑長度。

在決定接觸點大小之後，我們必須對基底電阻作更進一步的近似，也就是去模擬遠場區域的影響，因此我們以 (3.13) 來作遠場區域的模擬，得到下頁的圖 3.9。

$$R_{\text{contact to contact}} = \frac{\rho}{2\pi \cdot T_{\text{con}}} \left[0.25 + \ln\left(\frac{d_{\text{cont-cont}} + r_{\text{cont}}}{r_{\text{cont}}}\right) \right] \quad (3.13)$$

圖 3.9 上方的曲線是表示因遠場效應基底所等效的電阻值，其改變量大約是跟距離成一次方正比，而當兩個接觸點很靠近時，因近場效應的影響，電阻值的變化量大約是和距離成三次方正比，而圖中圈起來的部分就是若在近距離時沒有考慮到近場效應的影響所造成的誤差。

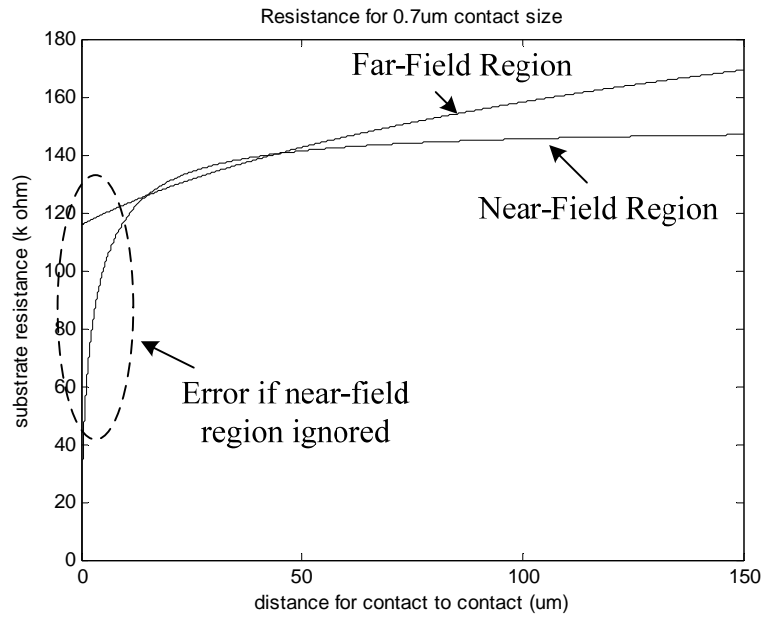
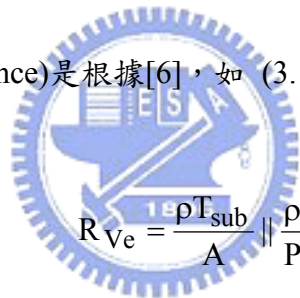


圖 3.9 近場效應和遠場效應比較圖

自我阻抗

而自我電阻(Self-Impedance)是根據[6]，如 (3.14) ，以接觸點的線電阻和面電阻並聯而得。



$$R_{ve} = \frac{\rho T_{sub}}{A} \parallel \frac{\rho}{P} \quad (3.14)$$

其中的 T_{sub} 為基底的厚度， A 為接觸點的面積， P 為接觸點的周長。

電容佈局圖和模組

在電路中我們必須把產生的雜訊注入基底，因此我們用電容將雜訊產生器的輸出電壓耦合進基底。如圖 3.10 所示。其雜訊耦合進基底的示意圖可以一個單一時間常數的高通電路來近似。其單一時間常數高通電路的電壓變化公式為 (3.15) 。

$$V_{sub}(t) = Pe^{-t/\tau} \quad (3.15)$$

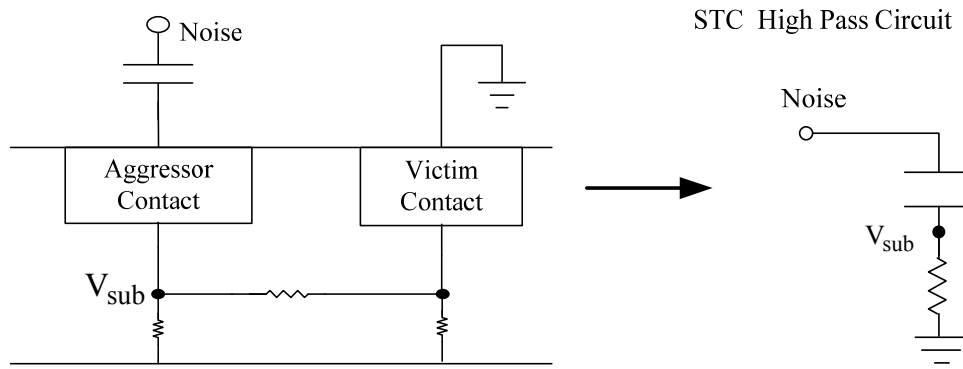


圖 3.10 雜訊耦合進基底的示意圖

其中 V_{sub} 為雜訊源耦合進基底的電壓， P 為最大振幅， t 為雜訊源的週期， τ 為耦合電容和基底電阻所形成的時間常數。為了能讓信號完整個耦合進基底，必須讓時間常數 $\tau \gg t$ ，在考慮的雜訊源的最低頻率大約是 50MHz 以及雜訊源到被攻擊電路之間總共的基底電阻值約為 $200k\Omega$ ，我們選擇了 1pF 的電容，使得時間常數 τ 大約是雜訊源週期 t 的十倍。

而為了能使我们注入的雜訊方式更趨近於實際的基底雜訊，我們選擇了 N 型的 MOSFET 電容。將雜訊電壓由閘極輸入，將 NMOS 中的源極、汲極以及基體相連，使得源極和汲極的耦合電壓可以經由基體的接觸點將電壓注入基底。而當雜訊產生器的輸入電壓震盪時，源極和汲極的電壓也會因為接面電容將電壓耦合進基底，造成額外的基底雜訊。其佈局圖如圖 3.9 所示：

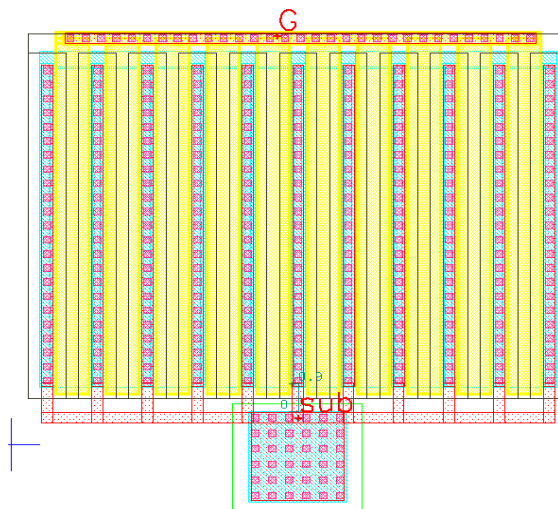


圖 3.11 NMOS 電容佈局圖

在前一小節已決定用 $0.7\mu\text{m}$ 為半徑的接觸點大小，在電路佈局上我們是以一個等面積的方形接觸點作近似。但因為佈局規則的原因，我們只能用許多以最小面積的接觸點組成我們所想要的大小，如圖 3.12 所示：

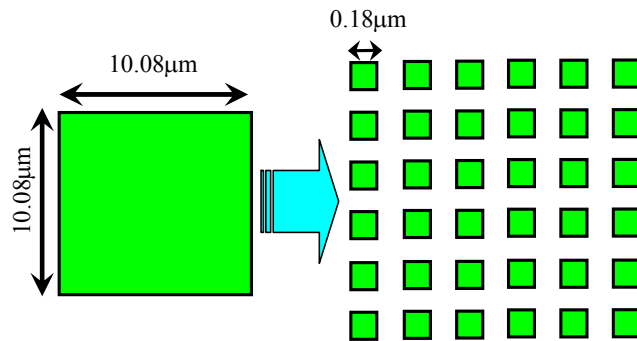


圖 3.12 接觸點佈局示意圖

接者我們將我們已有的佈局圖作出模組圖。如圖 3.13 所示，圖中紅色虛線所框起來的部分是 spice 已經建立的模組，橫向電阻為 MOSFET 的基體到基體接觸點之間的距離所產生的電阻，我們用 (3.7) 得到阻值；而縱向的電阻則根據 (3.14)，所表示的自我電阻做近似。

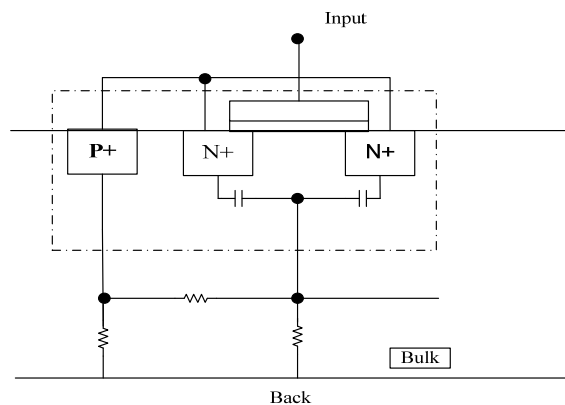


圖 3.13 電容模組

反向器佈局和模組

由於我們是由反向器吸收基底雜訊轉換成時間抖動，因此除了對基底電阻以及電容作模組外，我們也必須對反向器作額外的模組，圖 3.13 為反向器的佈局圖，我們以實際

的佈局分布來作為我們模組的參數。

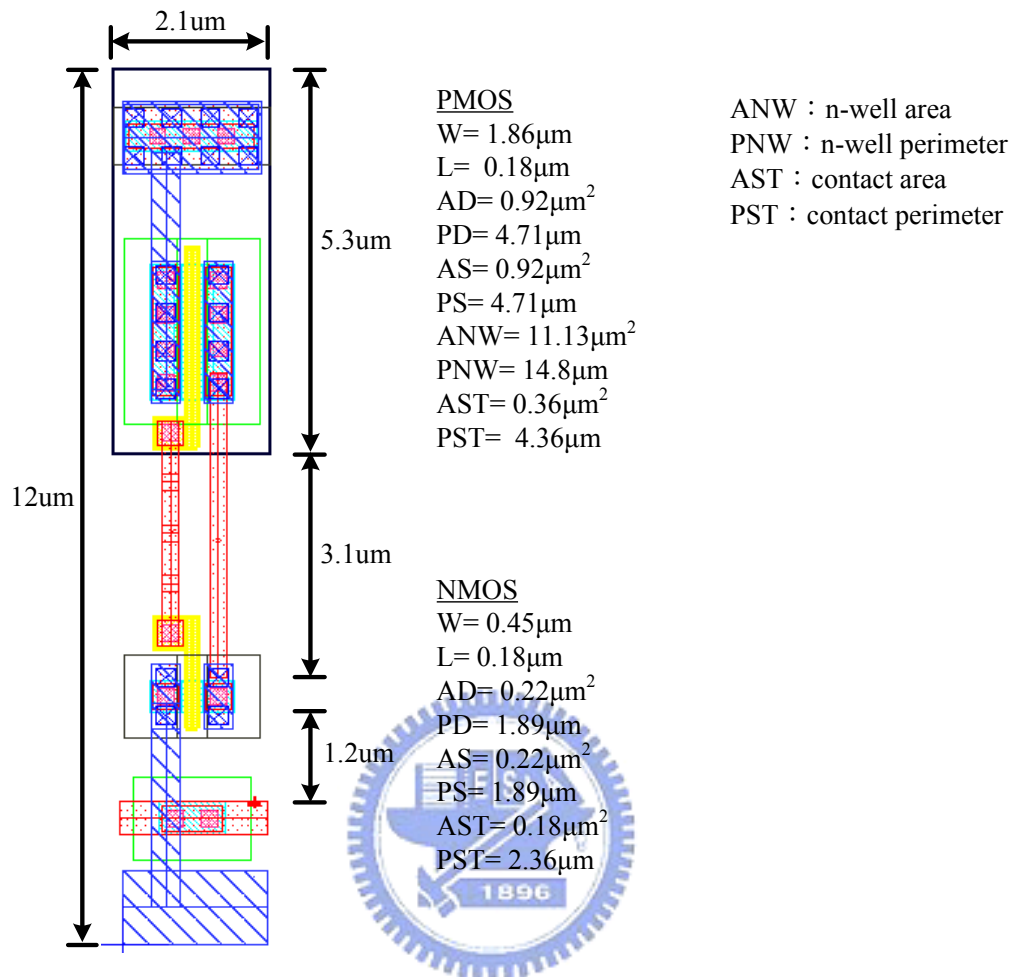


圖 3.14 反向器佈局圖和佈局參數

我們根據上圖的參數，首先先建立起我們反向器的模組，如圖 3.14，其中以紅色虛線為起來的，就是表示是 spice 模組所包含的部份，剩下的部分就是我們針對基底所加的電阻以及電容，其中橫向的電阻包括電晶體基體到基體接觸點之間距離所等效的電阻，以及 NMOS 和 n-well 之間距離所等效的電阻；縱向的電容為 N_well 的接面電容，而縱向的電阻是以及電晶體的基體和接觸點到晶片底端的等效電阻。

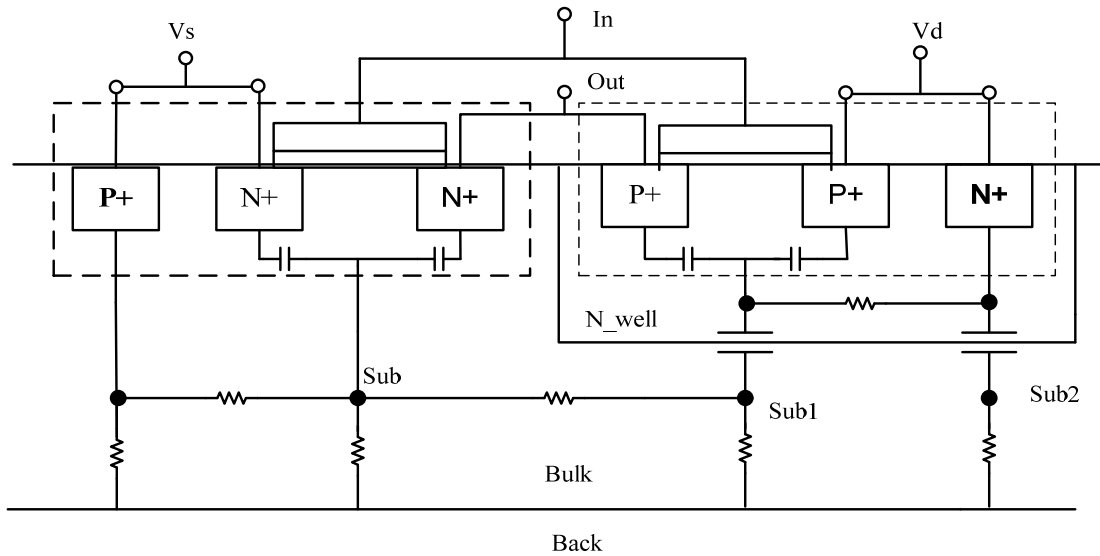


圖 3.15 反向器模組

3.5 本章總結

在本章節中，我們根據現在製程技術與電路設計趨勢，確立了我們所要分析的基底雜訊為數位電路對數位電路的影響，以及介紹整體的架構，並且對基底電阻、電容以及反向器作額外的模組，決定了我們雜訊源所需要的電容大小以及接觸點的大小。

第四章

電路分析與介紹



4.1 前言

在這章節我們將會介紹我們的電路架構作詳細的介紹，在 4.2 節我們先介紹電路中以壓控震盪器為主的雜訊產生器，在 4.3 節介紹以 PRBS、乘法器以及 MISR 所組成的驗證電路，在 4.4 節中介紹我們最主要的量測基底雜訊電路，而在 4.5 和 4.6 節將會分析佈局後的模擬結果，和呈現出整體的佈局圖以及對電路的量測考量，最後在 4.7 節作整章節的總結。

4.2 雜訊產生器

為了觀察基底雜訊對電路的影響，我們考慮了兩個最主要的因素—頻率快慢以及電壓的高低。於是為了產生一個可調整的雜訊源，我們作了一個壓控震盪器 (Voltage Control Oscillator)，其架構是由四級差動延遲單元(Differential Delay Cell) 串接而成，如圖 4.1、圖 4.2。

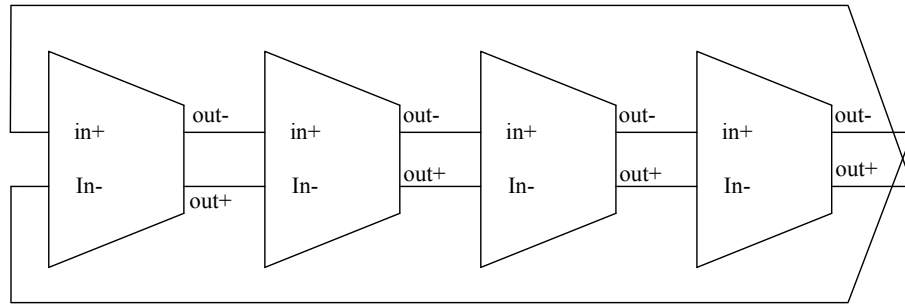


圖 4.1 壓控震盪器

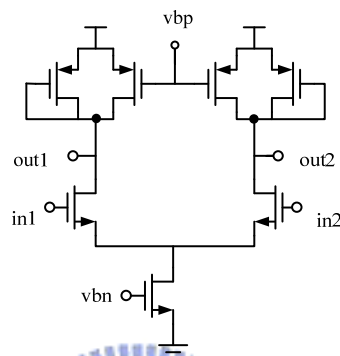


圖 4.2 延遲單元

圖 4.3 所呈現的是在不同的製程狀態下，其壓控震盪器所提供的雜訊可調範圍 (Tuning Range)，在最差的狀況下，大約在電壓為 1.15V 到 0.2V 時對應到的頻率範圍為 50MHz 到 650MHz

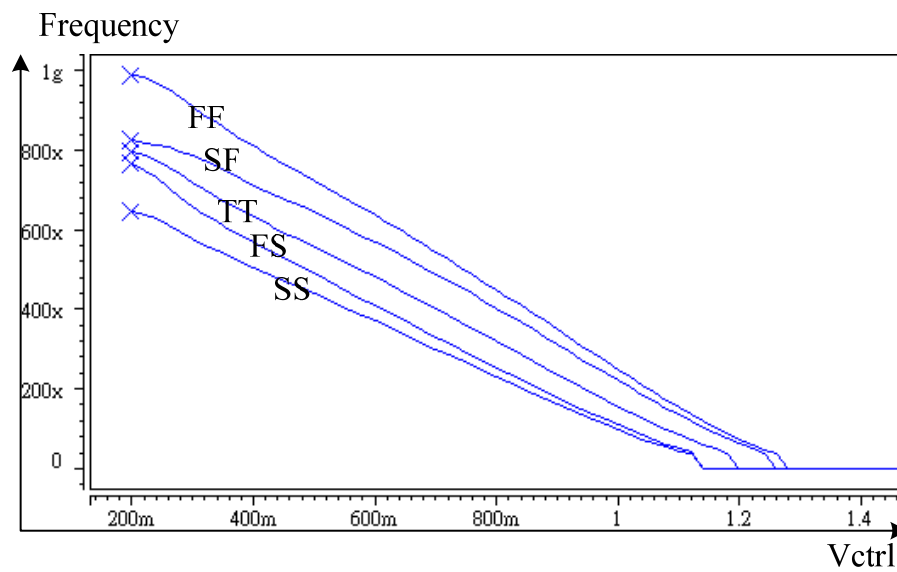


圖 4.3 雜訊可調範圍

如圖 4.4，我們將壓控震盪器的輸入接到緩衝級(Buffer Stage)，產生四組輸出，每一組輸出都包含壓控震盪器的四級輸出，我們用一個循序的解碼器來控制緩衝級的各組輸出，以控制注入基底的電壓大小，如表 4.1。

表 4.1 解碼器真值表

En	S0	S1	V _{oa}	V _{ob}	V _{oc}	V _{od}
0	0	0	0	0	0	0
1	0	0	1	0	0	0
1	1	0	1	1	0	0
1	0	1	1	1	1	0
1	1	1	1	1	1	1

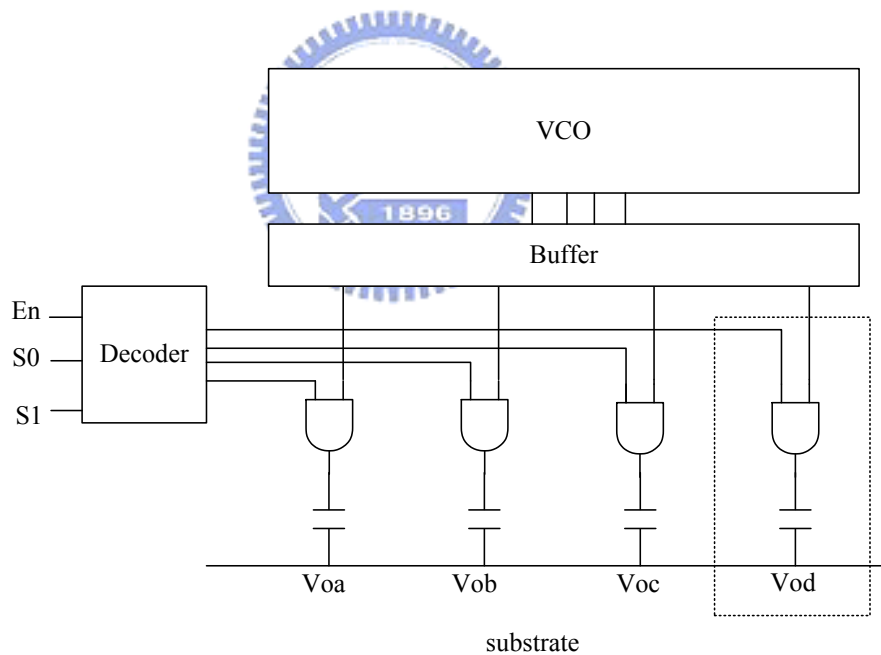


圖 4.4 雜訊產生器示意圖

而為了能夠模擬雜訊在基底的波形，我們將在第三章所對基底電阻、MOS 電容以及反向器的模組與雜訊產生器結合起來。圖 4.5 便是我們對其中一組輸出(V_{od})，作對基底雜訊的模擬。

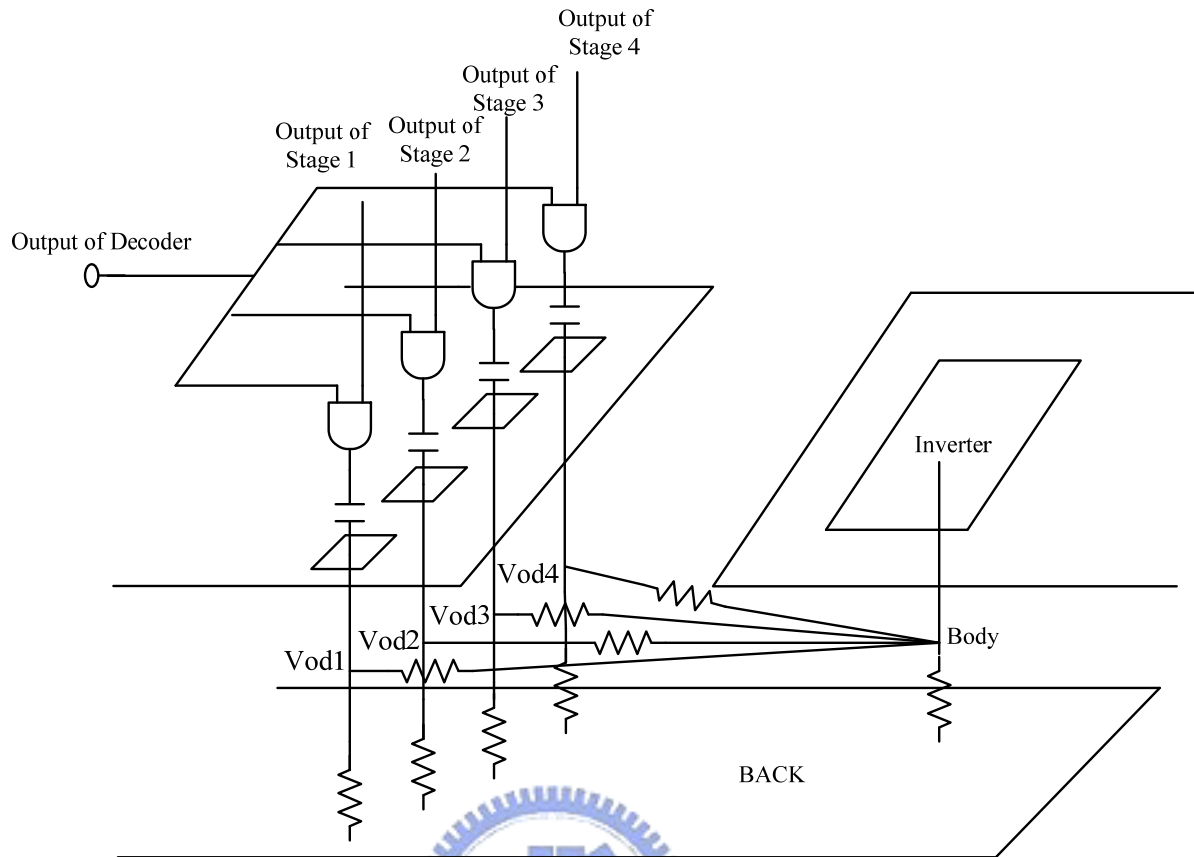


圖 4.5 基底效應示意圖

在圖 4.5 中，我們根據圖 3.9 將電容和反向器的模組用 150k 歐姆的電阻連接起來，模擬基底雜訊的大小，其中 V_{od1} 、 V_{od2} 、 V_{od3} 、 V_{od4} 四個輸出經由我們估計的電容可以將震盪器的輸出波形完整的耦合進基底，如圖 4.6 所示。

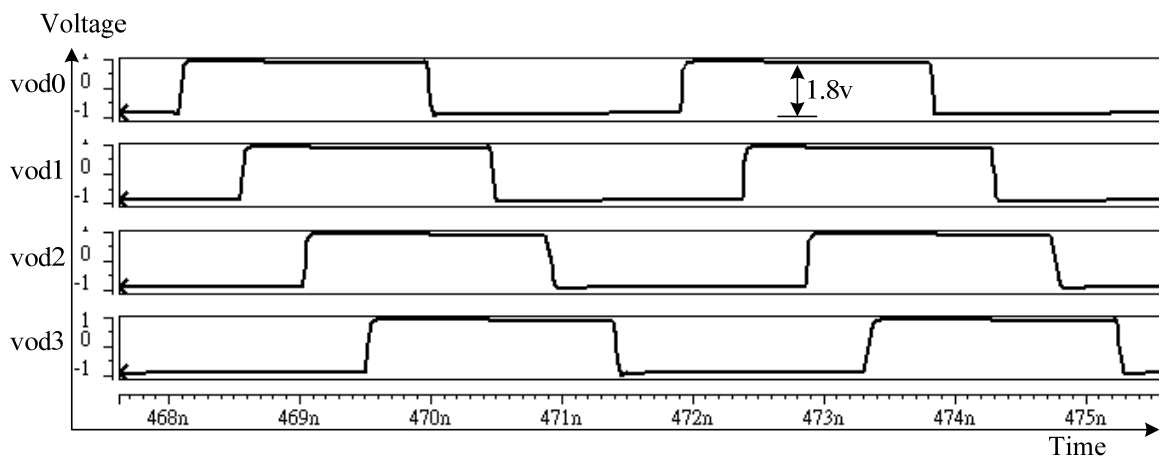


圖 4.6 耦合電壓模擬圖

我們先將反向器關閉，觀察其基體端(Body)因雜訊干擾的電壓變化，從圖 4.7(a)的第一張圖可以看出，當一組雜訊端開啟時，在反向器的基體端會產生峰對峰值約 0.23v 的干擾。接著我們將反向器開啟，如圖 4.7(b)、(c)所示，(b)圖為未受到雜訊干擾前在反向器的基體因本身的邏輯切換經過源極和汲極電容的偶合效應在基體端造成的波形圖，(c)圖則是加上雜訊的干擾造成基體的電壓變化。

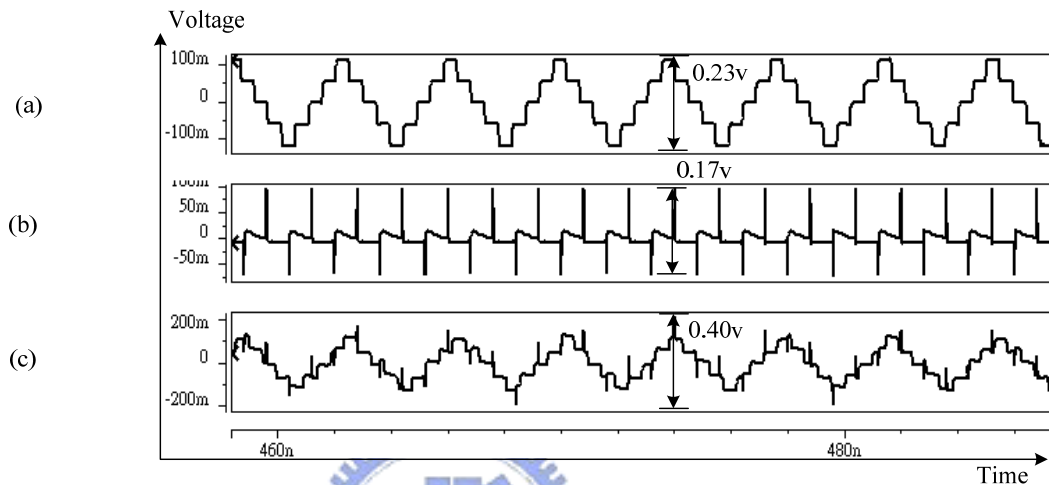


圖 4.7 反向器基體端的模擬圖

模擬完一組雜訊的注入後，我們利用控制解碼器的控制訊號，控制雜訊的注入量，以下圖 4.8(a)、(b)、(c)，分別是當我們注入兩組、三組以及四組雜訊時，在反向器的基體端所量到的電壓變化。

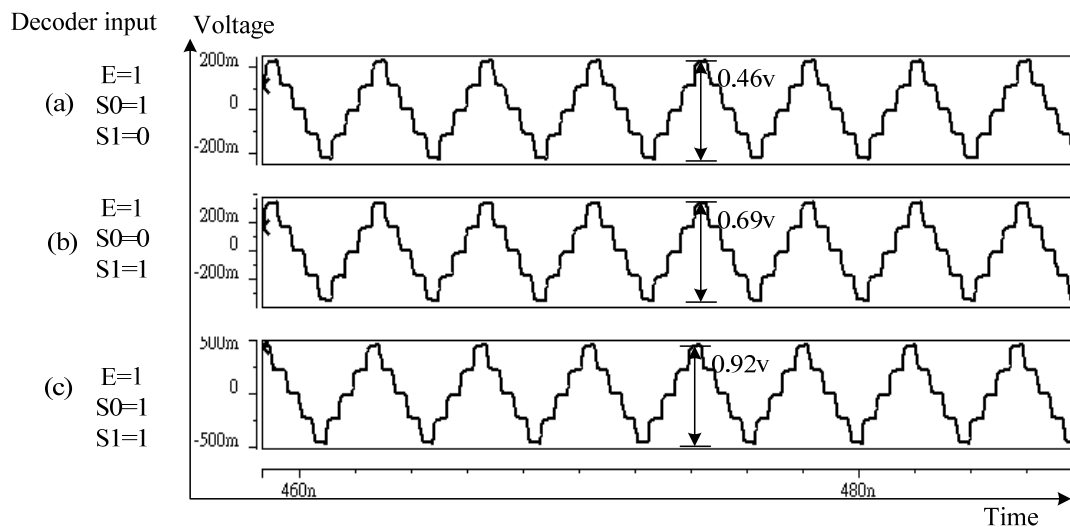


圖 4.8 反向器基體端的模擬圖 (不同雜訊大小)

4.3 驗證電路

此專題的待測電路為一個乘法器，如圖 4.9，我們藉由一個偽隨機位元序列產生器 (PRBS) 產生輸入訊號測試訊號，再用一個並聯輸入信號暫存器 (MISR) 作壓縮輸出，其中只有乘法器是在有基底雜訊的環境下工作，其餘的電路用保護環隔開，以測量基底雜訊對電路的影響作為驗證。

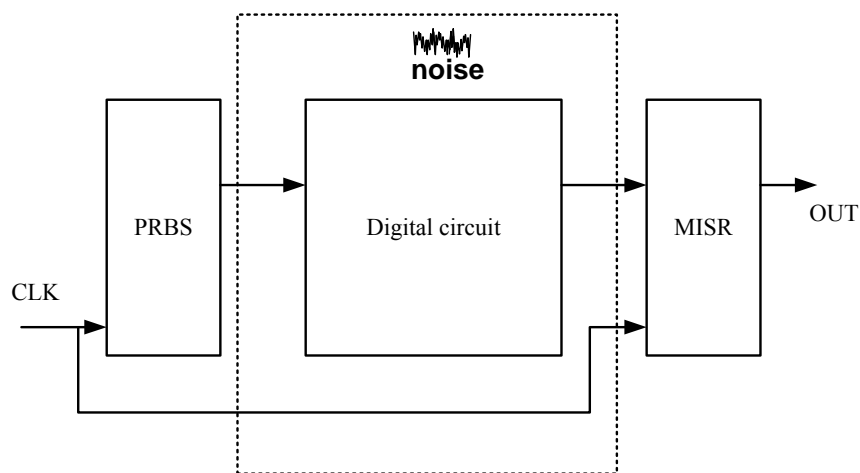


圖 4.9 待測電路

偽隨機續位元序列產生器

為了能夠測試待測電路是否能工作正常，我們使用一個十六位元的偽隨機位元序列產生器產生訊號，將其中八個訊號接到乘法器的輸入，其架構如圖 4.10 所示，由十六個 D 型正反器和兩個互斥或閘所組成。

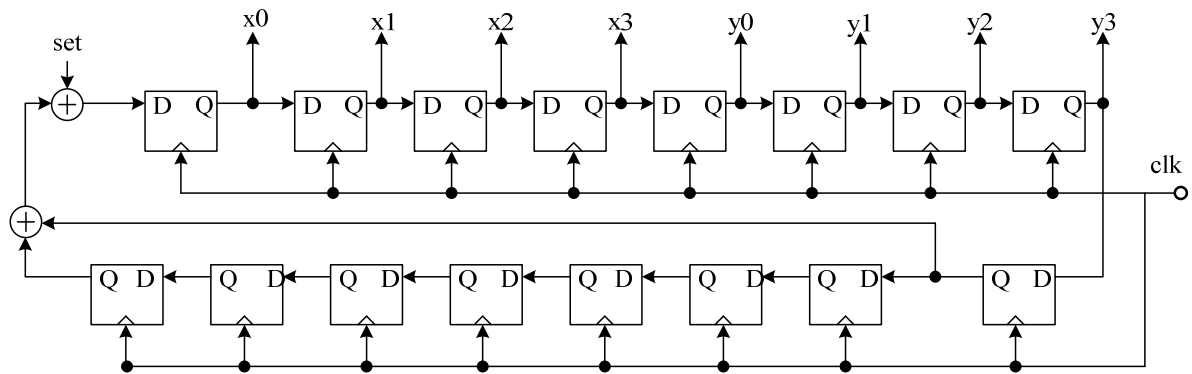


圖 4.10 偽隨機位元序列產生器

我們利用 set 信號開啟整個迴路，而在第九個和第十六個 D 型正反器的輸出作互斥的運算，讓整個迴路可以 (4.1) 所表示，每經過 $(2^{16}-1)$ 筆資料之後，它會自己再重複產生，所以稱之為偽隨機位元。

$$P(X)=X^{16}+X^9+1 \quad (4.1)$$

待測電路(乘法器)

我們的待測電路延遲路徑(Delay Path)的長度除了當作環形震盪器設計的依據外，也決定了我們受雜訊干擾的反向器串鏈的長度，為了得到較明顯的時間抖動量，我們選擇了一個 4*4 的乘法器作為我們的待測電路，其最長延遲路徑的長度如圖 4.11 所示，約為 1.6ns，我們也藉由此延遲時間決定了我們環形震盪器和反向器串鏈的長度。

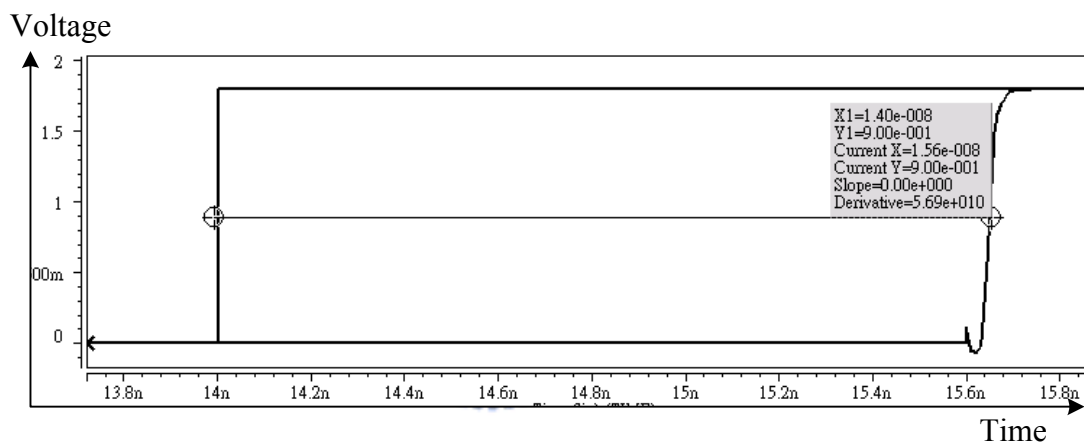


圖 4.11 乘法器延遲時間模擬圖

在先前所介紹的雜訊產生器，我們是利用壓控震盪器將電壓耦合進基底，雖然可以得到一個可以預測的雜訊源，但是畢竟不是一個真正基底雜訊的來源，因此我們還需要一個大型的數位電路來產生實際的基底雜訊，因此我們的待測電路，除了可以檢測基底雜訊對數位電路的影響之外，也可以當作我們另外一個基底雜訊的來源。

並聯輸入信號暫存器

並聯輸入信號暫存器(Multiple Input Signature Register)簡稱 MISR，是一種在 IC 測試界廣被採用的技巧，基本上它是一種對資料作二維壓縮的技巧，我們將乘法器的輸出輸入進 MISR。每隔一個時脈週期會將信號作互斥或的運算，並將運算後的信號經過線

性回授位移暫存器(Linear Feedback Shift Register)，得到特徵值，如果輸入的信號有錯誤產生時，特徵值也會有所改變，因此我們只要判斷特徵值的輸出，就可以檢測電路是否正常的運作。

4.4 時間抖動量測和自我偵測電路

此電路最主要是由一個時間數位轉換器所構成，如圖 4.4 所示，我們將電路以多工器分成兩種模式，第一種模式是用來量測時間抖動的大小，以相位內插法增加無雜訊相位的解析度，再和帶有雜訊的相位作比較，最後以數位電路的計數，得知時間抖動的大小；第二種模式是用來偵測製程、電壓、溫度(PVT Corner)以及電路的解析度，我們將電路切換成一個閉迴路，量測其震盪週期可以得知當時的工作環境；再調整相位內插器的相位控制訊號得到不同的震盪頻率，經過數學運算後得知電路的解析度。

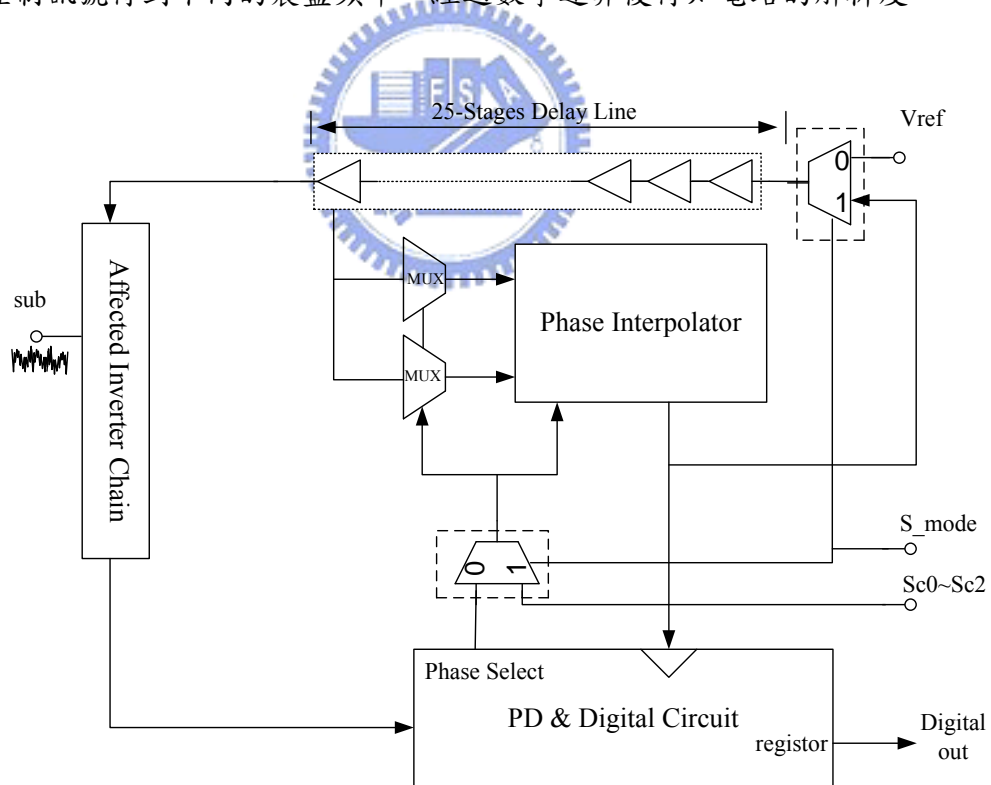


圖 4.12 時間抖動量測和自我偵測電路

延遲串鏈

在應用於時間數位轉換器(Time-to-Digital Converter)中的延遲串鏈(Delay Chain)有

兩種形式，一種是以單一反向器為單位，另一種是以緩衝器(Buffer)為單位。若以單一反向器為單元，可以得到較細的解析度，但相對的缺點就是要承受反向器上升時間和下降時間的不同，以及相位偵測器對於電位從低到高和高到低所需要不同的偵測時間，因此我們選擇以緩衝器最為我們延遲串鏈的單元。

相位內差電路

我們以三態閘為單元組成反向多工器的架構，將延遲串鏈的相鄰相位分別接到兩個二十五對一的多工器，使得兩個多工器的輸出為兩個閘極延遲，如圖 4.13、圖 4.14 所示。

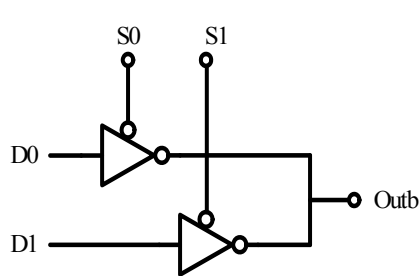


圖 4.13 二對一多工器

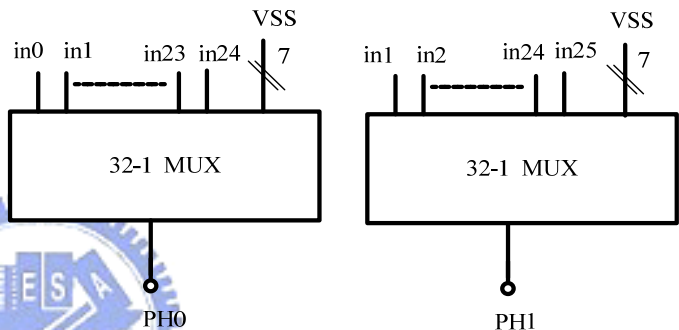


圖 4.14 多工器用於相位選擇

我們將兩個多工器的輸出端分別接到相位內差器(Phase Interpolator)的輸入端，此電路使用的是一種單級的相位內插法，由八組三態閘所組成，我們利用三態閘開關的個數使輸入的兩個相位產生不同的拉力，產生相位內差的效果。如圖 4.15 所示，我們用一個三位元的循序解碼器控制三態閘的開關，其真值表如下頁表 4.2，

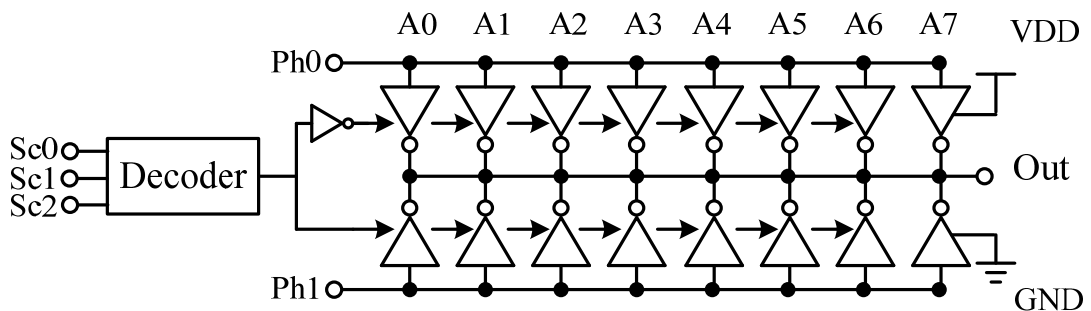


圖 4.15 相位內差電路

表 4.2 相位內差解碼器真值表

SC0	SC1	SC2	Cr0	Cr1	Cr2	Cr3	Cr4	Cr5	Cr6
0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0
1	1	0	1	1	1	0	0	0	0
0	0	1	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

從圖 4.16 和表 4.2 中可以看出我們只有對前面七組三態閘作控制，若我們控制八組三態閘的開關，將可以在兩個相位之間內差七個相位進去，總共得到九個相位，但因最後一個相位會和下一輪相位內差的第一個相位重複，所以我們只控制前面七組三態閘的開關，讓最後一組三態閘呈現永遠開和永遠關的狀態，以去除掉最後一個相位，示意圖如圖 4.8。

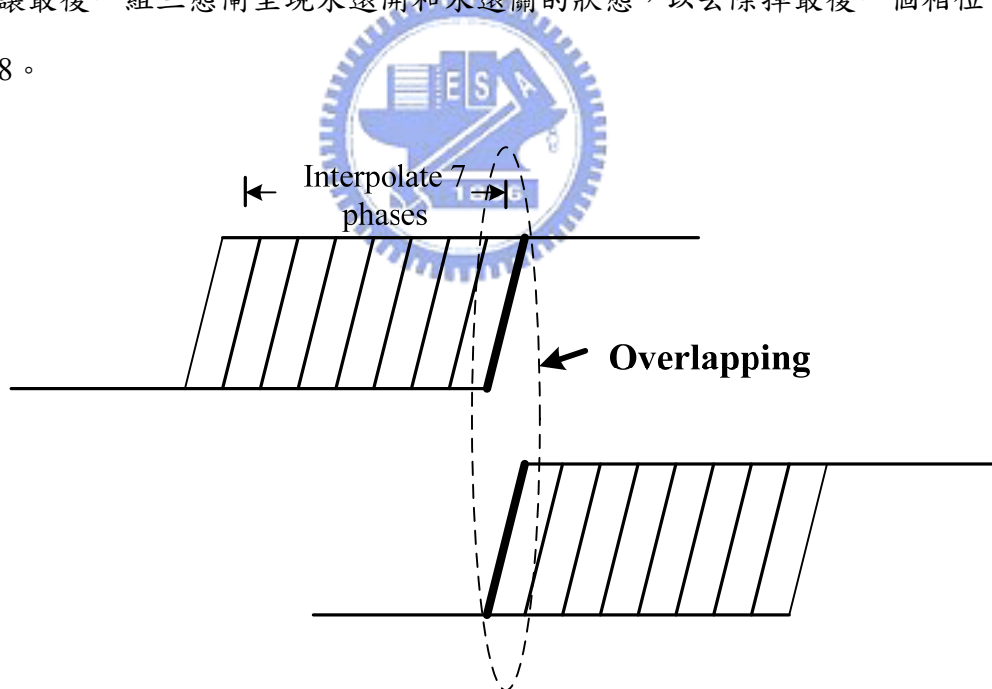


圖 4.16 相位重疊示意圖

相位內差器的輸出將會用來和帶有時間抖動的相位作比較，其相鄰相位的相位差便是整體電路的解析度，隨著製程的飄移，閘極延遲時間不會是一個定值，因此這個相位內差電路的解析度會隨著製程的飄移產生些許的變動，造成在量測時間抖動大小時的誤

差，因此我們除了要能偵測當時的工作狀況外還要能自我偵測其電路的解析度。

工作狀態和解析度自我偵測電路

因此我們的電路在第一種模式下可以自我偵測電路的解析度，其想法如圖 4.11 所示，一個奇數級的環形震盪器(Ring Oscillator)，其震盪週期為 $2(N+1) \cdot t_{\text{delay}}$ ， t_{delay} 為電路中延遲單元(Delay Cell)的傳輸延遲時間(Propagation Delay)。傳輸延遲時間很容易因環境因素的干擾而改變，因此我們利用這種特性來偵測電路當時的工作狀況。

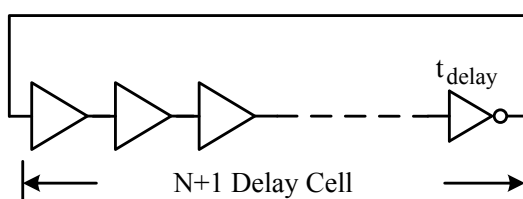


圖 4.17 環型震盪器

對於晶片工作環境中的變數，最重要的就是 PVT 的狀態，因此我們將電路中相位內差器的輸出接到延遲串鏈的輸入，將電路形成一個閉迴路，相位內差器原本以電路控制的三位元控制信號改由外界控制，如圖 4.18。我們將固定多工器的的選擇端，其震盪週期 T_{cycle} 為兩倍的延遲串鏈、多工器以及相位內差器的傳遞延遲時間，如 (4.2)：

$$T_{\text{cycle}} = 2(T_{\text{delay}} + T_{\text{Mux}} + T_{\text{PI}}) \quad (4.2)$$

我們將其設定成和待測電路(乘法器)有相同的組合深度(Combinational Depth)，因此我們只要觀察震盪器震盪的頻率就可以知道當時製程、電壓以及溫度的狀況，以及乘法器在不考慮雜訊干擾狀況下的工作頻率。

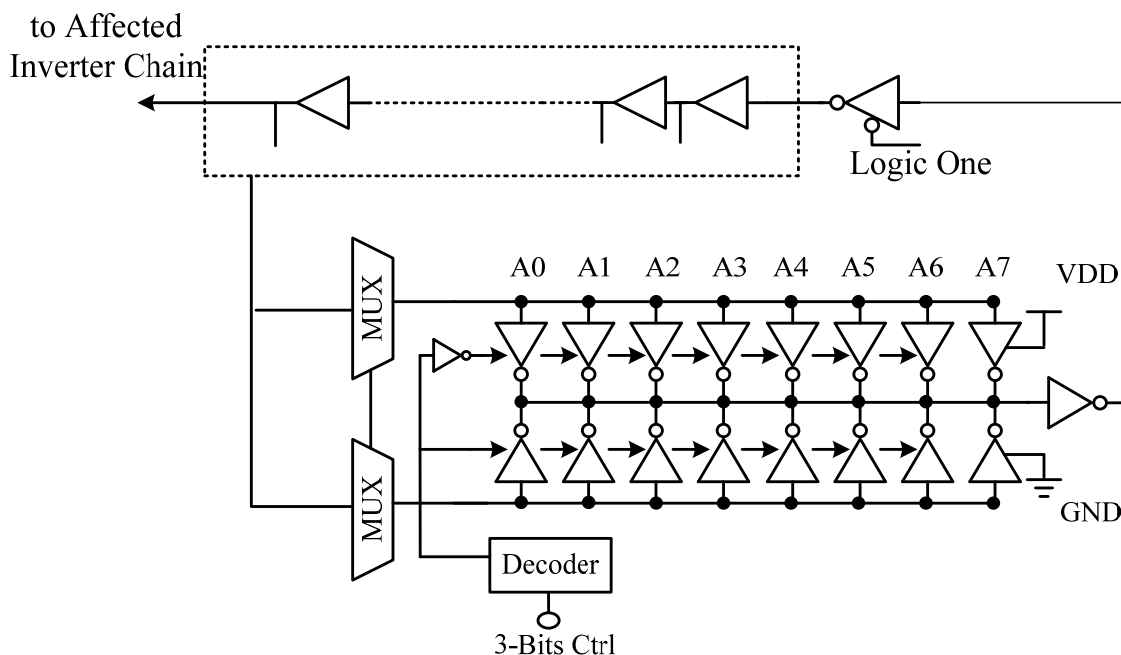


圖 4. 18 PVT Corner 和解析度量測電路

根據 (4.1) 以及圖 4.18，我們可以得知其震盪週期 T_{cycle} 為兩倍的延遲串鏈、多工器以及相位內差器的傳遞延遲時間，因此我們可以藉由這個電路當作解析度的自我偵測 (Self-Test) 電路，以偵測解析度因製程飄移所造成的改變，當我們改變相位內差器的控制信號時，便會改變整個震盪的週期，我們將兩個不同相位所產生的迴路週期相減，以(4.3) 表示，可以得到相位內差器的相位差，也就是整體電路的解析度。

$$\begin{aligned}
 T_2 - T_1 &= 2(T_{delay} + T_{Mux} + T_{PI2}) - 2(T_{delay} + T_{Mux} + T_{PI1}) \\
 &= 2 \cdot (T_{PI2} - T_{PI1}) = 2 \cdot \text{Resolution}
 \end{aligned}
 \tag{4.3}$$

在上述的 (4.3) 中雖然我們將兩個相位相減以約略的方式表示成兩倍的解析度，但在實際上，其實是相位內差器的一個上升時間和一個下降時間，而我們最後為了得到解析度，將會將相位差值除以二，其實就是將上升時間和下降時間作平均，因此這種方式會因為電路中上升時間和下降時間的不同造成些許的誤差。

而為了驗證此電路的可行性，我們用 Hspice 進行相位內差的模擬，將波形圖得到的解析度和自我偵測電路所得到的作比較，得到表 4.3。

表 4.3 相位差偵測表 (Pre-Simulation)

	Calibrate	spice
One delay buffer	80.35ps	80.2 ps
Phase 1	10.3 ps	10.5 ps
Phase 2	10.1 ps	10.2 ps
Phase 3	10.6 ps	10.4 ps
Phase 4	10.3 ps	10.4 ps
Phase 5	9.7 ps	9.5 ps
Phase 6	9.0 ps	9.0 ps
Phase 7	11.2 ps	11.0 ps
Phase 8	9.1 ps	9.2 ps

從表 4.3 中可以看出我們所使用的自我偵測電路可以很準確的將我們電路的解析度呈現出來，雖然有些許的誤差，但是在模擬結果可以看出其誤差最大值不超過 0.2ps，大約是 0.02 個 LSB。

相位偵測和數位計數電路

如圖 4.19，大致上我們以一個 D 型正反器作相位偵測，將相位比較的結果輸入到數位計數和暫存電路，藉由統計結果判斷時間抖動的大小。

一開始我們先從相位內差電路輸出選出一個相位，和帶有時間抖動的相位作比較，其中滿溢計數器(Overflow Counter)是一個十位元的計數器，用來計數相位比較的次數，因此當每個相位比較 1023 次，在第 1024 次時滿溢計數器將會送出信號到相位選擇器 (Phase Selector) 切換到下一個相位。時間抖動計數器 (Jitter Counter) 是用來計數相位比較器為邏輯一的輸出，當抖動計數器的輸出全為邏輯零或邏輯一時，表示此相位並未偵測到時間抖動，若其輸出中帶有邏輯一和邏輯零時，表示此相位偵測到時間抖動。

如圖 4.20 所示。經過 1023 次的比較後，我們將結果儲存在時間抖動暫存器中(Jitter Register)，根據是否有偵測到時間抖動，時間抖動暫存器有三種結果：若沒有偵測到時間抖動，暫存器的輸出會是 0 或是 1023，代表相位是完全的領先或是落後；當暫存器的輸出不為 0 或是 1023 時，表示此相位偵測到時間抖動。因此我們只要去觀察暫存器輸出不為 0 或 1023 的相位個數，對應電路的相位解析度，就可以得知時間抖動的大小。

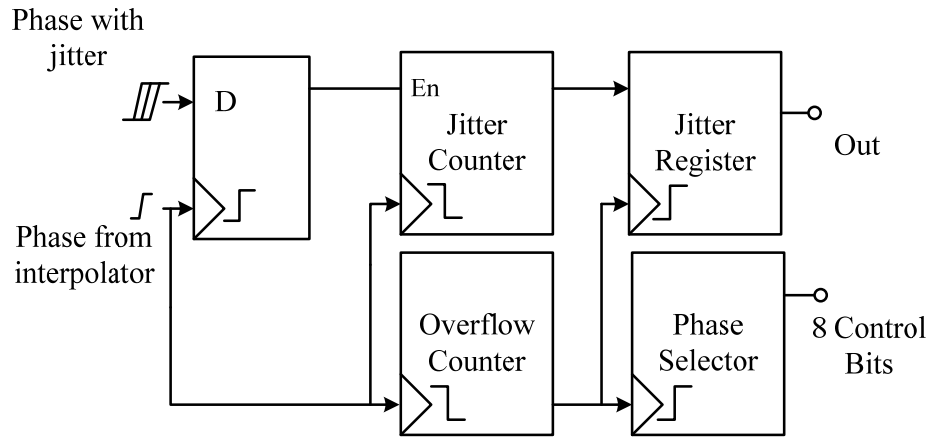


圖 4.19 相位偵測和數位計數電路

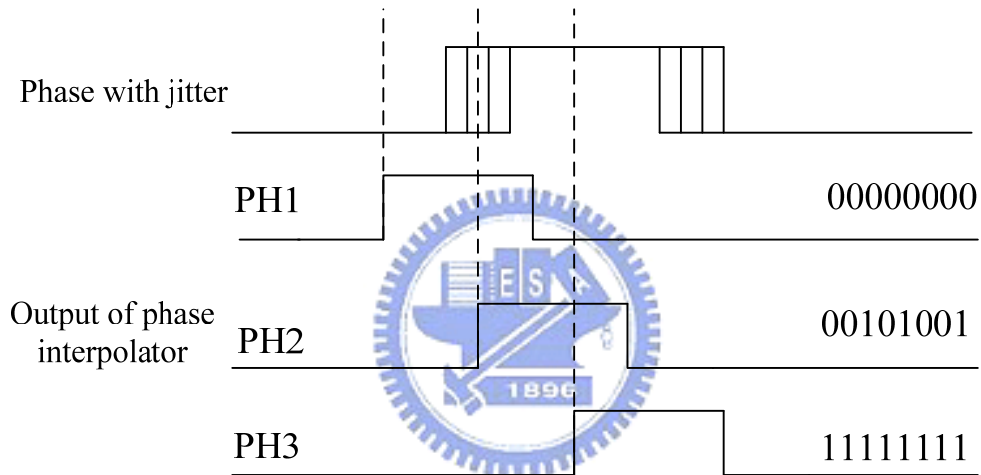


圖 4.20 時間抖動量測示意圖

時間抖動量測電路

最後我們將延遲串鏈、相位內差電路以及相位偵測和數位計數電路整合起來，並將延遲串鏈的輸出接到受到雜訊干擾的反向器串鏈，偵測反向器串鏈所吸收基底雜訊所產生的時間抖動大小。如圖 4.21 所示，此電路便是當我們電路經由多工器切換到量測時間抖動時的電路架構。

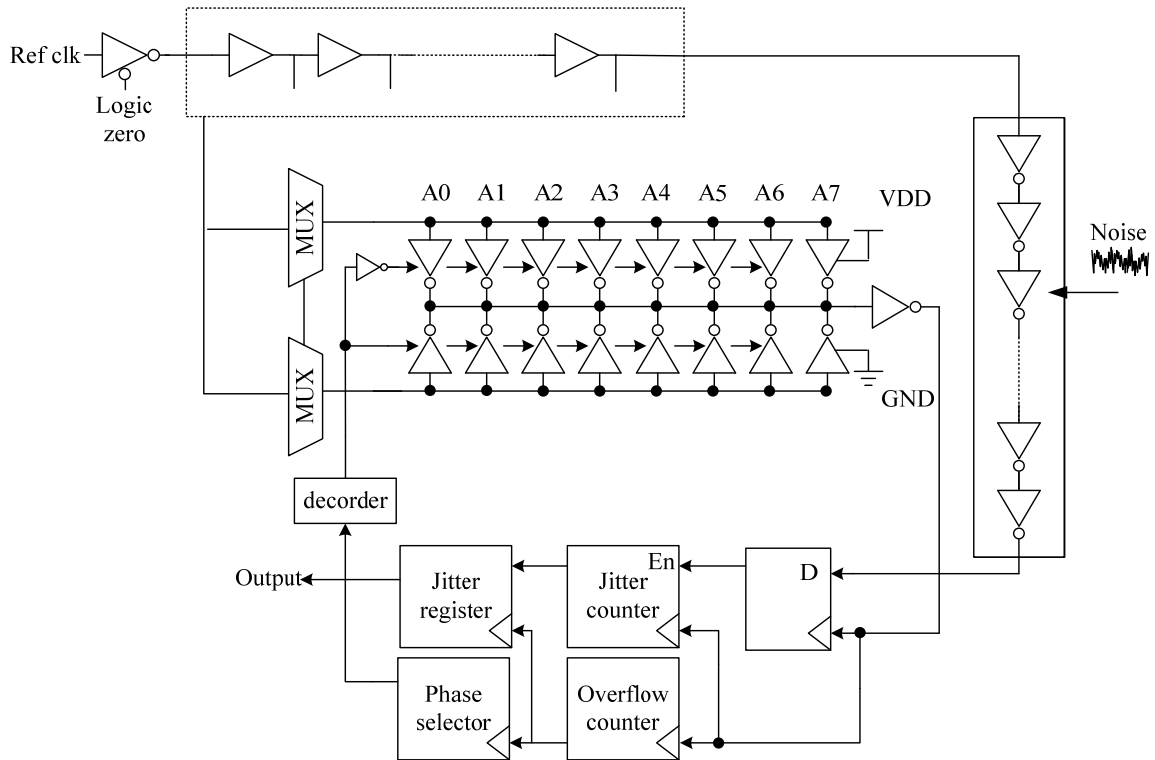


圖 4.21 時間抖動量測電路

4.5 電路佈局圖和模擬結果

晶片佈局圖

使用了 TSMC 0.18RF 製程來實踐我們的電路，如圖 4.22 所示。晶片佈局圖(chip layout)的總面積為 0.64 mm^2 ($800\mu\text{m} \times 800\mu\text{m}$)。此晶片的最上方是一個以壓控震盪器所實現的雜訊產生器；在中間的部份是我們的驗證電路，由偽隨機位元序列產生器、乘法器、並聯輸入位移暫存器所組成。在這個區域之中，我們將雜訊產生器的偶合雜訊的電容和乘法器以一個防護環圍住，並用一系列反向器串鏈環繞在乘法器外圍吸收基底雜訊。最下面的區塊，是我們的量測時間抖動的量測電路。在此電路中，我們將乾淨的相位和吸收雜訊的反向器串鏈輸出作相位的比對，量測基底雜訊對電路的影響。最後我們在佈局圖上空白的面積上，放入了去耦電容(Decoupled Capacitor)，供電源使用，目的是為了讓供電源的雜訊能夠降低。

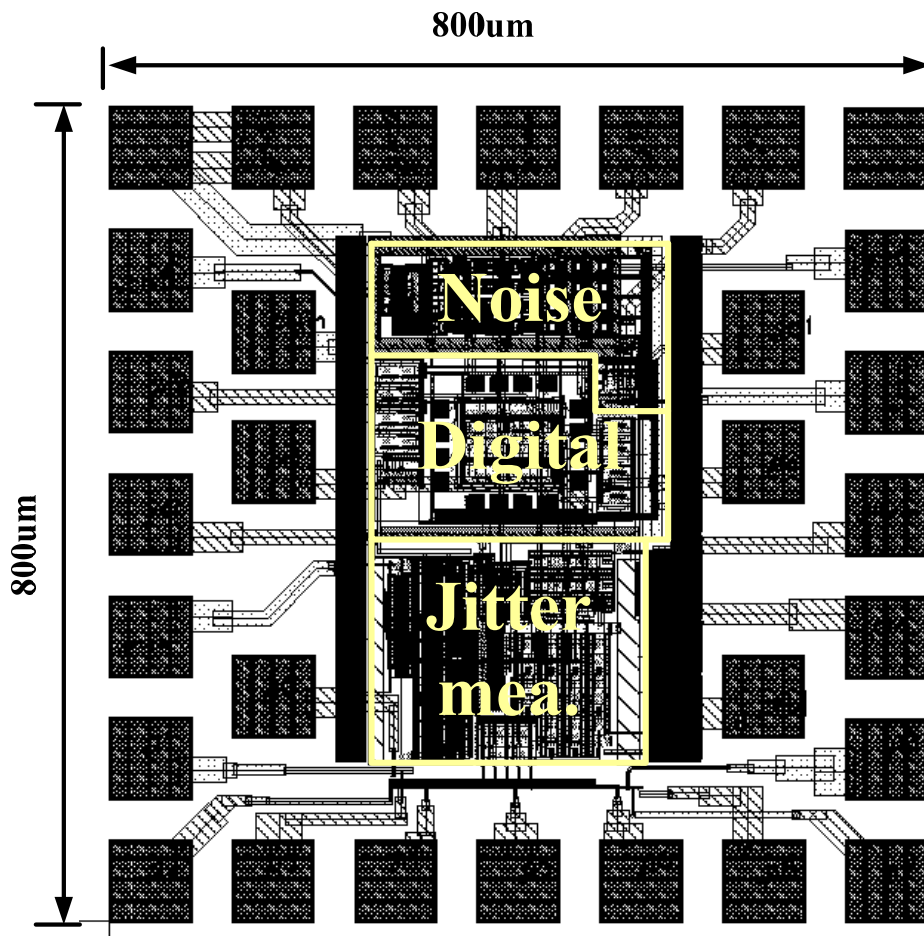


圖 4.22 電路佈局圖

在圖 4.22 中我們用了 29 個腳位，我們以表 4.6 作整理。其中四個腳位分別是用來供應電路、防護環以及基體的電壓。十二的腳位是作控制輸入，我們用 Clr_ 控制電路的重置動作。而 Vctrl 是控制雜訊源的頻率，E、Sc0 和 Sc1 三個腳位則是用來控制雜訊注入基底的多寡。Ref 為參考信號的時脈輸入。S_mode 是用來作模式的切換，當輸入為 0 準位時，量測電路開始檢測時間抖動的大小；當輸入為 1 準位時，便會自我偵測當時的 PVT 狀態，配合上 Si0、Si1 和 Si2 的控制，便可以檢測整體量測電路的解析度。在輸出腳位方面，我們將類比的輸出腳位接到示波器堆疊出眼圖，和暫存器的輸出作比對，驗證電路的正確性。最後我們從 Clkin 腳位作數位時脈的輸入，再由 So 得到我們的驗證電路在此 PVT 的狀態下，是否正常工作。

表 4.4 腳位對照表

	Pin	Pads
Power	Vdd,Gnd1 Gnd2,Sub	4
Control	Clr_ Vctrl,Sc0,Sc1,E Clkin, Ref S_mode Si0 ,Si1,Si2	11
Analog Output	Jitter_in, Ph_clk	2
Logic Output	So,Q0~Q9, Rst	12

4.6 佈局後的整體模擬

解析度偵測

在完成了電路佈局之後，首先我們將先對解析度做模擬，跟佈局前的模擬一樣，我們分別以 Hspice 圖形所得到的解析度和以偵測電路所量測到的解析度作比較。將其以表 4.5 呈現。

表 4.5 相位差偵測表 (Post-Simulation)

TT	By Wave	By Self-Test
One delay buffer delay time	100.3 ps	101.7 ps
Phase 1	12.3 ps	12.05 ps
Phase 2	12.1 ps	12.6 ps
Phase 3	12.9 ps	13.25 ps
Phase 4	13.0 ps	13.05 ps
Phase 5	12.7 ps	12.25 ps
Phase 6	11.0 ps	11.25 ps
Phase 7	13.2 ps	13.85ps
Phase 8	13.1 ps	13.40 ps

從表 4.5 中可以看出雖然在佈局後因為電路中以及拉線所產生的寄生的電容、電阻的效應，使得我們的解析度變差，但自我偵測電路還是幾乎可以準確的偵測出電路中每個相位的相位差，其誤差不超過 1.2ps，因此我們用此偵測電路在製程飄移下，相位誤

差的模擬。

接著我們將模擬結果以 DNL 和 INL 的方式來作線性度的分析，其公式分別為：

$$DNL_i = \frac{P_{\text{phase}} - P_{\text{avg}}}{P_{\text{avg}}} \quad (4.4)$$

$$INL_i = \sum_{j=0}^i DNL_j \quad (4.5)$$

其中的 P_{phase} 為各個相位差的值，而 P_{avg} 為八個相位的平均值，我們將其結果以圖 4.23 表示，我們可以看出無論是 INL 或是 DNL 其值都不會超過 0.2LSB。

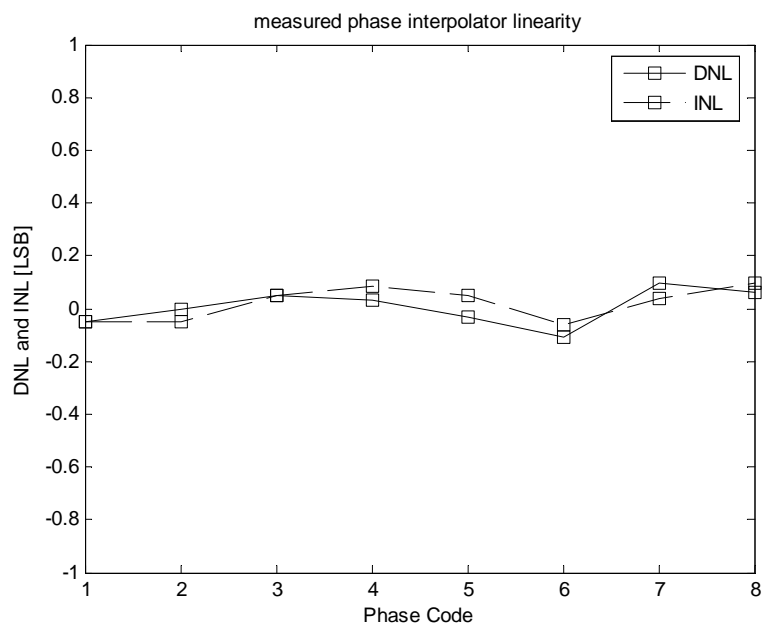


圖 4.23 線性度分析

而之前的分析都是在最理想的狀況之下也就是 TT 的 corner 中所作的模擬，為了能確保在製程漂移的情況之下，電路的準確性依舊存在，我們對五個常見的 corner 做模擬，將模擬的結果以表 4.6 呈現出來，並且求出其平均值和變化量，整理成表 4.7。

而從表格中可以看出，其解析度的大小隨製程飄移，其平均值大約在 10ps~13ps 之間，而最大的變化量是發生在 SF 的狀況之下，變化量為 1.4ps。

表 4.6 在不同製程狀況下的相位差

	SS	SF	TT	FS	FF
P0	13.2p	11.85 p	12.05 p	11.35p	9.7p
P1	14.0p	12.05p	12.6 p	11.95p	10.1p
P2	14.0p	11.9 p	13.25 p	12.05p	10.25p
P3	13.95p	10.4 p	13.05 p	12.0p	10.2p
P4	13.6p	10.4 p	12.25 p	11.8p	9.75p
P5	12.9p	12.65p	11.25 p	11.8p	9.15p
P6	15.05p	13.1 p	13.85p	12.0p	11.4p
P7	13.85p	12.05 p	13.4 p	10.7p	10.65p

表 4.7 解析度之平均值和最大變化量

	Mean	Max variance
FF	10.2ps	$\leq 1.05ps$
FS	11.8ps	$\leq 1.10ps$
TT	12.7ps	$\leq 1.15ps$
SF	11.7ps	$\leq 1.40ps$
SS	13.8ps	$\leq 1.25ps$

時間抖動量測

在於量測電路方面，此量測電路需要偵測 400 相位，並且一個相位要偵測 1023 次，在實際量測上只是一個很短暫的時間，但若要用 Hspice 作模擬，由於電路的解析度約為 12.7ps，因此在模擬時需要小於 12.7ps 以上的解析度，需要花上大量的時間與硬體空間，而針對相位偵測的次數，是基於之後量測時統計結果的準確性，對於電路的功能是否正常並沒有太大的影響，基於這個考量，我們以每個相位偵測 15 次，去判斷電路的功能是否正常。

在 TT 的 corner 下，我們調整雜訊產生器的 $V_{ctrl} = 1.1V$ ，產生約 100MHz 的雜訊；參考信號頻率為 625MHz，我們用 Hspice 模擬，利用控制雜訊端的解碼器輸入，控制基底雜訊的大小，觀察基底雜訊影響電路時所產生的時間抖動大小，我們分成兩方面觀察，首先我們利用所堆疊出的眼圖觀察時間抖動的大小，再以量測電路所量到的時間抖動作對照，以驗證電路的功能正常。

而一開始我們先關閉雜訊源，由圖 4.24(a)的眼圖中，量測到時間抖動約 3ps，而(b)圖為相位偵測器的輸出波形，每一條虛線代表一次的相位切換和重置電路，我們可以從圖中看出，一開始的相位是完全的落後，輸出為邏輯零，直到第五個相位時，15 次的相位偵測都在同時轉態，表示時間抖動量小於一個解析度($\leq 12.7\text{ps}$)。

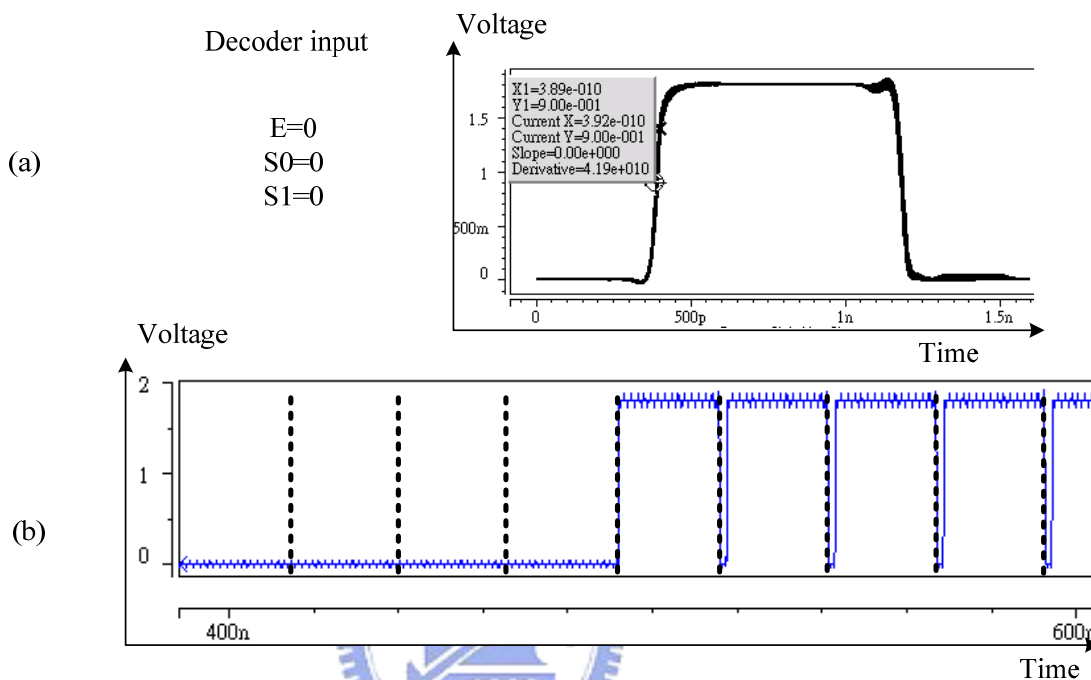


圖 4.24 (a)眼圖 (b)相位偵測器輸出 (無雜訊時)

接下來我們打開雜訊源，控制解碼器的輸入訊號(E、Sc0、Sc1)，分別分析在不同基底雜訊大小時，時間抖動的大小。

(1) 一組雜訊注入 (E=1、Sc0=0、Sc1=0)

當只有一組雜訊注入時，從 4.2 節中的分析，我們知道此基底雜訊注入的大小，可以在反向器的基體端產生峰對峰值約 0.23V 的雜訊干擾。從圖 4.25(a)的眼圖中，我們可以看出，一反向器串鏈在雜訊干擾的情況下，其時間抖動的累積量約為 19ps。但是在(b)圖中，我們並沒有看到在任一相位中有輸出次數的變化，也就是其 15 次的相位偵測都還是在同一個相位中作轉態，表示量測出的雜訊大小應該還是要小於一個解析度($\leq 12.7\text{ps}$)。因此在這個事件中的偵測結果有錯誤產生。

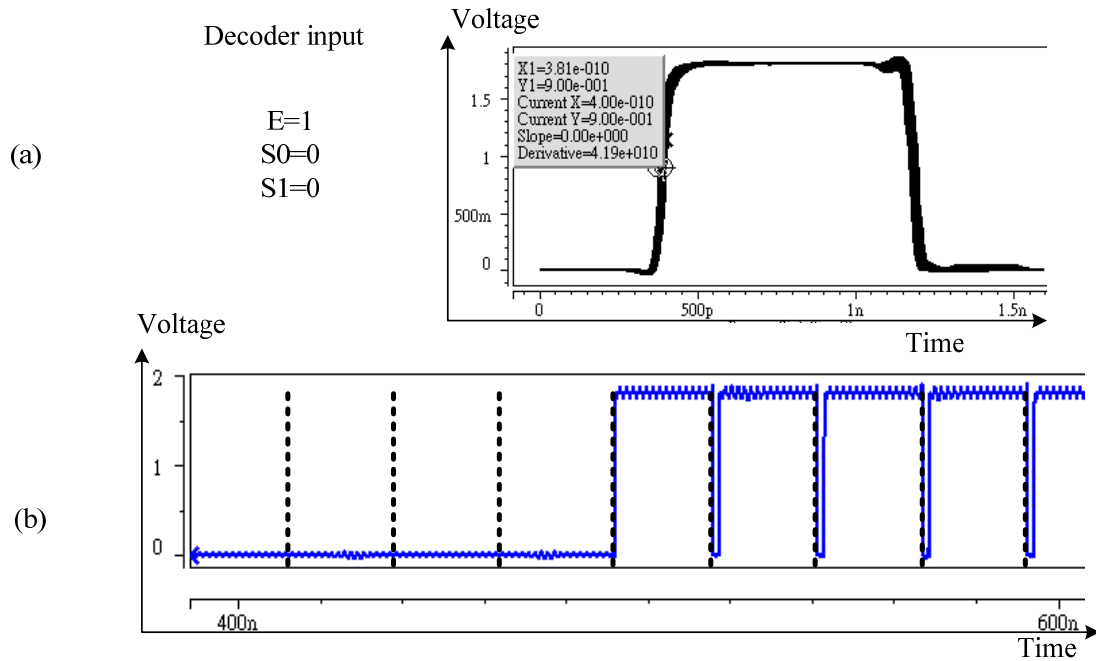


圖 4.25 (a)眼圖 (b)相位偵測器輸出 (一組雜訊注入時)

(2) 兩組雜訊注入 (E=1、Sc0=1、Sc1=0)

當我們讓兩組雜訊源注入進基底時，在反向器的基體端產生峰對峰值約 0.46V 的雜訊干擾。我們可以從圖 4.26(a)上升和下降的曲線中看出時間抖動的增加，經過量測後得到 33ps 的時間抖動量。而在圖 4.25(b)可以發現相位偵測器的輸出端在第四個相位就開始有轉態的情形產生，15 次相位偵測要等到在第六個相位才會全部轉態，也就是說有三個相位偵測到時間抖動，因此我們可以估計時間抖動量為 25.4ps~38.1ps 之間。在這個事件中，我們可以準確的量測出時間抖動的大小。

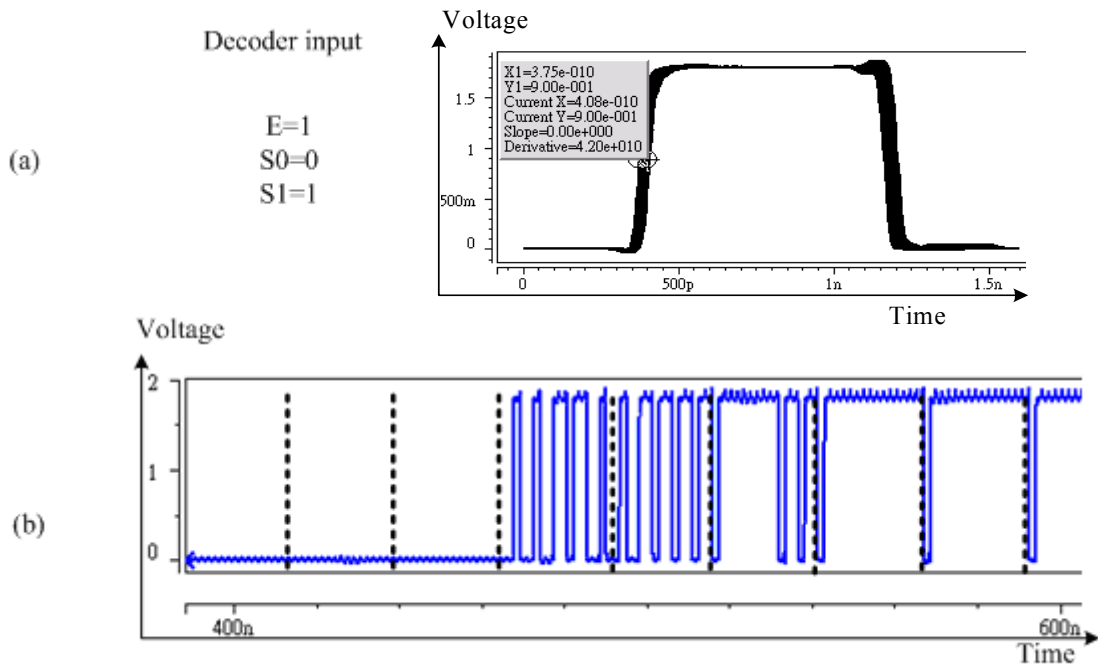


圖 4.26 (a)眼圖 (b)相位偵測器輸出 (兩組雜訊注入時)

(3) 三組雜訊注入 (E=1、Sc0=0、Sc1=1)

我們將三組雜訊源注入進基底時，在反向器的基體端產生峰對峰值約 0.69V 的雜訊干擾。經由量測圖 4.27(a)得到 44ps 的時間抖動量。而從圖 4.26(b)可看出共有四組的相位偵測到位準的轉態，因此我們可以估計時間抖動量為 38.1ps~50.8ps 之間。在這個事件中，我們依然可以準確的將實際的時間抖動量，包含在我們量測的結果範圍內。

(4) 四組雜訊注入 (E=1、Sc0=1、Sc1=1)

最後我們將全部的雜訊源注入進基底時，在反向器的基體端產生峰對峰值約 0.91V 的雜訊干擾。從圖 4.28(a)的眼圖中可以很明顯的看出時間抖動量增加，經過量測後得到 53ps 的時間抖動量。而在圖 4.28(b)可以發現相位偵測器的輸出端在第四個相位就開始有轉態的情形產生，直到第八個相位才會全部轉態，也就是說有五個相位偵測到時間抖動，配合解析度的大小，可以從量測電路的結果得到時間抖動量在 50.8ps~63.5ps 之間。這範圍也包含了實際時間抖動量的大小。

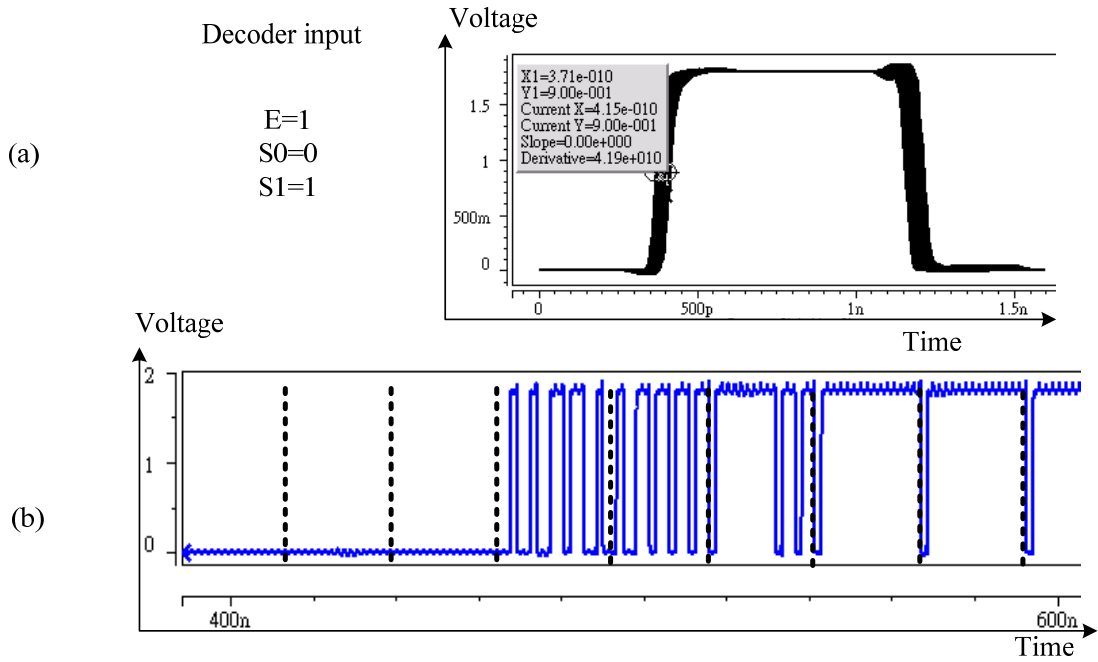


圖 4.27 (a)眼圖 (b)相位偵測器輸出 (三組雜訊注入時)

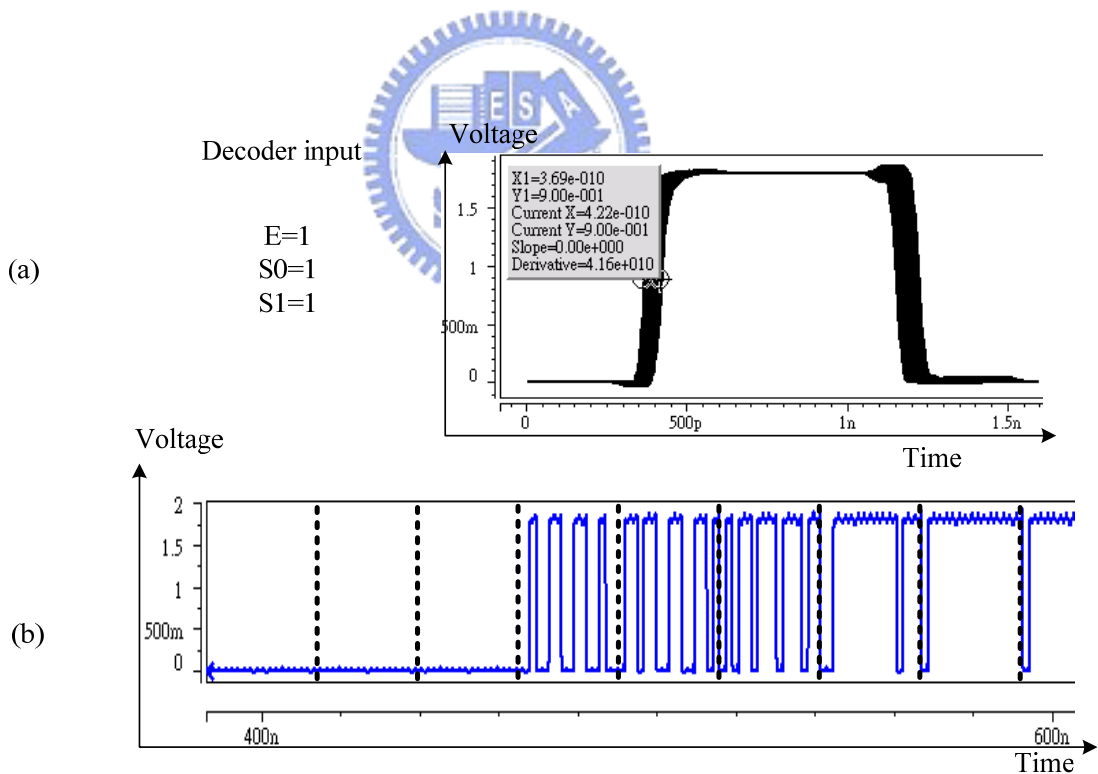


圖 4.28 (a)眼圖 (b)相位偵測器輸出 (四組雜訊注入時)

我們將所觀測的模擬結果整理至表 4.8 中，在第三欄位所呈現的時間抖動大小是利用眼圖測量而得，而第四欄位中所得到的時間抖動大小是經由量測電路的輸出得到。因

為量化誤差(Quantization Error)的緣故，我們得到的結果並不是單一數值，而是有一個解析度的誤差範圍。從表格中可以看出除了在時間抖動量為 19ps 的事件中沒有偵測到正確的抖動量外，其餘的都能藉由少數的相位偵測量得到正確的時間抖動量。因此我們可以判斷在此事件，因為實際的時間抖動量和一個解析度只有 6ps 的誤差，而當取樣次數只有 15 次時，其信任區間約只有 90%的範圍，因此這個錯誤應該是因為取樣次數不足，造成的錯誤。

表 4.8 TT corner 的模擬結果

TT		Jitter (by eye)	Jitter (by circuit)
Reference Clock	600MHz		
Noise Vctrl	1.1v		
Noise Freq.	100MHz		
Resolution	~12.7ps		
Noise Injection	none	3ps	0~12.7ps
	1	19ps	0~12.7ps
	2	33ps	25.4~38.1ps
	3	44ps	38.1~50.8ps
	4	53ps	50.8~63.5ps

接著我們以相同的參考信號頻率和雜訊源的控制電壓，作其他四個 corner 的模擬，我們將其模擬結果整理過後，以表 4.9、表 4.10、表 4.11 和表 4.12 呈現出來。我們可以看出雖然解析度會隨著製程作飄移，但是我們大致上還是可以藉由少數(15 次)的相位偵測，量測出時間抖動的量。而下列表格所呈現出的，除了解析度會隨著製程作飄移之外，我們可以發現，時間抖動量的大小會隨著雜訊源的頻率改變，在表 4.9 中，也就是在 FF corner 的模擬下，其雜訊的速率為 160MHz，產生出的時間抖動量為最少的，即使在四組雜訊源都打開時，也只有 25ps 的時間抖動量。反觀在表 4.12 中，也就是在 SS corner 的情況下，雜訊源的頻率約只有 55MHz，在四組輸出全開的情況下，產生出最大的 110ps 的時間抖動量。若我們先不考慮到源極和汲極的偶合效應，單單的探討基底雜訊由基體效應對電路產生的影響的話，藉由在 2.3 節曾經介紹過的基體效應模型便可以解釋這個現象的發生。

表 4. 9 FF corner 的模擬結果

FF		Jitter (by eye)	Jitter (by circuit)
Resolution	~10.2ps		
Noise Freq.	160MHz		
Noise Injection	0	3ps	0~10.2ps
	1	11ps	0~10.2ps
	2	17ps	10.2~20.4ps
	3	23ps	10.2~20.4ps
	4	25ps	20.4~30.6ps

表 4. 10 FS corner 的模擬結果

FS		Jitter (by eye)	Jitter (by circuit)
Resolution	~11.8ps		
Noise Freq.	65MHz		
Noise Injection	0	3ps	0~12.7ps
	1	15ps	0~12.7ps
	2	33ps	23.6~35.4ps
	3	45ps	35.4~47.2ps
	4	79ps	70.8~82.6ps

表 4. 11 SF corner 的模擬結果

SF		Jitter (by eye)	Jitter (by circuit)
Resolution	~11.7ps		
Noise Freq.	140MHz		
Noise Injection	0	12ps	0~11.7ps
	1	15ps	0~11.7ps
	2	25ps	11.7~23.4ps
	3	26ps	11.7~23.4ps
	4	30ps	23.4~35.1ps

表 4. 12 SS corner 的模擬結果

SS		Jitter (by eye)	Jitter (by circuit)
Resolution	~13.8ps		
Noise Freq.	55MHz		
Noise Injection	0	4ps	0~13.8ps
	1	30ps	13.8~27.6ps
	2	55ps	41.4~55.2ps
	3	80ps	69.0~82.8ps
	4	110ps	96.6~110.4ps

晶片規格

表 4.13 為電路的規格表，其表格包括電路的供應電壓源，以及經過模擬後得到的解析度。整個電路所佔的面積為 523um * 327 um，功率消耗為 26mW，但約有一半的面積為雜訊產生器和驗證電路，實際上的量測電路只有 260um*205um，而所消耗的功率也只有 14.7mW。



表 4. 13 電路規格表

	This Work
Technology	TSMC 0.18um RF
Supply Voltage	1.8V
resolution	10ps~13ps
Measurement Power	14.7mW
Total Power	26mW
Measurement Layout Area	260um*205um
Core Layout Area	523um * 327 um
Chip Layout Area	800um * 800 um

4.7 量測考量

圖4-29為晶片量測的設置圖。我們利用Agilent E3610A供應所需的電壓，其中Vdd及Vss是提供電路之電源，Vss1和Sub分別為Guard Ring和基體的電源。

接下來我們用 Agilent 33250A 產生參考信號以及數位電路的時脈，讓內部的 PRBS 和 MISR 的電路運作和提供量測電路的參考信號。最後用 Agilent 16702B Logic Analyzer 來觀察量測電路中暫存器的輸出，並以 Agilent 86100B 來觀察反向器串列的輸出波形及訊號眼狀圖以作驗證。

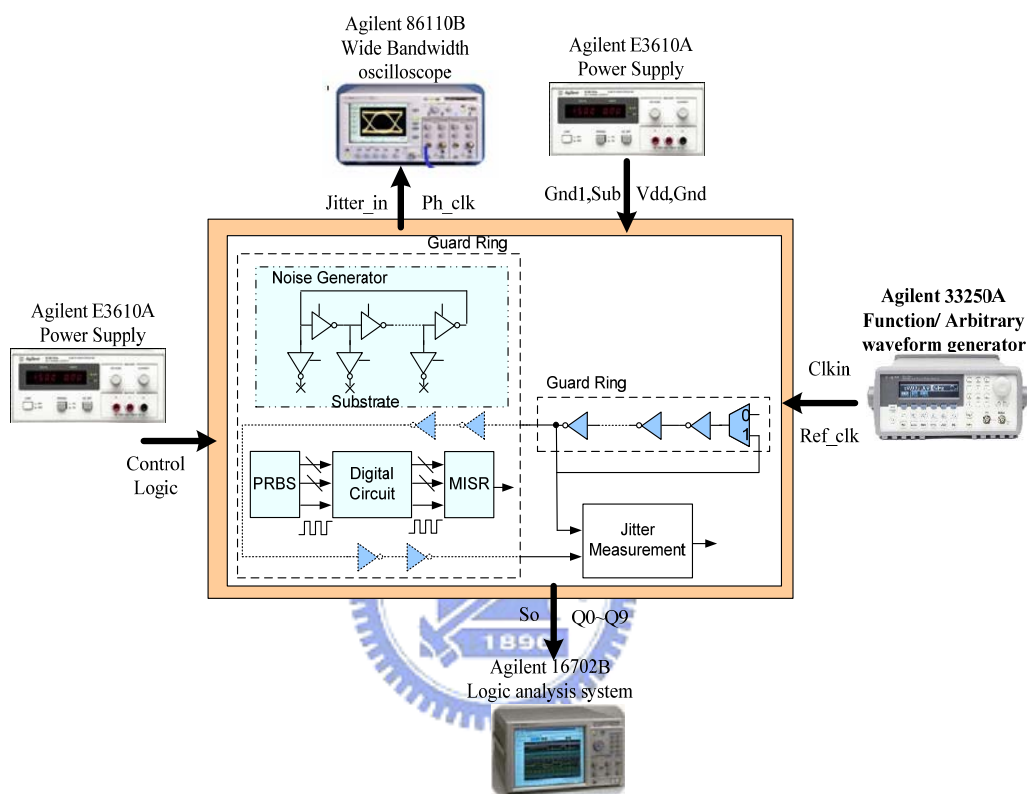


圖 4.29 晶片量測設備裝置

4.8 總結

本章節介紹了各電路的架構，我們在 TSMC 0.18um RF 製程下實現了一個以量測時間抖動分析基底雜訊對電路影響的量測電路，並利用一個環形震盪器偵測出當時的 PVT corner 和電路的解析度，經過佈局後的模擬結果模擬出基底雜訊對電路的影響最大可以產生 110ps 的時間抖動量，證明基底雜訊的重要性。最後我們呈現出晶片的規格及量測考量。

第五章

結論



5.1 結論

本論文提出一個不同於之前量測基底雜訊的方法，再雜訊源方面，我們利用壓控震盪器和一個解碼電路，製造出一個可以調整雜訊頻率和大小的雜訊產生器，並藉由對基底作額外的電阻、電容模組，模擬基底效應對電路產生的影響。

在量測基底雜訊方面，我們將反向器串鏈和待測電路糾結在一起，使得反向器所受的雜訊干擾量可以近似於待測電路所受到雜訊干擾的大小，並利用基底雜訊對時域上時間抖動的影響，我們用一個面積約只有 $260\mu\text{m} \times 205\mu\text{m}$ 大小的量測電路，測量雜訊對電路的影響，其量測電路解析度約為 10ps ，對於解析度因製程的飄移，我們也提出了一個簡單的自我偵測方式，可以檢測其解析度的飄移量。

5.2 未來發展

這次的專題中，我們將主軸放在基底雜訊的分析與量測上，但在實際電路上影響電路的雜訊源有很多，若要能夠精確的以 PVT 的 corner 和雜訊量的影響來動態調整電路，我們還必須要對其他的雜訊源作更全方面的了解與分析，希望在未來能精確的判斷出晶片的工作狀態，以作到自我動態調整電壓或頻率，達到最佳的工作效率。



參考文獻

- [1] P. Heydari, "Analysis of the PLL jitter due to power/ground and substrate noise" *IEEE Trans. Circuits Syst. I*, vol. 51, pp. 2404 - 2416, Dec. 2004.
- [2] W. Rhee, K. A. Jenkins, J. Liobe, and H. Ainspan, "Experimental Analysis of Substrate Noise Effect on PLL Performance t," *IEEE Trans. Circuits Syst. II*, vol. 55, pp. 638-642, July 2008.
- [3] R. Singh, S. Sali, " Modeling of electromagnetically coupled substrate noise in FLASH A/D converters," *IEEE Trans. Electromagnetic Compatibility*. vol. 45, pp. 459 - 468, May 2003.
- [4] Tsukada, T.; Hashimoto, Y.; Sakata, K.; Okada, H.; and Ishibashi, K." An on-chip active decoupling circuit to suppress crosstalk in deep-submicron CMOS mixed-signal SoCs," *IEEE J. Solid-State Circuits*, vol. 40, pp. 67-79, Jan. 2005
- [5] E. Charbon et al., *Substrate noise : analysis and optimization for IC design*, Norwell, Massachusetts, Kluwer Academic Publishers, 2001.
- [6] B.R. Stanistic, N.K. Verghese, R.A. Rutenbar, L.R. Carley, and D.J. Allstot, "Addressing substrate coupling in mixed-mode ICs: simulation and power distribution synthesis," *IEEE J. Solid-State Circuits*, vol. 29, pp. 226-238, Mar. 1994.
- [7] R. Gharpurey and R. G. Meyer, "Modeling and analysis of substrate coupling in integrated circuits," *IEEE J. Solid-State Circuits*, vol. 31, pp. 344-353, Mar. 1996.
- [8] N. K. Verghese, D. J. Allstot, and M. A. Wolfe, "Verification techniques for substrate coupling and their application to mixed-signal IC design," *IEEE J. Solid-State Circuits*, vol. 31, pp. 354-365, Mar. 1996.
- [9] A. Samavedam, A. Sadate, K. Mayaram, and T. Fiez, "A scalable substrate noise coupling model for design of mixed-signal IC's," *IEEE J. Solid-State Circuits*, vol. 35, pp. 895-904, June 2000.

- [10] M. van Heijningen *et al.*, “Analysis and experimental verification of digital substrate noise generation for epi-type substrates,” *IEEE J. Solid-State Circuits*, vol. 35, pp. 1002-1008, July 2000.
- [11] S. Kristiansson *et al.*, “A surface potential model for predicting substrate noise coupling in integrated circuits,” *IEEE J. Solid-State Circuits*, vol. 40, pp. 1797-1803, Sept. 2005.
- [12] D. K. Su, M. J. Loinaz, S. Masui, and B. A. Wooly, “Experimental results and modeling techniques for substrate noise in mixed-signal integrated,” *IEEE J. Solid-State Circuits*, vol. 28, Issue 4, April 1993
- [13] K. Makie-Fukuda, T. Ando, T. Tsukada, T. Matsuura, and M. Hotta, “Voltage comparator-based measurements of equivalently sampled substrate noise waveforms in mixed-signal integrated circuits,” *IEEE J. Solid-State Circuits*, vol. 31, pp. 726–731, May 1996.
- [14] Makie-Fukuda, K.; Anbo, T.; Tsukada, T.; “Substrate noise measurement by using noise-selective voltage comparators in analog and digital mixed-signal integrated circuits,” *IEEE Trans. Instrumentation and Measurement*, vol. 48, pp. 1068-1072, Dec. 1999.
- [15] Peng, M.S.; Hae-Seung Lee; “Study of substrate noise and techniques for minimization,” *IEEE J. Solid-State Circuits*, vol. 39, pp. 2080–2086, Nov. 2004.
- [16] Xu Weize, E.G. Friedman, “On-chip test circuit for measuring substrate and line-to-line coupling noise,” *IEEE J. Solid-State Circuits*, vol. 41, pp. 474-482, Feb. 2006.
- [17] X. Aragonés, A. Rubio, “Experimental comparison of substrate noise coupling using different wafer types,” *IEEE J. Solid-State Circuits*, vol. 34, pp. 1405-1409, Oct. 1999.
- [18] J. Catrysse, “Measured distortion of the output-waveform of an integrated OPAMP due to substrate noise,” *IEEE Trans. Electromagnetic Compatibility*, vol. 37, pp. 310 - 312, May 1995.

- [19] M. Nagata and A. Iwata, "Substrate noise simulation techniques for analog-digital mixed lsi design," *IEICE Trans. Fundamentals*, vol.E82-A, no. 2, pp. 271–277, Feb. 1999.
- [20] Nagata, M.; Nagai, J.; Morie, T.; and Iwata, A.; "Measurements and analyses of substrate noise waveform in mixed-signal IC environment," *IEEE Trans. Circuits Syst. I*, vol. 19, pp. 671-678, June 2000.
- [21] B. Zhai, D. Blaauw, D. Sylvester, and K. Flautner, "Theoretical and practical limits of dynamic voltage scaling," in Proc. 41st Design Automation Conf., pp. 868–873, Jun. 2004.
- [22] T. Kuroda, et al., "Variable supply-voltage scheme for low-power high-speed CMOS digital design," *IEEE J. Solid-State Circuits*, vol. 33, pp.454–462, Mar. 1998.
- [23] K. J. Nowka, et al., "A 32-bit powerPC system-on-a-chip with support for dynamic voltage scaling and dynamic frequency scaling," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1441–1447, Nov. 2002.
- [24] M. Nakai, et al., "Dynamic voltage and frequency management for a low power embedded microprocessor," *IEEE J. Solid-State Circuits*, vol. 40, pp. 28–35, Jan. 2005.
- [25] R. Gonzalez, B. Gordon, and M. Horowitz, "Supply and threshold voltage scaling for low power CMOS," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1210–1216, Aug. 1997.
- [26] D. A. Kirkpatrick, *The Implication of Deep Sub-micron Technology on the Design of High Performance Digital VLSI system*, PhD thesis, University of California at Berkeley, December 1997.
- [27] Lan, H. et al., "Synthesized Compact Models and Experimental Verifications for Substrate Noise Coupling in Mixed-Signal ICs" *IEEE J. Solid-State Circuits*, vol. 41, pp. 1817-1829, Aug. 2006.

- [28] Badaroglu, M. et al., “Evolution of substrate noise generation mechanisms with CMOS technology scaling” *IEEE Trans. Circuits Syst. I*, vol. 53, pp. 296 – 305, Feb. 2006.

