

國立交通大學

電信工程學系碩士班

碩士論文

CMOS 吉伯特混頻器之閃爍雜訊改進

與

60GHz 覆晶封裝反對稱二極體混頻器

Design of CMOS Gilbert Mixers with Flicker Noise
Improvement and 60GHz Flip-chip Diode Mixers

研究生：李宜珊

指導教授：孟慶宗

中華民國 九十七年 十月

CMOS 吉伯特混頻器之閃爍雜訊改進

與

60GHz 覆晶封裝反對稱二極體混頻器

Design of CMOS Gilbert Mixers with Flicker Noise
Improvement and 60GHz Flip-chip Diode Mixers

研究生: 李宜珊

Student: Yi-shan Li

指導教授: 孟慶宗 博士 Advisor: Dr. Chin-chun Meng

國立交通大學

電信工程學系碩士班



A Thesis

Submitted to Department of Communication Engineering

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

October 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十月

CMOS 吉伯特混頻器之閃爍雜訊改進 與 60GHz 覆晶封裝反對稱二極體混頻器

學生：李宜珊

指導教授：孟慶宗 博士

國立交通大學

電信工程學系碩士班

摘 要

本篇論文主要分為兩個主題，分別實現不同的射頻電路。第一，改進用在零中頻或低中頻架構下的 CMOS 主動式混頻器的閃爍雜訊。第二，在電路裡結合了傳輸線與共平面波導的方式來實現 60GHz 反對稱二極體混頻器並與覆晶封裝之後的結果做比較。

論文主要以 TSMC 0.18 μ m CMOS 製程，以及 TSMC 0.13 μ m CMOS 製程來研製主動式混頻器的閃爍雜訊改進架構，在高頻電路設計則是利用 WIN 0.15 μ m PHEMT 製程來實現。其中 TSMC 0.18 μ m CMOS 設計了使用除四除頻器具有閃爍雜訊改進之雙重降頻混頻器。而使用靜態電流注入與動態電流注入的主動式混頻器及使用除八除頻器具閃爍雜訊改進之雙重降頻混頻器與頻率規劃則是以 TSMC 0.13 μ m CMOS 製程實現。最後在 60GHz 高頻電路部份，60GHz 二極體 4 倍頻次諧波混頻器和結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器都以 WIN 0.15 μ m PHEMT 製程來實現。

Design of CMOS Gilbert Mixers with Flicker Noise Improvement and 60GHz Flip-chip Diode Mixers

Student : Yi-shan Li

Advisor : Chin-chun Meng

Department of Communication Engineering
National Chiao Tung University

Abstract

This thesis is divided into two parts. The first part is about flicker noise improvement for RF CMOS active mixers. Flicker noise in the mixer of a zero IF or low IF wireless receiver can compromise overall receiver sensitivity. Improving the flicker noise corner can increase the SNR. We choose a TSMC 0.18 μ m CMOS technology and TSMC 0.13 μ m CMOS technology to implement low flicker noise active mixer.

The other part demonstrates 60GHz 4x subharmonic diode mixers. The object of the design is to realize a technique of flip-chip. The advantages of this technique are the elimination of heat effects and the inductance effects due to bond wires. 60GHz CPW 4x subharmonic mixer and 60GHz CPW 4x subharmonic mixer and amplifier for up conversion are designed and implemented by using WIN 0.15 μ m PHEMT technology process .

誌謝

二年來的研究所生活受到了許多人的幫助與扶持，使得這本論文能順利的完成。首先感謝孟慶宗老師在課業與研究上的指導，讓我在研究過程中累積許多寶貴的經驗，兩年的指導令我成長了不少。此外，也很感謝特地抽空來參加學生口試的徐碩鴻教授、林育德教授與蕭碩源博士所給予的寶貴建議，使得本論文內容能更加完整充實。在晶片量測過程中，感謝 NDL 高頻量測實驗室全體同仁的協助。

研究生活中，感謝 Lab 918 的各位，讓我這兩年的生活充滿了快樂的回憶。首先感謝博士班的聖哲學長在研究與量測上的指導，不管大事或小事都不吝給予幫助；感謝珍儀學姐對我的照顧，讓我備感溫馨；也感謝宏儒學長與直升博班的同學金詳在研究上的指導和討論。同時也要感謝雅惠和宜蓁與我一起分享生活的點滴，在課業與生活上互相照應；特別要感謝同甘共苦的揚鮮在電腦上的幫助和科專計畫的討論。此外，也很感謝學弟妹們的幫忙與陪伴，為我帶來許多珍貴的回憶。

最後特別感謝我的父、母親在求學過程中，給予我最大的支持及關懷，我愛你們，在此僅把此論文的榮耀獻給我的家人以及身邊所有關懷我的朋友們。

目錄

摘要(中文).....	i
摘要(英文).....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xii
第一章 導論.....	1
1.1 研究動機.....	2
1.2 論文組織.....	3
第二章 60GHz 使用覆晶封裝技術之反對稱二極體混頻器.....	4
2.1 前言.....	5
2.2 基本反對稱二極體混頻器原理.....	6
2.2.1 反對稱二極體.....	6
2.2.2 反對稱二極體混頻器.....	8
2.3 基本放大器設計原理.....	10
2.3.1 穩定度.....	10
2.3.2 阻抗匹配.....	13
2.4 覆晶封裝技術介紹.....	14
2.5 實作一, 60GHz 二極體 4 倍頻次諧波混頻器.....	15
2.5.1 研究動機.....	15
2.5.2 電路設計.....	15
2.5.3 晶片量測結果.....	16
2.5.4 覆晶封裝後(flip chip)量測結果比較.....	22
2.5.5 結果與討論.....	27
2.6 實作二, 結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器.....	29
2.6.1 研究動機.....	29
2.6.2 電路設計.....	29
2.6.3 晶片量測結果.....	30
2.6.4 覆晶封裝後(flip chip)量測結果比較.....	34
2.6.5 結果與討論.....	37

第三章 射頻 CMOS 主動式混頻器之閃爍雜訊改進之研究	39
3.1 前言	40
3.2 射頻 CMOS 主動式混頻器之雜訊分析	41
3.2.1 閃爍雜訊之分析	42
3.2.2 白雜訊之分析	51
3.3 閃爍雜訊對直接降頻混頻器的影響與改進方法	56
3.3.1 閃爍雜訊與 zero IF 架構	56
3.3.2 利用電流注入架構改進閃爍雜訊	57
3.3.3 利用電感共振改進閃爍雜訊	59
3.3.4 利用雙次降頻架構改進閃爍雜訊	60
3.3.5 利用雙次降頻架構與頻率規劃改進閃爍雜訊	61
3.4 實作一，靜態電流注入與動態電流注入	65
3.4.1 研究動機	65
3.4.2 電路設計	65
3.4.3 晶片量測結果	67
3.4.4 結果與討論	72
3.5 實作二，使用除四除頻器具有閃爍雜訊改進之雙重降頻混頻器	74
3.5.1 研究動機	74
3.5.2 電路設計	74
3.5.3 晶片量測結果	78
3.5.4 結果與討論	84
3.6 實作三，使用除八除頻器具有閃爍雜訊改進之雙重降頻混頻器與頻率規 劃	85
3.6.1 研究動機	85
3.6.2 電路設計	85
3.6.3 晶片量測結果	88
3.6.4 結果與討論	90
3.7 實作四，加入動態式電流注入與電感降低顫動雜訊之吉伯特混頻器	92
3.7.1 研究動機	92
3.7.2 電路設計	92
3.7.3 晶片量測結果	94
3.7.4 結果與討論	97
3.8 實作五，使用 BJT 緩衝器具有閃爍雜訊改進之雙重降頻混頻器	98
3.8.1 研究動機	98
3.8.2 電路設計	98
3.8.3 晶片量測結果	99
3.8.4 結果與討論	103

3.9 不同增益的低雜訊放大器抑制系統雜訊的能力.....	105
3.9.1 研究動機.....	105
3.9.2 LNA 的設計探討.....	106
第四章 結論.....	108
參考文獻.....	111



圖目錄

圖 2.1	微波在大氣中衰減的情形	5
圖 2.2	單端式混頻器	8
圖 2.3	(a)單一二極體(b)反對稱二極體對	8
圖 2.4	4倍 LO 頻率的次諧波混頻器	10
圖 2.5	電晶體匹配關係	11
圖 2.6	無條件穩定	12
圖 2.7	四種外加電阻提高穩定度方式	13
圖 2.8	(a)打線技術與(b)覆晶技術示意圖	14
圖 2.9	4次諧波反對稱二極體混頻器	16
圖 2.10	轉換增益 VS. LO Power	16
圖 2.11	轉換增益 VS. RF Power (P1dB)	17
圖 2.12	RF 頻寬	17
圖 2.13	IF 頻寬	18
圖 2.14	LO to IF 與 2LO to IF 的 Isolation	18
圖 2.15	轉換增益 VS. LO Power	19
圖 2.16	轉換增益 VS. IF Power (P1dB)	19
圖 2.17	RF 頻寬	20
圖 2.18	IF 頻寬	20
圖 2.19	4LO to RF 的 Isolation	21
圖 2.20	Die Photo (1.5 mm X 1 mm)	21
圖 2.21	轉換增益 VS. LO Power	22
圖 2.22	轉換增益 VS. RF Power(P1dB)	22

圖 2.23	RF 頻寬.....	23
圖 2.24	IF 頻寬.....	23
圖 2.25	LO to IF 與 2LO to IF 的 Isolation.....	24
圖 2.26	轉換增益 VS. LO Power.....	24
圖 2.27	轉換增益 VS. IF Power (P1dB).....	25
圖 2.28	RF 頻寬.....	25
圖 2.29	IF 頻寬.....	26
圖 2.30	4LO to RF 的 Isolation.....	26
圖 2.31	flip-chip 後 4 次諧波反對稱二極體混頻器.....	27
圖 2.32	結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器.....	30
圖 2.33	轉換增益 VS. LO Power.....	30
圖 2.34	轉換增益 VS. IF Power (IP1dB).....	31
圖 2.35	RF Power VS. IF Power (OP1dB).....	31
圖 2.36	RF 頻寬.....	32
圖 2.37	IF 頻寬.....	32
圖 2.38	4LO to RF 的 Isolation.....	33
圖 2.39	Die Photo (2mm X 1mm).....	33
圖 2.40	轉換增益 VS. LO Power.....	34
圖 2.41	轉換增益 VS. IF Power (IP1dB).....	34
圖 2.42	RF Power VS. IF Power (OP1dB).....	35
圖 2.43	RF 頻寬.....	35
圖 2.44	IF 頻寬.....	36
圖 2.45	4LO to RF 的 Isolation.....	36
圖 2.46	flip chip 後結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器.....	37
圖 3.1	CMOS 電晶體閃爍雜訊與熱雜訊對頻率的關係.....	40
圖 3.2	單平衡式的混頻器.....	42
圖 3.3	閃爍雜訊造成 zero-crossing 誤差.....	44

圖 3.4	因 zero-crossing 誤差在輸出端造成雜訊脈衝.....	45
圖 3.5	當 LO 開關級完全切換時半週期下的等效電路.....	46
圖 3.6	(a)開關電晶體 source 端的電壓變化(b)流經 source 端寄生電容的電流變化(c)輸出端的雜訊電流.....	47
圖 3.7	當 LO 輸入訊號為弦波半週期下的等效電路.....	48
圖 3.8	LO 弦波訊號對輸出端貢獻雜訊電流.....	49
圖 3.9	LO 附近的雜訊會被降到 IF.....	52
圖 3.10	hard switch 時不會貢獻雜訊.....	52
圖 3.11	(a) soft switch 時的 $I-V$ 圖(b)開關級的等效轉導與電壓的關係(c)開關級的等效轉導與時域的關係.....	53
圖 3.12	(a)熱雜訊在輸出端的雜訊脈衝(b)取樣函數與雜訊脈衝的關係.....	54
圖 3.13	使用靜態電流注入架構的混頻器.....	57
圖 3.14	使用動態電流注入架構的混頻器.....	58
圖 3.15	使用電感共振架構的混頻器.....	59
圖 3.16	(a)一次降頻至零中頻(b)兩次降頻至零中頻.....	60
圖 3.17	(a)LO 為弦波與 V_n 的關係(b) LO 為方波與 V_n 的關係.....	61
圖 3.18	除數 n 與 spurious 的關係圖.....	64
圖 3.19	$f_{LO1} = 8f_{LO2}$ 時降至 IF 的 spurious.....	64
圖 3.20	Gilbert mixer with static current injection.....	66
圖 3.21	Gilbert mixer with dynamic current injection.....	67
圖 3.22	Static 與不同的注入電流.....	68
圖 3.23	Dynamic 與不同的注入電流.....	68
圖 3.24	Static 與不同的 LO 頻率.....	69
圖 3.25	Dynamic 與不同的 LO 頻率.....	69
圖 3.26	Static 與 Dynamic 的比較.....	70
圖 3.27	Static 的 conversion gain.....	70

圖 3.28	Dynamic 的 conversion gain.....	71
圖 3.29	Static die photo (0.82mm x 0.90mm).....	71
圖 3.30	Dynamic die photo (0.89 mmx 0.85 mm)	72
圖 3.31	第一級與第二級混頻器.....	75
圖 3.32	單一 D-latch 的電路圖.....	76
圖 3.33	實際使用的 D-latch 電路圖.....	77
圖 3.34	除 4 除頻器的電路架構.....	77
圖 3.35	整體電路架構.....	78
圖 3.36	LOpower=-2dBm 時不同的注入電流(LO=1.5GHz).....	78
圖 3.37	LOpower= 0dBm 時不同的注入電流(LO=1.5GHz).....	79
圖 3.38	LOpower= 2dBm 時不同的注入電流(LO=1.5GHz).....	79
圖 3.39	LOpower=-2dBm 時不同的注入電流(LO=1GHz).....	80
圖 3.40	LOpower= 0dBm 時不同的注入電流(LO=1GHz).....	80
圖 3.41	LOpower= 2dBm 時不同的注入電流(LO=1GHz).....	81
圖 3.42	使用除四除頻器之雙重降頻混頻器與不同 LO 頻率.....	81
圖 3.43	使用除四除頻器之雙重降頻混頻器與不同 LOpower.....	82
圖 3.44	轉換增益.....	82
圖 3.45	轉換增益 VS. RF power(P1dB).....	83
圖 3.46	使用除四除頻器之雙重降頻混頻器 die photo (1.2 x 0.9 mm ²).....	83
圖 3.47	第一級與第二級混頻器.....	86
圖 3.48	除 8 除頻器的電路架構.....	87
圖 3.49	整體電路架構.....	87
圖 3.50	使用除八除頻器之雙重降頻混頻器與不同的注入電流.....	88
圖 3.51	使用除八除頻器之雙重降頻混頻器與不同的 LO power.....	88
圖 3.52	轉換增益.....	89

圖 3.53	轉換增益 VS. RF power(P1dB).....	89
圖 3.54	使用除八除頻器之雙重降頻混頻器 die photo (1.1 x 1.2 mm2).....	90
圖 3.55	加入動態式電流注入與電感的混頻器整體架構.....	93
圖 3.56	加入動態式電流注入與電感的混頻器與不同的注入電流.....	94
圖 3.57	加入動態式電流注入與電感的混頻器與不同的 LOpower.....	94
圖 3.58	加入動態式電流注入與電感的混頻器與不同 LO 頻率.....	95
圖 3.59	轉換增益.....	95
圖 3.60	轉換增益 VS. RF power(P1dB).....	96
圖 3.61	加入動態式電流注入與電感的吉伯特混頻器 die photo (0.8 x 0.85 mm2)	96
圖 3.62	整體電路架構.....	99
圖 3.63	使用 BJT 緩衝器之雙重降頻混頻器與不同的注入電流.....	100
圖 3.64	使用 BJT 緩衝器之雙重降頻混頻器與不同 LO2power.....	100
圖 3.65	使用 BJT 緩衝器之雙重降頻混頻器與不同 LO1power.....	101
圖 3.66	轉換增益VS. LO1 power.....	101
圖 3.67	轉換增益VS. LO2 power.....	102
圖 3.68	轉換增益 VS. RF power(P1dB).....	102
圖 3.69	使用 BJT 緩衝器之雙重降頻混頻器 die photo (1.1X 0.8 mm2)	103
圖 3.70	LNA 加上使用除八除頻器之雙重降頻混頻器的雜訊表現.....	105
圖 3.71	不同增益的 LNA 抑制雜訊的能力.....	106
圖 3.72	增益20dB的LNA對NF=15dB的mixer改進1/f corner.....	107

表目錄

表 2.1 60GHz 4X Subharmonic Diode Mixer for Flip-chip Mounting 量測結果.....	28
表 2.2 60GHz 4X Subharmonic Diode Mixer and Amplifier for Up Conversion for Flip-chip Mounting 量測結果.....	38
表 3.1 Abidi[2]和 Meyer[3]的輸出端白雜訊比較.....	55
表 3.2 $\pm z \pm x$ 矩陣	63
表 3.3 $\pm y \pm x$ 矩陣.....	63
表 3.4 Gilbert Mixers with Static and Dynamic Current Injection 量測結果比較.....	73
表 3.5 Dual Conversion Mixer with Divide-by-4 Prescaler 模擬與量測結果.....	84
表 3.6 Dual Conversion Mixer with Divide-by-8 Prescaler and Frequency Planning 模擬與量測結果.....	91
表 3.7 Gilbert Mixer with Dynamic Current Injection and Inductor 模擬與量測結果.....	97
表 3.8 Dual Conversion Mixer and BJT Buffer with Flicker Noise Improvement 模擬與量測結果.....	104

第一章

導論



1.1 研究動機

一般超外差接收機雖然佔有設計及功能上的優勢，但是由於製作上所需的模組必須仰賴外接元件以達到規格的要求，無法將系統進一步整合，因此整合度高的直接轉換式架構與低中頻接收器成為現在熱門的接收機架構。

所謂的直接轉換式架構就是在接收模式下所收到的射頻訊號先經過低雜訊放大器增強訊號強度後，直接由本地振盪訊號降至基頻訊號頻率。由於本地振盪訊號頻率與射頻訊號相同，沒有鏡像訊號的問題，不須在混頻器前再外一個鏡像抑制濾波器。此外，訊號過一次降頻後，直接產生直流附近的基頻訊號，而頻道選擇及增益調整的功能則是藉由晶片中的低頻濾波器及可變增益放大器於基頻下進行。而低中頻接收器就是將射頻訊號直接降頻至幾百KHz附近，其架構和直接轉換接收機大致相同，並不需IF級與外接濾波器，適合高度整合成系統單晶片，而且沒有直流偏移的問題。不過，在鏡像頻率問題跟超外差接收器一樣，不過解決方式不同，因為沒有鏡像抑制濾波器存在，所以利用正交相位的架構去消除鏡像頻率。最後，低中頻接收機設計上則需考慮到image-rejection ratio的問題，因為電路設計時所造成的增益與相位的不匹配，均會使得特性無法達到預期的結果。

雖然直接轉換架構與低中頻架構有許多好處，但是因為其IF訊號出現在很低頻的地方，所以閃爍雜訊的問題就顯得非常重要，對於使用在零中頻或低中頻架構中的混頻器來說，在混頻器輸出端所出現的低頻雜訊，會對降至基頻的IF訊號產生干擾，使直接降頻至基頻的訊號雜訊比降低，進而影響到整個接收機的靈敏度(Sensitivity)。本論文主要在研究主動式混頻器的低頻閃爍雜訊來源與改進方法。

為了滿足大的資料傳輸率的無線通信需求，57-64GHz是最近很熱門的頻段，而且在60GHz這個頻段，大氣中的氧氣吸收率達極大值(10~15dB/km)，可以減少通道間的相互干擾，有利於短距離通信。操作在60GHz這樣高的頻率，其對應的波長 λ 相對的小，使得在做電路設計時，不論是天線的長度設計或是電路內部的走線，也相對的變小。因此本論文選擇用微波理論來設計60GHz二極體4倍頻次諧波混頻器

1.2 論文組織

本篇論文將利用 TSMC 0.18um、TSMC 0.13um、WIN 0.15 μ m PHEMT 製程技術來設計晶片。本論文分為四個章節，第一章為導論；第二章為60GHz 使用覆晶封裝技術之反對稱二極體混頻器，由於操作頻率夠高，所以在實作中都是利用傳輸線觀念來做設計；第三章為射頻 CMOS 主動式混頻器之閃爍雜訊改進之研究，探討 CMOS 主動式混頻器的雜訊成因，並針對低頻閃爍雜訊做改進；第四章則對上述的所有電路設計與實作結果做個結論。

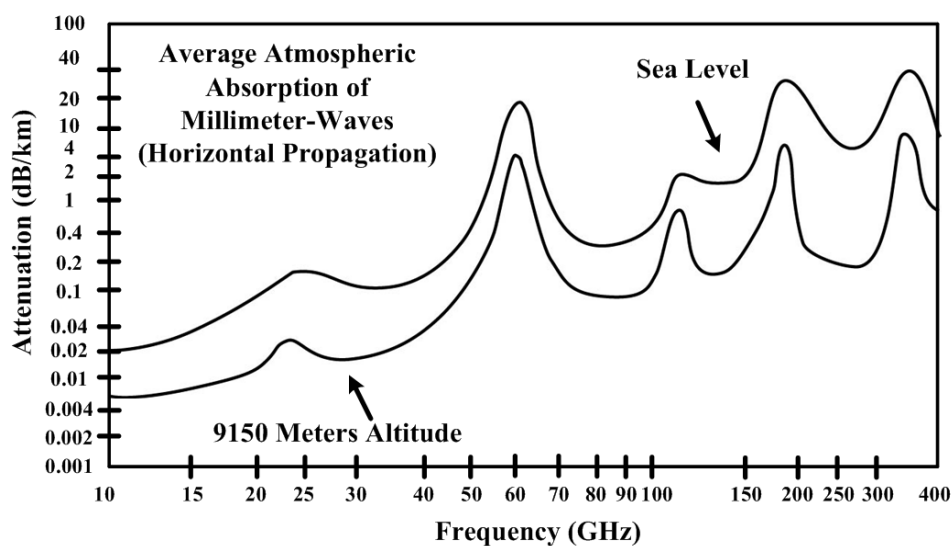
第二章

60GHz 使用覆晶封裝技術 之反對稱二極體混頻器



2.1 前言

為了滿足大的資料傳輸率的無線通信需求，一個非常大的頻寬是必要的，由美國聯邦通信委員會(FCC)所定義的一個乾淨、無執照的頻段：57-64GHz 將是滿足這個需求最好的選擇，此規範所定義的資料傳輸率至少有1Gbps，甚至超過2Gbps，而且在60GHz 這個頻段，大氣中的氧氣吸收率達極大值(10~15dB/km)，見圖(2.1)，這可以減少通道間的相互干擾，有利於短距離通信。操作在60GHz 這樣高的頻率，其對應的波長 λ 相對的小，使得在做電路設計時，不論是天線的長度設計或是電路內部的走線，也相對的變小。[1]-[3]



圖(2.1) 微波在大氣中衰減的情形

本章所製作的毫米波積體電路晶片(MMIC)是用穩懋公司所提供的通道長度 $0.15 \mu\text{m}$ pHEMT 技術，pHEMT 的截止頻率(f_t)為 $88 \pm 2.2\text{GHz}$ ，最大震盪頻率(f_{max})為 $183 \pm 11.2\text{GHz}$ ，薄膜電阻(TaN resistor)為 $50 \pm 1\Omega/\square$ ，金屬-絕緣層-金屬電容(MIM capacitor)其單位電

容皆為 $400 \pm 40 \text{ pF/mm}^2$ 。本章的實作以應用在 60GHz 的二極體混頻器 (diode mixer) 為主，其優點比起電阻式混頻器 (resistive mixer) 和吉爾伯特混頻器為可以不需要直流功率消耗，儘管二極體混頻器的轉換增益低，但這中間的差距我們可以靠妥善的設計放大器電路來補足增益的不足。

2.2 基本反對稱二極體混頻器原理

2.2.1 反對稱二極體

一般我們使用二極體 (diode) 來做混頻器時，可接成像圖 (2.2) 中的形式稱單端式混頻器，這樣利用單個二極體來做混頻的動作，主要優點為線路簡單、LO 的功率需求低、價格也很便宜，但若 RF、LO 及 IF 均無 overlapping 的話則較窄頻，overlapping 的解釋為，IF 的頻率可高於 RF 頻率的混頻器，否則稱之 non-overlapping，而且此電路線性度不佳，具低的 P1dB 和 IIP 點，還有它的 spurious 信號完全沒有辦法被壓縮。

因此，若再加入一個二極體，將其方向與原來的相反對接，如圖 (2.3)(b)，這樣的接法稱反對稱二級體對 (anti parallel diode pair)，比起圖 (2.3)(a) 中的單個二級體，反對稱二級體對在每個 LO 週期裡可被導通兩次，所以常被拿來製作次諧波混頻器 (sub-harmonic mixer)，我們可以藉由一些簡單的式子對應圖 (2.3)(b) 來更加了解反對稱二級體對的特性 [4]：

$$\begin{aligned} i_1 &= -i_s(e^{-\alpha V} - 1) & g &= g_1 + g_2 = \alpha i_s(e^{\alpha V} + e^{-\alpha V}) \\ i_2 &= i_s(e^{\alpha V} - 1) & &= 2\alpha i_s \cosh \alpha V \\ V &= V_{LO} \cos \omega_{LO} t + V_{RF} \cos \omega_{RF} t \end{aligned}$$

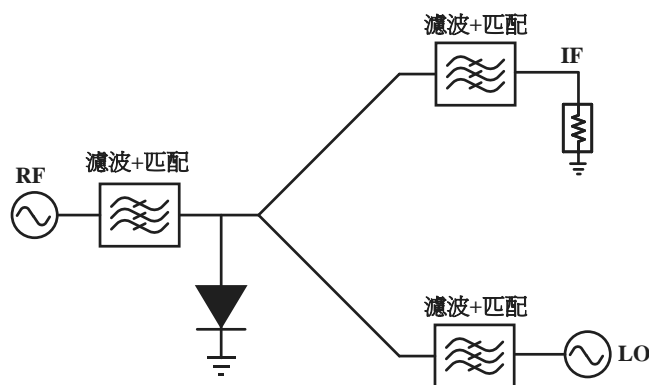
$$\begin{aligned}
i &= g \cdot V = A \cos \omega_{LO} t + B \cos \omega_{RF} t + C \cos 3\omega_{LO} t + D \cos 5\omega_{LO} t \\
&\quad + E \cos(2\omega_{LO} + \omega_{RF}) t + F \cos(2\omega_{LO} - \omega_{RF}) t \\
&\quad + G \cos(4\omega_{LO} + \omega_{RF}) t + H \cos(4\omega_{LO} - \omega_{RF}) t + \dots \\
&mf_{LO} \pm nf_{RF} \quad \text{where } m+n \text{ is an odd integer}
\end{aligned}$$

另外，

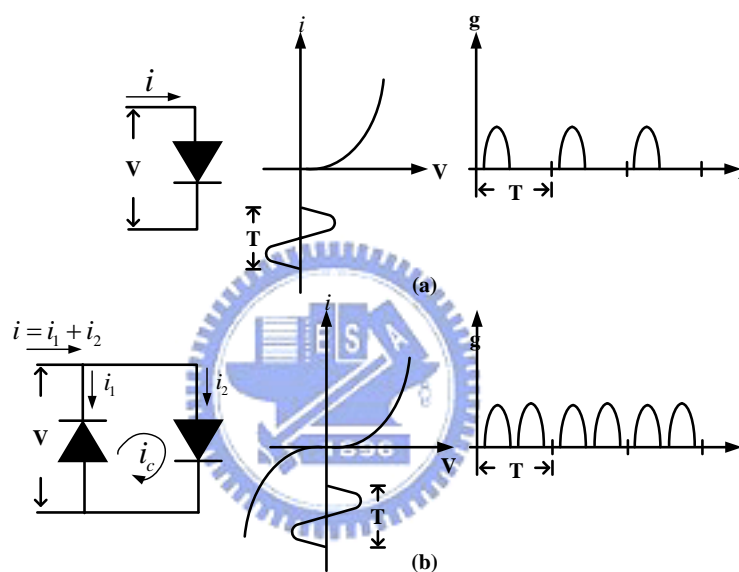
$$\begin{aligned}
i_c &= \frac{(i_1 - i_2)}{2} = i_s (\cosh \alpha V - 1) & V &= V_{LO} \cos \omega_{LO} t + V_{RF} \cos \omega_{RF} t \\
i_c &\approx i_s \left[1 + \frac{(V_{LO} \cos \omega_{LO} t + V_{RF} \cos \omega_{RF} t)^2}{2!} + \dots - 1 \right] \\
&\approx \frac{i_s}{2} [V_{LO}^2 \cos^2 \omega_{LO} t + V_{RF}^2 \cos^2 \omega_{RF} t + 2V_{LO} V_{RF} \cdot \cos \omega_{LO} t \cos \omega_{RF} t + \dots] \\
&\approx \frac{i_s}{2} \left\{ \frac{V_{LO}^2 + V_{RF}^2}{2} + \frac{V_{LO}^2}{2} \cos 2\omega_{LO} t + \frac{V_{RF}^2}{2} \cos 2\omega_{RF} t \right. \\
&\quad \left. + V_{LO} V_{RF} [\cos(\omega_{LO} - \omega_{RF}) t + \cos(\omega_{LO} + \omega_{RF}) t] + \dots \right\} \\
&mf_{LO} \pm nf_{RF} \quad \text{where } m+n \text{ is an even integer}
\end{aligned}$$



在可被抽出來的 i 電流中只包含 ω_{LO} 的偶次諧波項與 ω_{RF} 做混頻，也就是我們要的 IF 訊號，這裡也可以很明顯的被看出來為什麼反對稱二極體對適合做次諧波混頻器，而 ω_{LO} 的奇次諧波項則可被限制在反對稱二極體對裡，為 i_c ，因此達到 spurious 信號壓縮的功效。次諧波混頻器主要的好處是可以利用較低的 LO 頻率去混頻，這樣對於 VCO 要產生其 LO 的輸出能量與相位雜訊表現將優於產生 fundamental mixer 用的 LO 頻率，尤其在高達 60GHz 頻率。



圖(2.2) 單端式混頻器



圖(2.3) (a)單一二極體

(b)反對稱二極體對

2.2.2 反對稱二極體混頻器

從2.2.1中我們了解了反對稱二極體對的優勢與運作方式，接下來在2.2.2裡就來討論要如何應用反對稱二極體對來做次諧波混頻器，這種的混頻器屬被動的型式，可以不需要直流功率消率，但缺點就是轉換增益低。

當我們在設計反對稱二極體次諧波混頻器時，常用 $\frac{\lambda}{2}$ 和 $\frac{\lambda}{4}$ 的傳輸線段， λ 是波長的意思，這些類型的傳輸線段分別具有不同的功能來幫助我們傳導需要的訊號及阻擋不需要的訊號到地，假設一無耗損的傳輸線長度為 l ，在傳輸線的輸入端往裡看的阻抗為：

$$Z_{in} = R_0 \frac{Z_L + jR_0 \tan \beta l}{R_0 + jZ_L \tan \beta l}$$

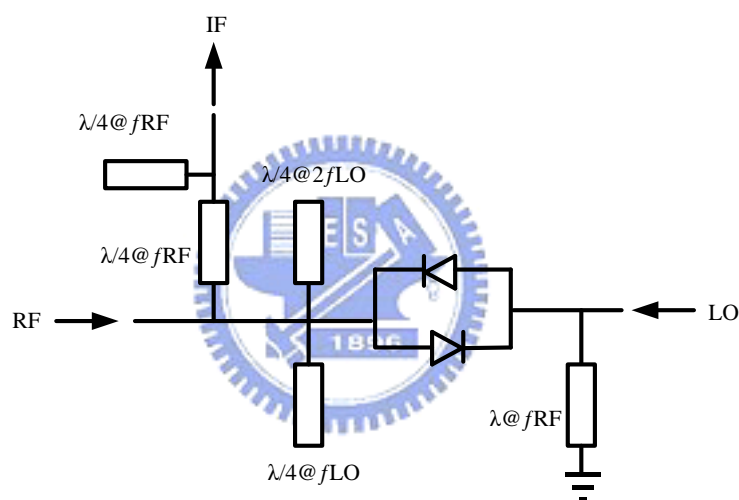
R_0 為此無耗損傳輸線的特性阻抗， Z_L 為負載阻抗， β 是相位常數，

當 $l = \frac{\lambda}{2}$ 時， $\beta l = \pi$ ，所以 $Z_{in} = Z_L$ ，要是 $l = \frac{\lambda}{4}$ 時， $\beta l = \frac{\pi}{2}$ ， $Z_{in} = \frac{R_0^2}{Z_L}$ ，

若負載為開路，那麼 $Z_{in} = 0$ 視同短路，反之負載為短路， $Z_{in} = \infty$ 視開路。[\[5\]](#)

以一個 4 倍 LO 頻率的次諧波混頻器為例，見圖 (2.4)，設 $f_{RF} = 60\text{GHz}$ 及 $f_{LO} = 14.4\text{GHz}$ ，可得 $f_{IF} = 2.4\text{GHz}$ ，因此 $f_{RF} \approx 4f_{LO}$ ，當 LO 訊號從右端打入時，見到一接地的傳輸線，實際長度為一波長 λ 在 f_{RF} 時，對 LO 訊號來說在 f_{LO} 時，此線段等同是 $\frac{\lambda}{4}$ ，因為波長與頻率呈反比關係，因此 LO 訊號看到是一開路路徑，但對 RF 訊號則看到是一短路路徑，RF 訊號會被導向地而不會漏到 LO 輸入端，可增加兩訊號間 Isolation 的能力。反對稱二極體對左邊的兩傳輸線段， $\frac{\lambda}{4} @ 2f_{LO}$ 與 $\frac{\lambda}{4} @ f_{LO}$ 也同樣是扮演這樣的角色，此兩線段會將 LO 及 2 倍頻的 LO 訊號導向地而不會漏到 RF 輸入端，對於 RF 訊號來說，等同於在 f_{RF} 看到一段 λ 和 $\frac{\lambda}{2}$ 的開路線段，因此不會對 RF 訊號造成影響，可以順利進入反對稱二極體對與 LO 訊號做混頻的動作。

最後做 IF 訊號的取出，設計兩傳輸線 $\frac{\lambda}{4} @ f_{RF}$ 串聯加在電路中，IF 訊號從中間取出，這個取出的節點對 RF 訊號看來是開路，且 LO 訊號又已被另外的線段短路到地，所以只有 IF 訊號能在這裡出現，這兩傳輸線 $\frac{\lambda}{4} @ f_{RF}$ 的作用等於是一個低通濾波器，IF 訊號之所以不從反對稱二極體對的右邊取出，主要是因為 IF 訊號的頻率跟 LO 訊號的頻率比 RF 訊號的頻率近，因此兩訊號間互相干擾的機會大，而且 LO 訊號的能量通常遠大於 RF 訊號的能量，會有 LO 與 IF 間的 Isolation 問題。[6]-[9]



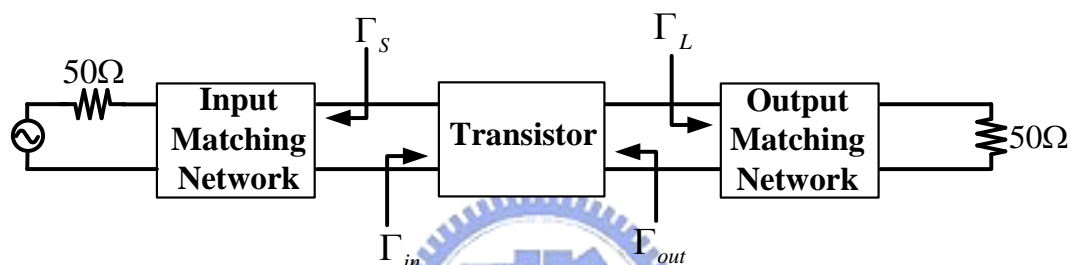
圖(2.4) 4倍 LO 頻率的次諧波混頻器

2.3 基本放大器設計原理

一般在做放大器的設計時有幾個重要考量，其中最重要的是穩定度和阻抗匹配的問題，穩定度是希望此放大器不要發生振盪問題，而阻抗匹配則是希望能將最大的輸入功率傳送到負載端，底下則針對這兩部分進行討論[10][11]。

2.3.1 穩定度

當我們在設計放大器的電路時，電路選擇一顆電晶體做匹配，有可能匹配完成後 S_{11} 以及 S_{22} 大於一，使放大器有機會發生震盪。所以我們希望希望電路處於無條件穩定狀態，無論 Γ_S 或 Γ_L 匹配到史密斯圖上任何一個位置都不會發生震盪問題，圖(2.5)可以幫助我們了解這個概念。



圖(2.5) 電晶體匹配關係

電晶體 (transistor) 的輸入反射係數與輸出反射係數為

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L} \right| \quad \text{及} \quad |\Gamma_{out}| = \left| S_{22} + \frac{S_{12} S_{21} \Gamma_S}{1 - S_{11} \Gamma_S} \right|$$

我們不希望 $|\Gamma_{in}| > 1$ 和

$|\Gamma_{out}| > 1$ ，這樣會造成放大器電路震盪不穩定，以 Γ_{out} 來做講解的話，

我們會在複數 Γ 平面上找出 $|\Gamma_{out}| = 1$ 的軌跡，這個軌跡恰好是一個

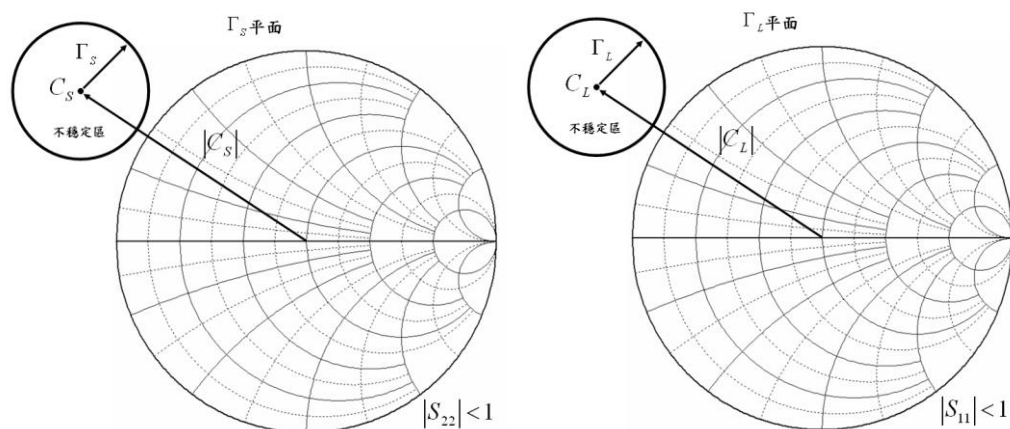
圓，又 Γ_{out} 是 Γ_S 的函數，所以這個圓是畫在 Γ_S 的平面上，所以又稱

為輸入端穩定圓，同理來看， Γ_{in} 是 Γ_L 的函數，其 $|\Gamma_{in}| = 1$ 軌跡圓畫在 Γ_L

的平面上，為輸出端穩定圓。只要 $|\Gamma_{out}| = 1$ 的圓落在 Γ_S 複數平面以外，

同樣的，在 Γ_L 複數平面上畫出 $|\Gamma_{in}| = 1$ 的圓，只要 $|\Gamma_{in}| = 1$ 的圓落在 Γ_L 複

數平面以外，且 $|S_{11}|$ 和 $|S_{22}|$ 均小於1，則不管輸入匹配網路、輸出匹配網路落在史密斯圖在哪個位置，電路都不會發生震盪，這種情況稱放大器處於無條件穩定，見圖(2.6)。



圖(2.6) 無條件穩定

除了繪出穩定圓外，判別電路穩定度有幾個完整的式子可以做判斷，這裡列出兩個判別式。

當：

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad , \quad |\Delta| < 1$$

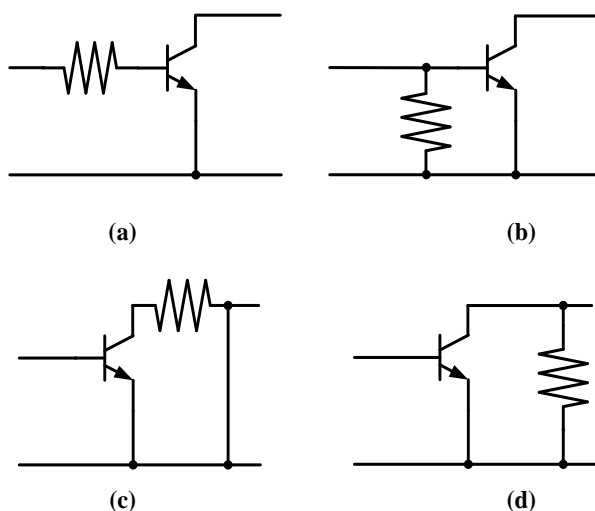
其中 $\Delta = S_{11}S_{22} - S_{12}S_{21}$ ，電路處於穩定狀態。

或者：

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^*\Delta| + |S_{21}S_{12}|} > 1$$

即是說當 $\mu > 1$ ，則電路為無條件穩定，其 μ 值愈大，穩定性愈高。

當電路無法確保不會震盪時，一般作法如圖(2.7)所示，四個方式利用外加電阻，提高穩定度，



圖(2.7) 四種外加電阻提高穩定度方式

圖(2.7)(a)為串聯一個小電阻、圖(2.7)(b)為並聯一個大電阻，這兩種方式比較使用在一般的驅動放大器或者功率放大器，因為若電阻放在輸出端會降低輸出的功率。而圖(2.7)(c)為串聯一個小電阻、圖(2.7)(d)為並聯一個大電阻，這兩種方式則是比較適合在設計低雜訊放大器(LNA)時，因為若將電阻放在輸入端則會增加整體電路的雜訊。

2.3.2 阻抗匹配

設計 60GHz 驅動放大器時，一定以輸出端以及輸入端能達到共軛匹配，達到最大的 transducer power gain 為匹配目標

($G_A = G_P = G_T$)，而此條件只發生在 $K > 1$ ， $G_T = \frac{|S_{21}|}{|S_{12}|} (K - \sqrt{K^2 - 1})$ 解

才存在。

$$G_T = \frac{P_L}{P_{AVS}} = \frac{\text{power delivered to the load}}{\text{power available from the source}}$$

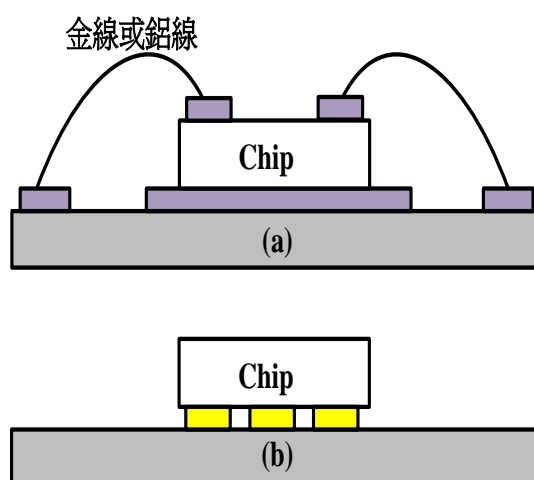
$$= \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-\Gamma_{out}\Gamma_L|^2} \quad \text{or} \quad \frac{1-|\Gamma_S|^2}{|1-\Gamma_{in}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2}$$

$$G_P = \frac{P_L}{P_{in}} = \frac{\text{power delivered to the load}}{\text{power input to the network}} = \frac{1}{1-|\Gamma_{in}|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2}$$

$$G_A = \frac{P_{AVN}}{P_{AVS}} = \frac{\text{power available from the network}}{\text{power available from the source}} = \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1}{1-|\Gamma_{out}|^2}$$

2.4 覆晶封裝技術介紹

傳統的 bonding wire 對一般低頻電路的影響不大，因為對低的頻率來說其波長很長，所以 bonding wire 的長度影響不大，但是在頻率高達 60GHz 的時候，bonding wire 已經超過 $\lambda/4$ 的傳輸線長，因此會大大影響電路匹配特性，所以在實作中利用低成本的氧化鋁陶瓷基板進行覆晶封裝 (flip-chip) 方式，使電路在高頻下仍然不會因為 bonding wire 影響其電路特性，見圖(2.8)。



圖(2.8) (a)打線技術與(b)覆晶技術示意圖


2.5 實作一，60GHz 二極體 4 倍頻次諧波混頻器

2.5.1 研究動機

近年來，毫米波設備與電路應用於 60GHz 無線個人網路以及高速的數據通訊系統一直被持續地在研究著。在這些系統中，成本和消耗功率的縮減一直是研究的重點。就混頻器的研究而言，不但 IF 頻寬愈來愈寬，而且整個轉換損耗也在一個合理的範圍，但是它們所採取的傳輸線架構在高頻不利於覆晶封裝，所以在本次的專題中，我們設計了一個反對稱二極體次諧波混頻器，應用於毫米波頻段，操作頻率在 60GHz。

2.5.2 電路設計

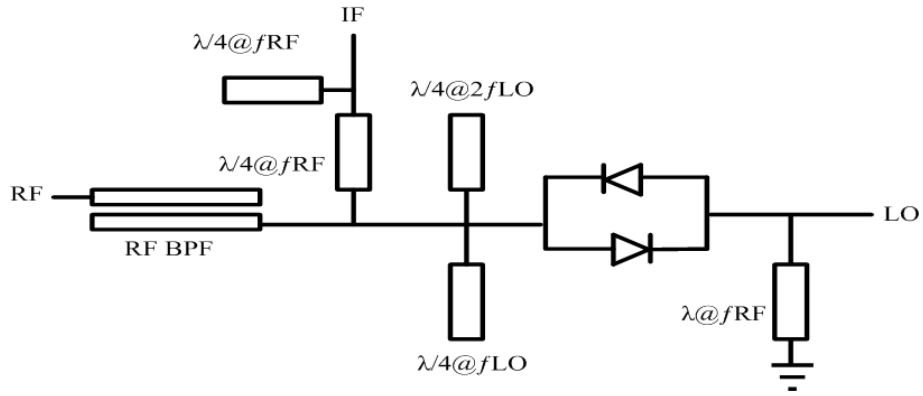
(1) 電路架構



這次的設計為操作在 60GHz 的 4 次諧波反對稱二極體混頻器應用在覆晶技術，整個混頻器包含了一組反對稱的二極體對、開路線段和短路線段，配合四分之一波長的特性，使 LO 訊號在到達反對稱二極體對前經過路徑上所看到的線段對 LO 皆為開路，而經過反對稱二極體之後，會被一段開路線段短路到地，而對 RF 訊號也是這樣的作法，讓 LO 和 RF 的能量饋入反對稱二極體之中做混頻的動作。其中 RF 訊號經過一四分之一波長濾波器，且用共平面波導以利於覆晶封裝，

在此次設計中，RF 為 60GHz，而 IF 為 2.4GHz，LO 則選用 14.4GHz 來滿足 4 次諧波的要求。

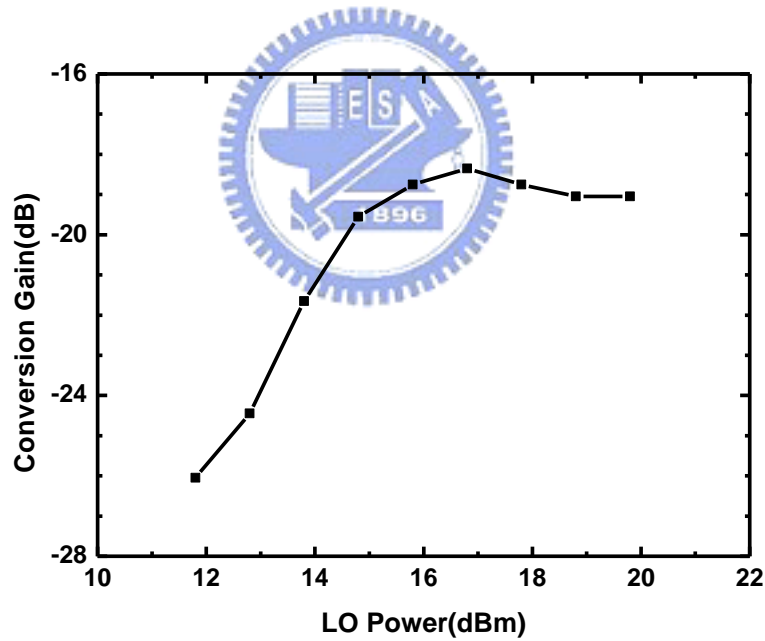
(2) 整體電路架構



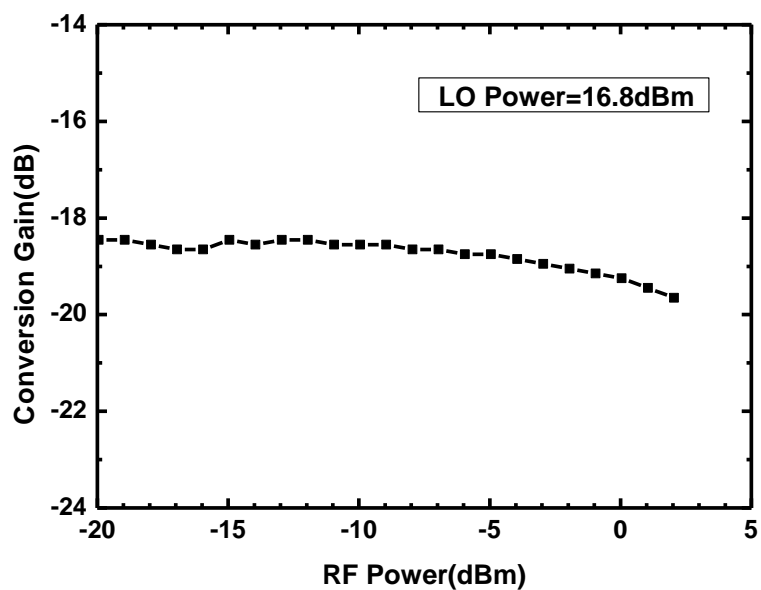
圖(2.9) 4次諧波反對稱二極體混頻器

2.5.3 晶片量測結果

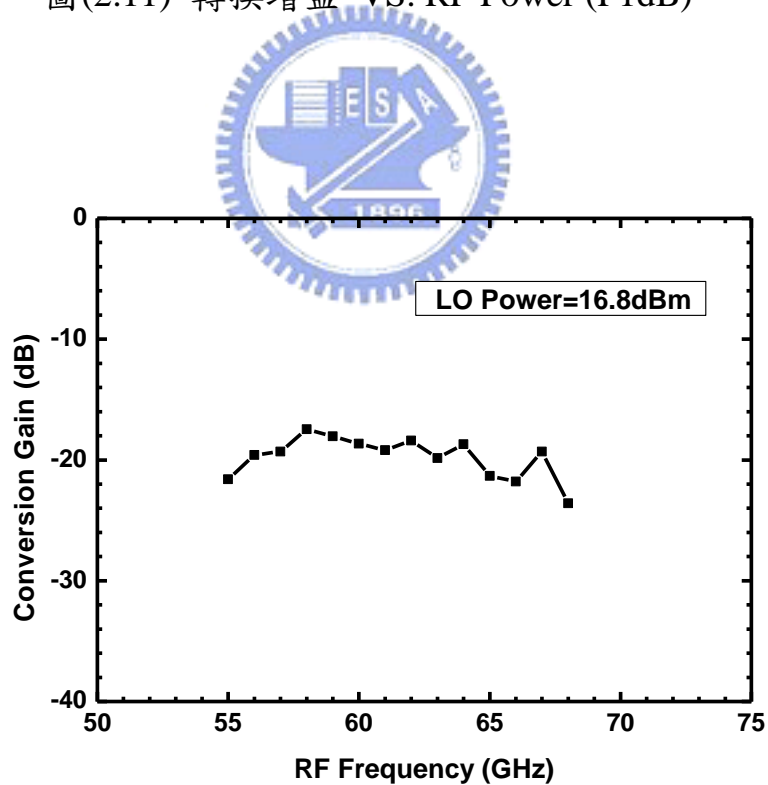
(1) 降頻轉換



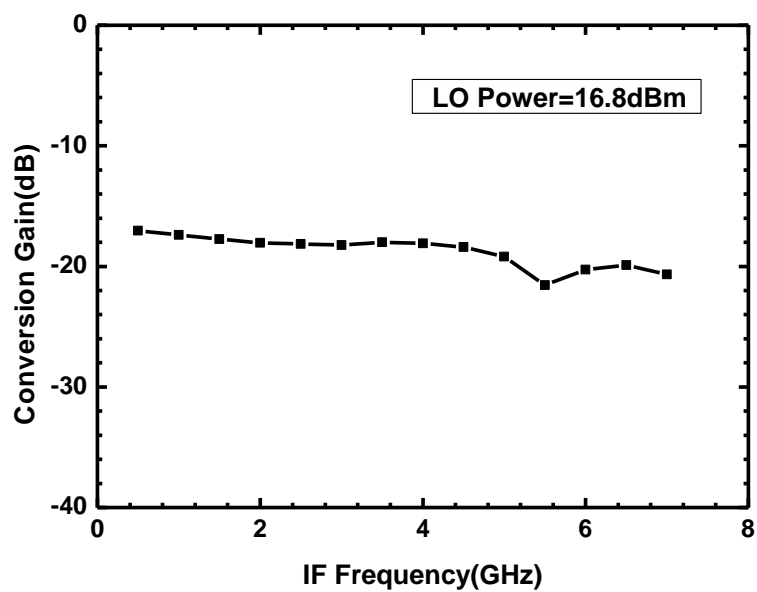
圖(2.10) 轉換增益 VS. LO Power



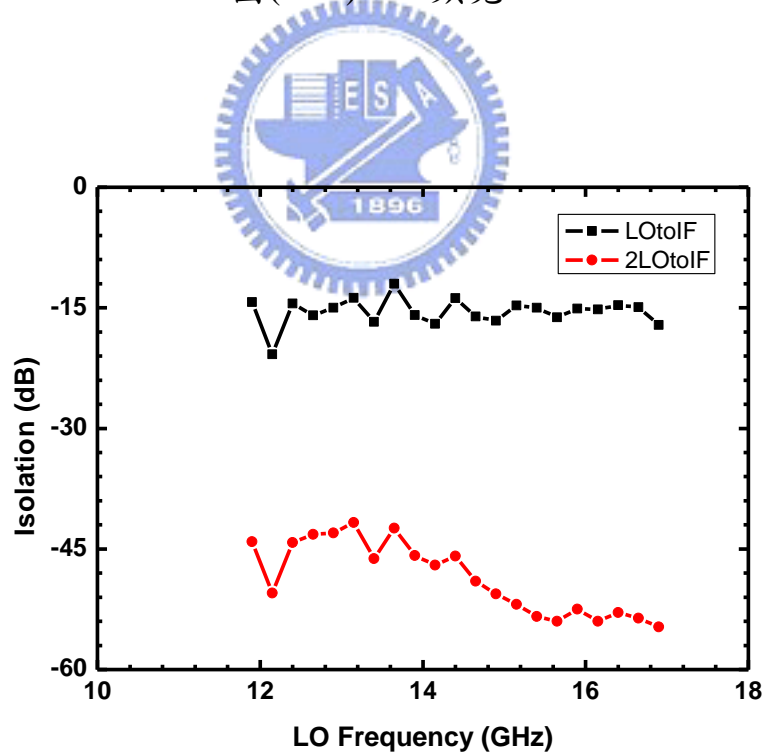
圖(2.11) 轉換增益 VS. RF Power (P1dB)



圖(2.12) RF 頻寬

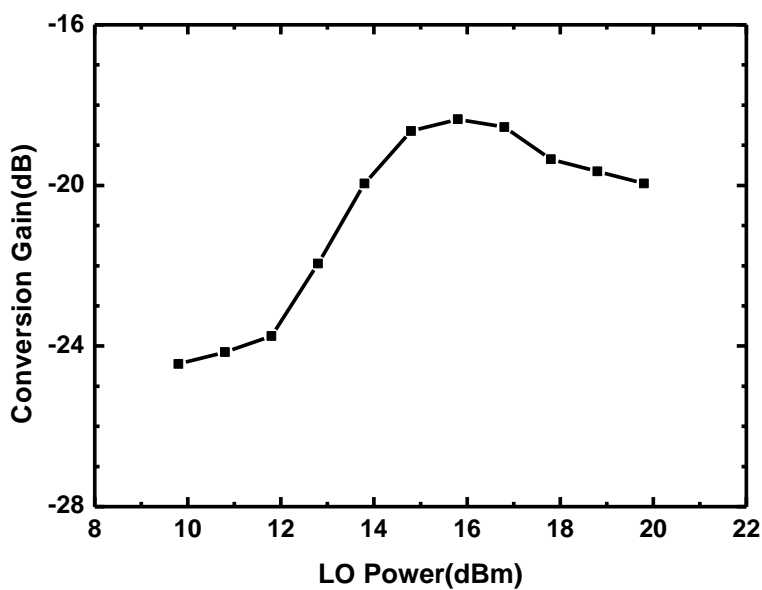


圖(2.13) IF 頻寬

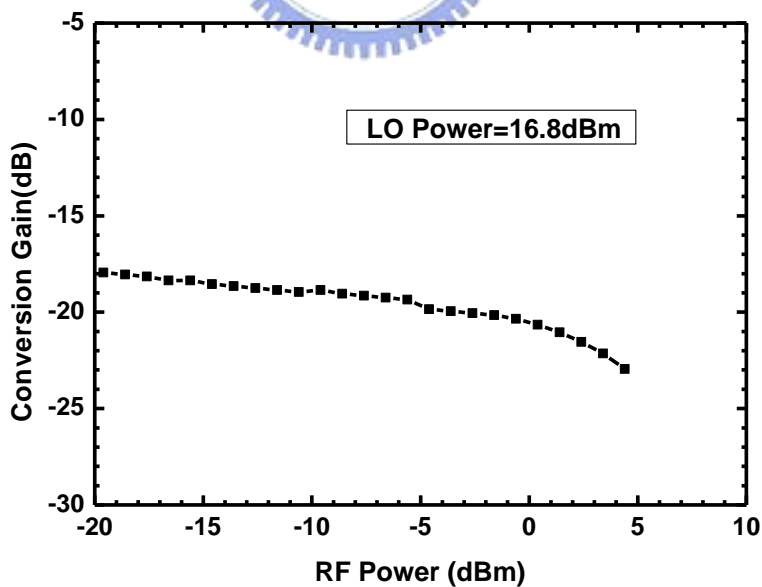


圖(2.14) LO to IF 與 2LO to IF 的 Isolation

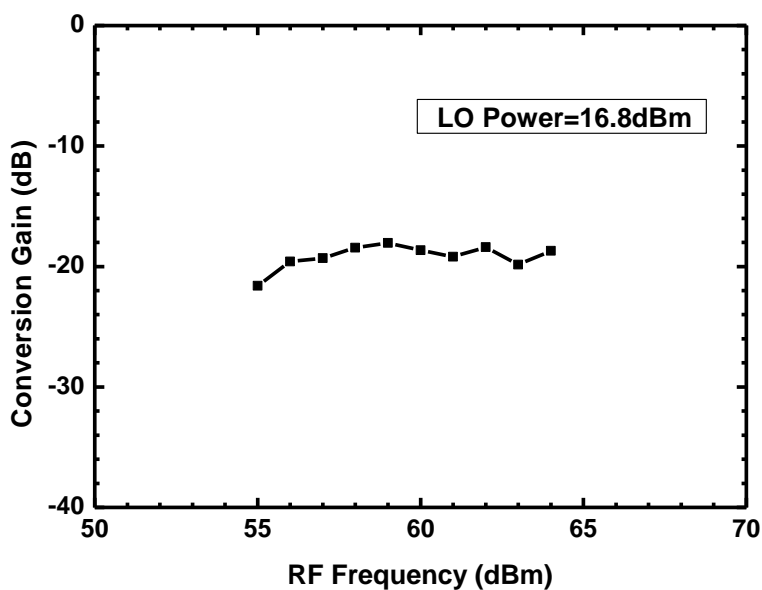
(2) 升頻轉換



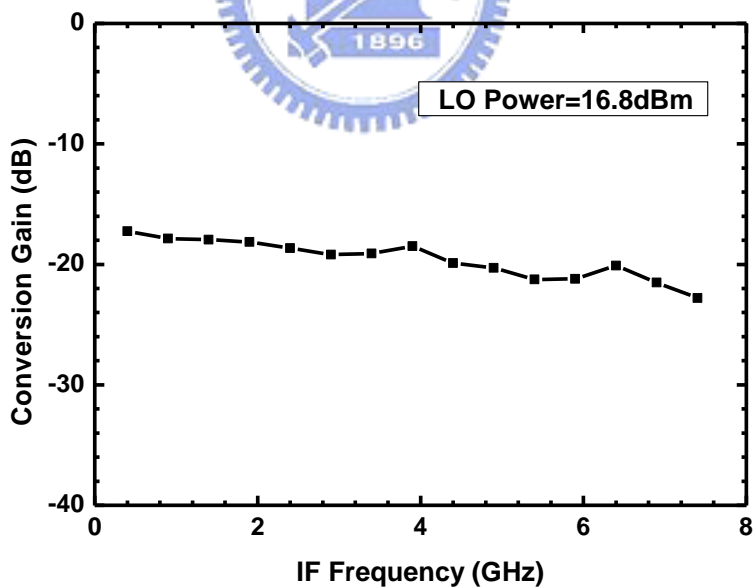
圖(2.15) 轉換增益 VS. LO Power



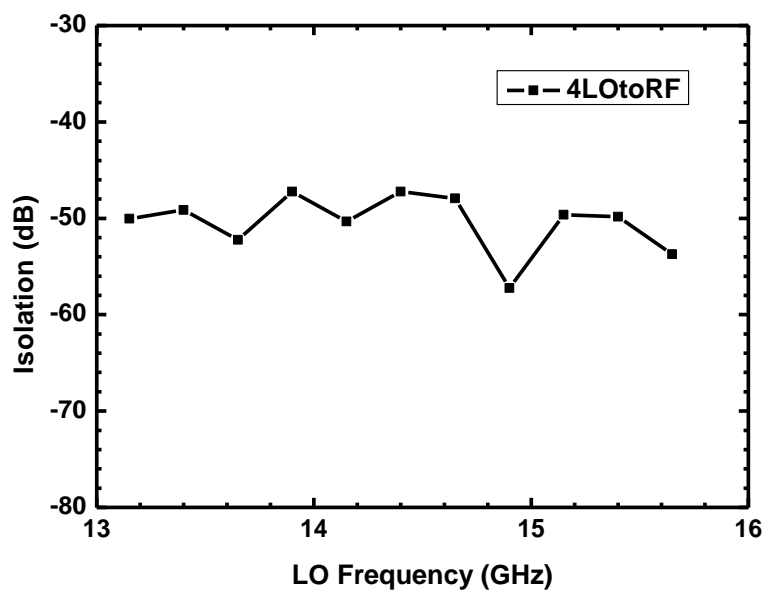
圖(2.16) 轉換增益 VS. IF Power (P1dB)



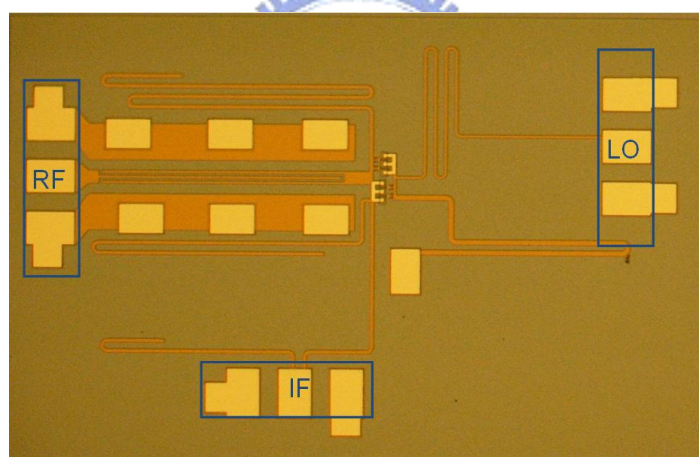
圖(2.17) RF 頻寬



圖(2.18) IF 頻寬



圖(2.19) 4LO to RF 的 Isolation

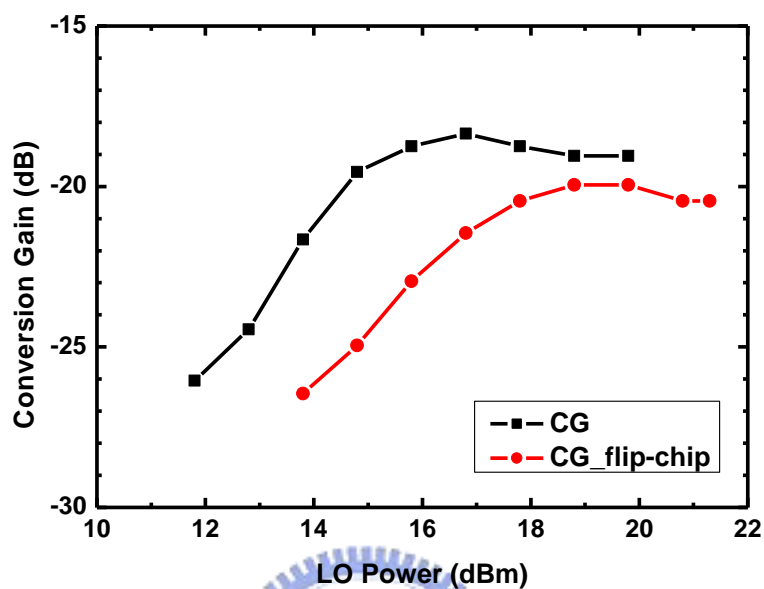


圖(2.20) Die Photo (1.5 mm X 1 mm)

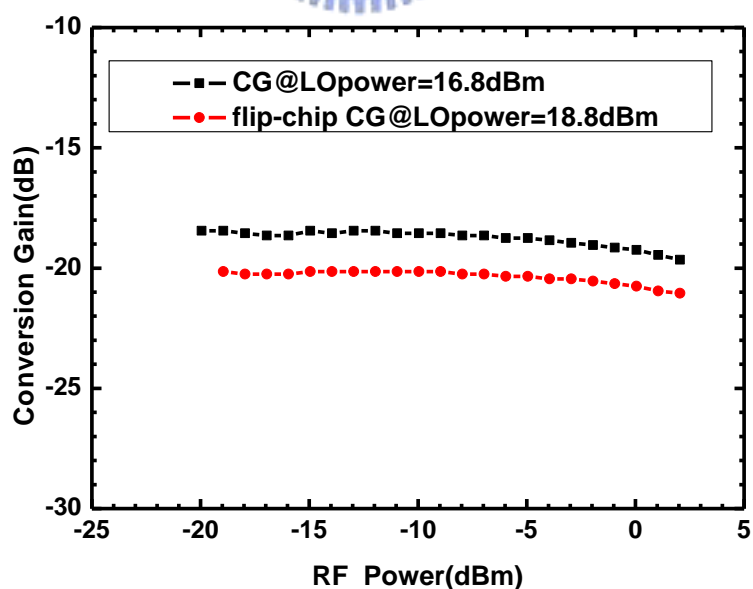
圖(2.20)為晶片實作照片，晶片的大小為 $1.5 \times 1\text{mm}^2$ ，量測時使用 on-wafer 的高頻量測系統，圖中可以看到，RF 訊號輸入埠在晶片的左方，只需要單端輸入 GSG 下針輸入，而 LO 訊號輸入埠在晶片的右方，也是一樣用 GSG 下針輸入，IF 訊號輸出埠在晶片的下方，GSG 的單端輸出來驗證。

2.5.4 覆晶封裝後(flip chip)量測結果比較

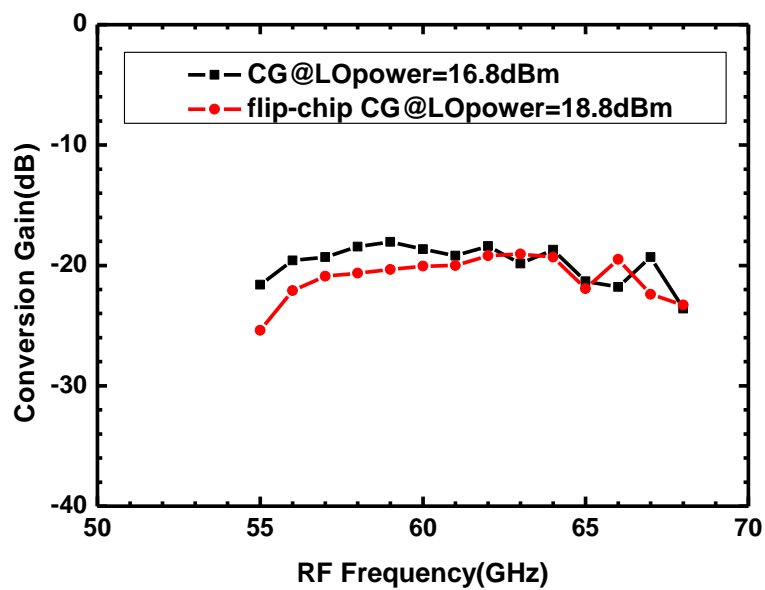
(1) 降頻轉換



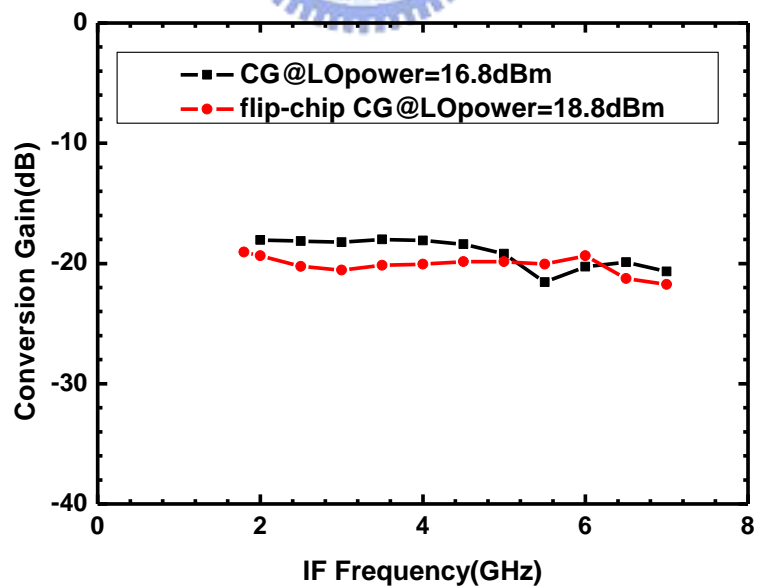
圖(2.21) 轉換增益 VS. LO Power



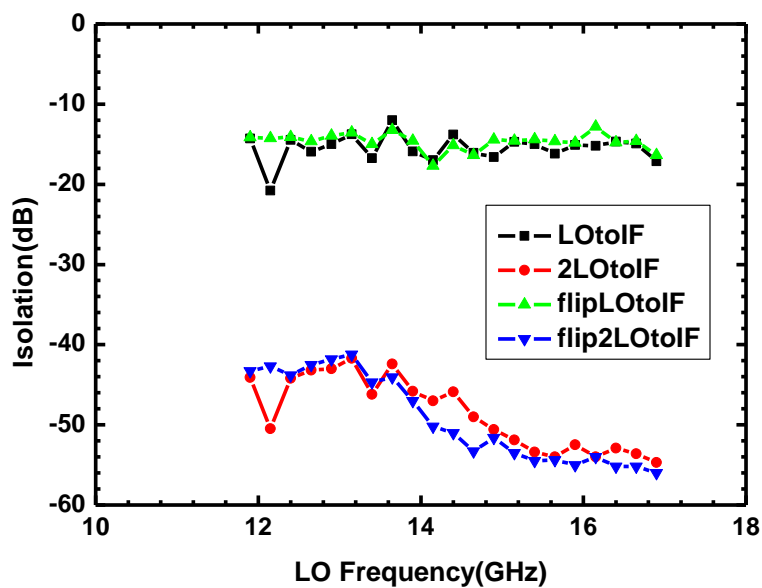
圖(2.22) 轉換增益 VS. RF Power (P1dB)



圖(2.23) RF 頻寬

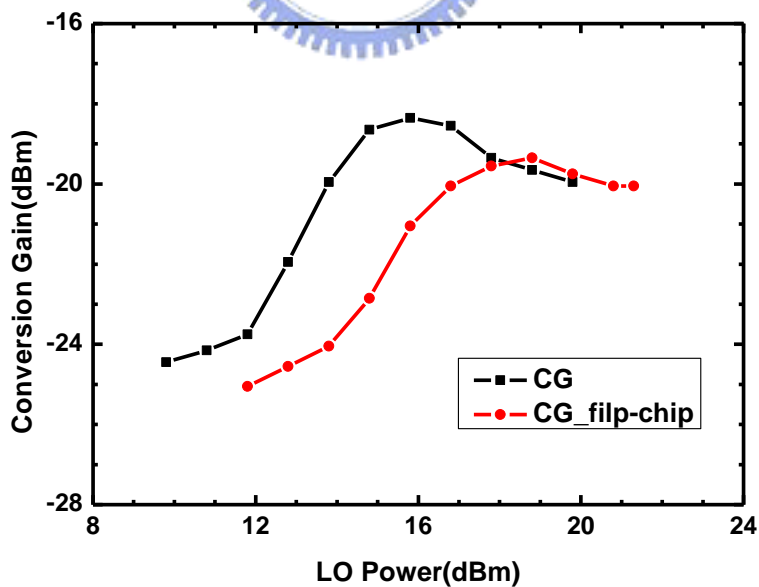


圖(2.24) IF 頻寬

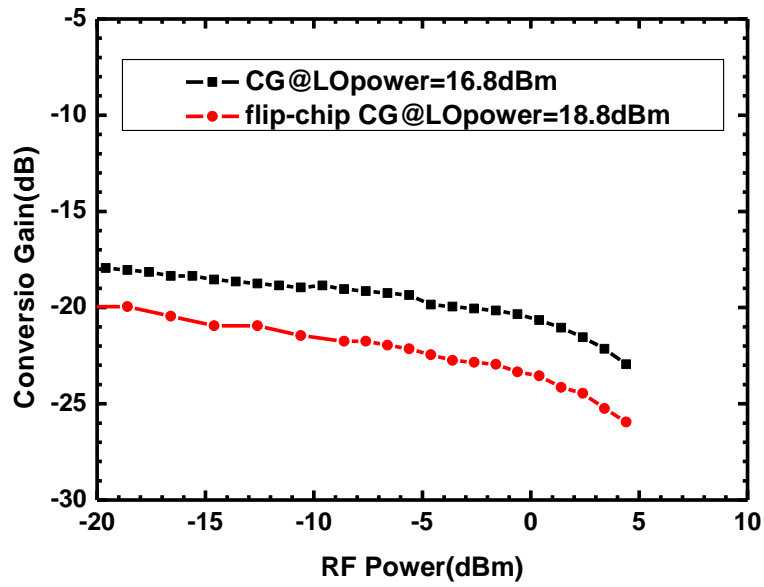


圖(2.25) LO to IF 與 2LO to IF 的 Isolation

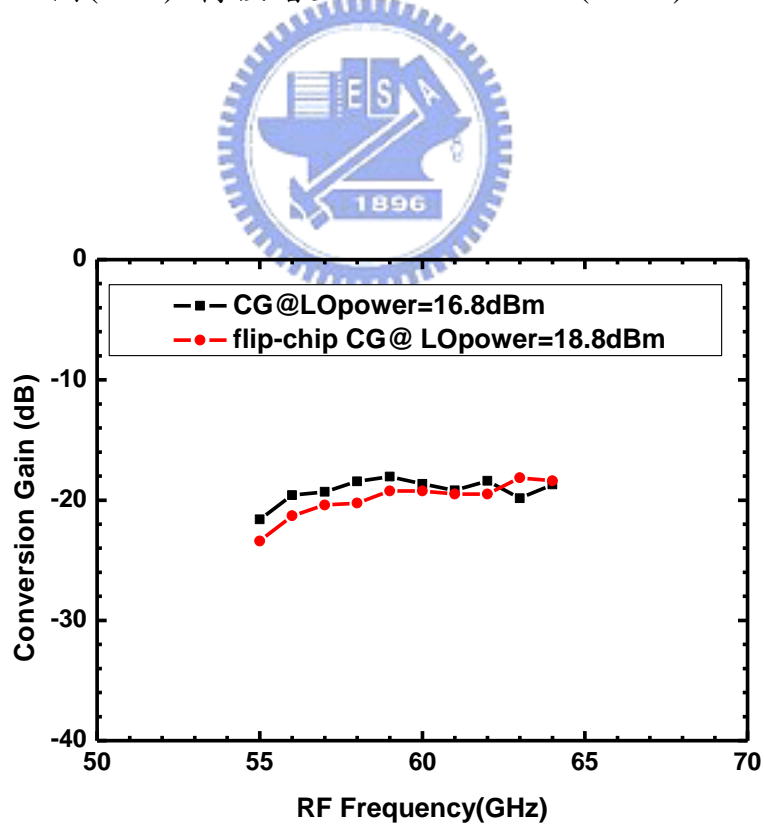
(2) 升頻轉換



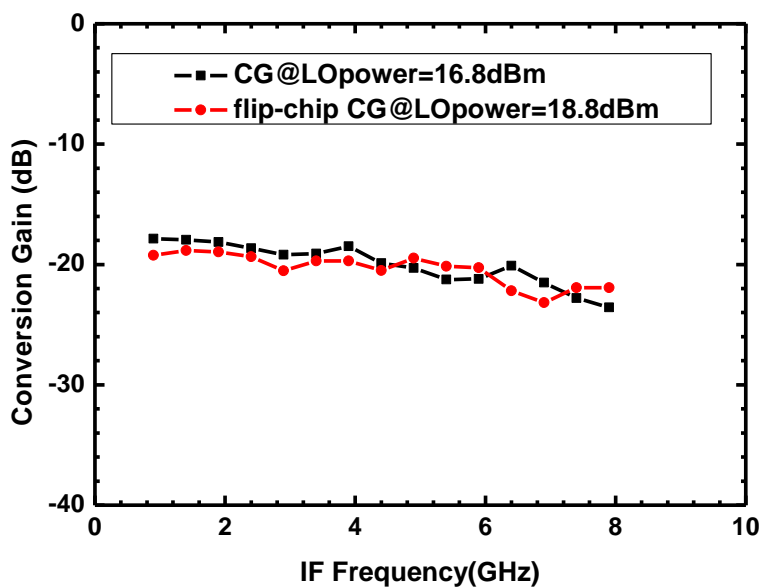
圖(2.26) 轉換增益 VS. LO Power



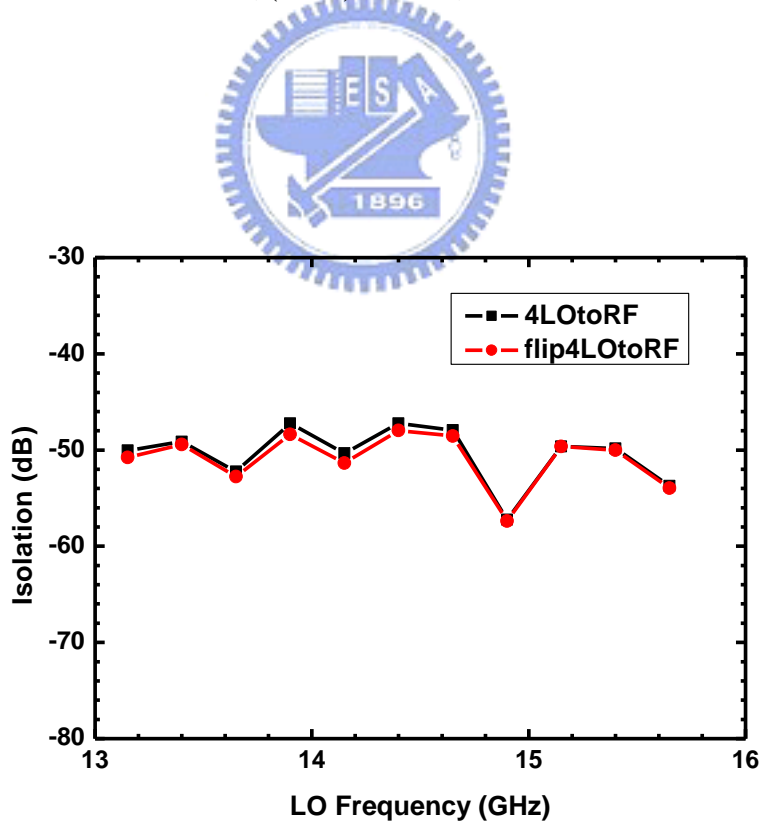
圖(2.27) 轉換增益 VS. IF Power (P1dB)



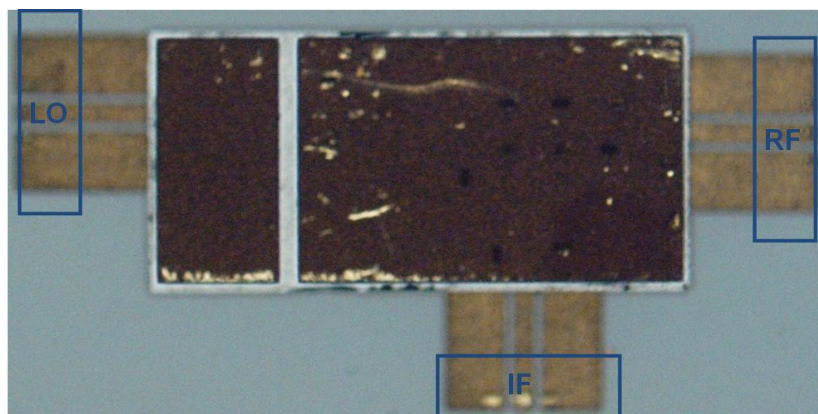
圖(2.28) RF 頻寬



圖(2.29) IF 頻寬



圖(2.30) 4LO to RF 的 Isolation



圖(2.31) flip-chip 後4次諧波反對稱二極體混頻器

2.5.5 結果與討論

從2.5.3與2.5.4中的量測結果圖，可得到此次設計的4次諧波反對稱二極體混頻器降頻與升頻的電路特性，並有 flip-chip 後的量測結果做比較，RF 為60GHz、LO 為14.4GHz 及 IF 為2.4GHz。就降頻來看，flip-chip 前的轉換增益最高為-18dB，當 LO 的輸入功率打入16.8 dBm 的時候，P1dB 點落在-3dBm，RF 的1dB 頻寬則約有10GHz 左右，IF 頻寬大於 RF 頻寬，所以降頻的時候是受限於 RF 頻寬，當 flip-chip 後，除了轉換增益最高為-19.5dB，LO 的輸入功率需打入18.8 dBm 外，基本上其他的特性與 flip-chip 前差不多。升頻時，flip-chip 前的轉換增益最高為-18dB，此時 LO 的輸入功率是16.8 dBm，P1dB 點落在-4dBm，RF 的1dB 頻寬則約有9GHz 左右，IF 頻寬大於 RF 頻寬，所以升頻的時候也是受限於 RF 頻寬，flip-chip 後，在 LO 的輸入功率需打入18.8 dBm 時，轉換增益最高為-19dB，基本上其他的特性也是與 flip-chip 前差不多。

所以我們可以說，4次諧波反對稱二極體混頻器降頻與升頻的電路特性基本上很相近，flip-chip 後除了多一些轉換增益的耗損，且輸入的 LO 功率大一些外，其電路特性不太會受到影響。

表2.1 60GHz 4X subharmonic diode mixer for flip-chip mounting
量測結果

60GHz 4X Subharmonic Diode Mixer for Flip-chip Mounting (WIN 0.15um PHEMT)				
Frequency (RF/LO/IF)(GHz)	flip-chip 前 60/14.4/2.4		flip-chip 後 60/14.4/2.4	
Up/Down Conversion	down	up	down	up
Conversion Gain(dB)	-18	-18	-19.5	-19
P1dB(dBm)	-3	-4	-3	-5
Bandwidth(GHz)	RF: 10 (IF>RF)	RF: 9 (IF>RF)	RF: 10 (IF>RF)	RF: 8 (IF>RF)
Isolation(dB)	LOtoIF:-15.5 2 LOtoIF:-48.6	4LotoRF: -58.9	LOtoIF:-16.4 2 LOtoIF:-56	4LotoRF: -50.9
Chip Size	1.5mm x 1mm			

2.6 實作二，結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器

2.6.1 研究動機

毫米波頻段系統提供了較寬的頻帶，滿足了現代通訊高速率與大容量的需求，因而成為了近十年來歐、美、日等先進國家無線寬頻通訊產品之重要技術使用毫米波頻段，除了頻譜需求的考量之外，此頻段尚有其獨特的優點，特別適於高階的無線通訊產品之發展；諸如頻帶寬對載波頻段相對比例較小，因此較容易達到寬頻應用，同時由於其波長大小適中，許多被動元件與天線尺寸不致太小或太大，而容許之機械誤差亦未超出製程能力。

此次的實作為結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器，4 次諧波反對稱二極體混頻器雖然不需要 DC 的直流，但是卻有轉換增益為負的缺點，所以加上了放大器彌補其轉換增益的不足。

2.6.2 電路設計

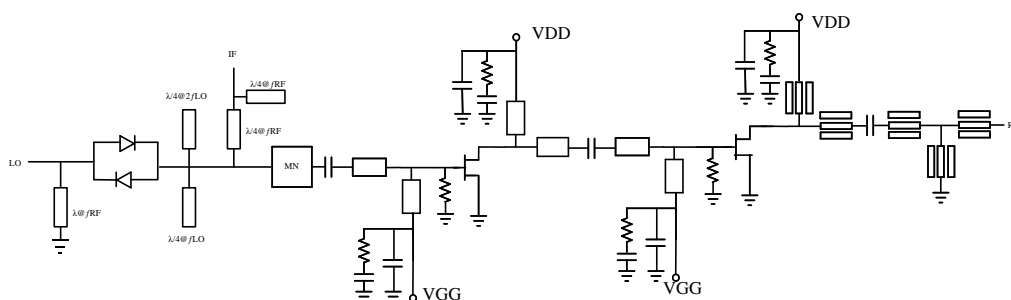
(1) 電路架構

這次的設計為升頻功用的應用在覆晶技術的 60GHz 的 4 次諧波反對稱二極體混頻器，加上一放大器，加上放大器的作用為大大減少轉換耗損來提高混頻器的電路特性，混頻器包含了一組反對稱二極體對，開路線段，短路線段，配合四分之一波長的特性，使 LO 在到達反對稱的二極體前經過路徑上所看到的線段對 LO 皆為開路，而經過反對稱二極體之後，會被一段開路線段短路到地，而對 RF 也是這樣的作法，讓 LO 和 RF 的能量饋入反對稱二極體之中做混頻的動

作。放大器設計為在60GHz 的時候提供足夠的增益來減少轉換耗損，且輸出端用共平面波導以利於覆晶封裝。

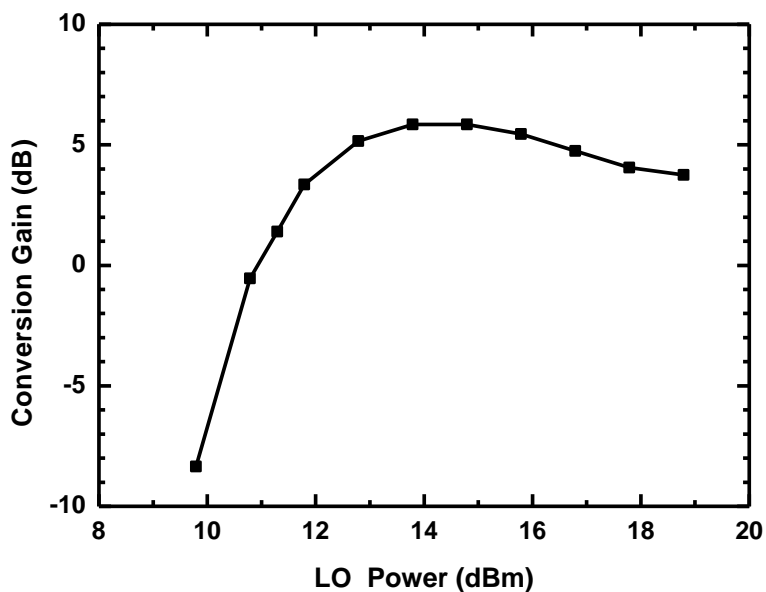
此次設計中，RF 為 60GHz，而 IF 為 2.4GHz，LO 則選用 14.4GHz 來滿足 4 次諧波的要求。

(2) 整體電路架構

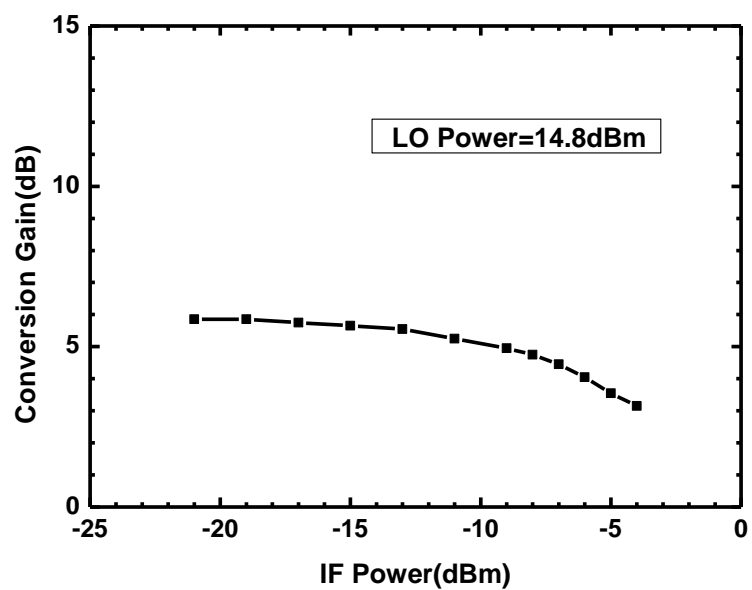


圖(2.32) 結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器

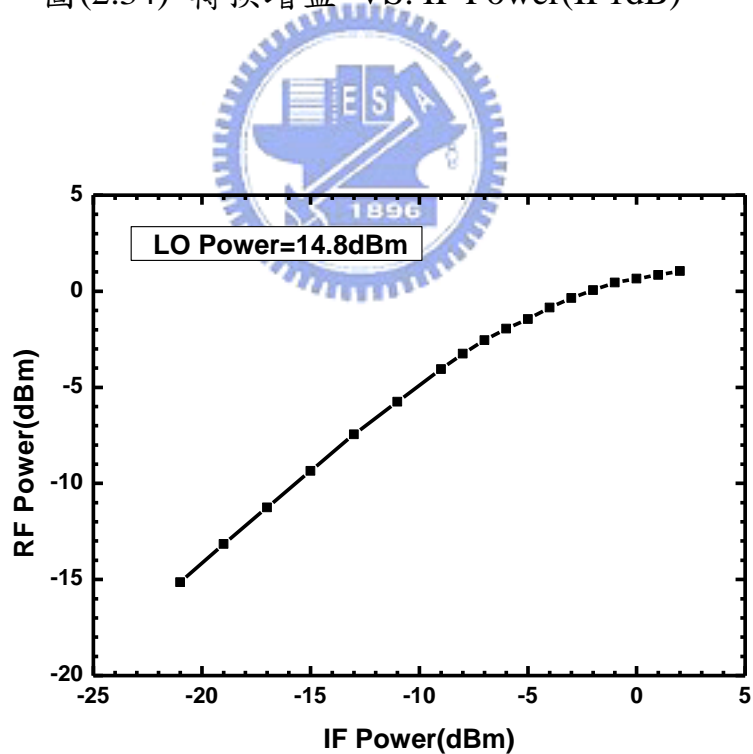
2.6.3 電路量測結果



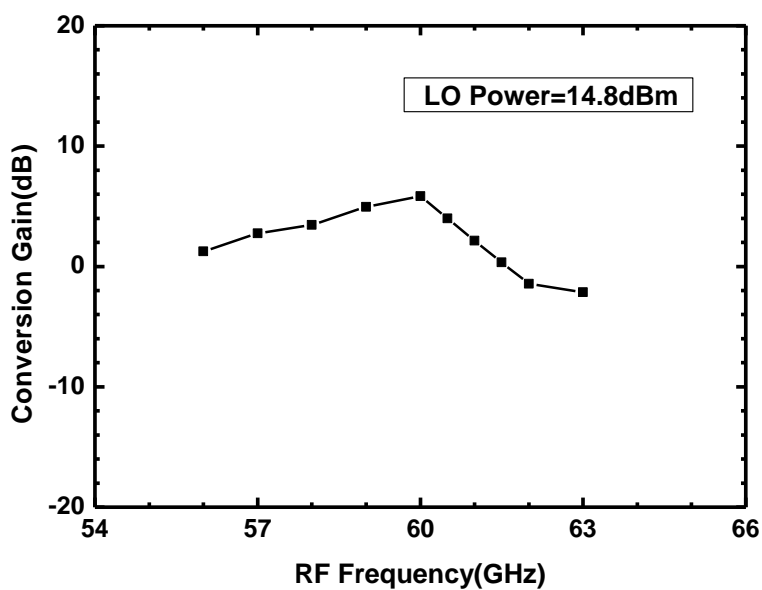
圖(2.33) 轉換增益 VS. LO Power



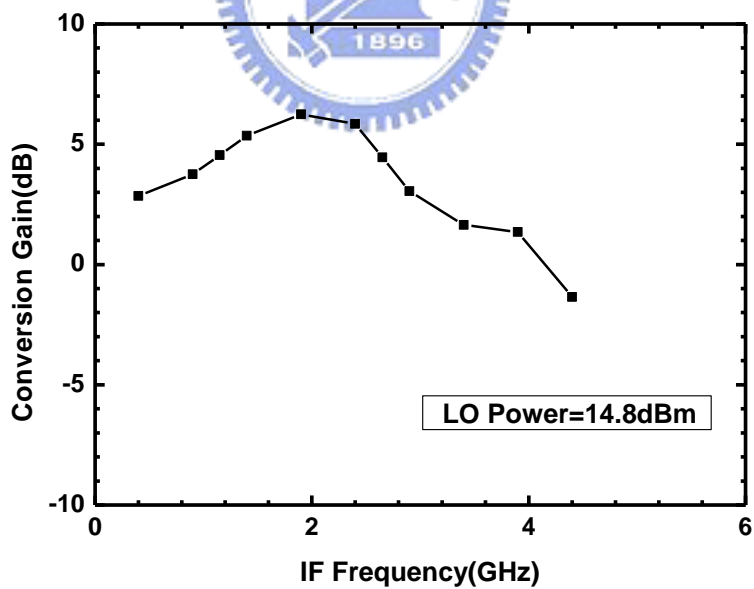
圖(2.34) 轉換增益 VS. IF Power(IP1dB)



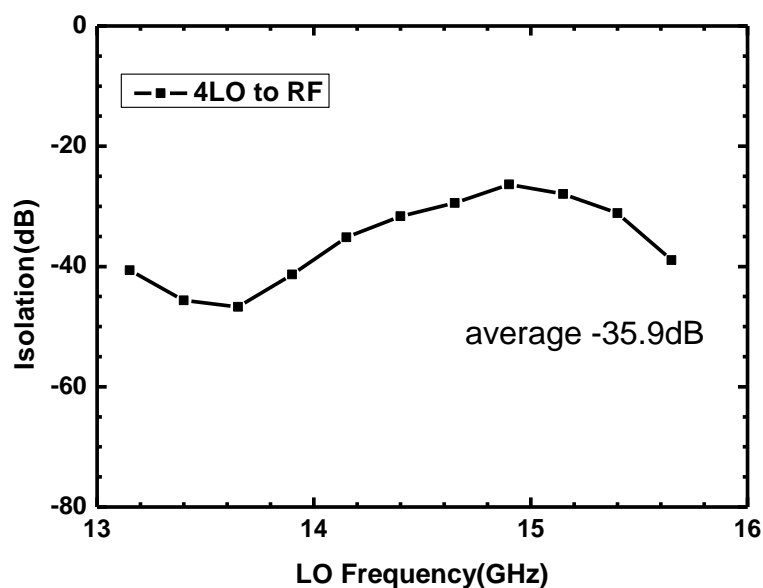
圖(2.35) RF Power VS. IF Power(OP1dB)



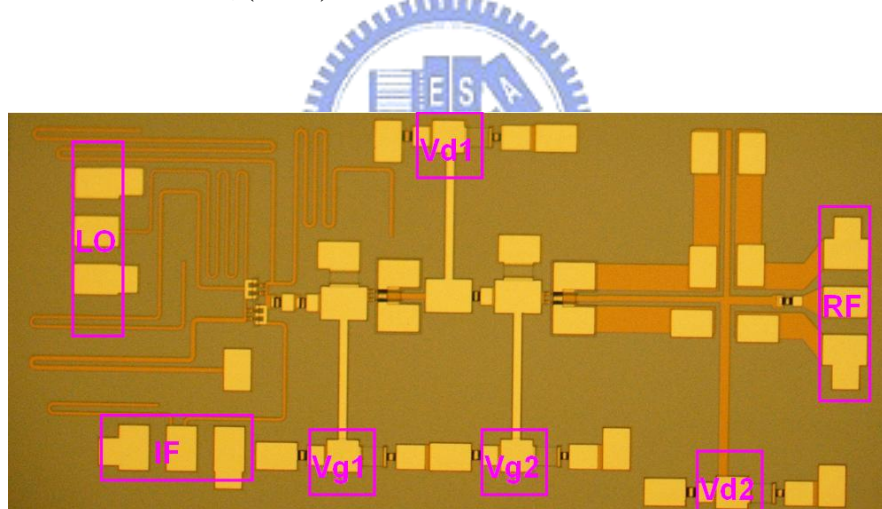
圖(2.36) RF 頻寬



圖(2.37) IF 頻寬



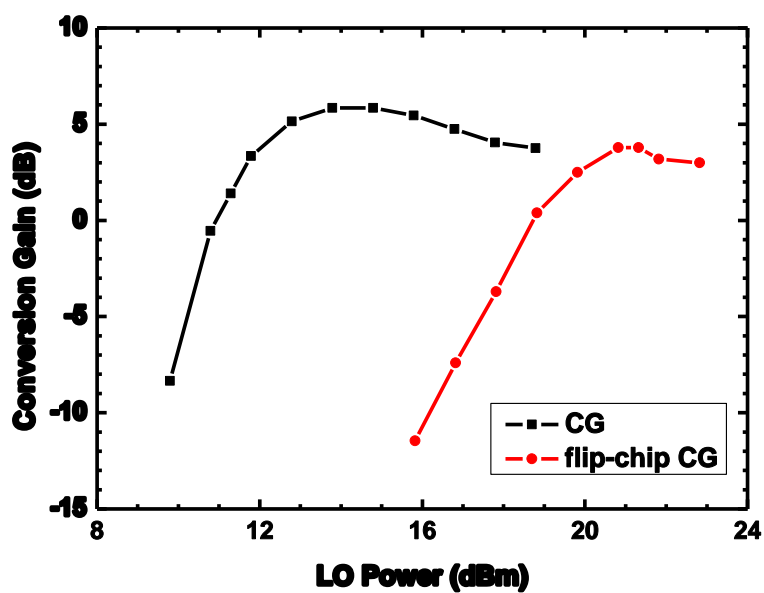
圖(2.38) 4LO to RF 的 Isolation



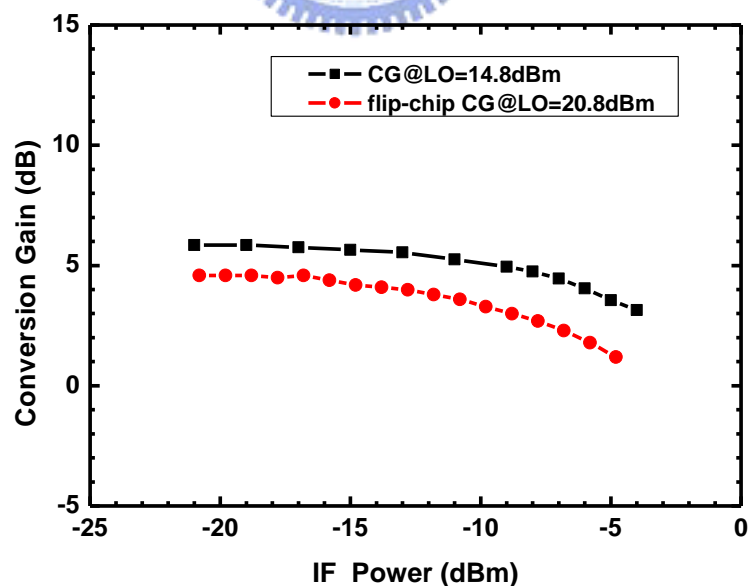
圖(2.39) Die Photo (2mm X 1mm)

圖(2.39)為晶片實作照片，晶片的大小為 $2 \times 1 \text{mm}^2$ ，量測時使用 on-wafer 的高頻量測系統，圖中可以看到，LO 訊號輸入埠在晶片的左方，IF 訊號輸入埠在晶片的下方，混頻後得 RF 的訊號，經放大器後，經共平面波導後，由右方的 RF 訊號輸出埠輸出訊號，除了 RF、LO 與 IF 埠用 GSG 下針外，還需要4個 DC 來偏壓放大器，DC pad 周圍的電容，皆是用來 DC 穩壓之用。

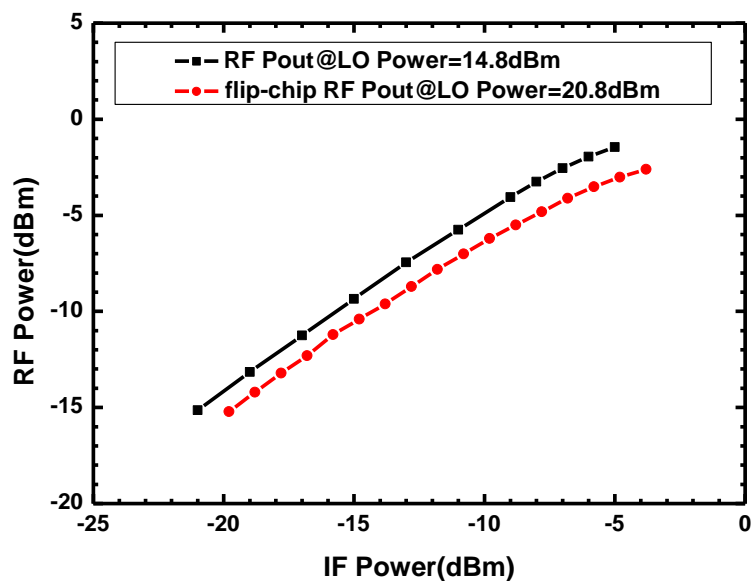
2.6.4 覆晶封裝後(flip chip)量測結果比較



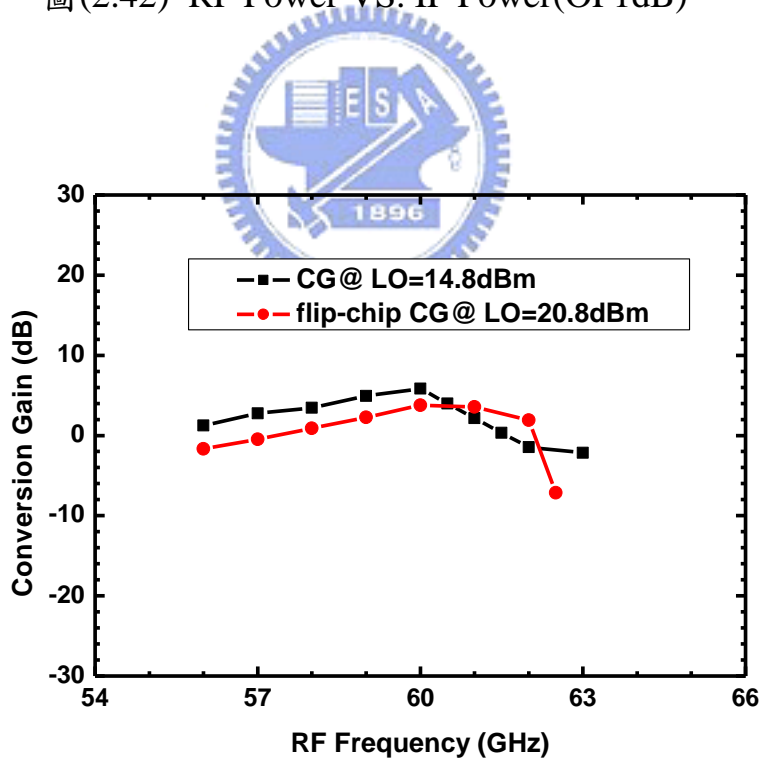
圖(2.40) 轉換增益 VS. LO Power



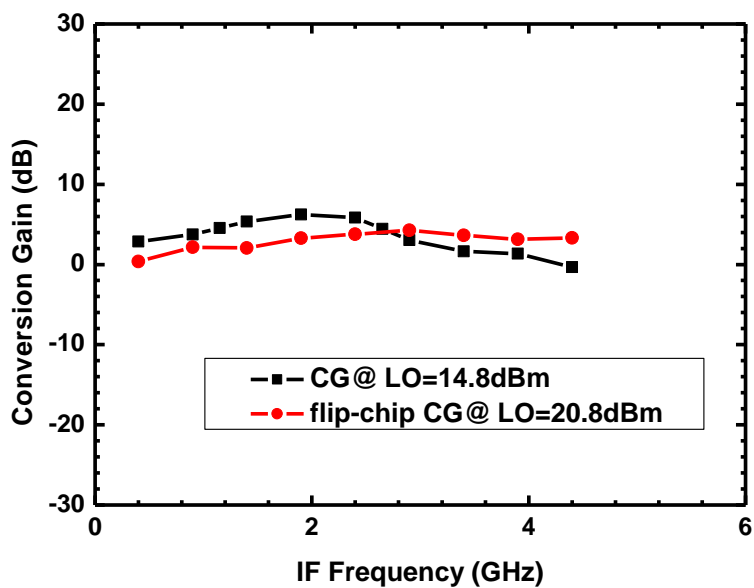
圖(2.41) 轉換增益 VS. IF Power(IP1dB)



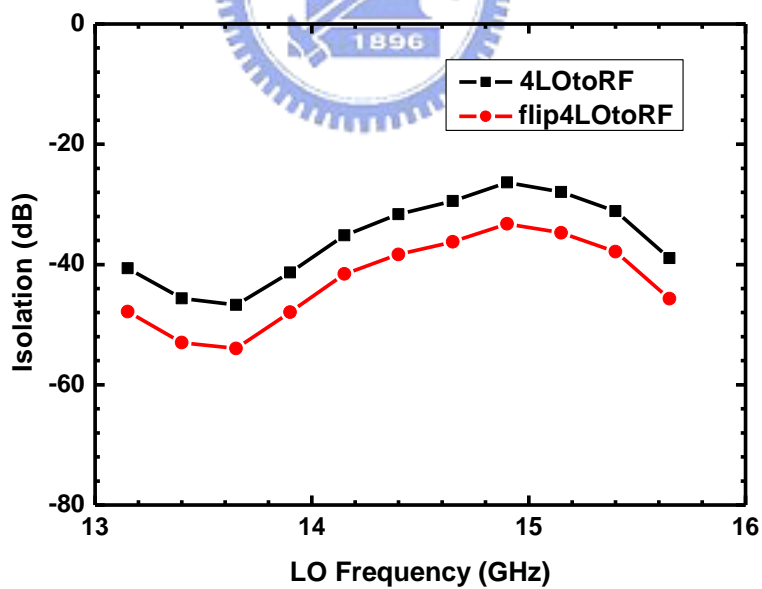
圖(2.42) RF Power VS. IF Power(OP1dB)



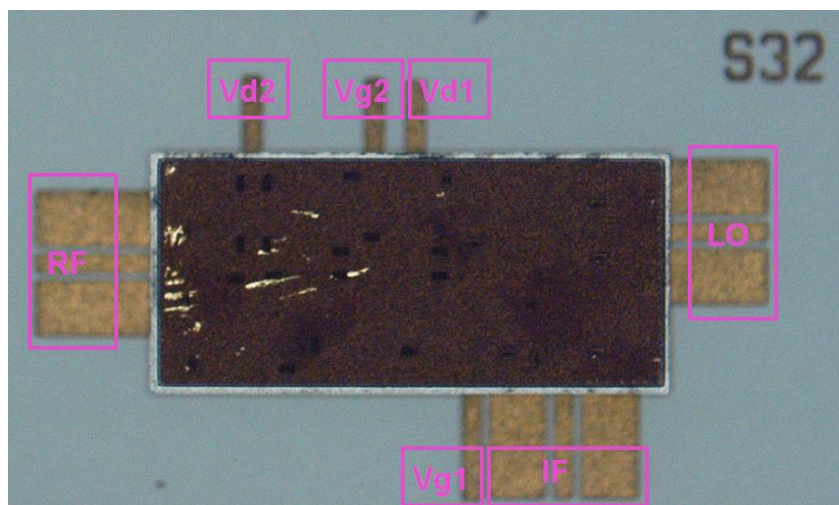
圖(2.43) RF 頻寬



圖(2.44) IF 頻寬



圖(2.45) 4LO to RF 的 Isolation



圖(2.46) flip chip 後結合放大器的 60GHz 二極體 4 倍頻次諧波升頻混頻器

2.6.5 結果與討論

從2.6.3與2.6.4中的量測結果圖，可得到此次設計的結合放大器的 60GHz 二極體4倍頻次諧波升頻混頻器的電路特性，RF 為60GHz、LO 為14.4GHz 及 IF 為2.4GHz，與 flip-chip 後的量測結果做比較，發現，flip-chip 前的轉換增益最高為6dB，當 LO 的輸入功率打入14.8 dBm 的時候，P1dB 點落在-6dBm，OP1dB 點落在約-2dBm，RF 的1dB 頻寬則約有2GHz 左右，IF 頻寬大於 RF 頻寬，所以是受限於 RF 頻寬，更正確的說是受限於放大器的頻寬，因為當初在設計的時候是以操作在60GHz 為目標，當 flip-chip 後，轉換增益最高為5dB，LO 的輸入功率需打入20.8 dBm 外，基本上其他的特性與 flip-chip 前差不多。P1dB 點落在-6.5dBm，OP1dB 點落在約-3.5dBm，RF 的1dB 頻寬則約有2GHz，IF 頻寬大於 RF 頻寬。

表2.2 60GHz 4X subharmonic diode mixer plus amplifier for up conversion for flip-chip mounting
量測結果

60GHz Flip-chip 4× Upconverter + Driving Amplifier for Flip-chip Mounting (WIN 0.15um PHEMT)		
Frequency (RF/LO/IF)(GHz)	flip-chip 前 60/14.4/2.4	flip-chip 後 60/14.4/2.4
Conversion Gain(dB)	6	5
IP1dB(dBm)	-6	-6.5
OP1dB(dBm)	-2	-3.5
Bandwidth(GHz)	2	2
4LO-to-RF isolation(dB)	-35.9	-42.8
Power Consumption(mW)	137.5	183.4
Chip Size	2mm x 1mm	

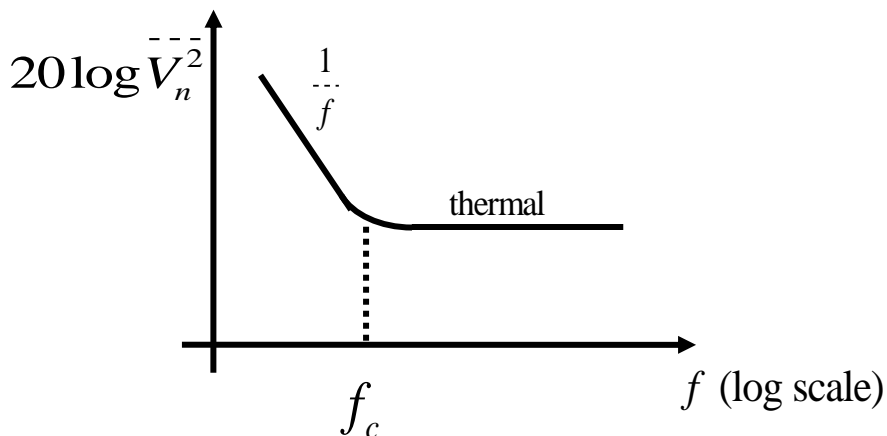
第三章

射頻 CMOS 主動式混頻器 之閃爍雜訊改進之研究



3.1 前言

雜訊的問題是我們在設計各種射頻 CMOS 電路都需要面臨的挑戰，一般來說，電路中雜訊可分為在高頻主導的白雜訊(white noise)與在低頻主導的閃爍雜訊(flicker noise)。白雜訊(white noise)主要由電路中的電阻和電晶體的熱雜訊(thermal noise)貢獻，分別為 $\overline{V_n^2} = 4kTR$ 與 $\overline{I_n^2} = 4kT\gamma g_m$ ， k 為波茲曼常數， T 為絕對溫度， R 為阻值， g_m 是 gate transconductance， γ 則為一係數 2/3(long-channel 電晶體)。閃爍雜訊(flicker noise)則主要由電晶體貢獻，為 $\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f}$ ， K 是 process-dependent constant， C_{ox} 為 gate oxide capacitance， W 、 L 分別為電晶體的 width 和 length， f 是頻率。因為閃爍雜訊與頻率成反比，在低頻的時候其值大於約為固定值的白雜訊，所以具主導地位。CMOS 電晶體閃爍雜訊與熱雜訊的關係可為圖(3.1) [1]。



圖(3.1) CMOS 電晶體閃爍雜訊與熱雜訊對頻率的關係

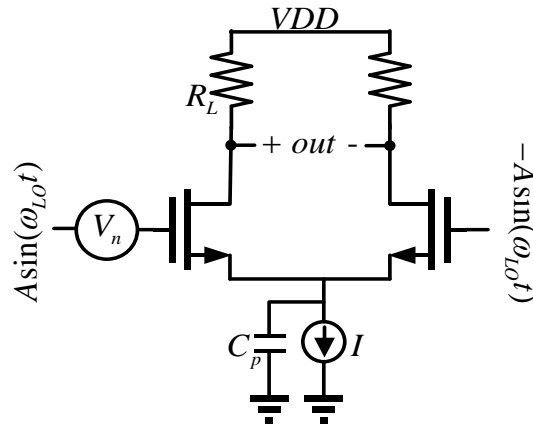
對於使用在零中頻(Zero-IF)或低中頻(Low-IF)架構中的混頻器來說，在混頻器輸出端所出現的低頻雜訊，會對降至基頻的IF訊號產生干擾，使直接降頻至基頻的訊號雜訊比降低，進而影響到整個接收機的靈敏度(Sensitivity)。

本章節將討論對使用在零中頻架構中的主動混頻器如何做閃爍雜訊的改進，利用TSMC CMOS 0.18 um及0.13 um製程來做一個實現。

3.2 射頻 CMOS 主動式混頻器之雜訊分析

由前面的圖(3.1)可知道，對 CMOS 電晶體來說 f_c (flicker noise corner)之上的頻率，其主宰雜訊為熱雜訊，在 f_c 以下的頻率，雜訊的主要來源則為閃爍雜訊，所以可將 f_c 視為一分界線，指的就是閃爍雜訊相等於熱雜訊的那個頻率，也就是 $4kT\gamma g_m = \frac{K}{C_{ox}WL} \cdot \frac{1}{f_c} \cdot g_m^2$ ，因此可得 $f_c = \frac{K}{C_{ox}WL} \cdot g_m \cdot \frac{1}{4kT\gamma}$ 。 [1]

所以在本節關於射頻 CMOS 主動式混頻器之雜訊分析，將混頻器輸出端的雜訊二分為低頻雜訊(閃爍雜訊)與高頻雜訊(白雜訊)來探討，以單平衡式的混頻器為例，如圖(3.2)，分析混頻器各部分產生的閃爍雜訊和白雜訊在輸出端所造成的雜訊貢獻，其中為了便於分析，混頻器各部分產生的雜訊都被歸化到 gate 端成為一雜訊源，然後將內部視為 noiseless，圖(3.2)便是將 LO 開關級的 noise 歸化至 gate 端。



圖(3.2) 單平衡式的混頻器

3.2.1 閃爍雜訊之分析

如圖(3.2)所示，一個 CMOS 的主動式混頻器包含輸入轉導級、LO 的切換電晶體和輸出端的負載，這些部分的低頻雜訊都會進入電路而對輸出端貢獻雜訊，以下就針對這三大部分來做各自對輸出端低頻雜訊造成的影響的探討與分析。[2]

(1) 輸出負載

當我們使用電晶體作為主動式混頻器的負載時，它的閃爍雜訊會對輸出端提供低頻雜訊，其關係為 $\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f}$ ，因此為了減少負載所造成的閃爍雜訊，我們可選用不會造成閃爍雜訊的電阻來當負載，不過這樣一來輸出振幅便會因為負載電阻吃掉壓降而減少。

(2) 輸入轉導級

主動式混頻器的輸入轉導產生的閃爍雜訊，它會以兩種型式出現在輸出端，其一為藉著混頻作用在輸出端以大約LO頻率的型式出現，也就是：

$$\begin{aligned}
 V_{LO}(t) &= \frac{4}{\pi} \left(\sin \omega_{LO}t + \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t + \dots \right) \\
 V_{RF}(t) &= \cos \omega_{RF}t + n(t) \\
 V_{IF}(t) &= \frac{2}{\pi} \left\{ \sin(\omega_{LO}t - \omega_{RF}t) + \sin(\omega_{LO}t + \omega_{RF}t) + \right. \\
 &\quad \frac{1}{3} \sin(3\omega_{LO}t - \omega_{RF}t) + \frac{1}{3} \sin(3\omega_{LO}t + \omega_{RF}t) + \\
 &\quad \left. \frac{1}{5} \sin(5\omega_{LO}t - \omega_{RF}t) + \frac{1}{5} \sin(5\omega_{LO}t + \omega_{RF}t) + \dots \right\} \\
 &\quad + n(t) \cdot \left\{ \frac{4}{\pi} \left(\sin \omega_{LO}t + \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t + \dots \right) \right\}
 \end{aligned}$$

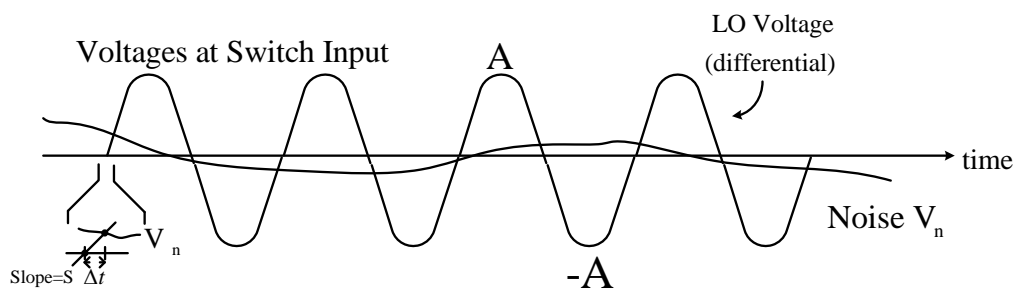
上式的LO訊號被假設成方波來看， $n(t)$ 指的是閃爍雜訊函數，之所以稱這邊的閃爍雜訊會在輸出端以約LO頻率的型式出現，是因為 $n(t)$ 裡的 ω_{noise} 很低，值很小，當其與 $V_{LO}(t)$ 做混頻動作時，混出來的頻率大約都落在 ω_{LO} 附近。第二種型式則為當LO的開關電晶體彼此間mismatch時，轉導級的閃爍雜訊就會伴隨RF訊號出現在輸出端，意義上類似RF-to-IF feedthrough，但是這個量一般來說很小。

由上面的分析我們可以觀察到，輸入轉導級的閃爍雜訊都被轉換到較高的LO頻率去了，因此若RF、LO的頻率是大於 f_c 許多，那麼輸入轉導級便不會對輸出端貢獻閃爍雜訊。

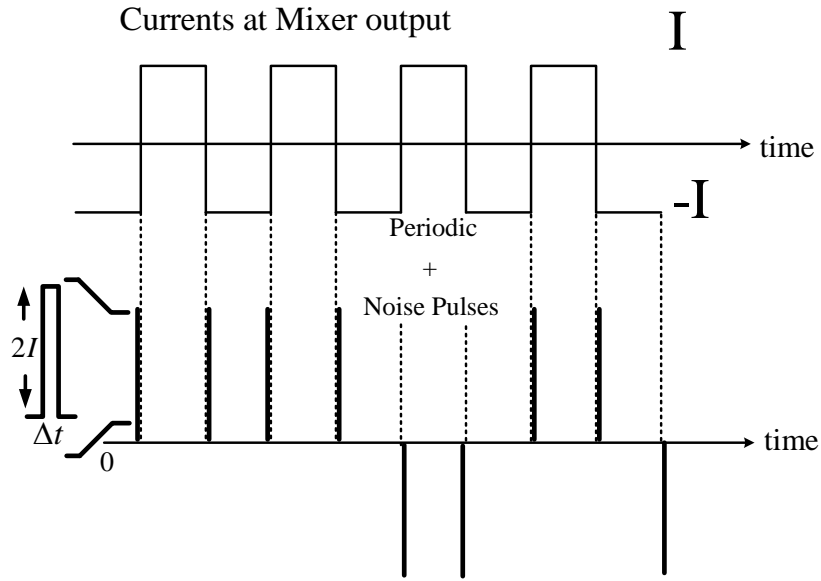
(3) 直接開關雜訊

LO 切換開關級的閃爍雜訊對混頻器造成的影響，可分為直接與間接兩種，以下先討論何謂直接開關雜訊，間接開關雜訊稍後再談。

考慮圖(3.2)的電路，因為 LO 切換開關級閃爍雜訊的頻率很低，因此其時間常數大的多，我們將伴隨的閃爍雜訊看成是圖(3.3)中緩慢變化的 V_n ，輸入的 LO 訊號以弦波的方式呈現，假設在 LO 開關電晶體 hard switch 的狀況下，輸出端的電流是個頻率為 ω_{LO} 的方波，從圖中可以看到，雖然輸出波形的振幅不變，但 V_n 的存在會使 zero-crossing 點被誤認，有可能被提前或延後，這個誤差的時間為 $\Delta t = V_n(t)/S$ ， S 是 LO 振幅的斜率，這樣的情況將會在輸出端形成雜訊脈衝，使得輸出端不僅有我們要的訊號，還出現了雜訊脈衝，見圖(3.4)，由於一個週期內會有 2 個 zero-crossing 點，所以雜訊脈衝出現的頻率為 $2\omega_{LO}$ 。



圖(3.3) 閃爍雜訊造成 zero-crossing 誤差



圖(3.4) 因 zero-crossing 誤差在輸出端造成雜訊脈衝

接著，我們想估量雜訊脈衝在輸出端所造成的雜訊電流，將每個週期裡出現的脈衝電流視為一平均值，推導如下：

$$i_{o,n} = 2f_{LO} \times 2I \times \Delta t = \frac{2}{T} \times 2I \times \frac{V_n}{S} = 4I \frac{V_n}{S \times T}$$

其中，

$$V_{LO}(t) = 2A \sin \omega_{LO} t$$

$$\frac{dV_{LO}(t)}{dt} = 2A \omega_{LO} \cos \omega_{LO} t = 2A \cdot 2\pi f_{LO} \cos \omega_{LO} t$$

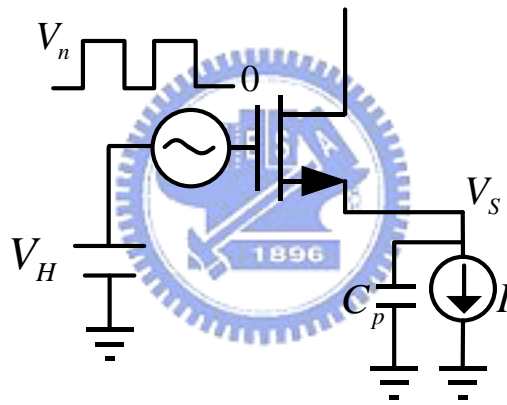
$$S = \frac{dV_{LO}(t)}{dt} = 4\pi A f_{LO} \text{ at } \sin \omega_{LO} t = 0 \text{ (zero-crossing)}$$

$$\therefore S \times T = 4\pi A \text{ for sine-wave LO}$$

從 $i_{o,n}$ 的式子可清楚的看到，LO 切換開關級的閃爍雜訊 V_n 直接出現在輸出端，對輸出端貢獻低頻雜訊，所以稱之為直接開關雜訊。

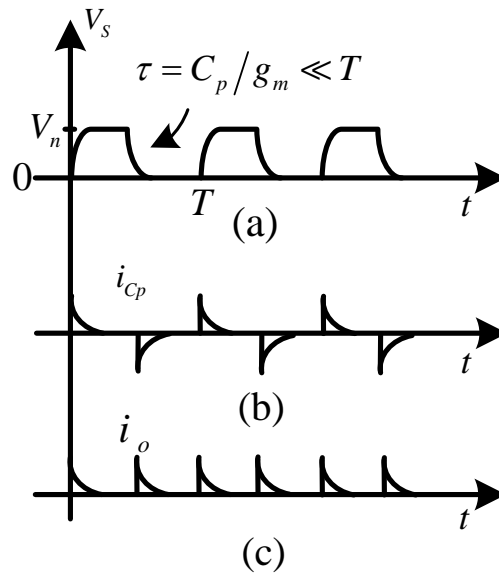
(4) 間接開關雜訊

間接開關雜訊主要由寄生電容造成，我們將以 LO 的輸入訊號為完美方波(可完全開關)擺幅在 V_H 和 V_L 之間及弦波訊號兩種狀況下來討論個別在輸出端所貢獻的低頻雜訊。當 LO 切換開關級可完全開關時，如圖(3.5)所示， V_H 是使 M1 或 M2 ON 的那個半週期的 DC 電壓， V_n 則是開關級的閃爍雜訊，為簡化分析將之歸納於 M1 的 gate 端，這邊將它視為一方波來分析，其大小和頻率遠小於 LO 的方波大小和頻率。



圖(3.5) 當LO開關級完全切換時半週期下的等效電路

在這樣的情況下，圖(3.5)中電晶體 source 端的寄生電容 C_p 便會受到 V_n 的影響進行充放電的工作，會抽走或注入一小電流 i_{C_p} ，對應到輸出端即等同一小電流 i_o ，因 M1、M2 輪流切換，以 $2\omega_{LO}$ 的頻率出現，見圖(3.6)。



圖(3.6) (a)開關電晶體source端的電壓變化

(b)流經source端寄生電容的電流變化

(c)輸出端的雜訊電流

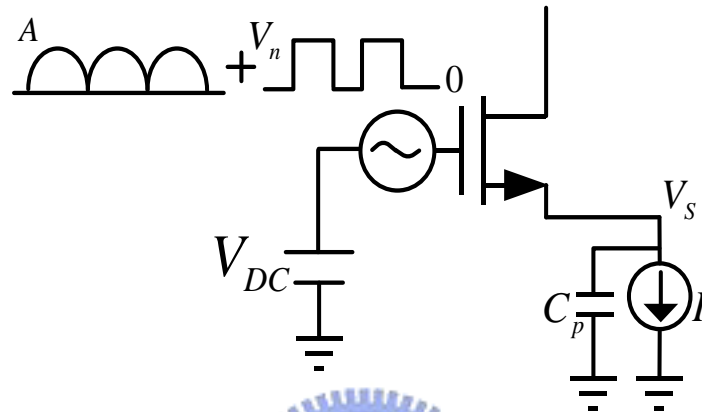
輸出端雜訊電流的大小為：

$$i_{o,n,V_n} = \frac{2}{T} \int_0^{T/2} i_{C_p}(t) dt = \frac{2}{T} \int_0^{T/2} C_p \left[\frac{d}{dt} V_S(t) \right] dt$$

$$\Rightarrow i_{o,n,V_n} = \frac{2}{T} C_p \left(V_S \left(\frac{T}{2} \right) - V_S(0) \right) = \frac{2}{T} C_p V_n$$

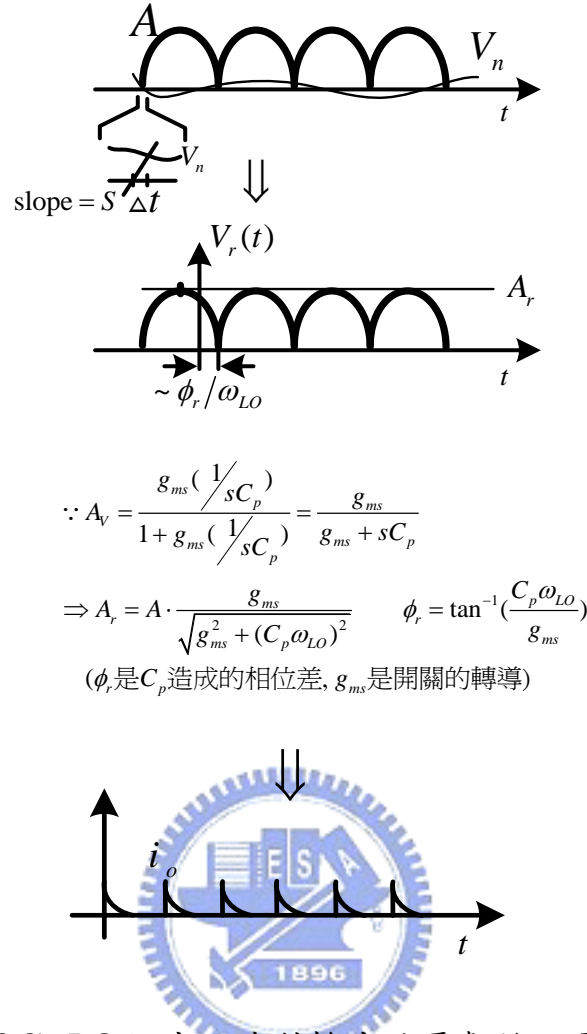
由上式可得知，在完全開關的狀況下，間接開關雜訊跟 LO 頻率成正相關，當 LO 頻率越高時， i_{o,n,V_n} 也就提高，另外 LO 開關級的 size 不要設計得太大，這樣可以藉減少 C_p 來降低 i_{o,n,V_n} ，通常，間接開關雜訊的量會小於直接開關雜訊。

再來討論 LO 的輸入訊號為弦波的情形，間接開關雜訊如何對輸出端貢獻低頻雜訊。同之前，在考慮一邊 ON 的時候，如圖(3.7)所示：



圖(3.7) 當LO輸入訊號為弦波半週期下的等效電路

除了 V_n 對輸出端造成雜訊電流 i_{o,n,V_n} 外，LO 的弦波輸入訊號在這邊會類似直接開關雜訊的機制，LO 的 zero-crossing 會因為 V_n 而位移 Δt ，所以 ON 的時間增加或減少 Δt ，而 $V_r(t)$ 在 Δt 的時間內會對 C_p 充放電，tail current 也隨之變動等量的小電流，反應到輸出端即產生雜訊小電流 i_o ，以 $2\omega_{LO}$ 的頻率出現，圖(3.8)可以幫助我們更加了解。



圖(3.8) LO弦波訊號對輸出端貢獻雜訊電流

接下來要推導 LO 弦波訊號在輸出端貢獻的雜訊電流大小，過程如下：

$$i_{o,n,V_r} = \frac{2}{T} \times 2 \times \int_{-\Delta t/2}^{\Delta t/2} C_p \left[\frac{d}{dt} V_r(t) \right] dt = \frac{4}{T} C_p \left(V_r \left(\frac{\Delta t}{2} \right) - V_r \left(-\frac{\Delta t}{2} \right) \right)$$

$$\text{令 } V_r(t) = A_r \cos(\omega_{LO} t + 90^\circ - \frac{\phi_r}{\omega_{LO}}) \quad , \quad -\Delta t/2 \leq t \leq \Delta t/2 \quad , \quad \Delta t/2 \text{ 非常小}$$

所以可近似看成：

$$i_{o,n,V_r} = \frac{4}{T} C_p (V_r(\frac{\Delta t}{2}) - V_r(-\frac{\Delta t}{2})) = -\frac{4}{T} C_p \frac{dV_r(t)}{dt} \Delta t$$

其中

$$\frac{dV_r(t)}{dt} = -A_r \omega_{LO} \sin(90^\circ - \frac{\phi_r}{\omega_{LO}}) = -A_r \omega_{LO} \cos \frac{\phi_r}{\omega_{LO}} \text{ 為 } V_r(t) \text{ 在 } t=0 \text{ 的}$$

斜率， $\Delta t = V_n / S$ ， $S = 2A\omega_{LO}$ 在 $t=0$

代入得到：

$$i_{o,n,V_r} = -\frac{4}{T} C_p \left(A \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \right) \omega_{LO} \cos\left(\frac{\phi_r}{\omega_{LO}}\right) \frac{V_n}{2A\omega_{LO}}$$

$$= -\frac{2}{T} C_p \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \sqrt{1 - \sin^2\left(\frac{\phi_r}{\omega_{LO}}\right)} V_n$$

$$\frac{\phi_r}{\omega_{LO}} \text{ 很小， } \frac{\phi_r}{\omega_{LO}} \approx \frac{C_p \omega_{LO}}{g_{ms}} \Rightarrow$$

$$i_{o,n,V_r} = -\frac{2}{T} C_p \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \sqrt{\frac{1}{1 + \sin^2\left(\frac{\phi_r}{\omega_{LO}}\right)}} V_n = -\frac{2}{T} C_p \frac{g_{ms}^2}{g_{ms}^2 + (C_p \omega_{LO})^2} V_n$$

導出 i_{o,n,V_r} 後，還要加上跟著進來的閃爍雜訊 V_n 造成的 i_{o,n,V_n} ，得到最後 LO 的輸入訊號為弦波在輸出端造成的低頻雜訊：

$$\begin{aligned} i_{o,n} &= i_{o,n,V_r} + i_{o,n,V_n} \\ &= \left(-\frac{2}{T} C_p \frac{g_{ms}^2}{g_{ms}^2 + (C_p \omega_{LO})^2} V_n \right) + \left(\frac{2}{T} C_p V_n \right) = \frac{2C_p}{T} V_n \cdot \frac{(C_p \omega_{LO})^2}{g_{ms}^2 + (C_p \omega_{LO})^2} \end{aligned}$$

3.2.2 白雜訊之分析

討論完主動式混頻器輸出端低頻閃爍雜訊的成因後，接下來就要了解其高頻白雜訊的來源有哪些，這邊的分析也沿用之前討論閃爍雜訊成因的分類，針對輸入轉導級、LO 的切換電晶體和輸出端的負載，這三大部分來做各自對輸出端高頻白雜訊的貢獻的探討。

(1) 輸出負載

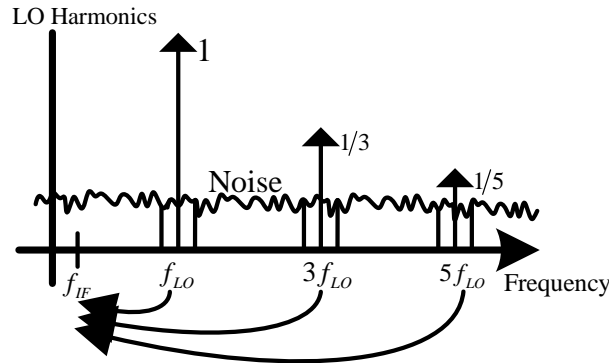
以圖(3.2)的單平衡式的混頻器為例，電阻負載在輸出端貢獻的高頻雜訊為 $4kTR$ ，因為熱雜訊具 uncorrelated 的特性，所以 differential out 時貢獻為 2 倍，也就是 $8kTR$ 。

(2) 輸入轉導級

輸入轉導級其熱雜訊對輸出端貢獻的白雜訊為：

$$\hat{V}_{o,n}^2 = n \times \frac{4kT\gamma}{g_m} \cdot \underbrace{\left(\frac{2}{\pi} g_m R_L \right)^2}_{\text{mixer's gain}}$$

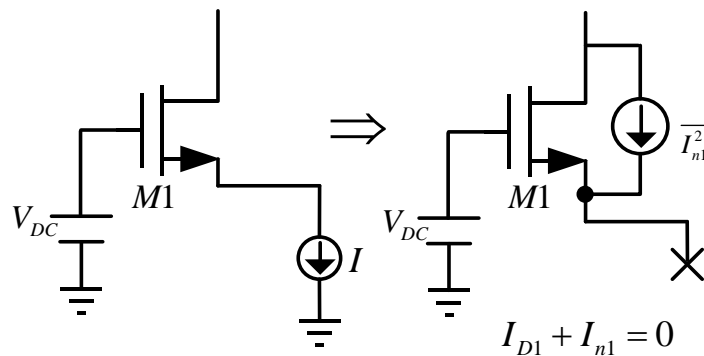
其中 $n = 2 \left(1 + \frac{1}{3^2} + \frac{1}{5^2} + \dots \right) = \frac{\pi^2}{4}$ 。另外值得一提的是，在 $V_{LO}(t)$ 諧波附近的雜訊會在混頻後一起降到 IF，如圖(3.9)，但是其大小會比閃爍雜訊低，故不會對輸出端貢獻低頻雜訊。



圖(3.9) LO附近的雜訊會被降到IF

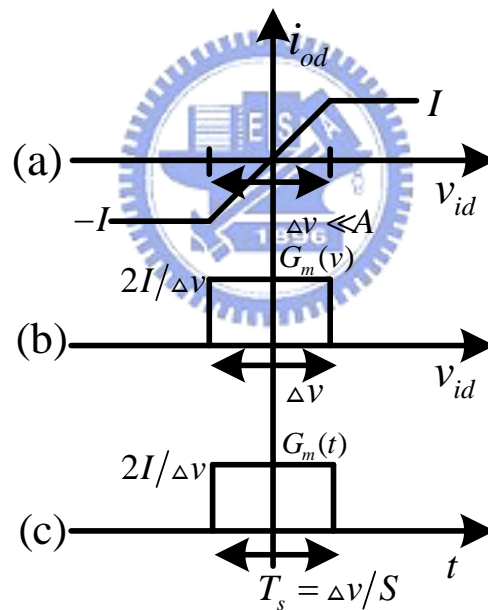
(3) LO 切換開關級

最後來討論 LO 開關級，在這邊使用與前面閃爍雜訊的直接開關雜訊的同一種觀念來看，當 LO 開關 hard switch 時，一邊 ON，見圖(3.10)，電晶體往下看到開路， $I_{D1} + I_{n1} = 0$ ， I_{n1} 流不出去，開關級不會對輸出端貢獻熱雜訊。



圖(3.10) hard switch 時不會貢獻雜訊

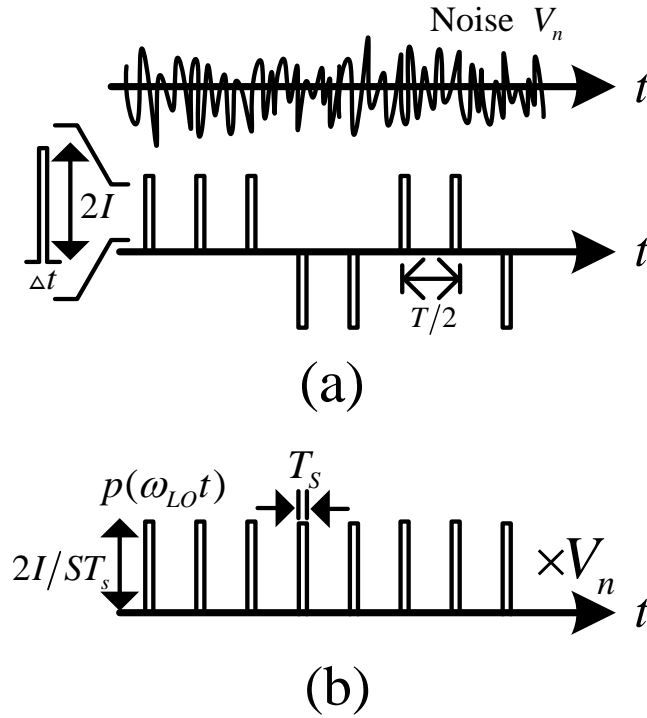
因為 hard switch 時開關級不會對輸出端貢獻熱雜訊，所以把焦點放在 soft switch 的狀況下來討論。soft switch，也就是 M1 和 M2 在做切換的時候，非其中一個 ON 另一個就 OFF 的情況，會出現一小段時間兩者都 ON，圖(3.11)以其中一次 both ON 的時刻幫助我們了解 soft switch 的操作。開關級的熱雜訊趁 T_s 這個 M1 和 M2 一起 ON 的時間漏到輸出端，形成一雜訊脈衝，出現頻率為 $2\omega_{LO}$ ，圖(3.12)可以來說明這個情形。



圖(3.11) (a) soft switch 時的 $I-V$ 圖

(b)開關級的等效轉導與電壓的關係

(c)開關級的等效轉導與時域的關係



圖(3.12) (a)熱雜訊在輸出端的雜訊脈衝
 (b)取樣函數與雜訊脈衝的關係

圖(3.12)(b)中的 $p(\omega_{LO}t)$ 為取樣函數，它對 V_n 取樣得雜訊脈衝，因為是在 M1 和 M2 都 ON 的時間 T_s 內取樣，所以 $p(\omega_{LO}t)$ 呈長方形。接著來分析雜訊脈衝在輸出端所造成的雜訊電流，因為：

$$i_{o,n} = p(\omega_{LO}t) \cdot V_n(t) \quad \hat{V}_n^2 = \frac{4kT\gamma}{G_m}$$

$$p(\omega_{LO}t) = \sum_n G_m \left(t - \frac{nT}{2} \right) \quad G_m = \frac{2I}{\Delta V}$$

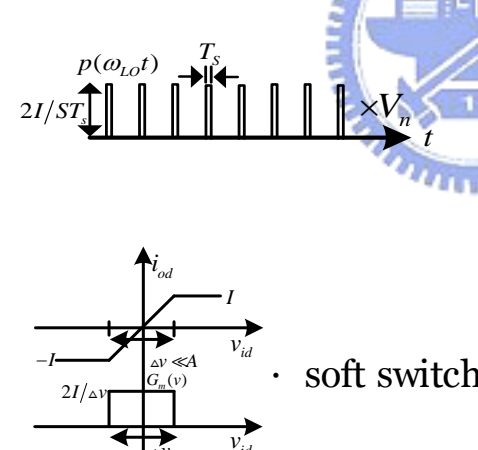
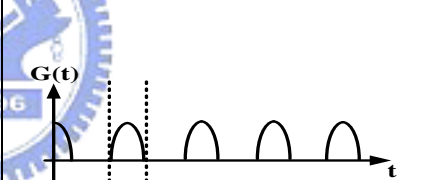
所以，

$$\hat{i}_{o,n}^2 = \frac{2}{T} \int_0^{T_s} p^2(t) dt \cdot \hat{V}_n^2 = \frac{2}{T} \cdot \left(\frac{2I}{S} \right)^2 \cdot \frac{1}{T_s} \cdot \hat{V}_n^2$$

$$\begin{aligned} \Rightarrow \hat{i}_{o,n}^2 &= \frac{2}{T} \cdot \left(\frac{2I}{S}\right)^2 \cdot \frac{1}{T_s} \cdot \frac{4kT\gamma}{G_m} = \frac{2}{T} \cdot \left(\frac{2I}{S}\right)^2 \cdot \frac{1}{T_s} \cdot \frac{4kT\gamma}{\frac{2I}{\Delta V}} \\ &= \frac{2}{T} \cdot \left(\frac{2I}{S}\right)^2 \cdot \frac{1}{T_s} \cdot \frac{4kT\gamma}{\frac{2I}{ST_s}} = 4kT\gamma \cdot \frac{4I}{S \times T} = 4kT\gamma \cdot \frac{I}{\pi A} \end{aligned}$$


以上導出來的 LO 開關級在輸出端貢獻的高頻雜訊電流的 PSD，我們拿來和 Meyer 的一篇也是探討混頻器白雜訊的論文做比較[3]，如表 3.1。由這個表中可以發現，雖然[2]、[3]在開關級的熱雜訊假設上稍稍不同，但是最後得到的結果卻是相同。


表 3.1 Abidi[2]和 Meyer[3]的輸出端白雜訊比較


	Abidi[2]	Meyer[3]
異	 <p>• soft switch</p>	 <p>• No assumption was made about the I-V of switches.</p>
同	<p>• PSD of output due to one switch:</p> $\hat{i}_{o,n}^2 = 4kT\gamma \frac{4I}{ST}$ <p>zero-crossing slope $S = 2\pi \cdot 2A/T_{LO}$</p> $\hat{i}_{o,n}^2 = 4kT\gamma \frac{I}{\pi A}$ <p>➡ $i_{o,n}^2(f) \propto I, i_{o,n}^2(f) \propto 1/A$</p>	<p>• PSD of output due to two switches:</p> $S_{n12}^o(f, t) = 8kT\gamma G(t) = 8kT\gamma \frac{4I_B}{T_{LO}\lambda}$ <p>zero-crossing slope $S = 2\pi V_o/T_{LO}$</p> $S_{n12}^o(f, t) = \frac{16kT\gamma I_B}{\pi V_o}$ <p>➡ $S_{n12}^o(f) \propto I_B, S_{n12}^o(f) \propto 1/\lambda$</p>

最後把輸入轉導級、LO 的切換電晶體和負載對輸出端貢獻的熱雜訊做加總，可得：

$$\hat{V}_{o,n}^2 = 8kTR_L + 8kT\gamma \frac{I}{\pi A} \cdot R_L^2 + n \times \frac{4kT\gamma}{g_m} \cdot \left(\frac{2}{\pi} g_m R_L \right)^2$$


 負載


 開關級


 輸入轉導級

這就是我們在輸出端看到的白雜訊，因為我們是以單平衡式的混頻器為例，若要考慮雙平衡式的混頻器，則變成

$$\hat{V}_{o,n}^2 = 8kTR_L \left(1 + \gamma \frac{2R_L I}{\pi A} + \gamma g_m R_L \right)$$

式混頻器的電流為單平衡的1/2，所以在輸出端仍具相同的雜訊能量。

由在輸出端看到的白雜訊總式中， $\hat{V}_{o,n}^2$ 可藉由變大 πA ，也就是增加 LO 的振幅來減少，或是減少 I 和 g_m 來達成。

3.3 閃爍雜訊對直接降頻混頻器的影響與改進方法

3.3.1 閃爍雜訊與零中頻架構

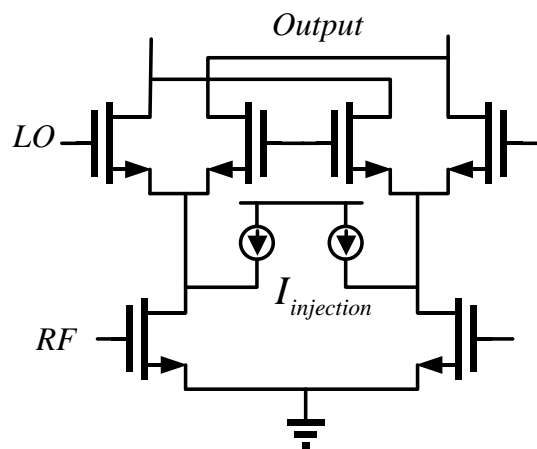
零中頻(Zero-IF)接收機是目前被廣泛使用的接收機架構，由於射頻訊號先經過低雜訊放大器放大訊號後，直接由本地振盪訊號降至基頻訊號，因此又稱為直接轉換接收機(Direct Conversion Receiver)。零中頻接收機直接將射頻訊號降到基頻，因此不會有鏡像訊號(Image Signal)干擾的問題。此架構不需使用外接的濾波器，可以由單一積體電路來實現，所以在無線接收機設計時常會使用該架構。

在採用 CMOS 製成的時候，低頻的閃爍雜訊是零中頻接收機所須面對的問題之一。由於金氧半場效電晶體(MOS)的閃爍雜訊，其功率頻譜密度為 $1/f$ 的曲線，所以閃爍雜訊會使直接降頻至基頻的訊號雜訊比降低。

3.3.2 利用電流注入架構改進閃爍雜訊

(1) 靜態電流注入裝置

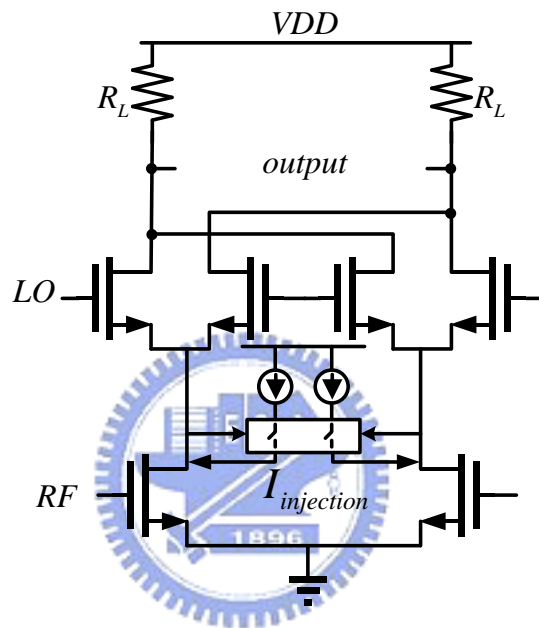
經由前面對主動式混頻器的閃爍雜訊分析，可以了解到 LO 的開關級會貢獻一直接開關雜訊， $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，所以在 [4] 中提出了電流注入的方法來減少直接開關雜訊，用意為藉由加上一電流注入電路可在不改變流經輸入轉導級的電流下，可減少流經開關級的電流，因此 I 下降， $i_{o,n}$ 就會下降，這種持續注入概念稱靜態電流注入架構，圖 (3.13)。但是這個電路仍然存在一些 trade-off，如在 RF 的汲極加上電流注入裝置，使該點的寄生電容變大，對於混頻器的頻寬造成影響，而且這個裝置會使線性度變差，且白雜訊會上升。



圖(3.13) 使用靜態電流注入架構的混頻器

(2) 動態電流注入裝置

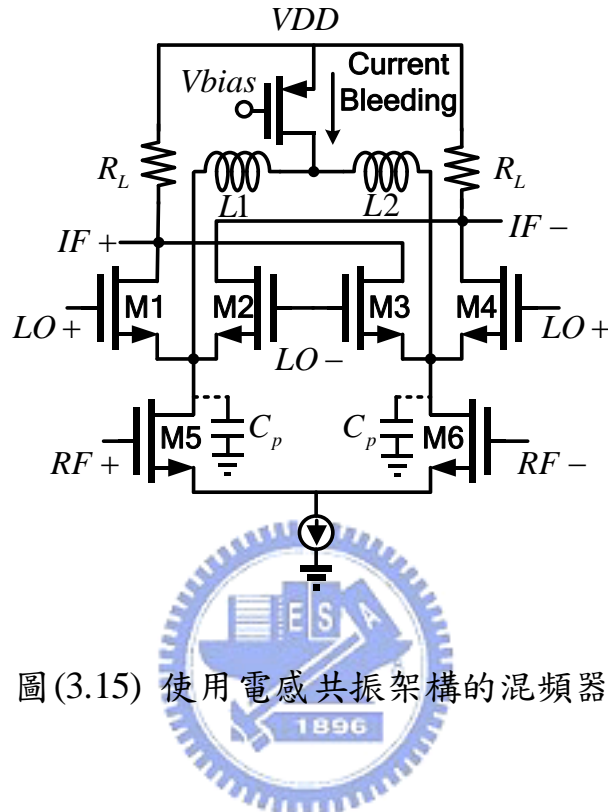
動態電流注入裝置則是只在 zero-crossing 點的時刻做電流注入的動作，其他的時候則是維持關掉的狀態，見圖(3.14)，這種作法可解決前面靜態電流注入裝置的缺點，主要是因為動態電流注入只在 zero-crossing 點發生，對於轉換增益不會減少，也不會增加白雜訊的量。



圖(3.14) 使用動態電流注入架構的混頻器

3.3.3 利用電感共振改進閃爍雜訊

關於藉改進間接開關雜訊來降低輸出端的閃爍雜訊，[5]提出了圖(3.15)方法：



圖(3.15) 使用電感共振架構的混頻器

因為開關級source端的寄生電容是造成間接開關雜訊的主要原因，因此[5]不只加上電流注入架構來降低直接開關雜訊，還加上了 $L1$ 和 $L2$ ，其主要作用就是把 C_p 給共振掉，而且 $L1$ 和 $L2$ 對輸入轉導級的小訊號電流等效是兩個AC choke來阻擋它通過，這樣避免 i_{RF} 漏過去，可以完全流至輸出端，可達到較高的conversion gain。共振時：

$$Z_{in} = \frac{1}{g_{m1}} \parallel \frac{1}{g_{m2}} = \frac{1}{g_{m1} + g_{m2}}$$

$$\omega_0 = \frac{1}{\sqrt{L1 \cdot C_p}}$$

$$Q = \frac{1}{\omega_0 L1 (g_{m1} + g_{m2})} = \frac{\omega_0 C_p}{g_{m1} + g_{m2}}$$

3.3.4 利用雙次降頻架構改進閃爍雜訊

3.3.2 討論的是藉著減少 $i_{o,n} = 4I \frac{V_n}{S \times T}$ 中的 I 來降低 $i_{o,n}$ ，這邊 3.3.4 則是討論藉著提高 T 來降低 $i_{o,n}$ 。[6] 提出了雙次降頻的想法，如圖 (3.16) 所示：

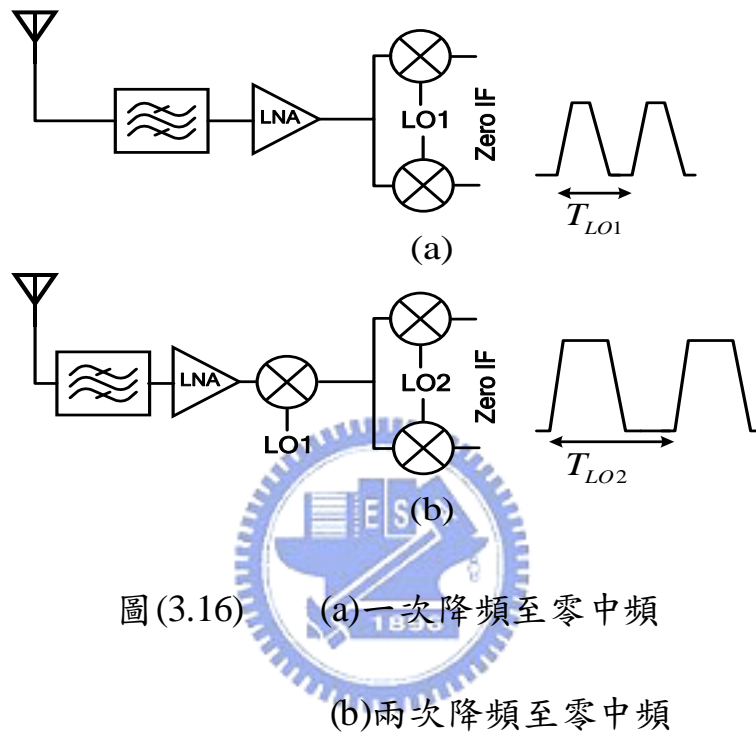
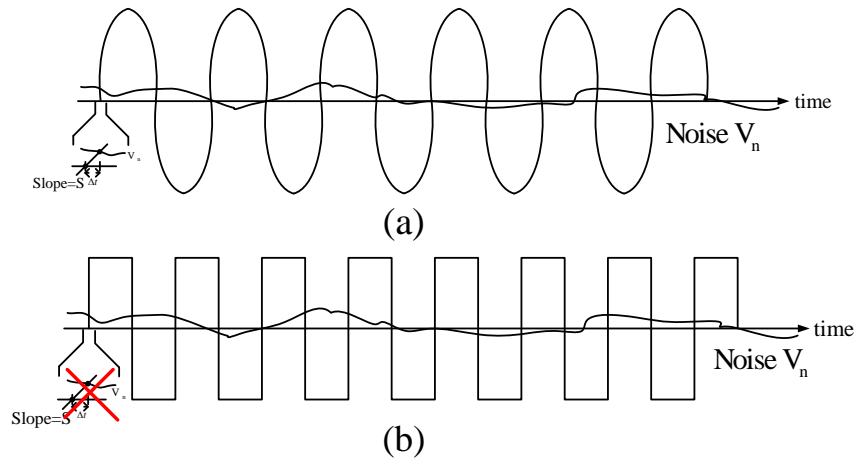


圖 (3.16) (a) 一次降頻至零中頻
(b) 兩次降頻至零中頻

圖 (3.16)(a) 到零中頻只降頻一次，所以 $f_{RF} = f_{LO1}$ ， f_{LO1} 高 T_{LO1} 就小，因此 $i_{o,n}$ 無可避免的就會比較高，圖 (3.16) (b) 則顯示，利用兩次降頻到零中頻， f_{LO2} 自然會小於 f_{LO1} ，所以 T_{LO2} 相對的高， $i_{o,n}$ 便可獲得改進，但是對於 f_{LO1} 和 f_{LO2} 的頻率規劃，記得要使 f_{IF1} 也就是 f_{LO2} 高於 f_c 。關於 LO1 和 LO2 訊號的產生，可利用除頻器，打入一個 LO1 訊號經除頻器產生 LO2，這個作法會使 LO2 的訊號以近似方波的形式出現，也因為近似方波使 LO 振幅的斜率 S 大大提高，對降低 $i_{o,n}$ 有幫助，如圖 (3.17)。

圖(3.17) (a)LO 為弦波與 V_n 的關係(b) LO 為方波與 V_n 的關係

最後值得一提的是，若要從 $i_{o,n} = 4I \frac{V_n}{S \times T}$ 來改進輸出端的閃爍雜訊，不建議從 V_n 下手，因為要降低 V_n 就要加大 LO 開關級電晶體的 W 、 L ，這樣會使得 LO 開關的速度減低，而且也會增加開關級 source 端的寄生電容，使間接開關雜訊變大而且 RF 的頻寬也會跟著下降，因此對於 LO 開關級電晶體的 size 選擇應特別注意，過小會使 V_n 變大，過大也會有其他的問題產生。

3.3.5 利用雙次降頻架構與頻率規劃改進閃爍雜訊

3.3.5 將對 3.3.4 中 LO1 和 LO2 的頻率配置做深入討論，既然使用除頻器可使 S 提高來降低 $i_{o,n}$ ，那麼這個除頻器該使用多少的除數才算最好？除頻器除數的設定需符合以下的一些條件，第一，希望除頻器中

能取出 0° 、 90° 、 180° 、 270° 這四種相位的訊號供 LO2 使用；第二，LO1、LO2 差距要夠大， f_{LO2} 越小 T_{LO2} 便越大，對 $i_{o,n}$ 的改進能越多；第三， f_{RF} 、 f_{LO1} 和 f_{LO2} 混頻之後產生的 spurious 希望最少。根據這些條件，我們利用一些數學試著找出 f_{RF} 、 f_{LO1} 、 f_{LO2} 和除頻器除數 n 的關係，頻率規劃的過程如下：

zero IF 下 x, y, z 為 RF, LO1, LO2 的 harmonic order

$$\pm xRF \pm yLO1 \pm zLO2 = 0 \quad x, y, z \in \mathbb{N} \quad (1)$$

$$\text{設 } RF = mLO1, \quad LO1 = nLO2 \quad m, n \in \mathbb{R}$$

$$\text{在 } x, y, z = 1, -1, -1 \Rightarrow RF - LO1 - LO2 = 0$$

$$\text{(fundamental mixer)} \quad mnLO2 - LO2 - nLO2 = 0$$

$$(mn - 1 - n)LO2 = 0 \Rightarrow m = \frac{n+1}{n}$$

代回(1)

$$\pm mnx \pm ny \pm z = 0$$

$$\Rightarrow \pm \left(\frac{n+1}{n} \cdot n \right) x \pm ny \pm z = 0$$

$$\Rightarrow \pm (n+1)x \pm ny \pm z = 0$$

$$\therefore n = \frac{\pm z \pm x}{\pm y \pm x} \quad \leftarrow \text{divider 所選用的除數}$$

接下來將 x 、 y 、 z 這些分別代表 RF、LO1、LO2 的諧波項設定在 5 階以內，超過 5 階的不予以考慮，做出 $\pm z \pm x$ 、 $\pm y \pm x$ 的對應矩陣，如下表 3.2、表 3.3。

表 3.2 $\pm z \pm x$ 矩陣

z/x	-5	-4	-3	-2	-1	0	1	2	3	4	5
-5	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0
-4	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1
-3	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2
-2	-7	-6	-5	-4	-3	-2	-1	0	1	2	3
-1	-6	-5	-4	-3	-2	-1	0	1	2	3	4
0	-5	-4	-3	-2	-1	0	1	2	3	4	5
1	-4	-3	-2	-1	0	1	2	3	4	5	6
2	-3	-2	-1	0	1	2	3	4	5	6	7
3	-2	-1	0	1	2	3	4	5	6	7	8
4	-1	0	1	2	3	4	5	6	7	8	9
5	0	1	2	3	4	5	6	7	8	9	10

表 3.3 $\pm y \pm x$ 矩陣

y/x	-5	-4	-3	-2	-1	0	1	2	3	4	5
-5	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0
-4	-9	-8	-7	-6	-5	-4	-3	-2	-1	0	1
-3	-8	-7	-6	-5	-4	-3	-2	-1	0	1	2
-2	-7	-6	-5	-4	-3	-2	-1	0	1	2	3
-1	-6	-5	-4	-3	-2	-1	0	1	2	3	4
0	-5	-4	-3	-2	-1	0	1	2	3	4	5
1	-4	-3	-2	-1	0	1	2	3	4	5	6
2	-3	-2	-1	0	1	2	3	4	5	6	7
3	-2	-1	0	1	2	3	4	5	6	7	8
4	-1	0	1	2	3	4	5	6	7	8	9
5	0	1	2	3	4	5	6	7	8	9	10

藉著 $\pm z \pm x$ 、 $\pm y \pm x$ 兩個矩陣交互計算，我們可得出 n 與 x 、 y 、 z 的關係，也就是在某個除數 n 下，可以有幾種 x 、 y 、 z 的組合，這些組合代表的就是 spurious。我們利用 Matlab 來做個圖表幫助了解 n 和 spurious，見下圖 (3.18)，從圖中可發現，在 5 階以內， $n=8$ 時可得到只有 4 組的諧波組合，這些組合如圖 (3.19) 所示，同時除 8 除頻器也可取出 0° 、 90° 、 180° 、 270° 這四種相位的訊號，而且 $f_{LO1} = 8f_{LO2}$ 的這個差距也夠大，因此，使用除 8 除頻器可為一改進輸出端閃爍雜訊最好的選擇。

3.4 實作一，靜態電流注入與動態電流注入 (TSMC 0.13 μ m CMOS)

3.4.1 研究動機

單晶射頻積體電路(RFIC)在提供小面積、高重製性、高穩定性及在大量生產時的低價格方面，給射頻技術一個很好的選擇。而矽晶片的優點就是高整合度。而 CMOS 因為製程技術進步能應用在高頻操作，此外，具易積體化的優點可實現系統單晶片(SOC)。

因為 direct conversion 架構不需使用外接的濾波器，可以由單一積體電路來實現，所以最經濟，但 SNR 受閃爍雜訊的影響很大，所以本實作將實現電流注入之降頻器電路以降低接收機的閃爍雜訊，有兩種形式，靜態電流注入與動態電流注入。

3.4.2 電路設計

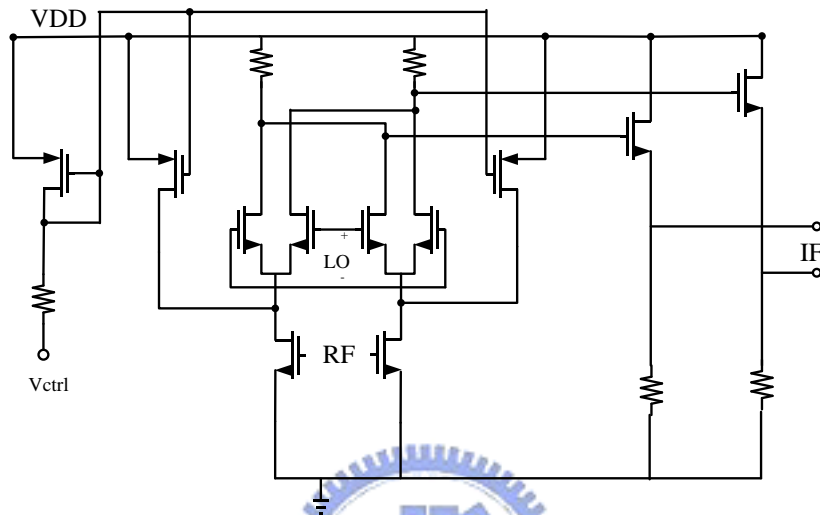
(1) 電路架構

此次電路實作，是使用 TSMC CMOS 0.13 μ m 製程來實現，利用電流注入的方法來降低混頻器的閃爍雜訊，由 $i_{o,n} = 4I \frac{V_n}{S \times T}$ 可知， $i_{o,n}$ 與 I 成正比，也就是流經 LO 的 DC 電流越少的話，輸出端的雜訊電流 $i_{o,n}$ 也會因而變少。

(2) 靜態電流注入

在 Gilbert Cell 外加上電流注入裝置，如圖(3.20)所示，目的是限制負載電阻的直流電流，使電阻值能往上提高而不影響直流壓降，進

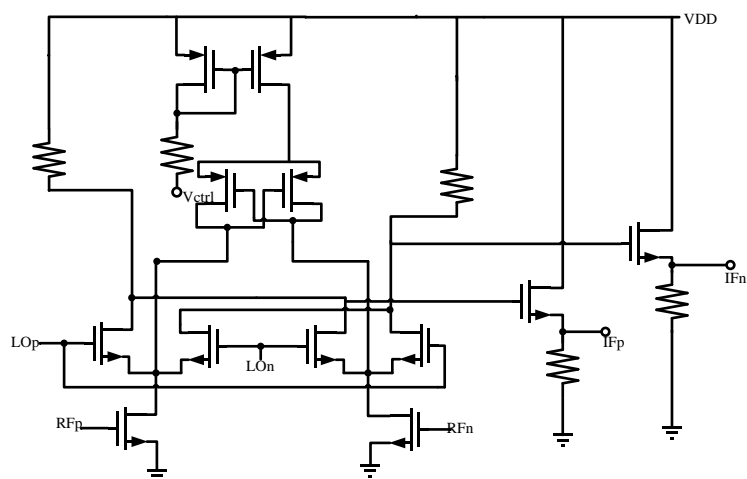
而提高混頻器電路轉換增益；根據[2]所討論的顫動雜訊發生的機制，降低流過 LO switch 的電流 I 可壓抑直接開關雜訊機制中的雜訊脈衝大小(理論上是 $2I$)，因此降低 switch 整體的顫動雜訊。



圖(3.20) Gilbert mixer with static current injection

(3) 動態電流注入

真正探究混頻器閃爍雜訊的成因[2]，將 RF 轉導級視為一 current sources，若 V_n 為等效的 flicker noise source，那包含 flicker noise 頻率成分的輸出電流，只有在輸入的 LO 弦波和 V_n 的 zero-crossing 點才會產生。因此不用一直使用電流注入的裝置，只需要在適當的時機讓產生電流注入的效果即可，如此一來，在不影響增益、線性度及功率消耗的狀況下，仍然可以降低閃爍雜訊，此技術稱為動態電流注入技術，見圖(3.21)。



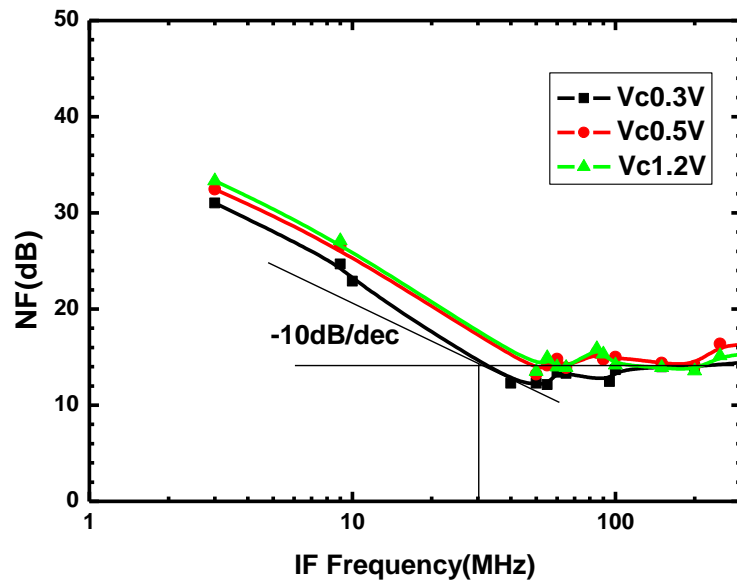
圖(3.21) Gilbert mixer with dynamic current injection



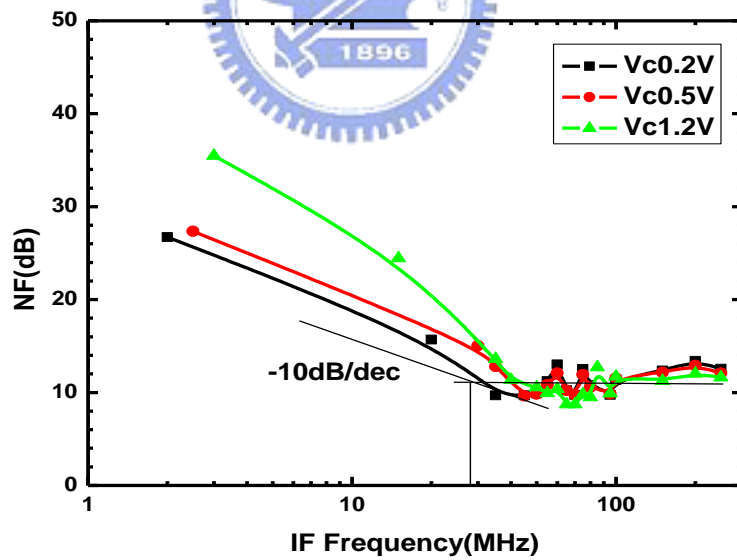
3.4.3 晶片量測結果

(1) $V_C = 0.3V$ 抽走最多 LO switch 電流， $V_C = 1.2V$ 關掉注入裝置：

$RF = 1.01GHz$ $LO = 1GHz$ $LOpower = 5dBm$

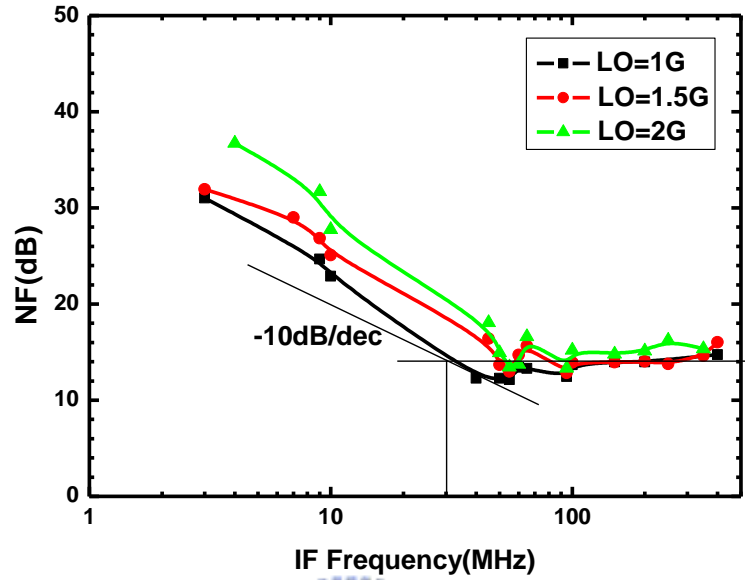


圖(3.22) Static與不同的注入電流

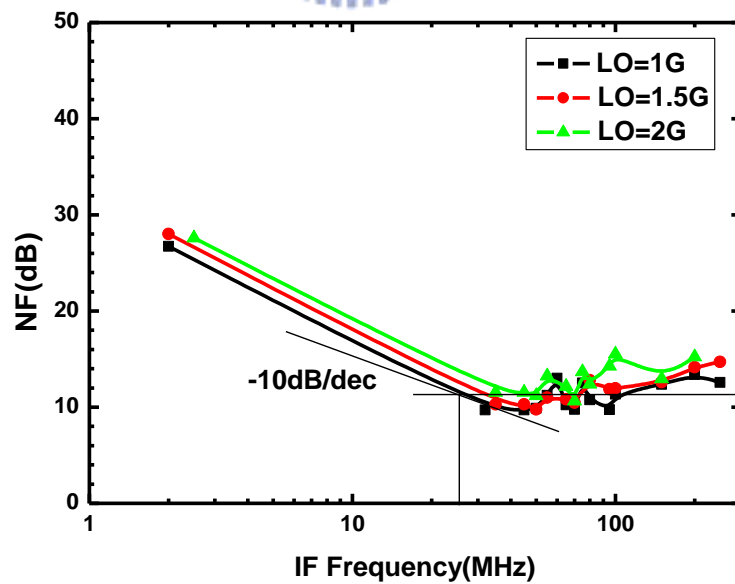


圖(3.23) Dynamic與不同的注入電流

(2) LO power = 5 dBm , LO frequency = 1GHz 、 1.5GHz 、 2GHz :

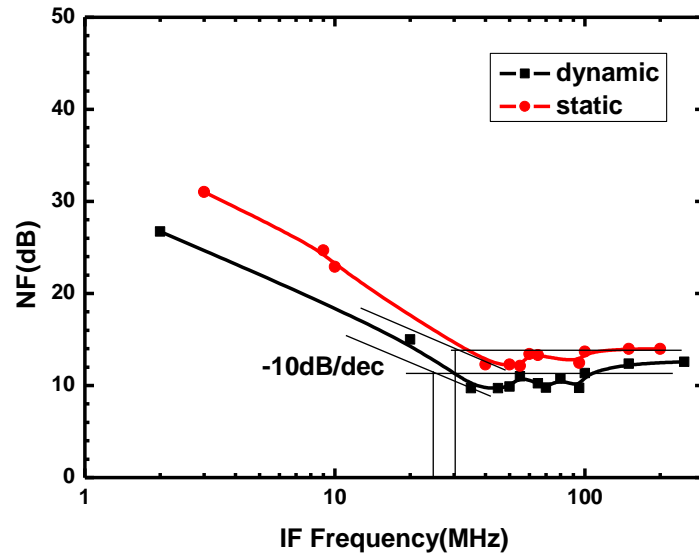


圖(3.24) Static與不同的LO頻率



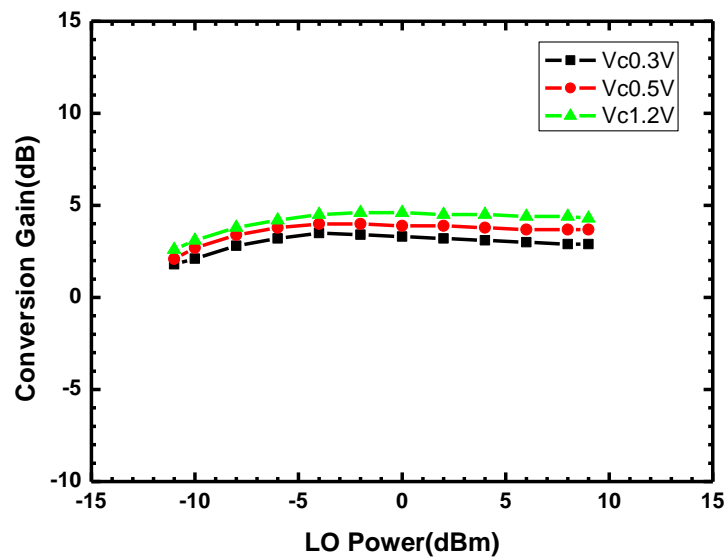
圖(3.25) Dynamic與不同的LO頻率

(3) Static與Dynamic的比較：



圖(3.26) Static與Dynamic的比較

(4) Static與Dynamic的 conversion gain：



圖(3.27) Static的 conversion gain

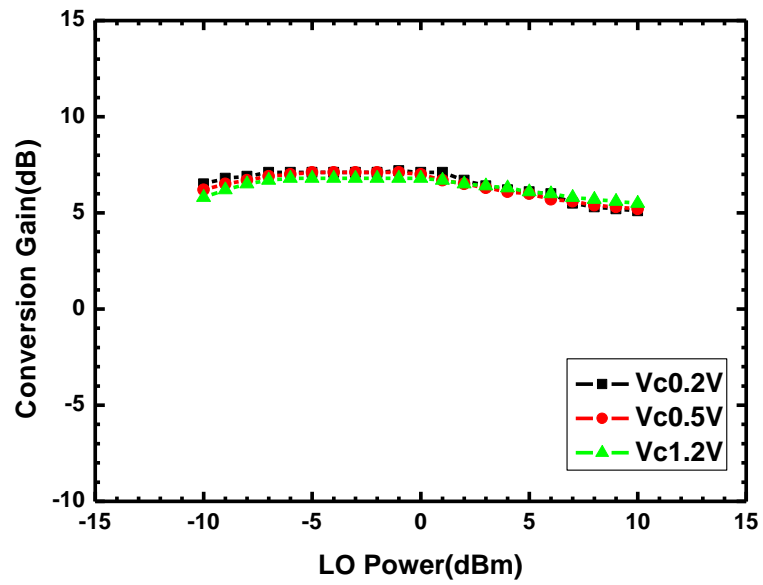


圖 (3.28) Dynamic 的 conversion gain

(4) Static 與 Dynamic 的 die photo :

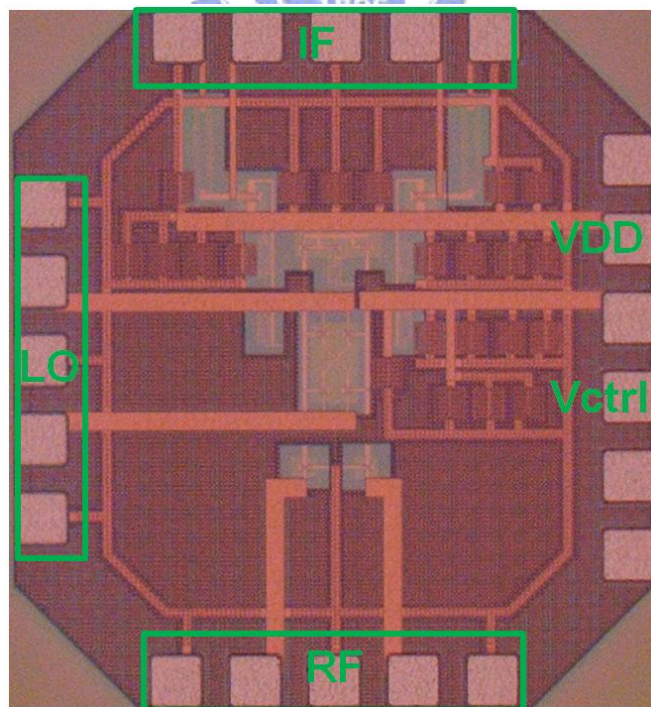
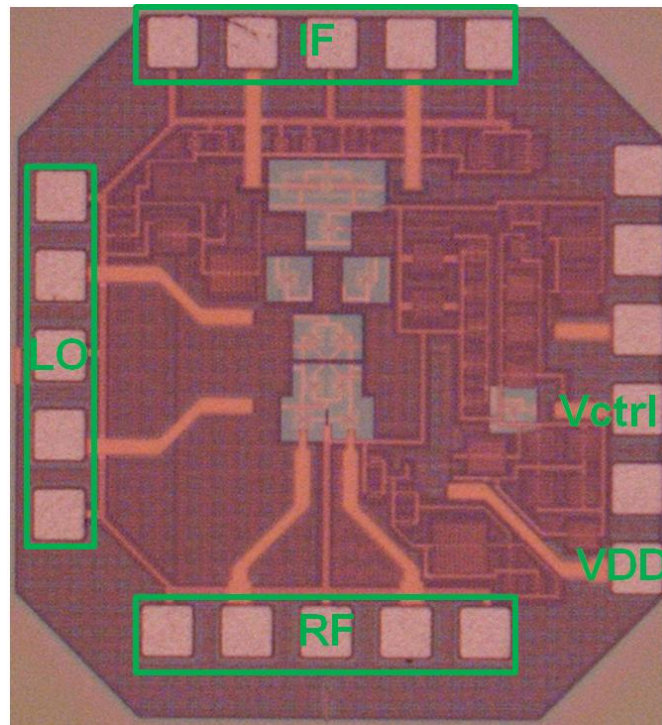


圖 (3.29) Static die photo (0.82mm x 0.90mm)



圖(3.30) Dynamic die photo (0.89 mmx 0.85 mm)

3.4.4 結果與討論

由3.4.3晶片量測結果可知，因為Static與Dynamic兩種電流注入裝置都受注入電流大小的影響，且使用的LO頻率越低，noise也越低，這是因為LO頻率越低，zero-crossing點出現的次數越少，LO開關級對輸出端貢獻雜訊電流的次數也變少。另外值得討論的是，圖(3.26)中我們看到Static比起Dynamic具較高的白雜訊，這是因為Static裝置是處於一直開的狀態，所以另外貢獻了白雜訊。圖(3.27)與圖(3.28)中我們可看到當我們調整注入電流的大小時，Static的conversion gain會跟著變動，這主要是因為持續開的Static current injection抽走了LO開關級的DC電流，使從LO開關級source端向上看的 $\frac{1}{g_m}$ 阻抗變大，促使 i_{RF} 向current injection漏過去，所以抽走越多電流時， $\frac{1}{g_m}$ 越大， i_{RF} 漏走更多，因此得到較低的conversion gain，反觀Dynamic current injection

只在 zero-crossing 點 on，所以對 conversion gain 的影響不大。

表 3.4 Gilbert mixers with static and dynamic current injection

量測結果比較

Gilbert mixers with static and dynamic current injection (TSMC 0.13μm CMOS)		
Item	Static (0.82 x 0.90mm²)	Dynamic (0.89 x 0.85 mm²)
Frequency(GHz) RF/LO/IF	1.01/1/0.01	1.01/1/0.01
Conversion Gain(dB) @current injection off	5	5
Mixer flicker noise corner (MHz)	30	26
Mixer white noise (dB)	14	12
P1dB (dBm)	-15	-16
Supply Voltage	1.2V	1.2V
Supply Current	11.8mA	12mA

3.5 實作二，使用除四除頻器具有閃爍雜訊改進之雙重降頻混頻器

(TSMC 0.18 μ m CMOS)

3.5.1 研究動機

在設計 CMOS 主動式混頻器的時候，我們發現即使是使用電阻當作負載仍然會在輸出端出現閃爍雜訊，這個發現令人覺得奇怪，電阻應該是不產生閃爍雜訊的元件，它從哪來？經過研究，它還是從 LO 切換開關級跑了進來，以直接開關雜訊或間接開關雜訊兩種模式出現，對於使用 zero IF 這種無線收發機，在低頻主宰的閃爍雜訊會對 IF 訊號造成失真或誤差，對後級影響很大，因此產生了要改進閃爍雜訊的想法。



3.5.2 電路設計

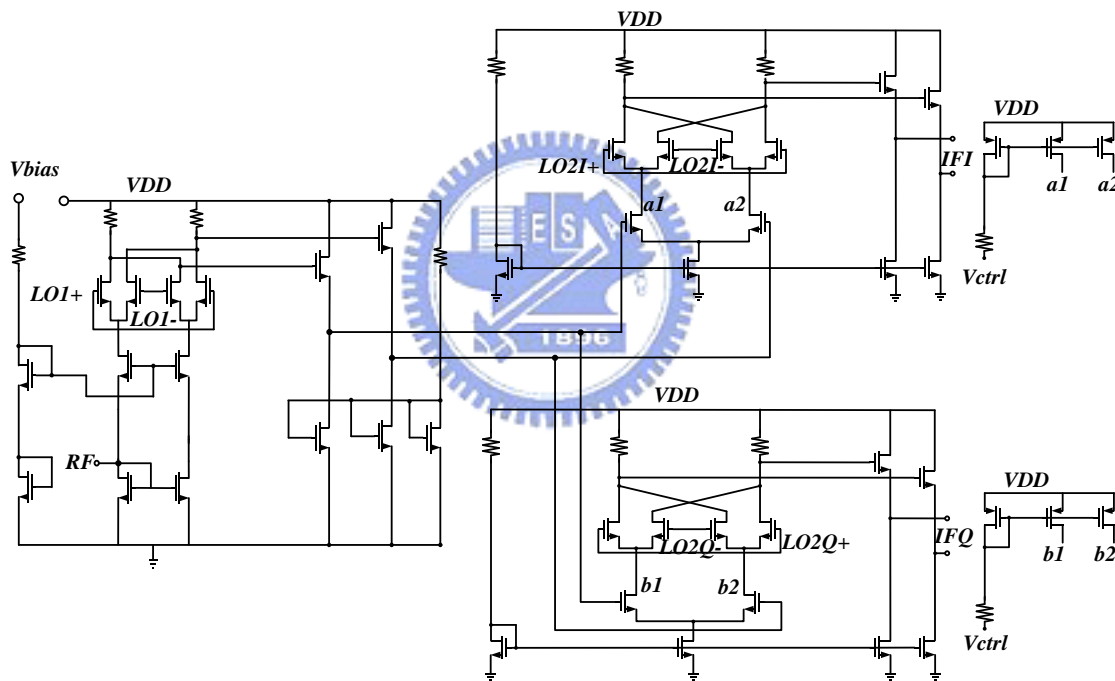
(1) 電路架構

經研究，主動式混頻器輸出端的閃爍雜訊主要由 LO 切換開關級貢獻，其中一主要成份為直接開關雜訊，因 zero-crossing 點的誤認，在被提前或延遲的狀況下，對輸出端貢獻雜訊脈衝，進而產生雜訊電流 $i_{o,n} = 4I \frac{V_n}{S \times T}$ 。因此在實作一中提出使用雙重降頻的方法來降低 $i_{o,n}$ ，這邊實作二則是再加入除頻器的使用，LO2 由 LO1 除頻產生，其形式近似方波，目的在提高 S 來減少 $i_{o,n}$ ，當然，多加了除頻器，power

和面積的消耗是可以預見的。

(2) 第一級與第二級的混頻器

第一級的混頻器是 Micromixer，能提供一寬頻輸入電阻匹配，不同於傳統的吉伯架構混頻器需要外加一匹配電路，而且只要單端的輸入既可產生 differential 的電流，使得混頻器有較好 port-to-port Isolation。第二級則使用吉伯架構混頻器，負責混頻 IF1 與由除頻器取出來的 LO2 IQ 訊號得到 IF2，在第二級還加上靜態電流注入裝置目的是在解決第二級混頻器在開關時產生的直接開關雜訊。

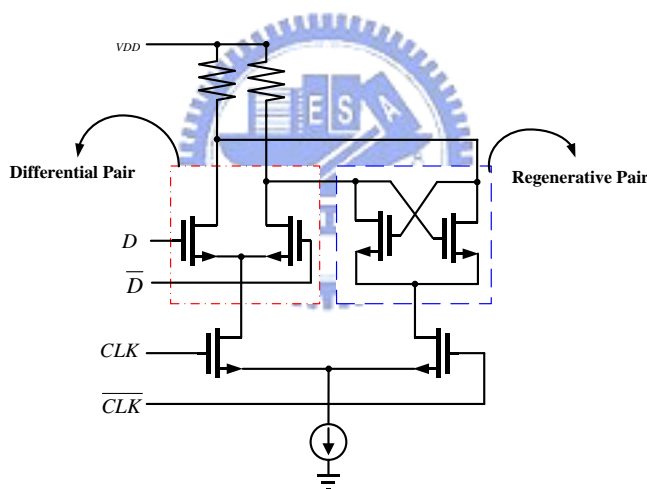


圖(3.31) 第一級與第二級混頻器

(3) 除四除頻器

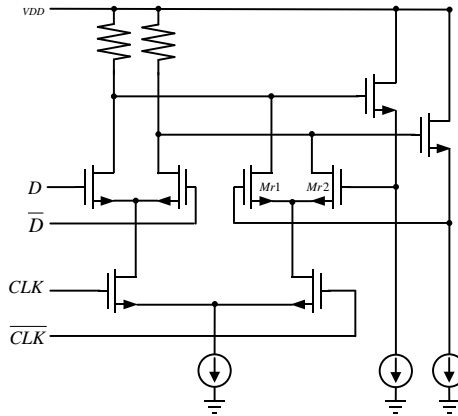
本次實作中使用的除4除頻器主要由兩組CML(current mode logic)的除2除頻器組成，簡單的來說除2電路就是將兩的D-type的latch作負

回授，也就是將D-type的Flop-Flip的 \bar{Q} 接回D，訊號由CK端輸入。為了達到最高的運作速度，必須採用最快速的電路架構：在BJT上稱為ECL(emitter coupling logic)或在MOS上稱為CML(current mode logic)。在CML架構下實現出來的latch電路是由一組differential pair加上regenerative pair形成，如圖(3.32)，而驅動該電路需要用一組differential的clock訊號。單一D-latch的運作過程如下：當CLK為high時，訊號由D端讀入differential pair中，此時的regenerative pair處於off狀態；當CLK為low時，differential pair停止讀取動作，regenerative pair開始將訊號鎖在該cross-coupled的latch架構中。雖然用CML實現出的latch可以高速操作，相對的功率消耗也相當可觀。



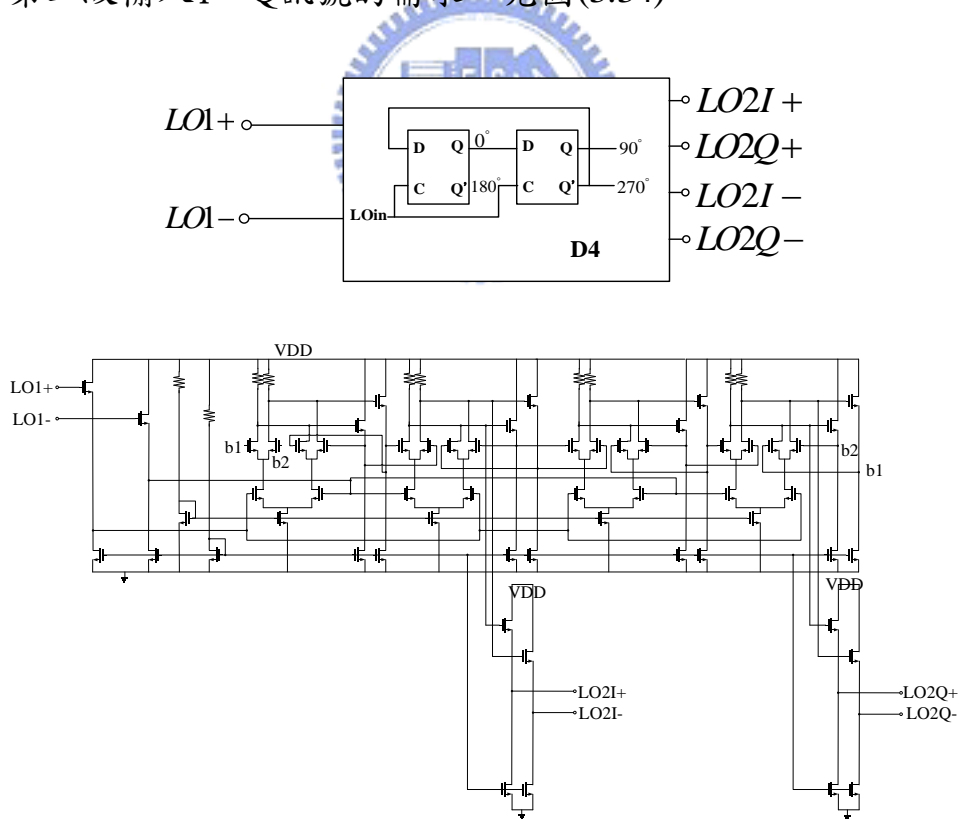
圖(3.32) 單一 D-latch 的電路圖

圖(3.32)在使用上會發生一些問題，當輸出訊號的swing很大時，會造成Regenerative pair的電晶體變成saturation，訊號就無法鎖住，因此在cross-coupled的路徑上加上一組source follower，讓Mr1和Mr2不會發生saturate的現象，見圖(3.33)。



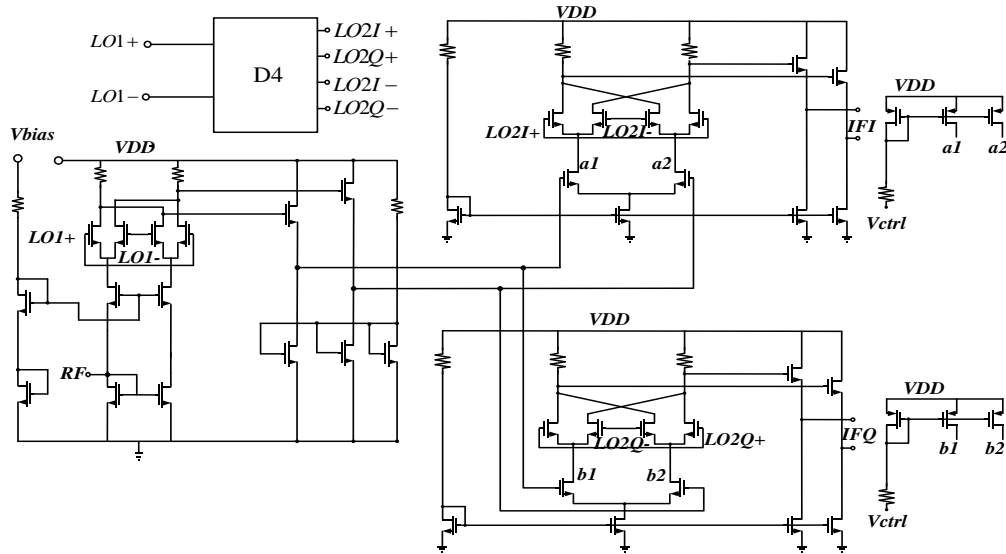
圖(3.33) 實際使用的D-latch電路圖

將圖(3.33)中的D-latch串接兩級後就可得到我們要的除4電路，從這個除4的除頻器中可以取出 0° 、 90° 、 180° 、 270° 這四種相位的訊號，符合第二級輸入I、Q訊號的需求，見圖(3.34)。



圖(3.34) 除4除頻器的電路架構

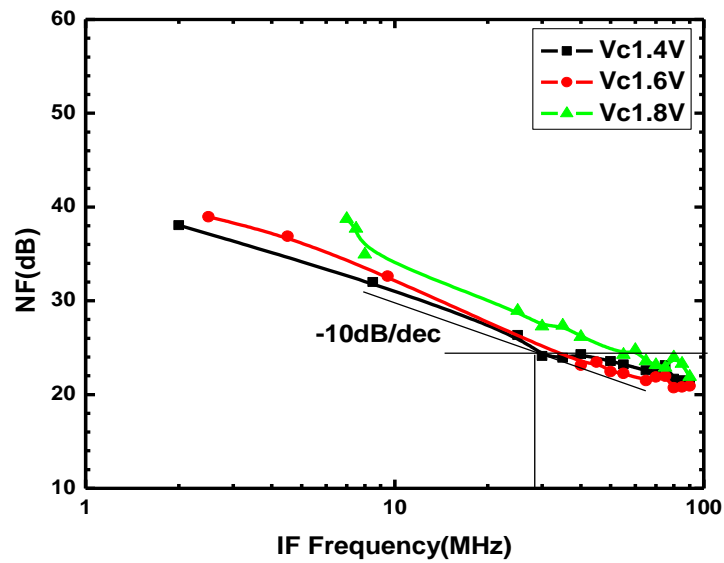
(4) 整體電路架構



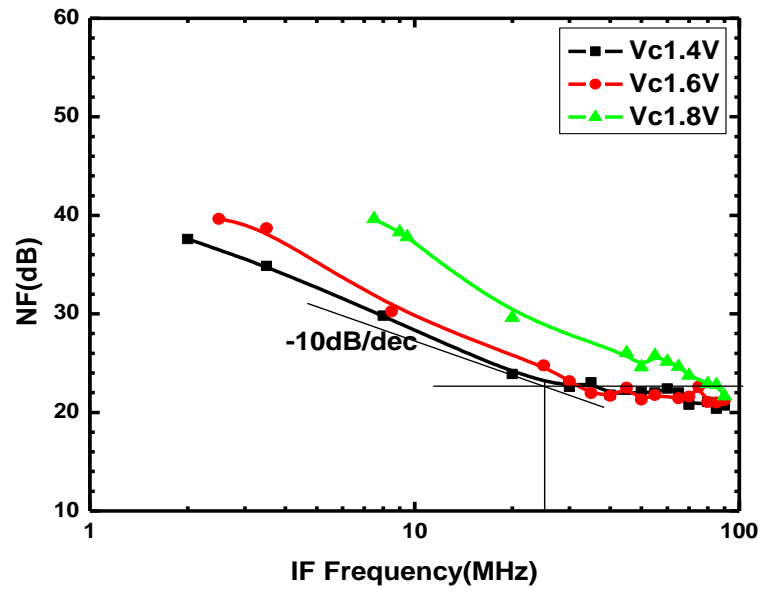
圖(3.35) 整體電路架構

3.5.3 晶片量測結果

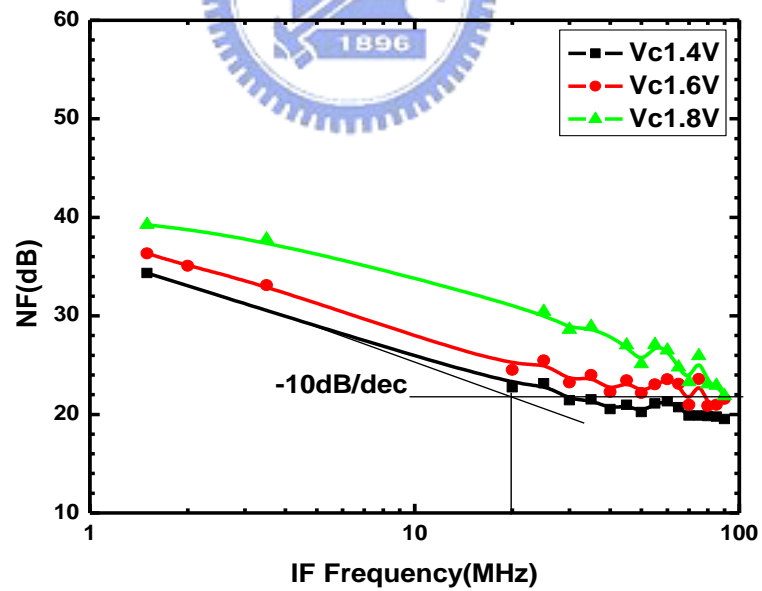
(1) $RF = 1.875GHz$, $LO1 = 1.5GHz$, $LO2 = 0.375GHz$ ($V_C = 1.4V$ 抽走最多 LO switch 電流) :



圖(3.36) LOpower=-2dBm時不同的注入電流

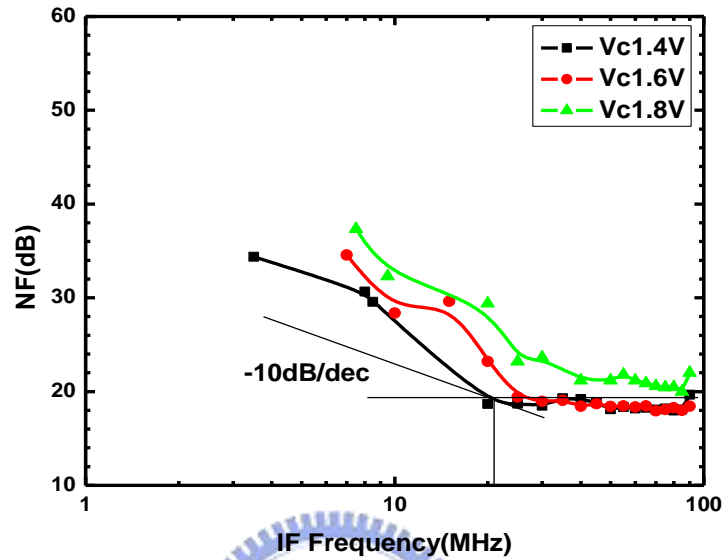


圖(3.37) LOpower=0dBm時不同的注入電流

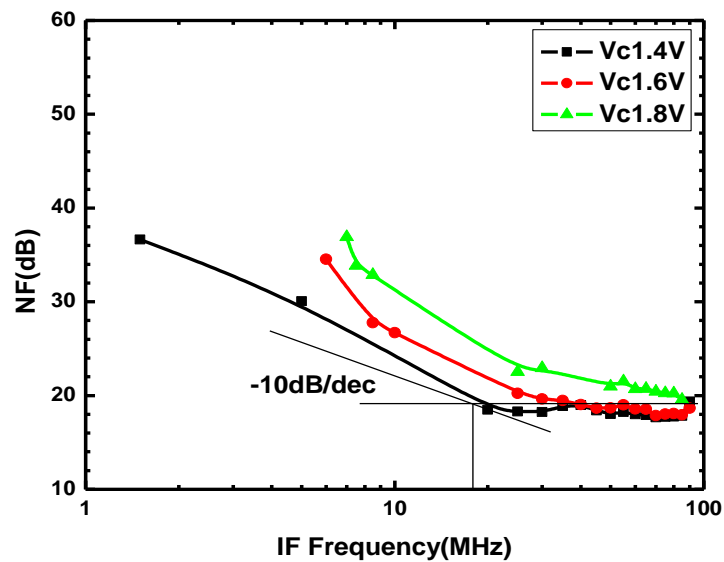


圖(3.38) LOpower=2dBm時不同的注入電流

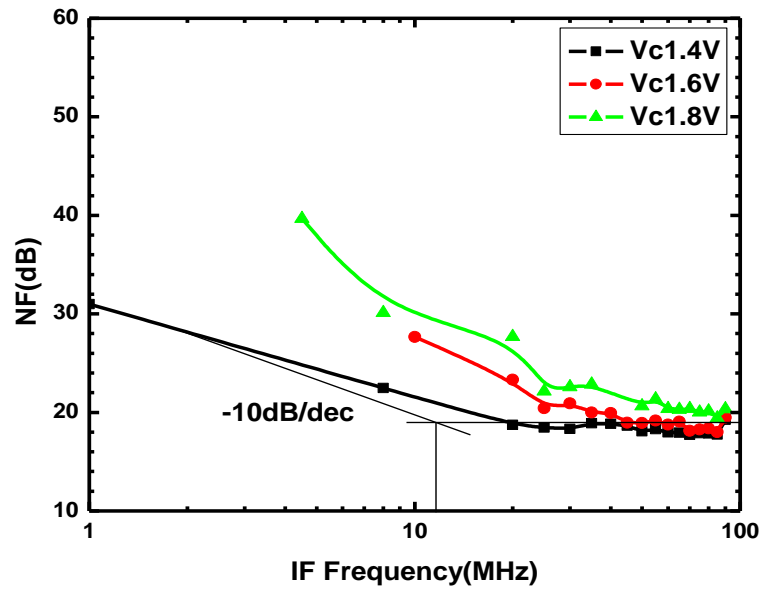
(2) $RF=1.25GHz$ $LO1=1GHz$ $LO2=0.25GHz$ ($V_C=1.4V$ 抽走最多 LO switch 電流) :



圖(3.39) LOpower=-2dBm時不同的注入電流

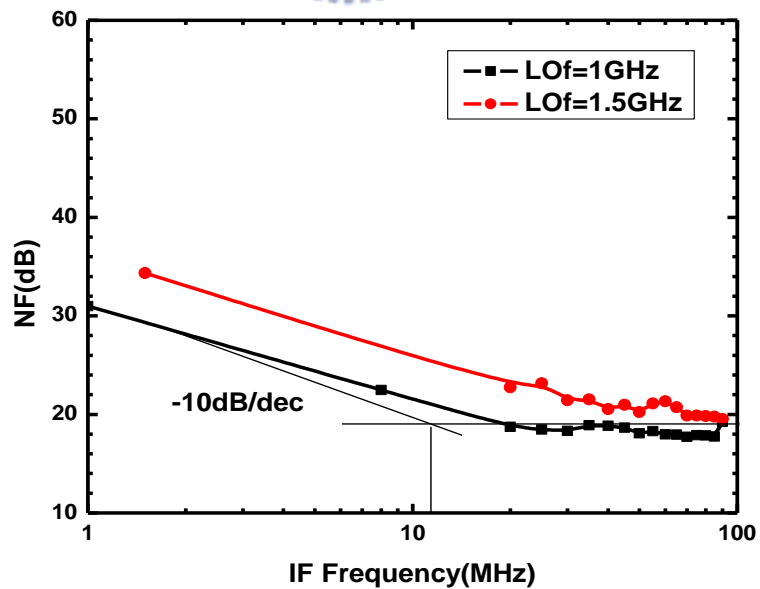


圖(3.40) LOpower=0dBm時不同的注入電流



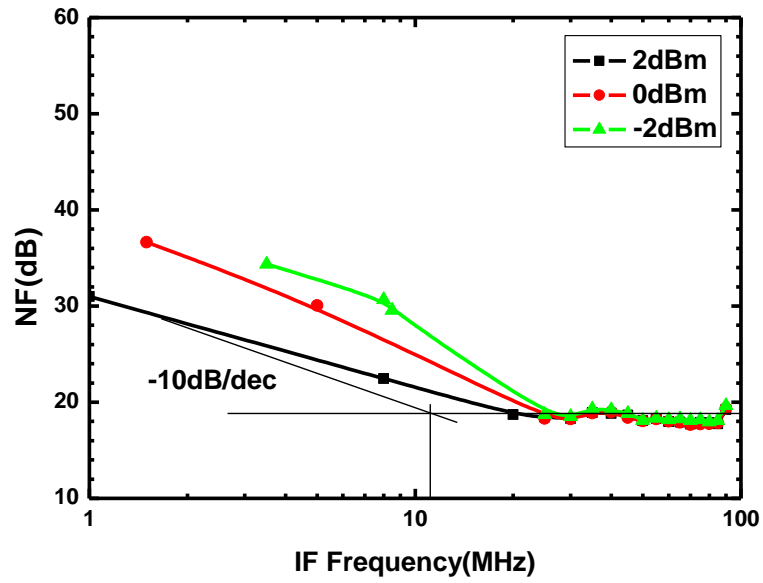
圖(3.41) LOpower=2dBm時不同的注入電流

(3) LOpower = 2dBm , LO frequency = 1GHz 、 1.5GHz :



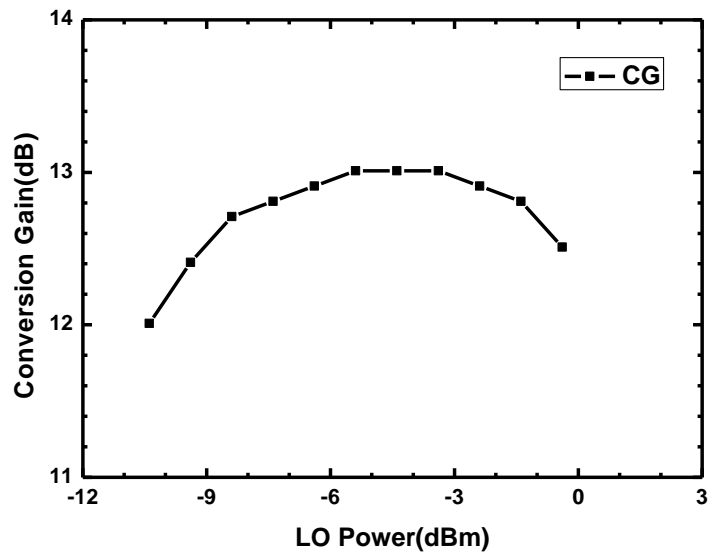
圖(3.42) 使用除四除頻器之雙重降頻混頻器與不同 LO 頻率

(4) LO frequency = 1GHz , $V_C = 1.4V$:

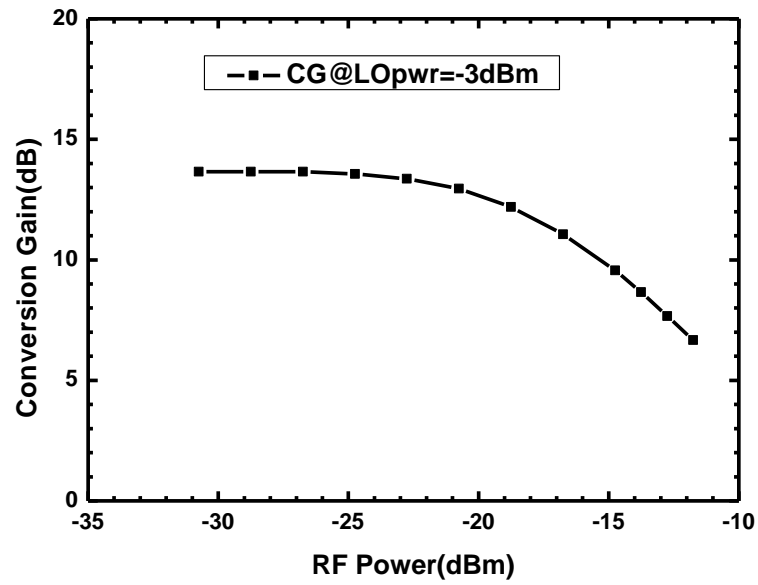


圖(3.43) 使用除四除頻器之雙重降頻混頻器與不同 LOpower

(5) CG&P1dB @ LO frequency = 1GHz , $V_C = 1.4V$:

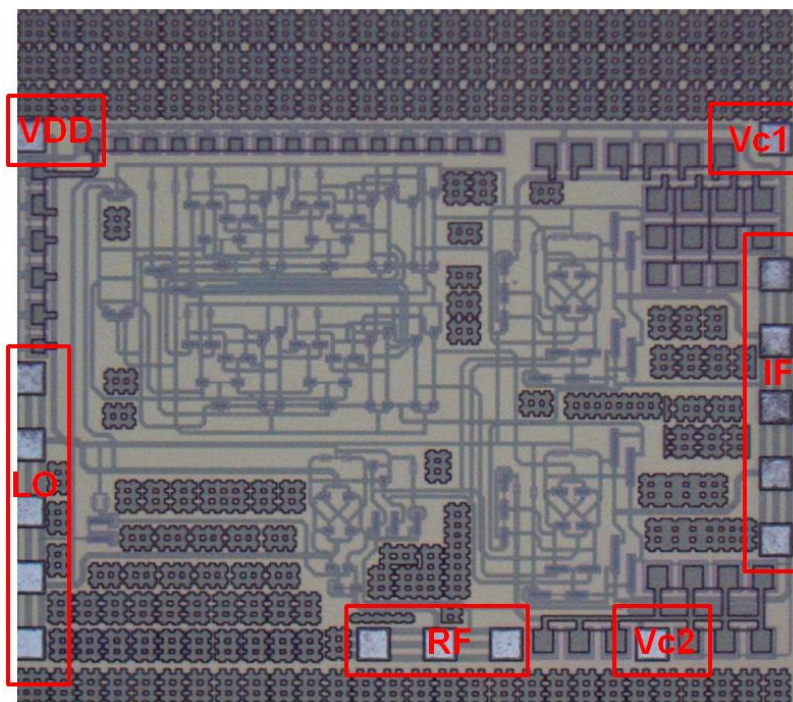


圖(3.44) 轉換增益



圖(3.45) 轉換增益 VS. RF power(P1dB)

(6) 使用除四除頻器之雙重降頻混頻器的die photo :



圖(3.46) 使用除四除頻器之雙重降頻混頻器die photo (1.2 x 0.9 mm²)

3.5.4 結果與討論

由圖(3.36)至圖(3.41)可清楚的看到調整注入的電流會得到不同的改進效果，其中注入越多也就是流經 LO 開關級電流越小，改進效果越好，可得到最低的 1/f corner。圖(3.42)與圖(3.43)則是驗證了使用較低的 LO 頻率及較大的 LO power 對於閃爍雜訊的改進有幫助，因為： $i_{o,n}(f) = V_n(f) \times \frac{4I}{ST} = V_n(f) \times \frac{I}{\pi A}$ 。從本次實作二中可以看到，相較於實作一的電路，1/f corner 改進至 10MHz 左右，主要是因為使用兩次降頻與加入除頻器，降低了正對輸出端的 LO2 頻率，也讓 zero-crossing 點附近的 S 斜率變大。

表 3.5 Dual conversion mixer with divide-by-4 prescaler

模擬與量測結果

Dual conversion mixer with divide-by-4 prescaler (TSMC 0.18 μ m CMOS) (1.2 x 0.9 mm ²)	
Item	Measurement
Frequency(GHz) RF/LO1/LO2/IF	1.25/1/0.25/0
Conversion Gain(dB)	13
Mixer flicker noise corner(MHz)	11
Mixer white noise(dB)	19
IP1 dB (dBm)	-17
Supply Voltage(V)	2.5
Supply Current(mA)	55

3.6 實作三，使用除八除頻器具閃爍雜訊改進之雙重降頻混頻器與頻率規劃 (TSMC 0.13 μ m CMOS)

3.6.1 研究動機

LO 切換開關級對輸出端貢獻的低頻雜訊電流， $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，在使用兩級的混頻器降頻兩次後，對 $i_{o,n}$ 有改進的作用，但是 f_{LO1} 、 f_{LO2} 這兩個頻率該如何配置才能達到最好的改進效果？而另一方面， f_{LO1} 與 f_{LO2} 的關係也會牽扯到 spurious 的產生，當然，我們希望 spurious 越少越好，一旦 f_{LO1} 和 f_{LO2} 決定之後，便可設計所需的除頻器，除頻器的加入使 LO2 的 S 變大，對 $i_{o,n}$ 的改進也有幫助。

3.6.2 電路設計

(1) 電路架構

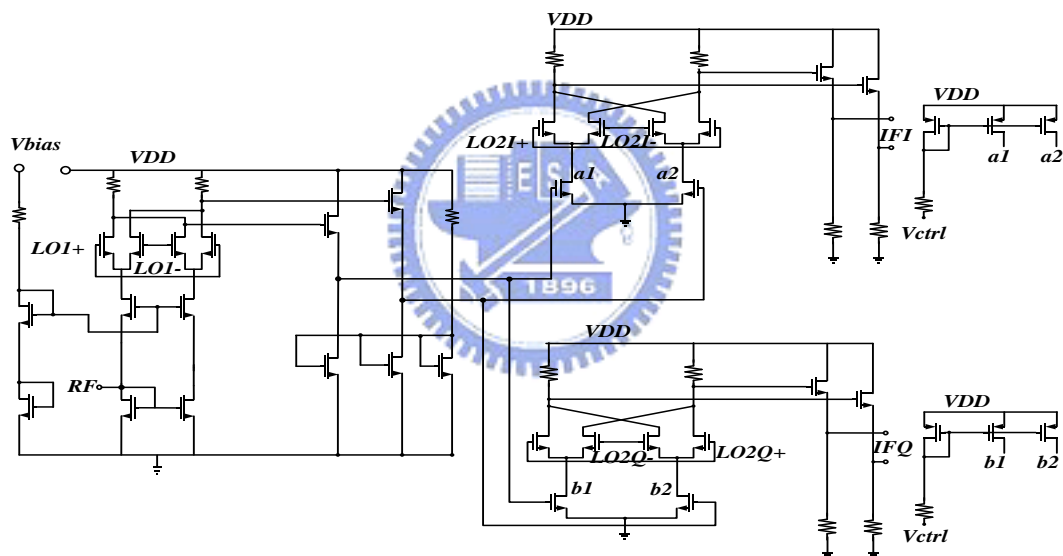
此次電路實作，除了使用雙重降頻的方法來降低 $i_{o,n}$ ，另外一個重點就是 LO1 和 LO2 的頻率規劃，從 3.3.5 中推導出除頻器的除數與

f_{RF} 、 f_{LO1} 、 f_{LO2} 諧波項的關係為： $n = \frac{\pm z \pm x}{\pm y \pm x}$ ，這些諧波項以 5 階為

限，分別做出 $\pm z \pm x$ 、 $\pm y \pm x$ 兩個矩陣交互計算，利用 Matlab 做出除數 n 與 spurious 數的圖，如圖(3.18)所示，由圖中可知除 8 除頻器是最佳的選擇。

(2) 第一級與第二級的混頻器

第一級的混頻器是 Micromixer，能提供一寬頻輸入電阻匹配，不同於傳統的吉伯架構混頻器需要外加一匹配電路，而且只要單端的輸入既可產生 differential 的電流，使得混頻器有較好 port-to-port Isolation。第二級則使用吉伯架構混頻器，負責混頻 IF1 與由除頻器取出來的 LO2 IQ 訊號得到 IF2，在第二級還加上靜態電流注入裝置目的是在解決第二級混頻器在開關時產生的直接開關雜訊。除此之外，本實作將第二級 RF 下的電流源除去，而且還將 buffer 的電流源改用電阻來偏壓，這個作法可使輸出端的雜訊獲得改進。

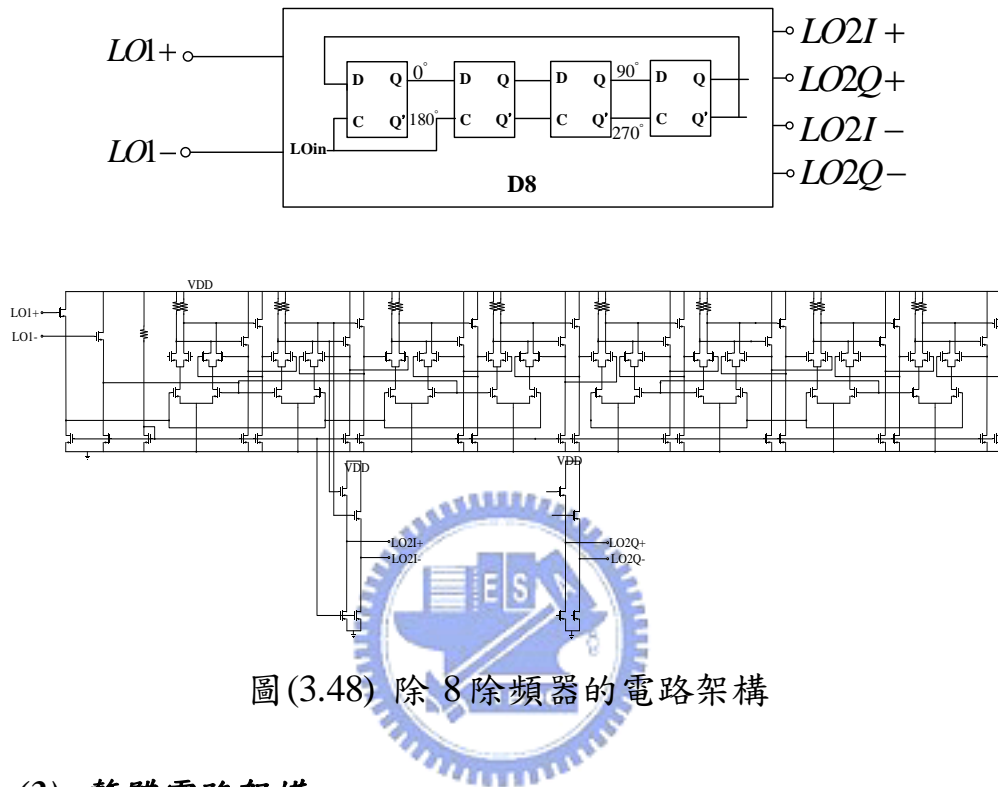


圖(3.47) 第一級與第二級混頻器

(3) 除八除頻器

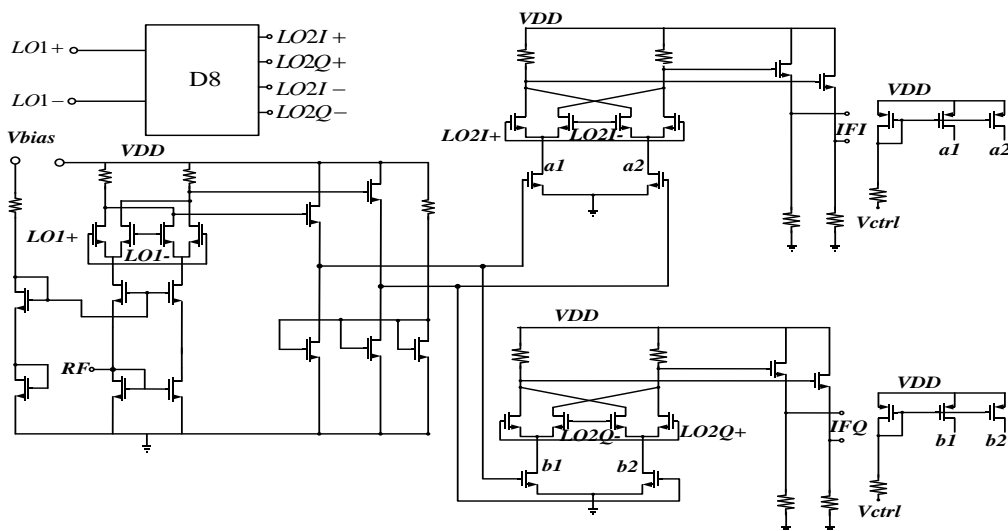
本實作中使用的除8除頻器使用除2電路來完成，這邊值得一提的是，除8用4個除2電路串接而成，而不選用3個除2電路，也就是除 2^3 ，也不選用除4再除2或除2再除4，因為這樣4個除2電路串接才能一次就得到除8的效果，而不會有其他的諧波項出現，

如果使用其他2種方法，則會有除數4或除數2的諧波項出現，使頻率規劃的優點失效，這個一次除8的電路也能符合第二級LO輸入 0° 、 90° 、 180° 、 270° 這四種相位的訊號的要求。



圖(3.48) 除 8 除頻器的電路架構

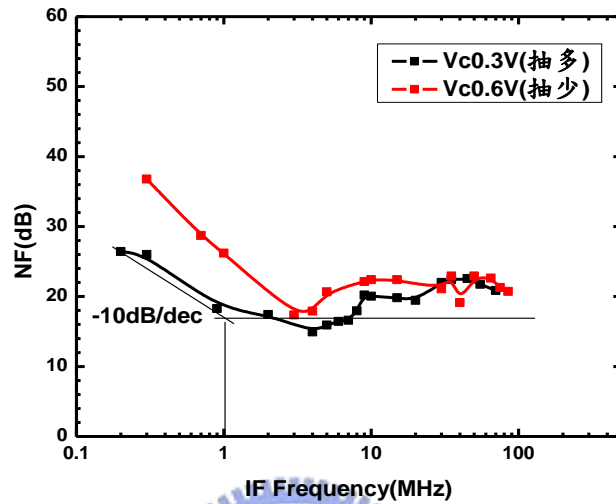
(3) 整體電路架構



圖(3.49) 整體電路架構

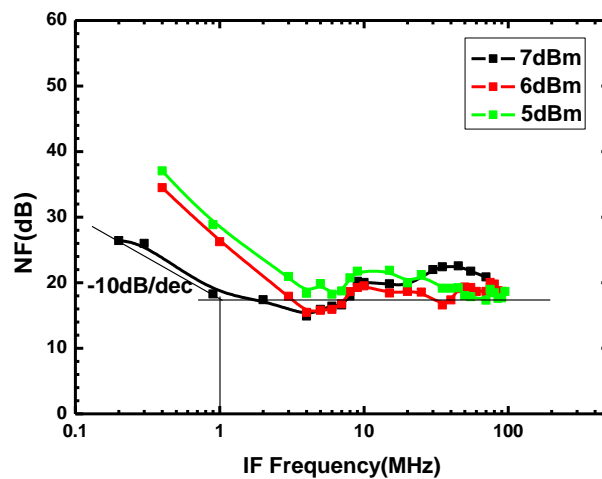
3.6.3 晶片量測結果

(1) $RF = 1.125GHz$, $LO1 = 1GHz$, $LO2 = 0.125GHz$:



圖(3.50) 使用除八除頻器之雙重降頻混頻器與不同的注入電流

(2) $LO\ frequency = 1GHz$, $V_C = 0.3V$:



圖(3.51) 使用除八除頻器之雙重降頻混頻器與不同的LO power

(3) CG&P1dB @ LO frequency = 1GHz , $V_c = 0.3V$:

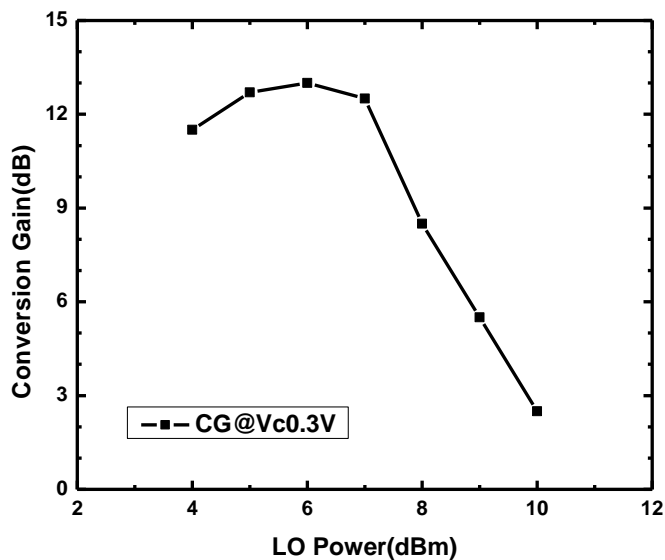


圖 (3.52) 轉換增益

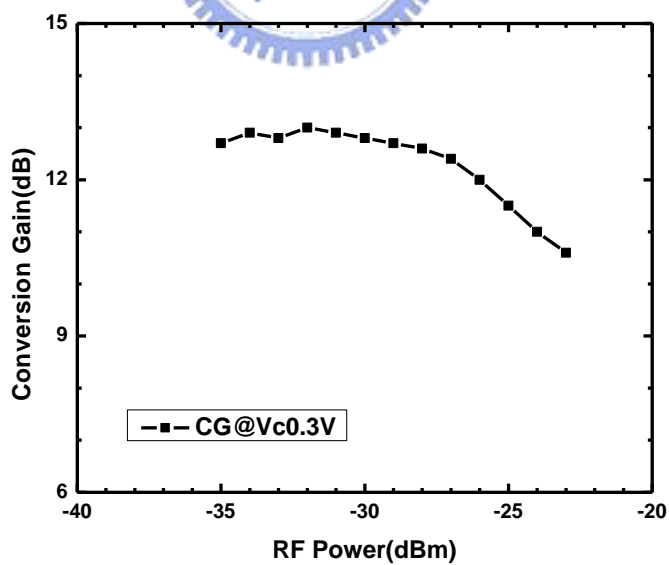
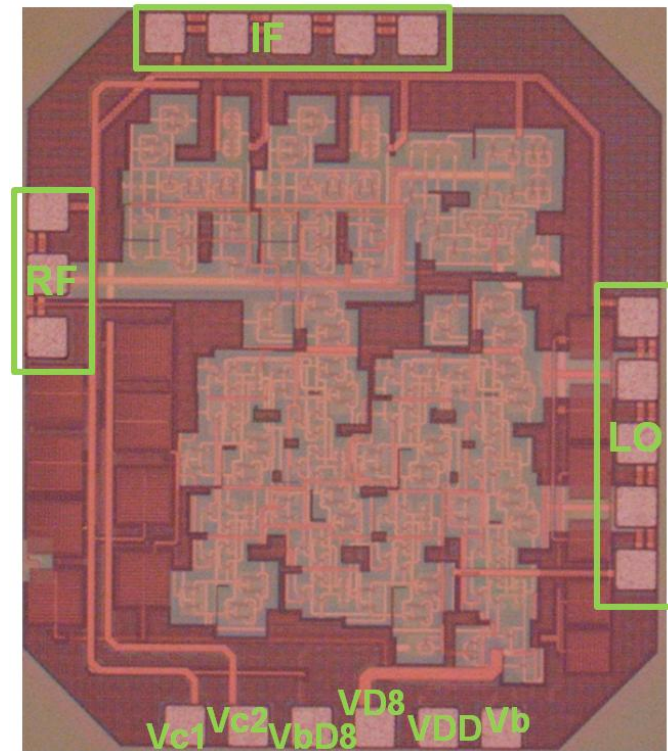


圖 (3.53) 轉換增益 VS. RF power(P1dB)

(4) 使用除八除頻器之雙重降頻混頻器的 die photo：



圖(3.54) 使用除八除頻器之雙重降頻混頻器 die photo (1.1 x 1.2 mm²)

3.6.4 結果與討論

由本次的實作中不只看到調整注入的電流會得到不同的改進效果，其中注入越多電流，改進效果越好，可得到最低的 1/f corner，也同樣得到使用較低的 LO 頻率及較大的 LO power 對於閃爍雜訊的改進有幫助，因為： $i_{o,n}(f) = V_n(f) \times \frac{4I}{ST} = V_n(f) \times \frac{I}{\pi A}$ 。從本次實作三中可以看到，相較於實作二的電路，1/f corner 改進至 1MHz 左右，大大的被改進，主要是因為這次 LO1 與 LO2 頻率的頻率差距被拉大到 8 倍之多。

表 3.6 Dual conversion mixer with divide-by-8 prescaler and frequency
planning

模擬與量測結果

Dual conversion mixer with divide-by-8 prescaler and frequency planning (TSMC 0.13 μ m CMOS) (1.1 x 1.2 mm ²)	
Item	Measurement
Frequency(GHz) RF/LO1/LO2/IF	1.125/1/0.125/0
Conversion Gain(dB)	13
Mixer flicker noise corner(MHz)	1
Mixer white noise(dB)	19
IP1 dB (dBm)	-25
Supply Voltage(V)	2.5
Supply Current(mA)	63

3.7 實作四，加入動態式電流注入與電感降低閃爍雜訊之吉伯特混頻器

(TSMC 0.18 μm CMOS)

3.7.1 研究動機

CMOS 製程技術具較易積體化的優點可實現系統單晶片(SOC)，如此將大幅縮小面積更可降低生產成本，生產成本降低代表著價格的下跌，因此將會使得更多人享受行動通訊及無線網路之便利。

接收機架構中最經濟的直接降頻架構，若要在 CMOS 製程上實現，其 SNR 受閃爍雜訊的影響很大，所以本電路設計將實現電流注入之降頻器電路以降低接收機的閃爍雜訊。由於傳統的靜態電流注入電路會有熱雜訊升高以及線性度變差等問題，因此這個電路使用動態式電流注入技術，在不影響增益、線性度以及熱雜訊的狀況下，仍然能降低閃爍雜訊。另外在電路中還加入電感的使用，目的在解決開關雜訊中的間接開關雜訊。

3.7.2 電路設計

(1) 電路架構與整體電路架構

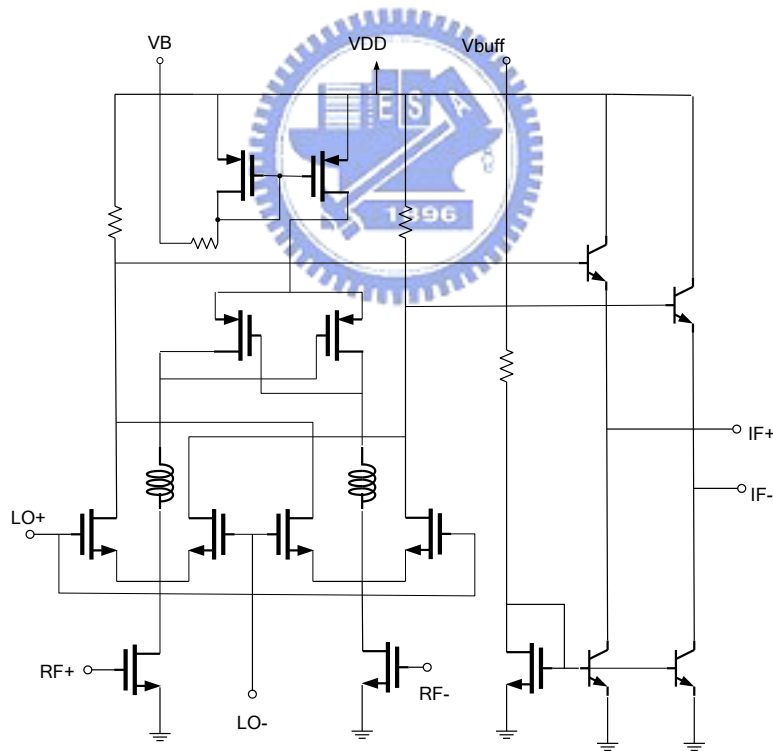
本次所設計具電流注入之降頻器的電路架構，如圖(3.55)所示，雙平衡式的吉伯特混頻器為主要核心，由於這類混頻器低頻雜訊的主要來源是中間的LO開關級，有直接開關雜訊和間接開關雜訊兩種機制，對直接開關雜訊來說， $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，所以電路中加入動態式電流注入來減少流經LO開關的DC電流，藉此減少所貢獻的低頻雜訊，

再來間接開關雜訊主要是由 LO 開關 source 端的寄生電容受到充放電

所造成， $i_{o,n} = \frac{2C_p}{T} V_n \cdot \frac{(C_p \omega_{LO})^2}{g_{ms}^2 + (C_p \omega_{LO})^2}$ ，所以在 LO 開關的 source 端加上

一電感將這邊的寄生電容共振掉，以解決間接開關雜訊的貢獻。

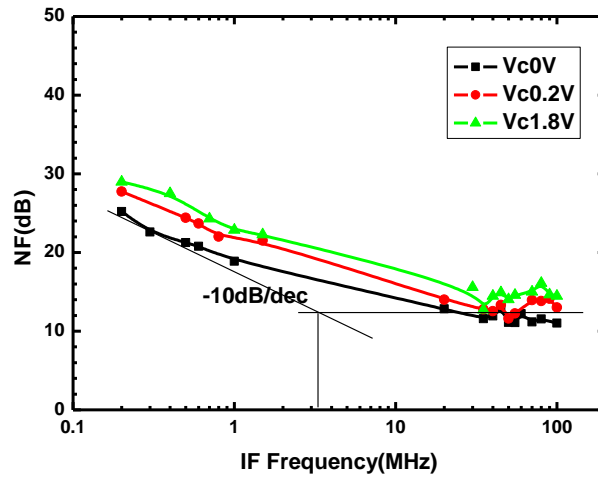
另外在 IF 輸出端為 BJT common collector amplifier，不僅提供量測上的方便外，也降低了輸出阻抗，使得接到 50 Ohm 時的轉換增益不至於掉太多(降低負載效應)，因此提高轉換增益，使用 T18 製程提供的 BJT 是為了避免 buffer 有貢獻閃爍雜訊到輸出訊號上，在模擬上有觀察到 CMOS 組成的 buffer 也會有不小的閃爍雜訊，希望使用 BJT 能降低 buffer 的閃爍雜訊對量測結果的干擾。



圖(3.55)加入動態式電流注入與電感的混頻器整體架構

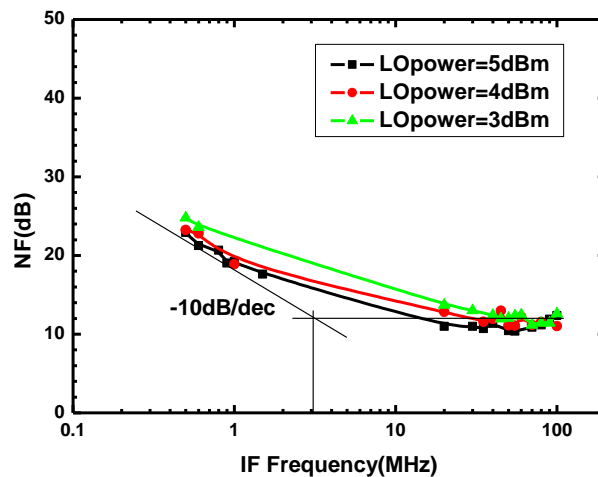
3.7.3 晶片量測結果

(1) $RF = 1.01GHz$ $LO = 1GHz$:



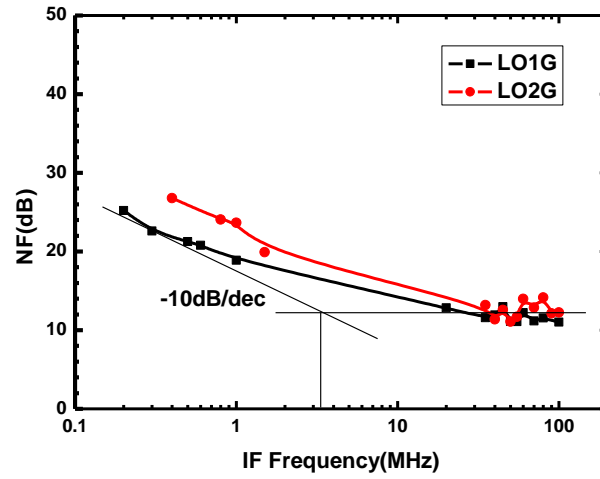
圖(3.56) 加入動態式電流注入與電感的混頻器與不同的注入電流

(2) $LO\ frequency = 1GHz$, $V_C = 0V$:



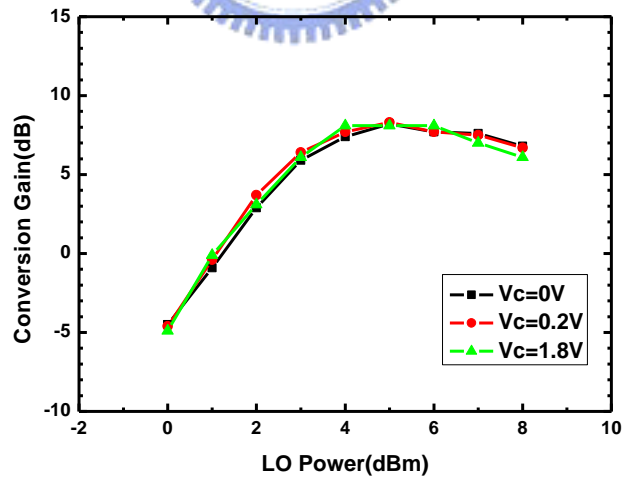
圖(3.57) 加入動態式電流注入與電感的混頻器與不同的LO power

(3) LO power = 5 dBm , LO frequency = 1GHz 、 2GHz :

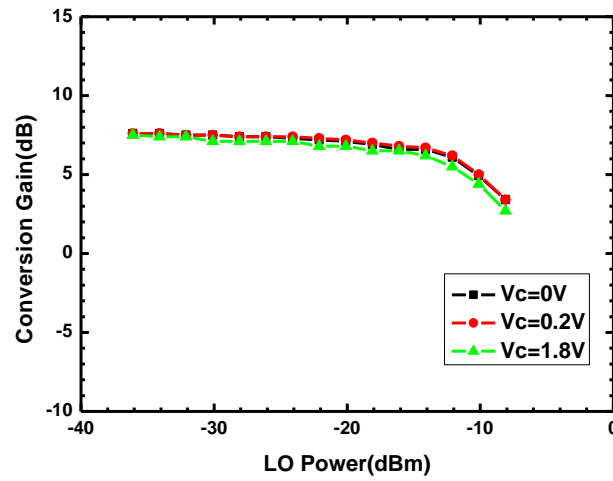


圖(3.58) 加入動態式電流注入與電感的混頻器與不同的LO頻率

(4) CG&P1dB @ LO frequency = 1GHz , $V_C = 0V$:

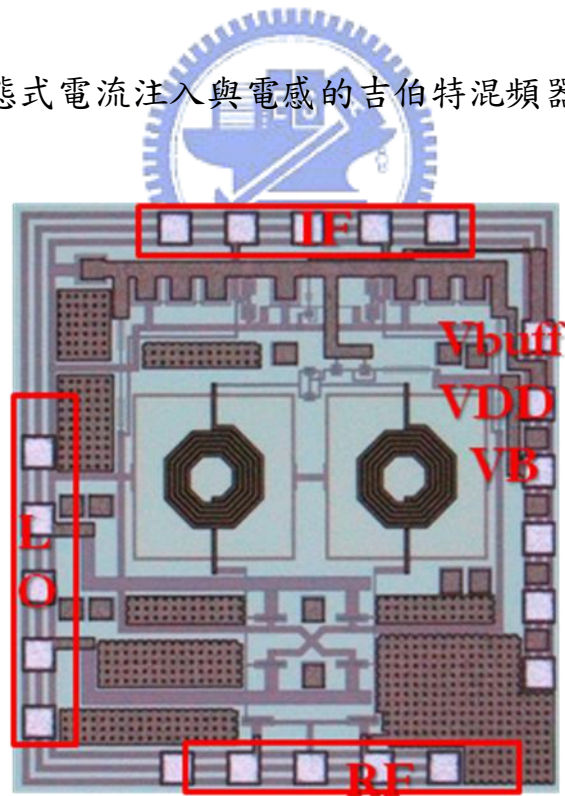


圖(3.59) 轉換增益



圖(3.60) 轉換增益 VS. RF power(P1dB)

(5) 加入動態式電流注入與電感的吉伯特混頻器 die photo :



圖(3.61) 加入動態式電流注入與電感的吉伯特混頻器

die photo (0.8 x0.85mm²)

3.7.4 結果與討論

由本次的實作中不只看到調整注入的電流會得到不同的改進效果，其中注入越多電流，改進效果越好，可得到最低的1/f corner，也同樣得到使用較低的 LO 頻率及較大的 LO power 對於閃爍雜訊的改進有幫助，因為： $i_{o,n}(f) = V_n(f) \times \frac{4I}{ST} = V_n(f) \times \frac{I}{\pi A}$ 。從本次實作四中可以看到，相較於實作一的電路，1/f corner 改進至3MHz 左右，大大的被改進，主要是因為這次混頻器不只多加了電感進去共振掉間接開關雜訊的來源電容，還加大了混頻器的 size，從閃爍雜訊的根本， V_n ，去做改進， V_n 和電晶體 size 是成反比的，所以加大 size 後 V_n 就會變小。

表3.7 Gilbert Mixer with Dynamic Current Injection and Inductor

模擬與量測結果

Gilbert Mixer with Dynamic Current Injection and Inductor (TSMC 0.18 μ m CMOS) (0.8mm x0.85 mm)	
Item	Measurement
Frequency(GHz) RF/LO /IF	1.01/1/0
Conversion Gain(dB)	8
Mixer flicker noise corner(MHz)	3
Mixer white noise(dB)	12
IP1 dB (dBm)	-12
Supply Voltage(V)	1.8
Supply Current(mA)	6.7

3.8 實作五，使用 BJT 緩衝器具有閃爍雜訊改進之雙重降頻混頻器

(TSMC 0.18 μ m CMOS)

3.8.1 研究動機

對於 CMOS 吉伯特混頻器，我們將之分成三個部分來探討各自對輸出端的低頻雜訊貢獻，分別是輸入轉導級，LO 開關級，輸出負載。關於輸出負載，我們可選用電阻作負載，這樣可免去對輸出端貢獻低頻雜訊；對於輸入轉導級，這邊產生的閃爍雜訊則會被 LO 頻率混到較高的頻率去，而不會對輸出端貢獻低頻雜訊；最後，我們可看到，輸出端的低頻雜訊大部分都由 LO 開關級貢獻，其主要原因是 LO 開關級的閃爍雜訊的存在使開關時的 zero-crossing 點被誤認，可能提前或延後 Δt 的時間，這個 Δt 由 V_n 和 LO 擺幅的斜率 S 來決定，等式為 $\Delta t = \frac{V_n}{S}$ ，而在這個 Δt 的時間內便對輸出端造成 $2I$ 的雜訊脈衝，最後可估算出這個雜訊電流的大小， $i_{o,n} = 4I \frac{V_n}{S \times T}$ ，本次的電路設計就是針對 T 和 I 來做 $i_{o,n}$ 的改進，及使用無閃爍雜訊的 BJT buffer。

3.8.2 電路設計

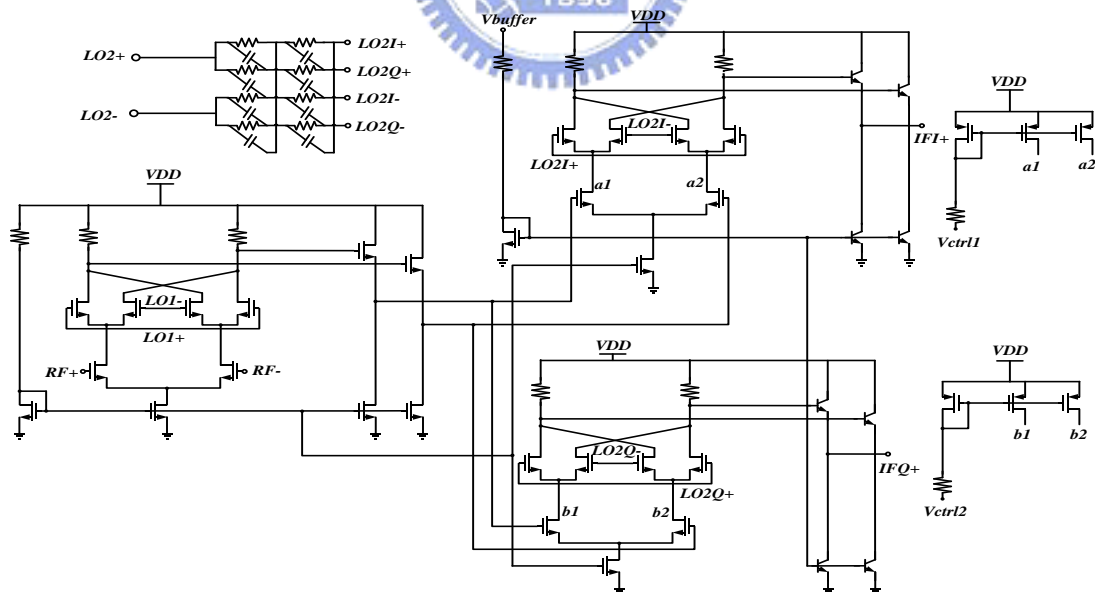
(1) 電路架構

本次設計利用兩個混頻器來做降頻兩次的工作，目的在降低閃爍雜訊，第一級的混頻器它的 RF 為 5GHz，LO 為 4GHz，因為第一級的 LO 頻率較高因此會有較大的閃爍雜訊，但是它的 IF1 設定在仍大

於 $1/f$ corner 因此訊號不會被打斷而可以順利進入第二級的混頻器，第二級的 LO 為 1GHz 負責將訊號降到 zero IF，與第一級的差了四倍之多，從 $i_{o,n} = 4I \frac{V_n}{S \times T}$ 中可知，LO2 的 T 大得多，輸出雜訊電流自然小得多，這樣降兩次的作法可以降低輸出端的閃爍雜訊。

在 IF2 輸出端為 common drain amplifier，不僅提供量測上的方便外，也降低了輸出阻抗，使得接到 50 Ohm 時的轉換增益不至於掉太多(降低負載效應)，因此提高轉換增益。關於 IF2 的輸出緩衝器採用 BJT 來做，因為 BJT 是 bulk device 跟 MOS 這種 surface device 導電流的機制不同，所以沒有閃爍雜訊。最後還在第二級的混頻器外加上靜態電流注入裝置，這個裝置可在不改變流經 RF 輸入轉導級的電流下，對流過 LO 開關級的電流做改變。

(2) 整體電路架構

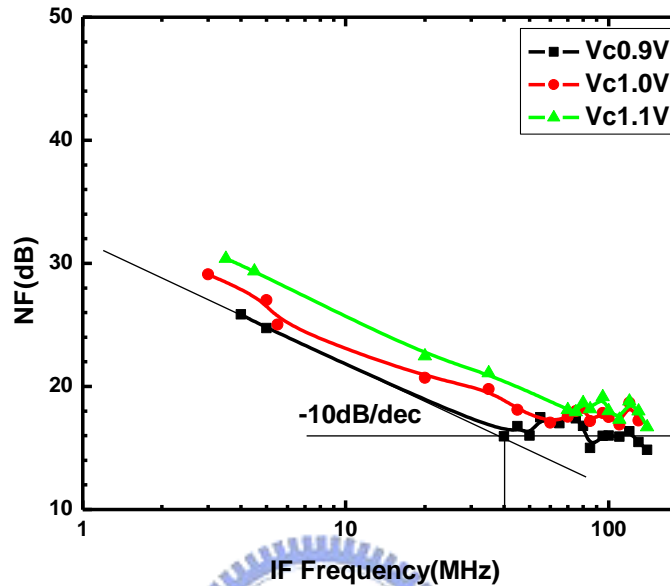


圖(3.62) 整體電路架構

3.8.3 晶片量測結果

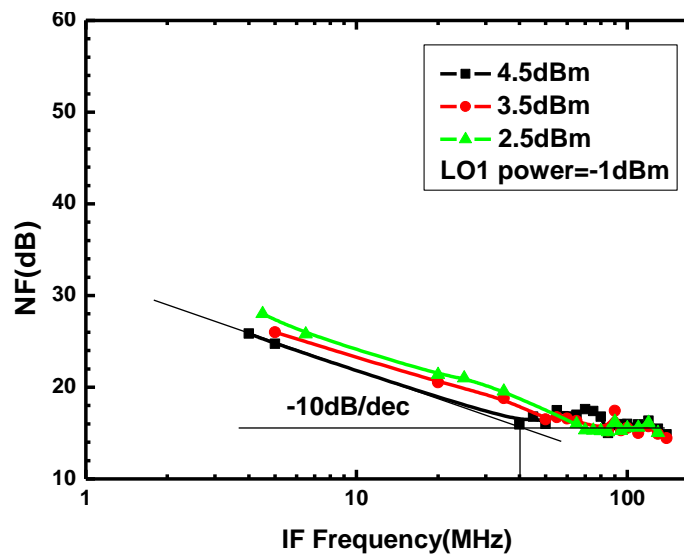
(1) $RF = 5GHz$ $LO1 = 4LO2 = 4GHz$, $LO1power = -1dBm$,

$LO2power = 4.5dBm$ ($V_c = 0.9V$ 抽走最多 LO switch 電流) :



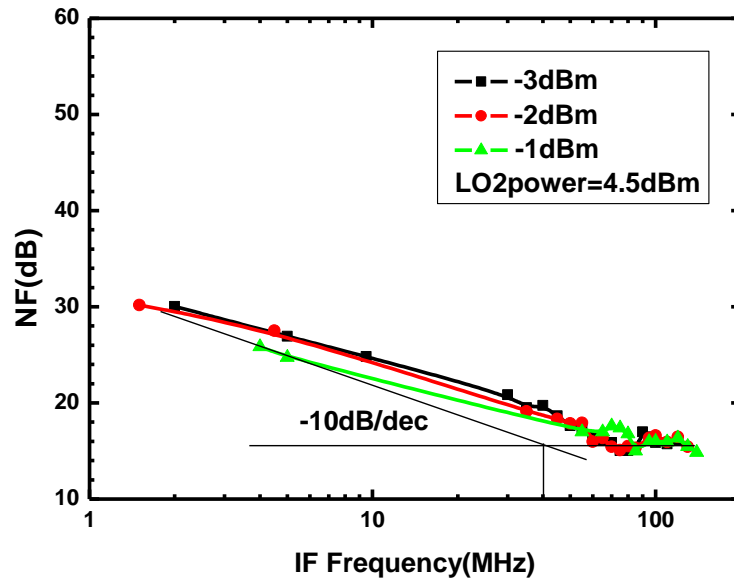
圖(3.63) 使用BJT緩衝器之雙重降頻混頻器與不同的注入電流

(2) $RF = 5GHz$ $LO1 = 4LO2 = 4GHz$, $V_c = 0.9V$:



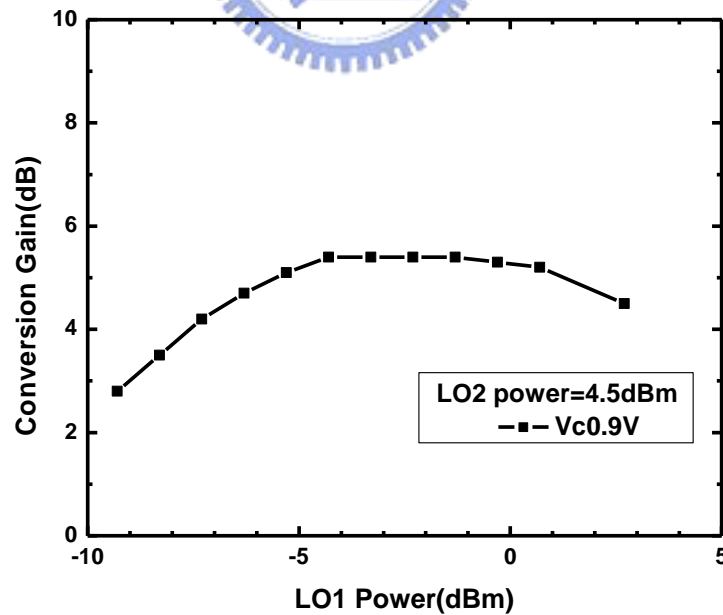
圖(3.64) 使用BJT緩衝器之雙重降頻混頻器與不同LO2power

(3) $RF = 5GHz$ $LO1 = 4LO2 = 4GHz$, $V_C = 0.9V$:

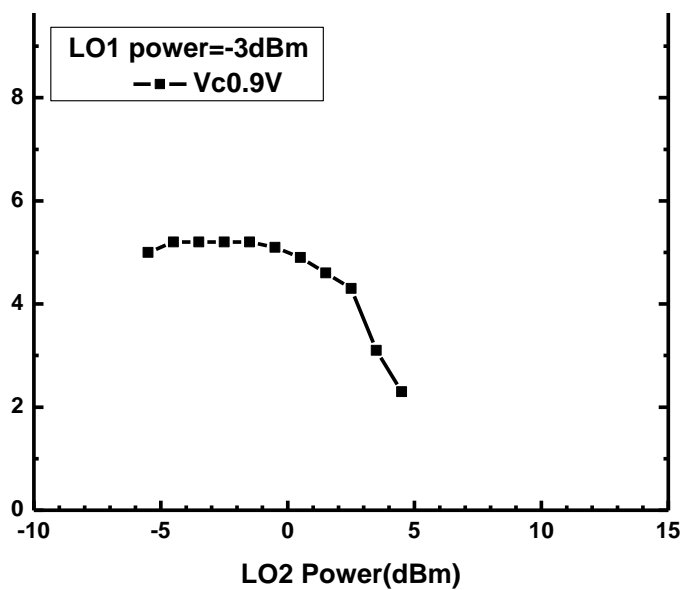


圖(3.65) 使用 BJT 緩衝器之雙重降頻混頻器與不同 LO1power

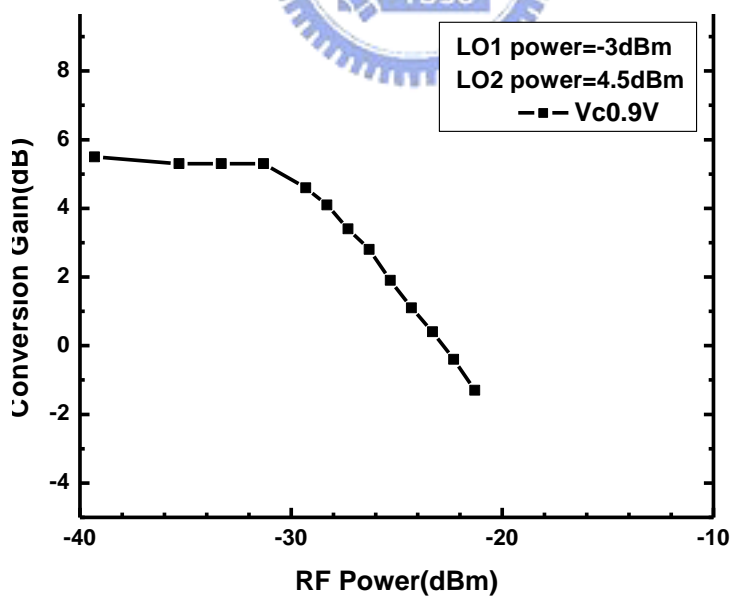
(4) CG&P1dB @ $V_C = 0.9V$:



圖(3.66) 轉換增益 VS. LO1 power

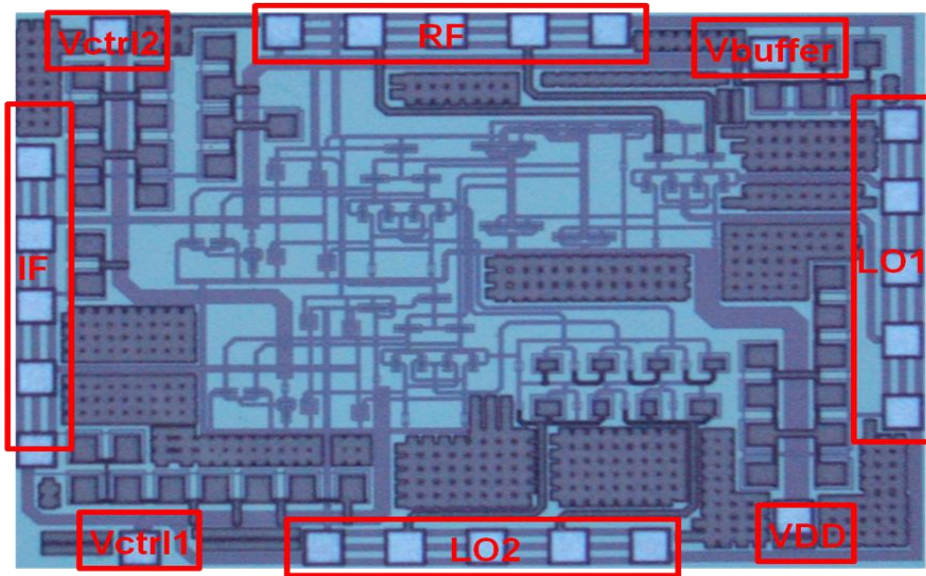


圖(3.67) 轉換增益 VS. LO2 power



圖(3.68) 轉換增益 VS. RF power(P1dB)

(6) 使用BJT緩衝器之雙重降頻混頻器的die photo：



圖(3.69) 使用BJT緩衝器之雙重降頻混頻器die photo (1.1X 0.8 mm²)

3.8.4 結果與討論

由圖(3.63)可清楚的看到調整注入的電流會得到不同的改進效果，其中注入越多也就是流經 LO 開關級電流越小，改進效果越好，可得到最低的1/f corner，在本次實作中 RF 操作的頻率是5GHz，LO1 是4GHz，LO2是1GHz，因為閃爍雜訊與 LO 的頻率是成正比的，所以1/f corner 相較於之前的實作高，是40MHz。另外從圖(3.64)、圖(3.65)，因為： $i_{o,n}(f) = V_n(f) \times \frac{4I}{ST} = V_n(f) \times \frac{I}{\pi A}$ ，可看到當我們調整 LO1 power 時，1/f corner 的變化不若調整 LO2 power 大，從這邊可看出就降頻兩次的架構下，第二級的混頻器果然是低頻雜訊的主要來源。

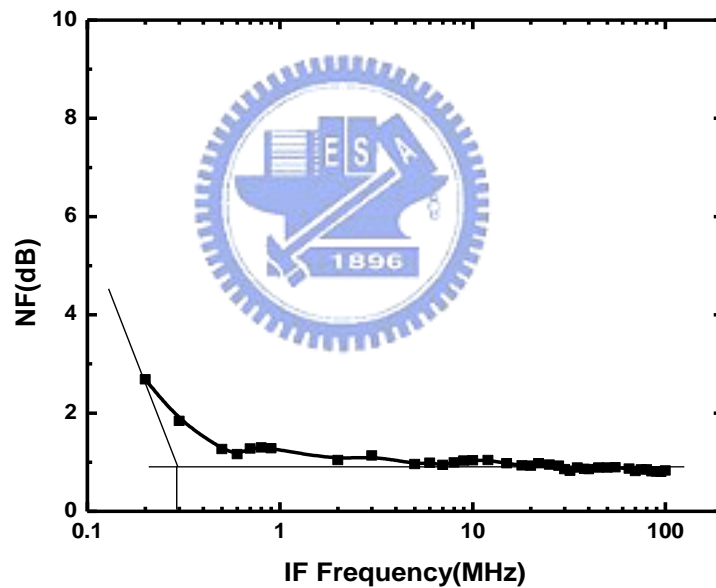
表 3.8 Dual conversion mixer and BJT buffer with flicker noise improvement 模擬與量測結果

Dual conversion mixer and BJT buffer with flicker noise improvement (TSMC 0.18μm CMOS) (1.1 x 0.8 mm²)	
Item	Measurement
Frequency(GHz) RF/LO1/LO2/IF	5/4/1/0
Conversion Gain(dB)	5.8
Mixer flicker noise corner(MHz)	40
Mixer white noise(dB)	14.6
IP1 dB (dBm)	-28
Supply Voltage(V)	2.5
Supply Current(mA)	26.1

3.9 不同增益的低雜訊放大器抑制系統雜訊的能力

3.9.1 研究動機

將實作三的使用除八除頻器具閃爍雜訊改進之雙重降頻混頻器前面接上一個操作範圍為0.1GHz~2GHz、增益40dB及NF=1dB的LNA，然後量測LNA加上混頻器的雜訊表現，可發現在原先LOpower打8dBm而且電流注入設定電壓在0.3V的時候得到最佳的1/f corner為1MHz，如圖(3.51)，現在被改進到300kHz的地方，見圖(3.70)。



圖(3.70) LNA加上使用除八除頻器之雙重降頻混頻器的雜訊表現

因此當我們設計一主動式混頻器來放入接收機系統使用時，我們利用了加大的size、加除頻器使用、改成雙次降頻、多加電流注入裝置及打入較大的LOpower等作法來想辦法改進主動式混頻器低頻閃爍雜訊，但是卻會有其他的trade-off，如功率消耗、速度、面積增加

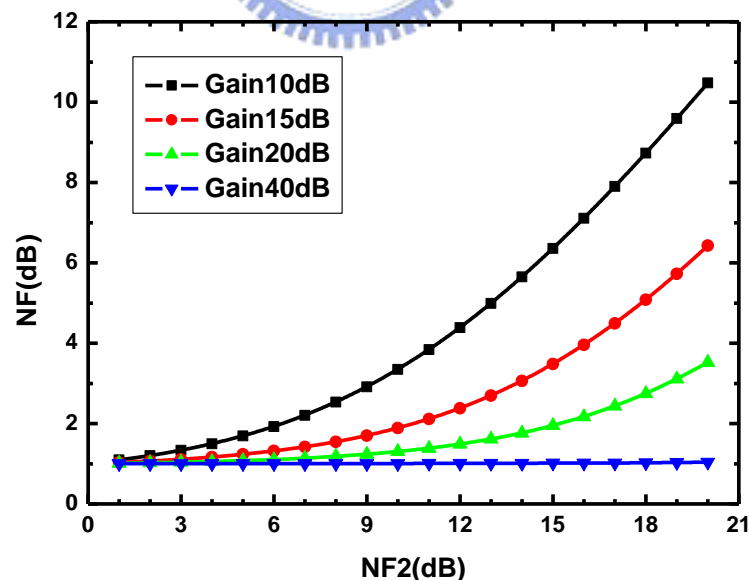
等不利於整個系統的壞處出現。

考量種種的接收機系統設計 trade-off，若我們想改進整個系統的低頻閃爍雜訊，也許著重於 LNA 的設計也許是不錯的方法。

3.9.2 LNA 的設計探討

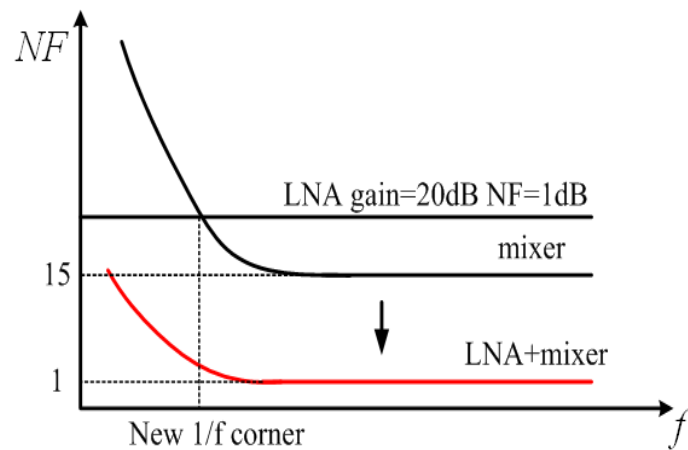
我們利用式子 $NF = NF_1 + \frac{NF_2 - 1}{G_1}$ 來考量 LNA 加 mixer 的雜訊表現，

針對不同增益的 LNA 研究其抑制雜訊的能力，將 LNA 本身的 NF_1 設為 1dB，當增益為 10dB、15dB、20dB 及 40dB 時，作 NF_2 對 NF 的圖，如圖(3.71)，由圖中可看出 LNA 的增益需比 mixer 的白雜訊 (NF_2) 多 5dB 以上才具有對雜訊有抑制的效果。



圖(3.71) 不同增益的LNA抑制雜訊的能力

舉個例子來看，見圖(3.72)，當mixer的白雜訊為15dB時，此時只要設計一個增益20dB的LNA就有改進整個系統1/f corner的效用，而不用把增益設計成30dB或40dB的，也許較大的增益會將corner提前的更多，但LNA也是有自身的trade-off要考量，如增益跟線性度的trade-off。



圖(3.72) 增益20dB的LNA對NF=15dB的mixer改進1/f corner

關於零中頻或低中頻接收機系統設計時，閃爍雜訊是我們所要面對的一個重要問題，設計一個低雜訊的mixer的確是大有幫助，但是若是為了達成這個目標付出的trade-off不切實際需求時，從LNA設計去考量會使系統更易符合規格。

第四章

結論



本論文第二章利用了 WIN 0.15 μm PHEMT 製程，實作與量測“60GHz 二極體4倍頻次諧波混頻器”以及“結合放大器的60GHz 二極體4倍頻次諧波升頻混頻器”，並利用覆晶封裝的技術，實際量測 flip chip 前後的區別。第二章實驗一，“60GHz 二極體4倍頻次諧波混頻器”，本電路可作升頻也可作降頻使用，所以量測數據也針對升頻與降頻來做分類，我們可看到升頻與降頻的轉換增益為-18dB、P1dB 點約落在-3dBm 處和 RF 頻寬約為10GHz，與 flip chip 後的數據做比較，發現轉換增益為-19dB、P1dB 點約落在-4dBm 處和 RF 頻寬約為10GHz，所以可以說，4次諧波反對稱二極體混頻器降頻與升頻的電路特性基本上很相近，flip chip 後除了多一些轉換增益的耗損，且輸入的 LO 功率大一些外，其電路特性不太會受到影響。同樣的，第二章實驗二，“結合放大器的60GHz 二極體4倍頻次諧波升頻混頻器”，為了彌補被動二極體混頻器只有轉換損耗，因此加上一操作在60GHz 的增益放大器，本實作只供升頻使用，轉換增益為6dB、IP1dB 點約落在-6dBm 處、和 RF 頻寬約為2GHz，與 flip chip 後的數據做比較，發現轉換增益為5dB、P1dB 點約落在-6.5dBm 處和 RF 頻寬約為2GHz，flip chip 後除了多一些轉換增益的耗損，且輸入的 LO 功率大一些外，其電路特性不太會受到影響，即使在如此高頻，其覆晶封裝的技術仍然是可行的。

論文第三章，主要在研究主動式混頻器的低頻閃爍雜訊來源與改進方法。第三章實驗一，利用 TSMC 0.13 μm CMOS 製程完成兩個電路“使用靜態電流注入混頻器”與“使用動態電流注入混頻器”，實驗結果顯示主動式混頻器的 1/f corner 會受不同注入電流而改變，當注入電流最多也就是流經 LO 開關的電流最少，1/f corner 落在約 30MHz 處，而且 1/f corner 也會因 LO 頻率所在的不同而改變，因為 LO 頻率越

低zero-crossing點越少，此外，靜態電流注入比起動態電流注入，其轉換增益會受注入電流的大小而變，主要是因為持續開的靜態電流注入裝置提供 i_{RF} 一漏電路徑，不過當這兩種電流注入裝置都關的時候，轉換增益是差不多的，約5dB。第三章實驗二，利用TSMC 0.18 μm CMOS製程實作“使用除四除頻器具有閃爍雜訊改進之雙重降頻混頻器”，利用雙次降頻、加大zero-crossing點附近的斜率及靜態電流注入來改進低頻閃爍雜訊將1/f corner提前，由量測結果看到本實作的1/f corner也同樣會受不同注入電流、不同LO頻率和不同LO power影響，而LO1與LO2的4倍之差讓1/f corner提前至約11MHz左右。第三章實驗三，利用TSMC 0.13 μm CMOS製程完成“使用除八除頻器具閃爍雜訊改進之雙重降頻混頻器與頻率規劃”，除了同實驗二利用雙次降頻、加大zero-crossing點附近的斜率及靜態電流注入來改進低頻閃爍雜訊將1/f corner提前，本次實作還考慮了頻率規劃，希望在拉大LO1與LO2差距之餘產生的spurious可以最少，從量測數據來看，本電路也同樣會受不同注入電流、不同LO頻率和不同LO power影響，而其1/f corner更被改進至約1MHz左右。第三章實驗四，利用TSMC 0.18 μm CMOS製程完成“加入動態式電流注入與電感降低閃爍雜訊之吉伯特混頻器”，跟實驗一比起來利用不會貢獻多餘熱雜訊的動態式電流注入、加電感和加大混頻器size來將1/f corner提前，而其1/f corner被提前至約3MHz左右。第三章實驗五，利用TSMC 0.18 μm CMOS製程完成“使用BJT緩衝器具閃爍雜訊改進之雙重降頻混頻器”，跟實驗二和三比起來這次實作操作的頻率比較高，RF是5GHz，LO1是4GHz，LO2是1GHz，且沒有加入除頻器的使用所以1/f corner約在40MHz，比較高。

第二章：

- [1] C. H. Doan, "Design of CMOS for 60GHz Applications," *ISSCC 2004 Digest of Tech. Papers*, 2005, pp. 440-538
- [2] B. Razavi, "A 60GHz Direct-Conversion CMOS Receiver," *ISSCC 2005 Digest of Tech. Papers*, 2005, pp. 400-606
- [3] A. Niknejad, R. Brodersen, "TEAM: 60GHz CMOS Radio for Gb/s WLAN," *DARPA/MTO TEAM PI Review*, Jun 29-30, 2005. Reston, VA, USA
- [4] M. Cohn, J.E. Degenford, B.A. Newman, "Harmonic Mixing with an Antiparallel Diode Pair," *IEEE Trans. Microw. Theory Tech*, vol. 23, no. 8, pp. 667-673, Aug. 1975.
- [5] David Pozar, *Microwave Engineering*, 2nd Edition, John Wiley&Sons, N.Y 1998.
- [6] Y.-L. Kok, H. Wang, M. Barsky, R. Lai, M. Sholley, and B. Allen, "A 180-GHz monolithic sub-harmonic InP-based HEMT diode mixer," *IEEE Microwave and Guided Wave Letters*, vol. 9, no. 12, pp. 529-531, Dec. 1999
- [7] Y.-J. Huang, C.-H. Lien, H. Wang, M. W. Sinclair, R. G. Gough, H. Kanoniuk, and T.-H. Chu, "A 78-114 GHz monolithic subharmonically pumped GaAs-based HEMT diode mixer," *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 6, pp. 209-211, June 2002.
- [8] M.-F. Lei, H. Wang, "A 100-120 GHz quadruple-LO pumped harmonic diode mixer using standard GaAs based 0.15- μm PHEMT process," *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings Vol. 2*, pp. 4-7, Dec. 2005
- [9] M.W. Chapman, S. Raman, "A 60-GHz uniplanar MMIC 4 \times subharmonic mixer," *IEEE Trans. Microw. Theory Tech*, vol. 50, no. 11, pp. 2580-2588, Nov. 2002.
- [10] Guillermo Gonzalez, *Microwave transistor amplifiers analysis and design*, 2nd Edition, Prentice Hall.
- [11] 張家宏, "被動分合波器與主動混頻器之整合及覆晶封裝之毫米波驅動放大器設計與實作," 交通大學碩士論文, 2006

第三章：

- [1] B. Razavi, *Design of Analog Integrated Circuits*. New York: Mc-Graw-Hill, 2001
- [2] H. Darabi and A. A. Abidi, "Noise in RF-CMOS Mixers: A simple physical model," *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 15–25, Jan. 2000.
- [3] M. T. Terrovitis and R. G. Meyer, "Noise in Current-Commutating CMOS Mixers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, pp. 772–783, Jun. 1999.
- [4] H. Darabi and J. Chiu, "A Noise Cancellation Technique in Active RF-CMOS Mixers," *IEEE J. Solid-State Circuit*, vol. 40, no. 12, pp. 2628-2632, Dec. 2005.
- [5] J. Park, J. Laskar, and et al., "Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers," *IEEE Trans. Microw. Theory Tech*, vol. 54, no. 12, pp. 4372-4380, Dec. 2006.
- [6] H. Darabi and A. A. Abidi, "A 4.5 mW 900-MHz CMOS receiver for wireless paging," *IEEE J. Solid-State Circuit*, vol. 35, no.8, pp.1085-1096, Aug. 2000.

