

國立交通大學

電信工程學系碩士班

碩士論文

應用於高速序列資料之表面聲波式
半速率時脈回復電路



SAW Based Half Rate Clock Recovery for
High Speed Serial Data Transmission

研究生：陳威宇

指導教授：高曜煌 教授

中華民國九十七年七月

應用於高速序列資料之表面聲波式
半速率時脈回復電路

SAW Based Half Rate Clock Recovery for
High Speed Serial Data Transmission

研究生：陳威宇

Student : Way-Yu Chen

指導教授：高曜煌 博士

Advisor : Prof. Yao-Huang Kao



A Thesis
Submitted to Department of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in Communication Engineering
July 2008

Hsinchu, Taiwan, Republic of China

中華民國九十六年七月

應用於高速序列資料之表面聲波式 半速率時脈回復電路

SAW Based Half Rate Clock Recovery for High Speed Serial Data Transmission

研究生：陳威宇

Student : Way-Yu Chen

指導教授：高曜煌 博士

Advisor : Prof. Yao-Huang Kao

國立交通大學電信工程學系碩士班



摘要

本論文將利用 TSMC 0.18um 製程實現 Stratum 3 下之 1.244Gb/s 時脈回復電路並應用於 OC-24 中，在振盪器設計則採用低相位雜訊的表面聲波振盪器，完成一在 OC-24 光纖網路中運行之 1.244Gb/s 時脈資料回復電路。其中低通濾波器與表面聲波共振腔為接於 IC 外，迴路頻寬約在 1KHz 附近，相位偏移器將使用於表面聲波振盪器分兩部分討論， π 型相位偏移器外接與積體化於 IC 中，藉由 MATLAB 與 HSPICE 的模擬，本論文成功將表面聲波振盪器與時脈回復電路相互結合，並量測其在上鎖時得到回復時脈 1.024ps(相位偏移器外接)與 0.88ps(相位偏移器積體化)，在功率損耗上為 30mW 與 143mW。

SAW Based Half Rate Clock Recovery for High Speed Serial Data Transmission

Student : Way-Yu Chen

Advisor : Prof. Yao-Huang Kao

Department of Communication Engineering

National Chiao Tung University



Abstract

The purpose of this thesis is to implement a clock and data recovery (CDR) for Stratum 3. The bit rate is 1.244Gb/s for OC-24 by using TSMC 0.18um CMOS process. The voltage controlled SAW Oscillator (VCSO) is designed for low phase noise application. The low pass loop filter and SAW resonator are external connected. The loop bandwidth is around 1KHz. The necessitate phase shift in VCSO is describe in two parts. The first is external connected π network and the other is internally integrated. The MATLAB and HSPICE are used for behavior and circuit level simulation, respectively. The VCSO is successfully combined into CDR. The measured RMS jitter of retimed clock is 1.024ps and 0.88ps for external and integrated phase shifter, respectively. The power consumptions are 30mW and 143mW.

誌謝

本篇論文得以完成最要感謝的是我的指導教授高曜煌博士，儘管我是最後一位的碩士生仍耐心的教導我甚至親自陪我量測，這是我一輩子都不會忘記的事情吧！另外也感謝義濱學長即使工作再忙還是不厭其煩的替我解惑，使研究得以順利完成。同時也感謝孟慶宗教授、許孟庭教授與林宏澤經理百忙中仍抽空擔任我的口試委員。

碩士生涯對我來說是很特別的兩年，一個人的生活讓我學會如何從忍受到接受。感謝學長嘉川、乃元、邦郁、宏彰的傳承，更要感謝 918 實驗室的所有成員願意接納沒有實驗室的我，博士班珍儀學姐不定時的點心、聖哲學長的經驗的分享、對於完全沒接觸 IC 的我也感謝宏儒學長與金詳的教導與幫忙，同時也是我聊天的好對象。碩士班的宜蓁、雅惠、宜珊有你們的陪伴使我生活增添了許多樂趣與色彩，戰友揚鮮總是在我最需要的時刻給予我最強烈的支援才能讓我堅持到最後！還有學弟妹欣怡的體貼、泰麟的歌聲與大維的廚藝也都讓我有美好的回憶，當然還有與熙良的熱情嘴炮使我整個碩士生活重新光明了起來！

這兩年得之於人者太多，出之於己者太少。感謝所有曾經幫助我的朋友很可惜無法對他們一一道謝在此至上最高謝意。台灣的高等教育往往過度強調「技」的傳授卻忽略了人文與品格上的教養，然而專業的知識固然重要但專業背後所具備的「態度」才是真正該值得學習的。

最後特別感謝我的母親與姐姐以及苑華在求學過程中給予我最大的支持與關懷，讓我有能夠面對困難的勇氣，在此僅把此論文的榮耀獻給關心我的人以及我遠在天上的父親。

威宇 於 Lab. 918, NCTU 2008/8/03

目錄

摘要 (中文).....	i
摘要 (英文).....	ii
致謝.....	iii
目錄.....	iv
圖目錄.....	vii
表目錄.....	xii
第一章 序論.....	1
1-1 研究動機與目的.....	2
1-1-1 802.3z Gigabit Ethernet.....	3
1-2 基本介紹.....	5
1-2-1 光接收機.....	5
1-2-2 歸零與不歸零資料.....	5
1-3 抖動.....	7
1-3-1 Jitter Transfer.....	8
1-3-2 Jitter Tolerance.....	9
1-3-3 Phase Jitter.....	10
1-4 時脈資料恢復電路架構.....	10
1-4-1 無參考時脈的時脈恢復電路.....	11
1-4-2 有參考時脈的時脈恢復電路.....	12
1-4-3 全速率與半速率時脈資料恢復電路.....	14
1-5 論文組織架構.....	15

第二章 表面聲波震盪器之分析與設計.....	16
2-1 表面聲波共振腔.....	17
2-2 表面聲波積體振盪器基本原理.....	19
2-3 表面聲波振盪器頻率可調範圍.....	21
2-4 改良式 Peirce 表面聲波器介紹.....	22
2-4-1 相位偏移器.....	23
2-4-2 立體電感之設計.....	27
2-4-3 交換式電容陣列之設計.....	30
2-5 改良式 Pierce 表面聲波振盪器之設計.....	33
2-6 全積體式改良 Pierce 表面聲波振盪器之設計.....	35
第三章 時脈資料回復電路.....	38
3-1 時脈回復電路.....	39
3-1-1 SAW Filter based CDR.....	39
3-1-2 Phase Locking CDR.....	40
3-2 相位檢測器.....	41
3-2-1 D Flip-Flop 相位檢測器.....	42
3-2-2 Hogge 相位檢測器.....	44
3-2-3 Alexander 相位檢測器.....	47
3-2-4 線性半速率相位檢測器.....	50
3-3 迴路濾波器分析.....	54
3-4 MATLAB 模擬分析.....	57
第四章 半速率表面聲波時脈資料回復電路.....	61
4-1 SAW based half rate CDR.....	62
4-2 電流模式邏輯.....	62
4-2-1 Current Mode Logic Latch.....	63
4-2-2 Current Mode Logic XOR.....	65

4-3 線性半速率相位檢測器模擬.....	66
4-4 充電磊設計分析.....	69
4-5 Phase detector+Charge pump+Low pass filter.....	74
第五章 量測結果.....	76
5-1 半速率表面聲波時脈回復電路量測.....	77
5-1-1 頻譜與相位雜訊量測.....	78
5-2 積體式半速率表面聲波時脈回復電路量測.....	83
5-3 半速率表面聲波時脈回復電路眼圖量測.....	87
第六章 結論.....	93
結論.....	94
附錄.....	95
附錄 A.....	96
附錄 B.....	98
參考文獻.....	100



圖目錄

第一章.....	1
圖1-1 Gigabit Ethernet Layer diagram.....	3
圖1-2 光接收器前端架構.....	5
圖1-3 NRZ 與 RZ 資料.....	6
圖1-4 NRZ 功率頻譜密度.....	6
圖1-5 absolute jitter.....	7
圖1-6 cycle-to-cycle jitter.....	7
圖1-7 Jitter transfer.....	9
圖1-8 OC-24 Jitter Tolerance.....	9
圖1-9 無參考信號源的時脈資路回復電路架構.....	11
圖1-10 具粗調路徑無參考信號源的時脈資路回復電路架構.....	12
圖1-11 有參考信號源的時脈資路回復電路架構.....	12
圖1-12 雙振盪器有參考信號源的時脈資路回復電路架構圖.....	13
圖1-13 全速率與半速率.....	14
第二章.....	16
圖2-1 (a) 單埠表面聲波共振腔.....	17
(b) 雙埠表面聲波共振腔.....	17
圖2-2 表面聲波元件裸晶.....	18
圖2-3 表面聲波元件 BVD 等效模型.....	18
圖2-4 表面聲波元件 BVD 等效值.....	19
圖2-5 基本正回授系統.....	19
圖2-6 (a) Pierce Oscillator.....	20
(b) Pierce based SAW Oscillator.....	20

圖2-7	Oscillator equivalent circuit.....	21
圖2-8	共振腔兩側的並聯電容.....	22
圖2-9	加入相位偏移器的 Pierce 振盪器.....	23
圖2-10	(a) π 電路 (b) T 電路.....	23
圖2-11	-90° 相位移的 π 電路.....	24
圖2-12	$+90^\circ$ 相位移的 T 電路.....	26
圖2-13	(a) π 型相位偏移器.....	26
	(b) T 型相位偏移器.....	26
圖2-14	(a) 由 M6、M5 構成之電感.....	27
	(b) 由 M6、M4 構成之電感.....	27
圖2-15	立體電感繞線示意圖.....	28
圖2-16	使用立體電感 (a) π 型相位偏移器.....	28
	(b) T 型相位偏移器.....	28
圖2-17	電感等效模型與立體電感各參數模擬值.....	29
圖2-18	以低增益窄頻組合而成的高增益寬頻.....	30
圖2-19	交換式電容陣列之電路架構.....	30
圖2-20	開關之寄生電容 (a)理想狀況與實際狀況的差別.....	31
	(b)開關電容等校電路.....	31
圖2-21	開關電容設計不適當所產生的非交越區.....	32
圖2-22	基本表面聲波震盪器電路圖.....	33
圖2-23	表面聲波振盪器：(a)輸出波形與緩衝器輸出波形.....	34
	(b)頻譜分析.....	34
圖2-24	立體電感與平面式電感大小比較圖.....	35
圖2-25	全積體式表面聲波振盪器核心電路圖.....	36
圖2-26	表面聲波振盪器：(a)輸出波形與緩衝器輸出波形 (b)起振分析.....	37

圖2-27 表面聲波振盪器控制電壓：(a) $V_{ctrl} = 0\text{ V}$ (b) $V_{ctrl} = 1.8\text{ V}$	37
第三章	38
圖3-1 SAW 時脈資料回復電路架構	39
圖3-2 Phase-locking CDR	40
圖3-3 (a)全波整波 (b)半波整波	41
圖3-4 在 D Flip-Flop 中分別以 clock 與 data 取樣結果	42
圖3-5 二位元相位檢測器特性	43
圖3-6 D Flip-Flop 構成二位元 CDR 系統	43
圖3-7 (a) D Flip-Flop edge detector	44
(b) 輸出因 data transition density 之不同	44
圖3-8 (a)Simple Hogge PD (b)clock 相位領先各點輸出波形	45
圖3-9 Hogge PD 改善延遲不匹配的方法	46
圖3-10 Hogge PD 在 V_{ctrl} 產生三角波波型	47
圖3-11 Early-late detection method	48
圖3-12 (a) Simple Alexander PD (b) Alexander PD Waveform	48
圖3-13 Alexander PD phase difference Waveform	50
圖3-14 D Flip-Flop PD 操作在半速率下的錯誤	50
圖3-15 Hogge PD 操作在半速率下的錯誤	51
圖3-16 (a) Simple Linear PD (b) Its waveforms	51
圖3-17 (a) Complete Linear PD (b) Its waveforms	52
圖3-18 半速率線性相位檢測器工作情形	53
圖3-19 basic PLL model	54
圖3-20 二階迴路濾波器	55
圖3-21 二階迴路濾波器波德圖	56
圖3-22 MATLAB 系統方塊圖	58
圖3-23 MATLAB 開迴路近似波德圖	59

圖3-24 MATLAB Behavior simulation.....	59
圖3-25 MATLAB 充電磊模擬.....	60
圖3-26 MATLAB 系統方塊圖.....	60
第四章.....	61
圖4-1 SAW based half rate CDR.....	62
圖4-2 電流模式拴鎖器 (a)電路架構 (b)運作情形.....	64
圖4-3 電流模式拴鎖器模擬圖.....	64
圖4-4 電流模式互斥或閘 (a)電路架構 (b)運作情形.....	65
圖4-5 電流模式互斥或閘模擬圖.....	66
圖4-6 完整線性半速率相位檢測器.....	66
圖4-7 Common-Centroid Layout.....	67
圖4-8 Clock 相位領先模擬結果.....	68
圖4-9 Clock 相位落後模擬結果.....	68
圖4-10 電流模式單端充電磊.....	69
圖4-11 電流模式單端充電磊模擬圖.....	70
圖4-12 NMOS 對充電磊.....	70
圖4-13 Current reuse NMOS charge pump.....	71
圖4-14 Current reuse NMOS charge pump 模擬圖.....	72
圖4-15 改良式 Current reuse NMOS charge pump.....	72
圖4-16 改良式 Current reuse NMOS charge pump 模擬圖.....	73
圖4-17 正斜率時 Clock 相位領先產生放電狀態.....	74
圖4-18 正斜率時 Clock 相位落後產生充電狀態.....	74
圖4-19 負斜率時 Clock 相位領先產生充電狀態.....	75
圖4-20 負斜率時 Clock 相位落後產生放電狀態.....	75
第五章.....	76
圖5-1 半速率表面聲波時脈回復電路佈局圖.....	77

圖5-2 半速率表面聲波時脈回復電路裸晶圖.....	78
圖5-3 實驗室量測環境.....	78
圖5-4 表面聲波壓控震盪器之增益.....	79
圖5-5 表面聲波壓控震盪器之頻譜.....	79
圖5-6 相位雜訊量測.....	80
圖5-7 鎖定後相位雜訊量測.....	80
圖5-8 鎖定前抖動量測.....	81
圖5-9 鎖定後抖動量測.....	81
圖5-10 鎖定前波形.....	82
圖5-11 鎖定後波形.....	82
圖5-12 積體式半速率表面聲波時脈恢復電路佈局圖.....	83
圖5-13 積體式半速率表面聲波時脈恢復電路裸晶圖.....	83
圖5-14 相位雜訊量測結果.....	84
圖5-15 鎖定後相位雜訊量測結果.....	84
圖5-16 表面聲波器輸出波形.....	85
圖5-17 Switch 電容下電壓曲線 KVCO 100K.....	85
圖5-18 鎖定前 RMS jitter 與 P-P jitter.....	86
圖5-19 鎖定後 RMS jitter 與 P-P jitter.....	86
圖5-20 Agilent N4901B Serial BERT.....	87
圖5-21 Eye Diagram measurement method.....	87
圖5-22 NRZ $2^{31} - 1$ eye diagram measurement (無透過 Power Splitter).....	88
圖5-23 NRZ $2^{11} - 1$ eye diagram measurement.....	88
圖5-24 eye diagram (透過 Coupler Power Splitter).....	90
圖5-25 eye diagram measurement(透過 Power Splitter).....	90
附錄.....	95
圖A-1 表面聲波共振腔模型.....	96

圖A-2 模型與量測各 S 參數比較.....	97
圖A-3 模型與量測各 S 參數相位比較.....	97
圖B-1 立體電感簡化等效模型.....	98
圖B-2 模型與量測各 S 參數比較.....	99
圖B-3 模型與量測各 S 參數相位比較.....	99



表目錄

表 1.1 Clock Requirements Summary.....	4
表 1.2 全速率與半速率的比較.....	15
表 3.1 設計參數.....	57
表 3.2 二階濾波器元件值.....	57
表 5.1 本研究之表面聲波振盪器與其他產品規格比較.....	91
表 5.2 本研究之時脈回復電路與其他論文、產品規格比較.....	92
表 A-1 表面聲波共振腔模型參數.....	96
表 B-1 立體電感模型各參數.....	98



第一章

序論



第一章

序論

1-1 研究動機與目的

隨著網路傳送資料的需求及資料傳輸速度越來越快，在骨幹網路光纖通訊在傳送與接收時擁有較大的傳送資料量與較低的功率損耗，且由於對大頻寬的需求，使得傳輸介質由銅電線逐漸被光纖取代。而光纖通訊（Optical Communication）有最高頻寬及傳輸品質穩定等特點，且以太網路便宜且快速，使其常被區域網路所使用。但是當資料透過光纖傳輸時，會有時脈不同步與雜訊產生在資料上，故在接收端通常均需要利用時脈恢復資料(Clock and data recovery)使時脈同步與還原出無失真的訊號藉此消除雜訊。另外在晶片的資料傳遞並列傳輸已漸漸不適用。取而代之的是串列傳輸介面，在此介面中串列傳輸接收端將利用時脈恢復電路將串列資料轉為並列資料。在現今時脈資料回復電路通常運用在兩方面，一為光纖通訊網路方面如：SONET、SDH、Ethernet，另一方面為晶片之間的資料傳輸如：SerialATA、USB2.0、PCI-Express。

時脈資料回復電路在光纖網路接收端為一重要部份，在非線性的時脈恢復電路中，通常需利用高 Q 值得濾波器實現[1]。但此架構將產生時脈對輸入資料重新取樣無法同步的問題，且大多使用離散電路來達成。故現今的研究上大致為相位鎖定式的時脈恢復電路與相位選擇式(Oversampling)時脈恢復電路，但將會有較大的抖動發生。而本篇論文將整合上述兩類之優缺點實現一相位鎖定式為表面聲波時脈恢復電路。

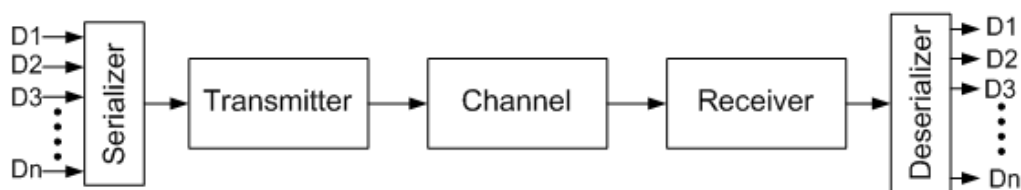


圖1-1 Clock and data recovery form the basis in Serializer/deserializer

1-1-1 802.3z Gigabit Ethernet

如圖 1-2 為 802.3z Gigabit Ethernet Layer，主要分成以下四種：

1000BASE-LX：1300nm 光傳送接收器，以單模光纖與多模光纖傳送 8b/10b 編碼，

單模光纖傳送距離約 3~10 公里；多模光纖約 550 公尺。

1000BASE-SX：850nm 光傳送接收器，以單模光纖與多模光纖傳送 8b/10b 編碼，

單模光纖傳送距離約 500 公尺；多模光纖約 220~275 公尺。

1000BASE-CX：傳送接收器，距離約 25 公尺，採用 8b/10b 編碼。

1000BASE-T：採四對半多工連線，採 5-level PAM 編碼技術。

1000BASE-LX 採用 8b/10b 編碼方式，其優點有：提高傳輸效率、增加位元錯誤偵測能力、區分資料和控制不同編碼。為了增加接收端的傳遞的含量故利用 8b/10b 編碼將 1 Gb/s 資料速率透過編碼變成 1.25 Gb/s。而也因 1000BASE-LX 之單模光纖傳送距離可高達 10 公里，將會有十分大的雜訊累積，故一個極精確的時脈恢復電路是可以用於此架構中的。

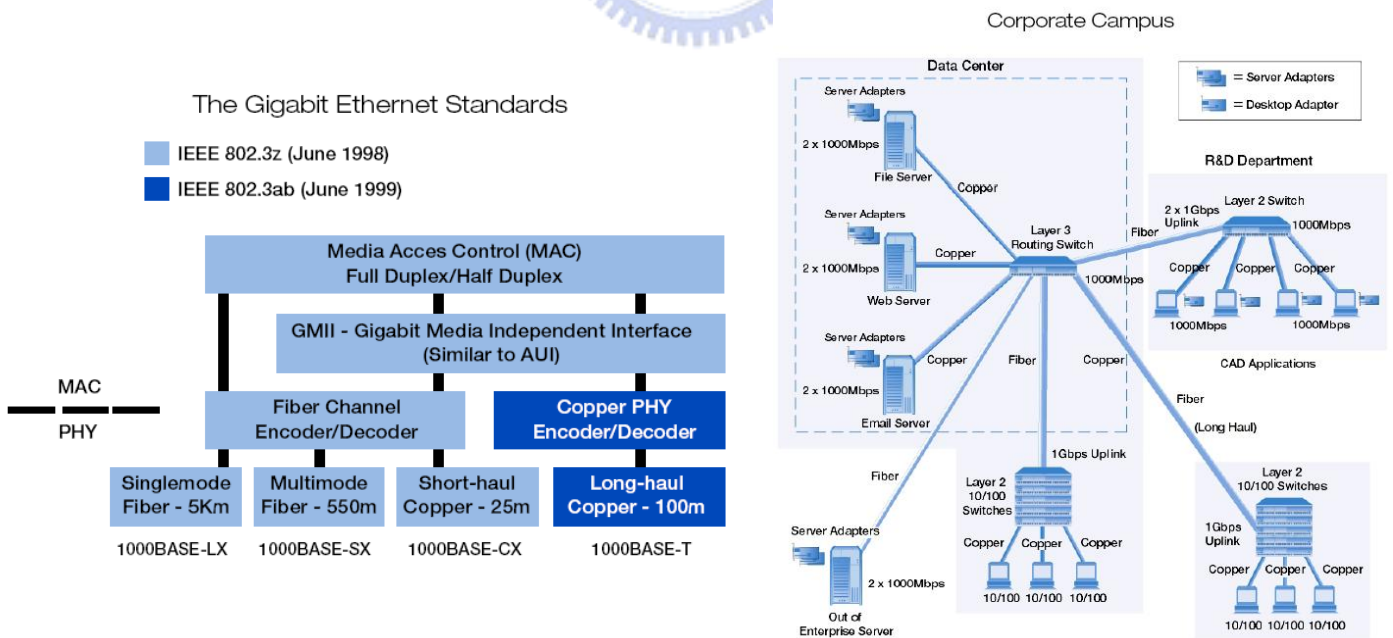


圖 1-2 Gigabit Ethernet Layer diagram

如表 1-1 所示為 Stratum level 各層對時脈精準性的需求，在處理同步訊號時必須先遵照 telecom network element (NE)所定訂的標準。其中 Stratum 1 被定義為最基準的參考訊號，所有通訊上的訊號皆是依此為基準而延伸並透過鎖相迴路來操作在不同需求。

根據其規範有下列幾點：

Free run accuracy：定義為在迴路未上鎖前時脈本身的頻率偏移大小，舉 Stratum 3 為例其頻率飄移不可操過 ± 4.6 ppm，亦即 1GHz 僅能容許 4.6K 的頻率飄移，十分嚴苛。

Holdover stability：定義為迴路未上鎖時頻率距上一次上鎖後於時間內頻率的偏移量，舉 Stratum 3 為例在未上鎖時距上一次上鎖後其頻率在 24 小時內不可大於 0.37ppm，亦即在 24 小時內頻率 1GHz 的訊號在未上鎖狀況下不可偏移上鎖時的 3.7k。

本論文之目標為建構一 SAW based CDR 電路希望藉此能還原出一精準的時脈並運用在 Stratum 3 中，另外在 SONET 架構中對 12kHz~20MHz 的相位抖動有極高的要求必需小於 1ps，故在後面章節的量測也會以此為重點進行量測。

表 1-1 Clock Requirements Summary

Stratum level	Free run accuracy	Holdover stability	Minimum pull-in/hold-in range	Filtering
1	$\pm 1 \times 10^{-11}$	N/A	N/A	N/A
2	$\pm 1.6 \times 10^{-8}$	$\pm 1 \times 10^{-11}/\text{day}$	$\pm 1.6 \times 10^{-8}$	0.001 Hz
TNX	$\pm 1.0 \times 10^{-7}$	$\pm 1.5 \times 10^{-9}/\text{day}$	$\pm 1.0 \times 10^{-7}$	0.1 Hz
3E	$\pm 4.6 \times 10^{-6}$	$\pm 1.2 \times 10^{-8}$ for initial 24 hours	$\pm 4.6 \times 10^{-6}$	0.001 Hz
3	$\pm 4.6 \times 10^{-6}$	$\pm 3.7 \times 10^{-7}$ for initial 24 hours	$\pm 4.6 \times 10^{-6}$	3 Hz
SMC	$\pm 20 \times 10^{-6}$	$\pm 4.6 \times 10^{-6}$ for initial 24 hours	$\pm 4.6 \times 10^{-6}$ or $\pm 20 \times 10^{-6}$ (See GR-253-CORE)	0.1 Hz
4E	$\pm 32 \times 10^{-6}$	N/A	$\pm 32 \times 10^{-6}$	None
4	$\pm 32 \times 10^{-6}$	N/A	$\pm 32 \times 10^{-6}$	None

1-2 基本介紹

1-2-1 光接收機

光通訊應用於區域網路裡，如圖 1-3 為光通訊的前端電路架構[2]，其主要功能為接受隨機不歸零 (random non return to zero) 的光訊號後，再將時脈與資料送入傳送端。如圖所示光二極體接收器 (photodiode) 會將所接收到的光訊號轉成電流，而為了將電流訊號轉成電壓訊號故需增加一轉阻放大器 (Trans impedance amplifier)，接著限制放大器 (Limiting amplifier) 會將電壓放大達到數位訊號的位準上，訊號經過上述的傳遞後將會產生非常大的雜訊與頻率的失真，故時脈恢復電路將在此被使用使原先失真的訊號還原回來。

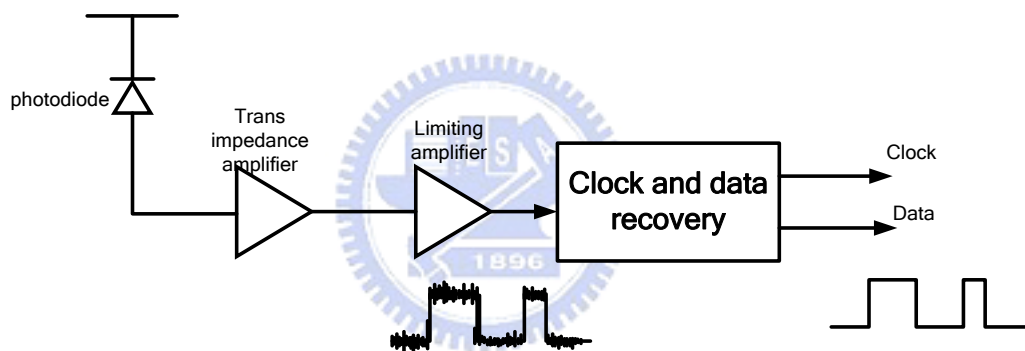


圖1-3 光接收器前端架構

1-2-2 不歸零與歸零資料

在光數位訊號上通常會使用不歸零資料 (non return to zero) 與歸零資料 (return to zero) 如圖 1-4，不歸零資料指當資料為 1 時其每一個位元週期皆為 1，反之當資料為 0 時每一個位元週期皆為 0；而歸零資料只有在資料為 1 時會維持半週期為 1 而後半週其將歸 0，但當資料為 0 時每一個位元週期仍為 0。故 NRZ 所佔的頻寬將為 RZ 的一半，對於訊號的時脈恢復較易，因此在高速的傳輸介面上均多採用 NRZ 資料[2]。

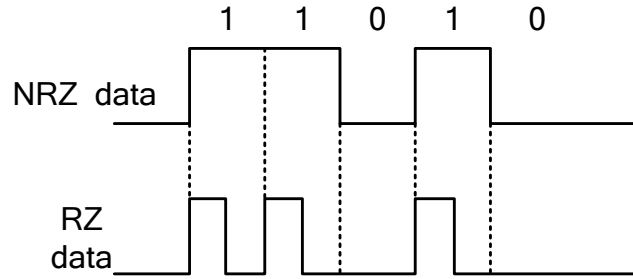


圖1-4 NRZ 與 RZ 資料

其中 NRZ 資料的功率頻譜密度(power spectrum density)推導如式下:

$$x(t) = \sum_k b_k \cdot p(t - kT_b) \quad , \quad b_k = \pm 1 \quad (1.1)$$

$$S_x(f) = \frac{1}{T_b} |P(f)|^2 \quad (1.2)$$

$$P(f) = T_b \frac{\sin(\pi f T_b)}{\pi f T_b} \quad (1.3)$$

$$S_x(f) = T_b \left[\frac{\sin(\pi f T_b)}{\pi f T_b} \right]^2 \quad (1.4)$$

$$(1.5)$$

其中 T_b 為資料位元週期(bit period)，反之 $\frac{1}{T_b}$ 即位元率(bit rate)。由式子(1.4)可繪 NRZ 的功率頻譜密度如圖 1-5，其功率頻譜密度在位元率的整數倍會出現零所以在每一位元率上並無頻譜線的出現，故在處理此類資料時必須做特殊的非線性處理。

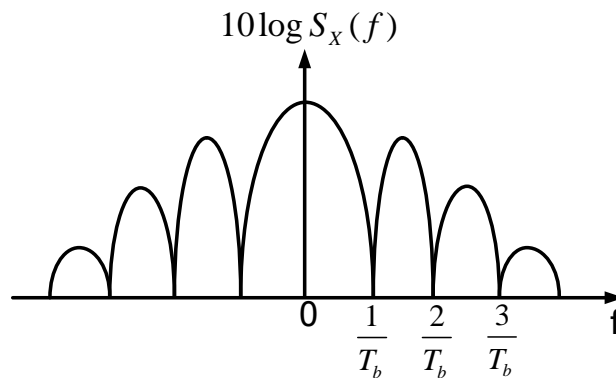


圖1-5 NRZ 功率頻譜密度

1-3 抖動 (Jitter)

在光通訊中，若以時域來看相位雜訊將反應在波形週期的誤差上我們稱之為抖動 (jitter)，以此為出發可定義許多中不同的抖動定義[2]。

絕對的抖動(absolute jitter):

如圖 1-6 所示，絕對的抖動定義顧名思義為理想方波 $x_1(t)$ 週期 T_0 與偏移後的方波 $x_2(t)$ 之間的差值，例如 ΔT_1 與 ΔT_2等。

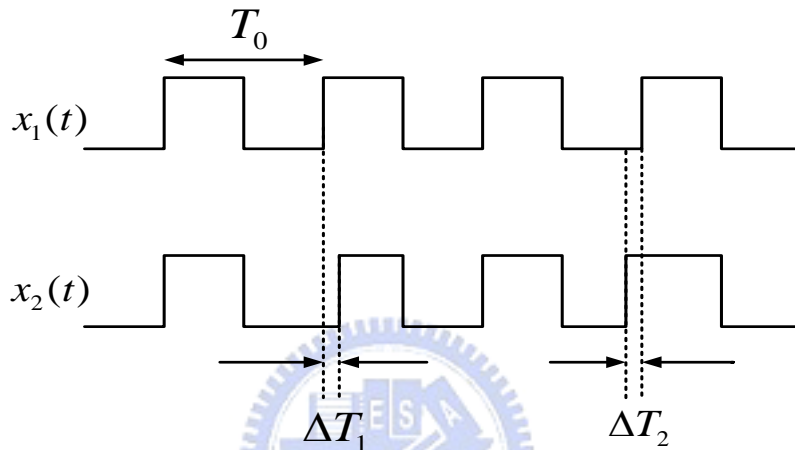


圖1-6 absolute jitter

然而上述的抖動定義僅針對了單一點進行分析，由於每一點的抖動量均不同，故對於系統好壞的定義較模糊，因此對大量的 ΔT 取其方均根值才顯得有意義：

$$\Delta T_{abs,rms} = \lim_{N \rightarrow \infty} \frac{1}{N} \sqrt{\Delta T_1^2 + \Delta T_2^2 + \dots + \Delta T_N^2} \quad (1.6)$$

週期對週期抖動(cycle-to-cycle jitter):

週期對週期抖動為另一種抖動的定義如圖 1-7，有別於絕對抖動需要一個理想的參考訊號，週期對週期抖動測量的是單一訊號兩兩的週期差，故不需要理想的訊號來做為參考。同樣的必需取其方均根值才能夠擁有明確的定義：

$$\Delta T_{cc,rms} \approx \lim_{N \rightarrow \infty} \frac{1}{N} \sqrt{(T_2 - T_1)^2 + (T_3 - T_2)^2 + \dots + (T_N - T_{N-1})^2} \quad (1.7)$$

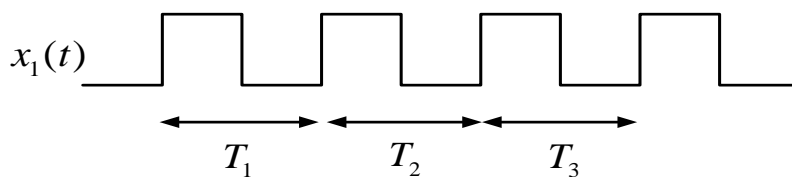


圖1-7 cycle-to-cycle jitter

週期抖動(period jitter):

第三種抖動的定義為週期抖動，他是取週期的平均值為參考訊號與每一週期的差來計算，並以方均根計算示之。

$$\Delta T_{cc,rms} \approx \lim_{N \rightarrow \infty} \frac{1}{N} \sqrt{(\bar{T} - T_1)^2 + (\bar{T} - T_2)^2 + \dots + (\bar{T} - T_{N-1})^2} \quad (1.8)$$

而上鎖後的鎖相迴路其壓控震盪器的 absolute jitter 與 cycle-to-cycle jitter 是相同的。

峰對峰抖動(peak-to-peak jitter):

通常抖動可分為兩類，一種為不可預期的隨機抖動，如溫度所造成的熱雜訊、隨機的雜訊被引入，會以方均根值來描述。另一種為因系統問題所產生的定量性抖動，如電源雜訊、干擾…等，因為此抖動是可以被預期的所以通常會以峰對峰值來描述。一般來說峰對峰抖動約為方均根計算之抖動的七~八倍。

由於時脈恢復電路對抖動有十分嚴格的限制，在光纖規格中通常會將抖動以位元週期”unit interval”(UI)表示，例如 0.01UI 即表示相較於一位元週期有 1%的抖動。

1-3-1 Jitter Transfer

在長距離的通訊過程中訊號將不斷衰減，故必須透過中繼站將訊號增幅以傳遞給使用者，然而由於不斷的經過中繼站來傳遞資料將使訊號的雜訊不斷的累積，故定義 Jitter transfer 為輸入抖動改變對輸出抖動的改變量即為其增益，他的特性與避迴路的鎖相迴路十分相似如圖 1-8，換句話說他的行為也是一低通濾波器當 CDR 上鎖時若輸入訊號的雜訊擾動十分緩慢則 CDR 電路即可確實的追蹤其雜訊以保持鎖定，所以低頻的雜訊即能有效被抑制住。反之當輸入訊號的雜訊擾動非常快則 CDR 電路將追不上此雜訊。而在設計時脈恢復電路的時若頻寬設計的太小將會使在 ω_{3dB} 附近產生 peaking 稱之為 jitter peaking，在光通訊規範中均要求此 peaking 必須小於 0.1dB，故在零點跟極點的設計需要十分小心。

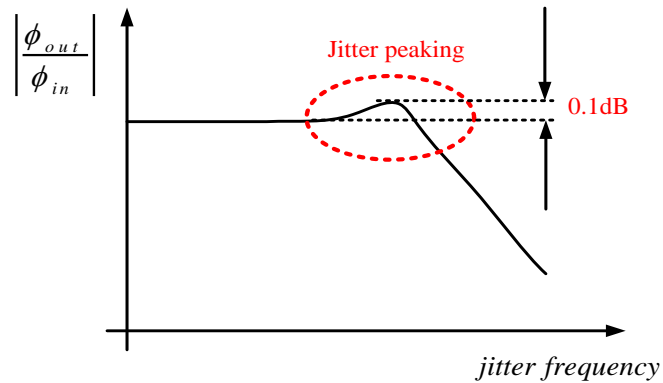


圖1-8 Jitter transfer

1-3-2 Jitter Tolerance

為了解輸入端雜訊對 CDR 的最大抖動忍受度以免增加位元錯誤率而被定義出來。一般來說當 CDR 鎖定時會希望其時脈能對到 Data 的正中央已獲得最大的抖動邊界，亦即若時脈對到 Data 的轉態點則會有脫鎖的情形發生。

當輸入抖動變化緩慢時，若有很大的抖動發生恢復的時脈仍有機會追蹤到飄移的相位，使得時脈能持續的取樣在 Data 的中央點。而若輸入的抖動變化很快時，高頻雜訊改變的很快故 CDR 將無法追上，因此所能容許的抖動將變的很小，通常均小於 0.5UI。

因此可知 CDR 對抖動的忍受度將隨抖動變化的快慢而有不同，一般以 peak-to-peak 表示如圖 1-9。

因此為了避免增加位元錯誤率可以近似出允許輸入抖動最大值

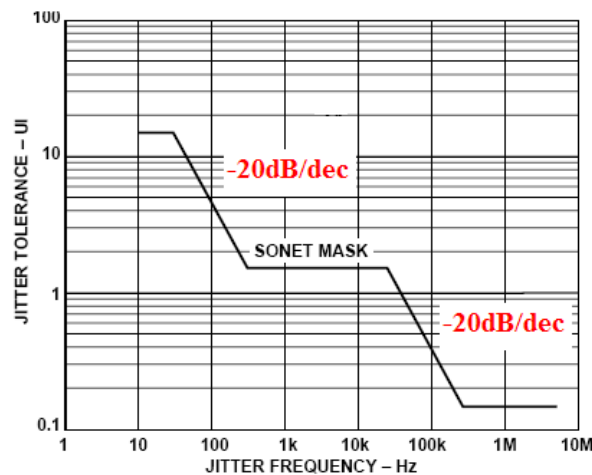


圖1-9 OC-24 Jitter Tolerance

$$\phi_{in} - \phi_{out} < \frac{1}{2}UI \quad (1.9)$$

$$\phi_{in} [1-H(s)] < \frac{1}{2}UI \quad (1.10)$$

$$\phi_{in} < \frac{0.5UI}{1-H(s)} \quad (1.11)$$

1-3-3 Phase Jitter

通常相位雜訊與抖動彼此間是有程度上的關係的，故在時脈產生器中常以相位雜訊的積分來表示抖動的好壞，一般均取 12kHz~20MHz 頻寬並積分經下列轉換即為相位抖動 (Phase jitter)。轉換公式如下：

$$X = \text{Integrated phase noise (dB)} \quad (1.12)$$

$$J_{rms} = \left(\frac{360}{2\pi} \right) \cdot 10^{dB/20} \rightarrow \text{rms jitter in Degree} \quad (1.13)$$

$$J_{rms} / 360 \rightarrow \text{Unit Intervals rms} \quad (1.14)$$

$$\left(\frac{J_{rms}}{360} \right) \cdot \left(\frac{1}{\text{Center freq}} \right) \rightarrow \text{rms jitter} \quad (1.15)$$

1-4 時脈資料回復電路架構

此節將簡單介紹目前主要時脈恢復電路的架構，通常時脈恢復電路受限於頻寬與相位檢測器的因素將使 locking range 十分窄，若僅採用單一的迴路的架構其 locking range 其頻寬並不會操過 1MHz，而線性相位檢測器的頻率操作範圍大約為輸入資料的 1%，故極有可能小於 VCO 的頻率範圍；故當 VCO 的頻率與輸入資料相差太多時，時脈恢復電路是無法到達鎖定的狀態，所以在鎖定前必須先利用頻率檢測器使得 VCO 的震盪頻率接近輸入資料的頻率，在透過相位檢測器將其上鎖。目前時脈恢復電路主要分為兩大架構[2]：

1. 無參考時脈的時脈恢復電路 (reference less CDR)
2. 有參考時脈的時脈恢復電路 (reference CDR)

1-4-1 無參考時脈的時脈恢復電路

圖 1-10 為一無參考信號源的時脈資路回復電路由相位檢測器、頻率檢測器、低通濾波器與 VCO 所構成。此架構有兩操作路徑，一為由 Loop I 構成的鎖相迴路，一為由 Loop II 構成的鎖頻迴路。首先鎖頻迴路去偵測 VCO 輸出時脈與輸入資料的頻率差並將時脈的頻率逼近到輸入資料的頻率。接著 Loop I 將會自動關閉，使鎖相迴路去偵測時脈與輸入資料的相位差直到相位鎖住為止。因此在設計時必須使時脈頻率接近輸入資料時其輸出平均值應為零，而不再影響振盪器的頻率，以避免去影響到鎖相迴路的操作而造成失鎖。

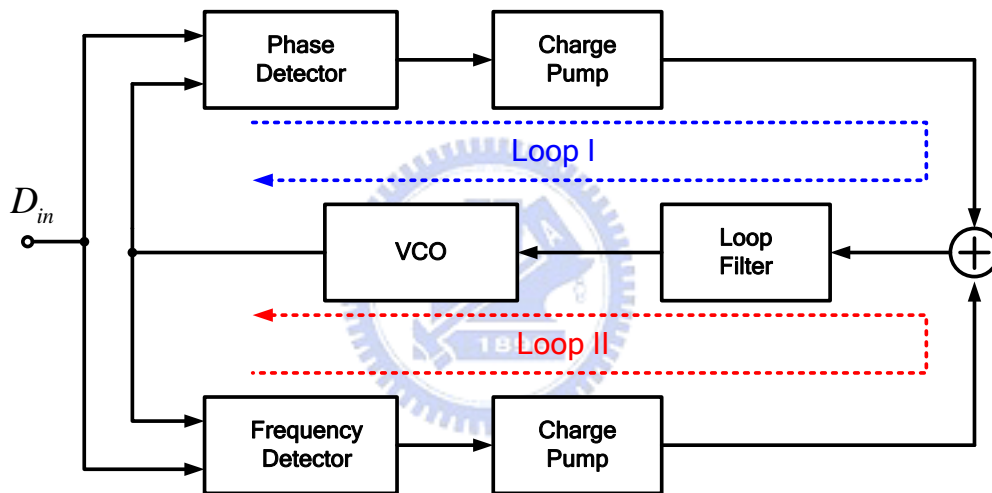


圖 1-10 無參考信號源的時脈資路回復電路架構

在圖 1-10 的架構中由於兩迴路使用同一迴路濾波器，在鎖定後鎖頻迴路仍會產生額外的脈波。故在設計迴路頻寬上有其難度通，常鎖頻迴路之頻寬會較鎖相迴路小上許多，圖 1-11 為其改善方式，將壓控振盪器的控制線分為粗調(coarse)及微調(fine)兩個輸入，兩迴路可分別設計其迴路頻寬。一般來說初調路徑部份有較大的頻寬故能去快速鎖住頻率，因為有了初調與微調的機制將確保在 VCO 的控制線上的漣波和抖動較小。

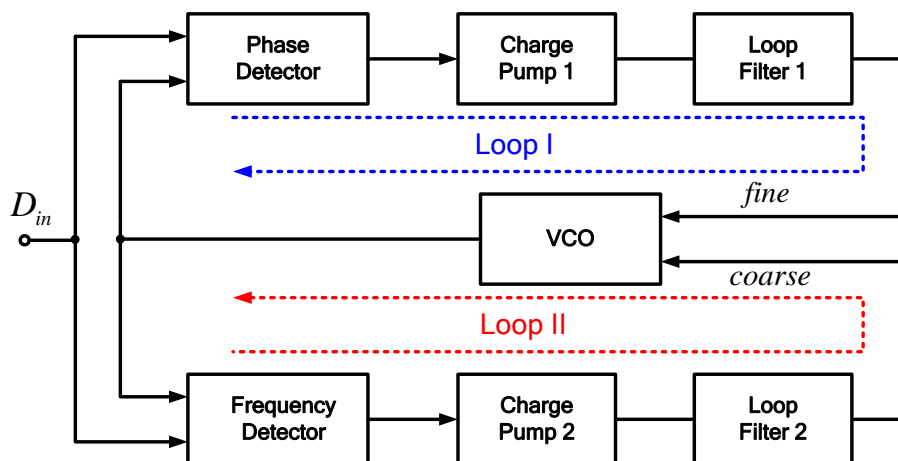


圖1-11 具粗調路徑無參考信號源的時脈資路回復電路架構

1-4-2 有參考信號源的時脈資料回復電路

圖 1-12[3]為一雙迴路有參考信號源的時脈資路回復電路，其原理與無參考時脈十分接近利用了鎖相迴路與頻率合成器去實現。首先頻率合成器 Loop II 先將振盪器的頻率鎖在 $N \times F_{ref}$ ，此時鎖定檢測器(Lock detector)將會運作，接著再由 Loop I 鎖相迴路去鎖住相位。鎖定迴路的設計需要十分小心，必須要能順利的將操作由頻率合成器轉變為鎖相迴路。而為了避免 CDR 受雜訊的干擾而失鎖，鎖定迴路必須隨時運作。

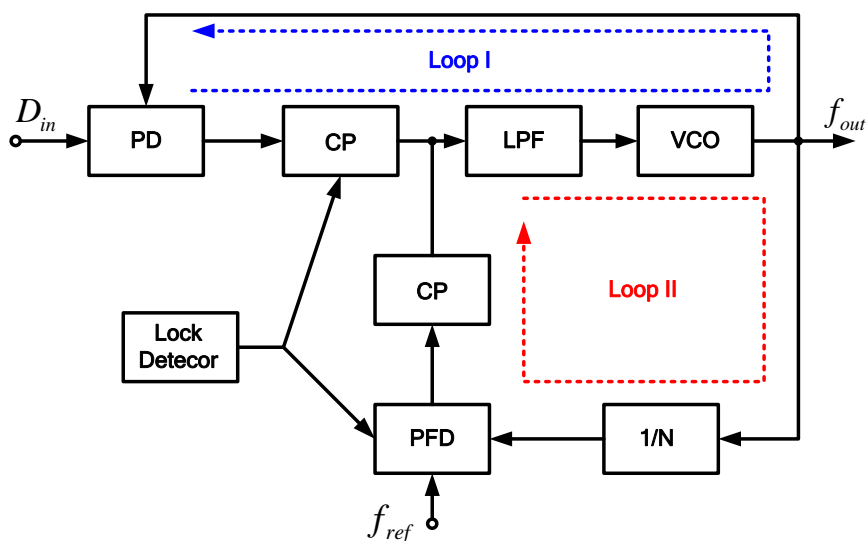


圖1-12 有參考信號源的時脈資路回復電路架構

圖 1-13 [4] 為另一種雙壓控震盪器有參考信號源的時脈資路回復電路，同樣將壓控振盪器的控制線分為粗調及微調兩個輸入。Loop II 為一頻率合成器將振盪器的頻率鎖在 $N \times f_{ref}$ ，而 Loop I 為鎖住相位的迴路，利用 V_{fine} 去控制 VCO1，以減低因控制線漣漪所造成的抖動。雖然 VCO2 與 VCO1 架構相同與控制電壓有著相同的電壓，理論上應該有相同的增益，但中心頻路仍有可能因不匹配兒造成失真，故此架構受佈局的影響非常大。而中間由電阻電容所構成的低通濾波器是為了抑制由 Loop II 所產生的漣漪。在設計此架構時，有兩個問題需要考量，在實際的 IC 上兩振盪器會受無法預期雜訊使兩者不匹配，造成兩者頻率上有誤差，如果 Loop I 的鎖住範圍(capture range)不夠大無法克服頻率誤差，則會失鎖。且因 f_{ref} 為由石英振盪器所產生，其距核心電路較遠因而造成頻率有所誤差，使兩迴路振盪器在鎖住時仍有失真，因而會互相拉扯而錯誤。

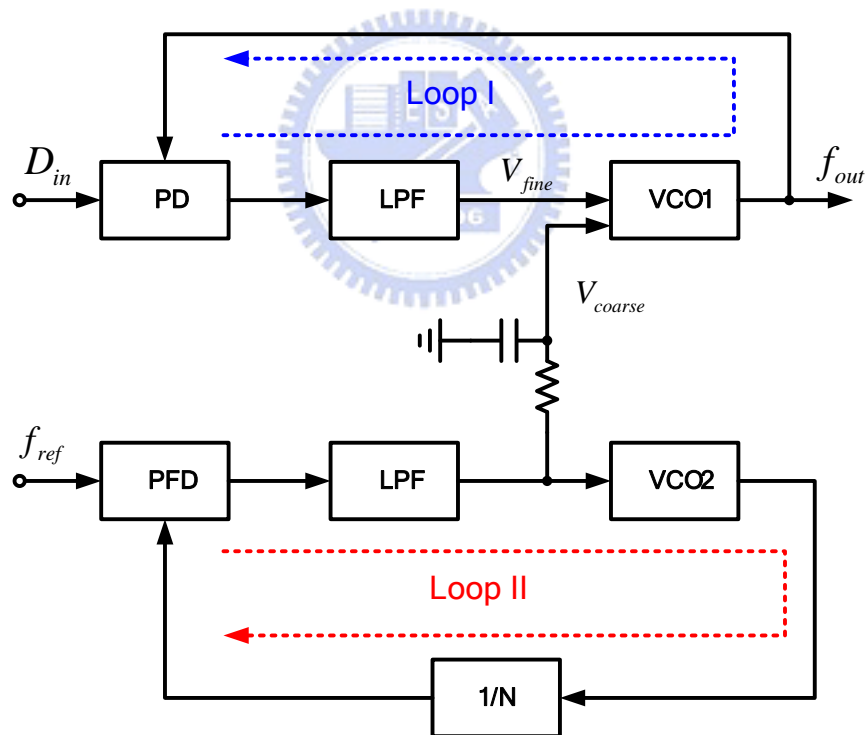


圖1-13 雙振盪器有參考信號源的時脈資路回復電路架構圖

1-4-3 全速率與半速率時脈資料回復電路

在一般相位鎖定式的資料時脈回復電路由相位檢測器的不同大至可分為全速率(Full-rate)與半速率(Half-rate)兩種。在全速率中時脈的頻率等於位元率，且在鎖定後時脈的正緣(rising edge)或負緣(falling edge)會對應到輸入資料的正中央，在重新取樣資料方面使用單一的正或負緣觸發的正反器去取樣。而在半速率中時脈的頻率將等於位元率的一半，且在鎖定後時脈的正緣及負緣會對應到輸入資料的正中央，故需同時使用正負雙緣觸發的正反器去重新取樣資料，如圖 1-14 所示，兩者的比較列在表 1.3[5][6]。

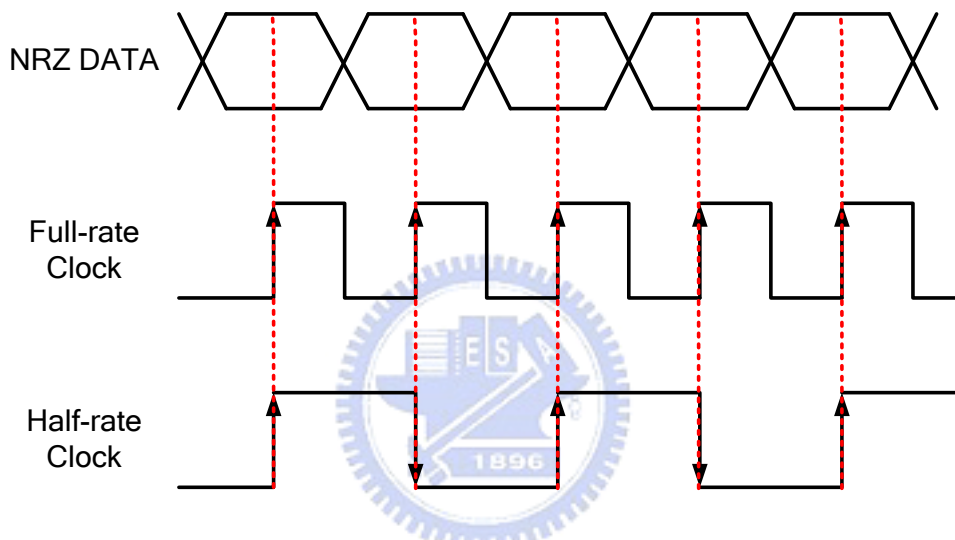


圖1-14 全速率與半速率

要設計高速且低抖動的 VCO 是十分困難的，故半速率時脈資料回復電路最大的好處可減輕 VCO 的負擔將電路操作的速度降至一半。除此之外，半速率時脈資料回復電路在重新取樣資料時會自動對其做 1 對 2 的解多工，可使接收端降低在解多工電路的複雜度及功率損耗。

由圖 1-14 可知半速率時脈資料回復電路輸出時脈的正負緣均會對資料取樣，故工作週期 (duty-cycle) 的不匹配將使正緣取樣的資料眼圖(eye)寬度不會等於負緣取樣，會因而造成額外的抖動，則由若差異過大，可能會造成時脈取樣到資料的邊緣而非正中央，這樣使重新取樣的資料錯誤，故在設計半時，時脈的工作週期應注意是否為 50%，而一般因製程的誤差與飄移通常工作週期藉於 45%~55% 均可以被接受。

表 1.1 全速率與半速率的比較

	<i>Full-rate</i>	<i>Half-rate</i>
<i>Circuit operation speed</i>	<i>Bit rate</i>	<i>Half of bit rate</i>
<i>DeMUX</i>	<i>N/A</i>	<i>1:2 DeMUX</i>
<i>Clock duty-cycle</i>	<i>Not Important</i>	<i>Important</i>
<i>Jitter tolerance margin</i>	<i>Larger</i>	<i>Lower</i>

1-5 論文組織架構

本論文為設計一半速率表面聲波時脈資料回復電路，並以 TSMC 0.18 μ m CMOS 製程實現，各章摘要如下：

第二章為表面聲波震盪器之分析與設計：

介紹表面聲波共振腔與振盪基本原理，藉而導出新型皮爾斯振盪器、立體電感之設計與交換式電容陣列。

第三章為時脈資料回復電路之分析與設計：

由濾波器所構成的 CDR 的發展至半速率 CDR 並利用 Matlab 建立鎖相迴路的線模型，對鎖相迴路做行為模擬。接著將整個鎖迴路電路做閉迴路模擬。

第四章為半速率表面聲波時脈資料回復電路之設計：

介紹各個子電路，CML 邏輯函數、充電磊、和迴路濾波器，並針對這些子電路做模擬分析

第五章為量測結果：

包含鎖定前後相位雜訊及時域波形抖動分析的量測。

第六章為結論。

第二章

表面聲波振盪器之設計與分析



第二章

表面聲波振盪器

2-1 表面聲波共振腔

1887年由 Lord Rayleigh 所發現的表面聲波為是一種在玻璃或金屬表面進行淺層傳播的機械能量波屬於超聲波的一種[7]。其藉由壓電材質將電能轉換成機械能。表面聲波的特性十分穩定在橫波傳遞時具有非常精準低雜訊的頻率特性，故在電子系統中廣泛的被運用。表面聲波由縱波跟橫波為媒介耦合元件表面，耦合的強度將影響其頻率與振幅。其中元件分為單埠和雙埠兩種如圖 2-1。

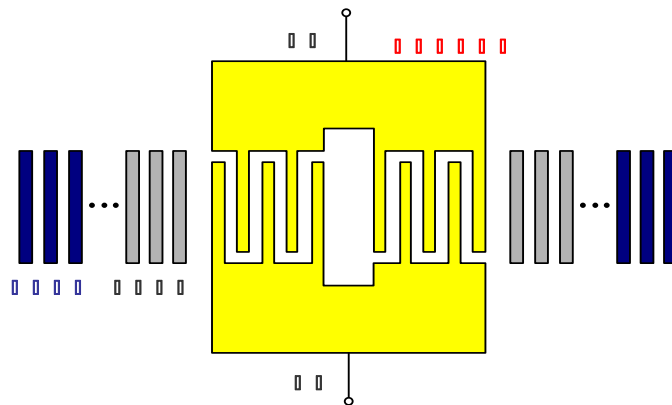


圖2-1 (a) 單埠表面聲波共振腔

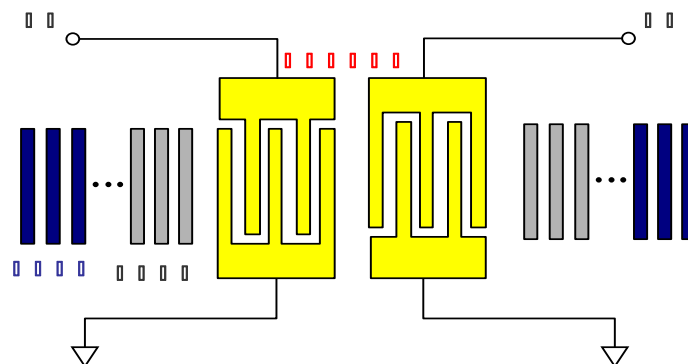


圖 2-1 (b) 雙埠表面聲波共振腔

表面聲波元件以薄膜製造的方式在壓電材料上製造出兩組交叉指狀電極(IDT)其中輸入端接受電訊號將會以負電壓效應轉換成表面聲波，轉換後的表面聲波將利用兩組 IDT 傳達到另一 IDT，在用正電壓效應將表面聲波轉換成電訊號。如圖 2-2 為表面聲波元件的裸晶。

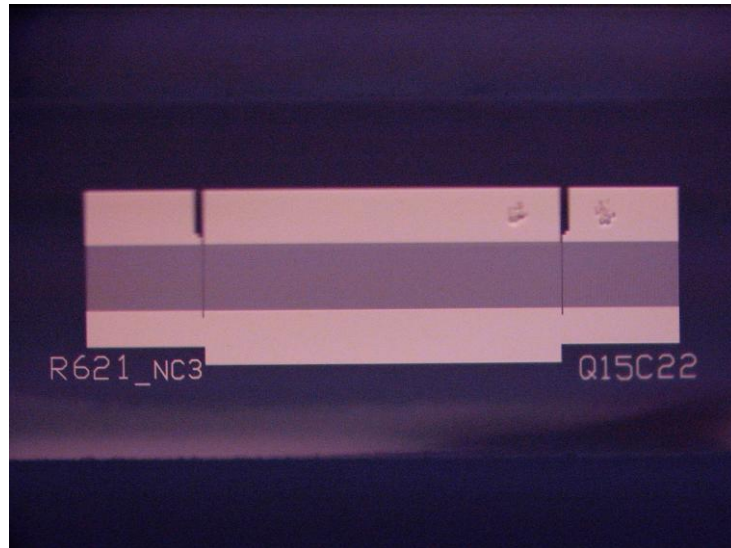


圖2-2 表面聲波元件裸晶

而在此論文中為使用的單埠表面聲波共振腔為振盪器的能源槽，為了將單埠表面聲波共振腔元件應用於 IC 中必須將其等效電路進行分析。目前為了設計上的方便通常均採用 Butterworth Van Dyke (BVD)模型如圖 2-3 [8]，此為架構為對稱型所以接腳 1 與接腳 2 可以互換。

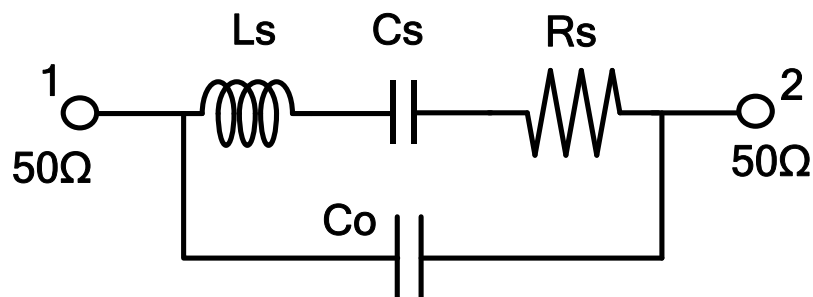


圖2-3 表面聲波元件 BVD 等效模型

在 BVD 模型中因包裝時封裝的等效寄生電容 C_o 主要來自於 IDT 間的雜散電容。此電容與 RLC 並聯且會成為破壞振盪的主要等效元件為，此電容同時也被稱為封裝電容(case capacitor)、靜態電容(static capacitor)或是分路電容(shunt capacitor)。圖 2-4 為表面聲波元件 BVD 等效後的各參數。

$f_s(\text{MHz})$	IL(dB)	QL	$R_i(\Omega)$	$L_i(\mu\text{H})$	$C_i(\text{fF})$	$C_o(\text{pF})$
622.08	1.41	1382	18	41.448	1.705	2.17

圖2-4 表面聲波元件 BVD 等效值

2-2 表面聲波積體振盪器基本原理

在只有一個直流電源供應下必須符合振盪原理電路才會振盪。如圖 2-5 考慮一個簡單的回授系統其轉移函數可表示為：

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{H(j\omega)}{1 - H(j\omega)} \quad (2.1)$$

而為了使電路穩定振盪須滿足巴克豪森法則(Barkhausen criterion)，根據此理論必須同時滿足兩個條件的振盪：

1. 電路的開迴路增益 $|H(j\omega_0)|$ 必須大於等於 1
2. 迴路的總相位移 $\angle H(j\omega_0) = 360^\circ \times n$ ， $n=0,1,2,\dots$

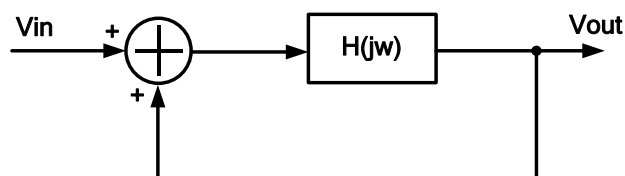


圖2-5 基本正回授系統

但是需注意在巴克豪森法則充分條件下，當迴路 $\angle H(j\omega_0) = 360^\circ$ 時頻率為零，且在適當的迴路增益下會使振盪器無法起振退變成栓鎖器(Latch)。

在表面聲波振盪器中，通常均採用單端電晶體的 Pierce 架構振盪器(如圖 2-6a)，因為表面聲波元件在極窄頻的範圍內呈電感特性，故在此架構中將電感元件取代為表面聲波晶體將產生並聯共振(如圖 2-6b)，又因為振盪器的兩端的電容與振盪頻率有直接的相關，故電容 C_1 與 C_2 直接接地能直接吸收共振腔兩端的寄生電容，且提供良好的交流地點。若電流源以基本的電流鏡實現時其電路本身僅串疊兩層 V_{DS} ，所以利用此架構能達到高穩定與低功率的特點[9]。

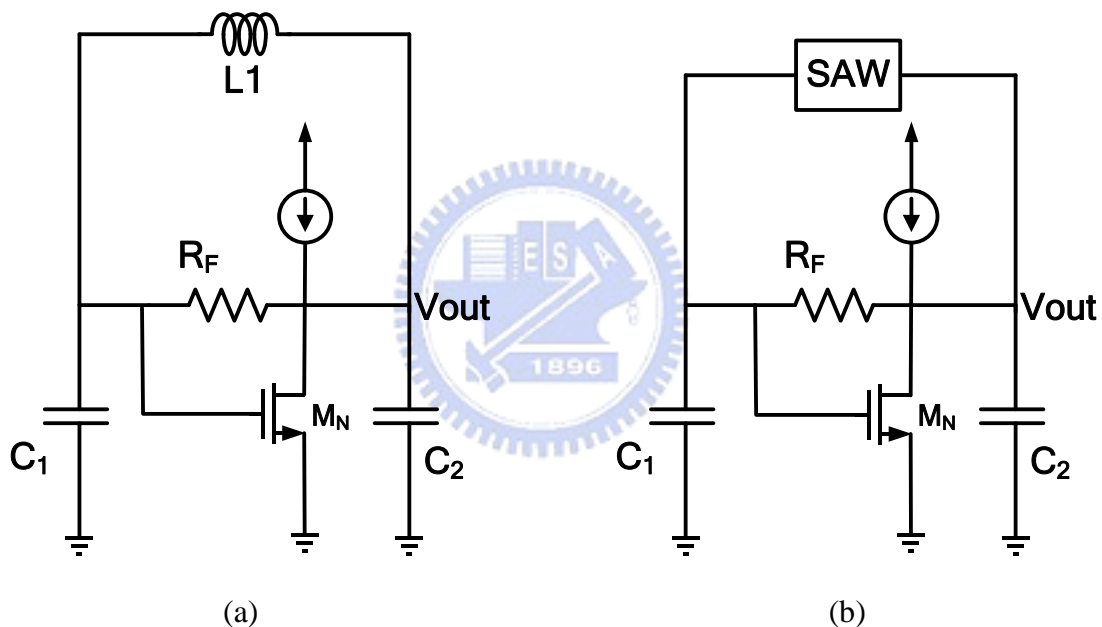


圖2-6 (a) Pierce Oscillator (b) Pierce based SAW Oscillator

回授電阻 R_f

在電路中的電阻 R_f 為回授電阻，他提供直流準位的角色，我們知道在直流操作下電晶體的閘極端並無電流，故透過回授電阻 R_f 使的電晶體的閘極與汲極兩端的直流電位相等，使的電晶體操作在高增益的工作點。然而對小訊號而言，因實際上該電阻阻值相當大，故當 R_f 大於 10K 時在電路上可視為開路，其值可視為無窮大而忽略[10]。

2-3 表面聲波振盪器頻率可調範圍設計

由圖 2-7 所示將 SAW 以 BVD 模型代入化簡，其中 C_1 、 C_2 為可變電容而由 C_o 側看入的等效電容 C_L 約為 C_1 與 C_2 串聯而震盪頻率 f_{osc} 推導如下：

$$C_L = \frac{C_1 C_2}{C_1 + C_2} \quad (2.2)$$

$$\begin{aligned} f_{osc} &= \frac{1}{\sqrt{L_{eq} \cdot C_{eq}}} = \frac{1}{\sqrt{L_i \cdot \frac{C_i(C_o + C_L)}{C_i + C_o + C_L}}} \\ &= \frac{1}{\sqrt{L_i C_i}} \cdot \left(1 + \frac{C_i}{C_o + C_L}\right)^{\frac{1}{2}} \\ &\approx \frac{1}{f_s} \left(1 + \frac{1}{2} \cdot \frac{C_i}{C_o + C_L}\right) \end{aligned} \quad (2.3)$$

則可推得最高震盪頻率：

$$f_{osc, \max} = \frac{1}{f_s} \left(1 + \frac{1}{2} \cdot \frac{C_i}{C_o + C_{L, \min}}\right) \quad (2.4)$$

$$f_{osc, \min} = \frac{1}{f_s} \left(1 + \frac{1}{2} \cdot \frac{C_i}{C_o + C_{L, \max}}\right) \quad (2.5)$$

故只要有已知 SAW model 則可以依此來設計出適當的可變電容，達到所需的 pulling range，而在實際電路中因可變電容兩側將有寄生電容的產生，將會降低頻率的 可調範圍，所以實際上的 pulling range 會略低。

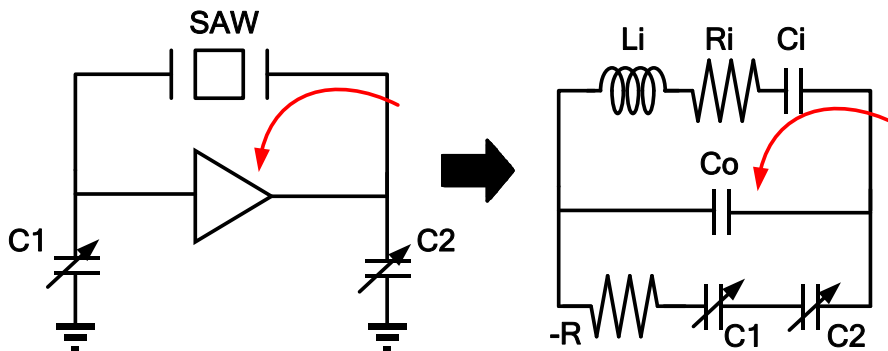


圖 2-7

圖2-7 Oscillator equivalent circuit

2-4 改良式 Pierce 表面聲波振盪器介紹

根據上述理論單一電晶體即可實現表面聲波振盪器，振盪頻率會介於串聯共振 f_s 與並聯共振 f_p 之間。其中 f_s 由 L_s 與 C_s 所構成如下式：

$$f_s = \frac{1}{2\pi\sqrt{L_s C_s}} \quad (2.2)$$

而 f_p 由 L_s 、 C_s 與 C_p 所決定如下式：

$$f_p = \frac{1}{2\pi\sqrt{L_s \left(\frac{C_s C_p}{C_s + C_p} \right)}} \quad (2.3)$$

$$f_p = \frac{1}{2\pi\sqrt{L_s \frac{C_s C_p}{C_s + C_p}}} \cong f_s \left(1 + \frac{C_s}{2C_p} \right) \quad (2.4)$$

由式 2.4 可看出 f_s 與 f_p 之間呈現比例關係，在表面聲波中 $\frac{C_s}{2C_p}$ 被定義為振盪器的最大可變頻率範圍或稱 pulling range，通常其比值約小於 300ppm (1ppm 即每 1MHz 可調 1Hz)。

故在這兩頻率間表面聲波共振腔內會呈現電感的特性進而起振，也因為此兩頻率十分靠近所以能產生一非常精準的頻率。然而此架構受限於共振腔兩側的並聯電容(如圖 2-8)必須與共振腔產生 180° 的相位移但如圖 2-8(b) 所示其相位並無法到達 180° ，造成電路無法起振。

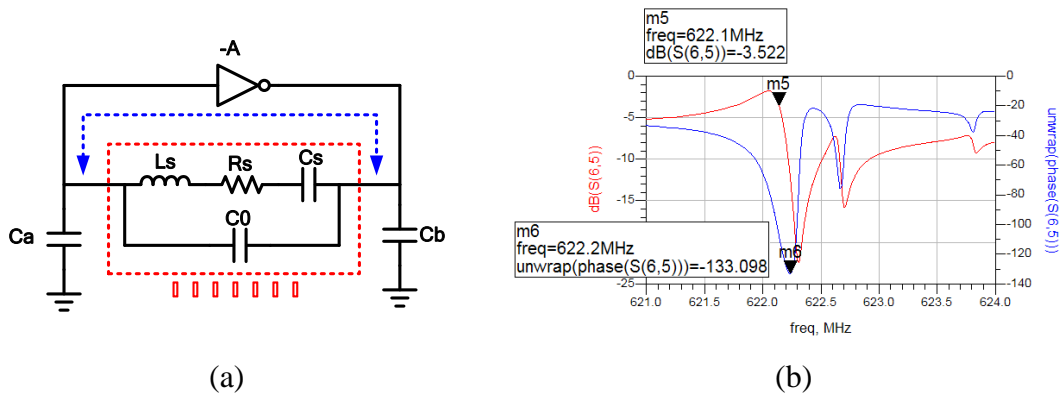


圖2-8 共振腔兩側的並聯電容及其相位

為了改善相位不足的問題我們將改良傳統的 Pierce 振盪器如圖 2-9，將相位偏移器置入回路中，將減輕原電路共振腔與並聯電容的負擔，在直流功率很小的情況下即可使電路振盪[9]。

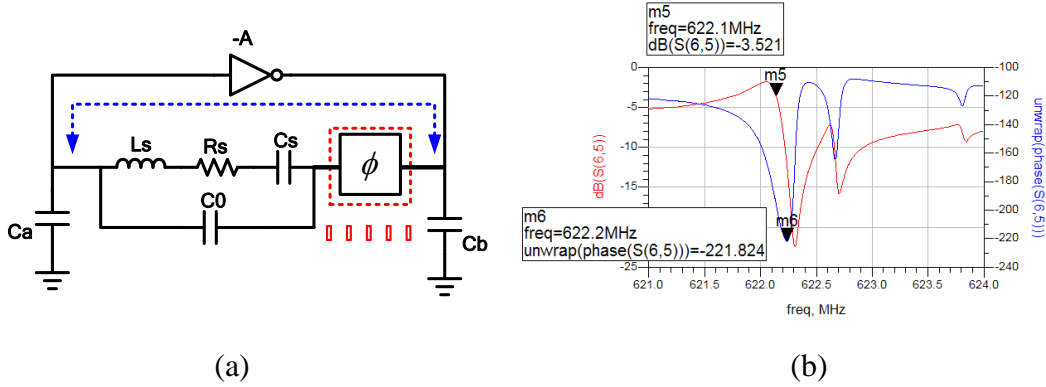


圖2-9 加入相位偏移器後其相位

2-4-1 相位偏移器

我們由傳輸線開始並決定欲得到偏移的角度，經轉換後即可得到 ABCD 矩陣其各參數為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos \theta & jZ_0 \sin \theta \\ jY_0 \sin \theta & \cos \theta \end{bmatrix} \quad (2.5)$$

有了各項參數後即可將 ABCD 矩陣轉為 \$\pi\$ 電路或 \$T\$ 電路如圖 2-10，而以下將針對此兩電路進行分析。

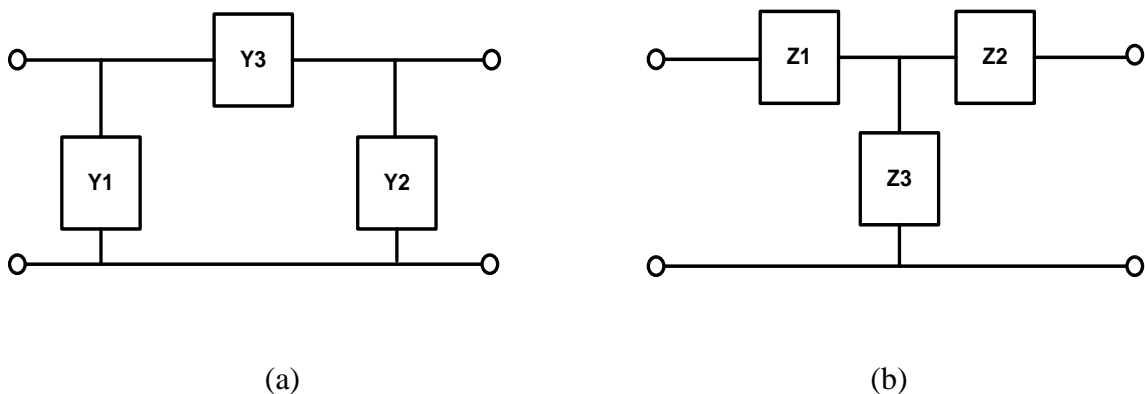


圖2-10 (a) \$\pi\$ 電路 (b) \$T\$ 電路

π 型相位檢測器

將 ABCD 矩陣等效成 π 電路其轉換的關係如下：

$$A = 1 + \frac{Y_2}{Y_3} ; B = \frac{1}{Y_3} ; C = Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3} ; D = 1 + \frac{Y_1}{Y_3} \quad (2.6)$$

由於我們希望將 π 電路在 IC 中實現，若將相位設定在 $\pm 90^\circ$ 則能以純電感與電容在 IC 中組成相位偏移器，在選擇 -90° 相位移的情況推導如下：

為了得 -90° 相位移故首先以 $\theta = -90^\circ$ 代入 ABCD 矩陣中可得到：

$$A = 0 ; B = -jZ_0 ; C = -\frac{j}{Z_0} ; D = 0 \quad (2.7)$$

$$B = -jZ_0 = \frac{1}{Y_3} \Rightarrow Y_3 = \frac{1}{-jZ_0} \quad (2.8)$$

$$\text{又 } A = 1 + \frac{Y_2}{Y_3} = 1 + BY_2 = 1 - jZ_0 Y_2 = 0 \Rightarrow Y_2 = \frac{1}{jZ_0} \quad (2.9)$$

故可看出於 π 電路中 Y_3 為一電感 L 且 Y_2 為一電容 C_2 ，由於整個系統是操作在 50Ω 系統下，故再代入欲設計的頻率 $f = 622.08\text{MHz}$ 可得：

$$2\pi f \times L = 50 \Rightarrow L = 12.79 \text{ (nH)} \quad (2.10)$$

$$2\pi f \times C_2 = \frac{1}{50} \Rightarrow C_2 = 5.11 \text{ (pF)} \quad (2.11)$$

同理可計算出 Y_1 為電容 $C_1 = 5.11 \text{ (pF)}$ ，因此 -90° 相位移的 π 電路即被設計出來如圖 2-11

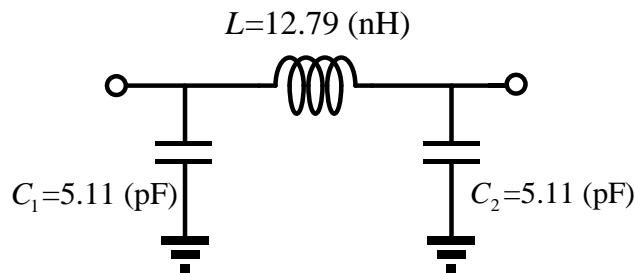


圖2-11 -90° 相位移的 π 電路

T 型相位檢測器

在 π 電路中若以 $+90^\circ$ 相位偏移而言，則 ABCD 矩陣參數可表為

$$A = 0 ; B = jZ_0 ; C = \frac{j}{Z_0} ; D = 0 \quad (2.12)$$

$$B = jZ_0 = \frac{1}{Y_3} \Rightarrow Y_3 = \frac{1}{jZ_0} \quad (2.13)$$

$$\text{又 } A = 1 + \frac{Y_2}{Y_3} = 1 + BY_2 = 1 + jZ_0Y_2 = 0 \Rightarrow Y_2 = \frac{1}{-jZ_0} \quad (2.14)$$

故可看出於 π 電路中 Y_3 為一電容 C_3 且 Y_2 為一電感 L_2 ，由於整個系統是操作在 50Ω 系統

下，故再代入欲設計的頻率 $f = 622.08\text{MHz}$ 可得：

$$2\pi f \times C_3 = 50 \Rightarrow C_3 = 12.79 \text{ (nF)} \quad (2.15)$$

$$2\pi f \times L_2 = \frac{1}{50} \Rightarrow L_2 = 5.11 \text{ (pH)} \quad (2.16)$$

同理可計算出 Y_1 為電容 $L_1 = 5.11 \text{ (pH)}$ ，因此 -90° 相位移的 π 電路即被設計出來，但由於 C_3 在使用上電容值過大，而 L_1 和 L_2 電感值則過小，在 IC 佈局裡非常難達成。故在此

使用 T 電路來達成 $+90^\circ$ 相位偏移其與 ABCD 矩陣關係如下：

$$A = 1 + \frac{Z_1}{Z_3} ; B = Z_1 + Z_2 + \frac{Z_1Z_2}{Z_3} ; C = \frac{1}{Z_3} ; D = 1 + \frac{Z_2}{Z_3} \quad (2.17)$$

為了得 $+90^\circ$ 相位移故首先以 $\theta = +90^\circ$ 代入 ABCD 矩陣中可得到：

$$C = \frac{1}{Z_3} = -\frac{j}{Z_0} \Rightarrow Z_3 = jZ_0 \quad (2.18)$$

$$A = 1 + \frac{Z_1}{Z_3} = 0 \Rightarrow Z_1 = -Z_3 = -jZ_0 \quad (2.19)$$

$$D = 1 + \frac{Z_2}{Z_3} = 0 \Rightarrow Z_2 = -Z_3 = -jZ_0 \quad (2.20)$$

故可看出於 T 電路中 Z_3 為一電感 L 且 Z_1 與 Z_2 為一電容 C_1 、 C_2 ，由於整個系統是操作在 50Ω 系統下，故再代入欲設計的頻率 $f = 622.08\text{MHz}$ 可得：

$$2\pi f \times L = 50 \Rightarrow L = 12.79 \text{ (nH)} \quad (2.21)$$

$$2\pi f \times C_1 = \frac{1}{50} \Rightarrow C_1 = C_2 = 5.11 \text{ (pF)} \quad (2.22)$$

如此可以畫出此 T 電路圖 2-12。

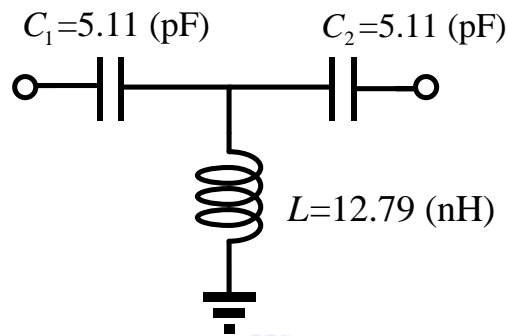


圖2-12 $+90^\circ$ 相位移的 T 電路

由於將來將希望做到積體化的表面聲波震盪器，如圖 2-13 為 π 型與 T 型相位偏移器的比較，在 T 型上雖然其 Insertion loss 較 π 型佳，但同時在考慮良好的交流地點與為了將來分析方便後，我們在往後的分析將選用 π 電路來實現相位偏移器。

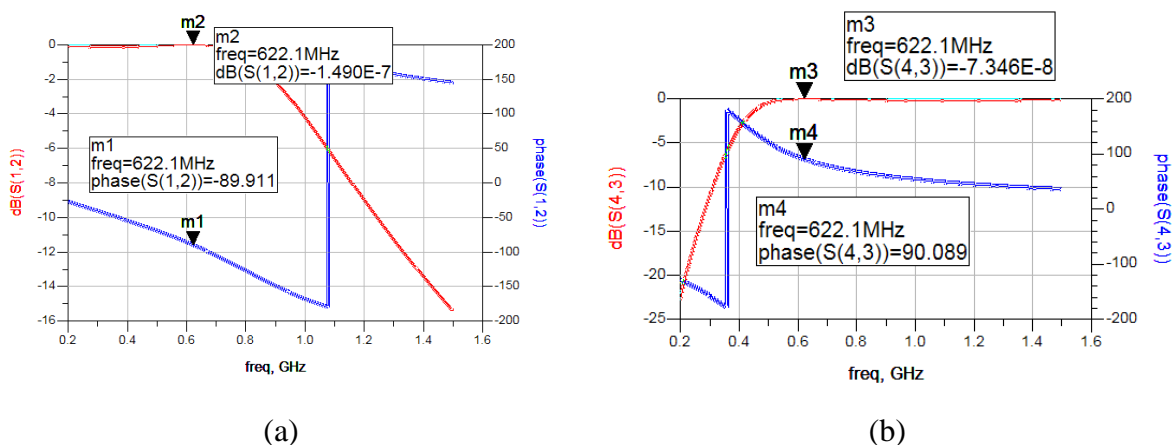


圖2-13 (a) π 型相位偏移器 (b) T 型相位偏移器

2-4-2 立體電感之設計

由上小節得知若採用相位偏移器於 622.08MHz 需要一個 12.79(nH)的電感，這在立體電路中將會佔據相當大的空間難以實現，一般來說立體電感感值約為單層電感值的 n^2 倍，其中 n 為所繞的層數[11][12]。在設計時必須特別注意自我共振頻率

(self-resonance frequency)，其定義為電抗由電感性轉變為電容性的臨界點，其頻率

$$f_{SR} = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \text{ 為了避免電感變成電容性必須提高 } f_{SR} \text{ 才能供高頻使用。又因為所}$$

需的電感值 L_{eq} 是固定的故我們只能由 C_{eq} 著手。其中根據 RAZAVI 的推導可得[11]:

$$C_{eq} = \frac{1}{3n^2} \left(4 \sum_{i=1}^{n-1} C_i + C_n \right) \quad (2.23)$$

其中 C_i 為金屬層與層之間的電容，而 C_n 為底部金屬至基板的電容值。故在相同層數下欲增加其 f_{SR} 我們可以選用兩者距離較遠的金屬層來增加其自我共振頻率。

需注意的所繞的電感值幾乎是由橫向範圍所決定，故即使採用不同的金屬層所得到的電感值仍可視為相同。

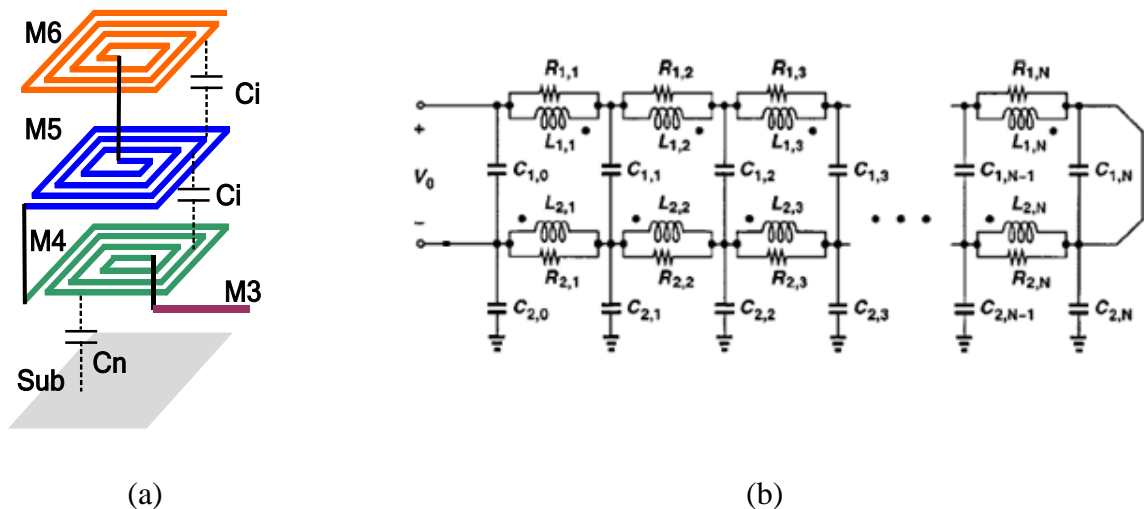


圖2-14 (a)立體電感示意圖 (b) 兩層等效模型

本次繞法是以最基本的方形電感，以台積電 0.18um 製程提供 6 層金屬，以 M6~M3 共繞 3 層，由 M3 拉出並利用 SONNET 進行 EM 模擬，如圖 2-15。

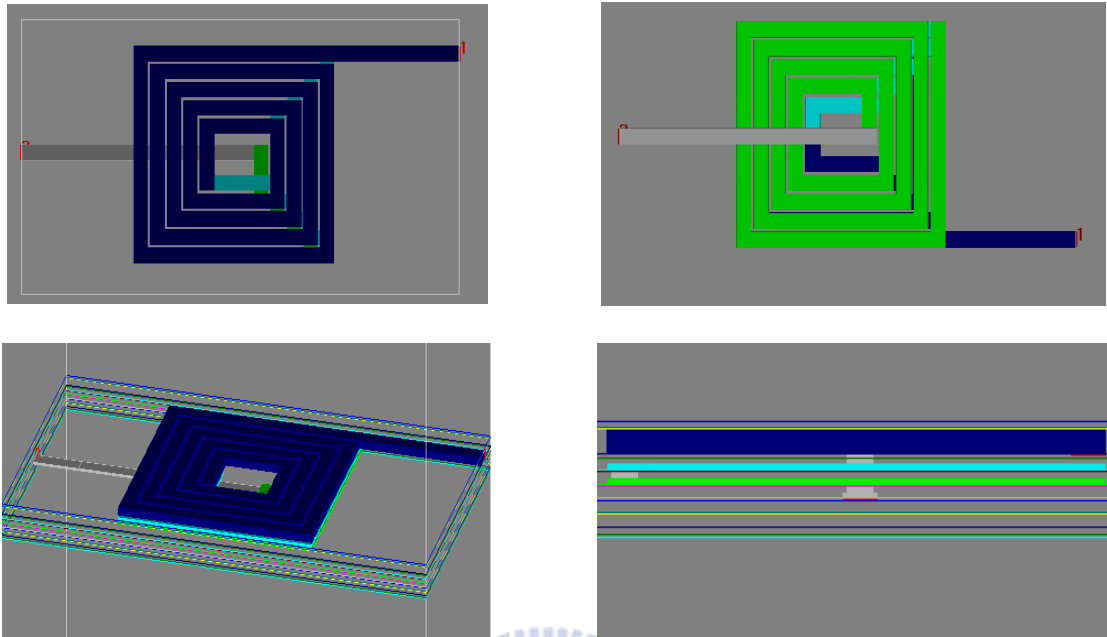


圖2-15 立體電感繞線示意圖

又電感的品質因素(Quality factor)對振盪器的影響十分大，過小的 Q 值將導致迴路的能量有極大的損耗，造成電路無法正常運行。而通常在 CMOS 中採用立體電感的 Q 值十分低，由在設計之初以電感繞法在電感 $L=12.79$ (nH) 時其 Q 值僅為 1.2 將使振盪器損耗過大無法起振，故經調整後將設計電感 $L=14.4$ (nH) Q 值 1.74。將立體電感代入相位偏移器再利用 ADS 模擬其結果如圖 2-16 所示。

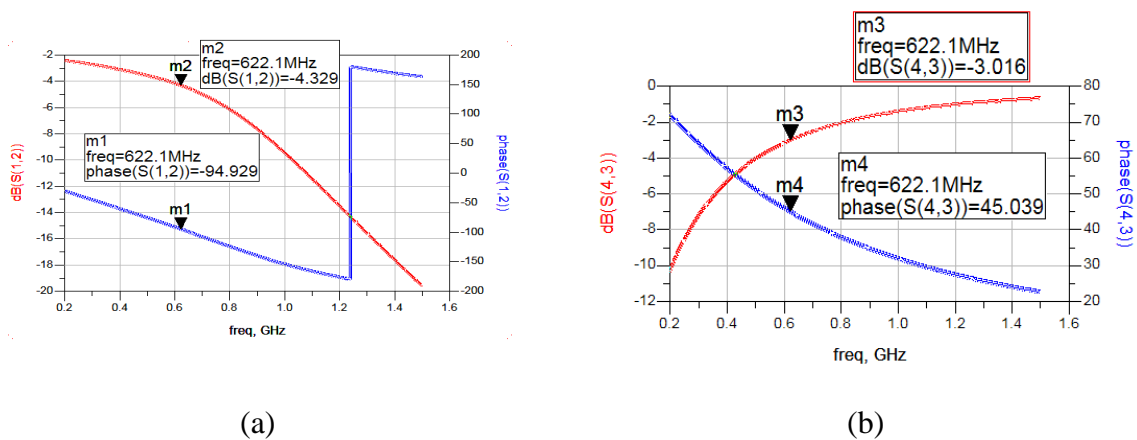


圖2-16 使用立體電感(a) π 型相位偏移器(b) T型相位偏移器

在理想的 LC 振盪器中在振盪頻率時其 Q 值是無限大使整個系統將無能量的損耗，然而實際上的 LC 振盪器 Q 值卻小至十幾，這是因為實際電感中會有一阻值 R_s 將持續的消耗系統的能量，故 R_s 的對電感的好壞有莫大的影響。而通常為了分析方便起見我們會將電感等效轉成並聯模式如圖 2-17，利用其阻抗相同特性可導出的兩者關係[2]:

$$L_p = L_s \left(1 + \frac{R_s^2}{L_1^2 \omega^2}\right) \approx L_s \quad (2.24)$$

$$R_p \approx \frac{L_1^2 \omega^2}{R_s} \approx Q^2 R_s \quad (2.25)$$

$$Q = \frac{L_1 \omega}{R_s} \quad (2.26)$$

將畫好的電感經 EM-simulation 後，再利用 ADS 將其 S2P 檔做參數的萃取觀看其電感之各項參數結果如圖 2-17，可看出立體電感其 Q 值相當的低故在設計時要特別注意。

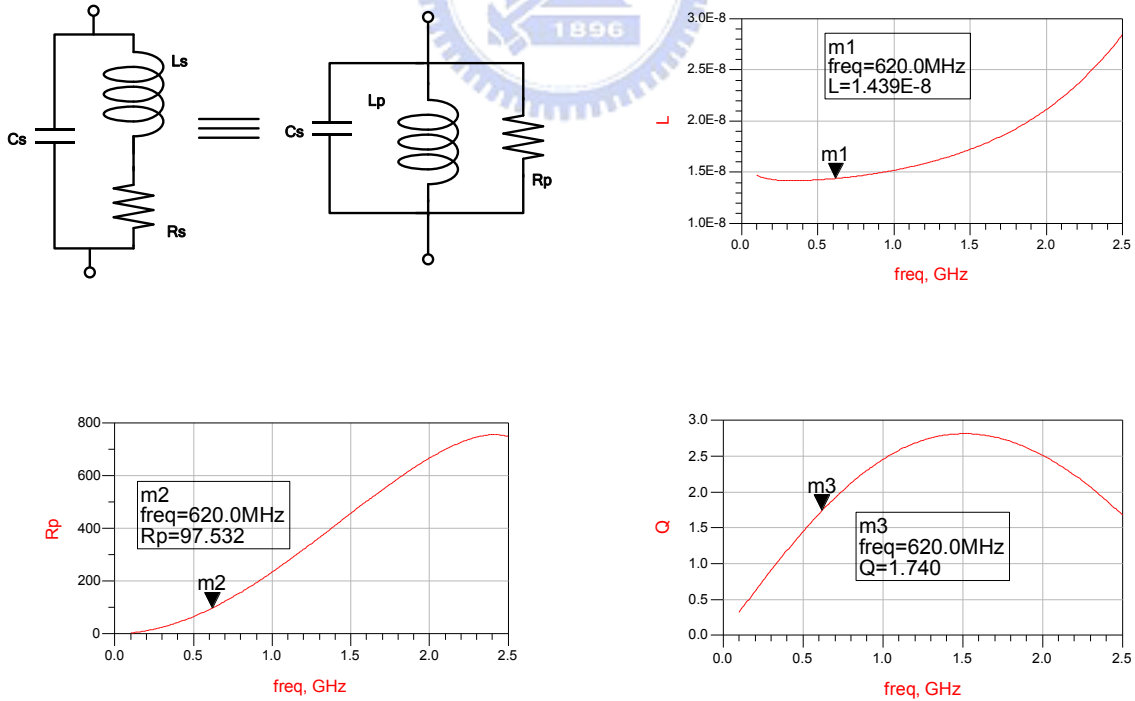


圖2-17 等效模型與立體電感各參數模擬值

2-4-3 交換式電容陣列之設計

由於在表面聲波振盪器受製程的影響十分大，為了調變頻率並涵蓋製程偏移的誤差，我們希望其頻率可調範圍能盡可能的大，因此在要實現高可調範圍時需用大電容比例(ratio)的可變電容(Varactor)，但此法會造成 KVCO 增加導致相位雜訊劣化，如式(2-27)。

$$Spur\ Level \propto K_{vco} \propto V_m \quad [13] \quad (2-27)$$

為了克服增加可調範圍造成較低的相位雜訊，若能以已有的低增益的窄頻頻率去組合得到高增益寬頻頻率，則可以達到較大的可調範圍而不影響其相位雜訊如圖 2-18 所示。

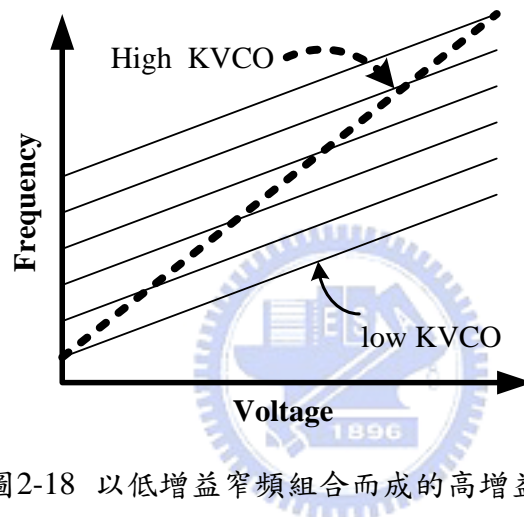


圖2-18 以低增益窄頻組合而成的高增益寬頻

而通常在電感電容振盪器中常使用交換式電容陣列的方法[13][14]如圖 2-19，

其中 A、B、C 為其電晶體的三位元控制開關，而為了能以三位元控制八位元的電容變換，在電容的選擇上技巧性的取 $C_1 : C_2 : C_3 = 1 : 2 : 4$ 為比例。

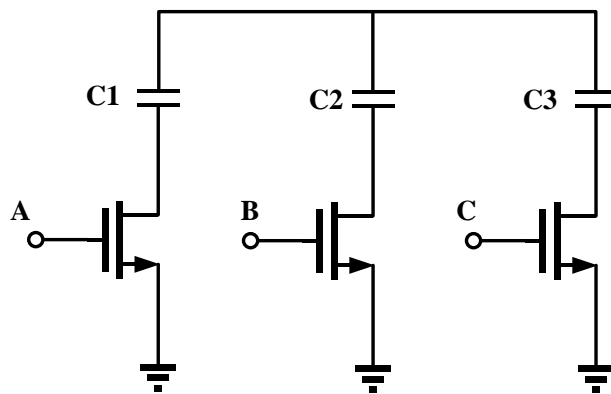


圖2-19 交換式電容陣列之電路架構

由於加入交換式電容陣列其電容會影響電路 Q 值，故為了維持 Q 為定值； C_1 單位電容的大小須與可變電容的最大值與最小值配合，其關係如下[15]：

$$C_{var,max} - C_{var,min} > C_{unit} - \left(\frac{C_{unit} C_{par}}{C_{unit} + C_{par}} \right) \quad (2-28)$$

上式中的 C_{par} 代表電晶體關閉的寄生電容，此寄生電容會附加到電容陣列中造成壓縮每一位元開關所貢獻的電容影響實際電容量，所以在設計電晶體時需特別考量尺寸大小與寄生電容的關係。電容陣列其開關電晶體的狀況如圖 2-20 所示[10]。

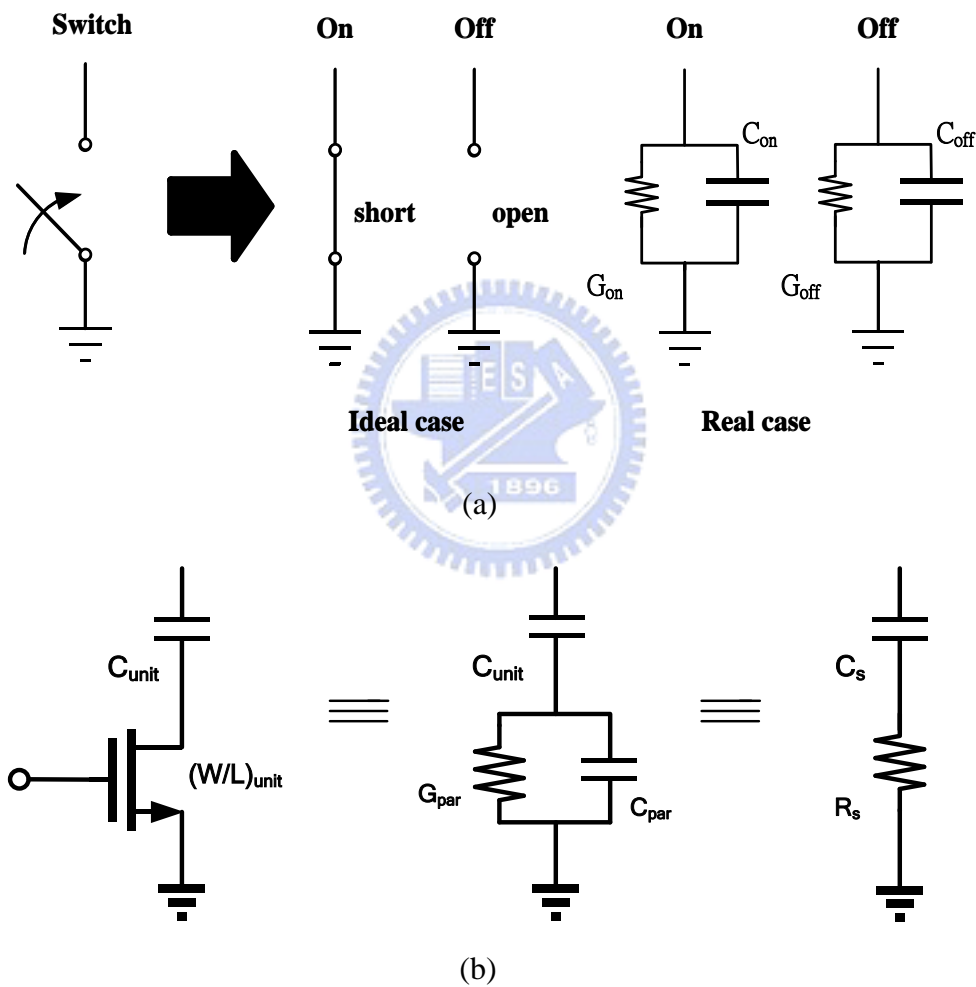


圖2-20 開關之寄生電容：(a)理想狀況與實際狀況的差別 (b)開關電容等校電路。由圖 2-20 (b)的等效模型經換算推導可得到 C_s 與 R_s 如下

$$C_s = \frac{1}{\frac{1}{C_{unit}} + \frac{\omega^2 C_{par}}{G_{par} + \omega^2 C_{par}}} \quad (2-29)$$

$$R_s = \frac{G_{par}}{G_{par} + \omega^2 C_{par}^2} \quad (2-30)$$

而開關的 Q 值即可算出為：

$$Q_{sw} = \frac{1}{\omega R_s C_s} \quad (2-31)$$

故綜合上述可以做出一個小結論，若我們希望得到一個能供使用的電容陣列必須確保相鄰的調諧曲線有一定的重疊區域，如圖 2-21 所示為設計不良所產生的非重疊區域。

而在電路設計時所碰到的 Trade off 為：為了使 Q 值維持不受導通時的電阻 R_s 影響，所以必須減小導通時的電阻而增加電晶體的外型比，但又因增加其尺寸將使寄生電容 C_{par} 增加反而影響其可調頻率的範圍，故必須在此兩這間做取捨。

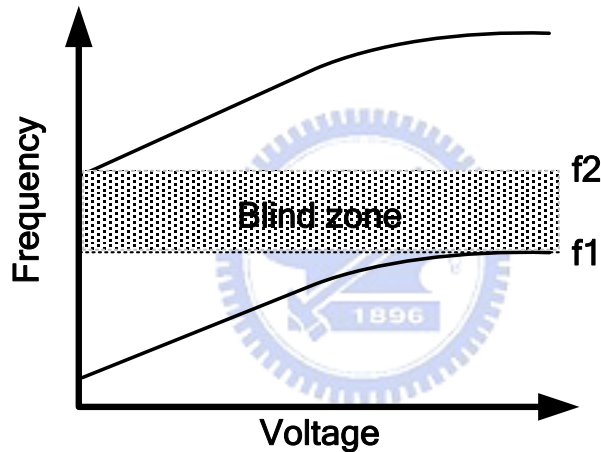


圖2-21 開關電容設計不適當所產生的非交越區。

在設計 VCISO 時的可變電容大小為 1.5p，其電容範圍由 654.5f~1.954p，再接上電容陣列後再電容全開 140fF 的情形下可推得變動比例為

$$\frac{C_{max} - C_{min}}{C} = \frac{2.0949 - 0.7945}{1.5} (pF) = 86.66\%$$

2-5 改良式 Pierce 表面聲波振盪器之設計

有了上述的基本原理後採用 TSMC 0.18um 製程後即可針對所需頻率設計出表面聲波振盪器如圖 2-22。為了實現單一電晶體即可起振，故首先在核心電路 M1 必須提供足夠的增益，所以其電晶體外型比要儘可能的大。而 M2 與 M3 為一基本電流鏡提供穩定的定電流源，也因為其功能僅是為了提供定電流所以不使用串疊式電流鏡已減少其跨壓使電路能夠操作於低電壓下。而在回授電阻 R_f 方面可使輸入與输出的直流位準相同，並保證電晶體操作於飽和區，始在相同的功率損耗下能提供較大的增益。而 M4、M5 與 M6、M7 為兩組反向器，除了可供當緩衝器外，最重要的原因是表面聲波振盪器輸出為一穩定的弦波，若將其接至後級的 CML 邏輯閘，在 clock 處會產生較大的 Timing jitter，故必須利用簡單的反相器將其整波，而為了使輸出轉為方波利用兩級反相器的整波效果將相較於單一級反相器來的好上許多。而 M8、M9、M10 為共汲極緩衝器將接至 50Ω 儀器做量測，再設計時緩衝器之基本設計考量為下：

1. 輸入與輸出之頻率是否有改變
2. 輸入與輸出之波形是否失真
3. 輸入與輸出之 jitter 增加量之多寡

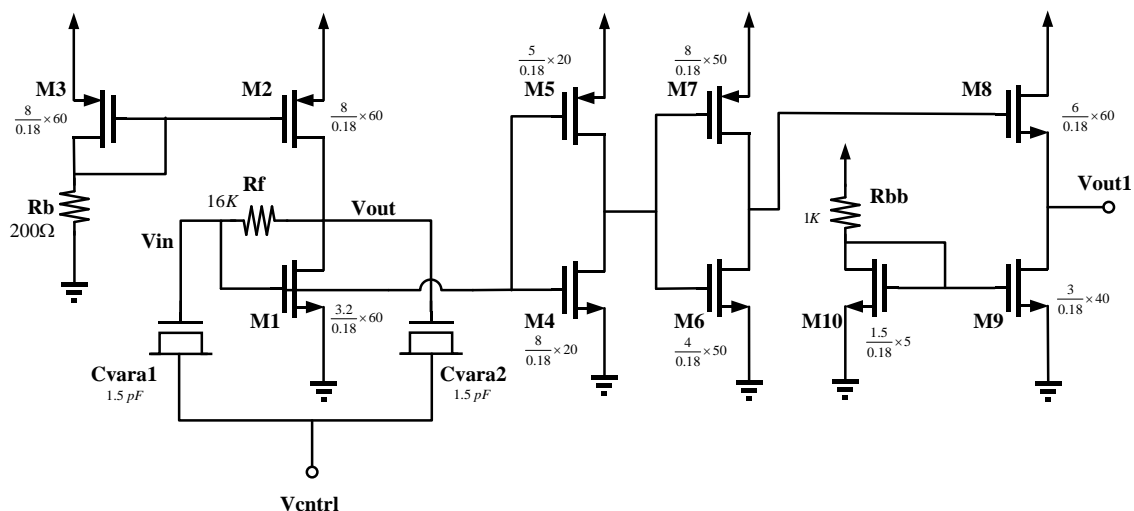
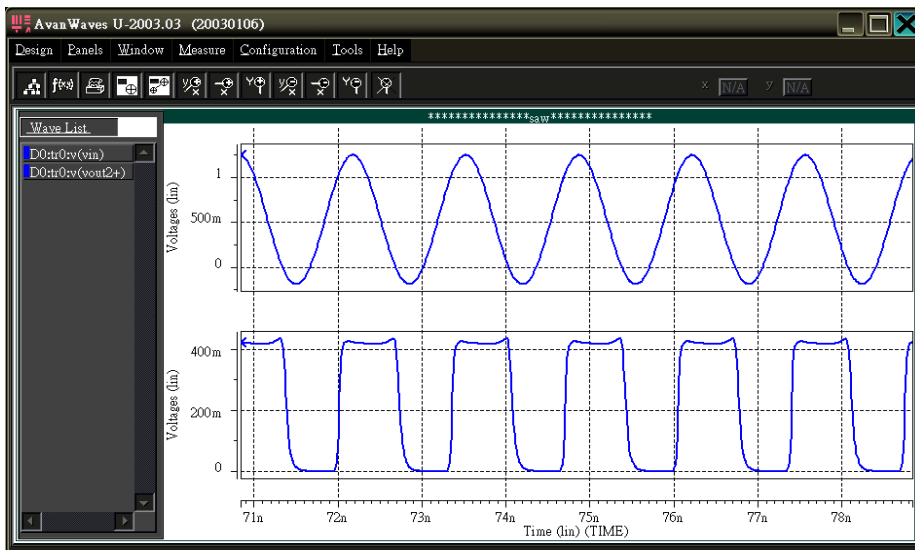
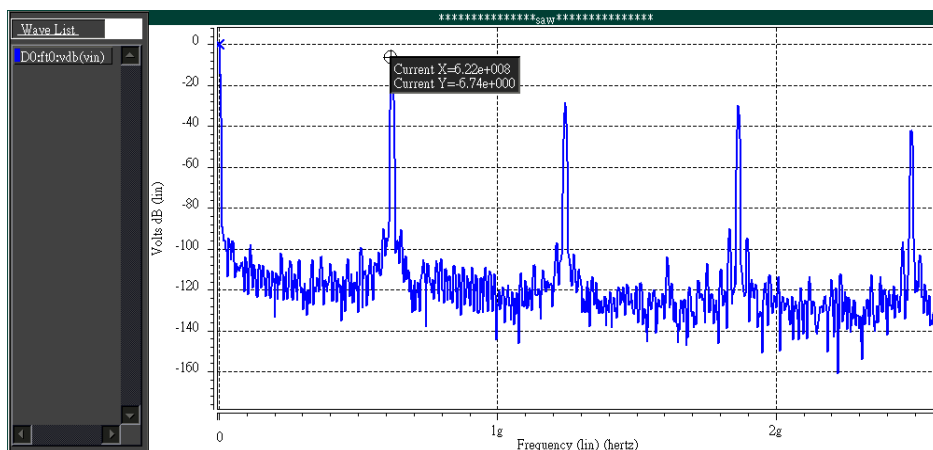


圖2-22 基本表面聲波震盪器電路圖

圖 2-23 (a)為上述電路搭配表面聲波元件的 HSPICE 模擬圖，由於表面聲波具極高的 Q 值在利用 HSPICE 模擬時必須特別注意其解析度問題，在設計外型比時的小技巧可將表面聲波元件的 L_s 與 C_s 的小數位數做反比例的調整即可增快其模擬速度。但因此方法為破壞其 Q 值來增快模擬的速度，故僅能供用於頻率是否正確使用。可明顯看出表面聲波震盪器的輸出為一近乎完美的弦波，在電壓 1.2 伏的操作下其緩衝器輸出峰對峰值可到達約 420mV，圖 2-23 (b)為其頻譜，並振盪於 622MHz 之頻率。



(a)



(b)

圖2-23 表面聲波振盪器：(a)輸出波形與緩衝器輸出波形 (b)頻譜分析

由於必須在電路外面額外加上表面聲波元件與相位偏移器，故在 PCB 板的設計走線上必需十分小心，避免過渡的雜訊影響電路的效能。

2-6 全積體式改良 Pierce 表面聲波振盪器之設計

因圖 2-20 的電路其相位偏移器仍須外接於 IC 外，無法達到積體化的目的且若表面聲波之振盪頻率大於所需的頻率，並沒有機制將其拉回。但最重要的原因為 π 模型式相位偏移器可視為一個變形 Colpitts 共振腔，若將其接於電路外在 PCB 的設計不良的情況下，極有可能會使共振回路不透過表面聲波元件而使 Pierce 振盪器產生自震。而一般市售的 LC 皆具有較佳的 Q 值，故在相位雜訊上振盪器自震仍能有不少的表現，易造成我們混淆。在立體電感方面如圖 2-24；與台積電所提供的 PDK 相比在電感值 12.79(nH)時可輕易看出立體電感所花費的面積大約為其 $\frac{1}{16}$ ，可輕易的置入於 IC 中。

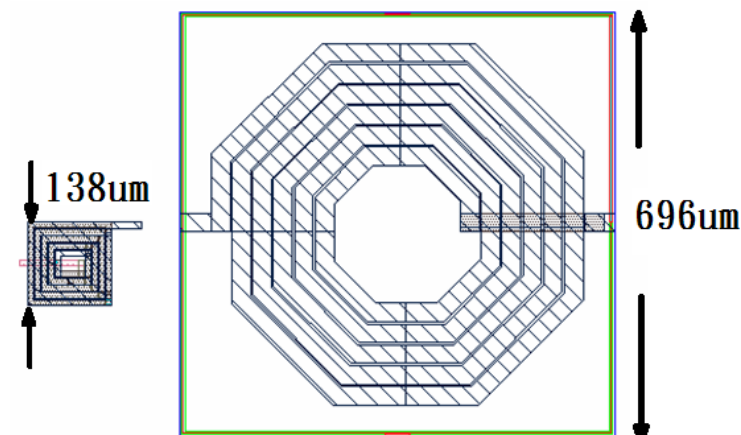


圖2-24 立體電感與平面式電感大小比較圖

交換式電容陣列因只為了微調用故在電容的選擇上取 TSMC 0.18um RF-Cap 最小的 20f 為單位電容，所以最後取 $C_1=20f$ 、 $C_2=40f$ 、 $C_3=80f$ ，於交換式電容陣列全開的情況下($C_{total}=140f$)頻率的可調範圍約為 6KHz。

如圖 2-25 為完整的表面聲波振盪電路，IC 中包含了相位偏移器與交換式電容陣列，表面聲波元件將掛在 V_{in2} 與 V_{out} 兩端，而在電晶體的尺寸上也稍作調整以因應立體電感的低 Q 值，在交換式電容陣列方面因為是接在 V_{in} 與 V_{out} 的兩端，故在 V_{out} 處的電容陣列將直接影響外接表面聲波與推動至下一級的 V_{out} ，若設計不良將會使 V_{out} 的推動能力大幅減少，始電路無法推動下一級造成模擬時看不到波形。

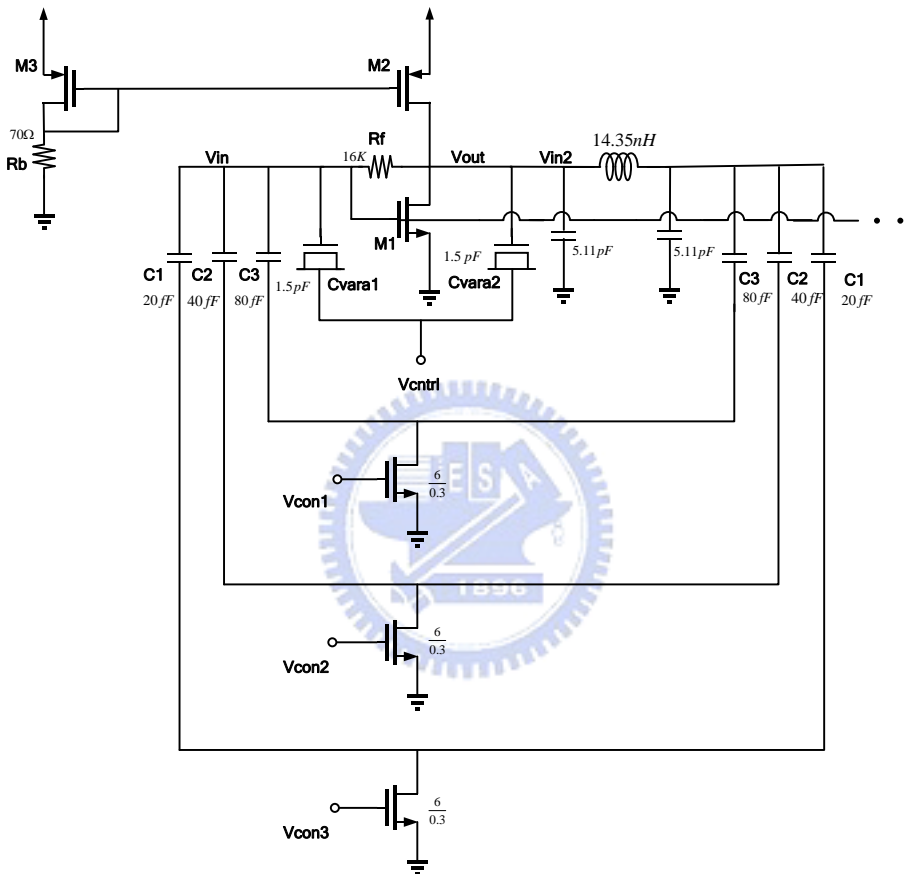
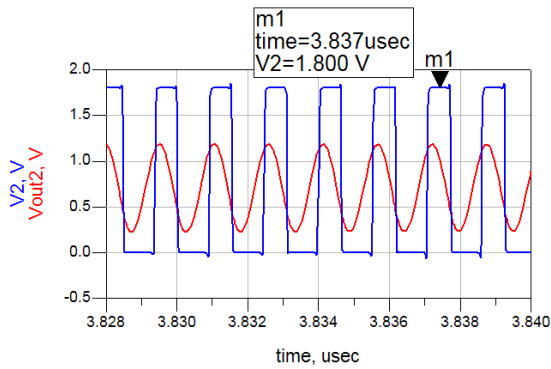
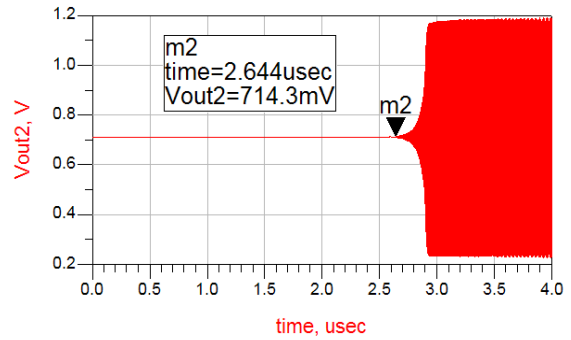


圖2-25 全積體式表面聲波振盪器核心電路圖

利用 ADS 模擬可得到上圖電路之模擬波形如 圖 2-26(a) V_{out2} 為表面聲波振盪器輸出 V_2 為緩衝器後輸出圖(b)為其起振時間，故得知至入立體電感可順利運作。



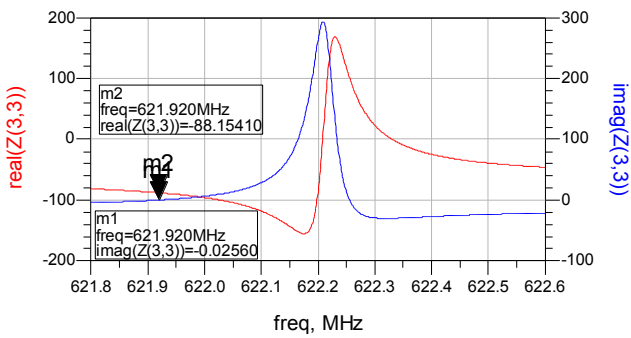
(a)



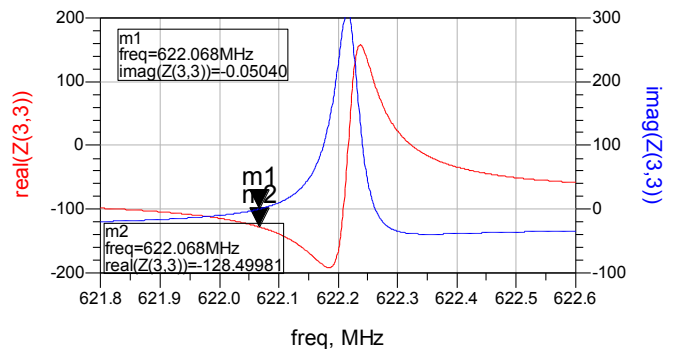
(b)

圖2-26 表面聲波振盪器：(a)輸出波形與緩衝器輸出波形 (b)起振分析

將閉迴路打斷後看入 Z 參數利用虛部等效電容為零搭配負電阻即可看出振盪點，採用可變電容 1.5pF 其電容值的變化量為 0.6545pF~1.95497pF。如圖 2-27 所示在 $V_{ctrl} = 0\text{ V}$ 時振盪頻率為 621.920MHz； $V_{ctrl} = 1.8\text{ V}$ 為 622.068MHz，故可估計出其 tuning range 約為 140KHz。



(a)



(b)

圖2-27 表面聲波振盪器控制電壓：(a) $V_{ctrl} = 0\text{ V}$ (b) $V_{ctrl} = 1.8\text{ V}$

第三章

時脈資料回復電路之分析與設計



第三章

時脈資料回復電路

3-1 時脈回復電路

本篇論文為探討 SAW based 與 PLL based 之時脈回復電路，希望藉彼此的結合產生一更高效能的時脈回復電路。本時脈回復電路主要有兩種架構結合：

1. SAW filter based CDR (表面聲波濾波式)
2. Phase-locking CDR (相位鎖定式)

3-1-1 SAW filter based CDR

其中 SAW filter based 為第一個被發明的時脈恢復電路。如圖 3-1 所示，一個 NRZ data 與另一個經過 time delay 輸入互斥或閘，即為一個基本的 edge-detector 的功能，輸出再經過單一頻率的濾波，故必須使用高品質因素的 SAW filter。濾出所需的頻率極為回復的時脈。再配合外接的電路對 input 的 NRZ 資料重新取樣，即可得到原來的時脈。

雖然利用 SAW 高 Q 值的特性可得到良好的 Retime clock，但此電路最大的問題在於回復的時脈時無法與輸入的 NRZ 資料同步，必須加入額外的電路，所以當鎖住時 data 與 clock 的正緣會彼此互相游移，使得取樣時受到影響。

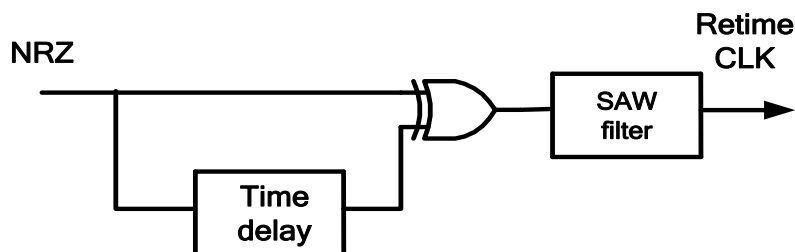


圖3-1 SAW 時脈資料回復電路架構

3-1-2 Phase-locking CDR

為了解決上述 SAW based CDR 在 input data 與 clock 取樣時無法同步，故發展出 phase-locking CDR 而目前一般均採用此種架構的 CDR。相位鎖定式 CDR 如圖 3-2 可分為 PLL based 與 DLL based，兩者皆為利用相位偵測器去判斷 clock 與 data 的相位差，接著利用 Vcntl 來控制產生其輸入相對應的取樣頻率再送回相位檢測器去對原始信號做取樣。所以相位檢測器的設計在 Phase-locking CDR 中扮演了十分重要的腳色。

Phase-locking CDR 因為能夠取得單一的取樣頻率，所以其經取樣後量化誤差所導致系統相位錯誤的情況較少。另外因其電路架構先天上的負回授系統會限制住其頻寬，但也因此換取較低的功率消耗與硬體成本。

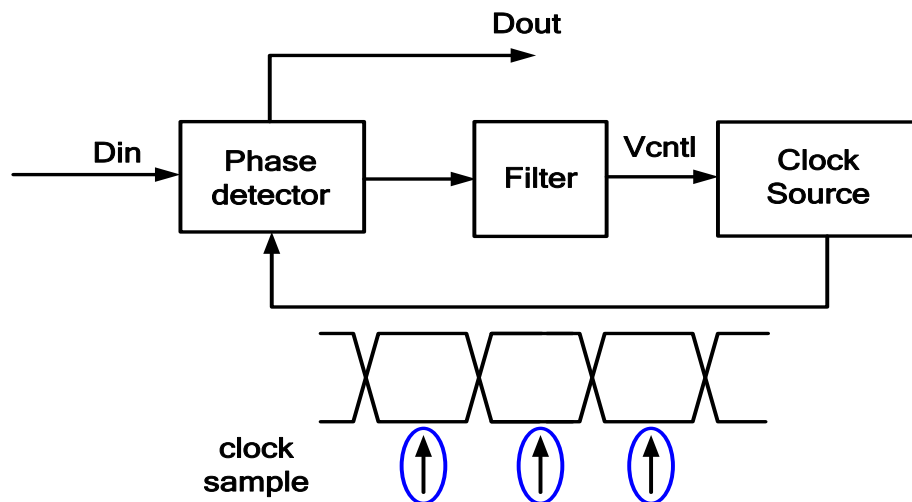


圖3-2 Phase-locking CDR

由於相位檢測器必須同時能夠具備找出取樣頻率與還原時脈的特性，故發展出多種類型的相位檢測器。目前主要有全速率(Full-rate)與半速率(half-rate)時脈回復電路，簡單的說前者的時脈頻率與位元率相同，而後者時脈頻率僅為位元率的一半。

3-2 相位檢測器

Edge detector

在利用 PLL-based CDR 時，PLL 可以視為一個帶通濾波器(band pass filter)所以在處理的資料時必須找出其頻譜線(spectral line)。但因為輸入訊號為隨機的二位元資料(NRZ data)在其位元率上無法找出其頻譜線，故無法直接對 NRZ data 鎖頻。

為了要找出頻譜線必須利用 edge detector 來達成，而其基本電路架構由一個互斥或閘(XOR)與一個延遲單元(Time-delay)所組成(如圖 3-1)。他同時包含了微分與整波的功能在整波的過程中可區分為全波整波(Full-wave rectification)與半波整波(Half-wave rectification)，前者將負緣脈波轉換成正緣，後者則將負緣脈波濾除(或正緣脈波濾除) 如圖 3-3，一般來說因為半波整波僅留下一個脈波故其對輸入訊號失真的影響較小。

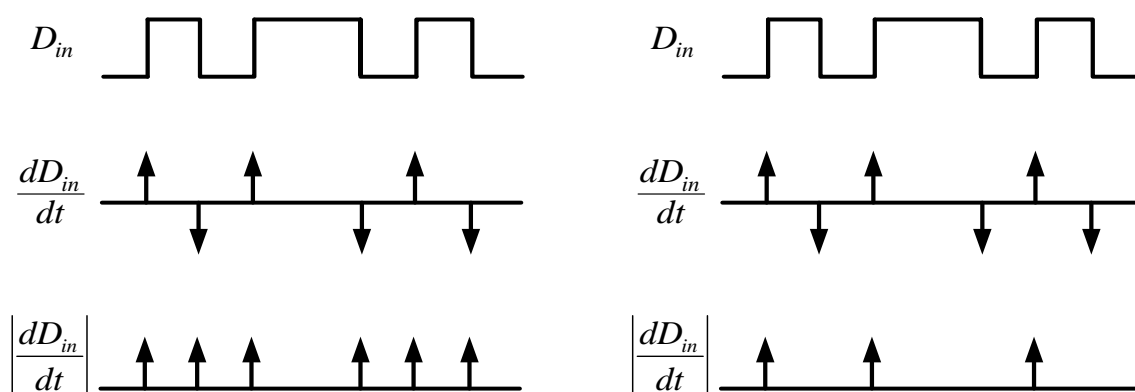


圖3-3 (a)全波整波 (b)半波整波

由上述知道一般要處理 NRZ data 需要一個含有 edge detection 功能的相位偵測器，而通常延遲單元皆是利用 D Flip-Flop 產生。故首先由 D Flip-Flop 開始，如圖 3-4 當 clock 對 data 做取樣時，在 clock 每一個正緣對 data 做取樣，我們可以發先其輸出 Vout 結果僅為輸入 data 的一個延遲。所以輸入為一 NRZ data 時其輸出的平均值仍然為零，故無法以此判斷出 data 與 clock 的相位關係。反之，若以 data 對 clock 做取樣，每一個 data 的正緣對 clock 做取樣，可看出當 data 落後 clock 時，輸出 Vout 會持續保持高位準。同理當 data 領先 clock 時，輸出 Vout 會持續的保持低位準，由此可知若以 data 對 clock

做取樣，可得到 clock 與 data 彼此的相位關係，值得注意的是當 data 不斷的對 clock 做取樣在這過程中 data 的 edge 會同時被偵測出來，故有 edge detection 的特性可以做為 NRZ 相位檢測器使用。而以 D Flip-Flop 做相位偵測器為 Half-wave 整波具有較佳的 timing margin，除此之外其輸出結果僅為彼此間的量化關係故在分析上較為困難。

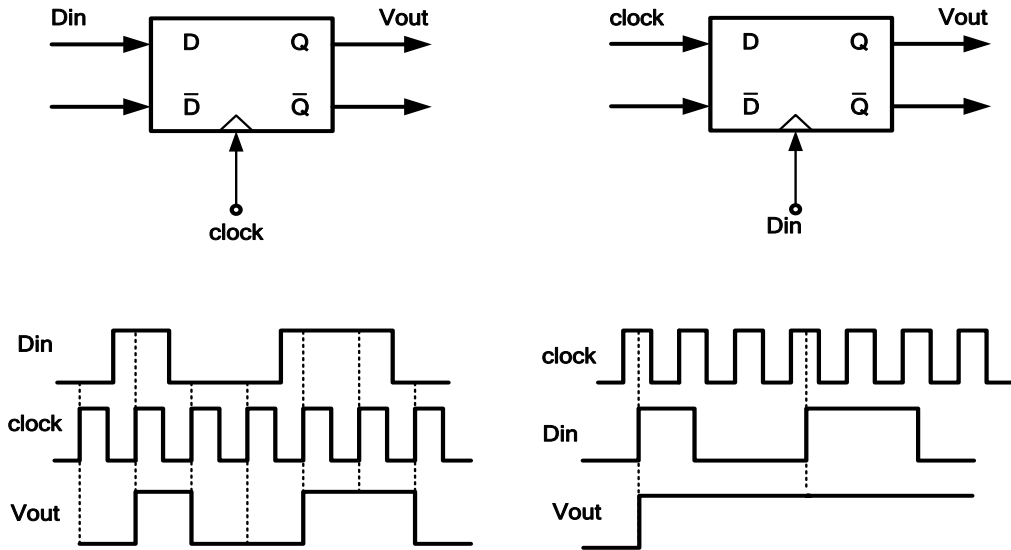


圖3-4 在 D Flip-Flop 中分別以 clock 與 data 取樣結果

3-2-1 D Flip-Flop 相位檢測器

由於以 D Flip-Flop 做為相位偵測器時不管相位領先或落後時脈其輸出只有兩種狀況:高位準或低位準(如圖 3-5)。因此又稱為二進位相位測器(Binary Phase Detector)或 Bang-bang Phase Detector，在上鎖時 data 會取樣到 clock 的轉態點(zero crossing)使得相位偵測器進入亞穩態，故在相位差等於零時的增益理想上會為無限大。

一般來說輸入與輸出電壓的關係與時間常數有關，假設輸入 clock 為一個弦波，而 T_b 表示一個位元所需的時間， τ 表示 D Flip-Flop 充放電的時間常數， V_p 為 clock 振幅，故可以用一個指數函數表示 $V_{out} = V_{in} \exp\left(-\frac{T_b}{\tau}\right)$ 又起始輸入電壓 $V_{in} = V_{clock} \approx V_p \Delta\phi$ 代入可得到 $V_{out} = V_p \Delta\phi \exp\left(-\frac{T_b}{\tau}\right)$ ，當 $\Delta\phi$ 很小時可知即使經過一個 bit time 的時間(T_b)仍無法將 V_{out} 拉到

飽和的狀態，所以此時 V_{out} 與 V_p 可視為線性關係 $\frac{V_{out}}{\Delta\phi} = V_p \exp \frac{T_b}{\tau}$ 。故實際上 Binary PD 在即將上鎖的狀況下及演變成增益為 $\left| V_p \exp \frac{T_b}{\tau} \right|$ 的 Linear Phase Detector。

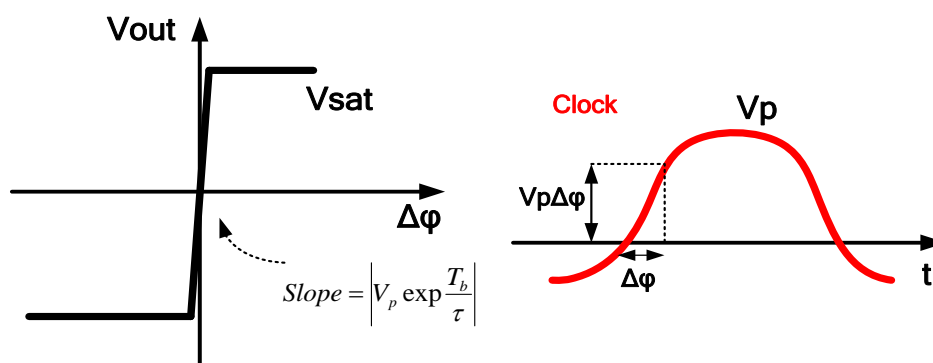


圖3-5 二位元相位檢測器特性

因此我們可以設計出利用 D Flip-Flop 產生的 Bang-bang 型相位檢測器的時脈回復電路(如圖 3-6)。操作原理如下：利用第一個 D Flip-Flop 將輸入訊號對 clock 做取樣，如此可及可判別出彼此相位關係，當 CDR 到達鎖定後再利用第二個 D Flip-Flop 將 retimed clock 對輸入訊號做取樣恢復其原來訊號。但此電路有許多問題，由於對單一個 D Flip-Flop 而言，以 clock 對 data 做取樣與 data 對 clock 做取樣彼此間的延遲並不相同，如此會因 clock 的偏移(skew)使在 retimed data 時會受到嚴重影響。而因為 DFF1 的輸出會出現一個很長的高位準，如此會在 VCO 處產生極大的 ripple 造成失鎖。

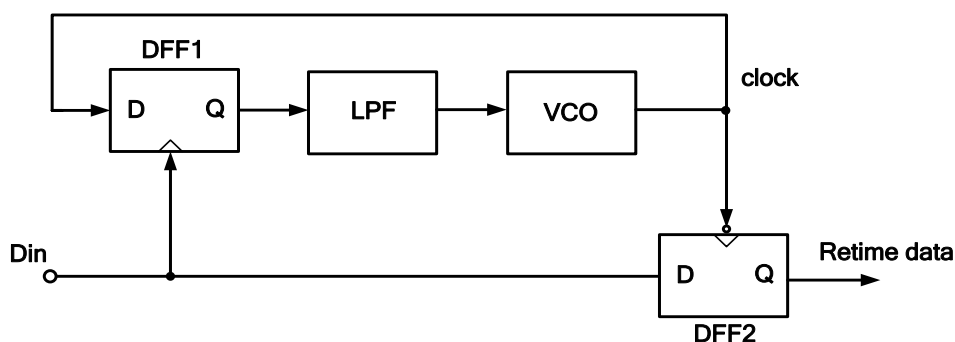


圖3-6 D Flip-Flop 構成二位元 CDR 系統

3-2-2 Hogge 相位檢測器

根據上小節我們可以得知相位檢測器必須要具備兩種功能：

1. 資料邊緣的偵測 (edge detection)
2. 相位差的偵測 (Phase difference detection)

由於利用 clock 對 data 做取樣，其輸出的結果僅為 data 的一個延遲。利用圖 3-1 的數位式 edge detector 將其延遲單元替換為 D flip-flop 發展出一種同步式的相位偵測器如圖 3-7 (a)[16]，可改善前小節僅用 D Flip-Flop 在取樣時產生偏移的問題。資料經 D Flip-Flop 延遲後與輸入通過互斥或閘所得的輸出恰為 clock 與 data 的相位差，故符合相位檢測器的功能。

但是在相同的相位差輸入下其輸出會與訊號的密度有關(data transition density)如圖 3-7 (b)，換句話說當輸入密度較低時其輸出的平均值較低。反之當輸入密度較高時輸出的平均值較高，所以固定的相位差並無法一對一對應輸出。故必須增加一個參考時脈(reference clock)用來比對，使輸出能夠有與相位差有單一對應的關係。

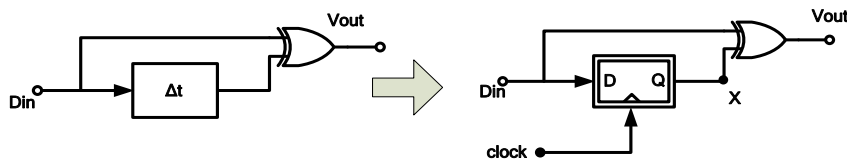
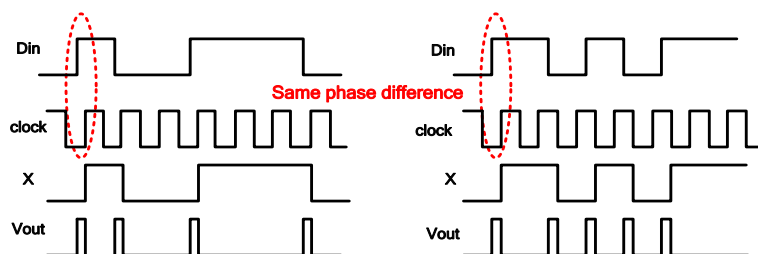
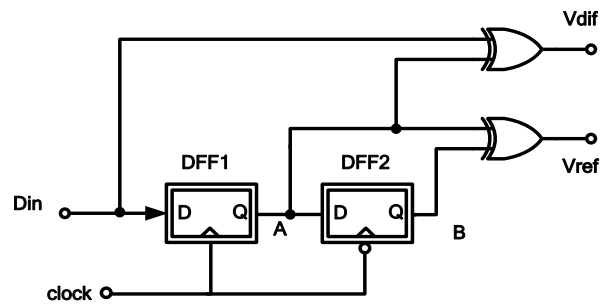


圖3-7 (a) D Flip-Flop edge detector

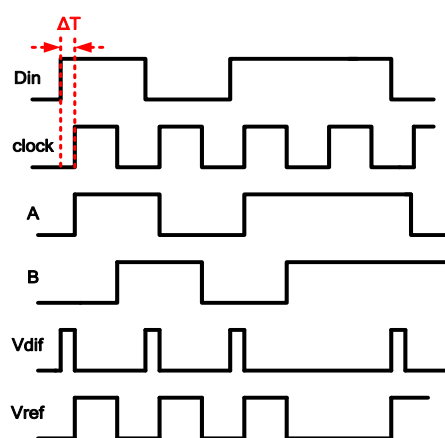


(b) 輸出因 data transition density 之不同

由上述的電路缺失做改善即為 Hogge Phase Detector (圖 3-8a) 此電路中的 V_{ref} 利用兩個相位差 180° 的 clock 做為 DFF1 與 DFF2 的觸發，如此會造成 V_{ref} 處的脈衝寬度不論輸入訊號與時脈相位差改變多少皆為固定的半個輸入時脈週期(圖 3-8b)，利用這個特性我們即可將 V_{ref} 視為一個參考時脈。



(a)



(b)

圖3-8 (a)Simple Hogge PD (b)clock 相位領先各點輸出波形

再操作上必須在相位檢測器的輸出接上充電磊才能驗證其行為模式，假設 VCO 的增益斜率為正，則將 V_{dif} 接至充電路徑而 V_{ref} 接至放電路徑。當 V_{dif} 的脈寬小於 V_{ref} 表示 clock 的相位領先輸入訊號，故電容會進行放電的動作使 VCO 產生的 clock 慢下來。反

之，當 V_{dif} 的脈寬大於 V_{ref} 表示 clock 的相位落後輸入訊號，故電容會進行充電的動作使 VCO 產生的 clock 加快。而當輸入訊號與 clock 無相位差時 CDR 迴路上鎖，此時 clock 的正緣會位於輸入訊號的正中央，亦即 clock 的負緣位於與輸入訊號的邊界相對，如此才能獲得最大時間邊界(Timing margin)。當鎖定时 A 點輸出即為還原的時脈，而再取樣時 Hogge Phase Detector 因為只有一個 clock edge 對輸入訊號做取樣故為全速率相位檢測器。

但 Hogge Phase Detector 卻有以下問題：

1. 因 D Flip-Flop 的輸出會有一個 CK-Q 的延遲。造成 V_{dif} 的兩輸入不匹配，將使 CK 多出 ΔT 的脈寬，造成 V_{dif} 的輸出會比較出一個比 V_{ref} 多 ΔT 的脈寬，此鎖定後的誤差在高速電路下會有很大的影響，改善的方法可在 V_{dif} 輸入路徑多加一個延遲單元或使 V_{ref} 的輸出增加一個 ΔT 寬度補償 V_{ref} 錯誤。

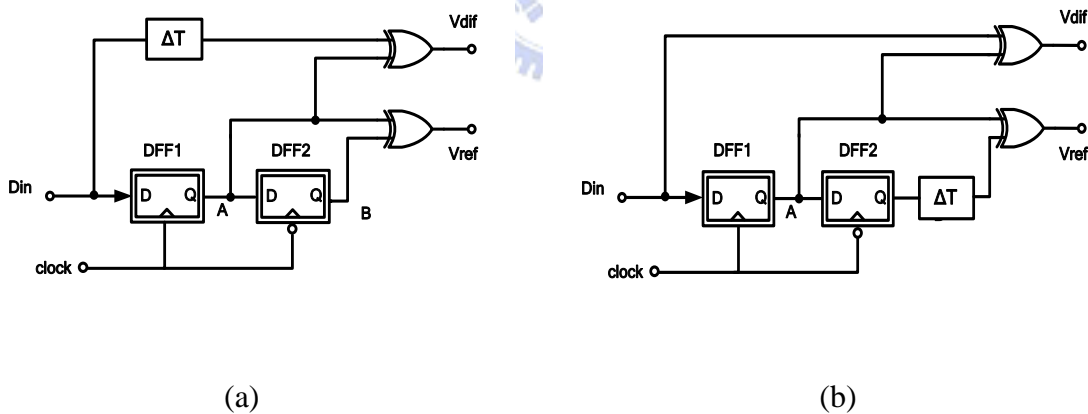


圖3-9 Hogge PD 改善延遲不匹配的方法

2. 在輸出接上充電磊對電容充放電時，當 CDR 上鎖時因 V_{dif} 與 V_{ref} 間會有 $\frac{T_{clock}}{2}$ 的偏斜，故 V_{dif} 將上方 I_p 打開會將電容 C_p 充電至 $\frac{I_p}{C_p} \times \frac{T_{clock}}{2}$ ，此時 V_{ref} 即將下方 I_p 打開放電至起始值。故當每傳遞一個輸入訊號會都會在 V_{ctrl} 產生一個不為零區域的三角波，造成 VCO 會有嚴重的抖動錯誤(圖 3-10)。

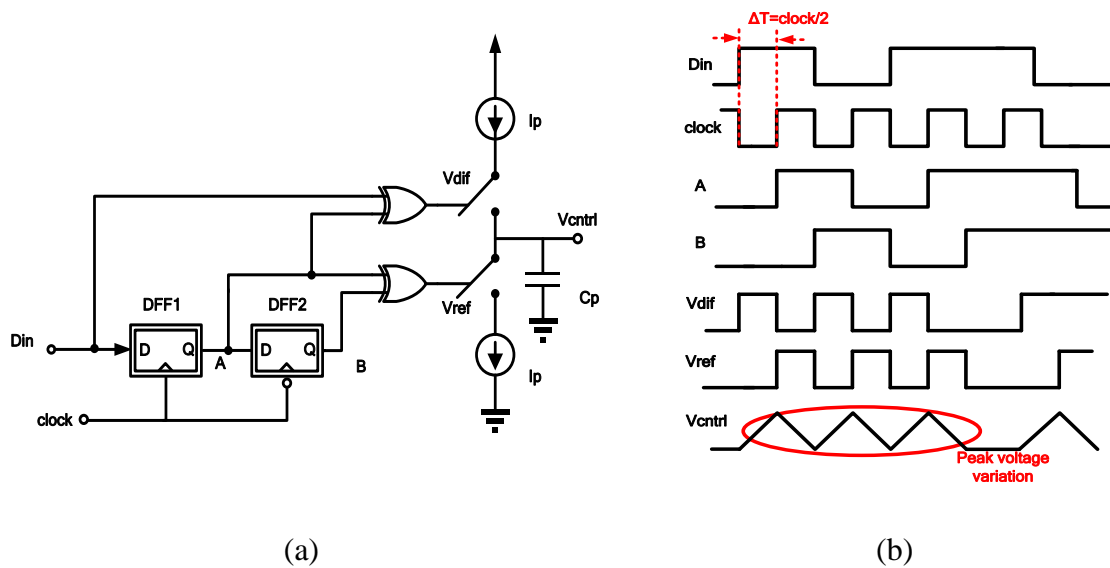


圖3-10 Hogge PD 在 Vcntrl 產生三角波波形

3-2-3 Alexander 相位檢測器

Early-late detection

如圖 3-11 此為一種三端取樣的技術， $S_1 \sim S_3$ 為 clock edge 對 data 連續取樣，如此相位檢測器就能判斷出 clock 相位差為領先或落後。當 S_1 與 S_2 取樣到相同的位準而 S_3 不同表示 clock 相位領先。反之，當 S_2 與 S_3 取樣到相同的位準而 S_1 不同表示 clock 相位落後。若以邏輯函數來實現其操作結果如下：

1. 如果 $S_1 \otimes S_2$ 為 low 而 $S_2 \otimes S_3$ 為 high 表 clock 相位領先
2. 如果 $S_1 \otimes S_2$ 為 high 而 $S_2 \otimes S_3$ 為 low 表 clock 相位落後
3. 如果 $S_1 \otimes S_2 = S_2 \otimes S_3$ ，表無訊號轉變維持原狀態
4. $S_1 \sim S_3$ 必須同時被比較才能判斷出相位快慢

PS. 在此判斷相位快慢是以鎖定時希望 clock rising edge 對應到 data 正中央，亦即 falling edge 對應到 data transition 處，故 falling edge 來的比 data transition 早表示相位領先，反之則表相位落後。

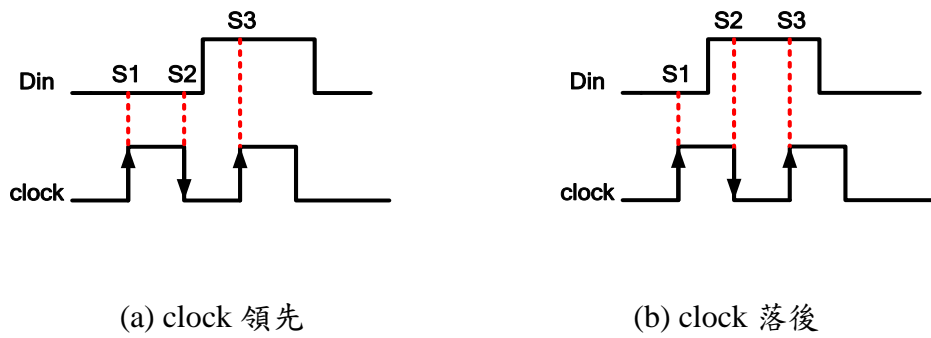


圖3-11 Early-late detection method

延續Hogge PD 的發展Alexander提供了另一種型態的相位檢測器(如圖3-12) [17]，我們知道要還原原來的時脈 clock 必須對 data 做取樣，但單一的 D Flip-Flop 卻有太多的問題不足以使用。然而若 clock 對輸入的 data 在特定位置採多點式(multiple points) 取樣則可以其取樣結果就能提供足夠的資訊讓我們在 CDR 中使用。而利用 Early-late detection 的方法便能使其能在判斷相位差的同時將輸入時脈還原。

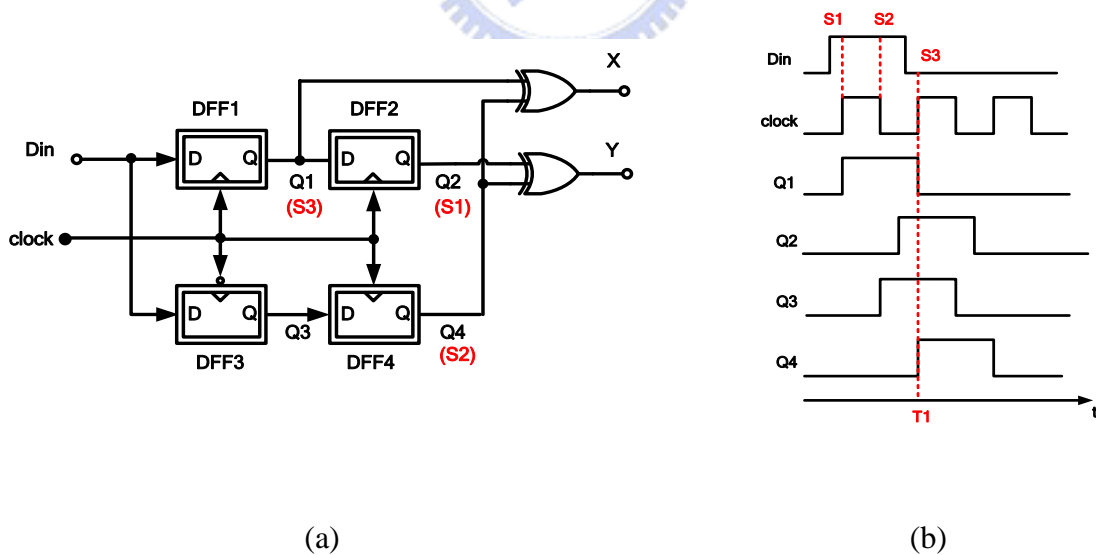


圖3-12 (a) Simple Alexander PD (b) Alexander PD Waveform

在 Alexander Phase Detector 中三個取樣值必須同時被比較。所以最一開始 clock 的第一個正緣取樣到 data 的高位準(S_1)時，必須經過一個延遲才能使之與後來的資料同步做比較。此時 clock 送入的第二個正緣會將暫存在 Q1 的 S_1 經 DFF2 的延遲到 Q2 而同時取樣到 data 的低位準(S_3)存在 Q1，如此才能將 S_1 與 S_2 的取樣值同時在 T_1 時輸入互斥或閘運行。

而當第一個負緣取樣到 data 的高位準時(S_2)，會經 DFF4 的延遲暫存在 Q4。因 DFF3 與 DFF4 為利用相位差 180° 的 clock 做取樣，故恰好會有一個週期的延遲。如此再搭配互斥或閘即可判別出相位的快慢。此電路最關鍵的地方就是 clock 取樣的四個 D Flip-Flop 的相位必須能保證 $S_1 \sim S_3$ 在同時被比較互斥或閘比較，才能有正確的相位判斷。而當 CDR 輸入訊號上鎖時，因 clock 不斷的對 data 取樣故 Q1 與 Q2 即為還原的時脈。

Alexander PD 的 data 與 clock 相位差如圖 3-13 所示，當 clock 落後時每次偵測到 S_1 與 S_2 的不同就會在 X 處產生一個兩倍脈寬的 high level 而 Y 處則為持續的 low level，所以假設 KVCO 為正，當 clock 相位落後時，PD 的輸出 $(X - Y)_{avg}$ 會為正將 clock 加快。反之，clock 相位領先時，PD 的輸出 $(X - Y)_{avg}$ 為負將 clock 調慢。

有趣的是當訊號上鎖時 S_2 恰好會被 clock 取樣到 data 的轉態點(zero crossing)，這將驅使 DFF3 與 DFF4 進入亞穩態(metastability)，此結果與 3-2-1 的 D Flip-Flop PD 的行為十分接近，暗示我們 Alexander PD 是一種 Bang-bang 形式的相位檢測器，他在相位差接近零時能提供非常高的增益。

Alexander PD 相對於 D Flip-Flop PD 提供了兩個重大的優點：

1. 他可以還原時脈可在訊號上鎖時同步的被還原出來，避免重新取樣時產生 skew 的問題。
2. 當訊號無轉態時可以產生一個直流值為零的輸出，故 VCO 頻率的漂移僅與元件的雜訊有關而並不會受高低位準而影響，減少 VCO 的失真。

另外因為 Alexander PD 本身提供很高的增益，能以電壓電流轉換器(V/I converter)取代充電磊，可避免 switch 在高速下操作產生的雜訊。

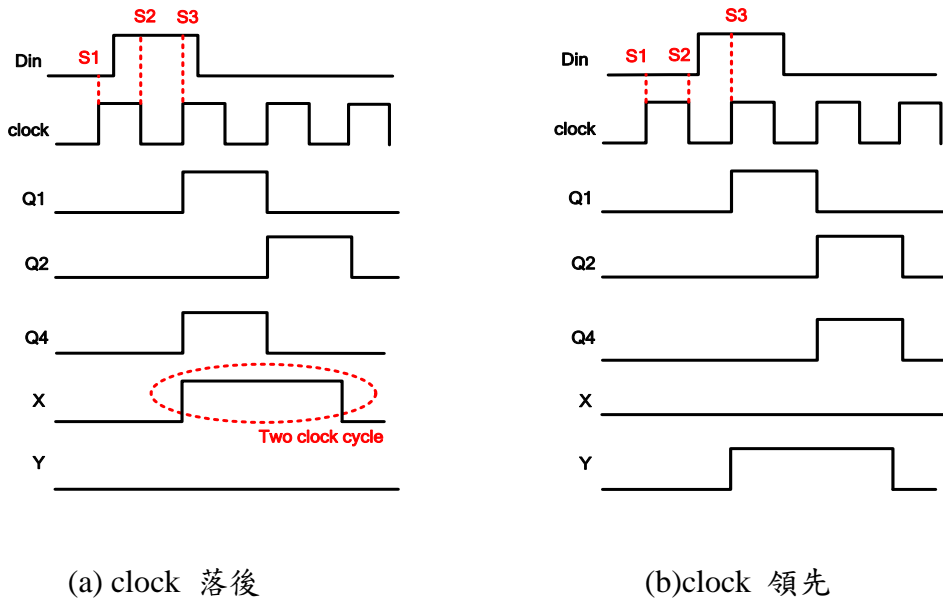


圖3-13 Alexander PD phase difference Waveform

3-2-4 線性半速率相位檢測器

在高速電路中，要設計出一個低抖動的 VCO 是非常困難的，為了減輕 VCO 的負擔發展出一種時脈頻率(clock frequency)僅需資料速率(data frequency)一半的架構[18] (亦即 clock 脈寬等於 data 脈寬)，我們稱之為半速率相位偵測器。因為其時脈頻率被降低成一半，故在將資料重新取樣時必須對時脈的正緣與負緣做取樣，才能還原出原來的資料。

要如何才能使資料與時脈在半速率操作下判斷其相位差呢?假若以 D Flip-Flop PD 操作在半速率下(如圖 3-14)，當 data 對 clock 做取樣時不管相位差領先還落後輸出均有正有負，故我們並無法去判斷出兩者相位差的關係。

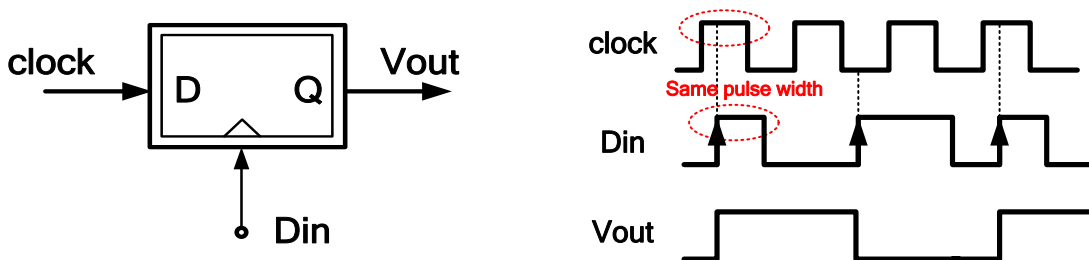


圖3-14 D Flip-Flop PD 操作在半速率下的錯誤

為了達成半速率相位檢測器，我們再將 Hogge PD 操作在半速率下。因為操作在半速率下所以會有一半的時脈轉態點(clock transitions)消失，亦即因 clock 脈寬與 data 脈寬相同造成任意序列的資料皆會被取樣到，如圖 3-15 所示。

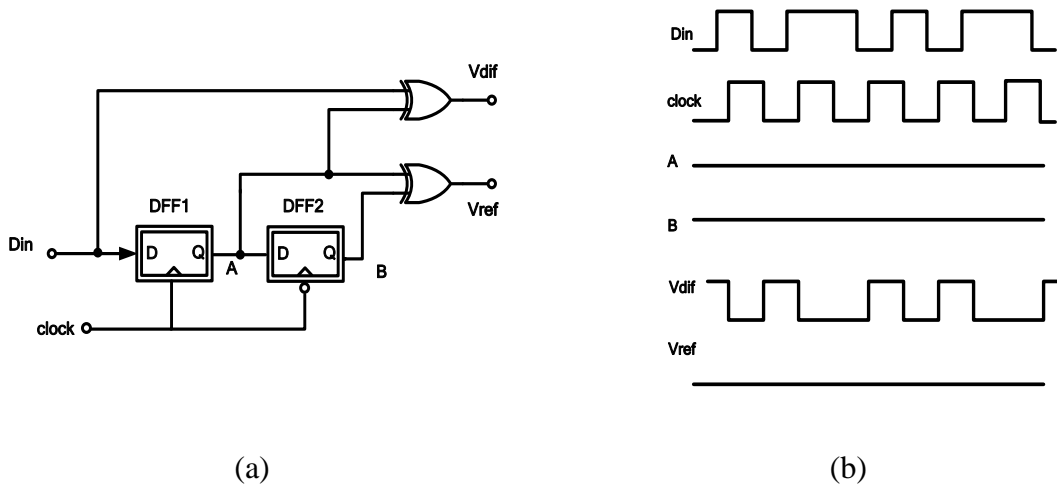


圖3-15 Hogge PD 操作在半速率下的錯誤

由這兩個例子暗示我們在半速率下因一半的時脈轉態點消失，故必須增加其取樣點，亦即在半速率操作下 clock 的兩個 edge 都要被用來取樣，則資料的轉態點就可以被找出來。故利用 D Flip-Flop 來實現半速率操作是十分困難的，但若利用兩個 D 型栓鎖器 (D Latch)則可輕易實現出來(如圖 3-16)

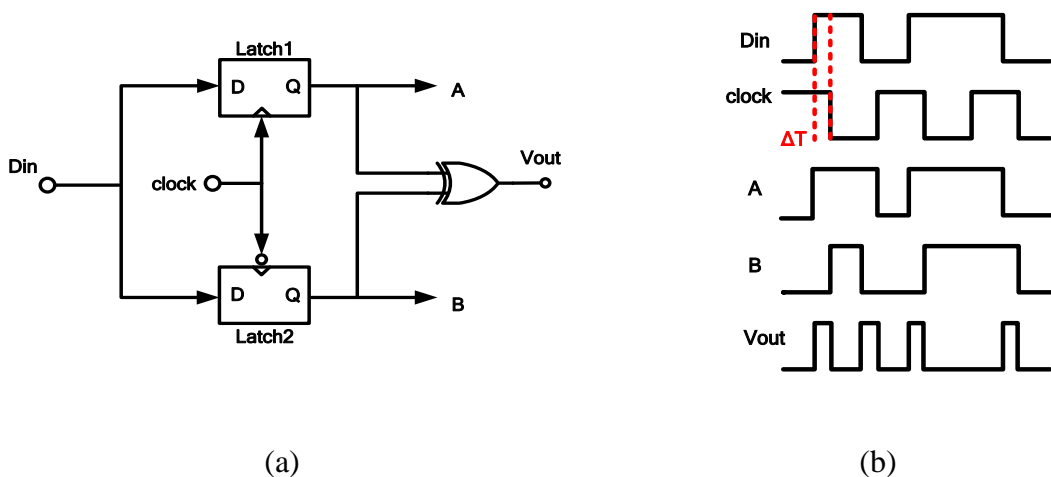


圖3-16 (a) Simple Linear PD (b) Its waveforms

當 data 與 clock 相位差為 ΔT 時其操作狀況如下:

1. 在 Latch1 輸出 A 產生一個 $\frac{T_{ck}}{2} + \Delta T$ 的脈寬
2. 在 Latch1 輸出 B 產生一個 $\frac{T_{ck}}{2} - \Delta T$ 的脈寬
3. 當每一個資料轉態點經過 $A \otimes B$ 產生一個 ΔT 的脈寬即為 data 與 clock 的相位差

故上述暗示我們此架構有邊緣偵測與相位偵測的功能，為一線性的相位偵測器。然而在 Hogge PD 中發生資料轉態密度(data transition density)的問題同樣的發生在半速率線性相位檢測器中，故我們仍然需要一個參考脈波才能找出正確的相位差，完整的線性半速率相位檢測器由四個栓鎖器和兩個互斥或斥閘構成如圖 3-17。

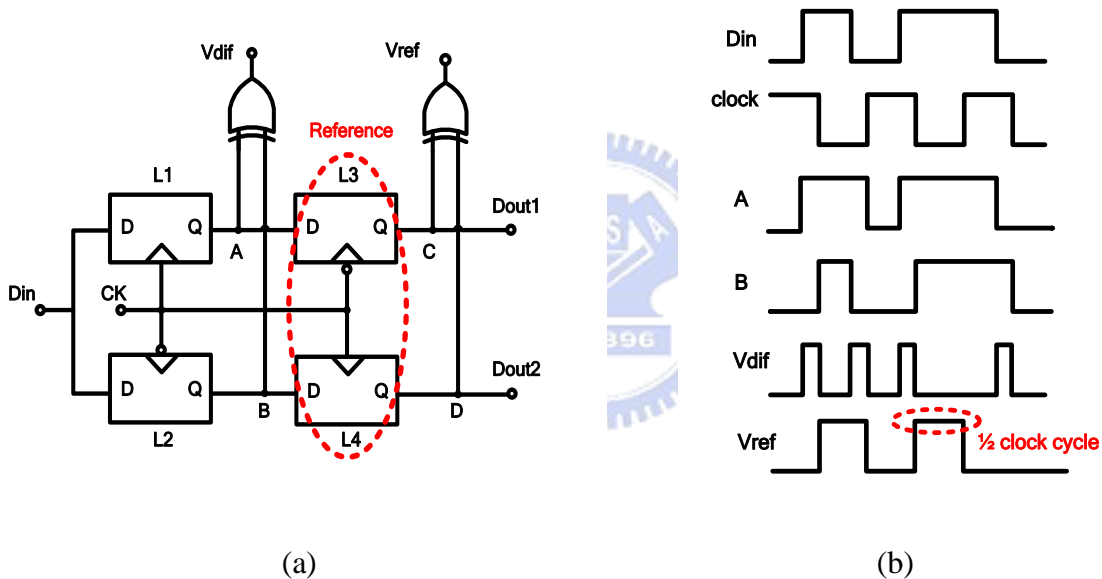


圖3-17 (a) Complete Linear PD (b) Its waveforms

我們知道由兩個 Latch 串接成 Flip-Flop，故為了產生一個參考脈波我們希望他的脈寬是穩定的，故額外增加 Latch3 與 Latch4 並分別以正負緣的 clock 做觸發，如此 C、D 兩點恰可視為由兩個 D Flip-Flop 以相位差 180° 的 clock 做觸發，故 C、D 兩者脈波會穩定的相差 $\frac{T_{ck}}{2}$ ，再送入互斥或閘即可產生一個 $\frac{T_{ck}}{2}$ 脈寬的參考脈波。

CDR 利用半速率線性相位檢測器在上鎖時，其 clock 的正緣與負緣均需對到 data 的正中央已獲得最大的時間邊界，避免過大的抖動造成取樣點的錯誤(圖 3-18)。此時 V_{dif} 的脈寬會為 $\frac{T_{ck}}{4}$ 而 V_{ref} 脈寬為 $\frac{T_{ck}}{2}$ 。假設 VCO 的增益為正時，在接上充電磊必須將 V_{dif} 接至充電路徑使電流和相位差成比例關係，而 V_{ref} 接至放電路徑並設計充電電流為放電電流的 2 倍才能使輸出的平均電壓等於零相位差。

半速率時脈資料回復電路在重新取樣資料時會自動對其做 1 對 2 的解多工，而在鎖定時 C 與 D 兩點即為 clock 對 data 做取樣的結果，故再加上解多工器(DMUX)後還原的資料。

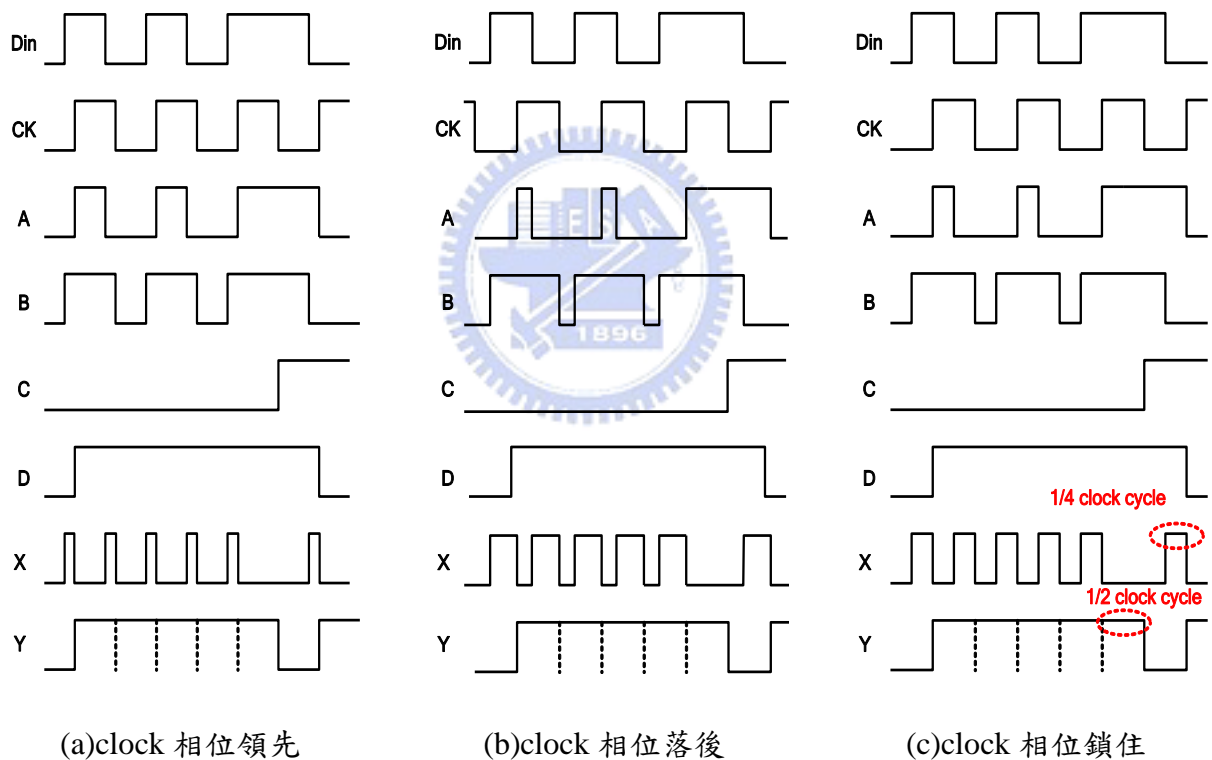


圖3-18 半速率線性相位檢測器工作情形

3-3 迴路濾波器分析

由基本的鎖相迴路模型開始如圖 3-19，輸入輸出信號皆以相位表示(rad/s)，相位檢測器以減法器來表示輸入相位 θ_i 及迴授相位 θ_o 之間的相位差 θ_e ，充電磊將相位差 θ_e 乘 $K_d = I_{cp} / 2\pi$ 轉換為電流信號，並藉由迴路濾波器將此電流信號轉換為 VCO 的 V_{ctrl} 控制電壓信號，再將控制電壓乘 $2\pi K_{vco}$ 轉換為角頻率，又 VCO 含積分器功能可將頻率積分得相位故再乘上 $\frac{1}{s}$ ，可得下列式子[19]

$$\text{前授 (feed forward) } A = H(s) = \frac{\theta_o}{\theta_e} = \frac{K_d \cdot Z(s) \cdot 2\pi K_{vco}}{s} \quad 3-1$$

$$\text{回授 (feedback) } \beta = G(s) = \frac{\theta_i}{\theta_o} = 1 \quad 3-2$$

開迴路增益函數和閉迴路增益函數各為

$$\text{開迴路增益} = A \cdot \beta = \frac{K_d \cdot Z(s) \cdot 2\pi K_{vco}}{s} \quad 3-3$$

$$\text{閉迴路增益} = \frac{A \cdot \beta}{1 + A \cdot \beta} = \frac{K_d \cdot Z(s) \cdot 2\pi K_{vco}}{s + K_d \cdot Z(s) \cdot 2\pi K_{vco}} \quad 3-4$$

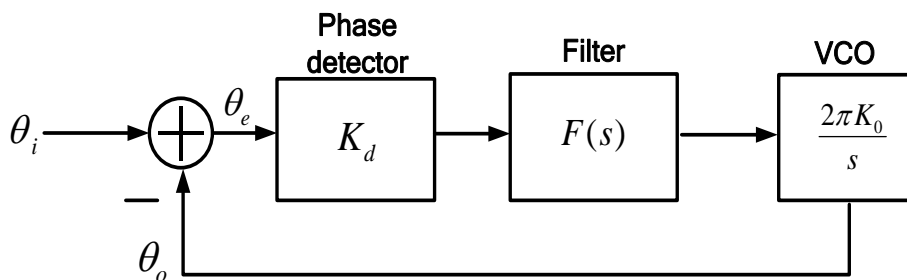


圖3-19 basic PLL model

通常在濾波器的設計為了抑制 V_{cntl} 處因電流脈衝所產生的雜訊，我們將使用二階濾波器來得到穩定的 V_{cntl} 如圖 3-20。

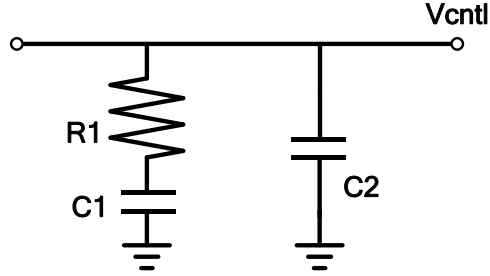


圖3-20 二階迴路濾波器

其阻抗 $Z(s)$ 可表示如下：

$$Z(s) = \frac{1}{sC_2} // (R_1 + \frac{1}{sC_1}) = \frac{1 + sC_1R_1}{s^2C_1C_2R_1 + sC_1 + sC_2} \quad 3-5$$

$$= \frac{1 + s\tau_z}{s(C_1 + C_2)(1 + s\tau_p)} = \frac{k}{s} \cdot \frac{1 + s\tau_z}{1 + s\tau_p}$$

$$\tau_z = R_1C_1; \tau_p = R_1 \left(\frac{C_1C_2}{C_1 + C_2} \right); k = \frac{1}{C_1 + C_2} \quad 3-6$$

將其代回開迴路增益中可得到

$$H(s) \cdot G(s) \Big|_{s=j\omega} = \frac{-K_p \cdot 2\pi K_{vco} \cdot k}{\omega^2} \cdot \frac{(1 + j\omega\tau_z)}{(1 + j\omega\tau_p)} = \frac{-I_p \cdot K_{vco} \cdot k}{\omega^2} \cdot \frac{(1 + j\omega\tau_z)}{(1 + j\omega\tau_p)} \quad 3-7$$

$$\phi(\omega) = \tan^{-1}(\omega \cdot \tau_z) - \tan^{-1}(\omega \cdot \tau_p) + 180^\circ$$

當相位 $\phi(\omega)$ 為最大值時可求得迴路頻寬 ω_t

$$\phi_{\max} = \frac{d\phi}{d\omega} = \frac{\tau_z}{1 + (\omega \cdot \tau_z)^2} - \frac{\tau_p}{1 + (\omega \cdot \tau_p)^2} = 0 \quad 3-8$$

$$\Rightarrow \omega_t = \frac{1}{\sqrt{\tau_z \tau_p}}$$

當 $G(s) \cdot H(s)|_{s=j\omega_i} = 1$ 時，我們希望得到最大相位安全邊限，由式 3-7 可導出

$$C_1 = \frac{K_d \cdot K_{vco} \cdot \tau_p}{\omega_i^2 \cdot \tau_z} \cdot \left| \frac{1 + j\omega_i \cdot \tau_z}{1 + j\omega_i \cdot \tau_p} \right| \quad 3-9$$

當迴路頻寬 ω_i 和相位邊限 ϕ 決定後，可得 τ_z 、 τ_p ，如下所示

$$\tau_p = \frac{\sec \phi - \tan \phi}{\omega_i} \quad 3-10$$

$$\tau_z = \frac{1}{\omega_i^2 \cdot \tau_p} \quad 3-11$$

從時間常數和迴路頻寬 ω_i ，可得迴路濾波器各被動元件值如下

$$C_2 = \frac{\tau_p}{\tau_z} \cdot \frac{K_d \cdot K_{vco}}{\omega_i^2} \cdot \sqrt{\frac{1 + (\omega_i \cdot \tau_z)^2}{1 + (\omega_i \cdot \tau_p)^2}} \quad 3-12$$

$$C_1 = C_2 \cdot \left(\frac{\tau_z}{\tau_p} - 1 \right) \quad 3-13$$

$$R_1 = \frac{\tau_z}{C_1} \quad 3-14$$

一般來說 C_1 約為 C_2 的十倍，如下圖 3-21 為二階迴路濾波器波德圖。

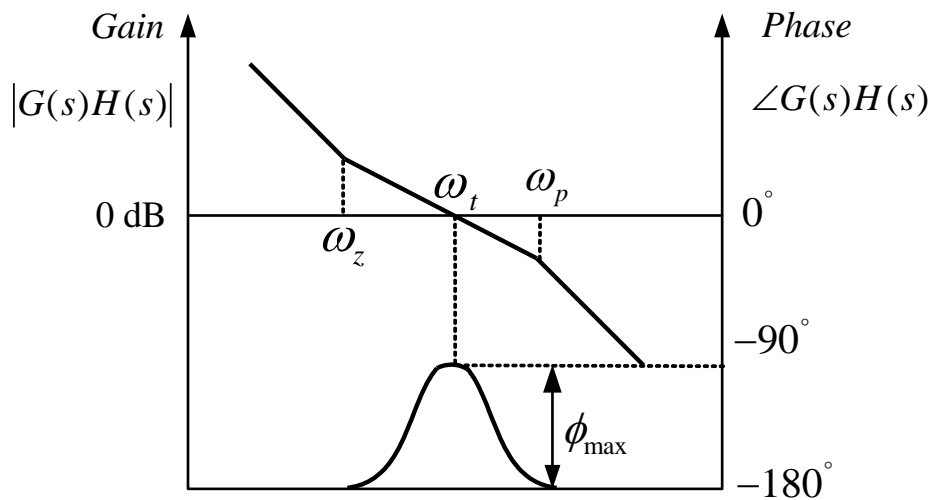


圖3-21 二階迴路濾波器波德圖

3-4 MATLAB 模擬分析

利用 3-4 小節公式可設計出時脈恢復電路各設計參數，包含 VCO 的增益、充電泵的電流值與相位邊緣如表 3-1。而根據 Vectron 所提出的經驗法則，因 SAW 的頻率可調範圍極小，因此迴路頻寬可以設計在震盪中心頻率的百萬分之一為準[20]，而設計之各元件值如表 3-2。

表 3-1 設計參數

<i>VCO Gain (measured)</i>	100kHz/V
<i>CP Current</i>	0.5mA
<i>Loop Bandwidth</i>	600Hz
<i>Phase Margin</i>	70

表 3-2 二階濾波器元件值

R1	498Ω
C1	2.4μF
C2	24pF

完整系統方塊如圖 3-22[21]

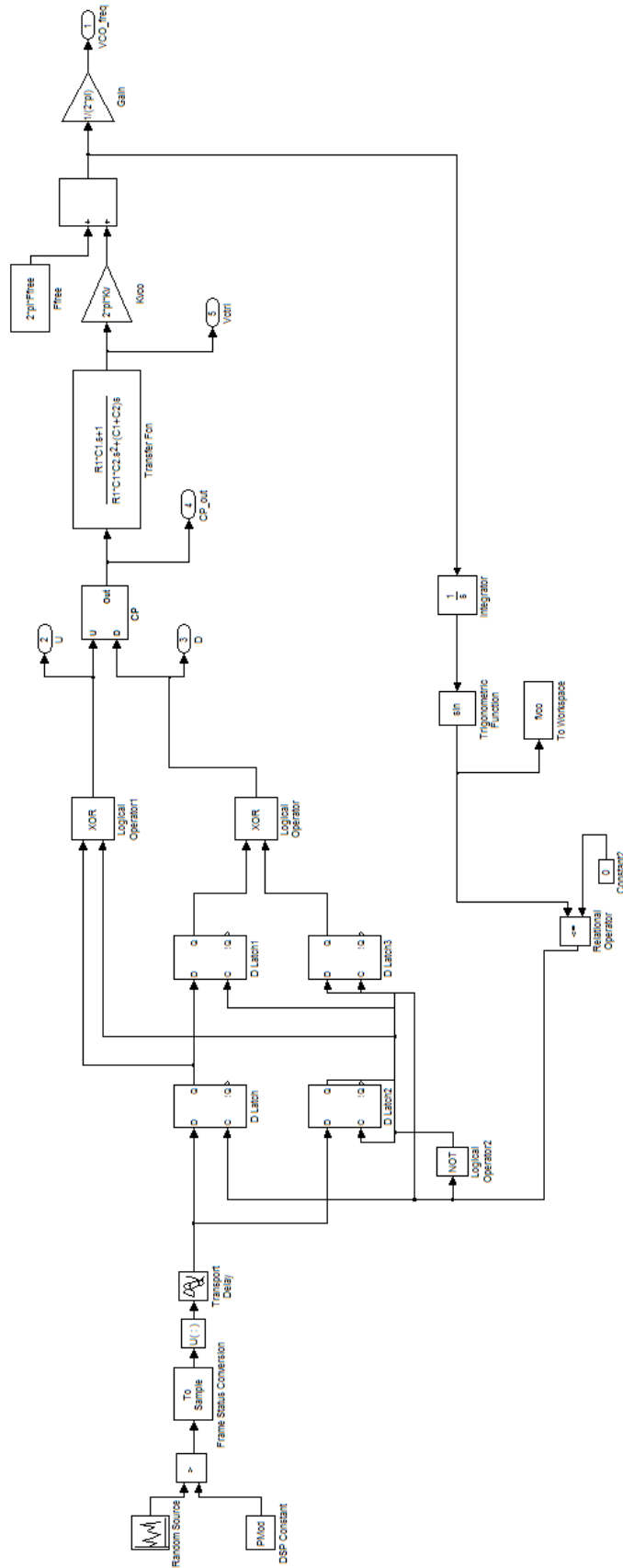


圖3-22 MATLAB 系統方塊圖

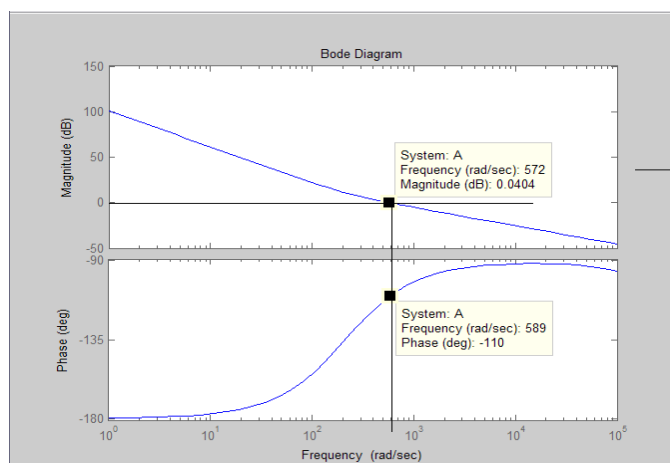


圖3-23 MATLAB 開迴路近似波德圖

因上述元件電容電阻不易找到，故僅能找到相似值代入模擬後如下圖 3-23

由於時脈恢復電路其鎖定時間取決於頻寬大小，故 600Hz 的頻寬相當於其每更新一次需 1.6ms，根據經驗一般系統要能穩定上鎖約為頻寬倒數的 2 倍，故至少需要 3ms 系統才有可能上鎖，因此整個系統若利用 HSPICE 或 ADS... 等軟體做 pre-simulate 至少需要

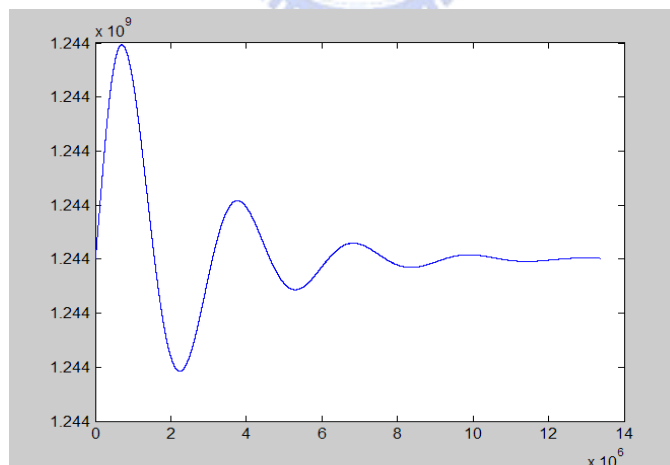


圖3-24 MATLAB Behavior simulation

2 個月才能完成更遑論 post-simulate，因此僅能以 MATLAB 做 Behavior 模擬如圖 3-24

由於只端看 V_{out} 的頻率並無法確定系統是否上鎖，可利用充電器的充放電總合是否為零來判斷迴路是否穩定上鎖如圖 3-25。如圖可看出充電電流為 1mA 而放電電流為

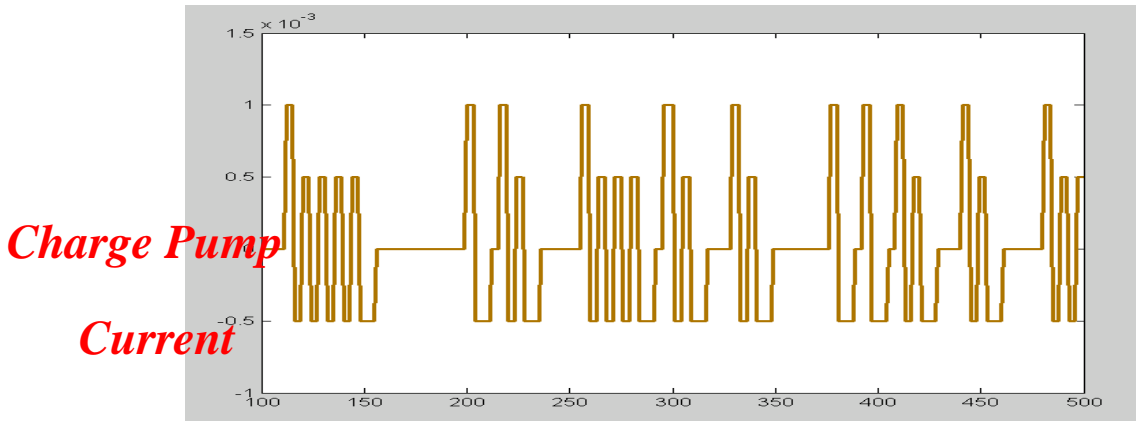


圖3-25 MATLAB 充電器模擬

0.5mA 符合 3-2-5 所描述的半速率時脈恢復電路，鎖住時每一週期充放電總和均為零。

圖 3-26 為當時脈恢復電路以週期性訊號輸入驗證其是否能上鎖，此時為了得到週期訊號 bit 寬度與 NRZ 訊號相同，故我們必須改以 622MHz 輸入，才能得到相同的 bit。

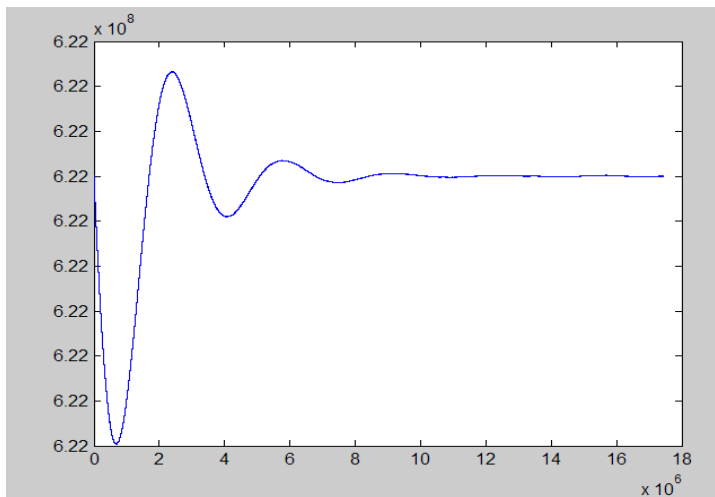


圖3-26 MATLAB 系統方塊圖

第四章

半速率表面聲波時脈資料回復電路



第四章

半速率表面聲波時脈資料回復電路

4-1 SAW based half rate CDR

如圖 4-1 所示為本論文的 Purpose circuit，分為兩種情形：

1. 相位偏移器、低通濾波器與表面聲波共振腔為外掛於 IC 外
2. 相位偏移器積體化至 IC 中，而低通濾波器與表面聲波共振腔外掛於 IC 外

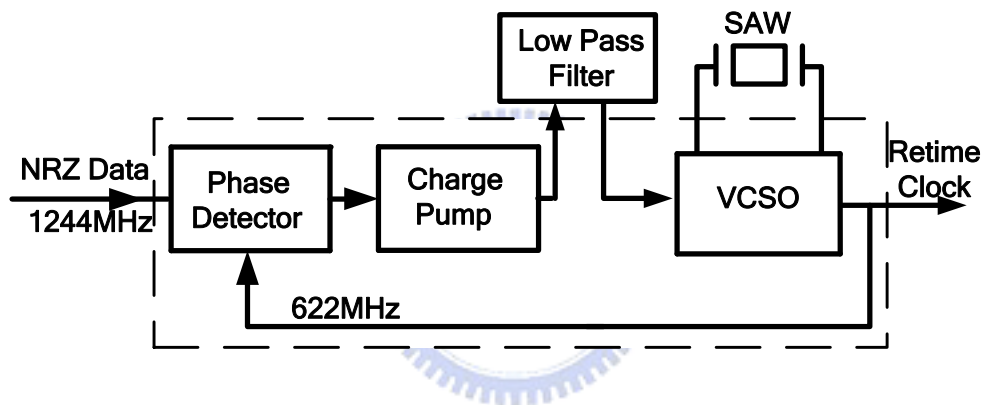


圖4-1 SAW based half rate CDR

使用此種架構的優點有以下幾種：

1. 因為 VCSO 本身的頻率偏移十分的小，故相較於一般的半速率 CDR 可省去頻率檢測器的需求，減少功率消耗。
2. 還原的時脈非常的乾淨，這是採用環形與 LC 振盪器所無法達到的，若僅採用濾波器的 CDR 因還原時脈與還原資料兩者並無同步將造成取樣時彼此游移，而此架構可藉助 half rate PD 使的時脈與資料能同步產生，避免不必要的抖動發生。

4-2 電流模式邏輯

一般在頻率合成器中因為輸入為石英振盪器產生的低頻訊號，故邏輯函數大多採用 TSPC (True Single Phase Clock) 架構來實現，然而由於 TSPC 是利用電壓擺幅來決定內部節點的充放電，通常會將電壓操作於全擺幅，然而也因此限制了運算速度。因時脈回復電路輸入為高頻的 NRZ data 故在高速下操並無法利用電壓模式邏輯 (Voltage Mode Logic) 的 TSPC 來實現。

因此發展出電流模式邏輯 (Current Mode Logic) 利用電流的切換來決定所需的邏輯功能，又 current mode logic 其運作為分枝電流 (branch current) 而非點電壓 (node voltage)，並沒有內部節點充放電的問題。且其輸出擺幅非常小所以傳遞延遲 (propagation delay) 可降低，而其功率大小取決於偏壓電流源的大小與操作頻率無關，除此之外 CML 輸出較不易受到 VDD 及 GND 擾動的影響，可以降低 jitter 的產生，故非常適合在高速操作下運行。以下將針對控鎖器與互斥或閘做分析。

4-2-1 Current Mode Logic Latch

如圖 4-2(a) 為一高速操作之電流模式控鎖器 [22]，當 clock 為高位準時 M5 on 使左半邊的電路導通而 M6 off 將使右半邊的電路關閉，迫使偏壓電流流向左邊，此時輸出會隨著輸入資料而改變，當 V_{in+} 為高位準而 V_{in-} 為低位準時 M1 on M2 off，故偏壓電流 I_{ss} 全部流過 M1 經電阻 R 後 Out- 輸出產生低位準電壓 $V_{DD} - (I_{ss} \times R)$ ，而 Out+ 因開路故電壓保持在高位準 VDD，此狀態我們稱為取樣階段，反之亦然。而當 clock 為低位準時 M5 off 始左半邊的電路關閉而 M6 on 將使右半邊的電路打開，始偏壓電流流向右邊，故由 M3 M4 所構成的交錯耦合具儲存的功能，使輸出資料被控鎖住稱為儲存階段。再設計的考量上左半邊的電路為一 pre-amplified 他主要決定控鎖器的操作速度，故

M1、M2 需提供足夠的增益，如圖 4-1(b)所示若 M1、M2 增益過低將使 Out-的擺幅較低，使後半電路需花費較多的時間才能資料再生。而在儲存資料方面需注意 M3、M4 尺寸須夠大一般來說設計準則為 $g_{m3,4}R_D > 1$ 才能夠拴鎖住資料。

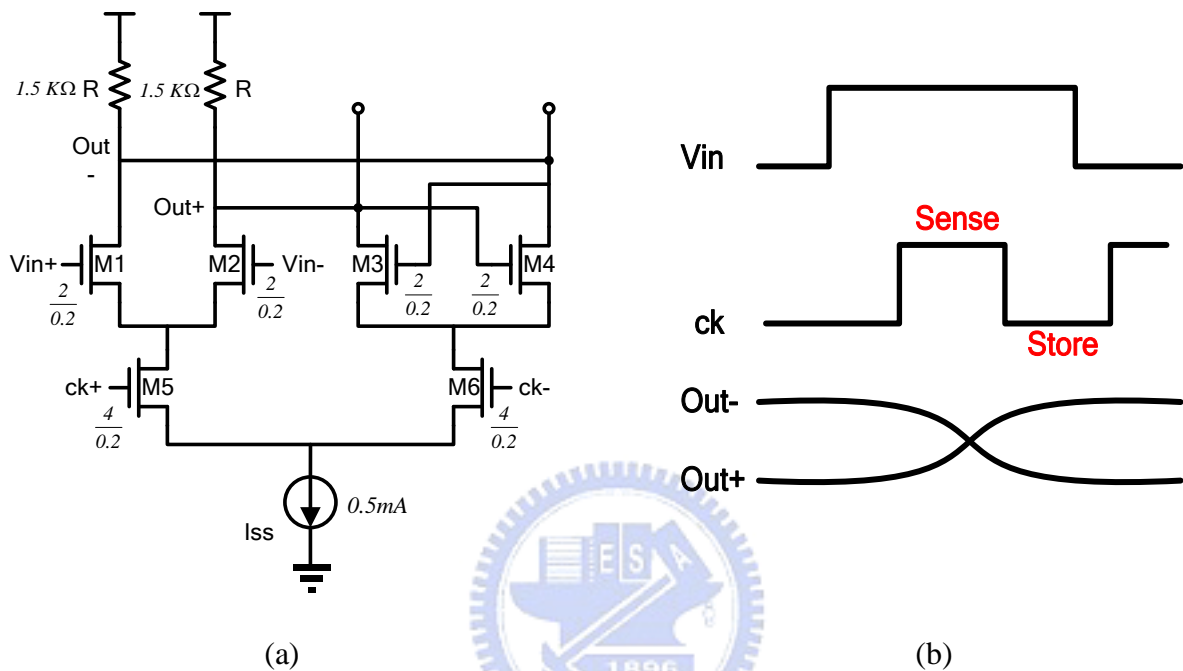


圖4-2 電流模式拴鎖器 (a)電路架構 (b)運作情形

圖 4-3 為利用 HSPICE 模擬結果，可看出輸出有輕微 glitch 產生，故開關電路的電荷注入(Charge injection)及時脈前饋(Clock feed though)需小心考慮避免影響電路。

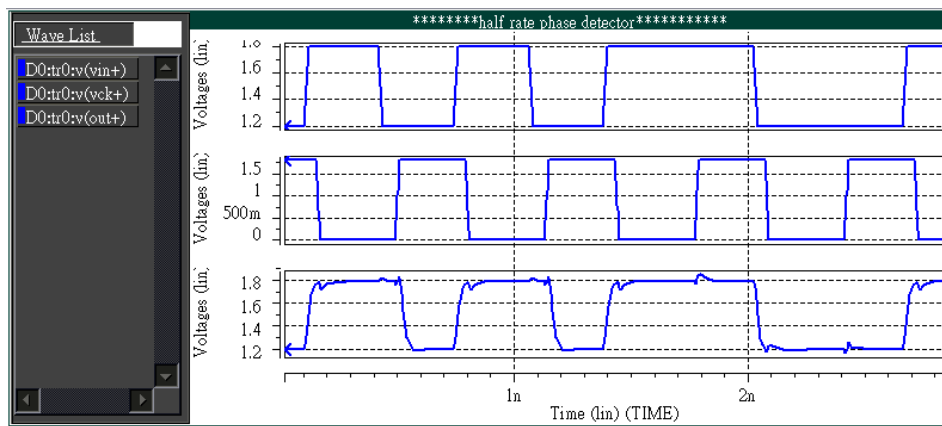


圖4-3 電流模式拴鎖器模擬圖

4-2-2 Current Mode Logic XOR

圖 4-4 為 CML XOR 的電路架構[22]。在半速率相位檢測器非常重要，傳統數位式的邏輯電路不可能於高速電路中實現。原理類似 4-1-1 之拴鎖器，由左邊半電路開始。當 B 為高位準時 M5 on 偏左半邊電路導通、M6 off 使右半邊電路關閉，若 A 為高位準則 M1 on M2 off，故偏壓電流 I_{ss} 全部流過 M1 經電阻 R 後 Out- 輸出產生低位準電壓 $V_{DD} - (I_{ss} \times R)$ ，而當 A 為低位準時 M1 off M2 on，電流全部流經 M2 使 Out- 因無電流流經電壓保持在高位準 VDD。反之當 B 為低位準時右半邊電路導通 M5 off M6 on，偏壓電流流向右邊，當 A 為高位準時 M3 off M4 on，故電流全部流經 M4 迫使 Out- 因無電流流經電壓保持在高電位 VDD，而當 A 為低位準 M3 on M4 off，電流全部流過 M3 經電阻 R 後 Out- 輸出產生低位準電壓 $V_{DD} - (I_{ss} \times R)$ 。故可歸納出

$Out- = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B$ ，實現互斥或結果。

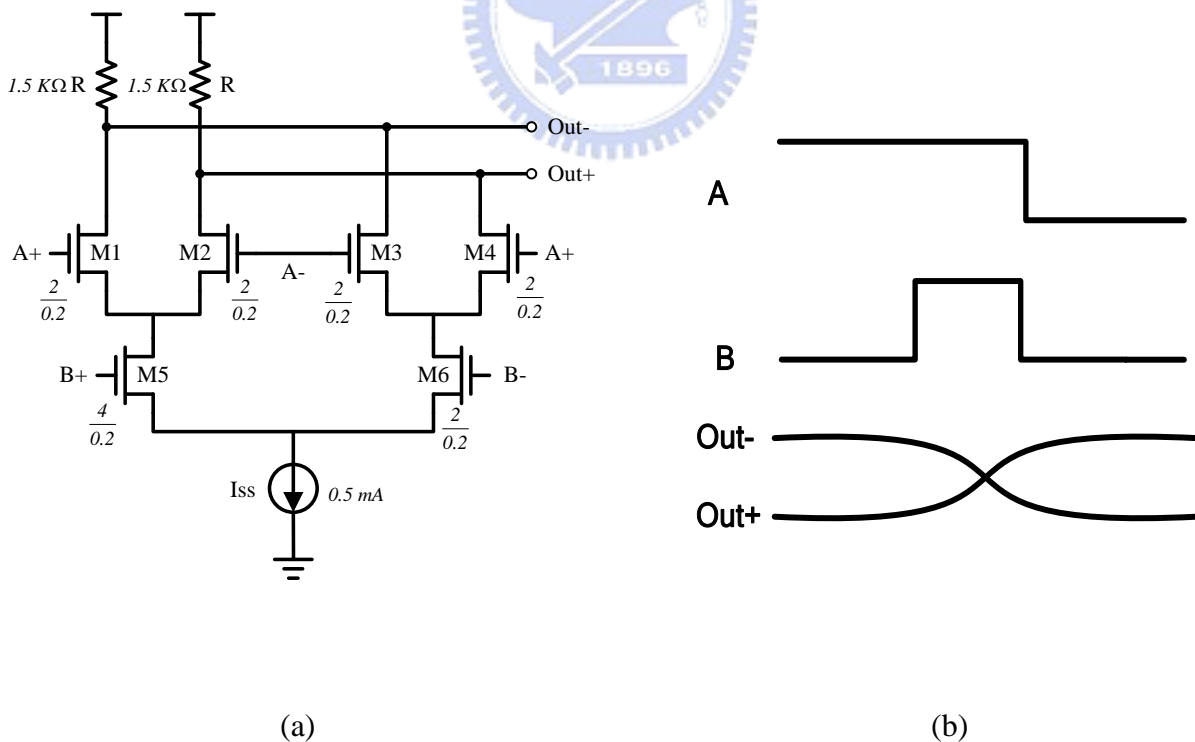


圖4-4 電流模式互斥或閘 (a)電路架構 (b)運作情形

圖 4-5 為利用 HSPICE 模擬結果，可看出輸入 A+與 B+只要很小的電壓擺幅互斥或開即可運作，故在直流位準正確操作下與前級的 Latch 的低擺幅輸出相接仍可正確運作。

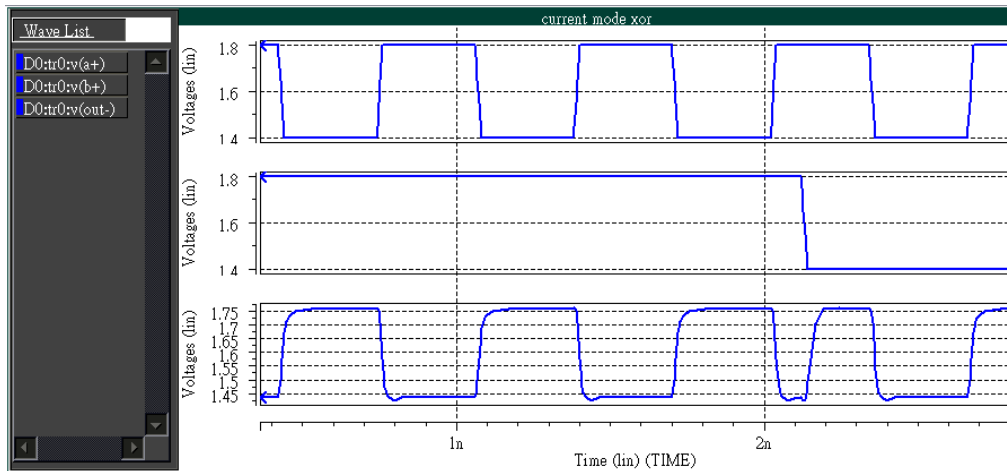


圖4-5 電流模式互斥或開模擬圖

4-3 線性半速率相位檢測器模擬

如圖 4-6 為完整的線性半速率相位檢測器，於其輸出各接了緩衝器除了避免干擾，由於 V_{dif} 與 V_{ref} 將會接至充電磊，為了使充電磊能夠順利衝放電，所以 V_{dif} 與 V_{ref} 將必須運作在合理的直流準位上，可利用 Common Drain 電路來達成此目的。

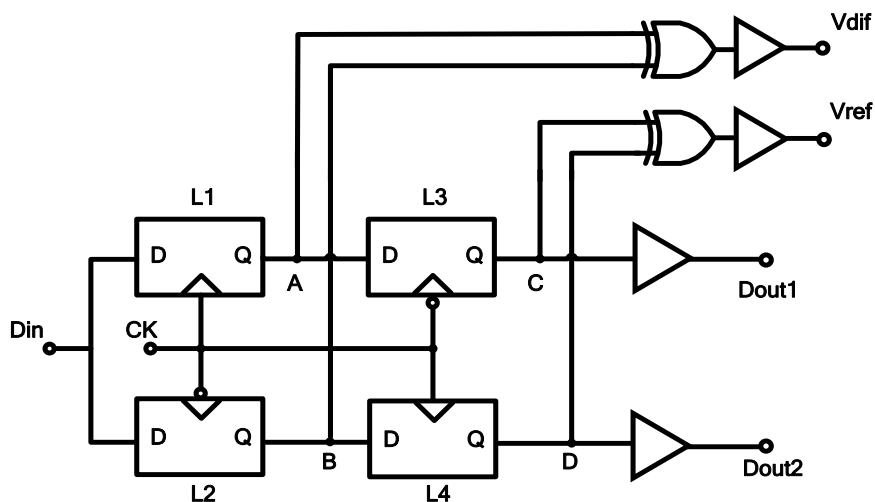


圖4-6 完整線性半速率相位檢測器

由於整個半速率相位檢測器的邏輯函數皆是利用 Current Mode Logic 來實現，在高速操作下 Layout 的考量必須特別注意對稱性，所以在 Layout 的技巧上採用了 Common-Centroid Layout 的方法如圖 4-7。

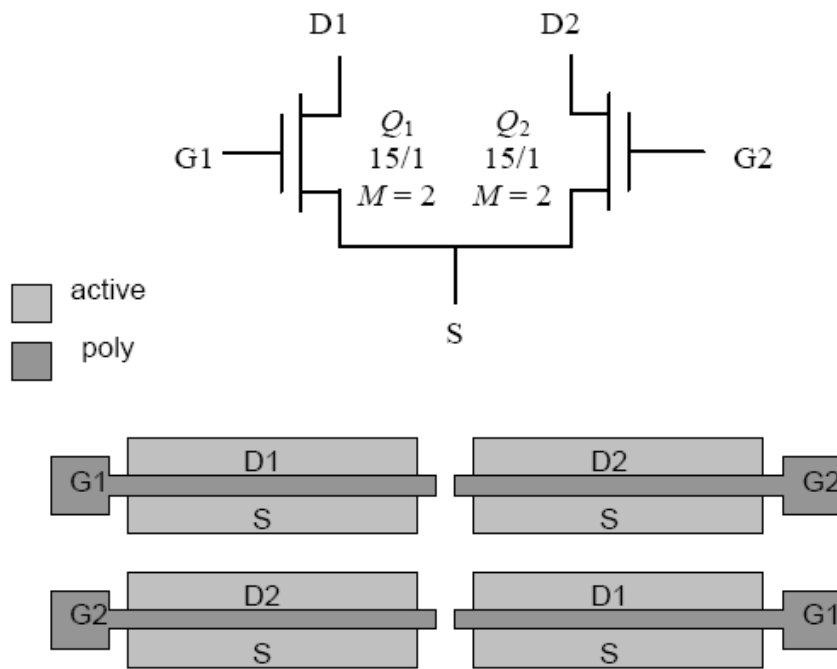


圖4-7 Common-Centroid Layout

Q_1 與 Q_2 為一差動對可以利用它們有共同的質心，以此為出發點在 Layout 時將其以並聯表示，分成單獨的多顆電晶體再利用繞線將 Q_1 與 Q_2 重新組裝回來，此技巧將獲得十分好的 matching 表現。

圖 4-8 為利用 HSPICE 其模擬相位檢測器 clock 相位領先結果

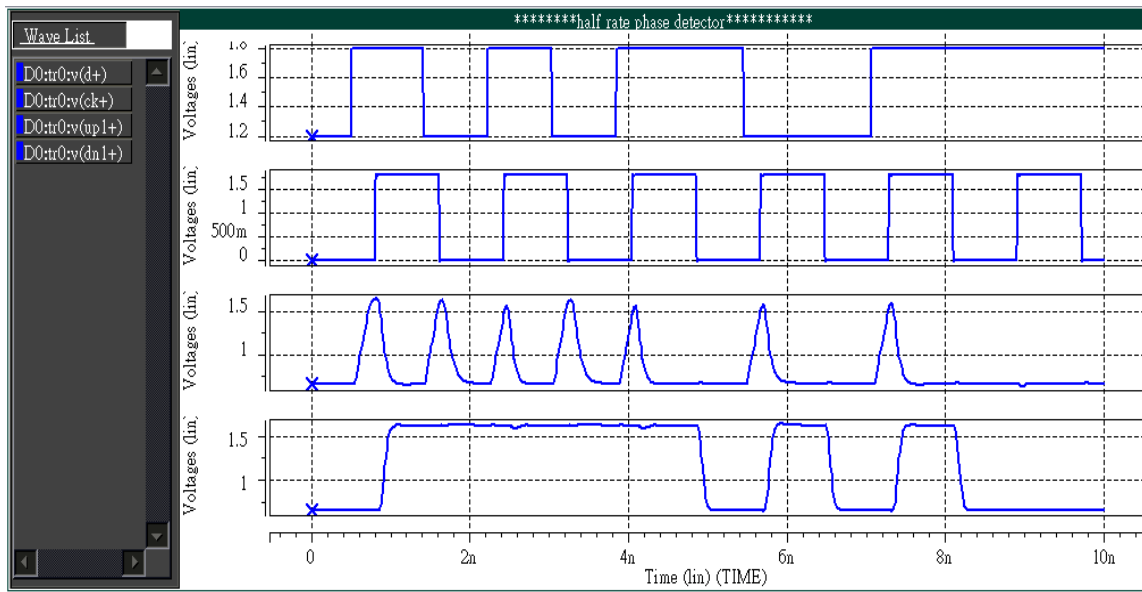


圖4-8 Clock 相位領先模擬結果

圖 4-9 為利用 HSPICE 其模擬相位檢測器 clock 相位領先結果

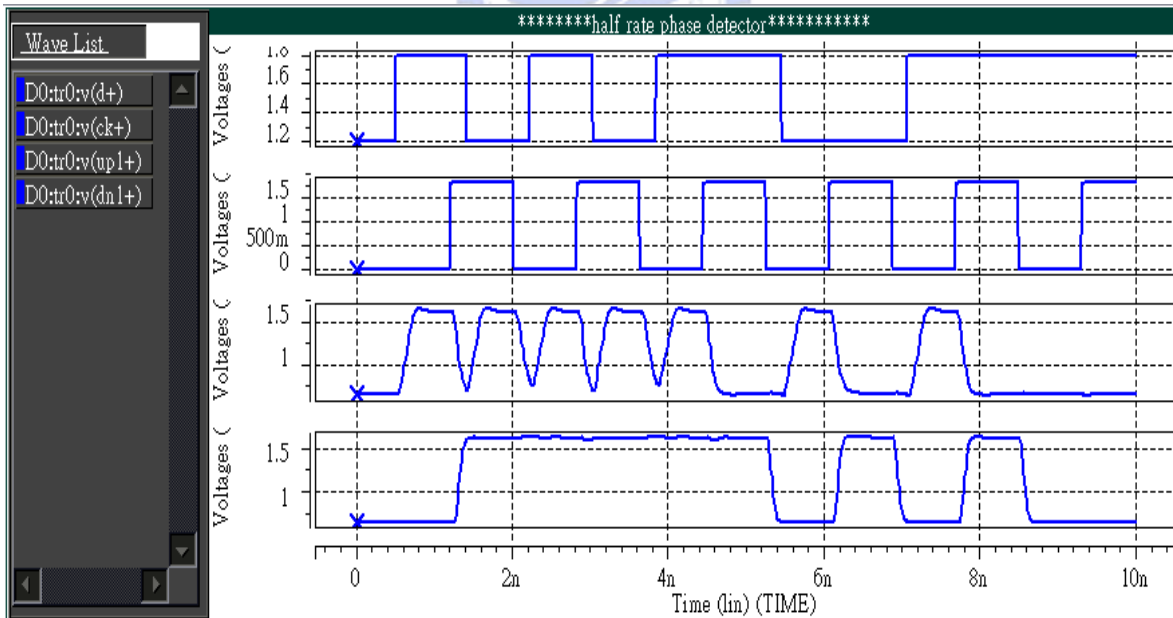


圖4-9 Clock 相位落後模擬結果

PS. 在此判斷相位快慢是 data 中心點為準以 clock 先來表示領先，反之則表落後

4-4 充電磊設計分析

在線性半速率時脈恢復電路中，因為相位檢測器無法提供高增益無法像二位元相位檢測器直接在輸出處接上電壓電流轉換器，而是配合利用充電磊來增加整體的開迴路增益。由於充電磊在電流高速切換的高速操作下將會產生嚴重的時脈穿透與電荷分享效應，將導致電流比例不均而產生額外偏移電荷 ΔQ 造成的靜態相位差[23]。

$$\Delta Q = (I_{UP} - I_{DN})t_s = \Delta I \times t_s \quad (4.1)$$

如圖 4-10 為利用電流模式操作於高速的單端充電磊[24]，利用固定的偏壓電流來得到較低的電源雜訊，當 UP+ 或 DN+ 為高位準時，則充放電流會全部經由一側的電晶體對輸出端進行充放電，而當 UP+ 或 DN+ 為低位準時，則充放電流會全部經由另一側的電晶體流入 GND 不會對輸出端進行充放電。再設計時需注意在輸出處加上的低通濾波器電容值大小，若電容太小電流太大電容將飽和而失去其功能使電流無法順利充放電。

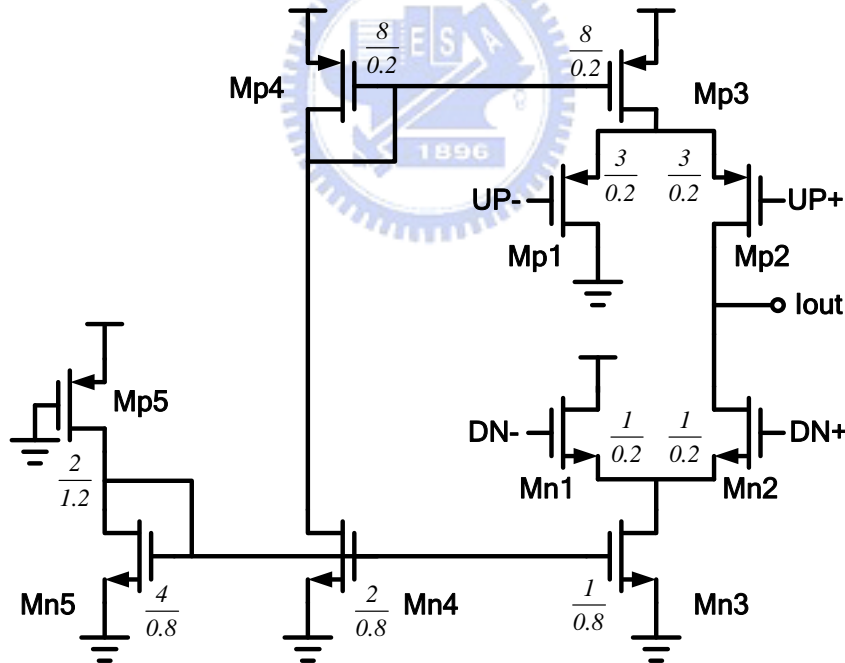


圖4-10 電流模式單端充電磊

圖 4-11 為其模擬圖可看出其在電流 40uA 時開關的 overshoot 情形十分嚴重，隨著頻率的增高將越來越劇烈，且充放電電流在不同的溫度下較難匹配。

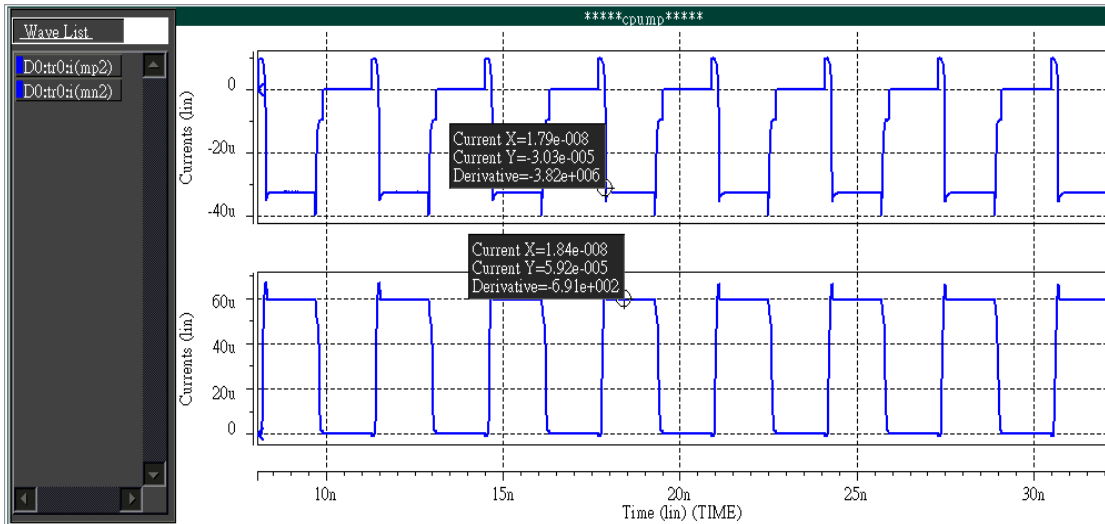


圖4-11 電流模式單端充電磊模擬圖

由於圖 4-10 電路最大的問題在於因 PMOS 與 NMOS 製程上的差異將使開關的切換時間不同，為了避免這個問題可使用僅以 NMOS 為開關的充電磊如圖 4-12。其操作原理與圖 4-10 相似，而 UP-與 DN-因為是不需要的開關訊號故可直接接至 VDD，但是為了使電路的阻抗匹配我們通常會在 UP-與 DN-的汲級處加上與 MP1、MP2 相同大小的 MOS 二極體使整體電路開關匹配。但此架構是因 UP+的電流是透過 PMOS 對電流鏡產生充電電流，由 A 點看入將有一個很大的時間常數，限制整個電路的運作速度。

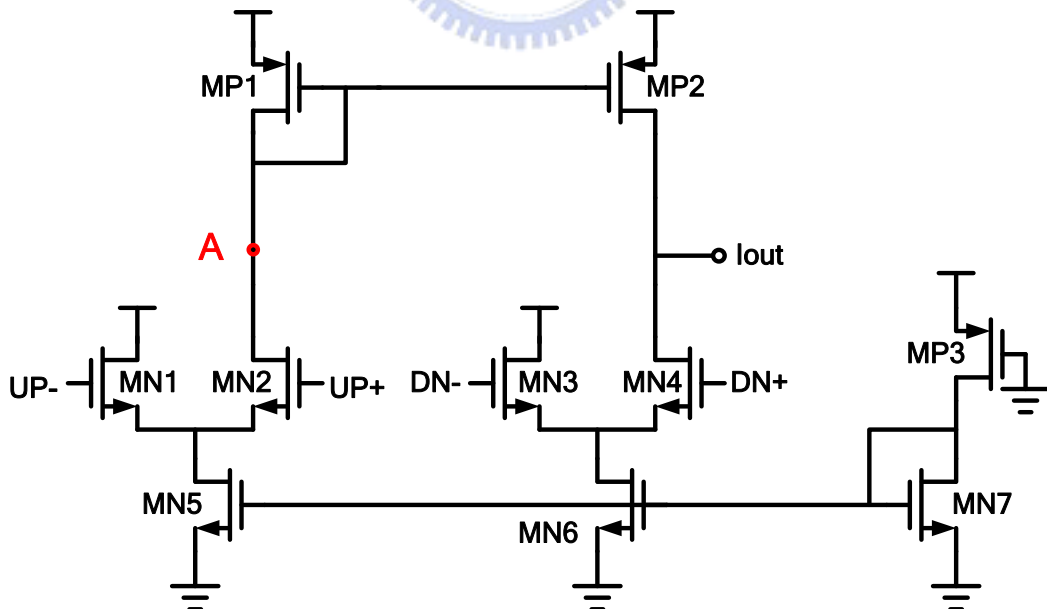


圖4-12 NMOS 對充電磊

為了改善圖 4-12 時間常數大的問題，我們將增加一個 pull-up circuit 來加速 A 點的運作如圖 4-13 所示為一改良型 NMOS 對充電磊，其中 MP3、MP4 為所增加的 pull-up circuit。當 UP+ 為高位準時 MN2 導通 MN1 關閉，但 MN1 仍會有非常微弱的電流 I_{ss} 產生，故此時透過電流鏡原理輸出電流 $I_{out} = I_{UP} - I_{ss} \approx I_{UP}$ ，而當 UP+ 由 High \rightarrow Low 時 MN2 關閉，而 MN1 將導通使得 MP4 的汲極端透過電流鏡產生一額外的電壓迫使 MP2 提前關閉，故增加了 A 的點的速度即為 pull-up circuit 原理。在傳統上 pull-up circuit 需額外利用一個非常小偏壓電流供電流鏡使用。而此電路僅透過不需要的 UP- 來即能達成極小的偏壓電流並不需要額外的電流原來做偏壓，且恰可達到 I_{ss} 極小的可忽略的條件。故此電路被稱為 current reuse charge pump [25] [26]。

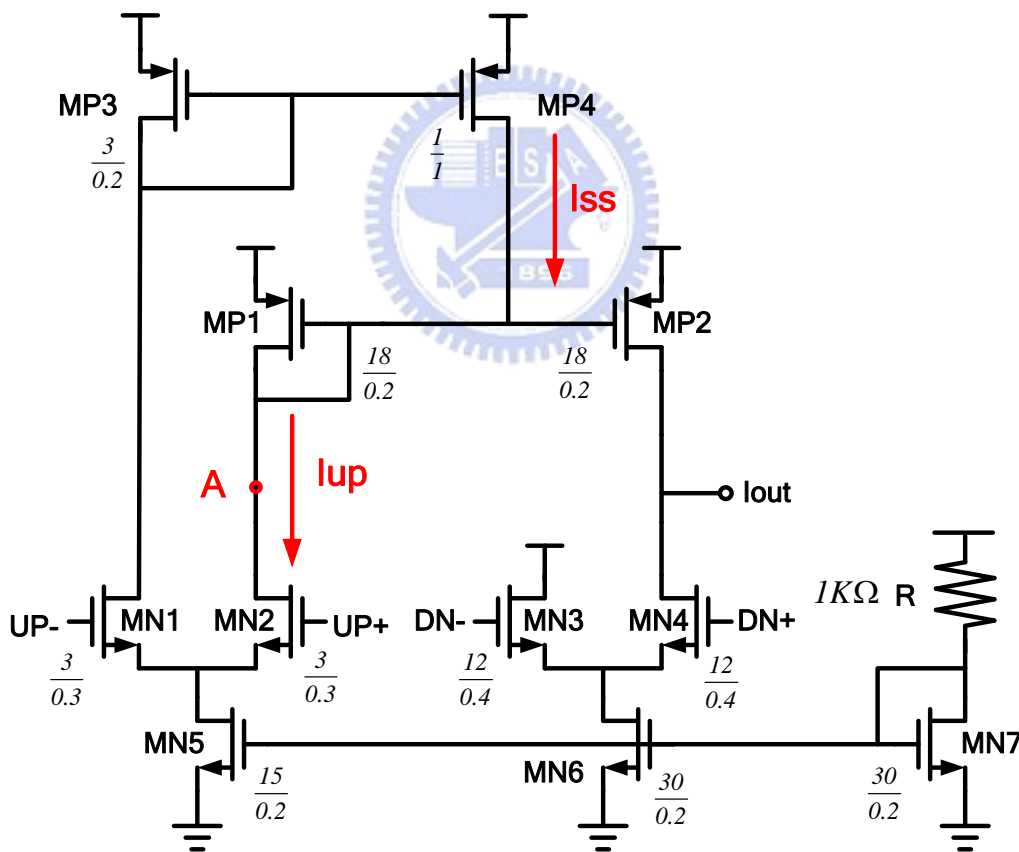


圖4-13 Current reuse NMOS charge pump

如圖 4-14 為 Current reuse NMOS charge pump 模擬圖，其充放電電流非常接近且操作於高速下並無問題，但是在 UP+ 由 High \rightarrow Low 時仍然受電容的影響，功率損耗約 2.76mW。

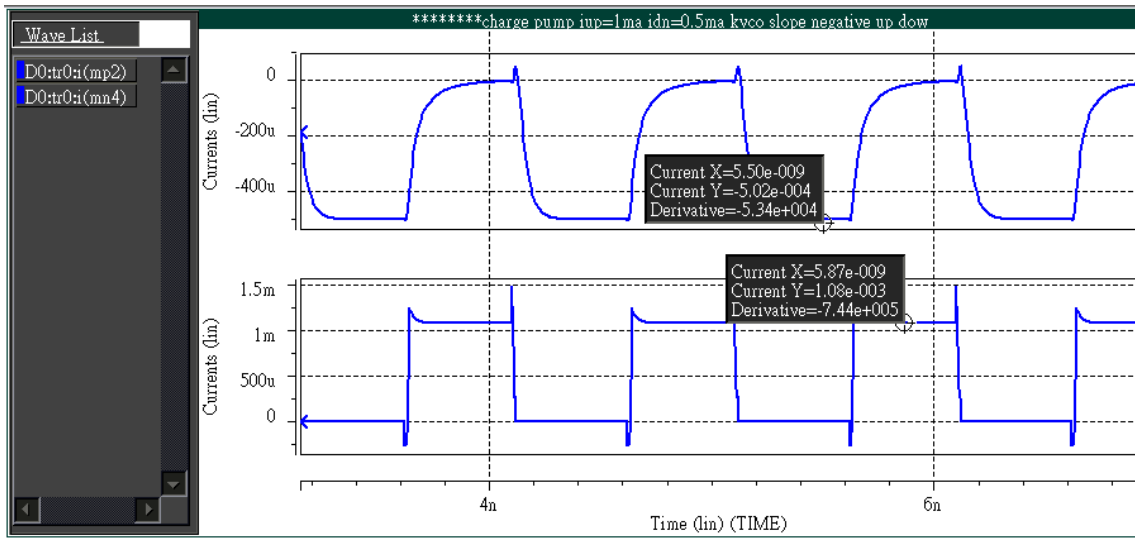


圖4-14 Current reuse NMOS charge pump 模擬圖

為了再次完改善這個問題可再次利用 pull-up circuit 概念再加以改善如圖 4-15。

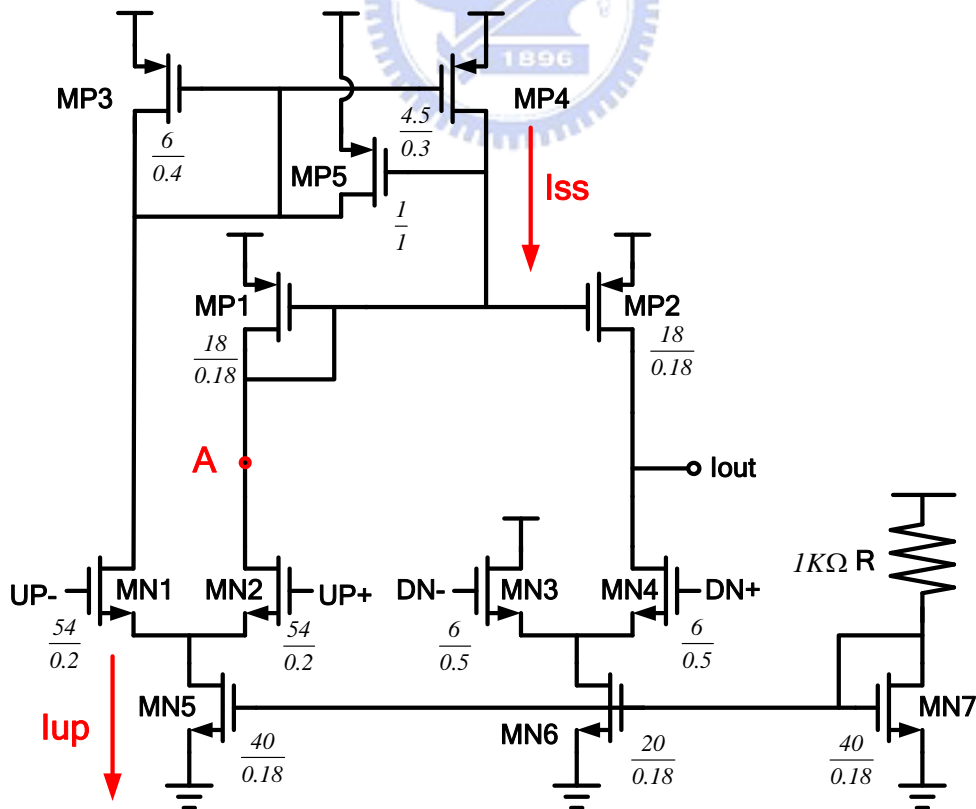


圖4-15 改良式 Current reuse NMOS charge pump

如圖 4-16 為其模擬結果。可看出充電電流速度確實改善了，功率消耗約 5.297mW。

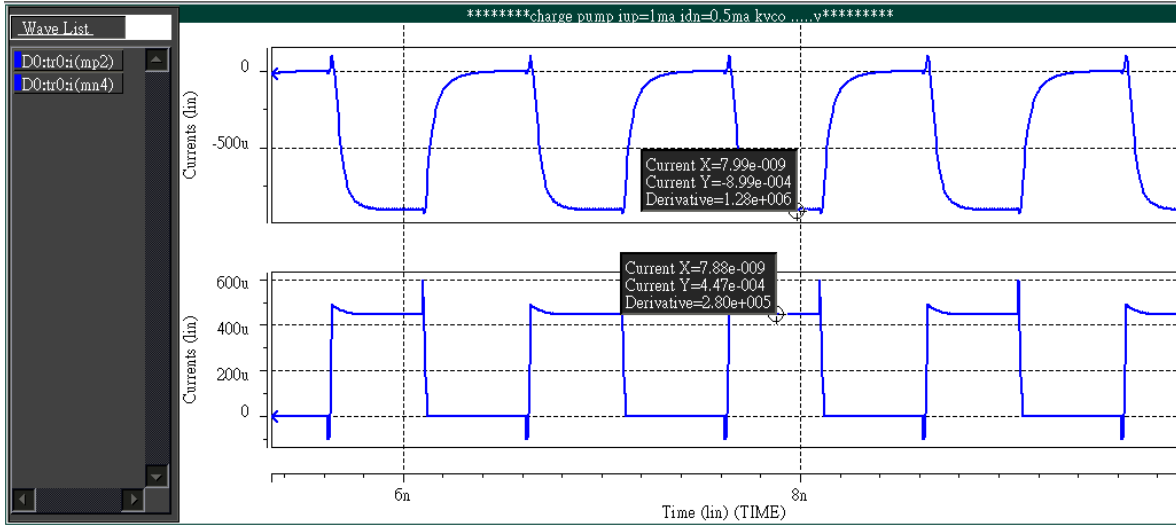


圖4-16 改良式 Current reuse NMOS charge pump 模擬圖

在設計時開關的速度將取決於下方電流鏡偏壓電流的大小和節點 A 的寄生電容，而開關的切換點如下[26]：

$$V_{sw} = \sqrt{2} (V_{GS} - V_T) = \sqrt{2} V_{ov} = \sqrt{\frac{4I_{UP}}{K_n (W/L)}} \quad (4.2)$$

故由上式可推知若在固定偏壓電流的情況要增快開關速度(較易開關)其切換點 V_{sw} 必須小然而此將使的電晶體的 Size 增加導致寄生電容變大而使速度變慢，故於其兩者之間必須做一個 trade-off。當然此問題可藉由將輸入全擺幅電壓來克服。

因充電磊的後級將接上濾波器，將使充電磊輸出處產生一電壓 V_{ctrl} ，當 V_{ctrl} 電壓過小時會壓迫下方 MN6 使電流鏡操作於線性區，反之當 V_{ctrl} 電壓過大時會使 MP2 操作於線性區，這將使充電磊無法正常運行，故在分析時需要特別注意。

4-5 Phase detector + Charge pump + Low pass filter

當 KVCO 為正斜率，故當相位領先時， V_{ctrl} 會放電而使 VCO 震盪頻率變慢如圖 4-17，反之相位領先時， V_{ctrl} 會放電使 VCO 震盪頻率變快如圖 4-18，如此循環下去進而上鎖。

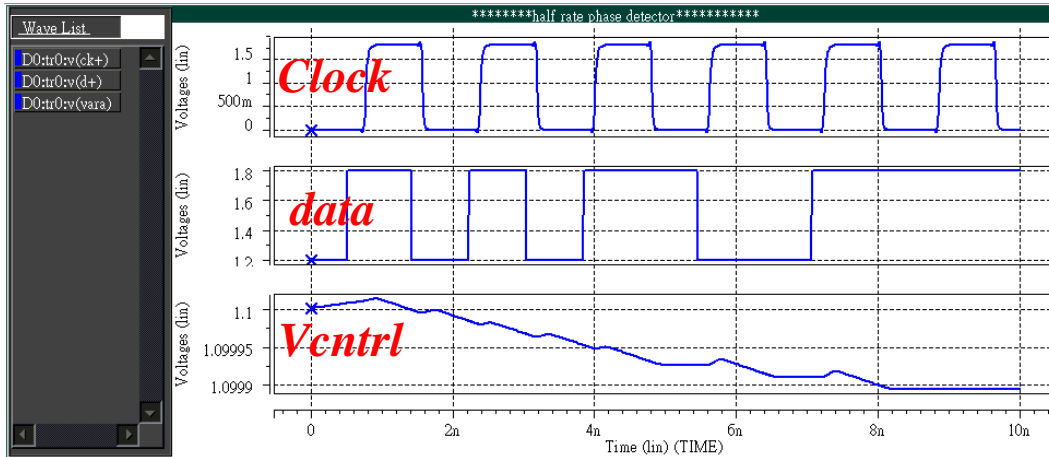


圖4-17 正斜率時 Clock 相位領先產生放電狀態

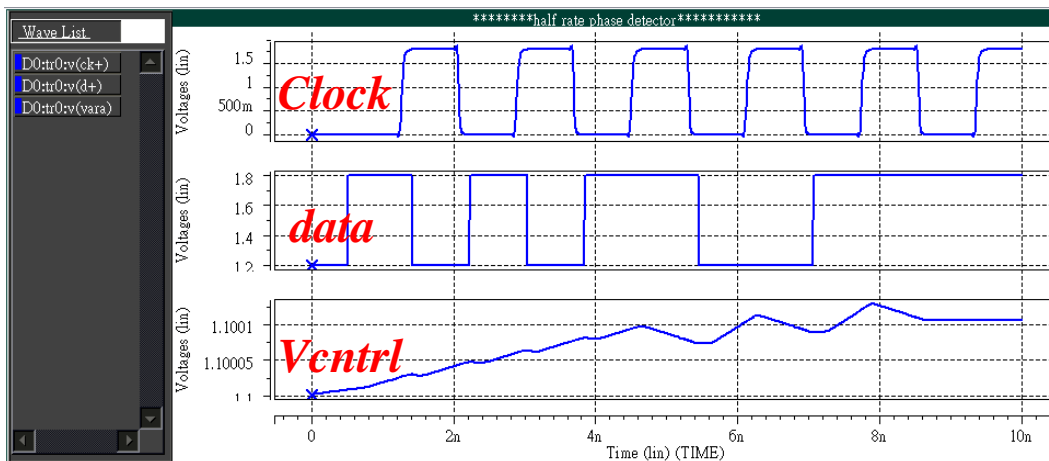


圖4-18 正斜率時 Clock 相位落後產生充電狀態

反之當 KVCO 為負斜率時，充電磊的開關的兩電流源必須顛倒，故當 clock 相位領先時 V_{ctrl} 會充電圖 4-19、相位落後時 V_{ctrl} 則會放電圖 4-20。

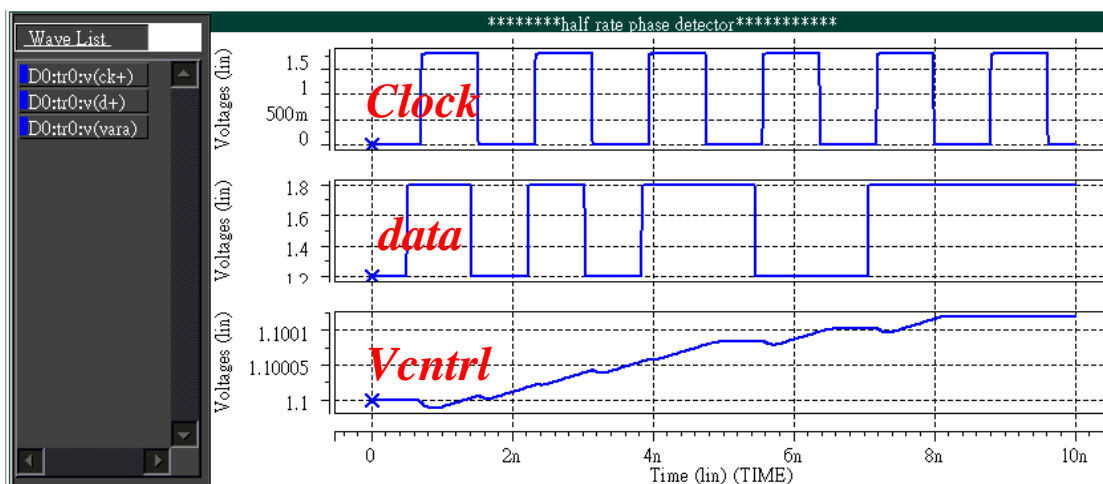


圖4-19 負斜率時 Clock 相位領先產生充電狀態

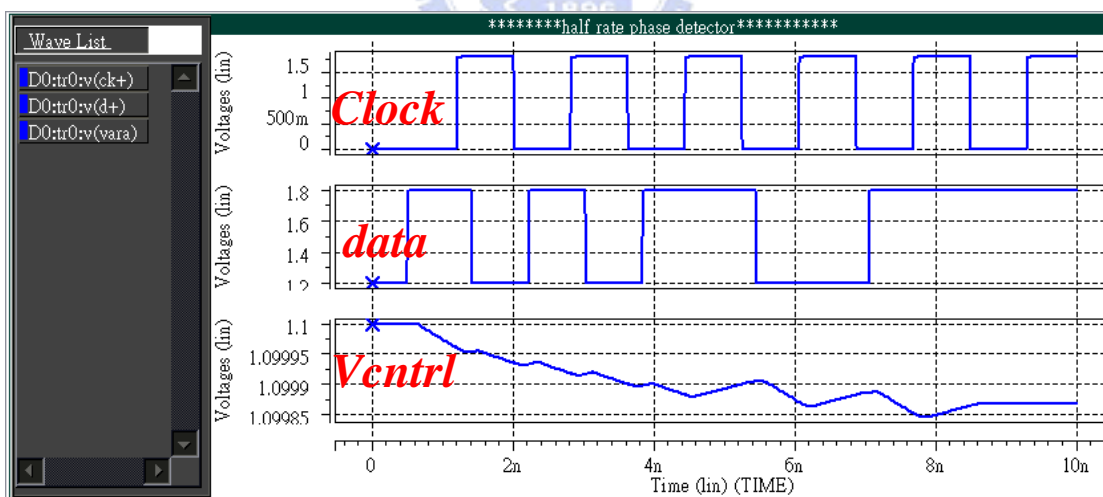


圖4-20 負斜率時 Clock 相位落後產生放電狀態

第五章

量測結果



第五章

量測結果

本節為第二章至第四章的整合後 IC 實際量測結果，經由國家晶片系統設計中心(cic) T18-97A 與 T18-97B 兩梯次。一為混合式半速率表面聲波時脈恢復電路其中相位偏移器外接、而另一則為整合式半速率表面聲時脈恢復電路相位偏移器整合於 IC 中。

5-1 半速率表面聲波時脈回復電路量測

如下圖 5-1 為半速率表面聲波時脈回復電路佈局圖其相位偏移器為外掛於 IC 外。佈局面積 595mm*949mm 總電晶體各數約 300 個。

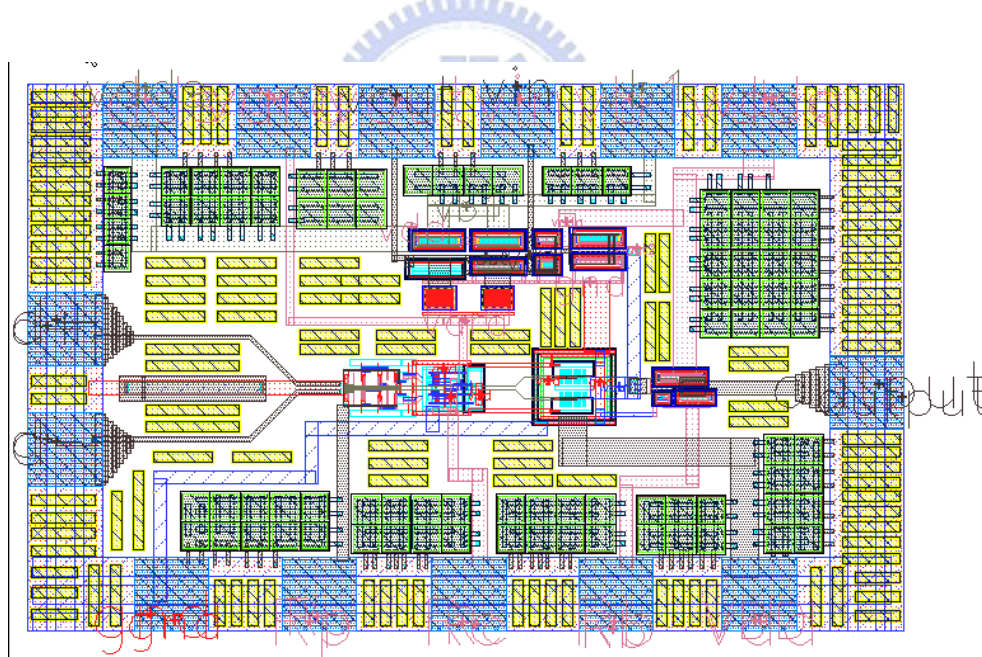


圖5-1 半速率表面聲波時脈回復電路佈局圖

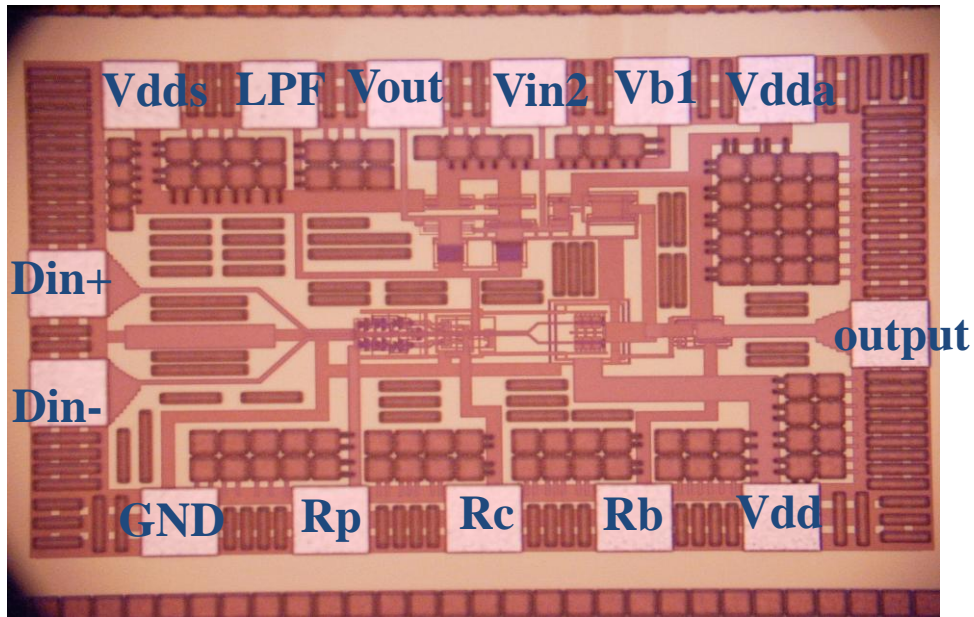
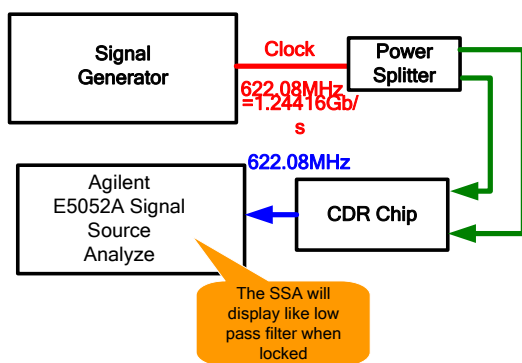


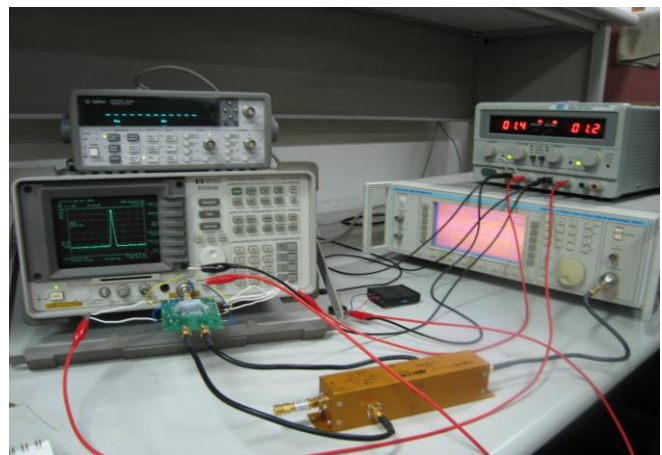
圖5-2 半速率表面聲波時脈回復電路裸晶圖

5-1-1 頻譜與相位雜訊量測

利用實驗室之設備 HP-8596E 頻譜分析與利用 NDL Agilent E5052A Signal Source Analyze 儀器進行相位量測其工作原理如圖 5-3(a)方塊圖所示。實驗室量測環境如圖 5-3(b)。



(a)



(b)

圖5-3 量測方法與實驗室量測環境

如下圖 5-4 為頻譜量測結果，KVCO 約 300K/V，其震盪頻率約在 621.88MHz 此乃因為在製作表面聲波元件時製程上的誤差，尚需利用微機電的技術將頻率調至 622.08MHz，其頻率可調範圍約為 120KHz，比模擬預估的 140KHz 略小一點。

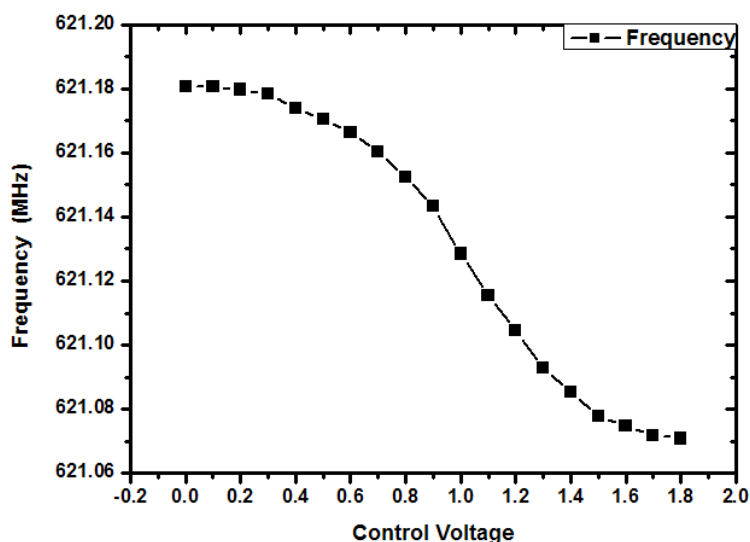


圖5-4 表面聲波壓控振盪器增益 K_{vco} 曲線

頻譜量測結果在 621.88MHz，此乃因量測圖 5-4 時振盪器控制電壓並無接上低通濾波器，造成 loading 不同的結果。

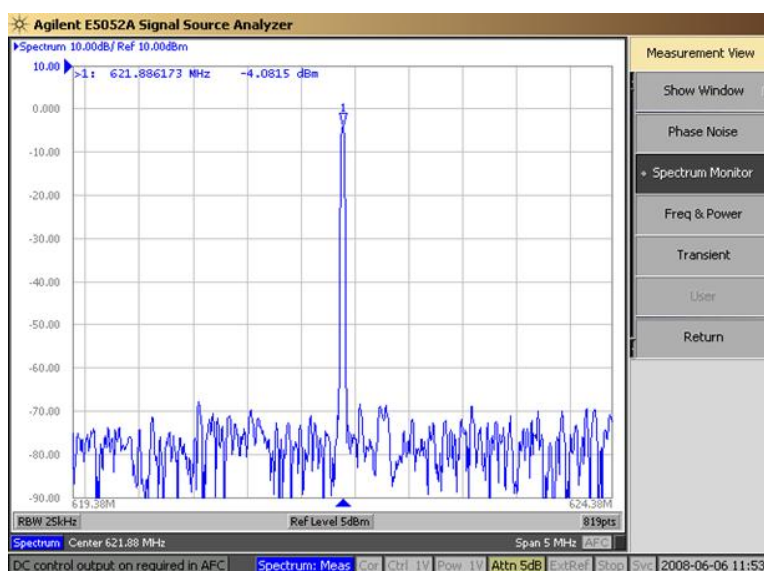


圖5-5 表面聲波壓控震盪器之頻譜

相位雜訊量測如圖 5-6 在 1kHz 時的相位雜訊為-85.27dBc/Hz 與環型振盪器-40dBc/Hz 相比好上許多。而在 1MHz 的地方相位雜訊的表現也相當好為-156dBc/Hz。

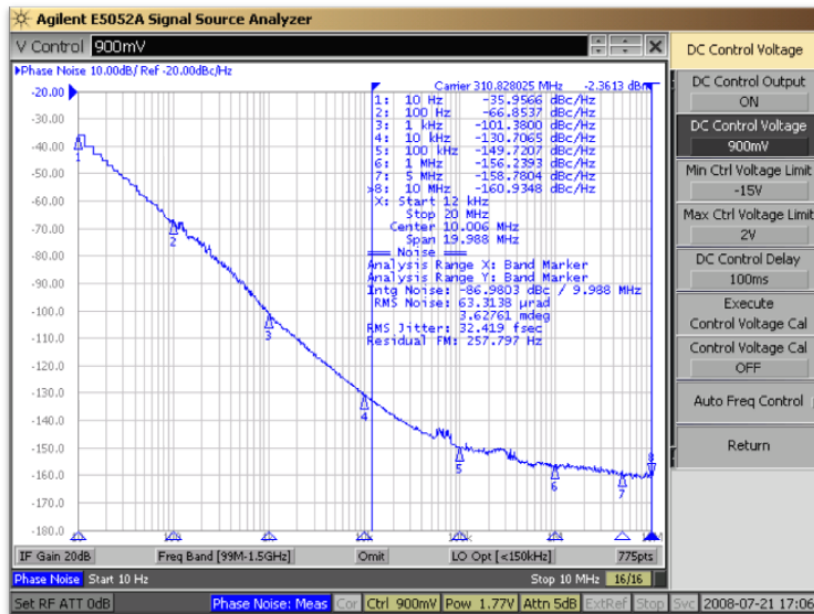


圖5-6 相位雜訊量測

鎖定後可看出其 jitter transform，3dB 頻寬約在 1.2k 處。鎖定後頻譜受低通濾波效果有濾波現象。

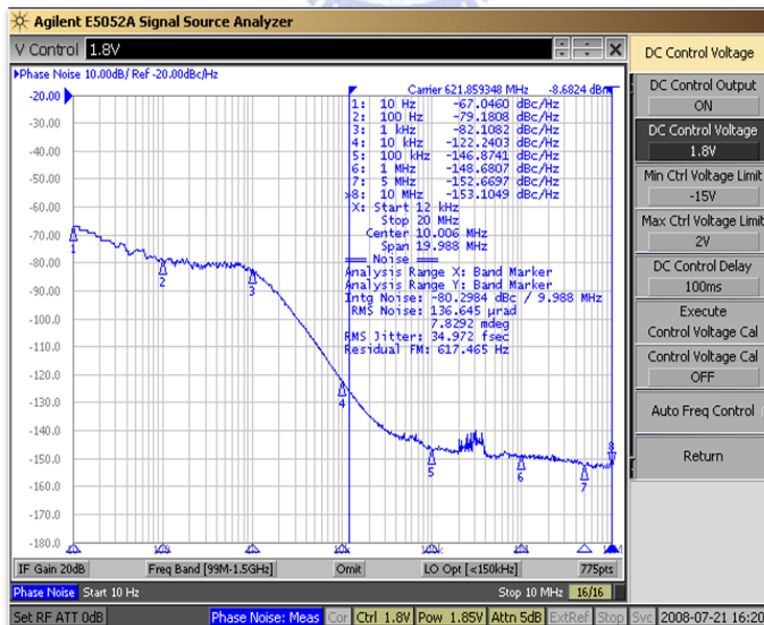


圖5-7 鎖定後相位雜訊量測

此部分為時域的量測，在尚未鎖住時量測出的 RMS jitter 為 1.287ps peak-peak jitter 為 10.9ps。

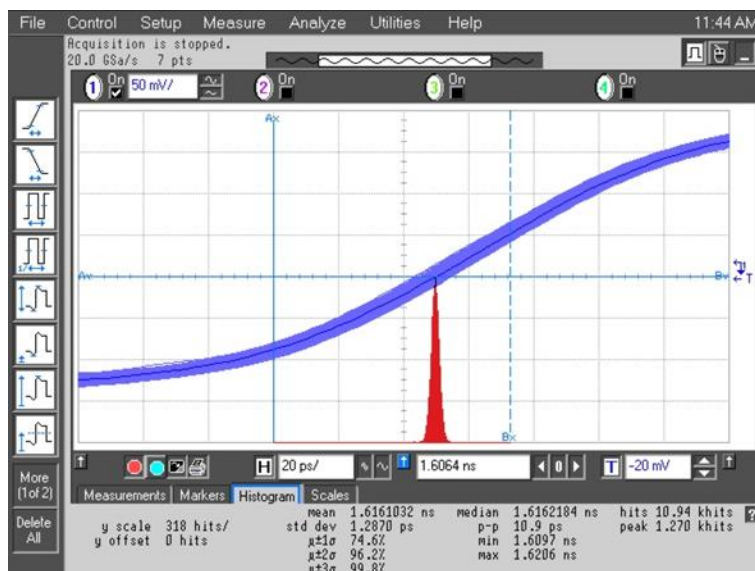


圖5-8 鎖定前抖動量測

而鎖住後的量測也符合相位雜訊鎖住後濾除雜訊的效果，故整體 jitter 又變得更小了。在 RMS 方面為 1.0217ps 而 peak-to-peak 為 7.6ps。

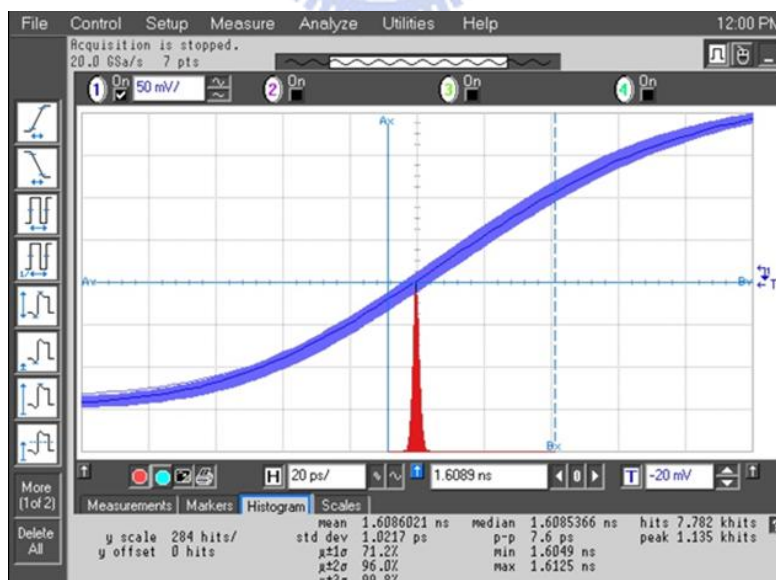


圖5-9 鎖定後抖動量測

在半速率時脈回復電路中，振盪器輸出的 duty cycle 十分的重要將會影響取樣點的正確與否，通常能允許的範圍接在 45%~55%，由下圖知其 duty cycle 為 47.6%。

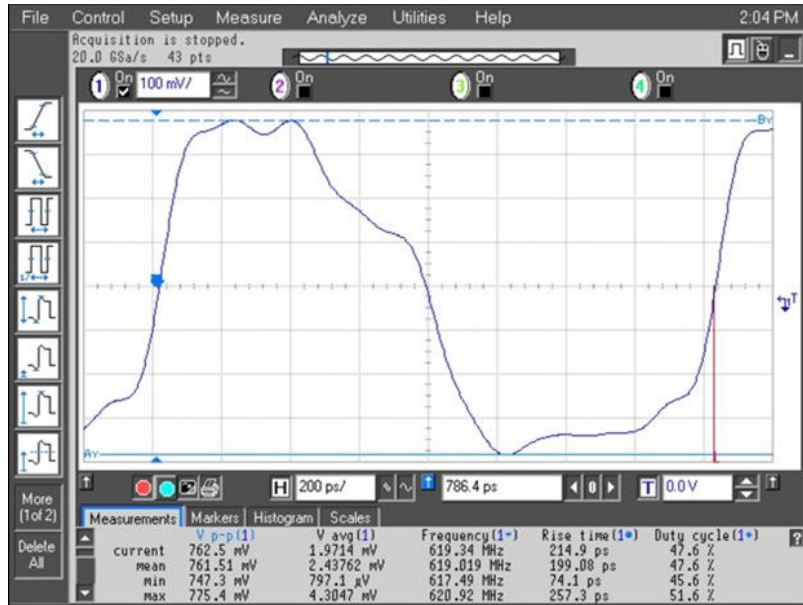


圖5-10 鎖定前波形

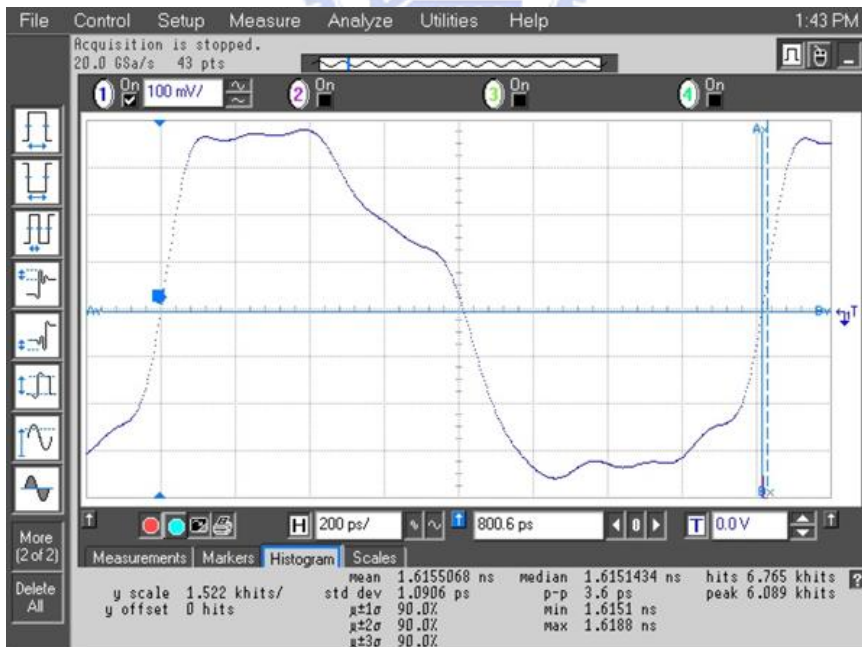


圖5-11 鎖定後波形

5-2 積體式半速率表面聲波時脈回復電路量測

如下圖 5-12 為半速率表面聲波時脈回復電路佈局圖。整合了相位偏移器與交換式電容陣列，在相位偏移器方面使用了立體電感。與其他相鄰的元件為了避免干擾故周圍均留了 50mm 的空間，佈局面積 953mm*1135mm 總電晶體各數約 310 個。

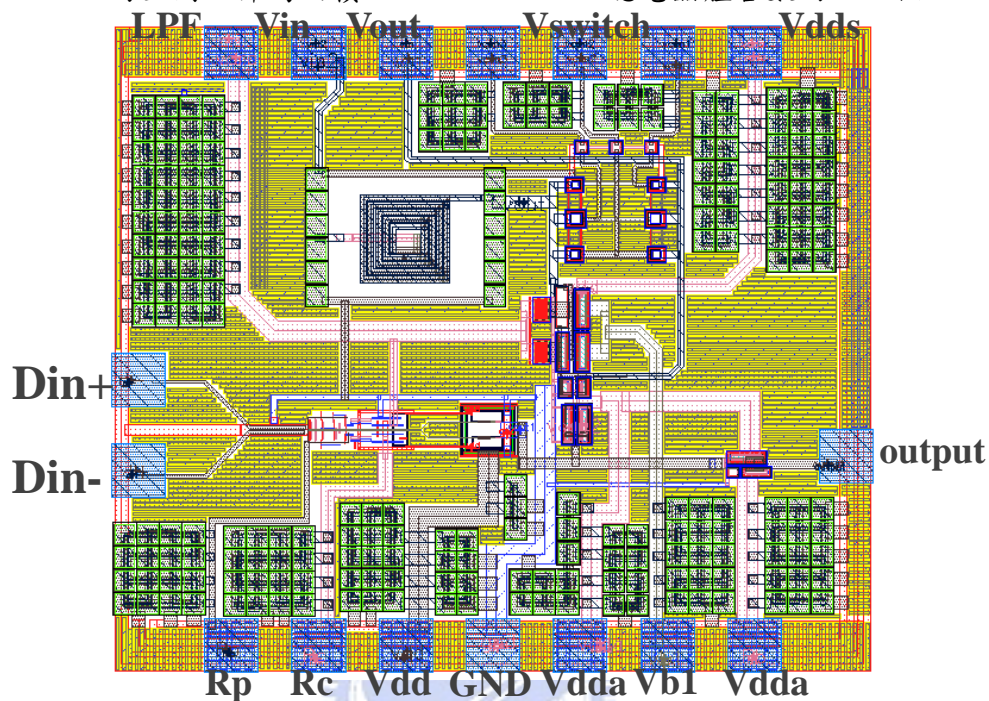


圖5-12 積體式半速率表面聲波時脈恢復電路佈局圖

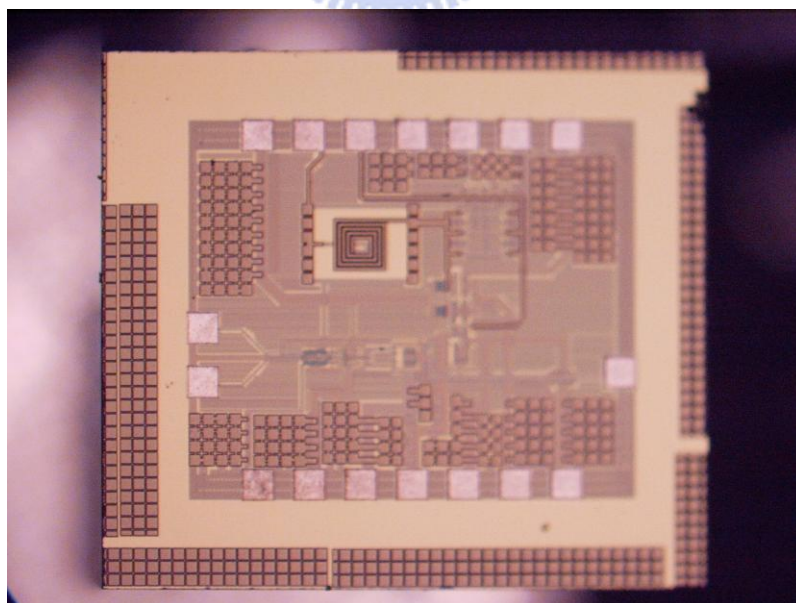


圖5-13 積體式半速率表面聲波時脈恢復電路裸晶圖

如圖 5-15 為其量測結果，與圖 5-6 比較可發現其較接近三次方曲線，此乃因相位偏移器並無外接造成干擾較少。相位雜訊量測的結果在 1kHz 時為-85.8dBc/Hz 而在 1MHz 為 -159.42dBc/Hz。

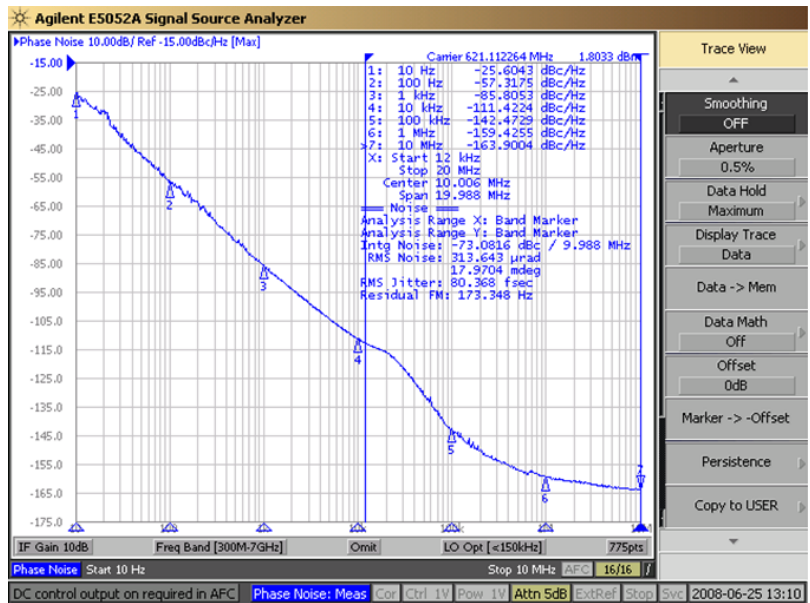


圖5-15 相位雜訊量測結果

如圖 5-14 為相位雜訊的量測圖，3dB 頻寬約 600Hz，相位雜訊在 1kHz 時為-88.69dBc/Hz 而在 1MHz 時有-164.24dBc/Hz，在低頻處因受限儀器的參考時脈不夠精準使其無法計算出低頻的雜訊。

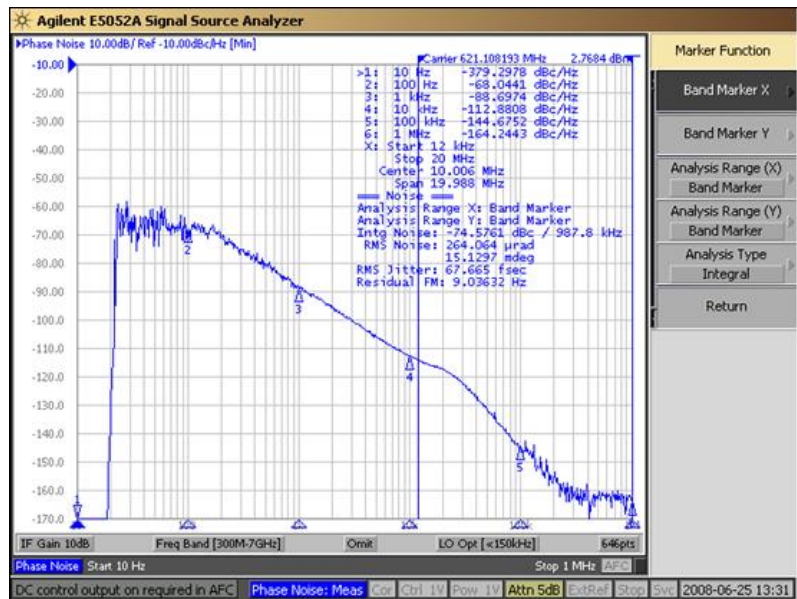


圖5-14 鎖定後相位雜訊量測結果

如圖 5-16 為其波形量測，利用 Agilent 86100C 量測到輸出結果為很漂亮的弦波
上升與下降時間為 461ps 與 442ps，duty cycle 為 47.2%。

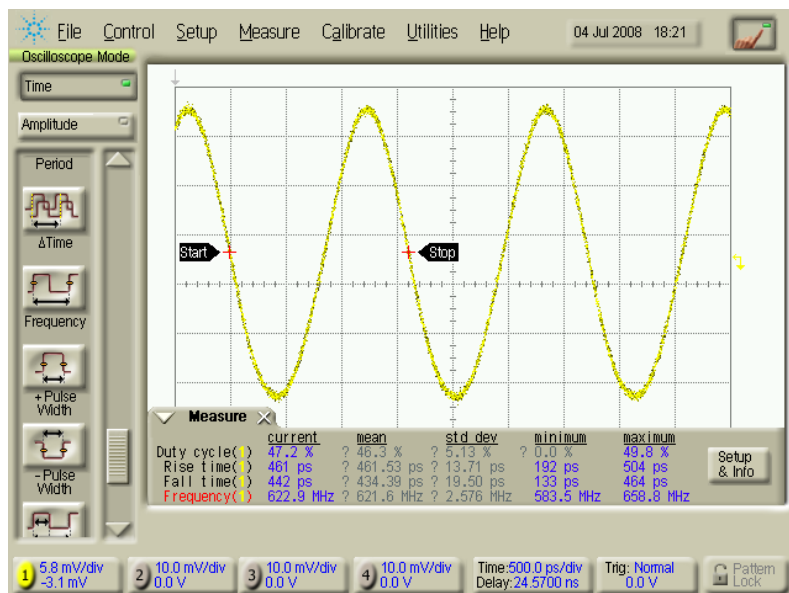


圖5-16 表面聲波器輸出波形

如圖 5-17 為 switch 電容開關後 VCSO 頻率改變的 KVCO，量測結果顯示 VCSO 的
頻率可調範圍非常小，大約只有 100K/V。

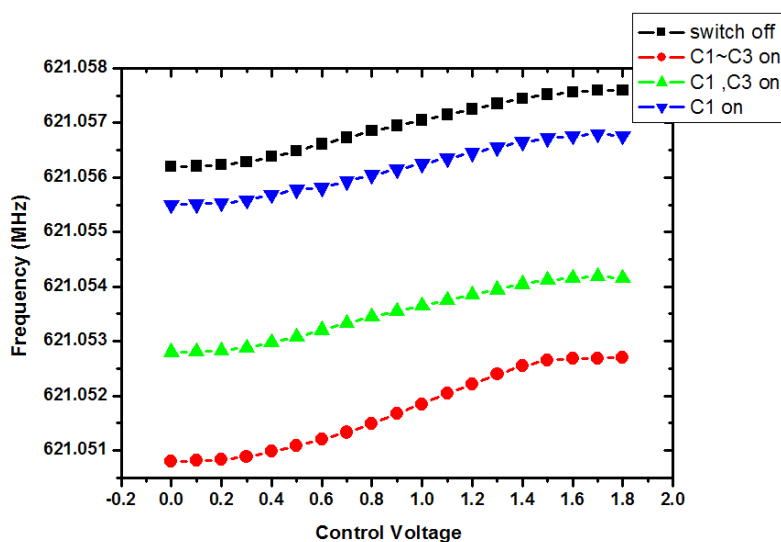


圖5-17 不同 Switch 下的 K_{vco} 曲線

圖 5-18 為鎖定前的量測圖，RMS jitter 約 0.92ps、peak-to-peak jitter 約 7.11ps
通常 Signal Generator 對輸出時脈的要求為小於 1ps，可得知利用 VCISO 得到的時脈抖動情形非常的小。

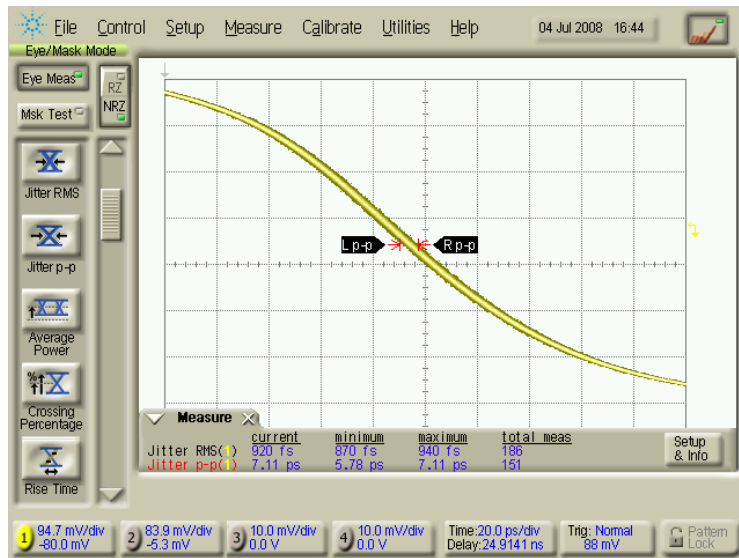


圖5-18 鎖定前 RMS jitter 與 P-P jitter

圖 5-19 為鎖定後的時脈，鎖定後時脈的抖動情形更小了，因為已經小於 1ps，其實此訊號或許有受限儀器解析度的問題而有失真現象。實際上的時脈抖動可能會好。

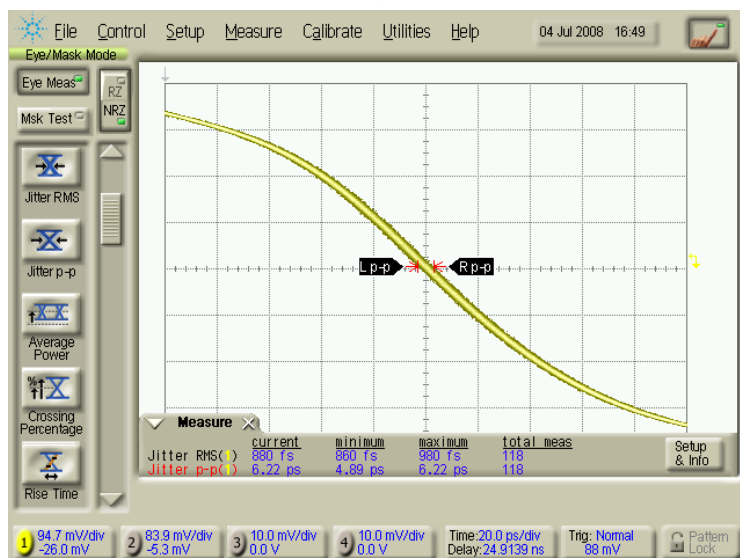


圖5-19 鎖定後 RMS jitter 與 P-P jitter

5-3 半速率表面聲波時脈回復電路眼圖量測

利用 Agilent N4901B Serial BERT 圖 5-20 配合 Agilent 86100C 進行量測，眼圖量測方法如圖 5-21 方塊圖所示。

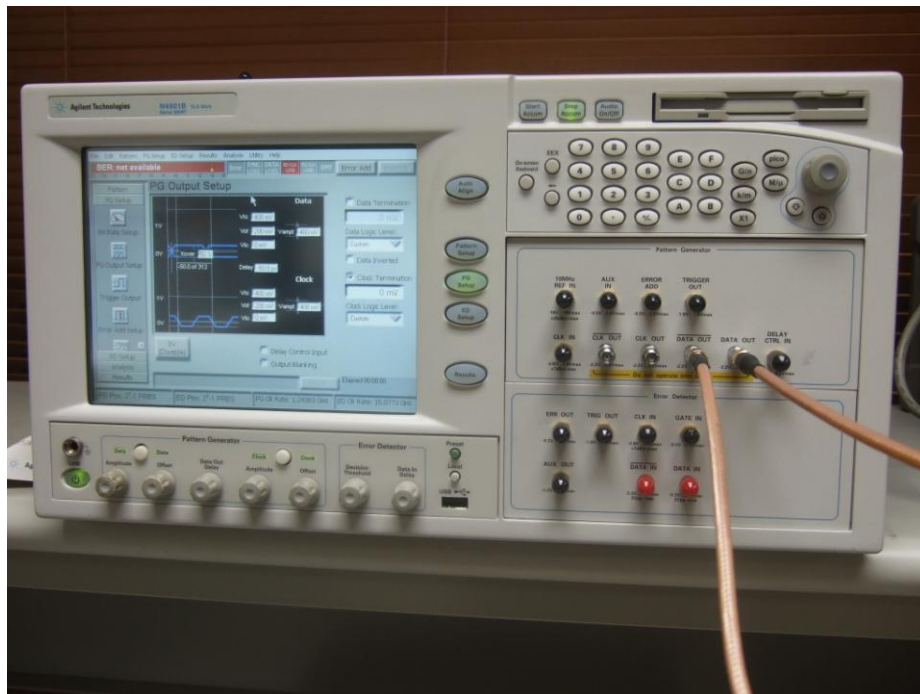


圖5-20 Agilent N4901B Serial BERT

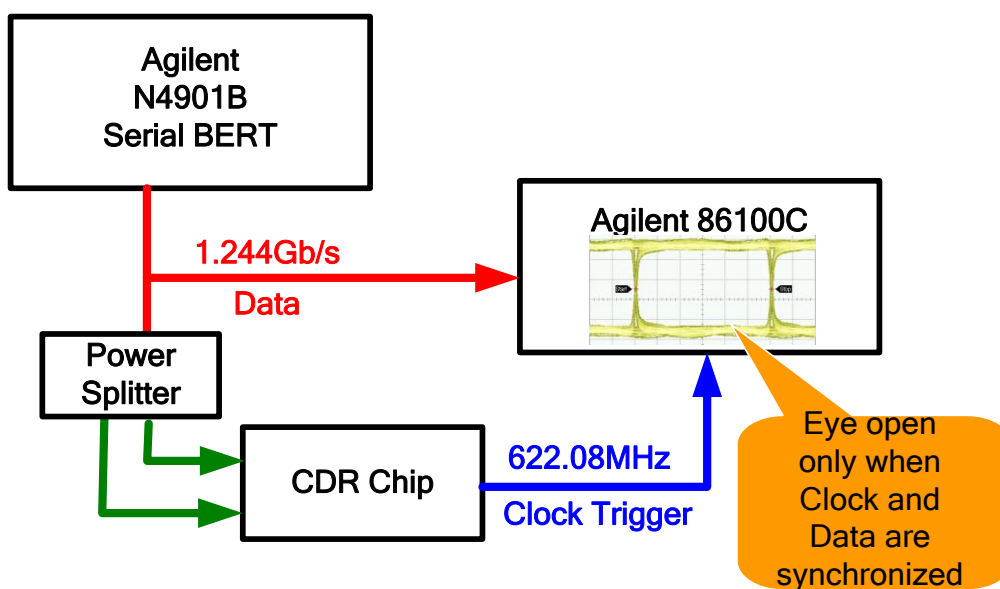


圖5-21 Eye Diagram measurement method

如圖 5-21 為眼圖的量測方法，由 Agilent N4901B Serial BERT 輸入 CDR。而再由 N4901B 送入一 NRZ 資料至 Agilent 86100C 中，而 CDR 的時脈將於 Agilent 86100C 中當觸發用，若觸發的時脈與 NRZ 訊號同步則眼圖即可打開，反之眼圖則開不出來。

因為利用 SAW based 的 CDR 其頻寬非常窄，本次設計只有 600Hz。因 NRZ 訊號的抖動非常大，舉 N4901B 為例其抖動大小 typical 為 9ps、頻率的誤差為 150fs。換句話說 1.25GHz 為 800ps 將會有 ± 150 fs 的誤差，對頻寬只有 600Hz 的影響非常大。故在量測 NRZ 資料頻率的解析度與頻飄影響將十分的大，故量測非常困難。

也因為上述的問題，我們可以先以 1.25Gb/s 的週期訊號試驗電路是否正確運作。

(通常 1.25Gb/s 的週期訊號其 jitter < 1ps，也無頻飄的問題)，在對 $2^{31} - 1$ NRZ 量測結果如圖 5-22。

此結果與 Serial BERT 自身量測的結果十分相近，原因為 SAW based 的 CDR 其輸出時脈的抖動情形已經與 Serial BERT 儀器中的時脈乾淨度相差無幾。

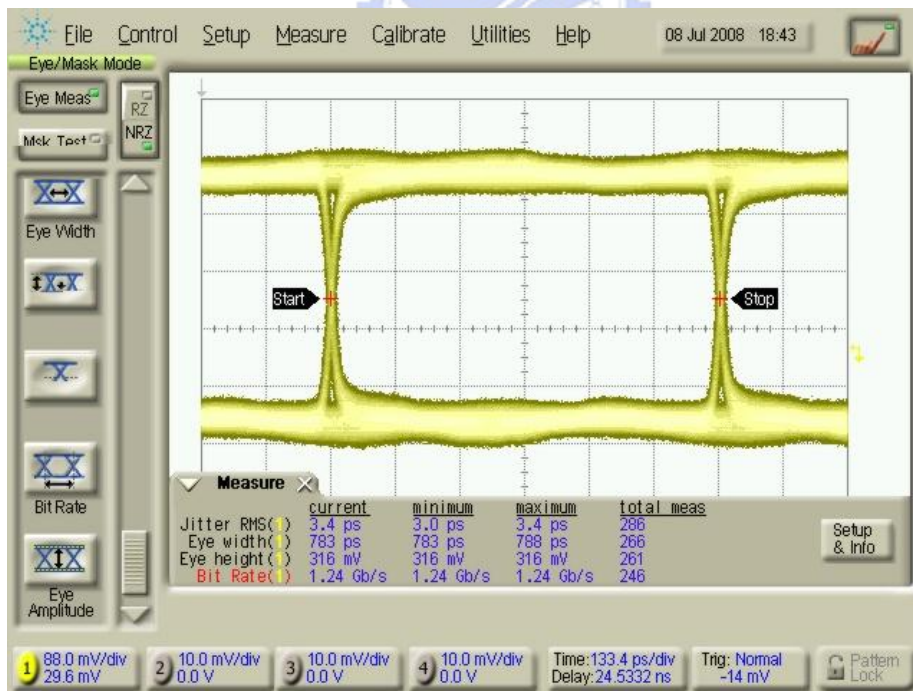
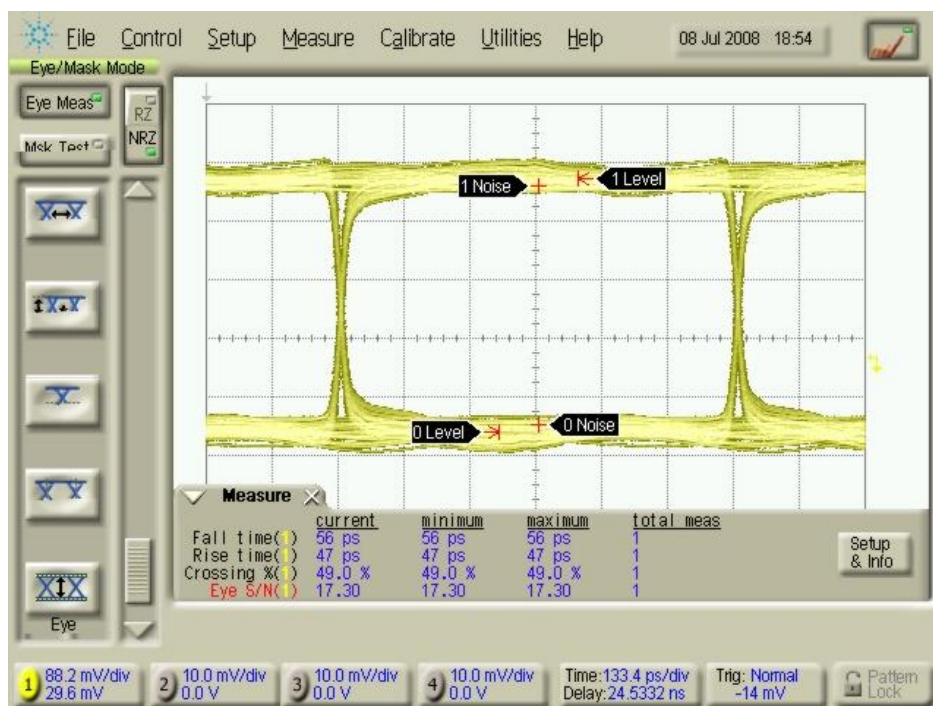


圖5-22 NRZ $2^{31} - 1$ eye diagram measurement (無透過 Power Splitter)

圖5-23 NRZ $2^{31}-1$ eye diagram measurement

有了上述的量測後，可以探知 CDR 電路運行並無問題，故開始探討解決 NRZ 輸入的問題。在量測的過程中，發現 NRZ 資料之於週期訊號對輸入阻抗的影響很大，由於量測時所使用的 Power Splitter 為 Coupler 式，此種 Power Splitter 受限於 range 不夠與阻抗問題將使經過 Power Splitter 的 NRZ 資料更不穩定(etc.波形受損、抖動更大)。若採用電阻式的 Power Splitter 應該即能改善，但電阻式 Power Splitter 其 loss 大約為 6dB，故在使用時位準的取決要特別注意。

如圖 5-24 與圖 5-25 所示為利用 Coupler 式的 Power Splitter 所量測的眼圖，與圖 5-22 比較可以看出在眼寬的地方差距很大，而在眼高處的影響較小，可能的原因為在時脈在 trigger 時 NRZ 資料與時脈彼此游移造成的結果。雖然 NRZ 失真嚴重造成量測波形的誤差但仍不影響電路正常運行操作。

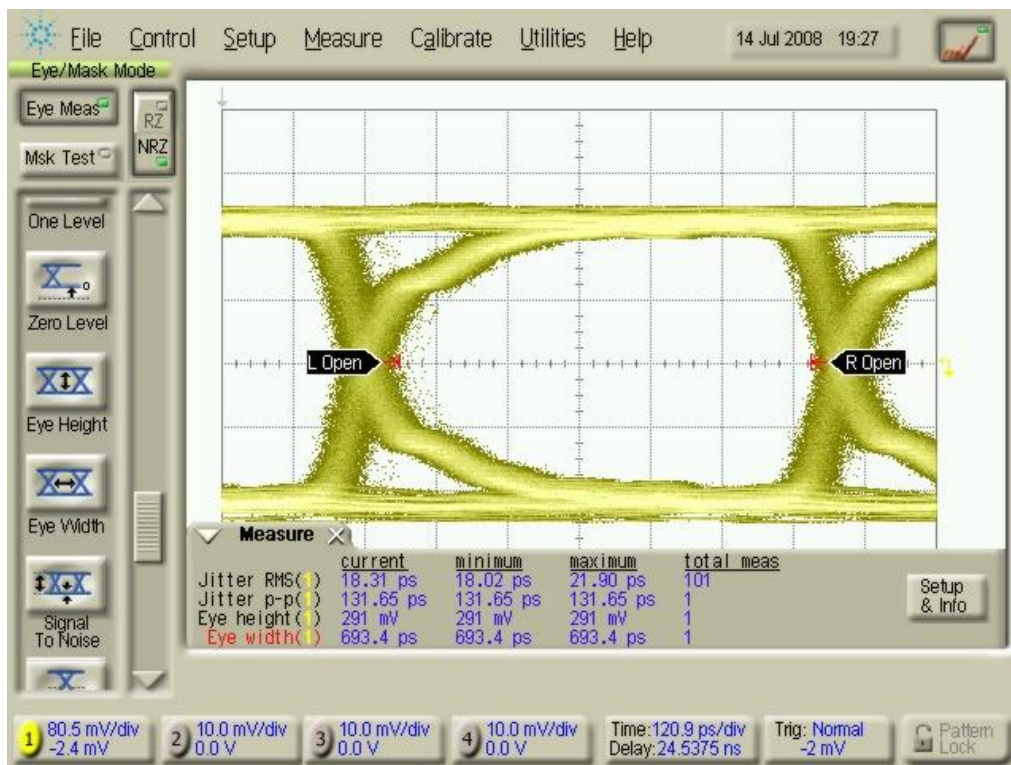


圖5-24 eye diagram (透過 Coupler Power Splitter)

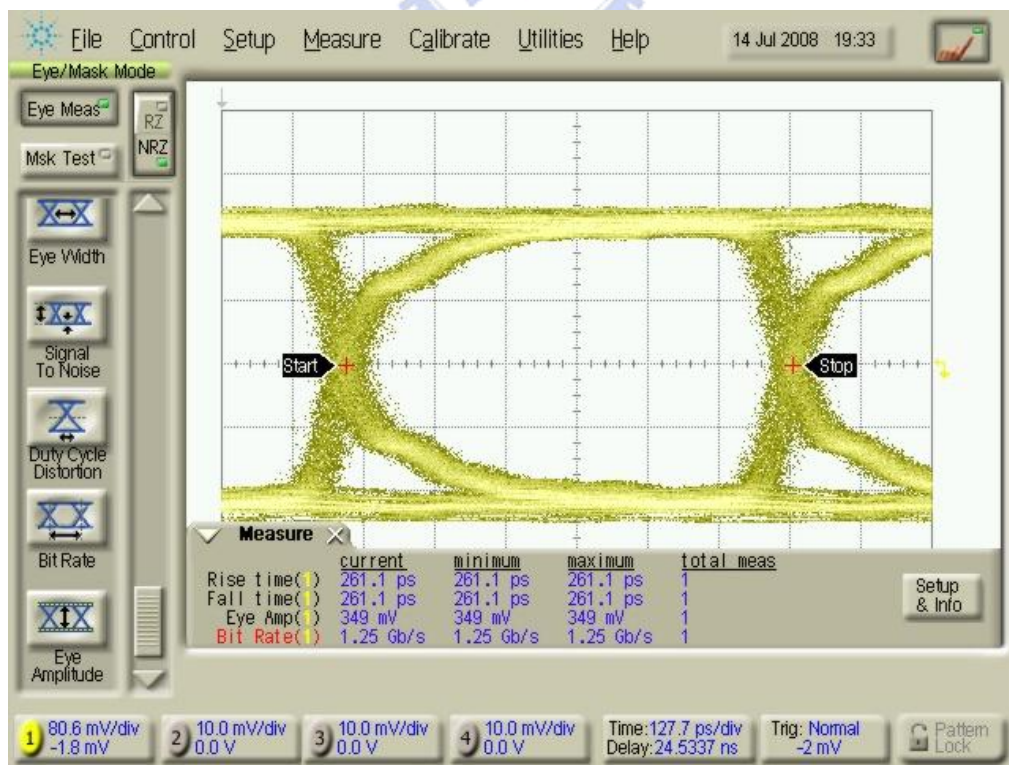


圖5-25 eye diagram measurement(透過 Power Splitter)

在本研究所設計之表面聲波振盪器與其他產品的比較，將相位偏移器外接的情況下所有較好的表現，由於僅使用單一級的放大器故在功率的損耗上有非常好的表現。另外在相位雜訊的表現上在 1MHz 也較其他產品略好。而在將相位偏移器積體化於 IC 中的情況下，因電感之設計 Q 值過小造成需要較大的電流才能使電路起振，相較於其他產品仍具有優勢。但其頻率可調範圍過小是其最大的缺點。

表5-1 本研究之表面聲波振盪器與其他產品規格比較

Factory	VECTRON	TXC	TAI-SAW	This Work I	This Work II
Product	VS-705	8P Series	TC0137A	NCTU909	NCTU909
Frequency	622.08MHz	500MHz-750MHz	622.08MHz	622.08MHz	622.08MHz
Supply Voltage	3.3V	3.3V	3.3V	1.2V	1.6V
Supply Current	73 mA	80mA	100mA Max	12mA	70mA
Operating Temperature	-40~85 度 C	-40~85 度 C	-40~85 度 C	N. A	N. A
Package size	5.0×7.5×2.5 mm	7.0×5.0×1.85 mm	7.0×5.0×1.85 mm	No package	No package
Swing(output)	750mV	0.1~0.9VDD	1V	762.5mV	585mV
Rise time	180 ps	170ps Max	600ps	199.08ps	192ps
Symmetry	45~55%	45~55%	45~55%	47.6~51.6%	46.3~49.8%
APR	+/-50ppm	N. A	200ppm	100ppm	+/-5ppm
Jitter (RMS)	N. A	N. A	N. A	1.287ps	920fs
Jitter (p. p)	N. A	N. A	N. A	10.9ps	7.11ps
Phase Jitter	150 fs	N. A	N. A	50 fs	80.36fs
Phase Noise	-110dBc/10kHz -130dBc/100kHz -147dBc/1MHz	-117dBc/10kHz -140dBc/100kHz -154dBc/1MHz	-109dBc/1kHz -110dBc/10kHz -109dBc/100kHz	-109dBc/10kHz -151dBc/100kHz -163dBc/1MHz	-111dBc/10kHz -142dBc/100kHz -159dBc/1MHz

而在時脈回復電路方面在 jitter 的表現上優於其他產品許多，主要的原因是 VCISO 的 jitter 十分的小，在功率消耗上也因為僅使用單一迴路的 CDR 故功率損耗也小上許多。

表5-2 本研究之時脈回復電路與其他論文、產品規格比較

Reference	[27]	[28]	ANALOG DEVICES AD808	This Work
Technology	CMOS 0.18um	CMOS 0.35um	N. A	NCTU909
Supply Voltage	1.8V	3.3V	-5.2V~+5V	1.8V
Chip size	1.4mm*1.4 mm	1.5mm*1.5mm	Package	595mm*949mm
Recover clock frequency	625MHz	1.25GHz	622.08MHz	622.08MHz
Measure Data rate	1.25Gb/s	1.25Gb/s	622.08Mb/s	1.244Gb/s
Operation range	0.95-1.3Gb/s	1.08-1.43GHz	620-624MHz	622M ± 300Hz
Power dissipation	32mW	258mW	400mW	30mv
Clock Jitter (rms)	6.66ps	1.696ps	N. A	1.0217ps
Clock Jitter (p.p)	34ps	13ps	N. A	7.6ps
Data Jitter (rms)	12.27ps	16.34ps	11.16ps	2.8ps
Data Jitter (p.p)	40ps	91.2ps	N. A	17.8ps

Note: NRZ Data for $2^{31} - 1$

第六章

結論



第六章

結論

本論文利用 TSMC 0.18um 製程實現一在 Stratum 3 下之表面聲波式半速率時脈資料回復電路。其中相位檢測器為半速率線性相位檢測器，而壓控振盪器為採用 VCISO 設計，由於使用半速率的架構且透過相位偏移器的 VCISO 可大大降低功率消耗。

並對時脈資料回復電路中的 VCISO 作量測，相位偏移器外接之量測結果核心電路功率消耗 12mW，VCISO 增益 300KHz/V，相位雜訊為-156dBC/Hz @1MHz offset，峰對峰抖動為 10.9ps，均方根抖動為 1.24ps，而積體式相位偏移器之 VCISO 核心電路功率消耗 112mW，VCISO 增益 100KHz/V，相位雜訊為-159dBC/Hz @1MHz offset，峰對峰抖動為 7.11ps，均方根抖動為 920ps。

而時脈資料回復電路的量測結果為：核心電路消耗 30mW，回復時脈的 RMS 抖動為 1.024ps 與 0.88ps 符合 Stratum3 的要求，在輸入資料為 $2^{31}-1$ PRBS，受限於 Coupler 式的 Power Splitter 重新取樣資料的均方根抖動為 18.31ps。

由於受限量測儀器的準確度必須將頻寬調寬，故量測的情形會有誤差，在眼圖與還原時脈上實際情形應該會有更好的表現。將來的改進方面將使 VCISO 的可調範圍再增加至 200ppm 而在立體電感的設計上需再重新設計以得到一個較高 Q 值的電感，另外在量測上必須使用電阻式的 Power Splitter 來進行量測，在測試過後相信會極優於上述眼圖的量測結果。

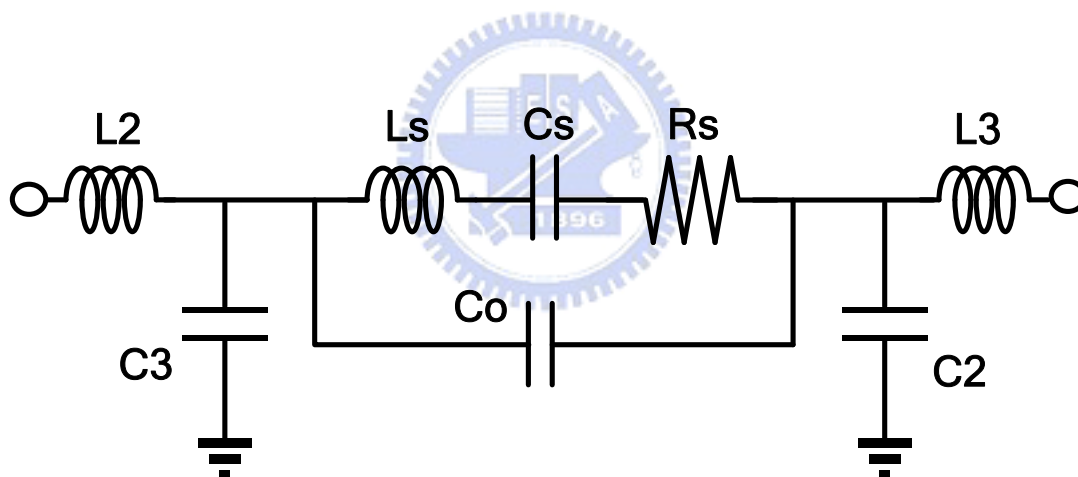
附錄



附錄 A

表面聲波共振腔模型萃取

在第二章裡所提及到的表面聲波共振腔 BVD 模型因忽略了封裝產生的寄生的電容將使共振腔的相位有錯誤的情形發生，若直接採用其相位差將會有約 20 度以上的不匹配，造成電路設計的錯誤。故在設計之初必須要等效出正確合理的模型才能使電路正確的起振，如圖 A-1 在原先的 BVD 模型中加入寄生電容與電感。其各元件參數如表 A-1。

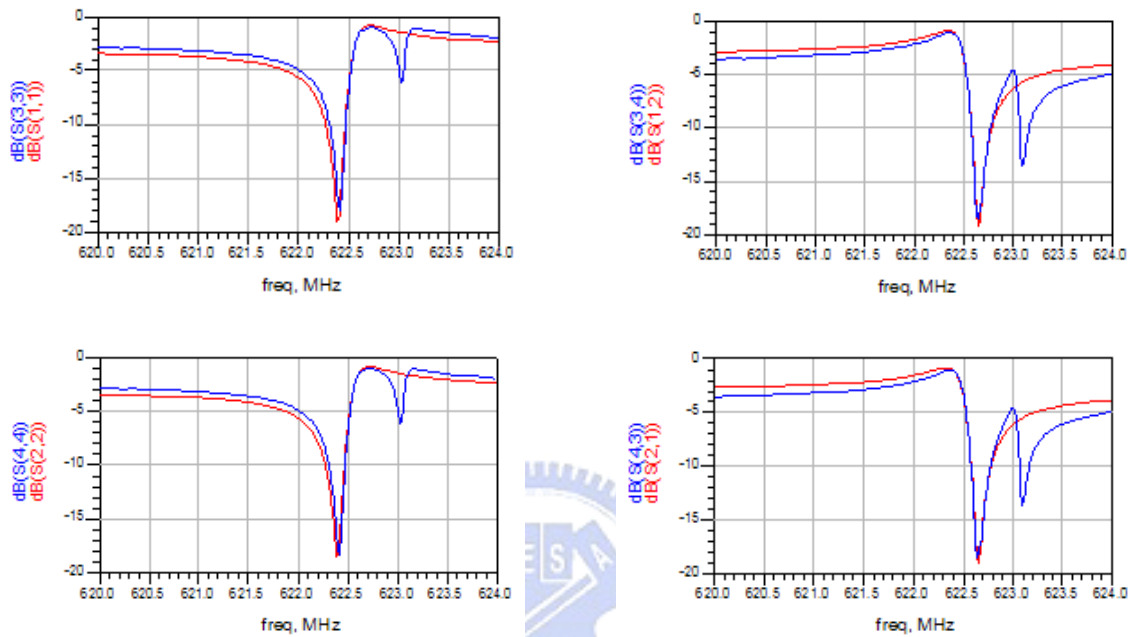


圖A-1 表面聲波共振腔模型

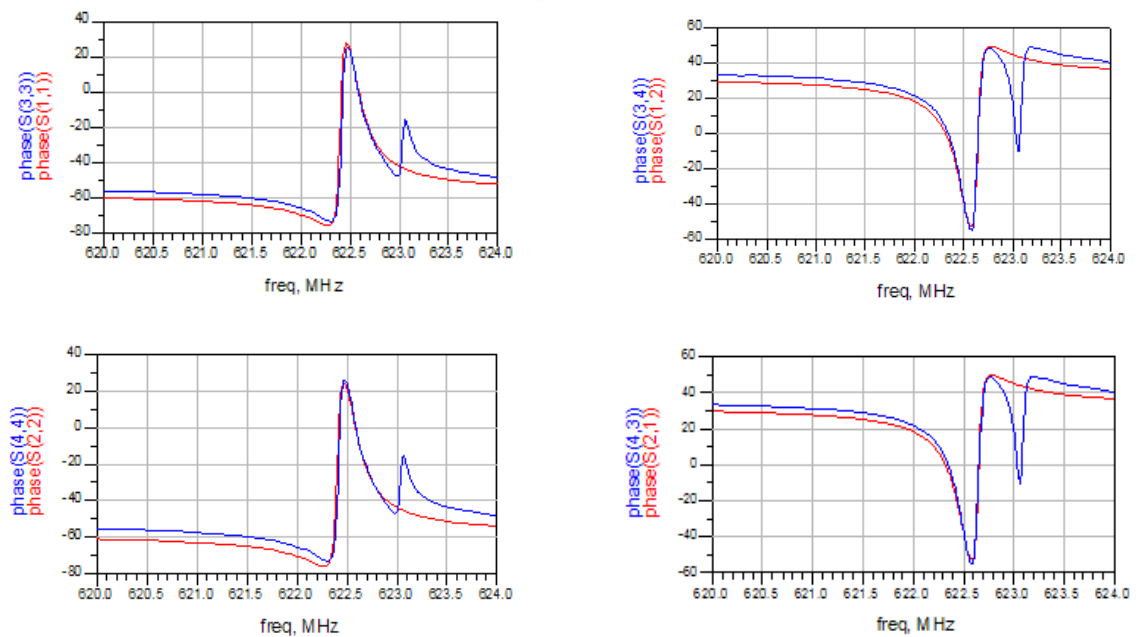
C0	Rs	Ls	Cs	C2	C3	L2	L3
2.746pF	10.93Ω	27.43uH	2.383fF	0.641pF	0.541pF	0.614nH	0.352nH

表A-1 表面聲波共振腔模型參數

經萃取後的近似模型時與量測所得到的 S 參數的比較如圖 A-2 與圖 A-3 所示，可知所近似的模型其相位的不準度已經改善至 5 度以內，故在設計振盪器時將以此模型進行模擬。



圖A-2 模型與量測各 S 參數比較

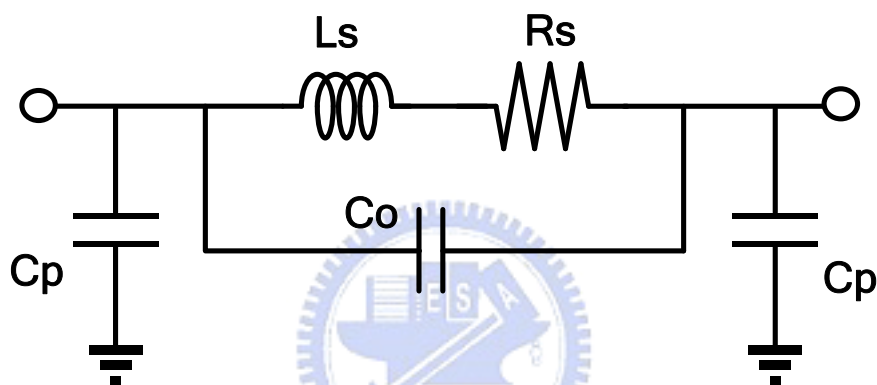


圖A-3 模型與量測各 S 參數相位比較

附錄 B

立體電感模型萃取

為了驗證電感感值的正確性，我們根據 RAZAVI 的理論分析[11]所得到的立體電感的簡化等效模型如圖 B-1 所示去萃取其各元件參數，其各項元件直如表 B-1 所示。



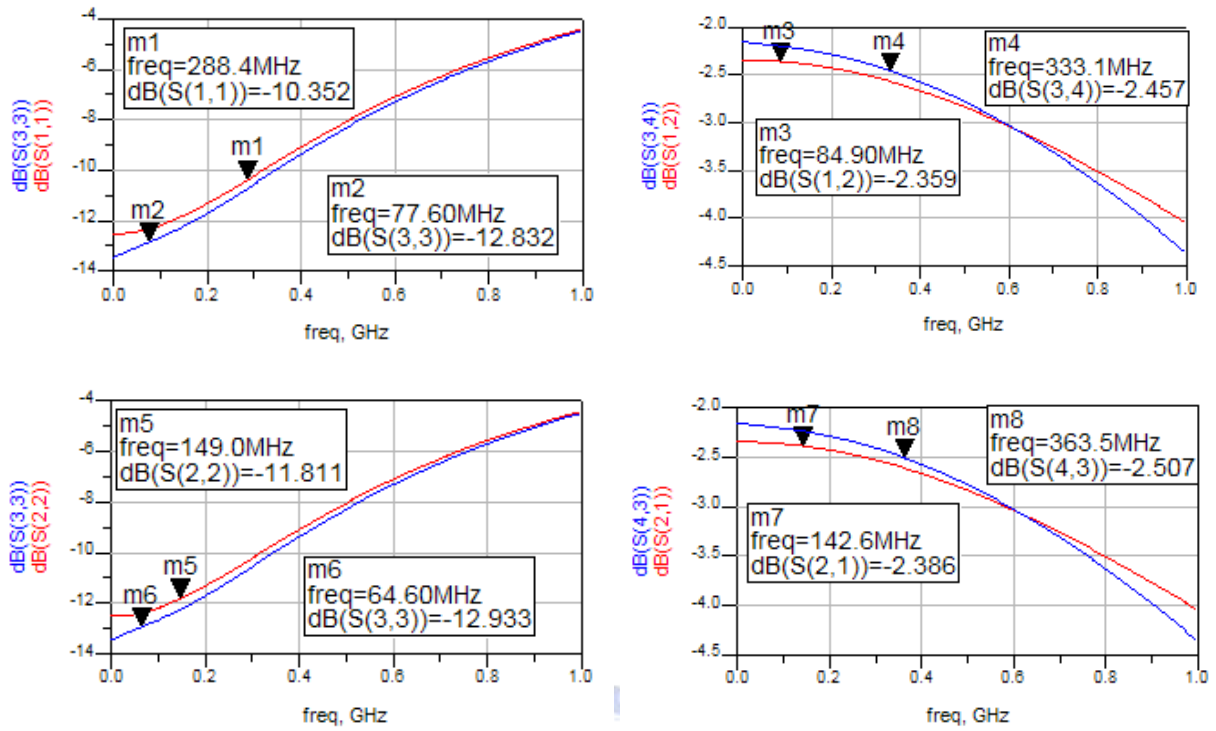
圖B-1 立體電感簡化等效模型

L_s	R_s	C_0	C_p
14.302nH	30.54 Ω	0.026pF	0.51fF

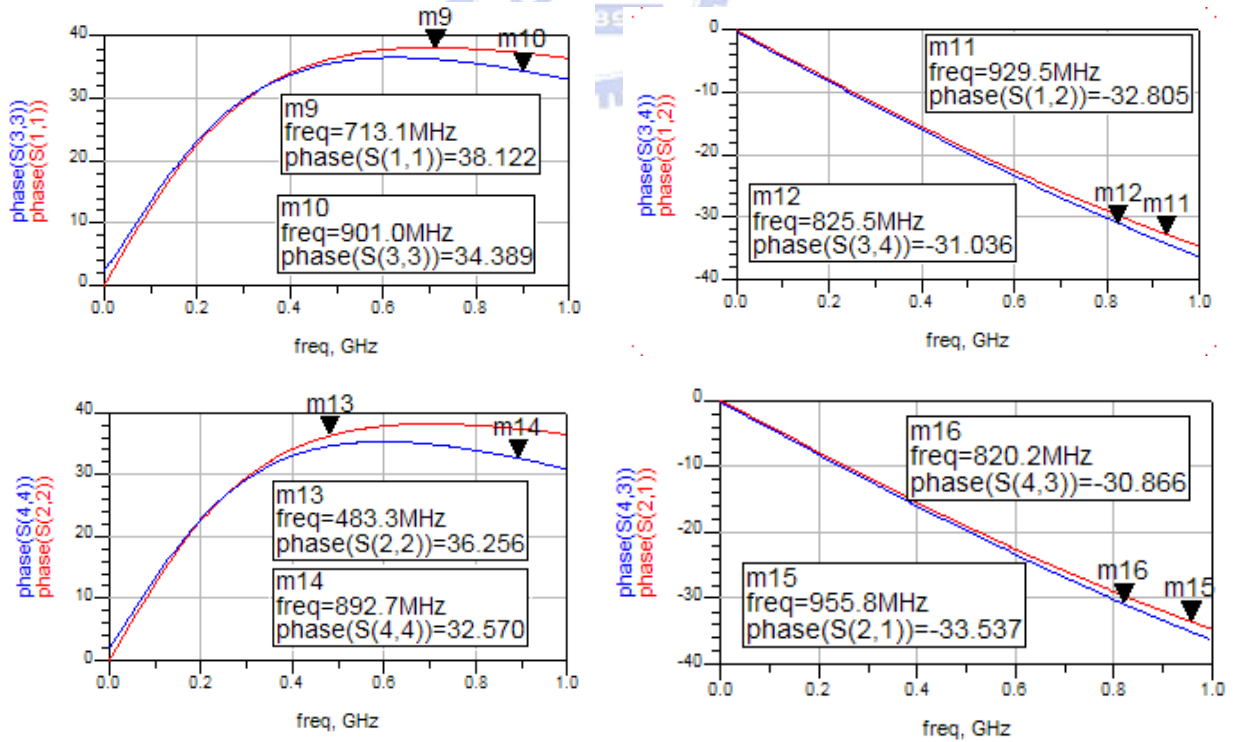
表B-1 立體電感模型各參數

經萃取後的近似模型時與量測所得到的 S 參數的比較如圖 B-2 與所示圖 B-3 所示。

其中所有奇數標示表等效的模型、而所有偶數的標示表經 EM-simulate 後的電感。



圖B-2 模型與量測各 S 參數比較



圖B-3 模型與量測各 S 參數相位比較

參考文獻

- [1] C.S. Lam, “BAW- and SAW-based Timing Recovery for Frequency Control Applications” *Acoustic Wave for Future Mobile Communication Systems*, March 5th ~ 7th, 2001, Chiba, Japan
- [2] B. Razavi, *Design of Integrated Circuits for Optical Communications*, McGraw-Hill, 2003.
- [3] B. Razavi, “Challenges in the Design of High-Speed Clock and Data Recovery Circuits,” *IEEE Communication Magazine*, vol. 40, pp. 94-101, Aug. 2002.
- [4] J. C. Scheytt, G.. Hanke, and U. Langmann, “A 0.155, 0.622, and 2.488 Gb/s Automatic Bit Rate Selecting Clock and Data Recovery IC for Bit Rate Transparent SDH systems,” *ISSCC Digest of Technical Papers*, pp. 348-349, Feb. 1999
- [5] J. Cao, “OC-192 Receiver in Standard 0.18 μ m CMOS,” *ISSCC Digest of Technical Paper*, vol. 1, pp. 250-464, Feb. 2002.
- [6] J. Cao and Michael Green, “OC-192 Transmitter and Receiver in Standard 0.18 μ m CMOS,” *IEEE J. Solid-State Circuit*, vol. 37, no. 12, pp. 1768-1780, December. 2002.
- [7] Lord Rayleigh, “On waves propagating along the plane surface of an elastic solid.” *Proc. London Math. Soc.*, Vol.7, pp.4-11, November 1885.
- [8] A. Ballato, “Modeling Piezoelectric and Piezomagnetic Devices and Structures via Equivalent Networks,” *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, Vol. 48, No. 5, September, 2001.
- [9] 康乃元, “低相位雜訊表面聲波壓控振盪器的研究”, 國立交通大學電信工程學系碩士班論文, 2007年7月
- [10] 謝銘鴻, “壓控石英振盪器精準頻率控制之研究”, 國立交通大學電信工程學系碩士班論文, 2005年9月

-
- [11] A. Zolfaghari, A. Chan and B. Razavi, “Stacked Inductors and Transformers in CMOS Technology” *IEEE J. Solid-State Circuit*, vol. 36, no. 4, April 2001.
- [12] W.Z. Chen and W.H. Chen, “Symmetric 3D Passive Components for RF ICs Application” *IEEE Radio Frequency Integrated Circuits Symposium* pp. 599 - 602 June 2003
- [13] A. Kral, F. Behbahani, and A. A. Abidi, “RF-CMOS oscillators with switched tuning,” *IEEE Custom Integrated Circuits Conference*, pp. 555- 558,1998.
- [14] A. D. Berny, A. M. Niknejad and R. G. Meyer, “A Wideband Low-Phase Noise CMOS VCO,” *IEEE Custom Integrated Circuits Conference*, pp. 555-558, 2003.
- [15] B. Razavi, *Phase-Locking in High-Performance Systems : From Devices to Architectures*, Wiley-IEEE Press, pp. 3- 12, February, 2003.
- [16] C. Hogge, “A self-correcting clock recovery circuit,” *IEEE J. Lightwave Technology*, vol. LT-3, no. 6, pp. 1312-1314, December 1985
- [17] S. B. Anand and B. Razavi, “A CMOS clock recovery circuit for 2.5-Gb/s NRZ data,” *IEEE J. Solid-State Circuit*, vol. 36, no. 3, pp. 432-439, Mar. 2002.
- [18] J. Savoj and B. Razavi, “A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector,” *IEEE J. Solid-State Circuits*, May 2001.
- [19] 高曜煌, “射頻鎖相迴路 IC 設計,” 滄海書局, 2005
- [20] Vectron International “Application Note TRU050”
<http://www.vectron.com/products/fxweld/tru050.htm>
- [21] 何邦郁, “應用於 10GBASE-LX4 之 3.125GHz 半速率時脈資料回復電路”, 國立交通大學電信工程學系碩士班論文, 2007 年 7 月

- [22] M. M. Green and U. Singh, "Design of CMOS CML circuits for high-speed broadband communications," *Proc. IEEE International Symposium Circuits and Systems*, vol. II, pp. 204-207, May 2003.
- [23] 劉深淵、楊清淵, "鎖相迴路," 滄海書局, 2006
- [24] W. Rhee, "Design of high-speed CMOS charge pumps in phase-locked loops," *Proc. IEEE International Symposium Circuits and Systems*, vol. II, pp. 545-548, May 1999.
- [25] J. F. Parker and D. Ray, "A 1.6-GHz CMOS PLL with On-Chip Loop Filter" *IEEE J. Solid-State Circuit*, vol. 33, no. 3, pp. 337-343, March 1998.
- [26] J. H. Esdras and D. S. Alejandro, "A novel CMOS charge-pump circuit with positive feedback for PLL application," *Proc. IEEE International Symposium Circuits and Systems*, vol. 1, pp. 002-005, October 2001.
- [27] C. Y. Yang and J. M. Lin, "A 1.25-Gb/s Burst-Mode Half-Rate Clock and Data Recovery Circuit Using Realigned Oscillation," *IEICE TRANS. ELECTRON.*, vol. E90-C, no.1, January 2007.
- [28] 余明士, "Design and Application of a 1.25Gb/s Clock and Data recovery," 國立台灣大學電子工程學系碩士班論文, 2002年6月