

國立交通大學

材料科學與工程學研究所 碩士論文

利用電漿輔助原子層沉積法沉積之氮化鈮擴散阻障層
及其與銅金屬之附著性研究

Film Treatments for the Plasma Enhanced Atomic Layer
Chemical Vapor Deposited TaN_x Barrier to Enhance the
Adhesion Strength with Copper

研究生：陳靜雯

指導教授：潘扶民 博士

中華民國 九十七 年 七 月

利用電漿輔助原子層沉積法沉積之氮化鈮擴散阻障層

及其與銅金屬之附著性研究

Film Treatments for the Plasma Enhanced Atomic Layer

Chemical Vapor Deposited TaN_x Barrier to Enhance the Adhesion

Strength with Copper

研究生：陳靜雯

Student : Ching-Wen Chen

指導教授：潘扶民

Advisor : Fu-Ming Pan



Submitted to Department of Materials Science and Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master
in

Materials Science and Engineering

July 2008

Hsinchu 30050, Taiwan, ROC

中華民國 九十七 年 七月

利用電漿輔助原子層沉積法沉積之氮化鈮擴散阻障層 及其與銅金屬之附著性研究

研究生：陳靜雯

指導教授：潘扶民博士

國立交通大學

材料科學與工程研究所

摘要

本論文主要探討以電漿輔助原子層化學氣相沉積法沉積氮化鈮擴散阻障層薄膜，並研究其與銅導線之製程相容性，我們使用快速升溫退火與氫電漿處理等表面改質方法，改善阻障層氮化鈮與銅製程之間界面的附著強度，並與銅/鈮/氮化鈮疊層結構進行比較，以期達到改善金屬銅膜與氮化鈮阻障層間的附著性，並減少製程之複雜度。

我們在氮化鈮擴散阻障層薄膜的沉積過程中，藉由調控氮氣/氫氣的氣體流量比與射頻電漿功率，可以得到較低的薄膜電阻率($\sim 294 \mu\Omega\text{-cm}$)；且利用穿透式電子顯微鏡來觀察不同沉積圈數的氮化鈮薄膜厚度，得知其成長速率約為 0.52 \AA/cycle ；同時根據 X 光繞射儀分析結果知，氮化鈮薄膜在 700°C 的高溫熱處理下，仍能維持其原先室溫時的非晶質結構，顯示其具有高熱穩定性。接續對銅/氮化鈮疊層進行真空退火處理，研究結果

發現經過 600 °C 熱處理後氮化鈮仍能有效阻擋銅原子擴散。此外，不論是經過 700 °C (15 % 氫氣) 熱處理或是 500 mTorr 工作壓力下之氫電漿處理，皆能有效改善銅/氮化鈮疊層的介面附著強度。



Film Treatments for the Plasma Enhanced Atomic Layer Chemical Vapor Deposited TaN_x Barrier to Enhance the Adhesion Strength with Copper

Student : Ching-Wen Chen

Advisor : Dr. Fu-Ming Pan

Department of Materials Science and Engineering

National Chiao Tung University

Abstract

Adhesion strength between copper and TaN is relatively weak. In the study, we performed various surface treatments for the TaN_x diffusion barrier layer to improve the adhesion strength with copper.

The TaN_x barrier layer was deposited by plasma enhanced atomic layer chemical vapor deposition (PE-ALCVD). TaCl₅ was used as the solid precursor. By properly tuning the deposition conditions, such as the plasma power, N₂/H₂ flow ratio and deposition cycle time, we could prepared uniform ultra-thin TaN_x films with a low electrical resistivity (~294 μΩ-cm) on the thermally grown the SiO₂ substrate. The PE-ALCVD TaN_x barrier layer could effectively block Cu diffusion into the SiO₂ substrate up to 600°C according to x-ray diffraction and electron microscopy studies.

In order to improve the adhesion strength between Cu and the TaN_x barrier layer, H₂ plasma treatment and rapid thermal annealing (RTA) were used to modify the chemical composition of the surface of the barrier. Both treatments could effectively reduce the surface region of the TaN_x layer according to surface analyses. The enrichment in the Ta composition on the surface of the TaN_x barrier resulted in a better adhesion strength between the sputter deposited Cu and the PE-ALCVD TaN_x, which was comparable to that between the Cu and the Ta/TaN_x bilayer structure.

誌謝

首先我要感謝我的指導教授潘扶民博士，老師悉心的教導使我得以一窺 IC 領域的深奧，不時的討論並指點我正確的方向，無論在專業領域的研究或是待人處世，都讓我獲益良多。老師對學問的嚴謹更是我輩學習的典範，在此我要對潘扶民老師致上我最高的謝意。

實驗室裡要首要感謝智傑學長與宜芳學姊，在我剛進實驗室的時候，帶我了解實驗室中所有大小事，讓我快速的融入實驗室的生活，還有喜歡起飛的德銘學長，親切的貞君學姊，做事認真嚴謹的志豪學長，外表很老實的灰灰學長，常常幫忙我做 ESCA 的重守學長，每天笑容滿面的阿傑與宥浦學長，要一起畢業的全雯、子中，還有怡萱、秀瑛、青蛙，謝謝你們的陪伴與幫忙，讓我碩士班生涯過的多彩多姿。

男朋友旻峰在背後的默默支持更是我前進的動力，你的體諒、包容，是我這兩年的生活進步的原動力，最後要感謝我的家人，在你們的支持和鼓勵下，讓我能順利完成研究與學業，並帶給我人生莫大的喜悅。

目錄

中文摘要	I
英文摘要	III
誌謝	IV
目錄	V
圖目錄	VIII
表目錄	XI
第一章、前言與研究目的	1
第二章、文獻回顧	8
2.1 擴散阻障層	8
2.1.1 阻障層的定義	9
2.1.2 擴散阻障層的種類	10
2.1.3 擴散阻障層之發展	12
2.2 原子層沉積	15
2.2.1 原子層沉積法簡介	15
2.2.2 先驅物分子結構與基材表面性質對於 ALD 製程之影響	18
2.2.3 原子層沉積之儀器設備	18
2.3 阻障層與銅膜之附著性質	20

第三章、實驗方法與步驟-----	23
3.1 實驗流程-----	23
3.2 實驗設備-----	26
3.2.1 電漿輔助原子層沉積系統-----	26
3.2.2 快速退火系統-----	27
3.2.3 後段真空退火系統-----	27
3.3.4 高密度電漿化學氣相沉積系統-----	27
3.3 分析儀器-----	29
3.3.1 四點探針-----	29
3.3.2 化學分析電子儀-----	29
3.3.3 掃描式電子顯微鏡-----	31
3.3.4 歐傑電子能譜儀-----	31
3.3.5 原子力顯微鏡-----	32
3.3.6 穿透式電子顯微鏡-----	33
3.3.7 X 光繞射儀-----	34
3.3.8 附著力測試系統-----	34
第四章、結果與討論-----	35
4.1 阻障層氮化鈮薄膜的電性-----	35
4.1.1 改變氮氣與氫氣氣體流量比例沉積 TaN _x 薄膜-----	35

4.1.2 改變 RF 電漿功率沉積 TaN _x 薄膜-----	38
4.2 最佳電性參數條件下 TaN _x 薄膜之性質-----	41
4.2.1 晶體結構-----	41
4.2.2 化學成分-----	43
4.2.3 成長速率-----	45
4.2.4 表面形貌-----	48
4.2.5 熱穩定性-----	50
4.3 Cu/TaN _x /SiO ₂ /Si 的阻障特性-----	52
4.3.1 XRD 分析-----	52
4.3.2 片電阻觀察-----	54
4.3.3 表面型態-----	55
4.4 Cu/TaN _x 附著力之探討與比較-----	57
4.4.1 15 % 氬氣的 RTA 熱處理-----	58
4.4.2 氬電漿前處理-----	59
4.4.3 Ta/TaN _x 疊層結構-----	61
第五章、結論-----	68
5.1 研究結論-----	68
5.2 未來工作-----	70
參考文獻-----	71

圖目錄

圖 1-1 時間延遲對元件尺寸之關係-----	6
圖 1-2 擴散阻障層於 IC 結構之應用及位置-----	7
圖 2-1 擴散阻障層於薄膜疊積架構中之示意圖-----	14
圖 2-2 擴散阻障層之種類示意圖 (a)被動型阻障層 (b)犧牲型阻障層 (c)填充型阻障層 (d)無晶界阻障層-----	14
圖 2-3 原子層沉積法反應機構示意圖-----	17
圖 2-4 原子層沉積窗口描述表面薄膜成長過程速率與溫度的關係-----	17
圖 2-5 銅膜與下方擴散阻障層的介面關係-----	22
圖 3-1 實驗流程圖 I -----	24
圖 3-2 實驗流程圖 II -----	25
圖 3-3 電漿輔助原子層沉積系統-----	28
圖 3-4 電漿輔助原子層沉積的反應步驟原理-----	28
圖 3-5 四點探針結構示意圖-----	29
圖 3-6 化學分析電子儀的原理-----	30
圖 3-7 歐傑電子能譜儀的原理-----	32
圖 3-8 原子力顯微鏡的原理-----	33
圖 4-1 在不同 N_2/H_2 氣體流量比條件下， TaN_x 薄膜電阻率的變化情形---	37
圖 4-2 在不同 RF 電漿功率條件下， TaN_x 薄膜電阻率變化情形-----	40

圖 4-3 TaN _x 薄膜的 GIXRD 晶體結構分析-----	42
圖 4-4 TaN _x 薄膜經過 Curve-Fitting 後之 XPS 4f 能譜圖-----	44
圖 4-5 PE-ALD TaN _x 的薄膜沉積速率-----	46
圖 4-6 PE-ALD TaN _x 在不同製程沉積圈數下的 TEM 影像(a) 150 cycles (b) 225 cycles (c) 275 cycles (d) 325 cycles-----	47
圖 4-7 TaN _x 薄膜的 TEM 影像-----	48
圖 4-8 TaN _x 薄膜的 AFM 2D 及 3D 影像-----	49
圖 4-9 TaN _x 薄膜的 SEM 影像-----	49
圖 4-10 TaN _x 薄膜之熱穩定性-----	51
圖 4-11 Cu/TaN _x /SiO ₂ /Si 阻障系統在不同熱處理溫度下之 X-ray 繞射分析結 果 (a) 25 °C (b) 400 °C (c) 600 °C (d) 800°C-----	53
圖 4-12 Cu/TaN _x /SiO ₂ /Si 阻障系統經熱處理過後之銅薄膜片電阻變化情形 -----	54
圖 4-13 Cu/TaN _x /SiO ₂ /Si 阻障系統在 800 °C 熱處理之 SEM 表面型態照片--	56
圖 4-14 TaN _x 薄膜經表面處理後之 XPS curve-fitting 圖 (a) Untreated (b) 700 °C 的 RTA (15 % H ₂) 熱處理 (c) 500 mtorr 氫電漿處理 (d) Ta/TaN _x 疊 層結構-----	63
圖 4-15 TaN _x 薄膜經表面處理且鍍銅退火後之 SEM 影像 (a) Untreated (b) 700°C 的 RTA (15 % H ₂) 熱處理 (c) 500 mtorr 氫電漿處理 (d) Ta/TaN _x 疊層結構-----	64

圖 4-16 TaN_x 薄膜經表面處理且鍍銅退火後之 AFM 影像 (a) Untreated (b) 700 °C 的 RTA (15 % H₂) 熱處理 (c) 500 mtorr 氫電漿處理 (d) Ta/TaN_x 疊層結構-----65

圖 4-17 Cu/Ta/TaN_x 450°C 退火一小時後之 SEM 影像 (a) 經 500 mTorr 氫電漿處理 (b) 未經 500 mTorr 氫電漿處理-----66

圖 4-18 TaN_x 薄膜經各種表面處理且鍍銅退火後之 Adhesion Strength。其中 A. Untreated B. 700 °C 的 RTA (15 % H₂) 熱處理 C. 500 mtorr 氫電漿處理 D. Ta/TaN_x 疊層結構-----67



表目錄

表 1-1 MPU 內連接導線製程需求之比較-----	7
表 4-1 不同晶體結構之 Ta-N 薄膜間的關係與其相對應之薄膜電阻率-----	37
表 4-2 TaN _x 在不同 RF 電漿功率條件下之 XPS 成分分析結果-----	40
表 4-3 不同化合物中 Ta 4f 電子束縛能-----	43
表 4-4 TaN _x 薄膜經氫電漿處理後之表面粗糙度-----	66
表 4-5 Ta/TaN _x 之試片表面粗糙度-----	66



第一章、前言與研究目的

自積體電路(Integrated circuits, IC)發明以來，IC 的內連接導線技術一直以鋁導線及二氧化矽介電層做為主要使用的材料。但當 ULSI 製程進入深次微米的領域時，元件效能雖然因為閘極(gate)尺寸縮小而提升，但晶片的效能卻同時被導線連接速度所限制。如圖 1-1^[1]所示，導線延遲(interconnect delay)在金氧半場效電晶體 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)閘極線寬小於 0.25 微米時會大幅的上揚，並且其上升的幅度遠大於因閘極線寬縮小所減少的閘極延遲(gate delay)，進而限制了晶片效能的提升，而成為影響元件操作速度及效能的最主要因素。

導線延遲主要來自電阻-電容時間延遲(RC Time Delay)^[2]，此時間延遲是導線電阻值(R)與導線之間的介電層其電容值(C)之乘積。因為在元件中金屬導線總長度的增加、截面積的縮小，造成導線電阻值的增加，此外，內連接導線間の間隔變小也造成電容值的上升，導致整體元件 RC 值的上升而造成時間延遲。由此可知如欲降低時間延遲主要有兩種方法，降低所使用的金屬導線之電阻率，或是降低介電材料的介電常數，即採用低介電常數材料。

對於傳統的 IC 產業界而言，導線連接系統主要由鋁合金金屬與二氧化矽介電層所構成。而鋁金屬電阻率為 $2.7 \mu\Omega\text{-cm}$ ，且二氧化矽之介電常數為

3.9，故如欲降低金屬電阻率或介電層之介電常數，表示導線金屬及介電層必須要用新的材料來代替。

由於銅的電阻率大約為 $1.67 \mu\Omega\text{-cm}$ ，具有低電阻的特性，因此以銅為導線的元件可有效減低時間延遲，並可承受更密集的電路排列，如此將大大減少所需金屬連接層的數目，進而降低生產成本並提升元件的運算速度。而隨著元件尺寸持續的縮小，導線內的電流密度(current density)將會持續的增加，當電流密度大於 10^6 A/cm^2 時，以鋁或鋁合金金屬作為導線材料的元件，將會因為電致遷移效應(electro-migration effect)使得元件失效。然則銅因為具有比鋁還高的抗電致遷移能力，因此銅為導線材料的元件能夠比鋁導線元件具有更好的產品可靠度。

但是使用銅作為導線材料仍然有其缺點。首先，即使是在很低的製程溫度之下銅原子也很容易擴散進入二氧化矽層或是矽基材中，並反應生成銅-矽化合物，進而造成元件性能的劣化。此外銅容易被氧化，但卻無法像鋁一樣形成氧化保護層以防止氧化現象繼續發生，因此需要鍍製一層保護用的鈍化層(passivation layer)，增加了製程的複雜度。另外銅本身不容易被乾蝕刻，即使利用活性離子蝕刻(Reactive Ion Etch, RIE)，所產生的鹵化物在 200°C 以下為固態並不會氣化，所以如欲使用銅的活性離子蝕刻表示反應溫度必須大於 200°C ，如此將會造成光阻的劣化，無法進行銅的圖

案化(pattern)，但是此點可使用鑲嵌式(damascene)製程方法來克服。

由於銅原子極易在氧化層或是矽材料之內擴散的特性，因此避免銅擴散造成元件性能劣化一直是業界所需要面對的重要課題。故在沉積銅金屬前必須要先沉積一層擴散阻障層。在銅導線技術中，銅導線下方的基底層(base layer)是由擴散阻障層(barrier layer)與銅晶種層(seed layer)所組成。關於薄膜擴散阻障層的演進，在早期的鋁合金時代仍是以鈦(Ti)或氮化鈦(TiN)做為阻障材料。而在邁入銅製程之後，由於氮化鈦薄膜應用在銅金屬導線製程中，其阻障效果並不甚理想。因此，工業界所習用之金屬陸續不斷地被研究及發展應用於薄膜阻障層的可行性，其中又以部分的耐火過渡金屬(refractory transition metal)及其氮化物最受矚目。

而一般對擴散阻障層金屬的要求可摘要如下^[3]：

1. 電阻係數不可過高($< 1000 \mu\Omega\text{-cm}$): 擴散阻障層的薄膜導電性質要好，且與金屬連線層疊積所產生的有效串聯電阻值能盡量地減少，以降低訊號傳遞過程的電阻電容時間延遲。
2. 具備適當的黏著性質：阻障層與銅膜及介電層間需有適當的附著性與潤濕特性(wetting property)，另外其與接觸材料的界面平整性及粗糙度(roughness)對於薄膜的結構及電性也會有所影響。
3. 有良好的阻障效果以防止銅的穿透擴散：元件於高溫製程及實際

操作中，擴散阻障層能有效抑制銅原子擴散到矽元件內部，並使界面處無層間原子或離子的交互反應與相互擴散。

4. 具有高溫之熱穩定性：擴散阻障層不會因後段製程的高溫退火處理，使內部有結構性的改變，或與接觸之薄膜層材料發生反應，並且需有抵抗熱疲勞破壞(thermal fatigue)的能力。
5. 良好的階梯覆蓋性：製程上能配合現有之鍍膜技術，並達到良好之階梯覆蓋特性(step coverage)，可均勻地包覆銅與接觸材料表面，以因應高深寬比之元件設計。

由於邏輯元件的設計規則(design rule)若以三年為一個世代，則製程技術的改善及新材料的使用將會造成元件尺寸以 70 % 的比例縮小。因此該聯盟預估 IC 產業在 2010 年將會進入 45 nm 的世代，為了有效降低具有較高電阻值的阻障層對元件整體有效電阻(Effective Conductor Resistance)的影響，擴散阻障層的厚度必須由 65 nm 製程的 5.2 nm 逐步縮減到 45 nm 製程時的 3.3 nm，如表 1-1^[4]所示。

隨著元件引洞及溝槽的深寬比(Aspect Ratio, AR)持續不斷地增加之際，當元件的尺寸縮小到 45 nm 製程的尺度時，使用物理氣相沉積法(Physical Vapor Deposition, PVD)沉積薄膜擴散阻障層，將無法有效填入溝槽內以獲得均勻的薄膜厚度而不再適用。因此目前不論是業界或是學界都

積極在研究取代的方案，其中又以使用原子層沉積法(Atomic Layer Deposition, ALD)最受矚目且被看好，相關的研究也早已如火如荼地展開 [5]。

如前所述，目前半導體業界是以雙鑲嵌製程製作銅金屬導線，並以 Ta-N 薄膜作為擴散阻障層，搭配低界電常數材料所完成的多層連接導線 (multilevel interconnect) 結構，如圖 1-2 所示。由於即使金屬導線間的線寬間距降到 45 nm 時，Ta₂N₅ 仍具有良好的熱穩定性、優秀的阻障性質，以及引入新製程後能夠準確的控制其膜厚至數 Å 的誤差範圍，故其仍為主要的阻障層材料。但隨著元件尺寸的快速縮小，銅與 Ta₂N₅ 的疊層界面處，因附著性不佳，後段高溫(約 420°C)製程會導致銅膜產生凝聚結塊 (Agglomeration) 的現象，嚴重影響元件的可靠度，因此 Cu-Ta₂N₅ 的附著性問題便成為當前重要之議題。

本實驗主要分為兩大部分，第一部份將以電漿輔助原子層沉積法 (PE-ALD) 來製備擴散阻障層 Ta₂N₅，並藉由調控反應氣體氫氣/氮氣的氣體流量比與 RF 電漿功率，來最佳化 Ta₂N₅ 薄膜之電性，並探討所製備出來的 Ta₂N₅ 薄膜基本性質，包含表面形貌、成長速率、晶體結構、化學組成、熱穩定性及對銅的阻障效果等。第二部分則是使用快速升溫退火(Rapid Thermal Annealing, RTA (15 % H₂))與氫電漿處理(H₂-Plasma Treatment)等

表面改質方法，來探討並改善 TaN 與銅之間界面的附著強度，並與 Cu/Ta/TaN_x 疊層結構做比較，以期可望達到改善金屬銅膜與 TaN_x 阻障層間的附著性並減少積體電路製程之複雜度。

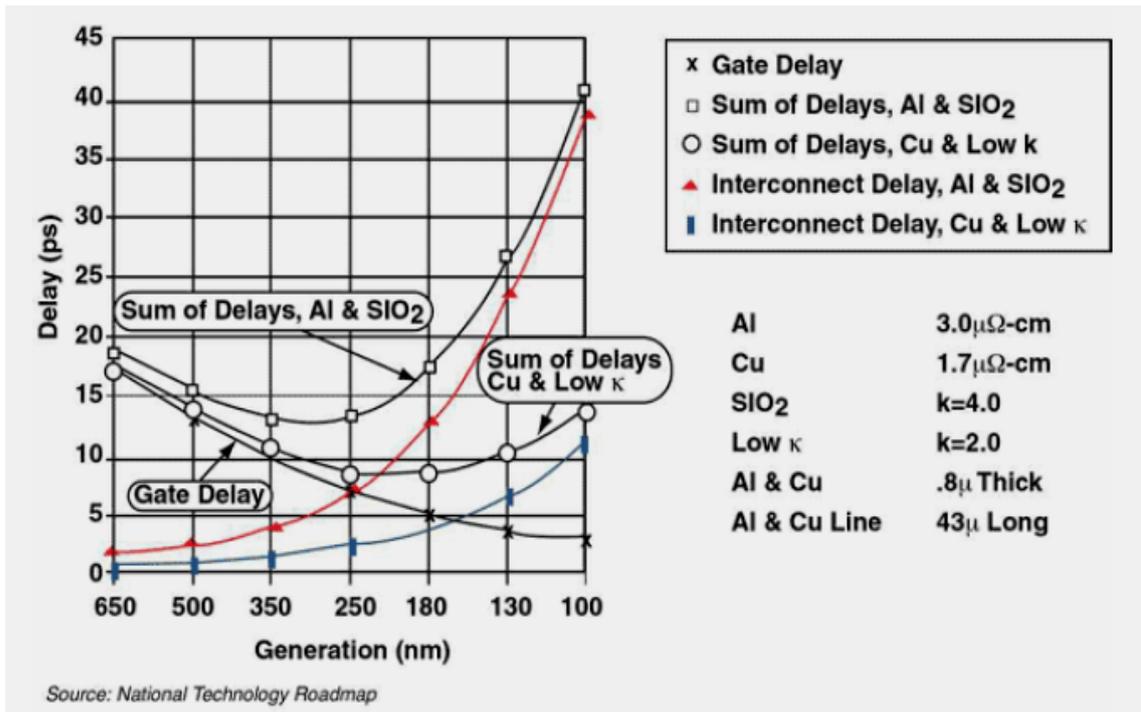


圖 1-1 時間延遲對元件尺寸之關係圖

Table 1. ITRS Interconnect Technology Requirements*					
Year	2007	2010	2013	2016	2019
DRAM half-pitch (nm) (contacted)	65	45	32	22	16
# metal levels (MPU)	11	12	13	13	14
J_{max} (A/cm ²) – int. wire @ 105°C	2.08×10^6	5.15×10^6	8.08×10^6	1.47×10^7	2.2×10^7
M1 wiring Pitch (nm)	136	90	64	44	32
M1 AR (for Cu)	1.7	1.8	1.9	2.0	2.0
Conductor effective resistivity ($\mu\Omega\text{-cm}$) Cu M1 incl. effect of width-dependence scattering and conformal barrier w/ below thickness	3.47	4.08	4.83	6.01	7.34
Barrier thickness (for Cu M1 wiring) (nm)	4.8	3.3	2.4	1.7	1.2
Cu thinning at min. pitch due to erosion (nm)	12	8	6	4	3
M1 resistance variability due to CD erosion and scattering (%)	28	30	32	32	33

*Excerpt from MPU and ASIC Interconnect Technology Requirements: Near Term Years and Long-term Years, ITRS 2006 Update

表 1-1 MPU 內連接導線製程需求之比較

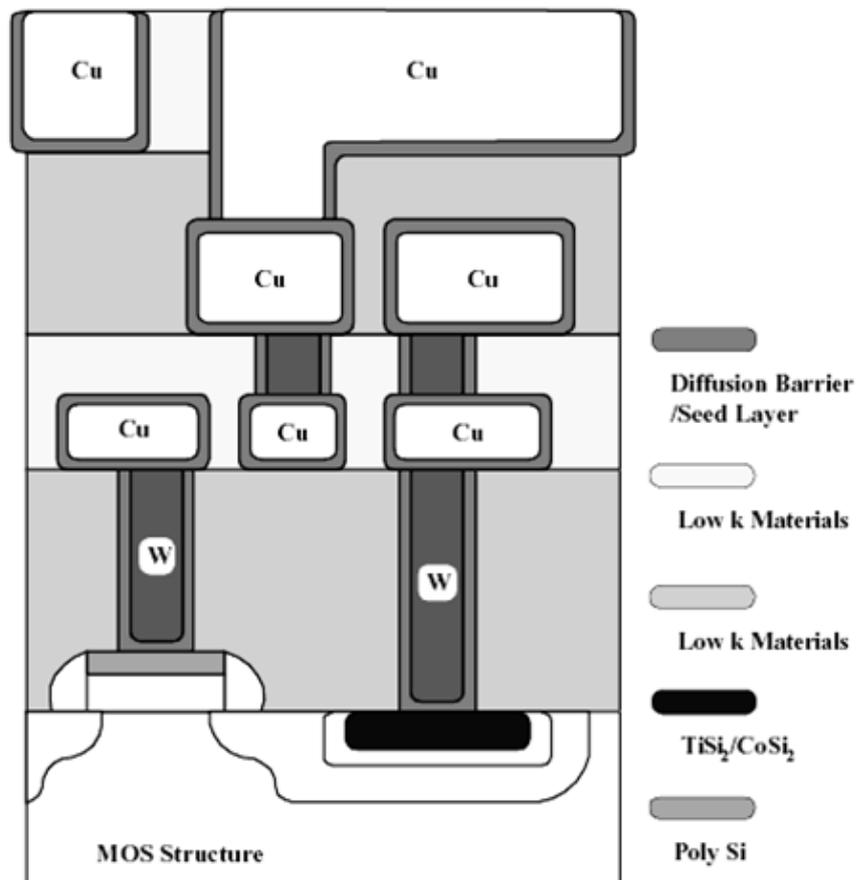


圖 1-2 擴散阻障層於 IC 結構之應用及位置

第二章、理論基礎與文獻回顧

2.1 擴散阻障層

擴散阻障層對於積體電路的可靠性有相當重要的影響。在元件設計中，若疊積薄膜的層間結構隨著操作時間與溫度循環而有不必要的擴散或反應發生，代表積體電路結構已偏離原始的設計架構，其電性特質亦將隨之轉變，造成元件的功能損傷與失效。因此，若能將擴散阻障層界入薄膜層間結構中，可預期達到抑制或有效減緩疊積薄膜間的質量傳遞(mass transport)或內部反應(interaction)現象，以維持積體電路的結構完整，提高元件之可靠度。

由於銅與矽基材料在低溫下(約 200°C)即形成銅矽化合物，因此無法以 Cu-Si 界面直接應用於 IC 元件架構中，需要一有效擴散阻障層界於其中。如同第一章之論述，擴散阻障層的基本要求即在於具備低電阻率，且高溫下必須能有效抑制銅原子擴散進入矽元件內部，亦即此阻障層本身須有良好熱穩定性，以提高元件的壽命與可靠度，是故阻障層材料具備高的熔點溫度是必要的，因此耐火金屬等相關材料於阻障層的研究相當廣泛。另外阻障層材料亦須具備完全不與銅互溶，或即使於高溫下與銅的溶解度低的特性。擴散阻障層材料的選用，會影響後續沉積上的銅膜結構，若能驅使銅膜具備較好的(111)優選方位(prefer orientation)，不僅可得到緻密之

銅膜結構，同時將提高導線層材料之電致遷移阻抗能力。阻障層亦可作為有效的黏著層，提供銅及界電材料層有良好的附著能力。

2.1.1 阻障層的定義

擴散阻障層之角色，是在於兩種相接合材料之界面處加入一層他種材料，用來阻障彼此間之原子擴散(interdiffusion)現象，或防止兩者產生化學反應而形成新的化合物。而擴散阻障層最大的應用範圍，即在於以矽為主體架構之半導體元件設計中。其主要的功能，便在環境氣氛、操作時間與溫度及應力等外部條件變化下，能有效防止金屬連線層、接觸薄膜與矽基材料等積體電路疊積薄膜層間之界面反應與內部擴散。

依理想的擴散阻障系統而言，如圖 2-1^[6]所示，基材與銅膜間置入的阻障層材料應具備以下幾項特性：

1. 阻障層與基材、薄膜具備熱力學上的高穩定性。
2. 阻障層與基材、薄膜接面皆有良好的附著性。
3. 阻障層於基材、薄膜中的損失率需低。
4. 基材與薄膜於阻障層中的質傳(transport rate)需且相互間不易擴散。
5. 阻障層與基材、薄膜的接觸電阻(contact resistance)要低。
6. 阻障層本身對機械與熱應力有良好的阻抗特性。

7. 阻障層須具備良好之電、熱傳導性。
8. 阻障層之製備技術需能達到均勻之厚度、適當粗糙度，與良好的階梯覆蓋能力。

2.1.2 擴散阻障層的種類

根據 Nicolet 等人所提出的觀念可將擴散阻障層分為四類^[6]：

A. 被動型阻障層 (Passive Barrier)

被動型擴散阻障層本身即具備良好之化學及熱穩定性，與接觸材料的固溶度低，不易發生反應，如圖 2-2 (a)所示。於材料應用上，如鈦、鉭與鎢等過渡金屬之氮化物(nitrides)、碳化物(carbides)等，均可當作被動型擴散阻障層材料，因其本身及具備低電阻率、高熔點，以及高度熱化學穩定性。

B. 犧牲阻障層 (Sacrificial Barrier)

與阻障層接觸之材料將穿越阻障層之界面而形成化合物。因此犧牲型阻障層之阻障特性，在於反應速率與活化能的控制上，使預期之阻障層特性能達到元件既定時限之要求，其機制如圖 2-2 (b)所示。當然若接觸材料界面層間已完全反應，阻障層則完全失去功效。

C. 填充型阻障層 (Stuffed Barrier)

有些材料雖然彼此不互溶，但因為會以晶界和結構上的缺陷作為其擴散的途徑，所以會在擴散阻障層之晶界或於其它的缺陷處，形成析出物或是偏析雜質原子，來阻止相鄰材料的原子經由晶界或其它缺陷擴散，而其本身仍然相當穩定，其機制如圖 2-2 (c)所示。如於鈦、鉭等多晶型過渡金屬及其氮、碳化合物薄膜中，利用製程技術加入微量之氧、矽等雜質於晶界結構，可達到明顯減低擴散速率的效果，以及延長阻障層之有效時限。另外金屬內連接導線層之電致遷移的阻抗提升，亦可利用填充型阻障層的原理，增加不同金屬元素於連接導線材料中，以增加電致遷移之阻抗能力。

D. 無晶界阻障層 (Amorphous or Single Crystal Barrier)

如圖 2-2 (d)所示，以無晶界材料作為擴散阻障層，理論上應可以有效抑制相鄰材料的擴散或反應的發生。在前人的研究中指出，單晶 (Single Crystal) 及非晶質 (Amorphous) 材料可作為擴散阻障層，但就實際而言，單晶薄膜有其製程上的困難度存在，而非晶質擴散阻障層則為近幾年來研究的重點，例如 TaSiN、TiSiN 等。一般而言，組成非晶質的元素，若其原子大小、晶體結構及陰電性差異大時，易於形成非晶質材料，這些非晶質薄膜常於低溫下沉積形成，若在 IC 製程中的反應溫度高於非晶質材料的再結晶溫度，非晶質材料將轉變為結晶材料，此一結構轉變將大幅減弱阻障效果。因此，為提高其有效阻障性質，非晶質阻障材料必須擁有較高的再結晶溫度。另外，在電性特質上，單晶型阻障層具備較低之電阻率，非

晶質薄膜電阻率一般則較高，這將會限制未來更高運算速度的 IC 元件設計。

因此，擴散阻障層本身的微結構對於阻障能力有直接的影響，微結構中的缺陷位置，將提供銅原子快速擴散的途徑，所以，理想的擴散阻障層應屬於單晶、微多晶，甚至非晶質狀態。然而，亦須考量阻障層本身電阻率對元件效能的影響，並且需能有效降低薄膜間之接觸電阻，另外，於阻障效果一定之要求下，最小的厚度才可以降低阻障層本身對導線層之整體有效電阻係數的影響。

2.1.3 擴散阻障層之發展

過去以鋁導線為基礎的製程技術，為了防止鋁或鋁-銅合金之金屬連線層，和矽基材料間之互溶所產生的尖峰現象(spiking)而導致元件的失效，擴散阻障層材料是以鈦基材料為基礎，搭配鈦緩衝層而形成的 Ti/TiN 阻障系統，不僅能提升與矽基材界面的歐姆接觸(ohmic contact)，且具備約達 500°C~600°C 的高溫阻障性質。此系統在鋁製程中有相當廣泛且成熟的應用，能有效防止鋁與矽基材料之間的互相作用，並可提供低電阻的路徑。

現階段銅製程中，最熱門的擴散阻障層材料為鈿(Ta)及其鈿化物(TaN_x)。鈿有相當高的熔點(~3000°C)，且與銅有不具固溶的特性，研究指

出鈹和銅的界面有內部混合反應(inter mixing)，形成約 2 至 6 nm 的非晶質層 (amorphous layer)，產生某種程度的自我限制反應 (self-limiting reaction)^[7]，使鈹相較於 TiN 能與銅有較好的附著性質。又由於鈹與銅之間存在異質磊晶的關聯性，使沉積在鈹膜上的銅膜金屬層有較明顯的(111) 織構，增加了電致遷移的阻抗性。因此，鈹及其鈹化物被廣泛地使用為銅製程之擴散阻障層。

目前以鈹基材料為擴散阻障層的研究上，大多以多晶型(包含微細晶)或非晶質薄膜結構為發展方向，熱穩定性可以達到 600°C~800°C。而其阻障失效機制，研究已提出的有:A.銅經由阻障層晶界擴散至矽基材，隨後析出銅-矽化合物；B.鈹系阻障層與矽基材產生界面反應，形成 TaSi₂ 等鈹-矽化合物。隨著材料及製程技術的持續進步，擴散阻障層的材料發展仍是相當廣泛。

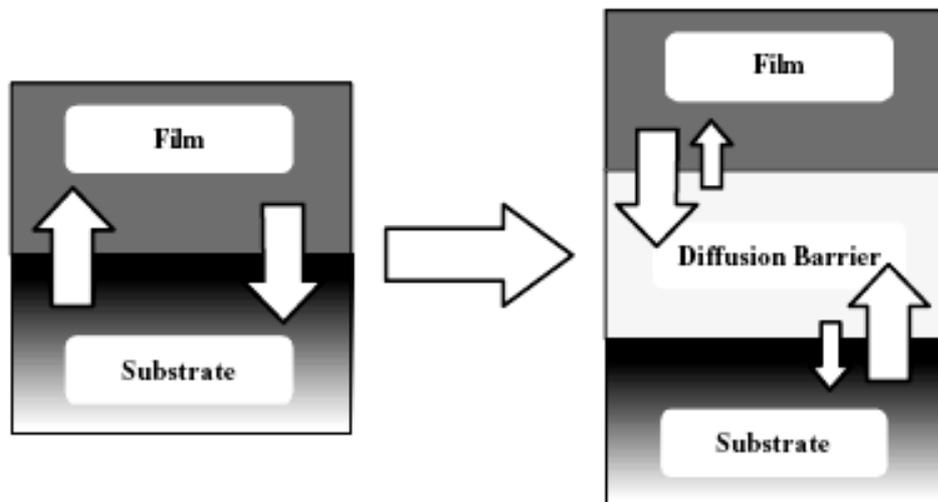


圖 2-1 擴散阻障層於薄膜疊積架構中之示意圖

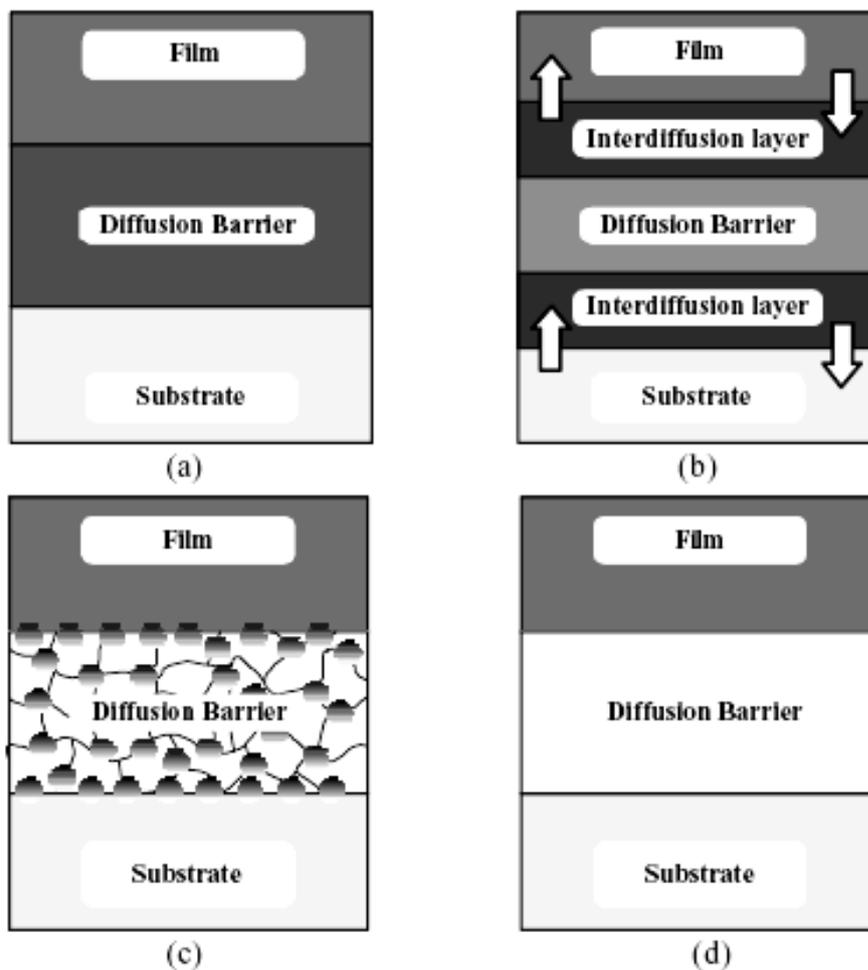


圖 2-2 擴散阻障層之種類示意圖 (a) 被動型阻障層 (b) 犧牲型阻障層

(c) 填充型阻障層 (d) 無晶界阻障層

2.2 原子層沉積

2.2.1 原子層沉積法簡界

原子層沉積技術是在 1970 年代由芬蘭的博士 Tuomo Suntola 和他的工作團隊^[8]，為了製作高品質、大面積的電致發光薄膜(TFEL)平面顯示器發展出來的。在 1970 年代，由於 ALD 技術的沉積速率緩慢，不適用於當時的產品而未受重視。然而在半導體工業上，隨著積體電路的微小化、超薄薄膜製程的需要，使得具有幾乎 100%階梯覆蓋能力、低溫製程及能精準控制膜厚等優點的原子層沉積系統，逐漸受到重視。

原子層沉積法的原理如圖 2-3^[9]所示：

- (a)~(b)：前驅物 ML_2 以載流氣體導入反應腔體，並吸附至基材表面，多餘之 ML_2 以鈍氣帶走。
- (c)：反應氣體 AN_2 導入反應腔體中，與吸附於基材的 ML_2 反應。
- (d)：多餘之 AN_2 及反應副產物以鈍氣帶走。

此法為一種化學氣相沉積法(Chemical Vapor Deposition, CVD)，但由於其反應物為分段進入，每次反應量由表面吸附層控制，故能控制每層厚度於原子層尺寸。由於此種非連續式的 CVD 反應能精確地控制薄膜厚度及結構，故其為二維奈米材料最具潛力的製程方式。

目前可運用 ALD 法成膜的材質可大致分類為金屬氧化物、金屬氮化

物、半導體及金屬等，可應用於光電、半導體、觸媒等其應用範圍甚廣 (Leskelä, Ritala,2002)^[10]:

- (1) 金屬氧化物: 閘極氧化層或介電層，常見的金屬氧化物有 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 ZnO 。
- (2) 金屬氮化物: 用於積體電路中之擴散阻障層，常見的金屬氮化物有 TiN 、 TaN_x 、 MoN_x 、 WN_x 等。
- (3) 半導體: 光電元件，常見的材質如 Csd 、 ZnS 、 ZnSe 等。
- (4) 觸媒: 導電層，最常見的為銅金屬薄膜，其他金屬如 Ni 、 W 等元素。

現今原子層沉積(或磊晶)方法的研究多著重於金屬前驅物與沉積條件的探討。如 Leskelä 和 Ritala^[11]即針對原子層沉積中前驅物的化學性質、反應機構及常見的金屬薄膜製備方法進行了完整的論述。Suntola(1996)對於半導體薄膜沉積時之表面化學性質進行研究，發現反應溫度對於基材表面所形成之氫氧基及前驅物吸附或沉積行為有很大的影響，如圖 2-4^[12]所示。各溫度下之反應機制將有不同之沉積密度，完美的原子層沉積模型沉積密度應位於 1.0，且不隨溫度之變化而改變，此即為 ALD 之溫度窗口(temperature window)。但因前驅物受溫度影響所造成之冷凝、反應活化能障、分解及吸附/脫附等現象，將使理想沉積密度曲線有偏離行為，進而影響膜厚及薄膜形貌之控制。

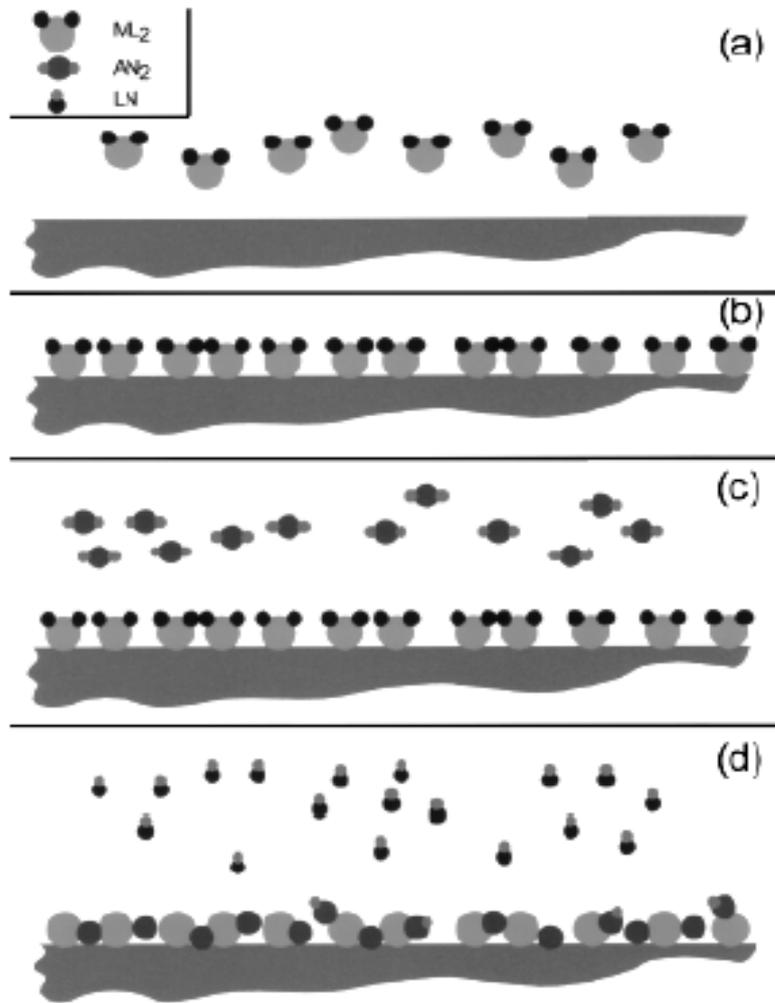


圖 2-3 原子層沉積法反應機構示意圖

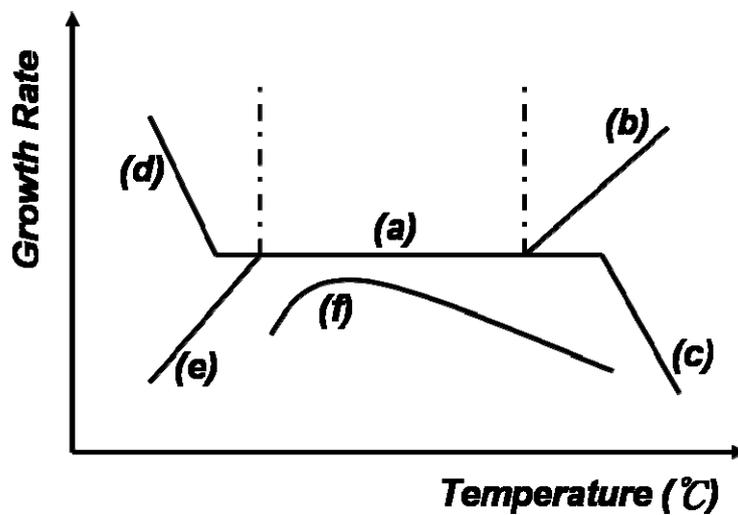


圖 2-4 原子層沉積窗口描述表面薄膜成長過程速率與溫度的關係

2.2.2 前驅物分子結構與基材表面性質對於 ALD 製程之影響

現今於 ALD 系統中所普遍使用的前驅物大致上分為三類，氫化物 (hydride)、金屬鹵化物(metal halide)、與金屬烷類(metal alkyl)。一般的 hydride 例如 H_2O 、 H_2S 、 NH_3 、 AsH_3 ，由於其具有良好的熱穩定性與高揮發性，於製備氧化物硫化物與氮化物時即經常地使用。而至於 metal halide 與 metal alkyl，因其於矽基材表面上具有足夠之化學吸附力，故於製備金屬、半導體與金屬氧化物材料時，此類的前驅物能出現於 ALD 成長機制中前驅物之單層吸附特性。在 ALD 成長機制中，前驅物除了以分子吸附之方式直接吸附於基材表面上，前驅物尚可與基材表面特定官能基形成化學鍵結，而吸附於其上^[13]。前者之吸附方式主要決定於前驅物分子與基材表面之化學親和力，而前驅物分子之本身大小與分子彼此間之空間立體障礙，亦會影響其所吸附於基材表面上之覆蓋率與均勻性。

2.2.3 原子層沉積之儀器設備

原子層沉積系統以提供能量方式作為區分，大致上可以區分為兩種系統，一是加熱式原子層沉積系統(Thermal-ALD)，另一個是電漿式原子層沉積系統(PE-ALD)。

A. 加熱式原子層沉積系統

此系統以石英管為腔體，以電阻器通電作為熱量來源，以電腦控制電

磁閥門將氣體以不同導管依序引進反應腔體內。由於石英亦處於整個反應過程，因此石英管內壁會沉積薄膜，此種系統不但耗費過多電力資源且管壁須時常拆裝清洗，為改善此狀況冷壁式 Thermal-ALD 便被研發出來。此系統有一金屬外腔體及石英內腔體，電阻器只設置在需要加熱的石英管下方，氣體只被引導至石英管內，是故不但節省了電力而且石英管拆裝容易，減少了腔體暴露時間因而提高了腔體的潔淨度。

B. 電漿式原子層沉積系統

此系統是以傳統電漿輔助化學氣相沉積系統(PECVD)為主體，以電腦控制電磁閥門，將氣體以不同導管依序引入反應腔體內，再以射頻(RF)電源產生電漿。雖然此製程所需溫度較加熱式原子層沉積系統低，但是電漿卻對第一前驅物進行分解，降低了薄膜階梯覆蓋率，而電漿製程需要較高的製程壓力，因而拉長了鈍氣 Ar 的沖洗時間，因此為了改善階梯覆蓋率降低的問題，電漿式原子沉積系統便被研發出來。此系統除了主要的反應腔體之外，還有一產生電漿的石英腔體，第一前驅物直接進入主要反應腔體，未經電漿分解直接飽和吸附於材料表面，因而維持原本結構形成吸附金屬複合物，經沖洗把多餘的第一前驅物帶離腔體，然後第二前驅物進入石英腔體，經電漿分解成活性物質(reactive species)再與吸附金屬複合物發生反應，由於活性物質生命週期短暫，因此其在高深寬比階梯覆蓋率的表現沒有加熱式原子層沉積系統來的好。

2-3 銅膜與阻障層之界面附著性

擴散阻障層除了有阻擋銅原子擴散進入矽基材的特性之外，另一作用即為增進銅膜的附著性，由於銅膜與二氧化矽介電層之間的附著力極差，因此於兩者中置入的阻障層亦需具備有潤濕(wetting)的效果。隨著近年來積體電路元件尺寸的縮小，使得元件內的導線線寬與間距逐漸縮小之際，也間接提高了製程的複雜性。而疊層間的訊號損失與金屬疊層與阻障層間附著性不佳之間的關聯性愈發顯著，嚴重影響了元件本身的可靠度^[14-18]，更有文獻指出，隨著線寬縮小、銅導線沉積膜厚變薄時，銅膜本身的凝聚結塊現象會更加明顯^[19]。另一方面，銅金屬疊層與擴散阻障層間附著性不佳的問題，也會對電場或應力所導致的銅導線原子遷移現象(electro-/stress-migration)有較差的阻抗能力^[20-21]。

一般說來銅膜與下方疊層間會發生失潤現象，從熱力學觀點來看，主要是因為要降低能量達到系統平衡所造成，其界面關係如圖2-5所示^[22]。當銅膜受到熱處理時，我們根據Young-Dupre' Eq.：

$$W_{adh} = \gamma_{air/bar} + \gamma_{air/cop} - \gamma_{cop/bar}$$

其中 γ_i 為i界面的表面能； W_{adh} 為附著能。

配合圖2-5的界面關係：

$$-\gamma_{air/cop} * \cos(\alpha) = \gamma_{air/bar} - \gamma_{cop/bar}$$

附著能 W_{adh} 可被改寫為：

$$W_{adh} = \gamma_{air/cop} * (1 - \cos(\alpha))$$

由上式可知，當銅膜與下方疊層間的附著強度較小時，會造成 α 角度的變小，因而導致凝聚結塊現象產生，進而導致銅膜失潤(De-wetting)影響元件之效能與可靠度。

因此一般採用下列幾種方式來同時解決阻障銅原子擴散與銅膜附著性的問題：

1. 由於銅原子與氮原子之間的莫耳生成熱約為+24.8 kJ/mol，而銅原子與氮原子之間的莫耳生成熱約為+3 kJ/mol^[23]，明顯可知Cu/Ta界面的附著強度較Cu/TaN界面來的好，無Cu-N repulsion的現象發生，因此通常採用Cu/Ta/Ta-N疊層結構來改善銅附著性不佳的問題。
2. 在現今業界Cu/Ta-N/SiO₂/Si疊層結構中，藉由單純的表面改質方法，使Ta-N擴散阻障層表面產生還原反應。由1.推知當Ta-N薄膜表面氮含量的減少會造成Cu-N repulsion現象的減緩，進而藉此增進銅膜與阻障層間的附著強度。(註：此處Ta-N泛稱含氮之鈹系阻障層，無固定化學計量比)
3. 另一方面則於有效阻障層上方疊積一層黏著層(Glue Layer)，如Ru、Co、Ir^[24-27]等金屬。因其與銅膜之間的附著能較大，使得

銅膜的附著性較佳。

4. 由於阻障層上方再疊加一層黏著層會使得製程成本上升，基於此因素，也有人進行新型阻障層的開發，以期能同時兼顧阻擋銅原子擴散與增進銅膜附著性的問題，但仍需考慮與其他製程相容性等問題。

由於目前IC產業主要使用Ta-N薄膜做為擴散阻障層，基於製程相容性及減少製程成本的因素，吾人將嘗試以Ta-N表面改質的方法還原成Ta來增進銅膜附著性。

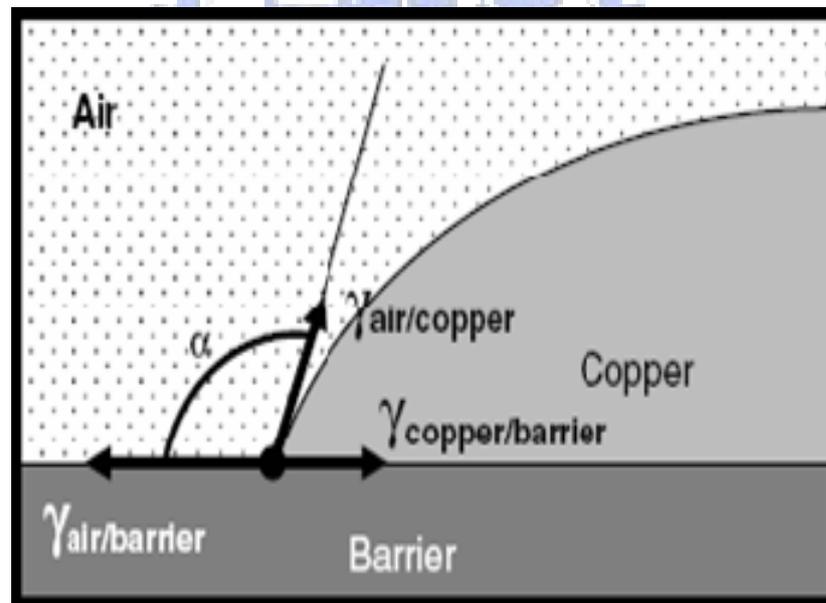


圖2-5 銅膜與下方擴散阻障層的界面關係

第三章、實驗方法與步驟

3.1 實驗流程

本實驗主要分為兩大部分，首先第一部份在 P 型矽基材上，以國家奈米元件實驗室(NDL)之電漿輔助化學氣相沈積系統(Oxford PECVD)沉積一層約 200 nm 的 TEOS-SiO₂，並分別經丙酮與去離子水超音波震盪各 10 分鐘清洗後，以 PE-ALD 系統沉積 TaN_x 薄膜，沉積過程中固定沉積圈數為 400 cycles、沉積溫度為 300°C，調控 A. 反應氣體氫氣/氮氣流量比分別為 5 sccm/200 sccm、10 sccm/200 sccm 與 20 sccm/200 sccm；B. 射頻電漿瓦數分別為 50 W、150 W 與 250 W。隨後以四點探針量測不同沉積條件下的 TaN_x 薄膜電阻率，找出電阻率較低的參數條件，並分別以掃描式電子顯微鏡(SEM)、原子力顯微鏡(AFM)、穿透式電子顯微鏡(TEM)、低削角 X 光繞射儀(GIXRD)與光電子能譜儀(XPS)等儀器，來探討此電性較佳條件之 TaN_x 阻障層薄膜的表面形貌、成長速率、晶體結構、化學組成、熱穩定性及對銅的阻障效果等材料性質。實驗流程如圖 3-1 所示。

第二部分則是在 P 型矽基材上，以 NDL 之電漿輔助化學氣相沈積系統沉積一層約 200 nm 的 TEOS-SiO₂，並分別經丙酮與去離子水超音波震盪各 10 分鐘清洗後，以 PE-ALD 系統沉積最佳化參數條件的 TaN_x 薄膜。隨後分別以快速升溫退火熱處理(15 % H₂)及氫電漿處理(H₂ Plasma

Treatment)等方法對 TaN_x 擴散阻障層薄膜進行表面改質，並與以 PE-ALD 沉積之 Ta/TaN_x 疊層結構一同以 PVD 方式濺鍍上 100 nm 的金屬銅膜，配合 450°C 真空高溫熱處理一小時，分別以原子力顯微鏡、掃描式電子顯微鏡、光電子能譜儀與附著力測試，來探討 TaN_x 與 Cu 之間的凝聚結塊現象與界面附著強度，且與 Cu/Ta/TaN_x 疊層結構做比較。實驗流程如圖 3-2 所示。

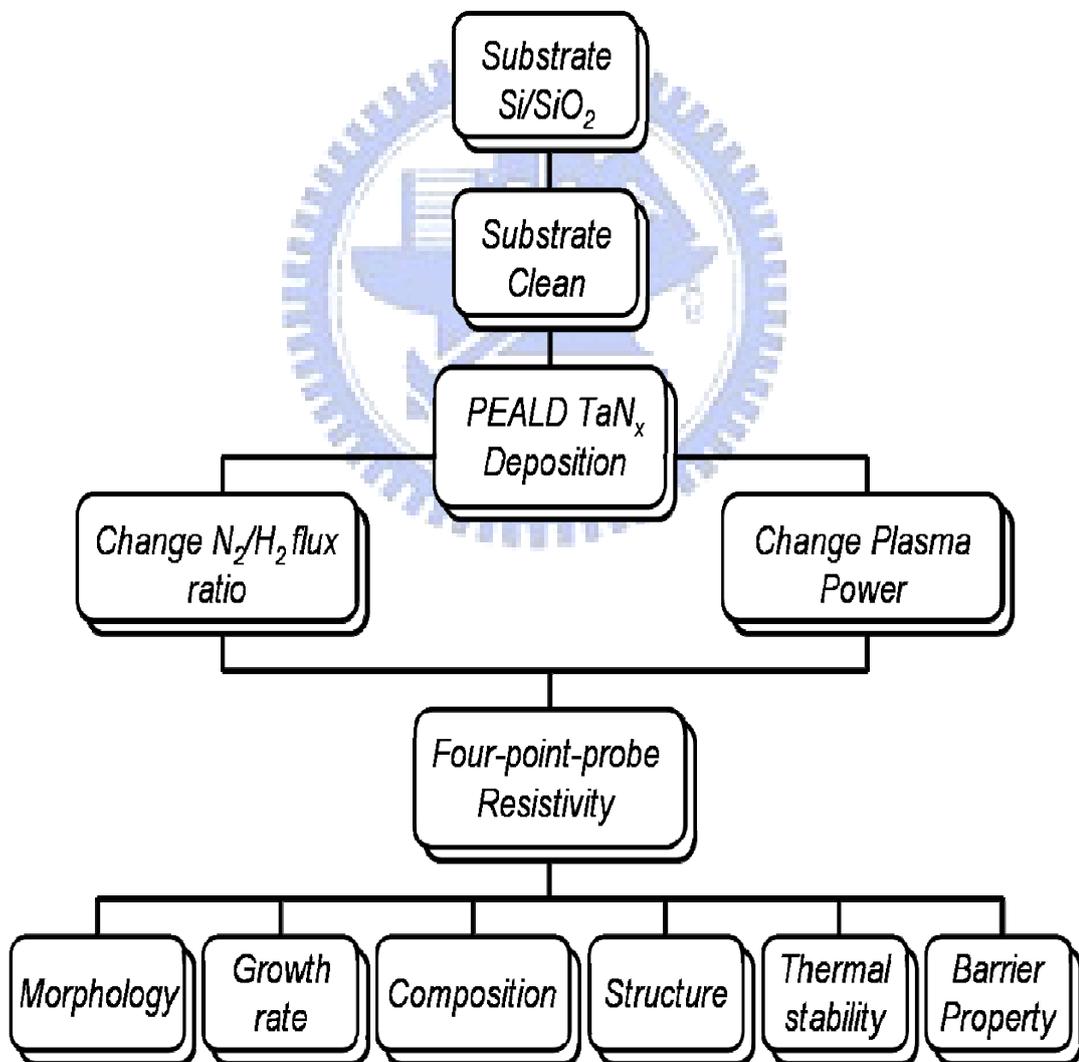


圖 3-1 實驗流程圖 I

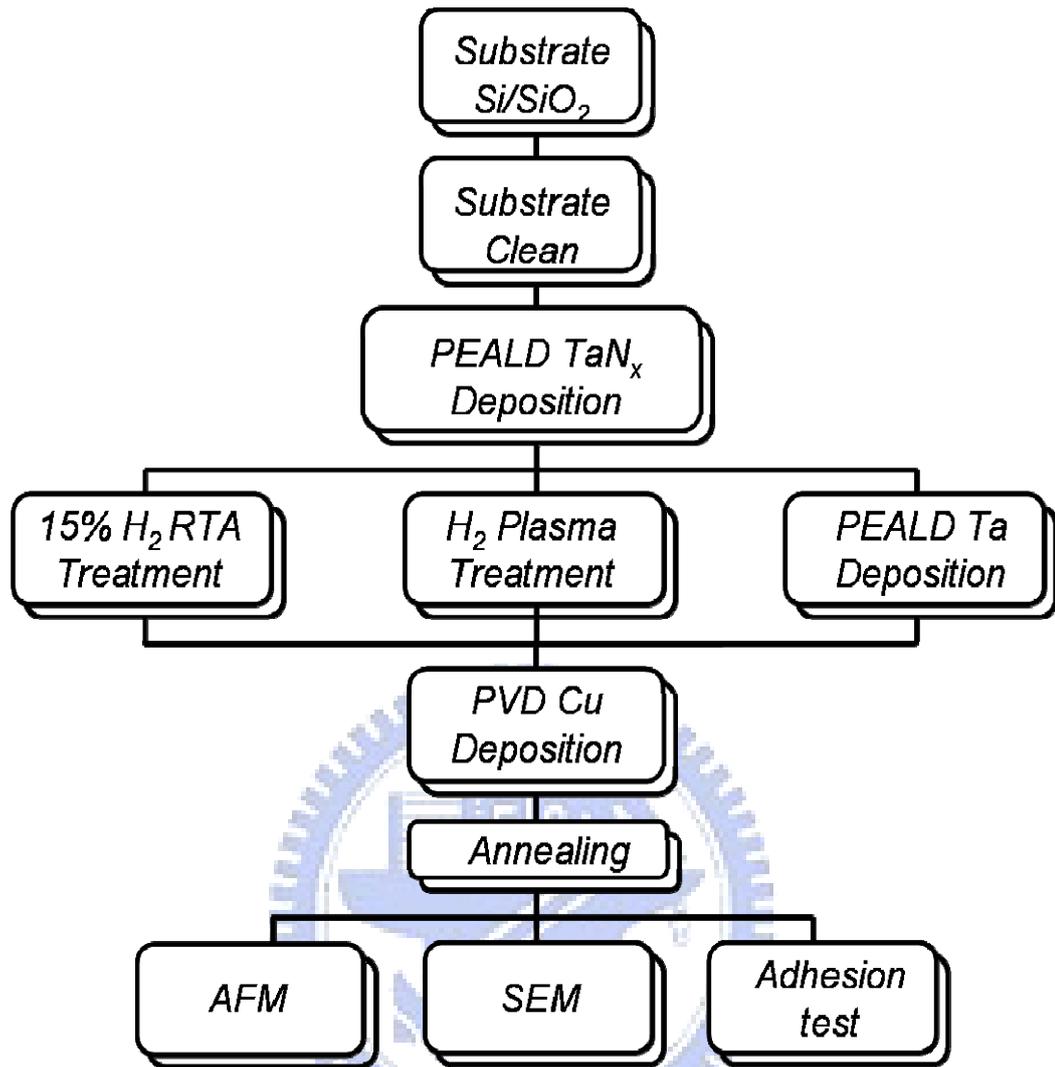


圖 3-2 實驗流程圖 II

3.2 實驗設備

3.2.1 電漿輔助原子層沉積系統(PE-ALD)

在銅金屬連線技術研究工作中，我們利用電漿輔助原子層化學氣相沉積成長 TaN_x 擴散阻障層，圖 3-3 為我們實驗室的 PE-ALD 系統實體相片。為了能達到小於 10 nm 的膜厚，可以選擇適當的沉積循環次數來控制沉積厚度。一次循環過程包含四個步驟：首先利用 Ar 等惰性氣體連帶出金屬前驅物的揮發氣體，使其吸附於基材表面上(3 秒)；持續一段短暫時間後，進行腔體抽真空與 Ar 淨化(10 秒)；第三階段則是通入反應氣體氫氣及氮氣，並導入 RF 電漿進行反應(10 秒)；最後關閉 RF 電漿，停止通入氫氣及氮氣，再進行腔體抽真空與 Ar 淨化(10 秒)。所有的過程與一般加熱式原子沉積系統一樣，但多了電漿輔助的部份，以此法所沉積的 TaN_x 薄膜，其含氮量較少，因此薄膜的電阻率(resistivity)較小。當金屬薄膜厚度尺寸縮小的同時，薄膜電阻會隨之增加，因此我們採取 PE-ALCVD 的沉積方式來減小電阻上升的問題。選擇合適的反應前驅物，是 PE-ALD 製程技術上中最重要的工作，一般為固態或液態的金屬有機化合物或鹵化物。在 Ta 與 TaN_x 擴散阻障層的研究部份，我們將以 $TaCl_5$ 作為前驅物，若欲沉積 TaN_x 薄膜，則通入氫氣與氮氣並以 RF 電漿活化來形成 TaN_x 結構，其反應步驟原理如圖 3-4 所示；若只需要沉積 Ta 金屬薄膜，則在上述之第三階段不需通入氮氣，因此整個 Ta/ TaN_x 疊層將可以一連續製程來完成。另外，由於氫電漿的作用為

還原前驅物 TaCl_5 為金屬鉭，因此電漿處理條件將與薄膜電阻率有關，這亦是我們研究的重點。

3.2.2 快速退火系統(RTA)

本實驗中於探討 TaN_x 擴散阻障層薄膜本身的熱穩定性、對銅原子的阻抗效果及對 TaN_x 薄膜進行表面改質處理時，均使用清大洪銘輝老師實驗室置放於工研院之快速高溫退火系統，此系統可依實驗需求通入不同成分比之氣體。藉由此系統快速升溫與快速降溫的特性，使通入的氫氣在高溫下所形成的活性離子，能在短暫的反應時間內僅與 TaN_x 試片表面層產生還原反應。

3.2.3 後段真空退火系統

本實驗於探討 Cu/TaN_x 薄膜界面附著性質時，使用國家奈米元件實驗室之後段真空退火爐管，對試片進行 450°C 持溫 1 小時之熱處理。此機台退火製程在高溫及高真空環境中，溫度可達 600°C 、壓力可至 10^{-7} Torr 以下，藉由高度的潔淨環境，即使高溫退火過後的金屬試片，其表面亦不會和大氣反應，生成金屬氧化物。

3.2.4 高密度電漿化學氣相沉積系統(HDPCVD)

實驗中對 TaN_x 薄膜進行表面改質所使用之氫電漿處理系統為國家奈米元件實驗室的高密度電漿化學氣相沉積系統之 A-Chamber，其可藉由改

變 ICP 功率、基板溫度、基板偏壓與工作壓力來設計製程參數。



圖 3-3 電漿輔助原子層沉積系統

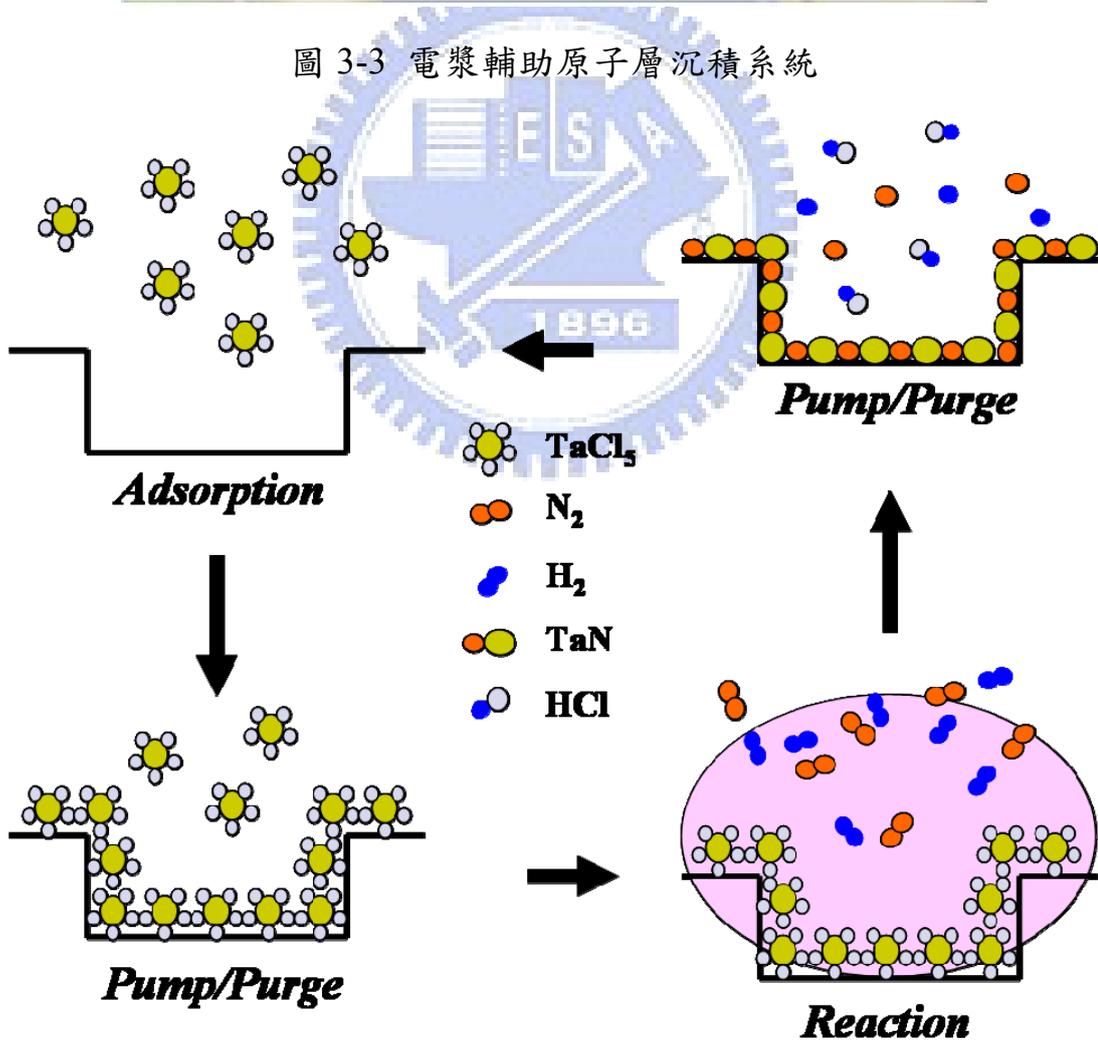


圖 3-4 電漿輔助原子層沉積的反應步驟原理

3.3 實驗分析

3.3.1 四點探針

實驗中使用四點探針儀(Four Dimensions Inc.型號：280P)來測量薄膜的電阻率 ρ (Resistivity)，圖 3-5 為四點探針原理示意圖(探針間隔為等距離， $S=1\text{ mm}$)。將測量時所得之 V/I 值，配合鍍膜厚度代入下式中，即可得到電阻率。

$$\rho = R_s \times (T_F / 10)$$

其中 ρ 為電阻率； R_s 為片電阻； T_F 為薄膜厚度。

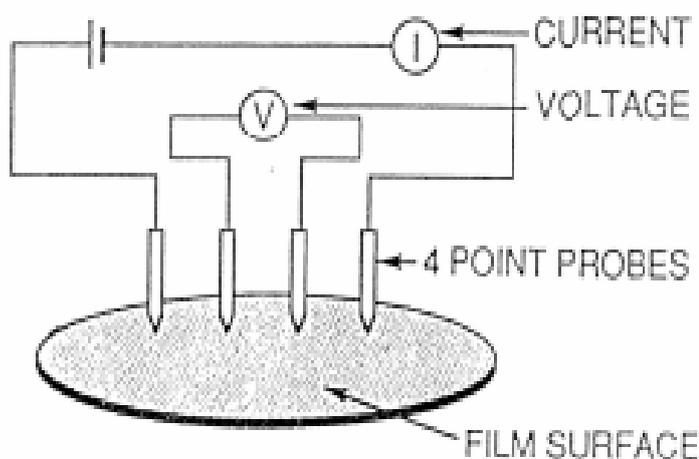


圖 3-5 四點探針結構示意圖

3.3.2 化學分析電子儀(ESCA)

本實驗使用交通大學貴重儀器中心所屬化學元素分析電子儀進行 TaN_x 薄膜中的化學組成鑑定。化學分析電子儀的原理乃是利用 Mg 靶所產

生的X光與原子產生反應，假若X光的能量(1253.6 eV)大於該原子內電子束縛能時，X光會激發該電子脫離原子而成為自由電子，經由電子能量分析器檢測出具有不同動能電子之數量，則可分析出該試片中元素的成分以及濃度，故可稱為X光光電子能譜儀，如圖3-6所示。假若試片中元素乃是以化合物方式存在，則該元素對電子束縛能則會有改變，而於ESCA能譜中則會有束縛能位移的現象發生，稱為化學位移，經由化學位移的能量多寡亦可判斷呈現何種化合物的型態，一般來說具有較強陰電性的原子則具有較強的束縛能，此時化學位移的方向將會朝向高能量的位置產生位移，反之陰電性較弱的原子則會朝向低能量的位置位移。

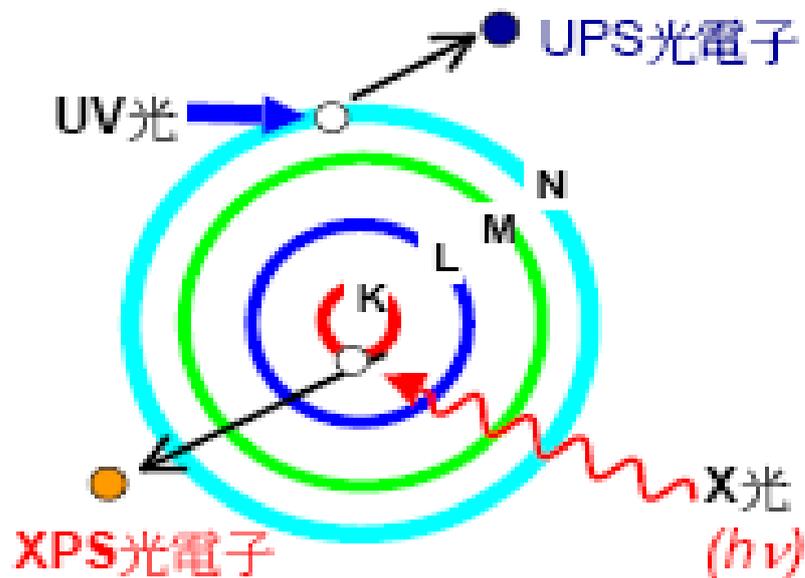


圖3-6 化學分析電子儀的原理

3.3.3 掃描式電子顯微鏡(SEM)

使用型號為JOEL JSM 6500-F掃描式電子顯微鏡。掃描式電子顯微鏡是利用電子槍產生電子束，經過電磁透鏡光學系統使電子束聚焦於試片表面而激發二次電子，利用偵測器偵測此二次電子透過訊號處理放大後，即可觀察試片表面形貌。因此，SEM主要用來觀察物體的表面狀態，特點為影像解析度極高，放大倍率可達一萬倍以上，並且具有較長的景深，可以清晰觀察如破斷面這類起伏程度較大的物體。

本機台所使用的電子槍系統是熱場發射式，其操作溫度為1800K，可避免大部份氣體分子吸附在電子槍表面，所以不需要Flashing的步驟(短暫加熱至2500K)以去除所吸附的氣體分子。因此其電子槍壽命長、發射電流穩定以及可於較差之真空度下使用。

3.3.4 歐傑電子能譜儀(AES)

歐傑電子能譜儀其運作原理乃是利用高能量之電子束入射試片表面，當原子內層之X電子軌域受到外力激發而產生一游離電子，X軌域即出現一個電洞，為了降低這處於激態的游離原子能量，較高能位Y軌域的電子會填補此一電洞，當自高能階移轉至低能階時，Y軌域電子會釋放出能量，這能量可以轉換成X光的形式釋出，亦可將能量轉移給同階或上層Z軌域電子，當電子間的轉移能量大於Z電子之束縛能時，該電子即可脫離原子核的束縛，進入自由態，這自由態電子即為歐傑電子(auger electron)。由於必須有

三個電子參與歐傑電子的產生機構，因此原子序小於3的元素將不會有歐傑電子的生成，若歐傑電子欲脫離試片表面成為自由的歐傑電子則尚需克服材料表面的功函數(Work Function, ω)，因此其動能表示為：

$$E_{xyz} = E_y - E_x - E_z - \omega$$

下標x、y、z分別表示被游離電子、填補電洞的電子及成為歐傑電子之電子軌域的代號，如圖3-7所示。

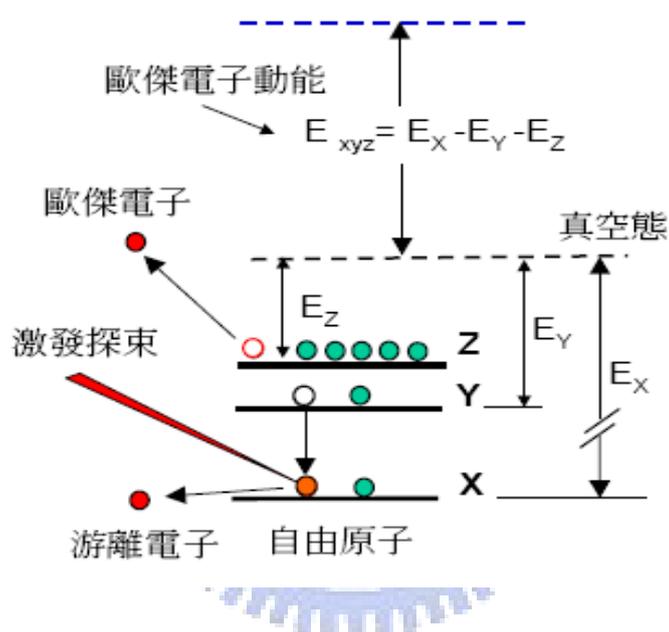


圖3-7 歐傑電子能譜儀的原理

3.3.5 原子力顯微鏡(AFM)

AFM機台使用的是國家奈米元件實驗室的Veeco Dimension 5000 Scanning Probe Microscope (D5000)系統。AFM可分為接觸式、非接觸式與輕敲式三種量測方式，接觸式AFM運作原理為利用探針貼近試片表面，探針與試片表面間將會具有凡德瓦爾作用力，固定此反德瓦爾作用力來調整Z軸壓電材料的伸縮來控制探針與懸臂樑在垂直方向的移動，此時

藉由導入雷射光束探測懸臂形變量，將訊號傳送至回饋控制電路處理並輸出到Z軸掃描器，可得等作用力之高度輪廓，並且加以X-Y兩軸掃描器數據做探針與試片間之平面位移，即可描繪出試片微區的表面形貌，做為紀錄試片表面型貌起伏的數據，由於凡德瓦爾作用力為極小的力量(10^{-6} 至 10^{-10} N)，故可達到原子級的解析力，如圖3-8所示。非接觸式與輕敲式則是固定懸壁樑上下振動的頻率，當試片突起亦即探針與試片表面距離縮短時，頻率會有所改變，藉由固定此頻率來量測試片表面高低起伏，此為非接觸式與輕敲式的量測原理。藉由AFM的分析可得到試片表面型貌以及表面粗糙度、粒徑大小等參數。

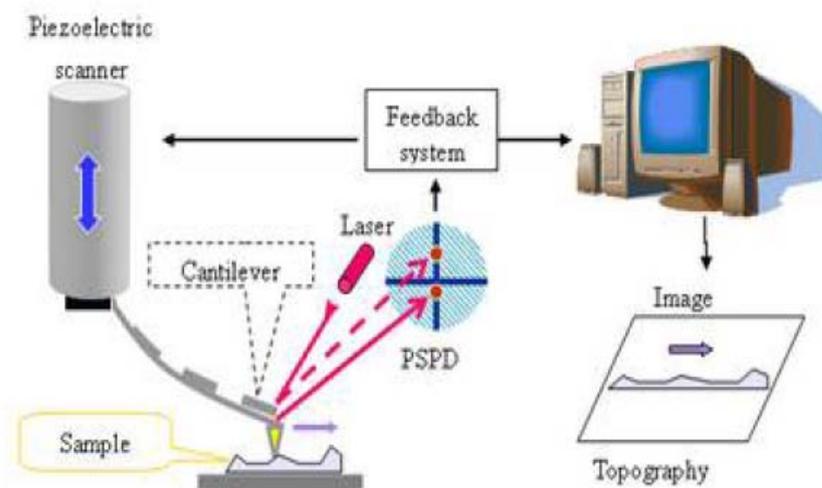


圖3-8 原子力顯微鏡的原理

3.3.6 穿透式電子顯微鏡(TEM)

本實驗藉由交通大學貴儀中心之鎢燈絲電子束源TEM，作試片微結構之晶體繞射圖(Diffraction Pattern)及明視野影像(Bright Field Image)觀

察。其裝置包含照明系統(Illumination System)、成像電磁透鏡與試片座(Objective Lens/Stage)與影像偵測系統(Image System)。TEM之原理在於利用高能量電子束與待測物質作用，產生各種電子或者電磁波訊號，經由顯微鏡之電磁透鏡與成像系統的處理，即可應用在晶體結構、顯微組織、化學成份和散射電子分佈等之分析上。

3.3.7 低掠角X光繞射儀(GIXRD)

使用國家奈米元件實驗室的X光繞射儀(PANalytical X'Pert Pro (MRD))進行薄膜結晶結構分析，其光源為銅靶的 $K\alpha$ 輻射線，光波長為 1.5418 \AA 。X光繞射儀的原理是利用X光進入晶體後會被原子晶面反射而在某些特定角度產生繞射行為，利用這個繞射出來的峰值及峰值半高寬可解析出晶體的原子結構以及其成分。採用入射X光為低掠角的優點乃是當沉積薄膜厚度較薄時，由於X光入射角較小使其穿透薄膜的距離增長可獲得較明顯的X光繞射訊號。

3.3.8 附著力測試系統

本實驗使用國家奈米元件實驗室之附著力測試系統，其型號為Romulus 3 Universal Tester。此機台為電腦控制，具有半自動量測功能，藉由一 Breaking Point Test Platform : Force System and Force Transducer 提供一 0 至 100 kg 向下之拉力，經由電腦量測薄膜之最大附著力。

第四章、結果與討論

4-1 阻障層氮化鈮薄膜的電性

由於一般的 IC 製程中，阻障層與介電層 SiO_2 、銅導線的接觸電阻要低，所以擴散阻障層的薄膜導電性質要好，故吾將藉由改變 PE-ALD 製程反應時的氮氣與氫氣流量比與 RF 電漿功率，來調整所沉積的 TaN_x 的成分比例，以期達到較好的薄膜電性。

4-1-1 改變氮氣與氫氣流量比例沉基 TaN_x 薄膜

在此實驗中 PE-ALD TaN_x 薄膜的沉積條件為：固定試片基板溫度為 300°C 、RF 電漿功率 250 W 及沉積圈數 400 cycles，進而改變反應時通入腔體的氮氣/氫氣氣體流量比。根據不同的氮氣/氫氣氣體流量比，將試片定義為 A、B、C 三組，其中 A 組條件為 5 sccm / 200 sccm，B 組條件為 10 sccm / 200 sccm，C 組條件為 20 sccm / 200 sccm。

圖 4-1 為 ABC 三組試片在不同氮氣/氫氣氣體流量比條件下，所製備出來的 TaN_x 薄膜電阻率變化情形。實驗中利用四點探針量測電阻率，所採用的試片面積為 $2.5 \times 2.5 \text{ cm}^2$ ，並在室溫下進行五點標準量測，配合 400 cycles TaN_x 薄膜厚度約 20 nm，將片電阻換算成電阻率，結果顯示隨著氮氣流量的增加會造成薄膜電阻率跟著上升。當氮氣/氫氣氣體流量比增加到 20 sccm / 200sccm 時，電阻率急劇上升至 $1027 \mu\Omega\text{-cm}$ ，顯示此沉積

條件下所成長出來的 TaN_x 薄膜並不適合作為銅導線的擴探阻障層，因為此薄膜與金屬連線層疊積所產生的有效串聯電阻值會上升，造成訊號傳遞過程的電阻電容時間延遲等問題。

此外，在氫氣/氮氣氣體流量比為 5 sccm / 200sccm 時，薄膜電阻率大約是 $294 \mu\Omega\text{-cm}$ ，並配合後續 GIXRD 晶體結構分析(圖 4-3)，發現此薄膜電阻率接近但卻略高於文獻上記載的非晶質 TaN_x 電阻率 $180 \mu\Omega\text{-cm}$ [28]，如表 4-1 所示。此原因可能是因為進行 TaN_x 薄膜沉積時腔體中殘留的氧氣參與反應而部分形成鉭的氧化物 TaO_x ，或是試片暴露於大氣時造成表面氧化物形成，因而造成所沉積薄膜的電阻率略高於文獻上記載的非晶質 TaN_x 薄膜(配合後續圖 4-4 TaN_x 薄膜之 Ta (4f) XPS Curve-Fitting 能譜圖)。

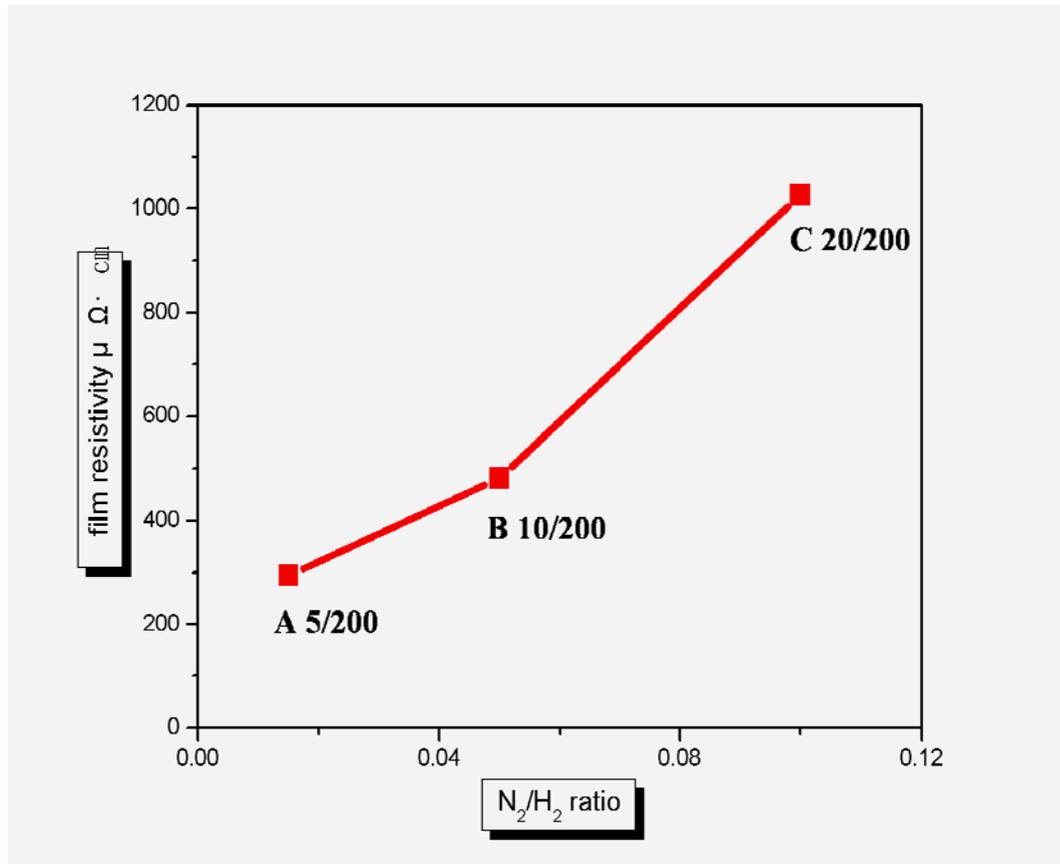


圖 4-1 在不同氮氣/氬氣氣體流量比條件下，Ta_{N_x} 薄膜電阻率的變化情形。

表 4-1 不同晶體結構之 Ta-N 薄膜間的關係與其相對應之薄膜電阻率

Compound	Structure	Resistivity (μΩ·cm)
α-Ta	b.c.c.	20
β-Ta	Hexagonal	150
TaN _x	Amorphous	180
Ta ₂ N	Hexagonal	180
Ta ₃ N ₅	Hexagonal	250~350
	Cubic	200~300
Ta ₅ N ₆	Hexagonal	400~600
Ta ₄ N ₅	Tetragonal	>800
Ta ₃ N ₅	Tetragonal or Monoclinic	6×10 ⁶

4-1-2 改變 RF 電漿功率沉積 TaN_x 薄膜

在此部分實驗中 PE-ALD TaN_x 薄膜的沉積條件為：固定試片基板溫度為 300°C、氮氣/氫氣的氣體流量比為 5 sccm / 200 sccm 以及沉積圈數為 400 cycles，進而改變反應時的 RF 電漿功率。根據不同的電漿功率，將試片定義為 A₁、A₂ 與 A₃ 三組，其中 A₁ 條件為 250 W，A₂ 條件為 150 W，A₃ 條件為 50 W。

圖 4-2 為 A₁A₂A₃ 三組試片在不同 RF 電漿功率條件下，所製備出來的 TaN_x 薄膜電阻率變化情形。實驗中利用四點探針量測電阻率，所採用的試片面積為 2.5 × 2.5 cm²，並在室溫下進行五點標準量測，並配合 400 cycles TaN_x 薄膜厚度約 20 nm，將片電阻換算成電阻率，結果顯示隨著 RF 電漿功率的下降會造成薄膜電阻率上升^[29]。由於此製程的反應前驅物 (precursor) 為鈮的鹵化物：Tantalum (V) Chloride (TaCl₅)，故推測當 RF 電漿功率較低(50 W)時，參與還原反應之氫氣在 RF 電漿作用下，產生解離後的自由基與活性氣體能量可能不足以完全還原前驅物 TaCl₅ 為金屬鈮，造成金屬鈮與氮電漿反應氮化後，部分 Cl 原子殘留在薄膜內部，而導致電阻率上升，此為一般鹵素金屬前驅物的缺點之一，如同有機金屬前驅物易有碳原子汙染之虞^[30]。

為了進一步了解薄膜內部的雜質原子殘留量，對 TaN_x 薄膜電阻率的

影響，便以 X 光光電子能譜儀(XPS)進行 TaN_x 的組成成分分析。表 4-2 為 TaN_x 在不同 RF 電漿功率條件下之 XPS 成分分析結果。由表可知，Ta 原子與 O 原子的含量比例並沒有隨著 RF 電漿功率的不同而有明顯的改變；而 Cl 原子的含量比卻明顯地隨著 RF 電漿功率的下降而提升，當 RF 電漿功率降為 50 W 時，薄膜電阻率上升至 $3123 \mu\Omega\text{-cm}$ ，薄膜中 Cl 原子之含量也隨之大幅上升至 5.6 at.%。此外，也因為 Cl 原子含量的提高，間接造成氮原子含量有稍微下降的現象。由此可推知， TaN_x 薄膜內部殘留之氯原子含量的改變，極可能是造成薄膜電阻率上升的主要原因。

由上述實驗結果得知，在較低氫氣/氮氣氣體流量比(5 sccm / 200 sccm) 與較高 RF 電漿功率(250 W)條件下，所製備出來的 PE-ALD TaN_x 薄膜，其因前驅物而導致殘留的 Cl 原子含量較低，而具備有較低的薄膜電阻率(約 $294 \mu\Omega\text{-cm}$)，因此薄膜與銅金屬連線層疊積所產生的有效串聯電阻值會較低，有利於減緩訊號傳遞過程中的電阻電容時間延遲。故吾將採用此條件，作為後續 PE-ALD TaN_x 薄膜沉積之性質探討，與附著力改善之前處理的對象。

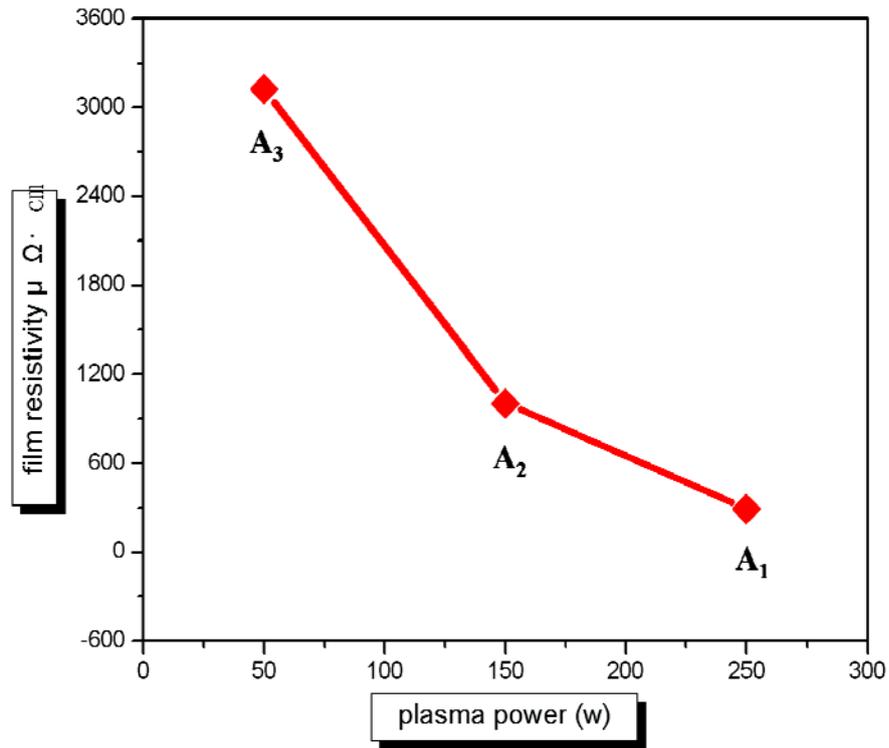


圖 4-2 在不同 RF 電漿功率條件下， TaN_x 薄膜電阻率變化情形

表 4-2 TaN_x 在不同 RF 電漿功率條件下之 XPS 成分分析結果

Plasma Power	Ta (at. %)	Cl (at. %)	N (at. %)	O (at. %)
50 W	67.7	5.6	18.6	8.1
150 W	67.8	1.8	21.6	8.8
250 W	68.2	0.1	22.1	9.6

4-2 最佳電性參數條件下 TaN_x 薄膜之性質

由 4-1 的實驗結果，我們將固定後續 PE-ALD TaN_x 薄膜的沉積條件如下：試片基板溫度為 300°C、氫氣/氮氣氣體流量比為 5 sccm / 200 sccm、RF 電漿功率為 250 W，然後依照膜厚需求改變製程圈數。實驗中我們藉由 X-ray 繞射儀(GIXRD)來了解薄膜的晶體結構；原子力顯微鏡(AFM)與掃描式電子顯微鏡(SEM)來觀察試片的粗糙度與表面型態；以穿透式電子顯微鏡(TEM)來了解薄膜阻障層的厚度與結構，並進而推算出薄膜的沉積速率；以 X 光光電子能譜儀(XPS)進行 TaN_x 的化學成分分析；最後再將試片進行高溫退火，以低掠角 X-ray 繞射儀測試其熱穩定性。

4-2-1 晶體結構

本部分實驗將利用國家奈米元件實驗室(NDL)的低掠角 X-ray 繞射儀，對所沉積出來的 TaN_x 薄膜進行晶體結構的分析。由於擴散阻障層的失效機制之一^[31-32]，是銅原子經由阻障層晶界擴散至矽基材，隨後析出銅-矽化合物，而導致阻障層失效。故 TaN_x 薄膜本身的晶體微結構對於其阻障特性有極大的影響，一般來說理想的擴散阻障層應屬於單晶、微多晶，甚至非晶質狀態。

由於使用 PE-ALD 製程所沉積出來的 TaN_x 薄膜厚度很薄，因此 X 光入射角度採用 0.5° 的小角度進行掃描，其掃描結果如圖 4-3 所示。在圖 4-3 中的 20°~30° 範圍內為背景訊號，由此結果可得知於此實驗條件下所

沉積出來的 TaN_x 薄膜，經對照 JCPDS (Joint of Committee on Powder Diffraction Standards)卡後，在掃描區間範圍內無任何相對應的訊號出現，顯示膜薄為非晶質結構。由於銅原子主要是以晶界作為擴散途徑，故非晶質結構的 TaN_x 理論上應為一理想之阻障層薄膜，後續將測試其阻障性質。

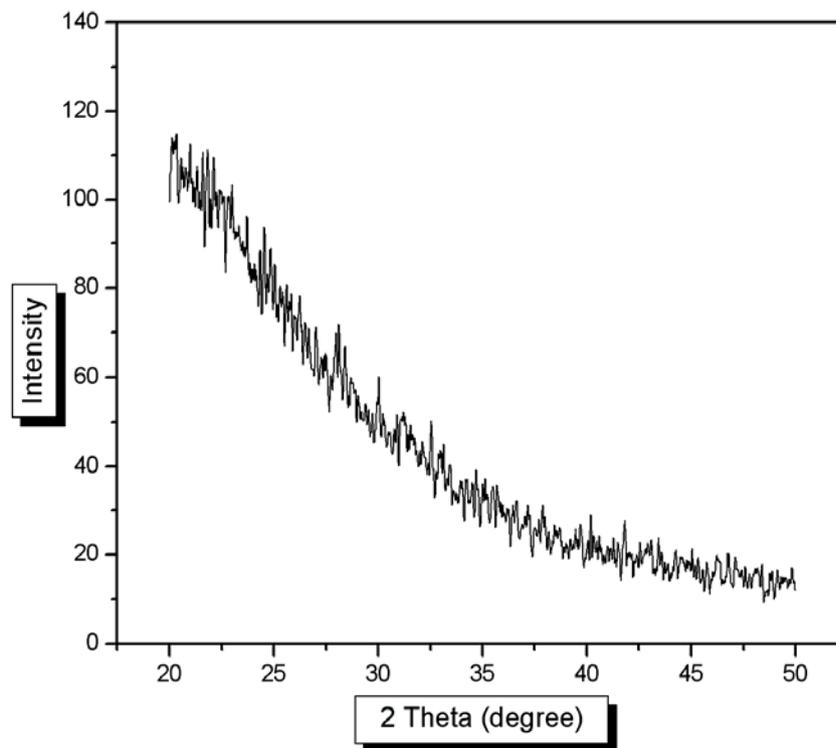


圖 4-3 TaN_x 薄膜的 GIXRD 晶體結構分析

4-2-2 化學成分

由於在 4-1-1 的實驗中發現所沉積的 TaN_x 薄膜電阻率略高於文獻上所記載的 $180 \mu\Omega\text{-cm}$ ，故推測薄膜有部分氧化的現象產生，因此本部分實驗利用 X 光光電子能譜儀(XPS)來針對所沉積的 TaN_x 薄膜進行化學成分分析，以期了解薄膜內部組成元素鉭與氮原子和氧原子的鍵結關係。關於在不同化合物中的 Ta 4f 電子束縛能值(binding energy)，文獻中的報導不盡相同，而本實驗中所採用的不同化合物中 Ta 4f 電子束縛能分別列於表 4-3 中^[33]。圖 4-4 則為 TaN_x 薄膜經過 Curve-Fitting 後之 XPS 4f 能譜圖。

由圖 4-4 可知，在此條件下成長出來的 TaN_x 薄膜，經過 XPS Curve-Fitting 分析，發現鉭原子周遭圍繞著不同含量的氮原子與氧原子，表示薄膜在沉積過程中確實有部分氧化的現象發生。可能的原因應是薄膜沉積時的腔體真空值不夠低，導致管路中殘留的氧氣參與反應而形成鉭的氧化物 TaO_x ，或是試片暴露於大氣時所造成之氧氣吸附。

表 4-3 不同化合物中 Ta 4f 電子束縛能

	Ta-O	Ta-N	Ta
4f_{7/2}	25.6 eV	24.3 eV	21.2 eV
4f_{5/2}	27.5 eV	26.2 eV	23.1 eV

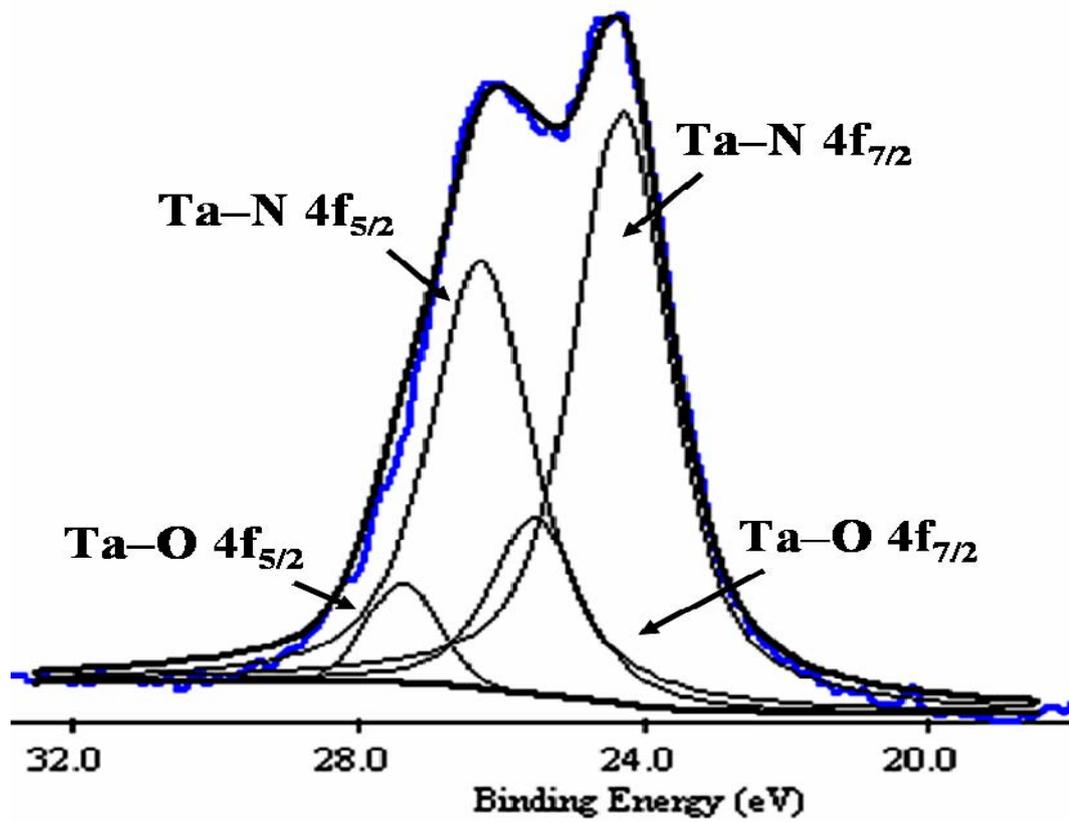


圖 4-4 TaN_x 薄膜經過 Curve-Fitting 後之 XPS 4f 能譜圖

4-2-3 成長速率

由於原子層沉積製程其每個反應圈數所沉積出來的厚度約略等於一個原子層厚度，故好處之一就是可以藉由所沉積的圈數多寡來精準地控制薄膜沉積厚度，並將其誤差縮減於數個 Å 之間。所以我們在此部分實驗中，固定試片基板溫度為 300°C、氫氣/氮氣氣體流量比為 5 sccm / 200 sccm、RF 電漿功率為 250 W，僅改變製程中的沉積圈數，分別為 150 cycles、225 cycles、275 cycles、325 cycles，再藉由穿透式電子顯微鏡(TEM)來觀察所沉積的薄膜厚度，以期計算出 PE-ALD TaN_x 的薄膜沉積速率 (growth Rate)。



圖 4-5 與圖 4-6 分別為 PE-ALD TaN_x 的薄膜沉積速率與不同製程沉積 cycle 數的 TaN_x 薄膜 TEM 影像。由圖 4-5 可知薄膜的沉積厚度大約與製程沉積 cycle 數成線性關係，且計算出來的薄膜沉積速率大約是 0.52 Å/cycle，此結果說明了於本系統本實驗參數條件下，可以準確藉由沉積圈數來達到所要的薄膜厚度。另外將圖 4-5 中的曲線外插可以發現，在薄膜成長初期，會有一段約 25 cycles 的孕核期(incubation time)，我們認為這應該是前驅物 TaCl₅ 分子附著於試片表面進行還原時，因活化能障或分解、吸附、脫附等問題而有較低的成核速率，進而導致沉積初期薄膜成長速率較慢。

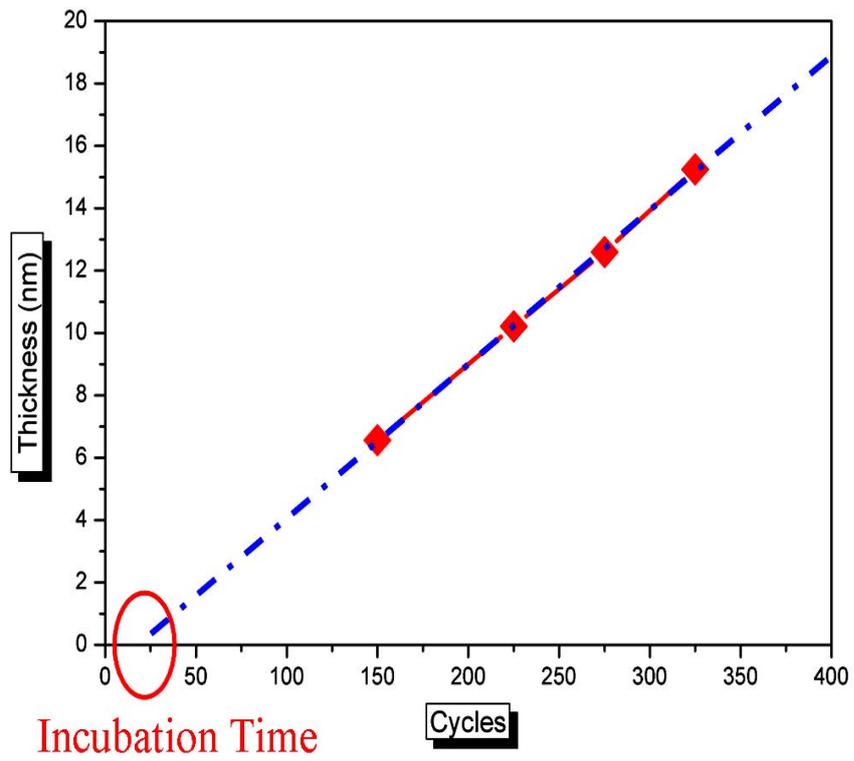


圖 4-5 PE-ALD TaN_x 的薄膜沉積速率



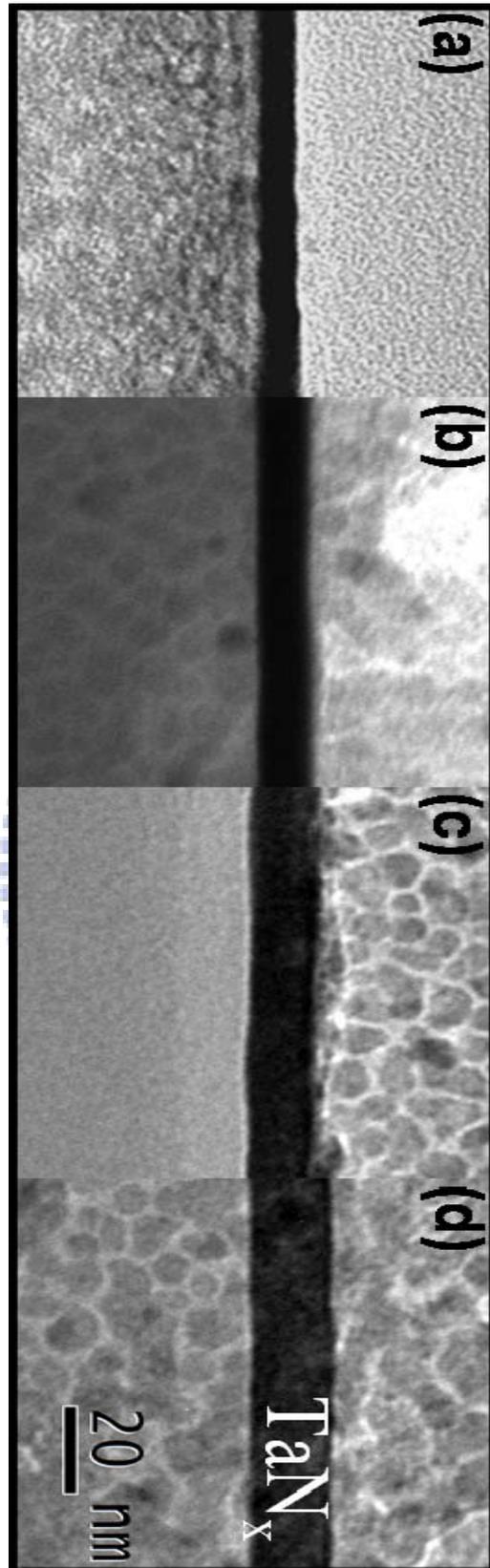


圖 4-6 PE-ALD TaN_x 在不同製程沉積圈數下的 TEM 影像 (a) 150 cycles (b) 225 cycles (c) 275 cycles (d) 325 cycles

4-2-4 表面形貌

由於是使用原子層沉積的製程方式來沉積 TaN_x 薄膜，所以薄膜的表面粗糙度(Roughness)應該是極為平坦。圖 4-7、圖 4-8 與圖 4-9 分別為 TaN_x 薄膜的 TEM、AFM 與 SEM 影像。於 TEM 的局部微區影像中可發現 TaN_x 薄膜具有良好的平坦及披覆性質；且經由 AFM 掃描過後可得知，其表面粗糙度(Root Mean Square, RMS)約為 0.237 nm，顯示出所沉積的 TaN_x 薄膜具有相當之平坦性，並另由 SEM 可知在大範圍影像面積下，其薄膜表面均勻性亦極佳。

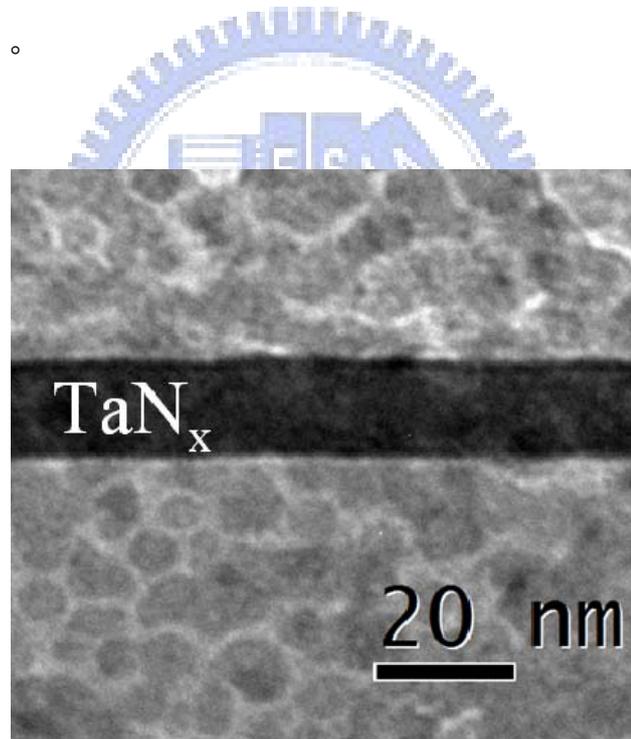


圖 4-7 TaN_x 薄膜的 TEM 影像

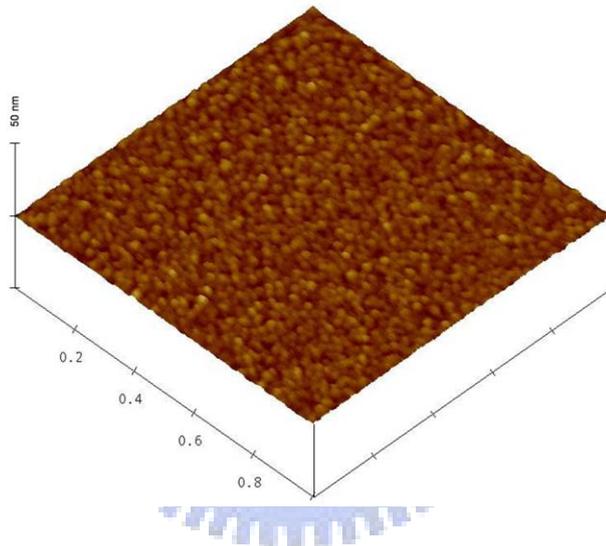
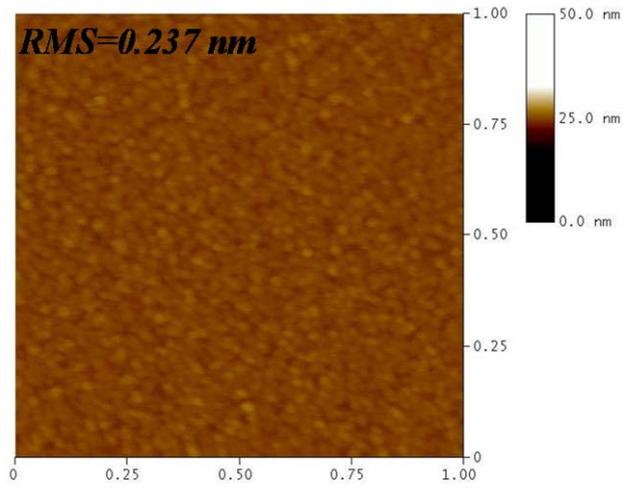


圖 4-8 TaN_x 薄膜的 AFM 2D 及 3D 影像

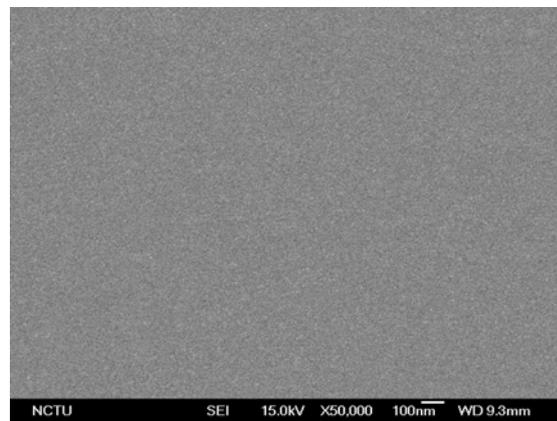


圖 4-9 TaN_x 薄膜的 SEM 影像

4-2-5 熱穩定性

由 4-2-1 實驗中 XRD 分析的結果可知所沉積的 TaN_x 薄膜為非晶質結構，且其對於銅原子以晶界作為快速擴散途徑的方式能有極大的抑制效果。但是，若在 IC 製程中的反應溫度(Reaction Temperature, T_c)高於非晶質材料的再結晶溫度(Re-crystallization Temperature, T_r)時，非晶質材料將轉變為結晶材料，此一結構轉變將會大幅減弱阻障效果。另一方面，在高溫環境下 TaN_x 阻障層若與矽基材產生界面反應，形成 $TaSi_2$ 等鈮-矽化合物，造成薄膜電阻率的上升亦會並對阻障效果產生影響並進而導致元件失效。

因此我們在此部分實驗中，將所沉積的 TaN_x 薄膜進行高溫真空退火 30 分鐘，工作壓力為 1×10^{-6} Torr，其退火溫度則分別為 400°C 、 500°C 、 600°C 、 700°C ，隨之使用低掠角 X-ray 繞射儀，對所沉積出來的 TaN_x 薄膜進行熱穩定性的分析比較，其結果如圖 4-10 所示。由圖可知，隨著退火溫度的升高， TaN_x 薄膜仍維持未退火前的非晶質結構，並且無 Ta_5Si_3 等鈮-矽化合物的訊號出現，顯示其熱穩定性質良好，至少可承受到 700°C 的高溫熱處理而不至於改變其薄膜本身的性質。

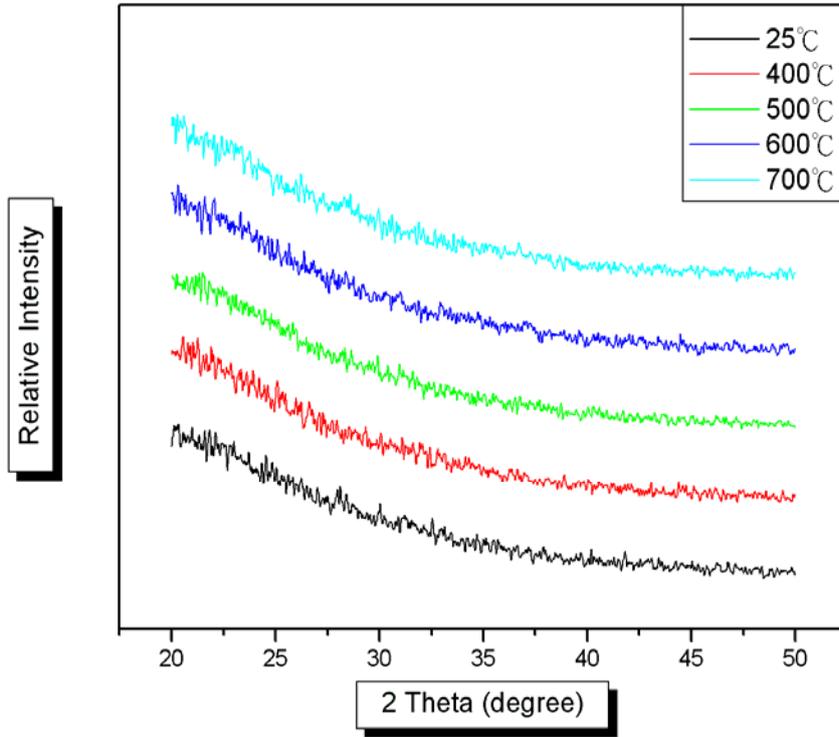


圖 4-10 TaN_x 薄膜之熱穩定性



4-3 Cu/TaN_x/SiO₂/Si 的阻障特性

前面介紹了在基板溫度 300°C、氫氣/氮氣流量比 5 sccm / 200sccm、RF 電漿功率為 250 W 的條件下，所成長出來的 PE-ALD TaN_x 薄膜的化學組成、成長速率、熱穩定性、微結構與電性等材料特性。為測試其阻障性質，本實驗依序在矽基材上沉積 SiO₂(200 nm)、TaN_x(10 nm)和 PVD Cu(100 nm)，製成 Cu/TaN_x/SiO₂/Si 之試片。隨後將試片置於退火爐管中，分別做 400°C、600°C 及 800°C 持溫 30 分鐘之熱處理，分析 TaN_x 薄膜作為銅擴散阻障層之性能。

4-3-1 GIXRD 分析

圖 4-11 為 Cu/TaN_x/SiO₂/Si 阻障系統在不同熱處理溫度下之 X 光繞射分析結果。由圖中可以發現，TaN_x 薄膜至少可承受至 600°C 的高溫熱處理而不失去阻障效果，符合一般 IC 後段製程的熱處理溫度需求，但隨著熱處理溫度升高至 800°C 時，即明顯有銅-矽化合物與鉭-矽化合物的形成。由此可知，Cu/TaN_x/SiO₂/Si 阻障系統經過 800°C 退火 30 分鐘後，已有內部原子相互擴散或反應之情形發生，使得 TaN_x 阻障層失效(Failure)。其中銅的訊號位置分別為 43.316 °、50.448 °；Cu₃Si 的訊號位置分別為 44.997 °、44.577 °；Ta₅Si₃ 的訊號位置為 38.407 °。另外隨著熱處理溫度的上升，可發現銅訊號的半高寬(Full-Width Half-Maximum, FWHM)會隨之變小，即銅膜本身的結晶性也會跟著增加。

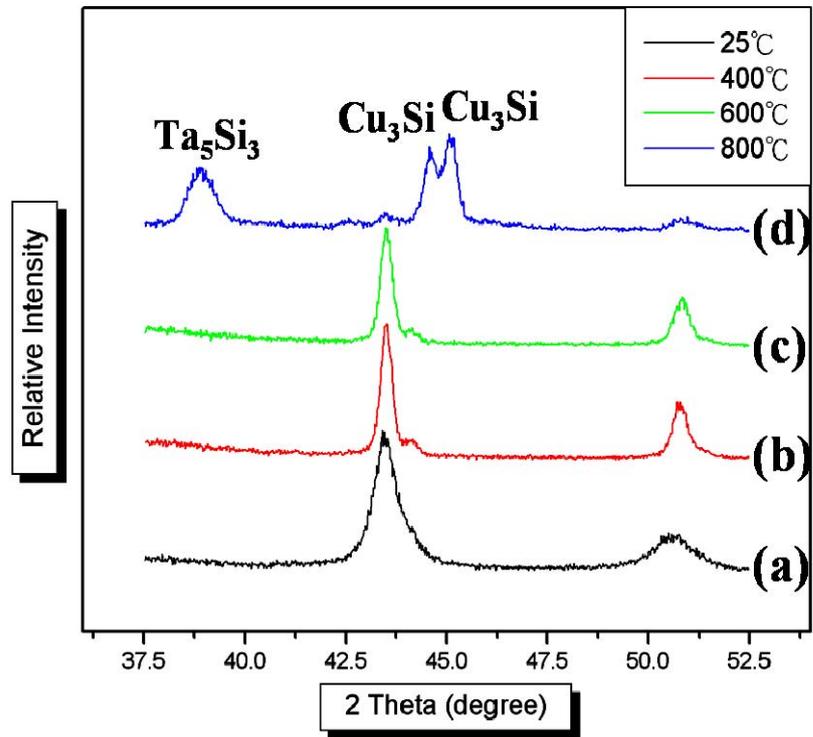


圖 4-11 Cu/Ta_x/SiO₂/Si 阻障系統在不同熱處理溫度下之 X 光繞射分析結

果 (a) 25°C (b) 400°C (c) 600°C (d) 800°C

4-3-2 銅膜片電阻觀察

圖 4-12 為 Cu/TaN_x/SiO₂/Si 阻障系統在不同熱處理溫度下之銅薄膜片電阻值(Sheet Resistance)變化情形。在一開始未經熱處理時，試片的片電阻值約為 2.88 Ω/square，隨著熱處理溫度從室溫升高至 600°C 時，銅膜的片電阻值並無太大的變化。然而當熱處理溫度上升至 800°C 時，銅膜片電阻值急劇上升至 217.37 Ω/square，這是因為 Cu/TaN_x/SiO₂/Si 系統中已有大量的 Cu-Si 化合物與 Ta-Si 化合物形成，而這些生成物的電阻值較高，因而造成銅膜的整體片電阻值大幅提高。

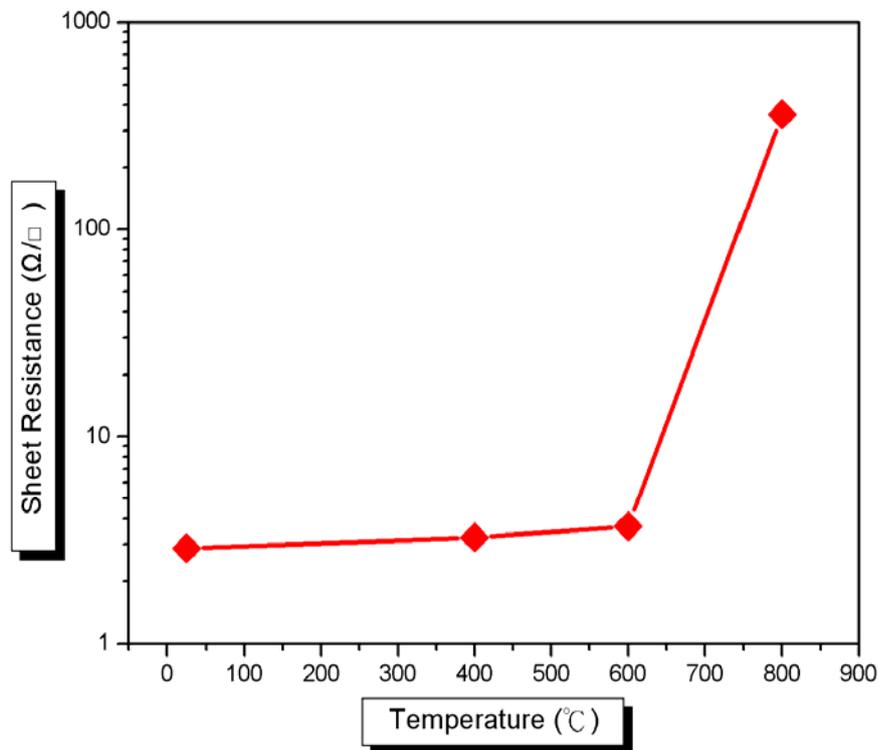
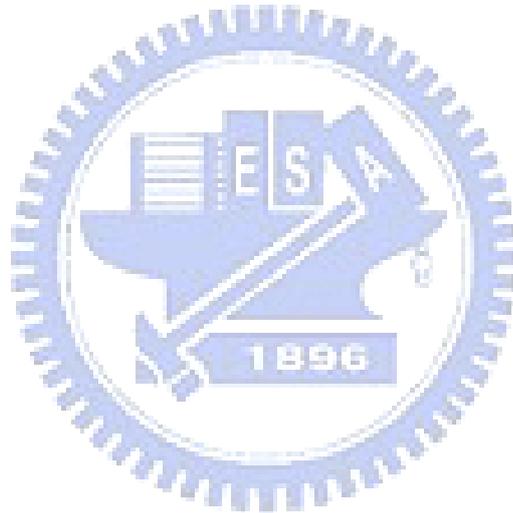


圖 4-12 Cu/TaN_x/SiO₂/Si 阻障系統經熱處理過後之銅薄膜片電阻變化情形

4-3-3 表面型態

圖 4-13 為 Cu/TaN_x/SiO₂/Si 阻障系統在熱處理溫度 800°C 下之 SEM 表面型態照片。由圖 4-13 (a) 中可發現銅膜表面有許多破洞，顯示銅膜表面已開始產生凝聚結塊現象^[34]。圖 4-13 (b) 則顯示出銅膜表面除了孔洞外，尚有許多白色細絲存在，而圖 4-13 (c) 則為圖 4-13 (b) 的區域放大圖。



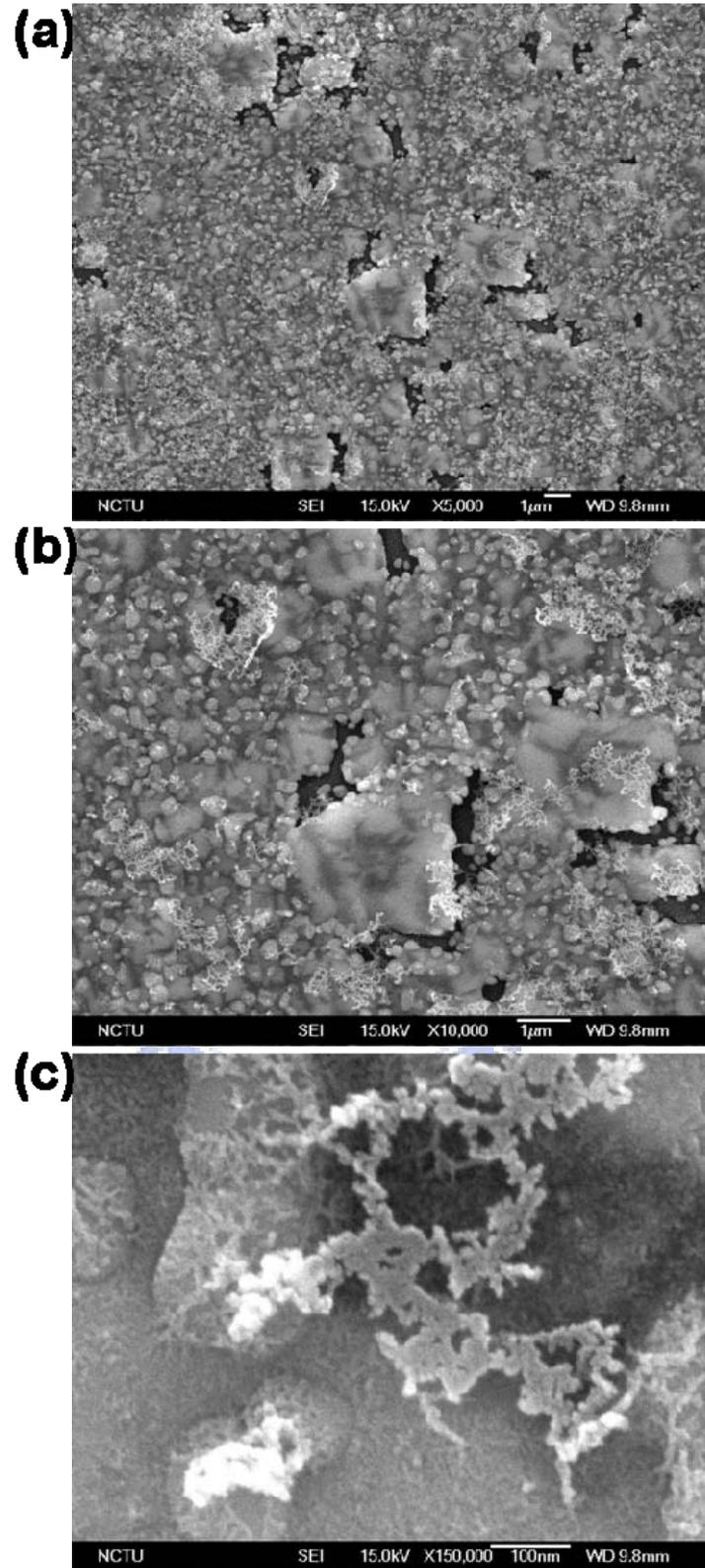


圖 4-13 Cu/Ta_{N_x}/SiO₂/Si 阻障系統在 800°C 熱處理之 SEM 表面型態照片

(a) 放大倍率 x 5000 (b) 放大倍率 x 10000 (c) 放大倍率 x 100000

4-4 TaN_x/Cu 附著力之探討與比較

隨著近年來積體電路元件尺寸的縮小，使得元件內的導線線寬與間距逐漸縮小之際，間接也提高了製程的複雜性。而疊層間訊號損失的提高與金屬疊層與阻障層間附著性不佳等問題，則嚴重影響了元件本身的可靠度。且 R. Saxena^[19]指出，隨著線寬縮小、銅導線沉積膜厚變薄時，銅膜本身的凝聚結塊現象會更加地明顯。

由於銅原子與氮原子之間的莫耳生成熱約為+24.8 kJ/mol，而銅原子與氮原子之間的莫耳生成熱約為+3 kJ/mol，明顯可知 Cu/Ta 界面的附著強度較 Cu/TaN 界面來的好，無 Cu-N repulsion 的現象發生，因此在本部分實驗中，希望藉由對 PE-ALD TaN_x 薄膜進行表面改質處理，使得 TaN_x 薄膜表面還原產生純金屬鈹，進而達到有助於銅膜沉積後其與阻障層薄膜間附著性的改善，並降低失潤現象的產生。主要表面處理方式如下：

1. 於含有 15 % 氫氣的 Forming Gas 環境下進行 RTA 熱處理，藉由調變熱處理溫度，以期使氫的活性粒子與薄膜表面發生反應，使表面產生脫氮現象而還原得到金屬鈹。
2. 對 TaN_x 薄膜進行氫電漿處理，藉由調變反應腔體中的工作壓力以期以氫的自由基破壞 Ta-N 鍵結增進阻障層薄膜表面與銅膜間的的鍵結強度。

3. 最後再將經過此兩種處理方式的試片結果與 PE-ALD Ta/TaN_x 疊層結構做比較，希望能達到有效改善銅膜與 Ta-N 薄膜疊層間的附著性，且能減少製程步驟、製程成本與製程時間之目標。

4-4-1 15% 氫氣的 RTA 熱處理

在本部分實驗中，我們將在基板溫度 300°C、氫氣/氫氣氣體流量比 5 sccm / 200 sccm、RF 電漿功率 250 W、沉積圈數為 200 cycles 的條件下所成長出來的 PE-ALD TaN_x 薄膜，15 % 氫氣的 Forming Gas 氛圍下，分別進行 300°C、500°C 及 700°C 的 RTA 退火處理，熱處理時間為 60 秒，接著馬上在熱處理完的試片上以 PVD 方式濺鍍上 100 nm 的銅膜金屬，隨後進行 450°C 真空退火一小時，並分析 Cu/TaN_x 的界面附著性。

利用 XPS 的定性分析，可發現 TaN_x 薄膜的金屬鉭訊號經過 300°C 與 500°C RTA 熱處理一分鐘與未經 RTA 熱處理的 Ta (4f) 訊號峰經 Curve-Fitting 後的圖形並無相異之處。但當熱處理溫度達到 700°C 時，其 Curve-Fitting 過後的 Ta (4f) 訊號峰除了原本氮化與氧化的訊號外，出現了一小部分純金屬鉭的訊號，如圖 4-14 (a) 與 (b) 所示。此顯示 TaN_x 薄膜表面產生了部分還原的現象，推測可能原因來自 Forming Gas 中的氫氣在 700°C 的高溫下與 TaN_x 薄膜產生還原反應，致使薄膜表面產生脫氮的效果^[35-36]。此結果與 Cu/TaN_x 疊層經 450°C 退火一小時後的 SEM、AFM 影

像一致。由圖 4-15 (a)、(b)與圖 4-16 (a)、(b)可知，經 700°C 熱處理的試片與未處理的試片相較之下，其表面銅膜與 TaN_x 的附著性較好，且表面粗糙度較小，約降低了 54.2%。由此可知經過 700°C 15 % 氫氣 RTA 熱處理的 TaN_x 薄膜，其與銅膜間的附著強度有明顯的改善。

4-4-2 氫電漿前處理

在本部分實驗中，我們將在基板溫度 300°C、氫氣/氫氣氣體流量比 5 sccm / 200 sccm、RF 電漿功率 250 W、沉積圈數為 200 cycles 的條件下所成長出來的 PE-ALD TaN_x 薄膜，進行氫電漿處理，以期以氫的活性離子或是自由基(Radicals)來與 TaN_x 薄膜反應，進而減少薄膜表面的 Ta-N 鍵結，進而增進 TaN_x 薄膜與銅膜間的附著強度。氫電漿處理的參數為：固定電漿處理時間 60 秒、ICP 電漿功率 500 W、基板溫度為室溫，僅改變工作壓力分別為 5 mTorr、50 mTorr、500 mTorr。由於沉積的 TaN_x 薄膜厚度很薄，大約是 10 nm，所以電漿處理過程中不施加基板偏壓，以避免過度蝕刻因而破壞薄膜的平坦性。表 4-4 為氫電漿處理過後 TaN_x 薄膜經 AFM 掃描後所得的試片表面粗糙度。隨著反應腔體中工作壓力的降低，試片表面粗糙度有隨之上升的趨勢，推測可能原因是當工作壓力下降時，活性氣體離子在腔體中的平均自由徑增加，導致氣體離子動能變大，因而對薄膜產生的蝕刻效果。

隨之將電漿處理過後的試片進行 XPS 定性分析，並以 PVD 方式濺鍍上 100 nm 的銅膜金屬，進行 450°C 真空退火一小時，探討 Cu/TaN_x 的界面附著性。於 XPS 的定性分析中，可發現 TaN_x 薄膜的 Ta (4f) 訊號峰經過 5 mTorr、50 mTorr 氬電漿處理與未經表面處理的 Curve-Fitting 圖形幾乎完全一致。但當工作壓力達到 500 mTorr 時，其 Curve-Fitting 過後的 Ta (4f) 訊號峰除了原本氮化與氧化的訊號外，亦出現了微弱的純金屬鉭訊號，如圖 4-14 (c) 所示。此顯示 TaN_x 薄膜表面極可能因活性氣體離子與 Ta-N 鍵結產生反應，而非產生蝕刻效果，然後致使薄膜表面產生脫氮^[37]。

此結果與 Cu/TaN_x 疊層經 450°C 退火一小時後所得到的 SEM、AFM 影像相近。由圖 4-15 (a)、(c) 與圖 4-16 (a)、(c) 可知經 500mTorr 氬電漿處理的試片與未處理的試片相較之下，其表面銅膜與 TaN_x 的附著性較好，且表面粗糙度較小，試片表面的粗糙度約降低了 21.8%。由此可知經過 500 mTorr 氬電漿處理的 TaN_x 薄膜，其與銅膜間的附著強度亦有增強的效果出現。然而與 700°C、15 % 氬氣 RTA 熱處理的結果相較，可發現氬電漿處理的效果較差，推測原因可能是氬電漿處理過程中，TaN_x 薄膜表面粗糙度的增加，造成後續退火時銅膜較容易產生失潤現象。

為了了解是否因試片表面粗糙度影響而造成經 500 mTorr 氬電漿處理的試片，其抗失潤效果較 700°C、15 % 氬氣 RTA 熱處理來的差，我們製

備兩組 PE-ALD Ta/TaN_x 試片，編號分別為 P 和 Q，其阻障系統沉積條件相同，皆為基板溫度 300°C、RF 電漿功率 250 W，先後沉積 200 cycles 的 TaN_x 與 50 cycles 的 Ta，使之形成 Ta/TaN_x 的疊層結構。P 試片進行 500 mTorr 氫電漿處理，而 Q 試片則未經 500 mTorr 氫電漿處理，隨後進行 AFM 試片掃描觀察其退火前的表面粗糙度，並隨即經 PVD 鍍銅 100 nm 後進行 450°C 退火一小時，觀察其退火後 SEM 的表面型態，如表 4-5 與圖 4-18 所示。

由表 4-5 可知經 500 mTorr 氫電漿處理過後的試片表面粗糙度較未處理的試片來的大，且圖 4-17 之 SEM 影像顯示，經過鍍銅 450°C 退火一小時後銅膜的凝聚結塊現象，在經 500 mTorr 氫電漿處理的試片中較為明顯。因此在對 TaN_x 薄膜表面進行氫電漿處理過程中，雖然氫的活性粒子與 Ta-N 鍵結反應產生金屬鈹還原，但是由於電漿處理所造成的試片表面粗糙度增加對後續退火時銅膜的失潤現象仍有一定的影響。

4-4-3 Ta/TaN_x 疊層結構

在本部分實驗中，我們在基板溫度 300°C、RF 電漿功率 250 W 的沉積條件下，先後沉積 200 cycles 的 TaN_x 與 50 cycles 的 Ta，使之形成 Ta/TaN_x 的雙層疊層結構，其氮氣/氫氣的氣體流量比分別為 5 sccm / 200 sccm 與 0 sccm / 200 sccm。隨之將試片進行 XPS 定性分析，並以 PVD 方式濺鍍上

100 nm 的銅膜金屬，進行 450°C 真空退火一小時，分析 Cu/Ta/TaN_x 的界面附著性。圖 4-14 (d) 為 Ta (4f) 訊號峰的 XPS Curve-Fitting 結果。圖 4-15 (d) 與圖 4-16 (d) 則分別為 Cu/Ta/TaN_x 疊層，在 450°C 真空退火一小時後的 SEM 與 AFM 影像，Cu/Ta/TaN_x 疊層經退火後的附著性較 Cu/TaN_x 疊層來的好，且表面粗糙度也比較小。

實驗最後將經過上述三種不同處理的試片，利用 NDL 的附著力測試系統進行附著力的量測。所採用的試片面積為 2 × 2 cm²，經試片前處理準備後，每個條件下的試片皆量測 20 次，由於希望盡量避免實驗誤差，故將所得之數據去除較大與較小的值後取平均，其測試結果如圖 4-18 所示。由實驗結果可知，無論是經過 RTA (15 % H₂) 熱處理、500mTorr 氬電漿處理或是再疊一層金屬鈿薄膜，皆可得到銅膜在後段高溫退火製程過後附著強度有增加的趨勢，此結果與 SEM 影像及 Ta (4f) 訊號峰之 XPS Curve-Fitting 相符。其中 RTA 15 % H₂) 熱處理的改善效果與 Ta/TaN_x 疊層的效果相近，但卻可達到減少製程的時間與製程成本的目標。

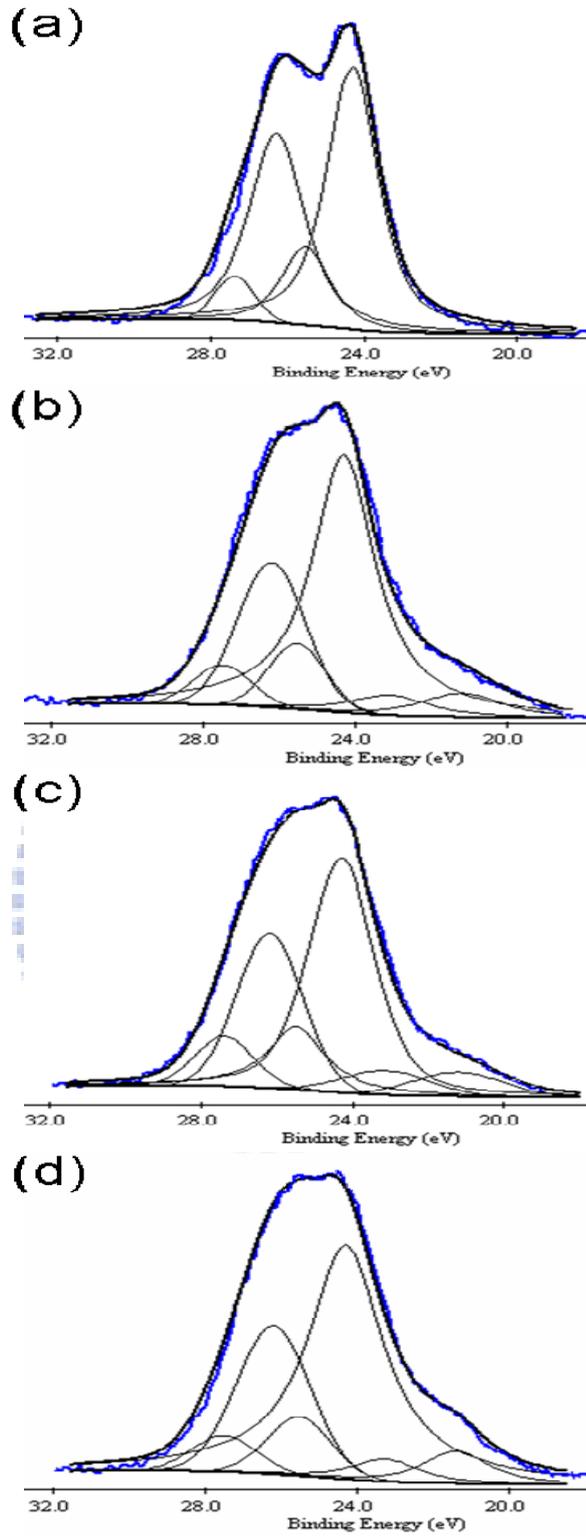


圖 4-14 TaN_x 薄膜經表面處理後之 XPS Curve-Fitting 圖 (a) 未經任何處理 (b) 700°C 的 RTA ($15\% \text{H}_2$) 熱處理 (c) 500 mTorr 氫電漿處理 (d) Ta/ TaN_x

疊層結構

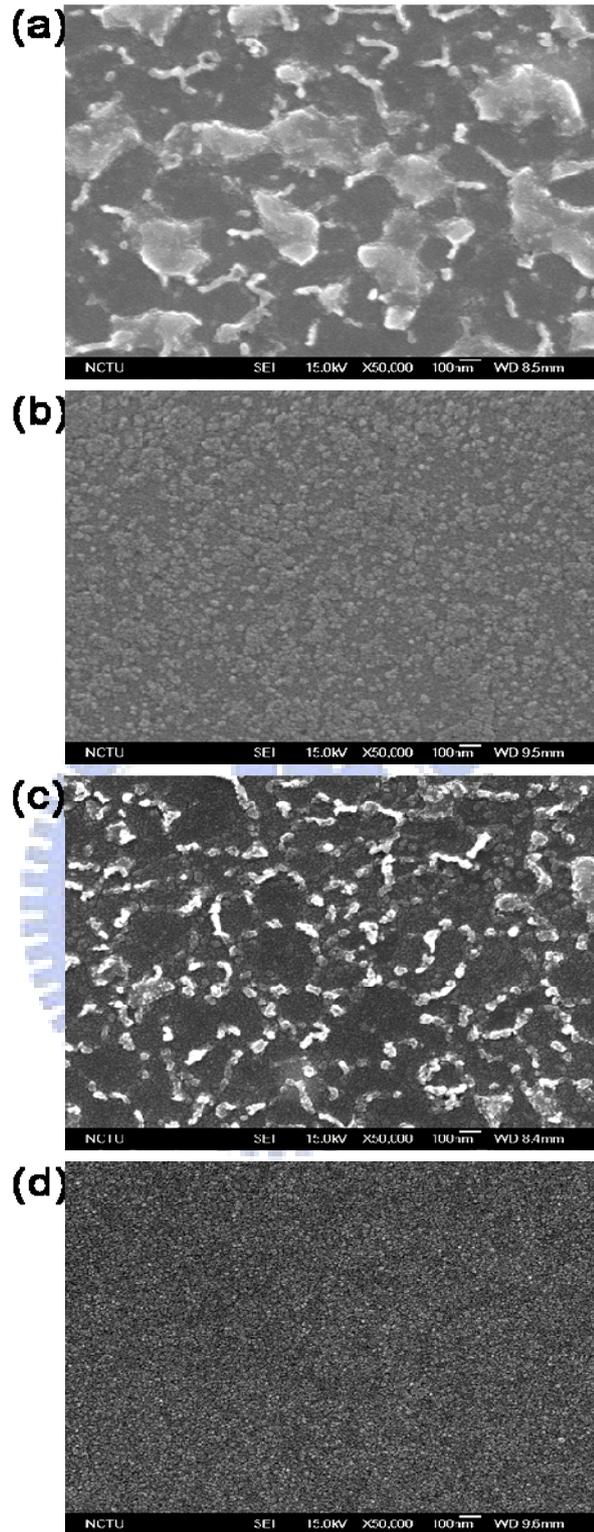


圖 4-15 TaN_x 薄膜經表面處理且鍍銅退火後之 SEM 影像 (a) 未經任何處理 (b) 700°C 的 RTA (15 % H₂) 熱處理 (c) 500 mTorr 氫電漿處理 (d)

Ta/TaN_x 疊層結構

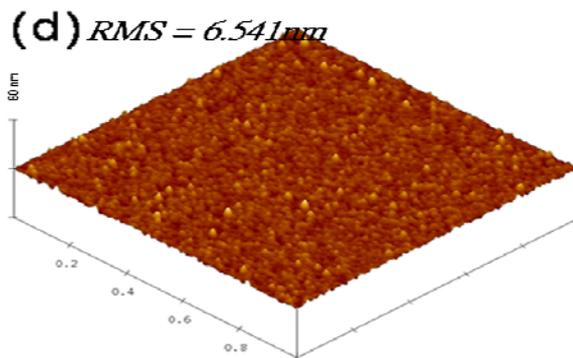
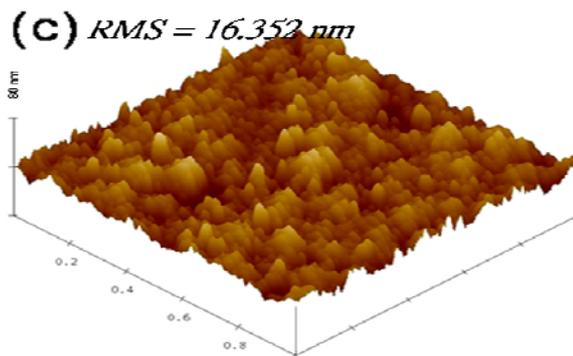
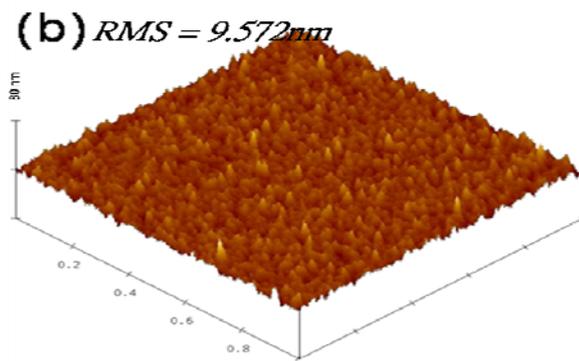
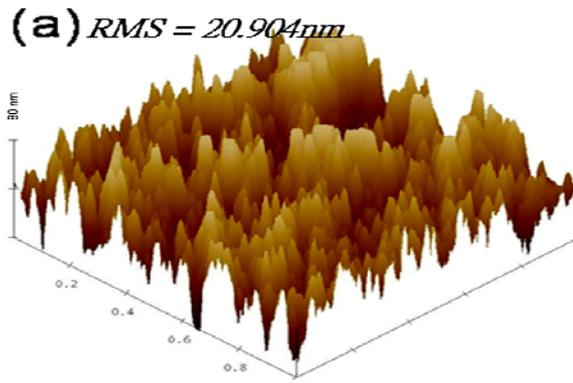


圖 4-16 TaN_x 薄膜經表面處理且鍍銅退火後之 AFM 影像 (a) 未經任何處理 (b) 700°C 的 RTA ($15\% \text{H}_2$) 熱處理 (c) 500 mTorr 氫電漿處理 (d)

Ta/ TaN_x 疊層結構

表 4-4 TaN_x 薄膜經氫電漿表面處理後之試片表面粗糙度

	Untreated	5 mtorr	50 mtorr	500 mtorr
RMS	0.273 nm	2.942 nm	1.683 nm	0.857 nm

表 4-5 Ta/TaN_x 之試片表面粗糙度

	500 mTorr H₂ plasma treatment	Untreated
RMS	0.824 nm	0.328 nm

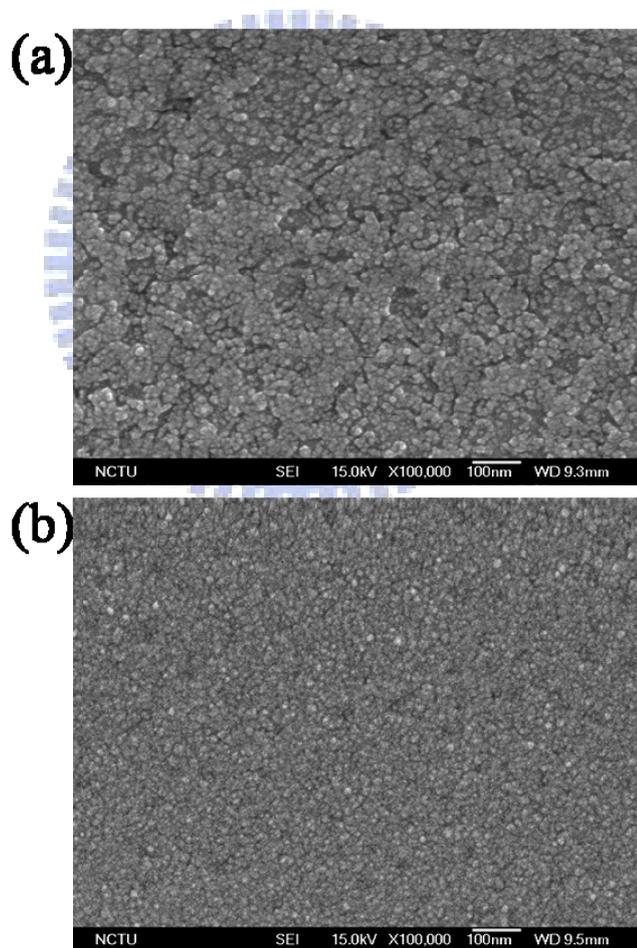


圖 4-17 Cu/Ta/TaN_x 450°C 退火一小時後之 SEM 影像 (a) 經 500 mTorr 氫電漿處理 (b) 未經 500 mTorr 氫電漿處理

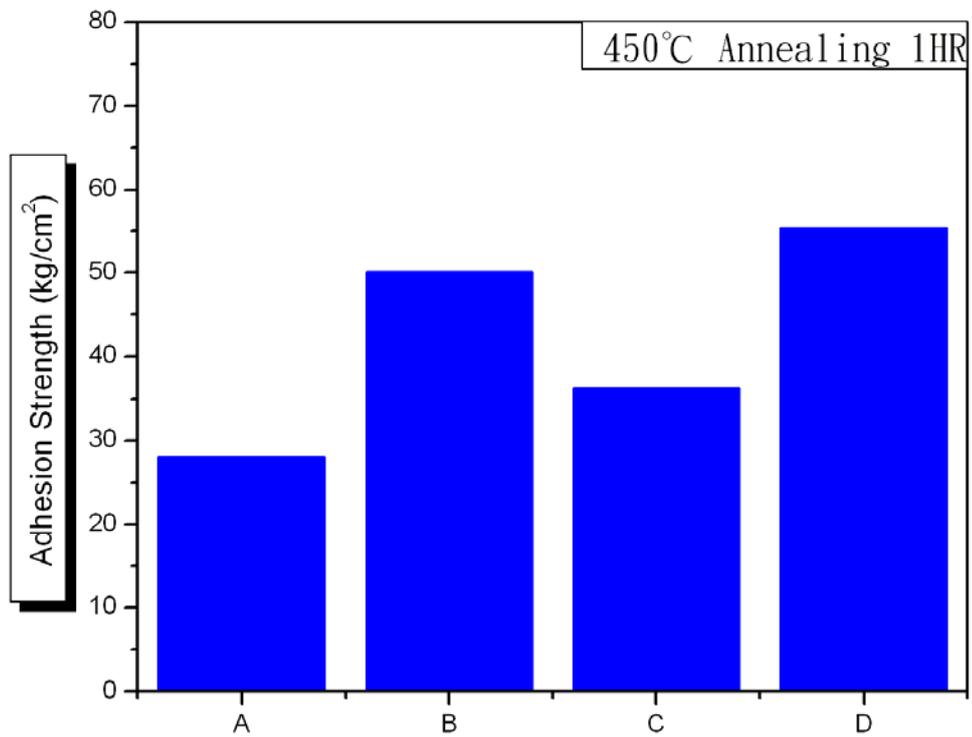


圖 4-18 TaN_x 薄膜經各種表面處理且鍍銅退火 450°C 一小時後之薄膜附著強度。其中 A. 未經任何處理 B. 700°C 的 RTA (15 % H₂) 熱處理 C. 500 mTorr 氬電漿處理 D. Ta/TaN_x 疊層結構

第五章、結論

隨著積體電路元件尺寸的縮小，使得元件內的導線線寬與間距逐漸縮減之際，也間接提高了製程的複雜性。而疊層間訊號損失的提高與金屬疊層與阻障層間附著性不佳等問題愈發顯著，嚴重影響了元件本身的可靠度。因此於本實驗中以 PE-ALD 方式沉積的 TaN_x 薄膜，藉由調控氫氣/氮氣的氣體流量比與 RF 電漿功率等參數，分析其基本性質，並藉由試片熱處理及表面改質來探討阻障層薄膜對銅原子的阻障特性與對元件可靠度的影響。

5.1 研究結論

1. 藉由調控 PE-ALD 製程中的氫氣/氮氣的氣體流量比與 RF 電漿功率，我們可得到電阻率較低($\sim 294 \mu\Omega\text{-cm}$)的 TaN_x 薄膜，此將有助於降低阻障層與基材、薄膜的接觸電阻。並且經由後續分析可知此薄膜的表面平坦、成長速率為 $0.52 \text{ \AA} / \text{cycle}$ 、為非晶質的晶體結構、熱穩定性質良好，可維持薄膜結構至 700°C 高溫。
2. 而在 $\text{Cu}/\text{TaN}_x/\text{SiO}_2/\text{Si}$ 疊層結構進行高溫退火的實驗中，可測試得到 TaN_x 薄膜對銅原子的阻障性質。由 XRD 分析結果可知， TaN_x 薄膜至少可承受至 600°C 的高溫處理，而不產生 Cu-Si 化合物導致薄膜失

效，此結果則符合現今 IC 後段製程的需求($\sim 420^{\circ}\text{C}$)。

3. TaN_x 薄膜無論是經由 RTA (15 % H_2)熱處理或氫電漿處理等表面處理，都能在適當條件下成功減少薄膜表面的 Ta-N 鍵結，並還原成部份純金屬鈮，由於銅與金屬鈮的附著能較銅與 TaN_x 來的大，故能有效改善 $\text{Cu}/\text{TaN}_x/\text{SiO}_2/\text{Si}$ 疊層結構在後段退火溫度中的失潤現象。因此，隨著元件尺寸的縮小，使用薄膜表面處理來改善阻障層與銅膜間的附著性，能達到與使用 Ta/TaN_x 雙層阻障層結構的效果，卻又能達到有效降低使用 PE-ALD 製程沉積金屬鈮附著層的時間與成本。



5.2 未來工作

1. 本實驗是利用快速升溫退火爐在氫氣的氛圍下，以期還原 TaN_x 擴散阻障層表面的 Ta-N 鍵結增進銅膜與阻障層間的附著強度。實驗設計是在固定氫氣濃度(15%)下改變熱處理溫度進行表面改質，且結果顯示在 700°C 的高溫處理下阻障層薄膜才有部分還原現象出現，但由於此溫度超過一般 IC 後段製程的操作溫度範圍。故我們後續將嘗試改變熱處理時的氫氣濃度及時間，希望降低熱處理溫度後仍能有效改善銅膜與 TaN_x 阻障層的附著強度，以相容於現今半導體後段製程。
2. 由於實驗中皆未以溝渠(trench)及引洞(via hole)等高深寬比的結構做為薄膜沉積及改質的探討對象，故未來將嘗試將現有的研究成果與這些高深寬比的結構整合在一起，以探討評估其可行性。

參考文獻

1. National Technology Roadmap for Semiconductor, Semiconductor Industry Association, 1997.
2. S. P. Murarka, I. V. Verner and R. J. Gutmann, Copper-Fundamental Mechanisms for Microelectronic Applications, p.6, 2000.
3. 顧子琨，「超大型積體電路之銅連接線技術」，電子月刊，第 5 卷第 6 期，117 頁，1999 年。
4. International Technology Roadmap for Semiconductor, Semiconductor Industry Association, 2005.
5. S. Bystrova, A. A. I. Aarnink, J. Holleman and R. A. M. Wolters, J. Electrochem. Soc., p.522, 2005.
6. M.-A. Nicolet, Thin Solid Films, p.415-443, 1978.
7. H. J. Kwon and K. Won, Acta Material., p.3965, 1999.
8. Suntola and J. Antson, US Patent 4058430, 1977.
9. M. Depas, B. Vermeire, P. W. Mertens, R. L. Van Meirhaeghe and M. M. Heyns, Solid-State Electron., p.1465, 1995.
10. E. Merzbacher, Quantum Mechanics, 1998.
11. R. M. Wallace and G. D. Wilk., Materials Research Bulletin, 2002.
12. L. Kang, B. H. Lee, W. J. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi and J. C. Lee, IEEE Trans. Electron Devices, p.181, 2000.
13. D. Edelstein, C. Uzoh, C. Cabral, Jr., P. DeHaven, P. Buchwalter, A. Simon, E. Cooney, S. Malhotra, D. Klaus, H. Rathore, B. Agarwala and D. Nguyen, Proc. IEEE Int. Interconnect Technology Conf., p.9, 2001.
14. M. Lane, N. Krishna, I. Hasim and R. H. Dauskardt, J. Mater. Res., p.203, 2000.
15. M. Lane, A. Vainchtein, H. Gao and R. H. Dauskardt, J. Mater. Res., p.2758, 2000.
16. M. W. Lane, J. M. Snodgrass and R. H. Dauskardt, Microelectron Reliab., p.1615, 2001.
17. T. Kitamura, T. Shibutani and T. Ueno, Eng. Fract. Mech., p.1289, 2002.
18. R. Saxena, M. J. Frederick, G. Ramanath, W. N. Gill and J. L. Plawsky, PHYSICAL REVIEW, p.115425, 2005.

19. K. Ishikawa, T. Iwasaki, T. Fujii, N. Nakajima, M. Miyaguchi, T. Ohshima, J. Noguchi, H. Aoki and T. Saito, Proc. IEEE Int. Interconnect Technology Conf, p.2, 2003.
20. M. W. Lane, E. G. Liniger and J. R. Lloyd, J. Appl. Phys., p.1417, 2003.
21. T. Vanypre, M. Cordeau, T. Mourier, W.F.A. Besling, J-C. Dupuy and J. Torres, Microelectronic Engineering, p.2373-2376, 2006.
22. Degang Cheng, Guillermo Nuesca and Eric Eisenbraun, Mat. Res. Soc. Symp. Proc., Vol. 766, 2003.
23. Oh-Kyum Kwon, Jae-Hoon Kim, Hyoung-Sang Park and Sang-Won Kanga, Journal of The Electrochemical Society, p.109-112, 2004.
24. L. C. Leu, D. P. Norton, L. McElwee-White and T. J. Anderson, APPLIED PHYSICS LETTERS, p.111917, 2008.
25. Jing-Jing Tan, Xin-Ping Qu, Qi Xie, Yi Zhou and Guo-Ping Ru, Thin Solid Films, p.231-234, 2006.
26. Zhengwen Li, Roy G. Gordon, Damon B. Farmer, Youbo Lin and Joost Vlassak, Electrochemical and Solid-State Letters, p.182-185, 2005.
27. K. Hieber, Thin Solid Films, p.157, 1974.
28. In Cheol Baek, Han Choon Lee, Cheonman Sim, Jae Won Han, Kee Ho Kim¹, Soo Hyun Kim and Sahng Kyoo Lee, Mater. Res. Soc. Symp. Proc., Vol.914, 2006.
29. J. Park, H. Park and S. W. Kang, J. Electrochem. Soc., p.28, 2002.
30. C. S. Liu, L. J. Chen, J. Appl. Phys., p.5001, 1993.
31. C. S. Liu, L. J. Chen, Thin Solid Films, p.187, 1995.
32. Jill Chastain and Roger C. King, Handbook of X-ray Photoelectron Spectroscopy, A Reference Book of Standard Spectra for Identification and Interpretation of XPS Data.
33. W. H. Lee, Y. L. Kuo, H. J. Huang and C. P. Lee, Materials Chemistry and Physics, p.444-449, 2004.
34. J. W. Lim, K. Mimura and M. Isshiki, Science and Technology of Advanced Materials, p.391-396, 2003.
35. Ihl Hyun CHO, Ji-Soo PARK, Dong Kyun SOHN and Jae Hee HA, J. Appl. Phys., p.4854-4861, 2001
36. Zhengwen Li and Roy G. Gordon, Chem. Vap. Deposition, p.435-441, 2006.
37. Kyeong-Keun Choi, Jong-Ho Yun and Shi-Woo Rhee, Thin Solid Films, p.255-260, 2003.