

國立交通大學

奈米科技研究所

碩士論文

環繞式閘極多晶矽奈米線薄膜電晶體之特性

Characteristics of Poly-Si Nanowire TFTs with
Gate-All-Around

研究生：許子訓

指導教授：許鈺宗 博士

中華民國九十七年六月

環繞式閘極多晶矽奈米線薄膜電晶體之特性

Characteristics of Poly-Si Nanowire TFTs with Gate-All-Around

研究生：許子訓

Student : Tzu-Shiun Sheu

指導教授：許鈺宗

Advisor : Jeng-Tzong Sheu



Submitted to Department of Institute Nanotechnology

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

June 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年六月

環繞式閘極多晶矽奈米線薄膜電晶體之特性

研究生：許子訓

指導教授：許鈺宗 博士

國立交通大學

奈米科技研究所

摘要

本研究以側壁 Spacer 奈米線技術製作出環繞式閘極多晶矽薄膜電晶體，經過 24 小時退火的多晶矽奈米線，將其下面的 BOX 氧化層濕式蝕刻移除後，使奈米線呈懸梁臂的懸空狀態，再將薄氧化層沉積上去當閘極絕緣層，之後蓋上 N^+ 多晶矽薄膜，此層須將整個空隙填滿，包住整個通道，來提升閘極對通道的控制能力，改善短通道效應。元件完成後，經過氬電漿處理，發現它整個電性有非常明顯的改善，包括極高驅動電流，低次臨界擺幅(Subthreshold Swing)達到 114 mV/dec、載子遷移率亦獲改善、幾乎零汲極引發位能障下降(DIBL)、高開關電流比(On-Off Current Ratio) $>10^8$ 、並有效抑止由於碰撞游離現象所造成的 Kink 效應。另外研究發現多通道的薄膜電晶體，有較低的臨界電壓，陡峭的次臨界斜率(107 mV/dec)，高電流開關比 $>10^9$ ，但閘極引發汲極漏電流(GIDL)變得明顯。

此三維結構電晶體，藉由增加閘極對通道的控制面積，使得漏電得以控制，抑止短通道效應，元件特性比傳統的平面電晶體、雙閘極及三閘極還要好。由於多晶矽薄膜電晶體受限於晶粒邊界缺陷(Grain Boundary Traps)的問題，使得載子遷移率很低，開關電流比很難進一步提升，因此我們將通道四周包住，來提升閘極控制能力。再經過電漿處理，降低介面態(Interface State)與通道中晶粒邊界的缺陷密度，使元件有非常優越的特性，其改善的幅度遠大於其他團隊。

Characteristics of Poly-Si Nanowire TFTs with Gate-All-Around

Student : T. S. Sheu

Advisor : Dr. J. T. Sheu

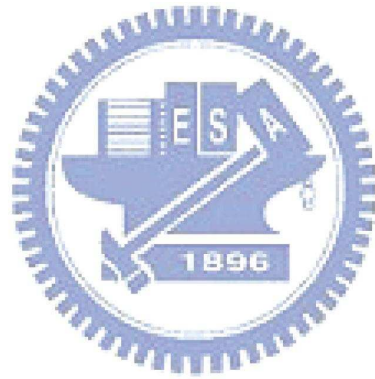
Department (Institute) of Nanotechnology
National Chiao Tung University

ABSTRACT

This thesis successfully demonstrated gate-all-around polycrystalline silicon (poly-Si) thin film transistor with side-wall spacer nanowire technique. The poly-Si nanowire after solid phase crystallization for 24 hours was released to suspension from buried oxide by using wet etching process in DHF solution. The released suspending nanowire was followed by a 20-nm TEOS deposition as gate oxide. Subsequently, a 200-nm-thick in situ n^+ doped poly-Si layer was deposited and patterned to form a gate electrode. The channel about 70-nm-width was wrapped around by gate oxide and poly-Si gate. This gate-all-around structure exhibits superior channel controllability and immunity of short channel effects (SCEs). After the device fabricated, it was passivated by NH_3 plasma treatment for 1 hour at $300^\circ C$. The device performance was improved after NH_3 plasma treatment, including a high driving current, a steep subthreshold swing(114 mV/dec), a better mobility, near free of DIBL, a high on/off current ratio($>10^8$), and suppression of kink effect induces by ion impacted ionization. In addition, the multiple channel nanowire TFTs have a lower threshold voltage, a steeper subthreshold swing(107 mV/dec), a higher on/off current ratio($>10^9$), but gate induce drain leakage was serious than dual-channel device.

In this 3-D structure, the increase of gate area over channel to suppress SCEs and leakage current were accomplished. The device shows excellent performance than

conventional planar transistor, double gate fin-FET, and tri-gate fin-FET. Due to the poly-Si TFTs were limited by the defects of grain boundary, the carrier mobility and on/off ratio are difficult to enhance, GAA structure was adopted to overcome these limitations. The trap state density of grain boundaries can be further reduced after NH_3 plasma passivation.



誌謝

首先感謝指導老師 許鈺宗 博士給我機會可以完成碩士學位，也很感謝老師在碩士生涯中給我的諄諄教誨，沒有老師一路叮嚀和指導，碩士學位很難如此順利的拿到，再次感謝。

感謝實驗室的學長，振嘉學長在我的碩士生涯中，每凡我遇到問題時，都會請教他。柏鈞學長帶我從這塊不熟悉的半導體領域慢慢適應，和我一起做實驗，在研究上給了我許多建議及方向。皓恆學長不僅在生活上陪我們一起度過，平時提供我們許多戶外活動可以參加。

感謝實驗室所有的學長，振嘉、家豪、柏鈞、皓恆、泰瑞、宥任、玠澤、學宏、裕得、振庭、錫坡。這些日子裡我不是孤單作戰，而是有你們的陪伴。每當實驗有困難或是對碩士生活覺得煩悶時，你們總是會出現在我身邊幫助我、叮嚀我讓我不至懈怠而順利的度過層層的關卡。

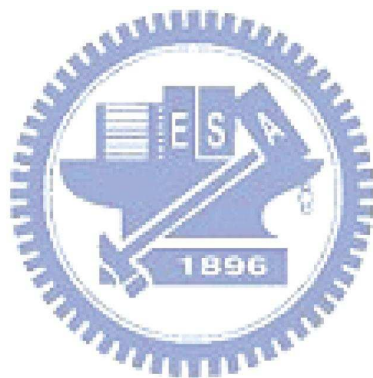
感謝實驗室所有的同學和學弟，奕貞、昶龍、欣霖、履安、伯勳、治廷、昭睿、盈傑。這些日子和你們相處，總是帶給我歡樂，讓我有源源不絕的動力可以進行我的實驗。

最後要感謝我的父母親，你們在我身後給我的支持，雖然是最不起眼，但也是最重要，沒有你們我也無法達到今天的成就，你們無止盡的付出是我今天能拿到學位的力量泉源，謝謝你們。

目錄

中文摘要	I
英文摘要	II
誌謝	IV
目錄	V
圖目錄	VII
表目錄	IX
第一章 緒論	1
1.1 環繞式閘極電晶體與多晶矽薄膜電晶體回顧	1
1.2 奈米線回顧	3
1.3 非晶矽再結晶形成機制	3
1.3.1 準分子雷射退火	4
1.3.2 金屬誘發側向結晶	4
1.3.3 固相結晶法	4
1.4 短通道效應	5
1.5 文獻回顧	6
第二章 奈米線製作流程與量測	12
2.1 實驗動機	12
2.2 SPACER 奈米線製作流程	12
2.3 奈米線 SEM 及 AFM 量測	16
2.4 奈米線電性量測	19
2.5 SPACER 材料選擇與寬度調變	24
第三章 GAA TFT 製作流程與量測	27
3.1 實驗動機	27
3.2 GAA TFT 製作流程	27
3.3 GAA 元件 SEM 與 TEM 圖	30
3.4 參數萃取方法	37
3.4.1 臨界電壓定義	37
3.4.2 次臨界斜率定義	38
3.4.3 汲極引發位能障下降定義	38
3.4.4 電流開關比定義	38
3.4.5 載子遷移率定義	38
3.5 GAA 元件電性量測	39

第四章 氦電漿處理對元件的影響.....	44
4.1 氦電漿修補.....	44
4.2 臨界電壓下降.....	45
4.3 電漿修補後的電性.....	45
4.4 閘極引發汲極漏電流.....	55
4.5 糾結效應.....	58
4.6 背閘極偏壓的影響.....	60
4.7 低溫量測分析.....	62
第五章 結論與未來展望.....	67
參考文獻.....	70



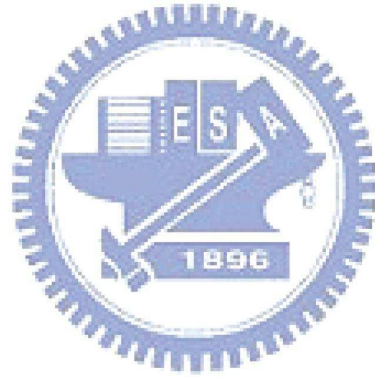
圖目錄

圖 1-1、元件結構圖。.....	6
圖 1-2、DG 與 GAA 電性比較。.....	7
圖 1-3、TEM 結構圖。.....	7
圖 1-4、GAA 電性。.....	8
圖 1-5、元件結構圖。.....	9
圖 1-6、MNC 與 SC 的 I_d-V_g 電性比較。.....	9
圖 1-7、奈米線元件結構圖。.....	10
圖 1-8、電漿處理前後的次臨界特性。.....	10
圖 2-1、50 nm Poly Silicon 在氧化層上的結構圖。.....	13
圖 2-2、沉積 100 nm LPCVD TEOS Oxide。.....	13
圖 2-3、光阻 Pattern 出長條圖形。.....	14
圖 2-4、以光阻當 Mask 蝕刻出 Block。.....	14
圖 2-5、RIE 垂直蝕刻後在側壁留下 Spacer。.....	14
圖 2-6、在兩邊以光阻 Pattern 出 S/D 的 Mask。.....	15
圖 2-7、將中間的 TEOS Block 移除掉。.....	15
圖 2-8、以 TCP 9400 往下蝕刻下面 50 nm 的多晶矽 Active area。.....	15
圖 2-9、將 Hard Mask 濕蝕刻移除完成奈米線製作。.....	16
圖 2-10、奈米線 SEM 圖(a)結構剖面圖，(b) Nitride Spacer SEM 圖，(c) Nitride Spacer 寬度 77.7 nm。.....	17
圖 2-11、Nitride Spacer AFM 圖。.....	17
圖 2-12、製作完成的 73.8 nm 奈米線。.....	18
圖 2-13、多晶矽奈米線 AFM 圖，高度為 59.7 nm。.....	18
圖 2-14、光罩結構圖。.....	19
圖 2-15、奈米線電性，S/D 和 Channel 摻雜劑量為 $5E15 \text{ cm}^{-2}$ 。(a) Channel Length 10 μm ，(b) Channel Length 25 μm ，(c) Channel Length 50 μm ，(d) Channel Length 100 μm 。.....	21
圖 2-16、奈米線電性，S/D 和 Channel 摻雜劑量分別為 $5E15 \text{ cm}^{-2}$ 與 $5E13 \text{ cm}^{-2}$ 。(a) Channel Length 10 μm ，(b) Channel Length 25 μm ，(c) Channel Length 50 μm ，(d) Channel Length 100 μm 。.....	23
圖 2-17、Spacer 材料選擇的優缺點。.....	24
圖 2-18、Nitride 厚度調變得到的奈米線寬。.....	25
圖 2-19、不同線寬的奈米線 In-line SEM 圖。(a)100 nm，(b)145 nm，(c)138 nm。.....	26
圖 3-1、掏掉 BOX 氧化層的懸樑臂多晶矽奈米線。.....	28
圖 3-2、包覆上 TEOS 開氧化層的奈米線。.....	28
圖 3-3、沉積 Doped Poly 後 Pattern 出電極。.....	29
圖 3-4、P31 ⁺ 30 keV $5E15 \text{ cm}^{-2}$ 源極/汲極離子佈植。.....	29
圖 3-5、鍍上金屬電極的 GAA TFT 元件完成圖。.....	29

圖 3-6、Cross Section。	30
圖 3-7、沉積多晶矽閘極薄膜後 SEM 圖(a)通道長度 2 μm ，(b)通道長度 3 μm ，(c)通道長度 4 μm 。	31
圖 3-8、GAA 元件 SEM 圖，Gate length 為 2 μm 。	32
圖 3-9、GAA 元件 SEM 圖，Gate length 為 3 μm 。	33
圖 3-10、GAA 元件 SEM 圖(a) Gate length 7 μm ，(b) Gate length 8 μm 。	34
圖 3-11、元件剖面 SEM 圖(a)W/H:77 nm/35 nm，(b) W/H:32 nm/40 nm。	35
圖 3-12、元件剖面 TEM 圖(a) W/H:75 nm/38 nm，(b) W/H:33 nm/35 nm。	36
圖 3-13、 V_{th} 萃取方法。	37
圖 3-14、不同的通道數比較。	40
圖 3-15、不同閘極長度比較。	40
圖 3-16、外加不同汲極電壓。	41
圖 3-17、外加不同汲極電壓。	41
圖 3-18、八個通道元件與微米線元件比較。	42
圖 4-1、PECVD 中氮電漿光學發射頻譜圖[34]。	45
圖 4-2、不同的通道數比較(電漿處理 0.5 小時)。	47
圖 4-3、不同的通道數比較(電漿處理 1 小時)。	47
圖 4-4、不同閘極長度比較(電漿處理 0.5 小時)。	48
圖 4-5、不同閘極長度比較(電漿處理 1 小時)。	48
圖 4-6、電漿處理前後 I_d-V_g 特性比較。	49
圖 4-7、電漿處理前後 I_d-V_d 特性比較。	49
圖 4-8、電漿處理前後轉導(Transconductance, G_m)特性比較。	50
圖 4-9、電漿處理前後 DIBL 效應比較。	51
圖 4-10、電漿處理前後 V_{th} Variation 比較。	52
圖 4-11、電漿處理 1 小時的八個通道元件與微米線元件比較。	52
圖 4-12、GIDL 偏壓下能帶圖。	55
圖 4-13、GIDL 偏壓下空乏區域。	55
圖 4-14、不同閘極長度下的 GIDL。	56
圖 4-15、不同汲極電壓下的 GIDL。	57
圖 4-16、不同通道數目下的 GIDL。	57
圖 4-17、氮電漿處理前後 I_d-V_d 特性。	58
圖 4-18、電漿處理前 I_d-V_d 特性(a)Gate length 3 μm ，(b) Gate length 4 μm 。	59
圖 4-19、不同背閘極偏壓特性(a) I_d-V_g 圖，(b) G_m-V_g 圖。	60
圖 4-20、背閘極偏壓對臨界電壓的影響。	61
圖 4-21、不同溫度下 I_d-V_g 轉移曲線(a)電漿處理前， V_d 為 0.5 V，(b)電漿處理前， V_d 為 2 V，(c)電漿處理一小時， V_d 為 0.5 V，(d)電漿處理一小時， V_d 為 2 V。	63
圖 4-22、S.S.與 V_{th} 隨溫度變化特性(a)溫度對 S.S.作圖，(b)溫度對 V_{th} 作圖。	66

表目錄

表 1-1、文獻回顧參數比較和整理(單晶矽)。	8
表 1-2、文獻回顧參數比較和整理(多晶矽)。	11
表 3-1、各項參數整理。	43
表 4-1、電漿處理前後 DIBL 數據。	51
表 4-2、各項參數整理(電漿處理 0.5 小時)。	53
表 4-3、各項參數整理(電漿處理 1 小時)。	54
表 4-4-1、S.S.對溫度的線性擬合斜率。	66
表 4-4-2、 V_{th} 對溫度的線性擬合斜率。	66
表 5-1、本實驗元件和文獻參考之比較(2 通道元件)。	68
表 5-2、本實驗元件(8 通道元件)和文獻參考(10 通道元件)之比較。	69



第一章

緒論

1.1 環繞式閘極電晶體與多晶矽薄膜電晶體回顧

根據摩爾定律對未來製程持續微縮所面臨的材料極限挑戰，到底會對半導體產業帶來什麼樣的轉變，一直是業界及學術界所關注的焦點。當傳統的一維平面電晶體(Planar Transistor)結構微縮到一定的尺度下，通道便跟著微縮，將遭遇越來越嚴重的漏電流問題，我們稱為短通道效應或窄通道效應，因此許多研究試圖另闢新路，找出解決之道。研究發現可以從另一個維度的開發，以改善平面電晶體的微縮瓶頸，之後發展出了三維結構電晶體，藉由增加閘極對通道的控制面積，使得漏電得以控制，抑止短通道效應，也為下一個世代的半導體產業找到新的方向。

當電晶體微縮到奈米尺度下，有效的閘極控制能力是必須的，因此許多改善方法被發展出來，包括通道以奈米線方式呈現，配合多閘極、三閘極、 Ω 閘極或環繞式閘極(Gate All Around)都是目前用來改善短通道效應的方法一路被開發出來[1,2,3]。與傳統的平面式雙閘極金氧半場效電晶體比較，奈米線電晶體能提供更好的閘極控制，且製程簡單，元件設計更具彈性。環繞式閘極場效電晶體因為它有高驅動電流，低汲極漏電，與強閘極控制能力及可微縮能力的矽奈米線電晶體。此高性能的奈米元件在邏輯電路及多位元非揮發性記憶體元件[4]有廣泛的應用。

之前的環繞式閘極為垂直結構，它也被應用在動態記憶體，後來演變到水平式的環繞式閘極電晶體，因其這樣的結構使得通道靠近表面的地方，電場較高，加上假如通道是方型結構，在四個角落電場很高(Corner Effect)[5]，造成電子密度高，漏電流在四角最大。因此為降低汲極電場，會採用低汲極摻雜(LDD)方式，使整個通道電場降低，避免表面高漏電[6]。另外也有研究採用通道不摻雜(Un-doped Channel)，可降低在通道中的摻雜原子造成的散射現象[7]。

使用 SOI 的好處在於沒有基底效應並且抑止軟性錯誤(Soft Error)，通常奈米線電晶體元件均使用 SOI 晶圓[8]，並且有完全空乏的能力，但單晶 SOI 價格高昂。本研究以

Poly-Silicon on Insulator 作為研究的基本材料，且由於薄膜電晶體受限於本身晶粒邊界的缺陷，漏電流大及載子遷移率低，我們使用環繞式閘極電晶體，來提升閘極對奈米線通道的控制能力，兼具高驅動電流(Drain Driving Current)及高開關電流比(On Off Ratio)，改善載子遷移率，並有很陡的次臨界擺幅 (Subthreshold Swing)。

第一顆薄膜電晶體在 1961 年由 RCA 公司的 P. K. Wenimer 博士所發明出來，到近幾年多晶矽薄膜電晶體 (Poly-Si TFTs) 已被廣泛的應用，包括主動式陣列液晶顯示器 (AMLCDs)[9]，每個畫素就有一個薄膜電晶體控制液晶轉向，且液晶具記憶性，關掉電場後液晶不歸位，因為多晶矽薄膜電晶體比非晶矽薄膜電晶體(Amorphous Si TFTs，小於 $1 \text{ cm}^2/\text{V}\cdot\text{s}$)載子遷移率高，具高驅動電流，低消耗功率，高解析度，因此面板亮度高，也適合應用於投影式的顯示器(Projector)、小尺寸面板顯示器、PDA、Notebook 及驅動電路。另外多晶矽薄膜電晶體在沉積的過程中，由於製程溫度高，晶粒大，其長出來的薄膜粗糙度低於非晶矽薄膜，因此面板的亮度均勻。越來越多的研究投入多晶矽薄膜電晶體，另外使用環繞式閘極結構，可降低臨界電壓(Threshold Voltage)的變動，降低背閘極對通道的影響，並提升開關速度。

由於液晶顯示面板所使用的基板材料為玻璃，因此低溫多晶矽的薄膜電晶體[10]也受到廣泛的應用，強調製程溫度不能超過 600°C 或是更低溫，目前我們的元件需高溫活化，尚無法以玻璃基板取代，這方面製程條件還需要改善。另外我們所使用的閘極為經過摻雜的 N^+ 多晶矽閘極，早期多直接以金屬當閘極，省去許多製程步驟，但從自我對準的離子佈植發明後，因金屬不適合高溫製程，多晶矽和氧化層的介面特性良好，且能忍受高溫的製程，因此改為 N^+ 多晶矽閘極以利後續之高溫離子活化。

1.2 奈米線回顧

奈米線技術的應用，包括生物感測元件[11]、奈米線記憶體[12]、奈米線薄膜電晶體[13]及 CMOS 元件，因為它的高表面對體積比，使其有很高的表面靈敏度用於感測方面。奈米線有許多製作方法，包括以光學微影 (KrF, ArF, DUV...)或電子束直寫[14]很快就能將奈米線製作出來，大大提升產能。還有以局限側向選擇性磊晶成長(CLSEG)或選擇性磊晶成長(SEG)[15,16]的方法，前者利用將犧牲層的移除，使表面張力讓上層往下塌造成間隙，在以側向磊晶技術將單晶矽填入空隙，形成非常小的懸浮奈米線，應用於氣體的偵測。另外有利用奈米壓印的方式製作奈米線，再來就是本研究所採用的側壁 (Side-Wall)Spacer 技術[17]，利用傳統的微影加上製程技術，垂直蝕刻 RIE 後再側壁所殘留的 Spacer，因其寬度在 Sub-100 奈米尺度，可拿來當硬遮罩層(Hard Mask)，再以 RIE 往下蝕刻出奈米線。如果 Spacer 為 Silicon 材料，亦可直接當奈米線，但其奈米線為三角形結構[18]，以上為由上往下(Top-Down)的製程方式。另外還有由下往上(bottom-up)的方法，如奈米碳管成長[19]及利用金奈米粒子誘發矽奈米線成長[20]，但這些方法所成長出來的奈米線，結構上是隨機且雜亂，須挑出單一奈米線之後在下電極。

側壁 Spacer 奈米線可提供有力及可實行的取代性，不僅用一般光學解析度的微影系統達成非常薄具高深寬比(Aspect Ratio)的遮罩層，且利用薄膜的均勻性(Uniformity)堆疊來實行它。另外以 Spacer 交叉製程技術可做出量子點，應用到單電子 MOS 記憶體元件[21]。此法用除廣泛，成本低，用來當薄膜電晶體(TFT)的通道再適合不過了，所有製程步驟可在未來應用於平面顯示器生產線及系統晶片化(System on Chip)。

1.3 非晶矽再結晶形成機制

薄膜電晶體的主要材料為非晶矽，於低溫 550°C 沉積，晶粒較小，受限於非晶矽的缺陷太多，因此有兩種方法來提升它的載子遷移率及特性，一種為增加晶粒的尺寸，另一種為減少晶粒邊界(Grain Boundaries)的數目，使元件在奈米尺寸下，通道不跨到晶粒邊界。提高晶粒尺寸，可透過準分子雷射退火(Excimer Laser Annealing)[22]、金屬誘發側向結晶(Metal-Induced Lateral Crystallization)[23,24]，及本研究所採用的固相結晶法

(Solid Phase Crystallization)[25,26,27]，來增大晶粒並減少晶粒邊界及晶粒內的缺陷密度。

1.3.1 準分子雷射退火(Excimer Laser Anneal)

準分子為Excited和Dimer的組合，工作物為準分子氣體，為一種處於激發態的複合粒子。利用短波長高能量的雷射(ArF, KrF, KrCl, XeBr...)，對非晶矽掃描進行局部加熱退火，由於矽在短波紫外光區域有很大的吸收係數，且短時間內達到熔點來進行再結晶。但雷射的功率不穩，可能造成退火的晶粒大小不平均。

1.3.2 金屬誘發側向結晶(Metal Induce Lateral crystallization)

於 600°C 的製程溫度下讓晶粒再結晶，與準分子雷射退火相比更有均勻性，利用金屬鎳(Ni)在低溫下與 Si 反應形成介穩定的金屬矽化物進而誘發非晶矽結晶，所誘發出的 Poly-Si，為沿著特定方向排列之長形針狀晶粒，在矽化物移動的過程中，鎳金屬原子的自由電子與 Si-Si 共價鍵產生反應，降低 a-Si 結晶所需的能障，使得結晶溫度降低。在靠近 a-Si 區域的地方會產生 NiSi₂，NiSi₂ 中的 Ni 原子在 NiSi₂ 與 a-Si 界面的自由能比在 NiSi₂ 與 Poly-Si 介面處低，這個自由能差會使 Ni 原子往 a-Si 處移動。也就是在 NiSi₂ 中的 Si 原子在 NiSi₂ 與 a-Si 界面的自由能比在 NiSi₂ 與 Poly-Si 介面處高，使得 Si 原子會往 Poly-Si 的方向擴散。這結果會使得 NiSi₂ 持續的往 a-Si 延伸，而所經之處產生 Si 結晶。

1.3.3 固相結晶法(Solid phase crystallization)

此法最早在 1978 年由 Koster 投入太陽能電池研究[28]，為非晶矽薄膜於爐管中進行 600°C 長時間(24 hr)退火成多晶矽薄膜，可用 LPCVD 直接沉積出多晶矽，但晶粒較小，是一種間接多晶矽成長方法。利用加熱的方式使矽原子得到足夠的能量而重新排列。在非晶矽膜的每個位置都有可能成核，屬均質成長，使得晶粒在成長的過程中受到周圍晶粒的限制而無法得到大晶粒。與直接成長多晶矽薄膜相比，仍具有較大的顆粒，因此有較高的載子遷移率，較低的晶粒邊界缺陷密度，且薄膜表面粗糙度也較低，此方法晶粒最大可以成長到 1 微米(μm)。

1.4 短通道效應(Short Channel Effects)

隨著MOS場效電晶體元件微縮，通道的長度也隨著縮短，電晶體的操作速度會加快。但電晶體的通道長度並無法無限制的縮短，因通道長度縮短將衍生出許多問題，這種現象稱為短通道效應(Short Channel Effects)。而通道的定義為源極到汲極的距離。此效應包括 V_{th} 下降、汲極引發位能障下降、次臨界斜率上升。以下將一一說明這些問題的造成原因。

臨界電壓下降(V_{th} Roll Off)是因為部份通道被源極及汲極的空乏區共享，次臨界電流(Subthreshold Current)將上升，使得MOS場效電晶體的 V_{th} 下降，使得閘極電壓(V_g)對汲極電流(I_d)的控制能力下降。因此當元件通道長度縮短，會造成臨界電壓下降及閘極電壓對元件通道失控，無法關掉電流。另外由於汲極靠近通道的地方電場高，電子能量高，容易撞擊出電子電洞對 (E-H Pairs)，造成汲極電流增加，稱為熱電子效應，過多的熱電子會造成電子射入閘氧化層，及容易導致汲極崩潰發生。

次臨界斜率或次臨界擺幅 (Subthreshold Swing, mV/dec)為一典型的參數，用來描述閘極對通道的控制能力，在一定量的閘極電壓下，相對增加多少的汲極電流，它也表示了元件的開關速度，很陡的次臨界斜率表示閘極可以快速將通道反轉導通，但因為通道縮短，造成漏電流問題，使次臨界斜率值變大。

當汲極電壓在短通道下加大，汲極端會引發位能障下降(Drain Induce Barrier Lowering, mV/V)，導致電子容易由源極端經通道進入汲極，造成漏電流上升，在較長的通道亦可看見此效應。可藉由增加閘極長度(Gate Length)來提升控制能力，但開電流(On Current)會變大，所以我們以Gate-All-Around結構來抑止DIBL。

1.5 文獻回顧(Paper Review)

回顧近幾年其他團隊所發表的期刊論文，包括單晶的 Gate-All-Around 場效電晶體以及多晶矽奈米線薄膜電晶體相關的論文，為了分析了解其實驗步驟流程，參數的定義及量測，並從中比較論文的優缺點，作為本研究的依據。

首先第一篇是2006 IEEE[2]，主要是模擬兩種單晶雙閘極(Double Gate)與環繞式閘極(Gate All Around)電晶體，並比較GAA的優越電性。其閘極長度(Gate Length)為30 nm，寬度與高度分別為20 nm及40 nm，閘氧化層為3 nm，兩者的尺寸(Dimension)皆一樣，如圖1-1所示，模擬結果發現，GAA結構的次臨界斜率(S.S.)小於DG結構，差6.5 mV/dec，並非小很多，因為元件尺寸非常小的關係。且在不同的 V_d (0.1 V, 1 V)下可以看出GAA結構的DIBL小於DG結構，電導率(G_m)也大於DG結構，如圖1-2所示。隨著閘極長度越短，DG結構比GAA結構的 V_{th} 下降程度嚴重。因此顯示出GAA結構有抑止短通道效應的能力，適合微縮元件下使用的結構。

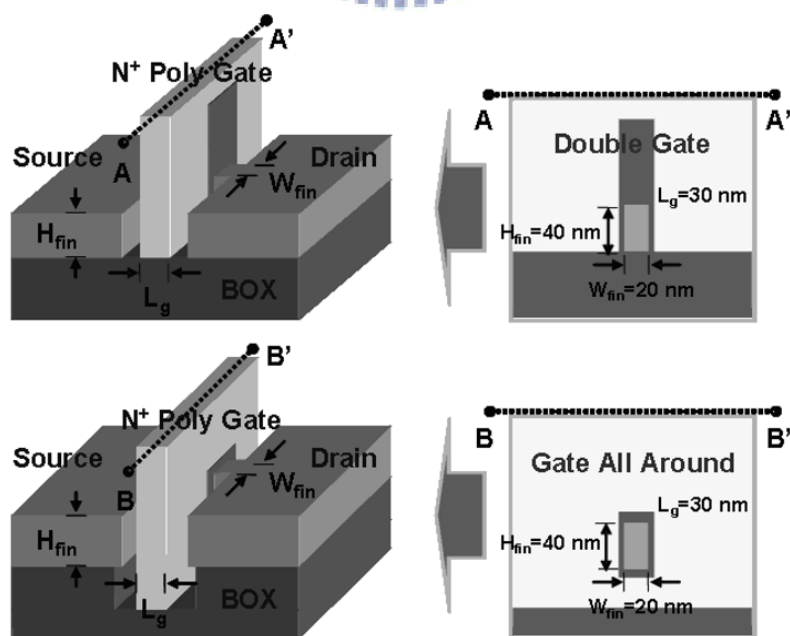


圖1-1、元件結構圖[2]。

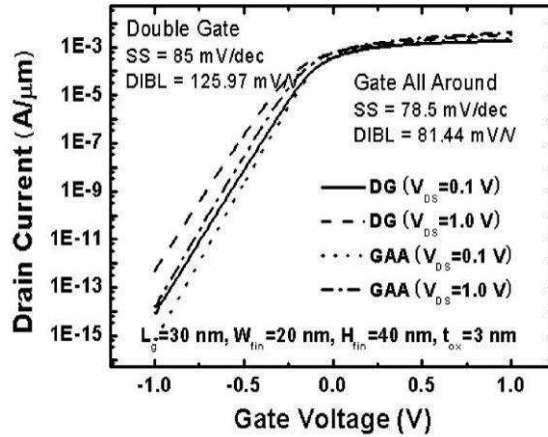


圖1-2、DG與GAA電性比較[2]。

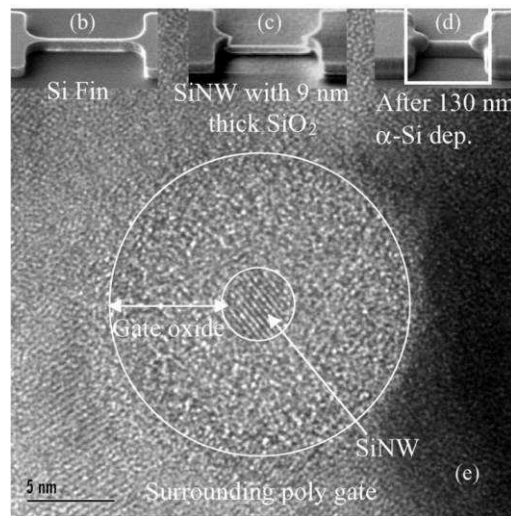


圖1-3、TEM結構圖[3]。

另一篇2006 IEEE EDL[3]的文章為新加坡大學一個非常強的團隊所發表，利用KrF曝光源曝出線寬50 nm，長度140-1000 nm的奈米線，之後以五小時的乾氧化作Thinning，1:25 DHF濕蝕刻移除乾氧化層，做出小於5 nm奈米線的GAA CMOS元件，如圖1-3。文中除了有非常理想的次臨界斜率(63 mV/dec)，以及幾乎零DIBL(10 mV/V)，如圖1-4，且通道完全空乏，沒有很尖的邊角，使其無糾結效應。更強調元件對基底偏效應(Substrate Bias Effect)的完全免疫，所謂基底偏壓效應乃是當加不同的基底電壓，會導致元件 V_{th} 的漂移，因為其多晶矽閘極可以完全遮蔽基底電場對元件通道的影響，使得 V_{th} 不漂移。表1-1為這兩篇文章所整理出來的表格。

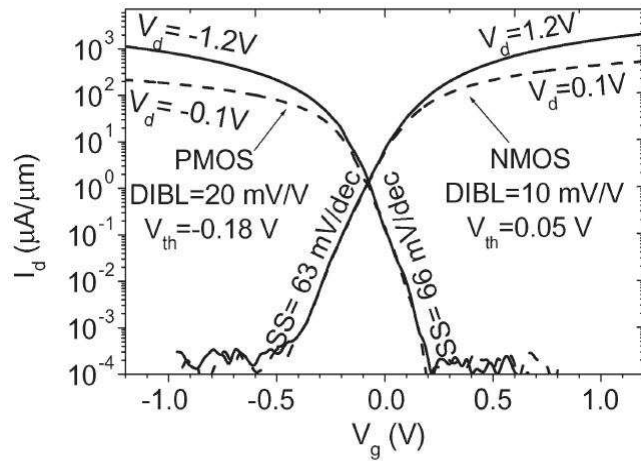


圖1-4、GAA電性[3]。

表 1-1、文獻回顧[2,3]參數比較和整理(單晶矽)。

	DG 2006 IEEE Nanotech.	GAA 2006 IEEE Nanotech.	GAA 2006 IEEE EDL
L_g (nm)	30	30	250
Channel Width(nm)	20	20	5
T_{ox} (nm)	3	3	9
V_{th} (V)	-0.169	-0.158	0.05
S.S.(mV/dec)	85	78.5	63
DIBL(mV/V)	125.9	81.44	10
I_{on} (mA/ μ m)	2.96	3.54	1.5

第三篇則是 2004 APL[14]，利用 LDD 製程及多晶矽多通道奈米線薄膜電晶體，奈米線為以電子束直寫(E-Beam)曝出 67 nm 的線寬，為 SPC 法及 Tri-Gate 結構，經過 NH₃ 電漿修補完通道的缺陷後，結果顯示 10 根的奈米線(多通道 MNC)TFT 的電特性比單根微米線(SC)好，S.S.(110 mV/dec)遠小於單根通道，且零 DIBL，因為多通道結構暴露於電漿環境的面積大，且奈米線易受完整的電漿修補。

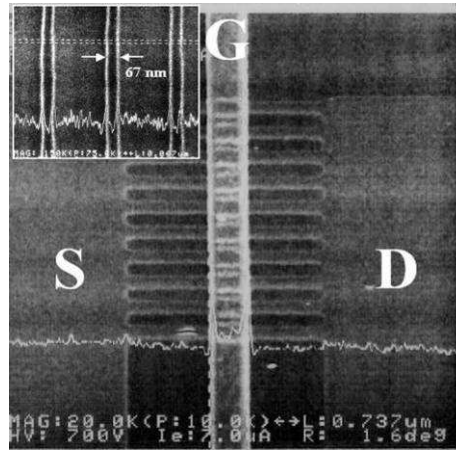


圖 1-5、元件結構圖[14]。

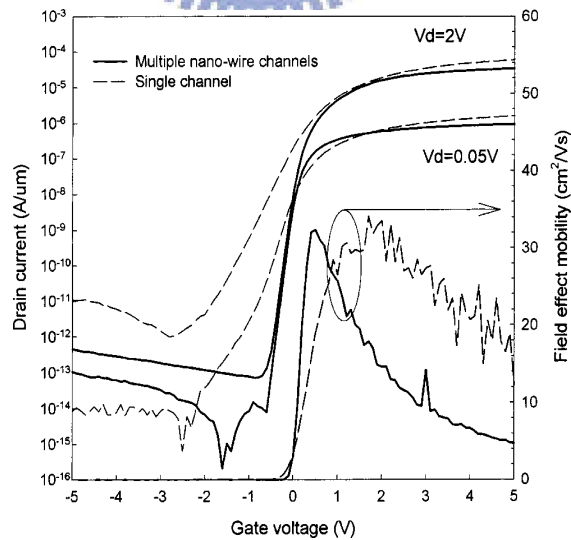


圖 1-6、MNC與SC的 I_d - V_g 電性比較[14]。

最後一篇 2006 IEEE TED[26]為 Spacer 三角結構的奈米線，結構有別於其他團隊，閘極在最下方稱為 Side-Gate，S/D 在奈米線上面，此結構的優點為奈米線裸露在外面，以利於生物感測應用，線寬為 21 nm，這也顯示 Spacer 技術為有能力達到非常小線寬的

製程。此為相當有創意的新穎結構，如圖 1-7 與 1-8 所示，文中也說明此結構用 SPC 方法及經電漿修補後電性的改善， V_{th} 亦不受閘極長度縮短影響，有很好的載子遷移率。表 1-2 為上述文獻[14,26]的整理表格。

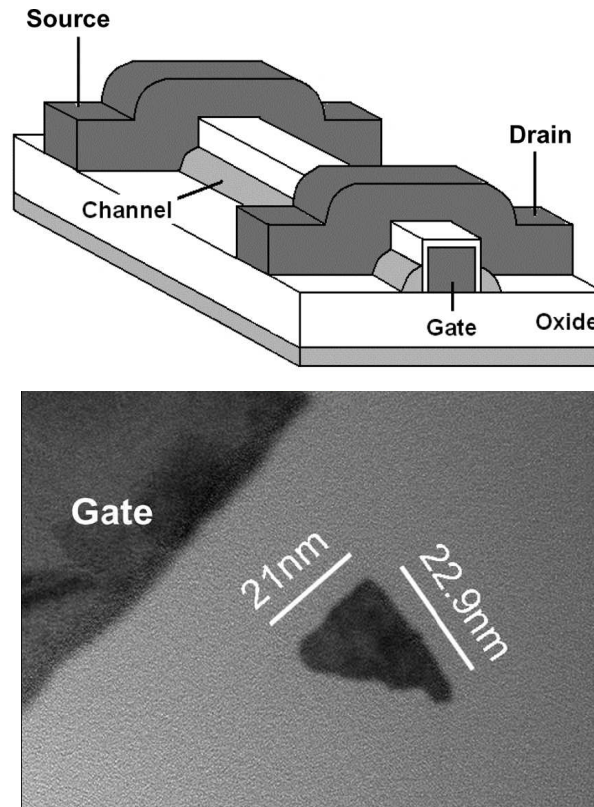


圖 1-7、奈米線元件結構圖[26]。

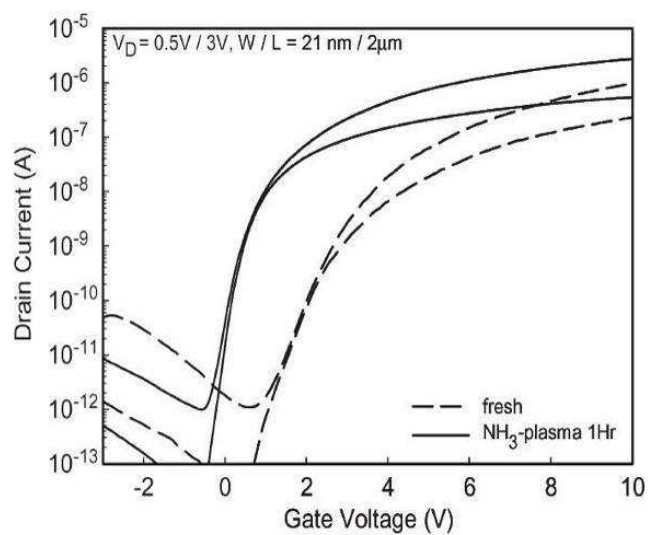


圖 1-8、電漿處理前後的次臨界特性[26]。

表 1-2、文獻回顧[14,26]參數比較和整理(多晶矽)。

	2006 IEEE TED		2004 APL	
	SG fresh	SG NH ₃ -plasma 1 hr	Tri-gate NH ₃ -plasma 1 hr, SC	Tri-gate NH ₃ -plasma 1 hr, MNC
L _g (μm)	2	2	0.5	0.5
Channel Width(nm)	21	21	1000	67x10
T _{ox} (nm)	30	30	26	26
V _{th} (V)	7.27	2.54	-0.11	0.23
S.S.(mV/dec)	381	194	360	110
Mobility(cm ² /Vs)	55	73	34.01	32.5
I _{on} /I _{off}	1.63x10 ⁷	5.36x10 ⁷	5.9x10 ⁷	4.73x10 ⁸
DIBL(V/V)	N.A.	N.A.	0.4	0

第二章

奈米線製作流程與量測(Spacer nanowire)

上一章介紹了 GAA MOSFET 與奈米線薄膜電晶體的相關文獻與效應，在本章節會開始進入實驗的流程及電性量測，而 Spacer 奈米線與將它應用到 GAA MOSFET 將會分章節做個別討論。本章節會介紹奈米線的製作方法，及奈米線的電阻量測。

2.1 實驗動機

實驗室在製作奈米線方面技術純熟，包括以電子束直寫，最細線寬可曝達 50 nm 的寬度技術，以及利用 NDL G-line 微影機台，可供量產之最小線幅為 0.9 μm ，用此機台直接曝出 100 nm 以下(sub-100 nm)的奈米線是很難達成的，以側壁 Spacer 技術製作奈米線是相當可行的方法。因此本實驗利用 NDL 奈米實驗室之便，來製作奈米元件。

2.2 Spacer 奈米線製作流程

利用 6 吋晶圓經過 RCA 清洗後，以濕氧化(Wet Oxidation)高溫常壓水平爐管在晶圓上面氧化一層 500 nm 的氧化層，之後再用 LPCVD 550°C 沉積 50 nm 厚的非晶矽(a-Si)薄膜，為了讓退火後使晶粒更大顆，如圖 2-1 所示。

之後在多晶矽薄膜上疊一層 LPCVD 713°C TEOS 氧化層 100 nm (Tetraethoxysilane，四乙氧基矽烷，化學式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)，如圖 2-2。以這層 TEOS 氧化層，經過 G-line 曝光及 Track 顯影出方形長條狀圖案，如圖 2-3，再利用 Tel 5000 RIE(氧化矽乾式蝕刻機台)垂直蝕刻出來，這個方形長條狀為 Block，如圖 2-4，必須是垂直的側壁，以供 Spacer 倚靠。用 Ozone Asher 與熱硫酸去掉光阻後，再覆蓋一層 LPCVD 850°C 氮化矽氧化層(Nitride Oxide)100 nm，當 Spacer 的材料，之後隨即以 Tel 5000 RIE 垂直蝕刻 100 nm 深度，在 TEOS 四周的側壁留下氮化矽的殘留物(Spacer)，如圖 2-5。然後在長條狀結構兩邊做出方形圖案的光阻，作為源極/汲極區，如圖 2-6。下一步驟需把中

間的 TEOS Block 用 BOE(1:7)蝕刻掉，只留下 Spacer 與兩邊的光阻當 Active Area Hard Mask，如圖 2-7，再以 TCP 9400(多晶矽乾式蝕刻機台)一併往下蝕刻 50 nm 深度，並預估 5 nm Over Etching，如圖 2-8，之後再用硫酸與熱磷酸分別去掉光阻及氮化矽，奈米線大致上就完成了，如圖 2-9，另外如果上面步驟沒將 TEOS Block 泡掉，蝕刻出來的會是微米線，這個步驟須注意。奈米線完成後，經過 N₂ 環境下的 24 小時 600°C 爐管退火，讓它長成晶粒比較大的多晶矽奈米線。

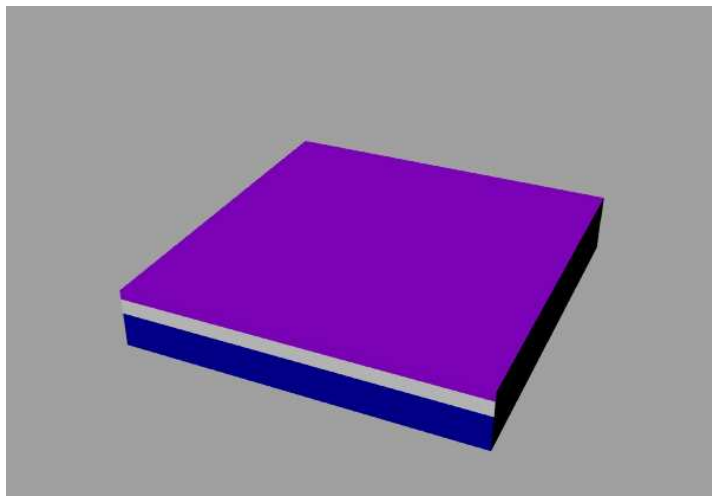


圖2-1、50 nm Poly Silicon 在氧化層上的結構圖。

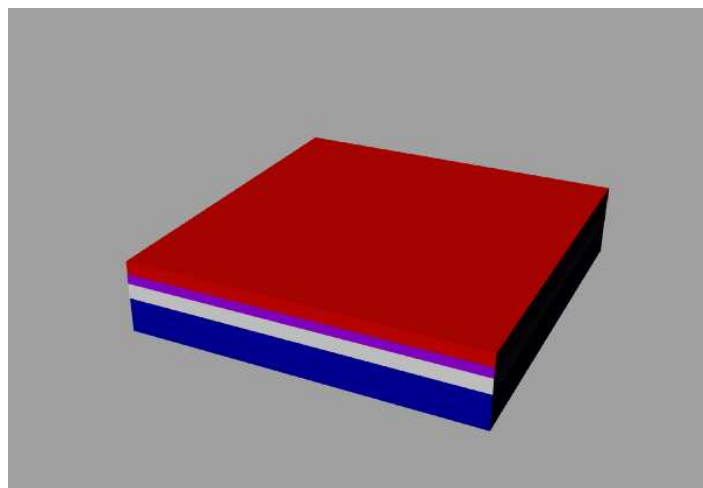


圖2-2、沉積100 nm LPCVD TEOS Oxide。

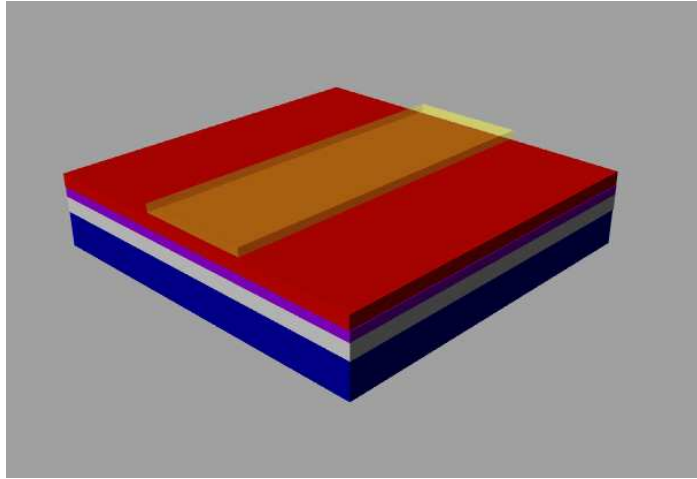


圖2-3、光阻Pattern出長條圖形。

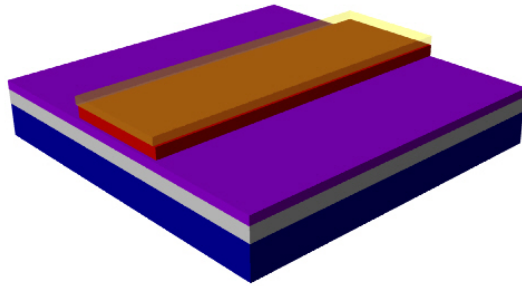


圖2-4、以光阻當Mask蝕刻出Block。

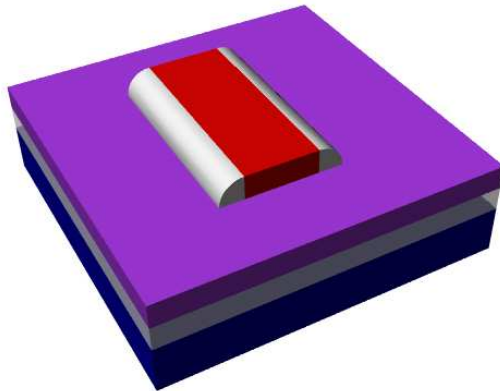


圖2-5、RIE垂直蝕刻後在側壁留下Spacer。

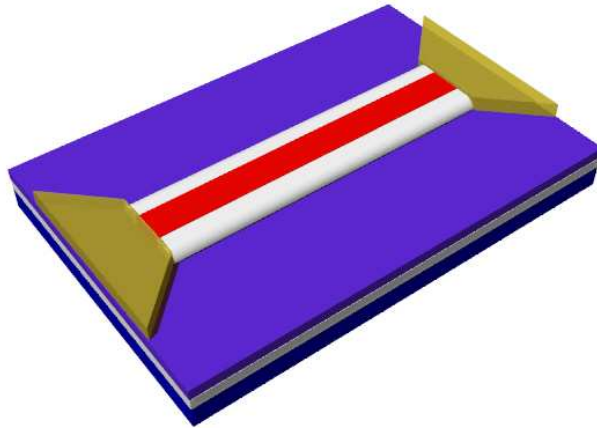


圖2-6、在兩邊以光阻Pattern出S/D的Mask。

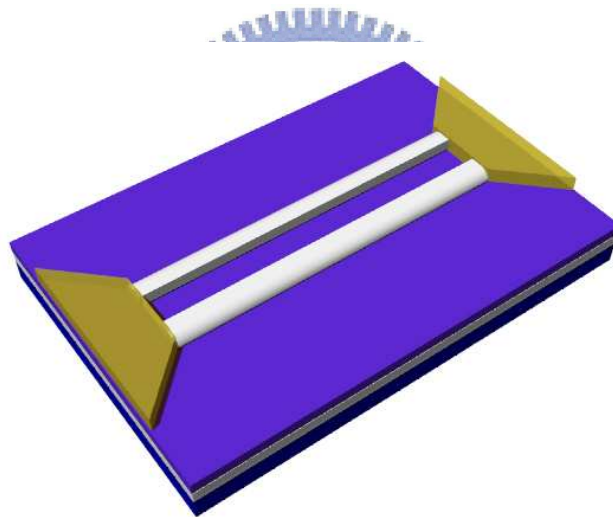


圖2-7、將中間的TEOS Block移除掉。

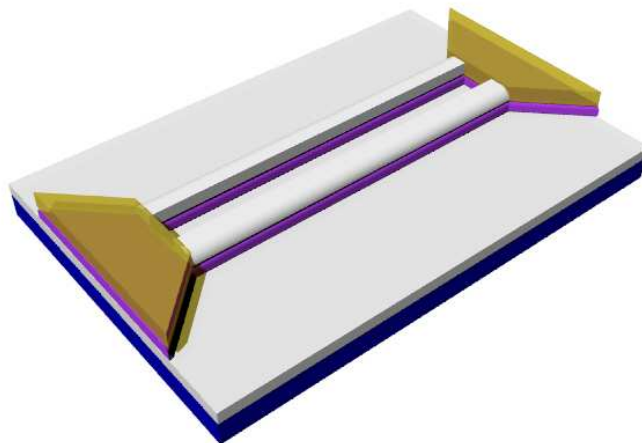


圖2-8、以TCP 9400往下蝕刻下面50 nm的多晶矽Active area。

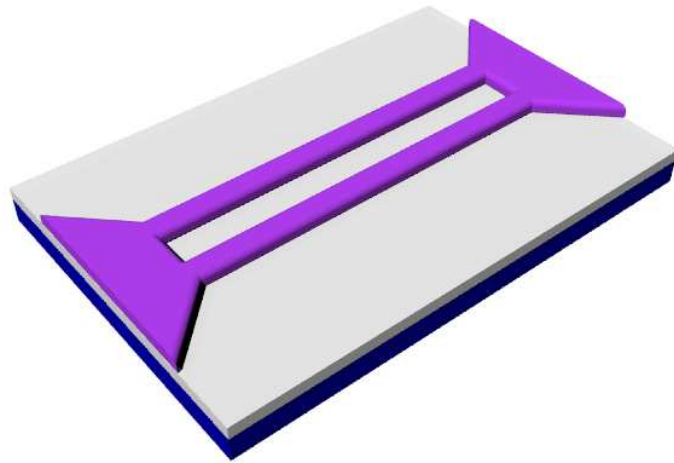
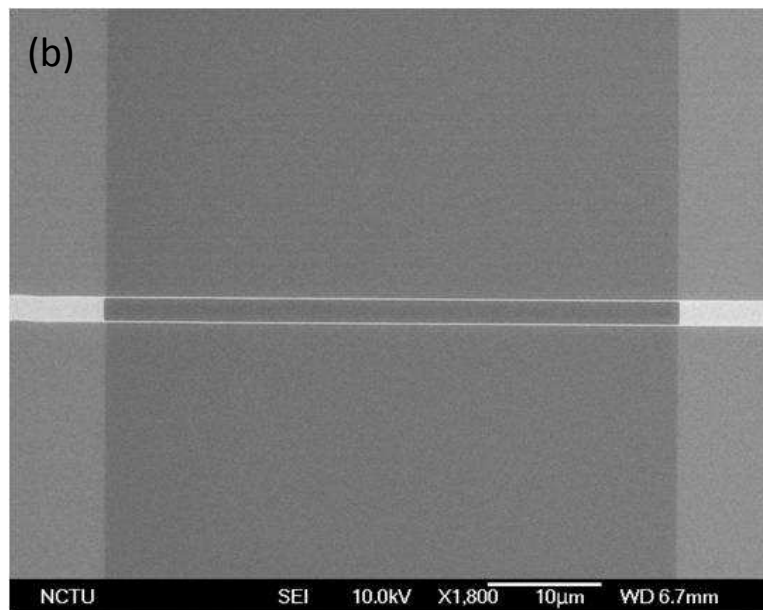
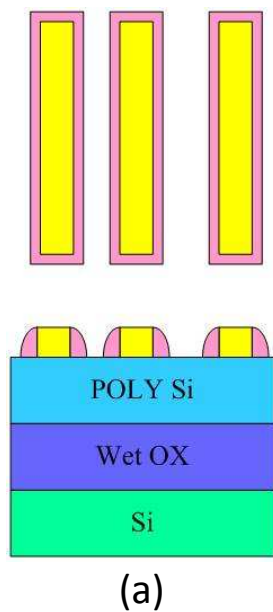


圖2-9、將Hard Mask 濕蝕刻移除完成奈米線製作。

2.3 奈米線 SEM 及 AFM 量測

以上是整個奈米線製作流程，為了清楚的了解奈米線的高度及寬度，我們拍了 SEM 及用 AFM 掃描出它的形貌來做確認。圖 2-10 為 Nitride Spacer Hard Mask，且中間 TEOS 已泡掉的 SEM 圖，從圖可看出 Nitride Spacer 的寬度為 77.7 nm。圖 2-11 為 AFM 圖，兩邊尖角的地方為高度 108 nm 的 Nitride Spacer。



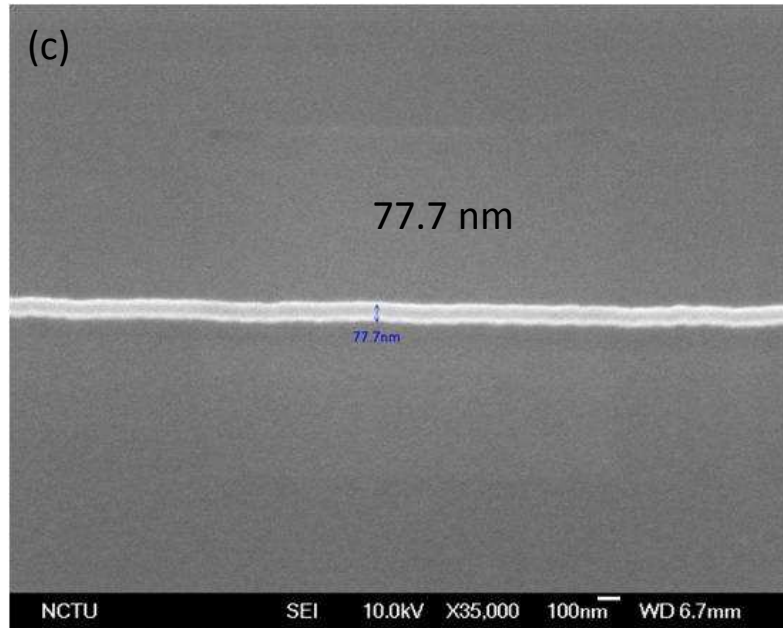


圖2-10、奈米線SEM圖(a)結構剖面圖，(b) Nitride Spacer SEM圖，(c) Nitride Spacer寬度

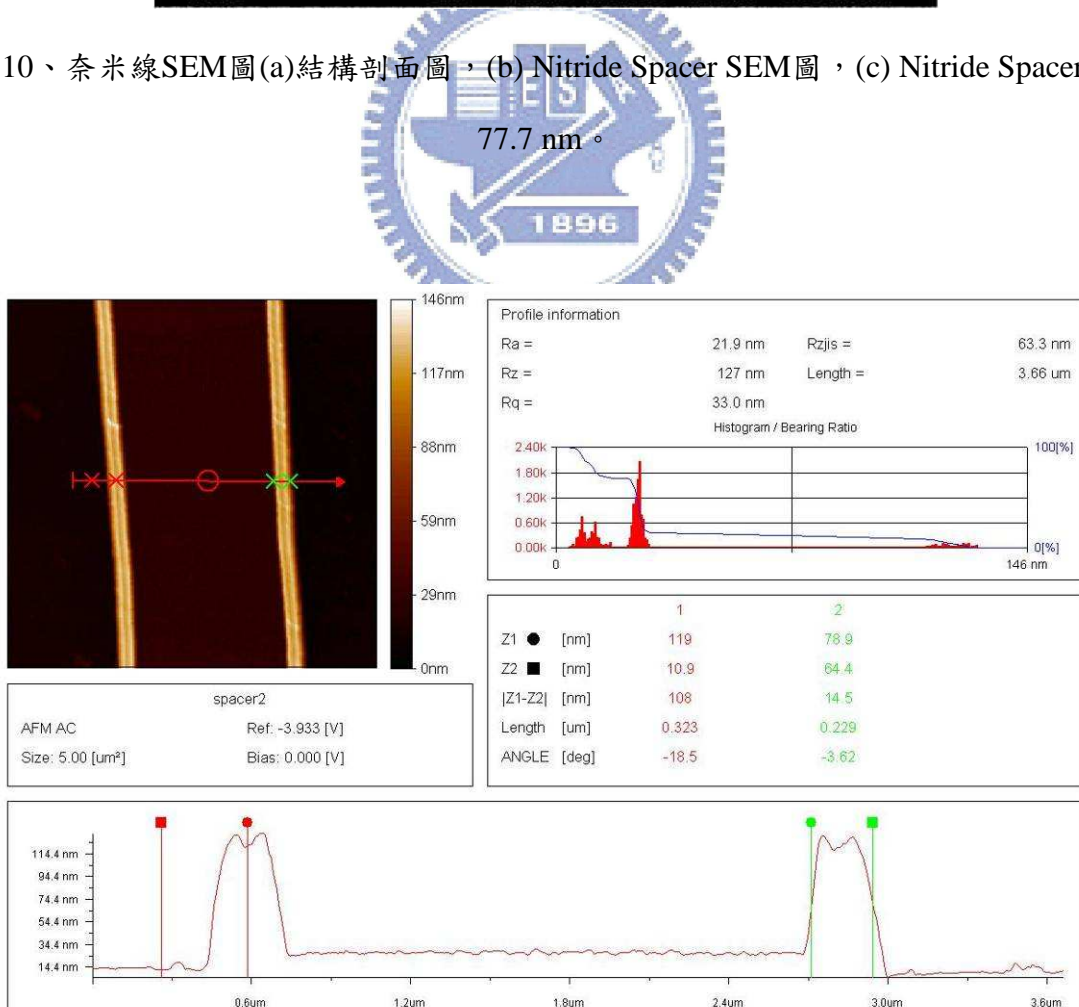


圖2-11、Nitride Spacer AFM圖。

經過 TCP 9400 往下蝕刻後，並將 Nitride Spacer 移除的多晶矽奈米線為寬度 73.8 nm，如圖 2-12 所示。另外多晶矽奈米線的高度如圖 2-13 所示。由 AFM 所掃出來的高度會比實際所長的薄膜還厚，是因為 Over Etching 的關係。

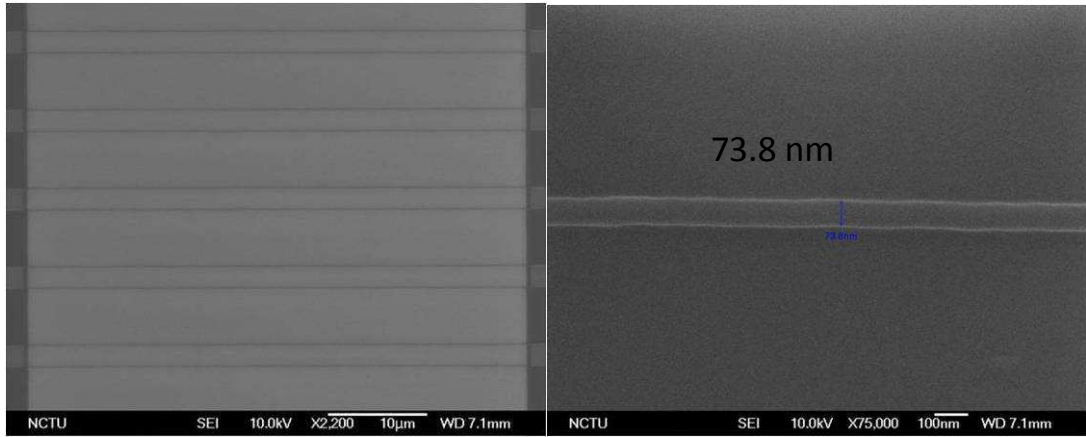


圖2-12、製作完成的73.8 nm奈米線。

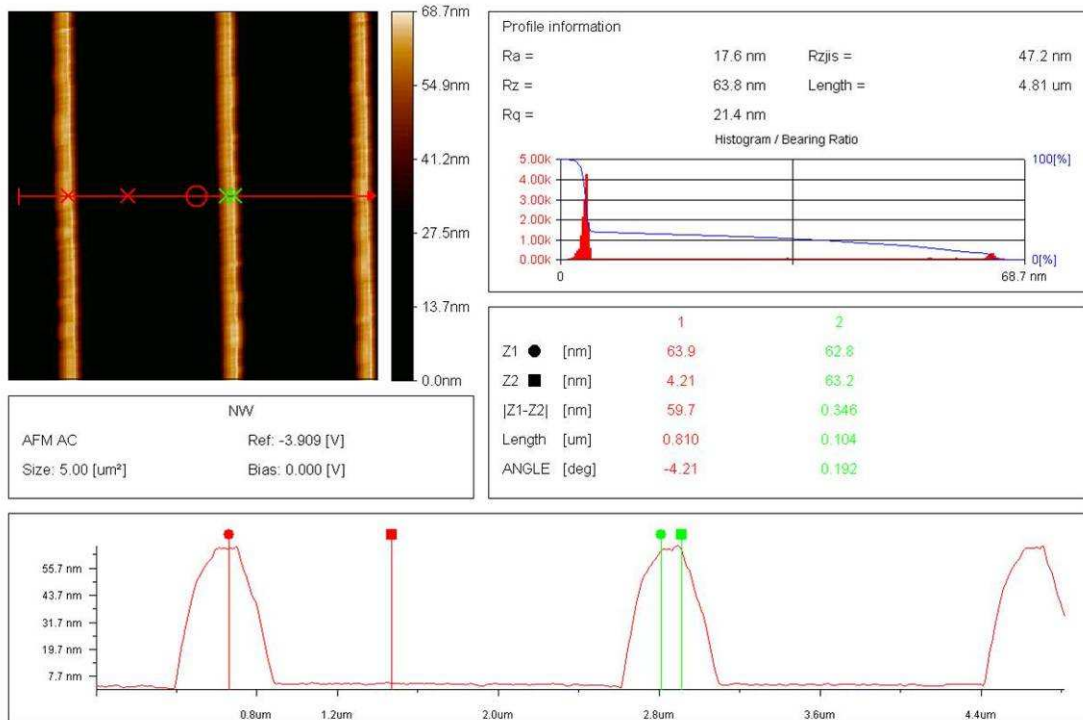


圖2-13、多晶矽奈米線AFM圖，高度為59.7 nm。

2.4 奈米線電性量測

在量測之前，奈米線會先經過離子佈植 N^+ 重摻雜 ($P31^+$, 20 keV , $5E15 \text{ cm}^{-2}$)，使兩端於金屬電極形成歐姆接面 (Ohmic Contact)，再送到爐管 950°C 30 分鐘高溫活化，讓摻雜原子回到晶格上，之後進黃光室曝光顯影，做出電極圖案，電極區域需不受光阻覆蓋，應裸露，以利抬離 (Lift-off) 製程，然後使用熱蒸鍍 (Thermal Coater) 方法，鍍上 100 \AA 的鈦 (Ti) 及 1500 \AA 厚的鋁 (Al)，鈦金屬是為了增加附著力 (Adhesion)。再利用抬離 (Lift-Off) 的方式，先將試片泡在丙酮 (ACE) 約半小時，再用超音波震盪器振掉光阻，然後再用去離子水 (DI Water) 清洗，電極的圖形就會震出來，即完成整個量測的準備工作。光罩圖如圖 2-14 所示。

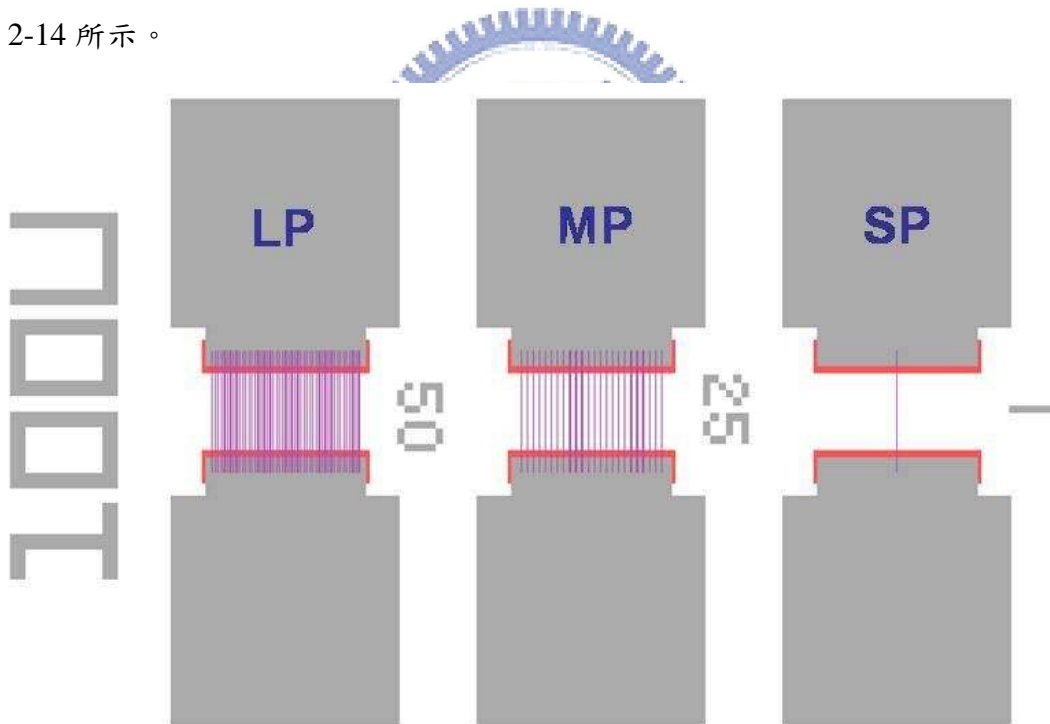


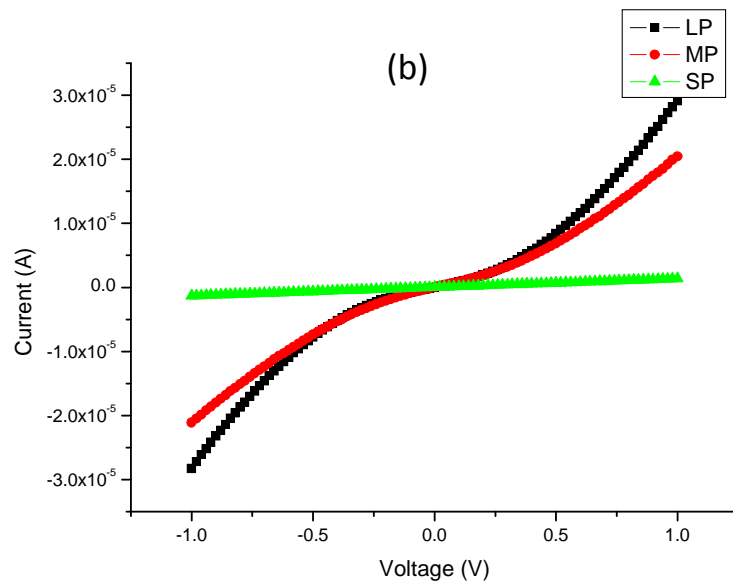
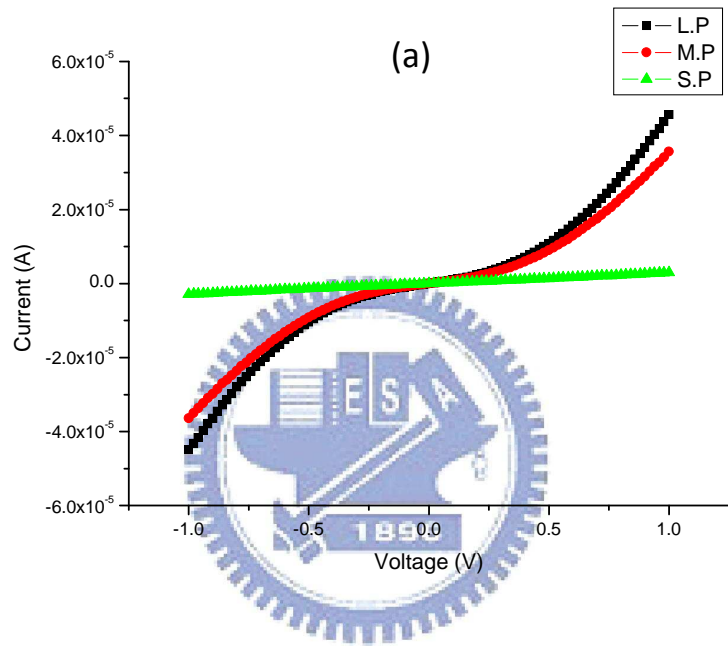
圖2-14、光罩結構圖。

圖 2-15 為從奈米線長度 (Channel Length) $10 \mu\text{m}$ 到 $100 \mu\text{m}$ 的 I-V 電性量測，分別不同根數，Large Pad (LP) 是奈米線 100 根，Middle Pad (MP) 是奈米線 50 根，Single Pad (SP) 是奈米線 2 根。奈米線呈現出一電阻的電性，總電阻 (R) 等於通道電阻 (Channel Resistance) 加上與金屬接觸的接觸電阻 (Contact Resistance)，如公式：

$$R = R_{\text{ch}} + 2R_{\text{c}} \quad (2-1)$$

因此從 I-V curve 可以看出經過 10^{20} cm^{-3} 濃度 (劑量 $5E15 \text{ cm}^{-2}$) 摻雜後，通道電阻被大大

降低，使得多根的 LP 與 MP 呈現接觸電阻 R_c 主宰 ($R_{ch} \ll 2R_c$)，電性為蕭基接觸 (Schottky Contact)，根數多電流大，因此通道電阻低。反而是 SP 的電性 ($R_{ch} \gg 2R_c$) 呈通道電阻主宰 (R_{ch} dominated)，為電阻接觸 (Ohmic Contact)。另外隨著通道越長，LP 及 MP 的 R_{ch} 越趨主宰，越接近 Ohmic Contact。



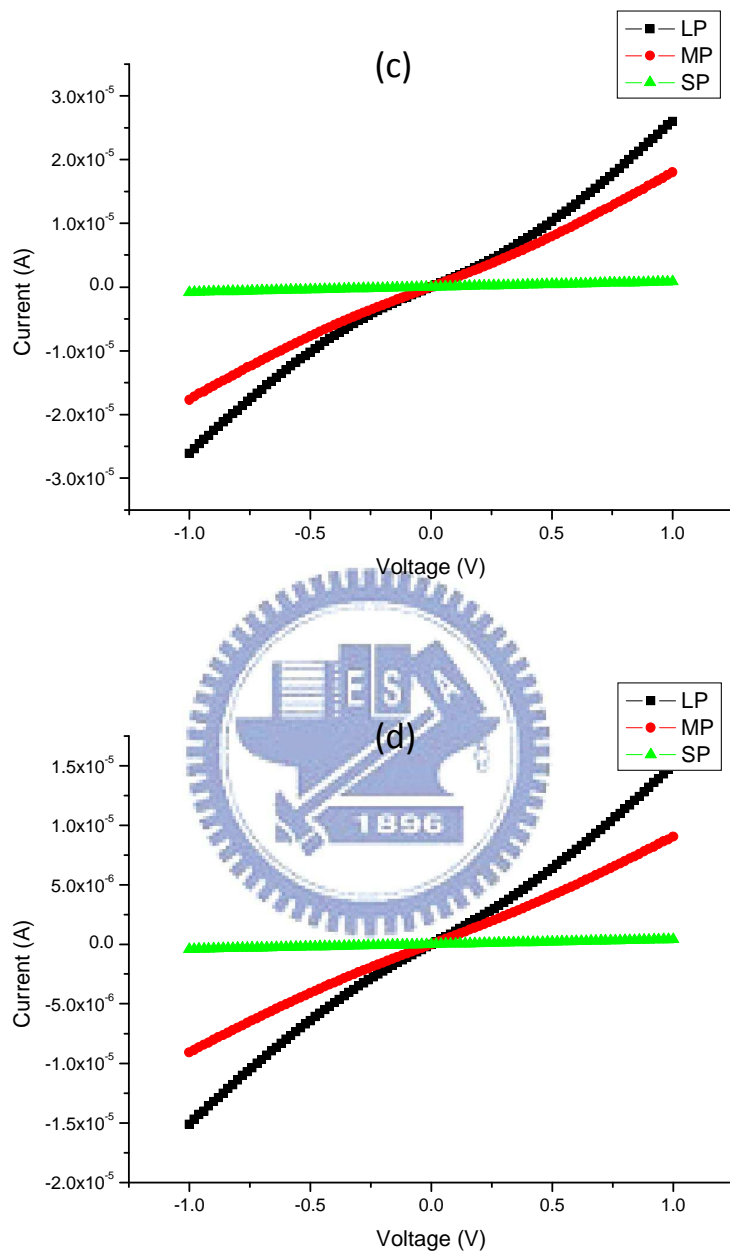
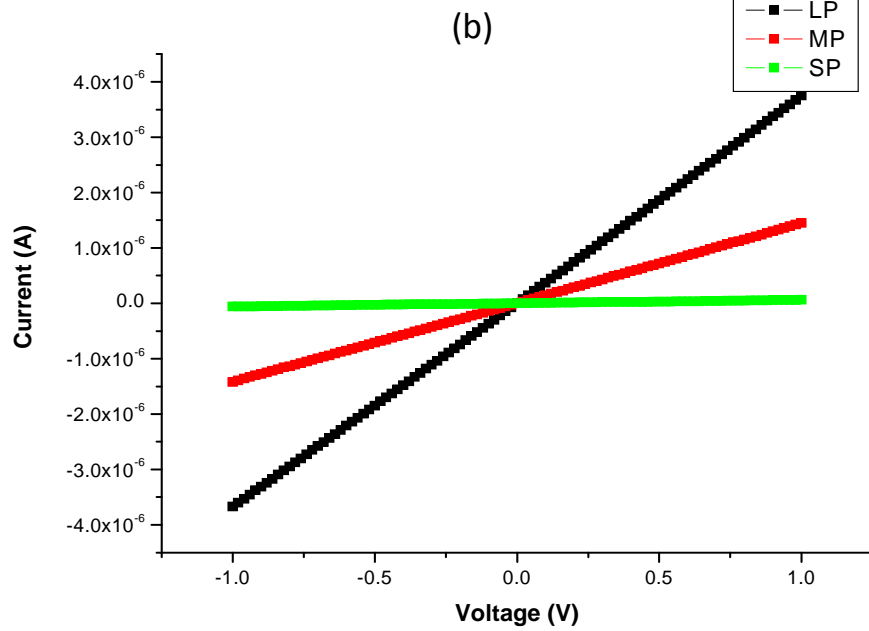
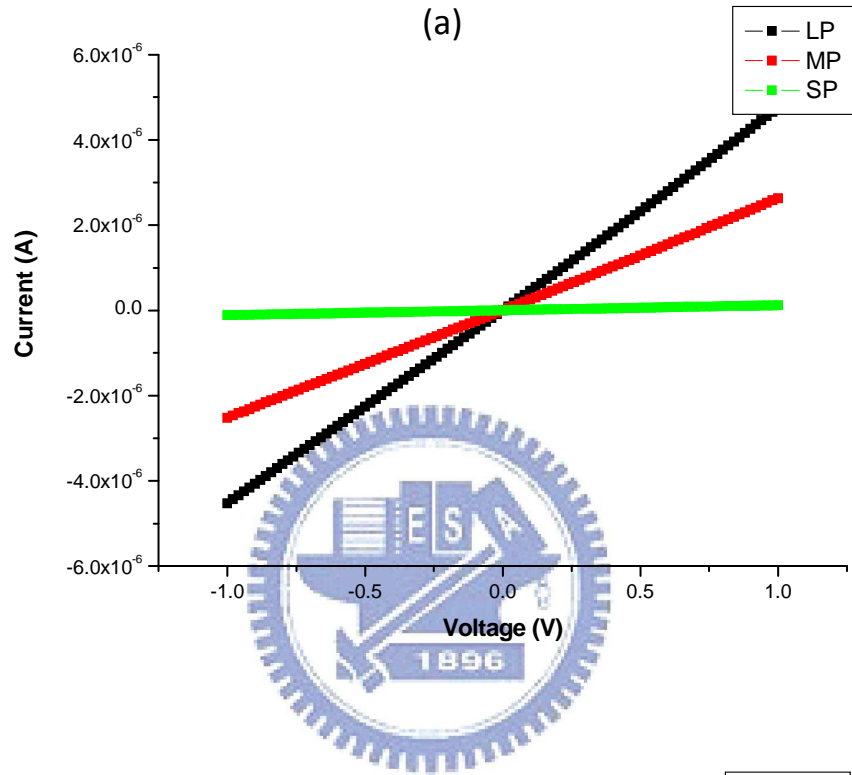


圖2-15、奈米線電性，S/D和Channel摻雜劑量為 $5E15 \text{ cm}^{-2}$ 。(a) Channel Length $10 \mu\text{m}$ ，(b) Channel Length $25 \mu\text{m}$ ，(c) Channel Length $50 \mu\text{m}$ ，(d) Channel Length $100 \mu\text{m}$ 。

為了改善 Contact 這個問題我們改為兩次摻雜，電極兩端摻雜 10^{20} cm^{-3} 濃度(劑量 $5E15 \text{ cm}^{-2}$)，通道則摻雜 10^{18} cm^{-3} 濃度(劑量 $5E13 \text{ cm}^{-2}$)，讓通道電阻提升上去，如圖 2-16 所示。從二次 Doping 的電性可以看出，比起之前的一次重摻雜，LP 與 MP 多根的不同長度下都已經呈現 Ohmic Contact，雖然同時也犧牲了電流變小。因此我們可以透過摻

雜來調變奈米線的電阻，以改善當元件很小的情況下，所遇到的 Contact 問題及 Contact 對微小元件的重要性。



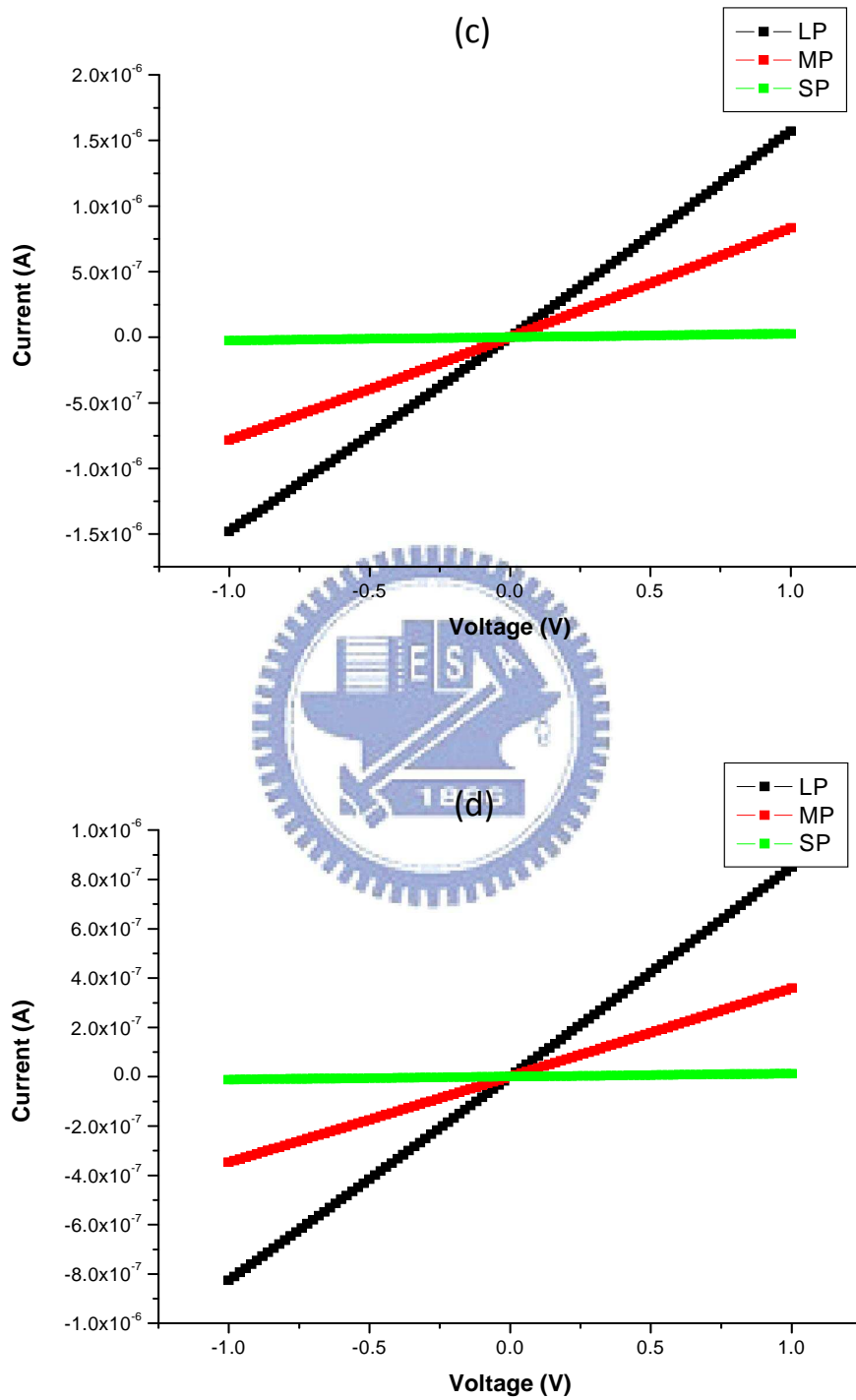


圖2-16、奈米線電性，S/D和Channel摻雜劑量分別為 $5E15 \text{ cm}^{-2}$ 與 $5E13 \text{ cm}^{-2}$ 。(a) Channel Length 10 μm ，(b) Channel Length 25 μm ，(c) Channel Length 50 μm ，(d) Channel Length 100 μm 。

2.5 Spacer 材料選擇與寬度調變

S.NO.	Spacer	Block	Pros/Cons
1.	SiN	SiO ₂	Nitride uniformity
2.	SiN	Poly	Poly roughness, Nitride uniformity
3.	SiN	Si/Ge	Etch selectivity to nitride/oxide
4.	SiO ₂	SiN	Stress issues
5.	SiO ₂	Poly	#2 is a better option(nitride uniformity)
6.	Poly	SiO ₂	A. High aspect ratio, B. Mask erosion
7.	Poly	SiN	

➔ **Selected**

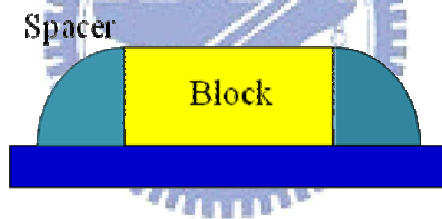


圖2-17、Spacer材料選擇的優缺點[17]。

圖 2-17 提供了本實驗在選擇 Spacer 與 Block 材料時須注意哪些問題，首先說明實驗為什麼要使用 SiN(Nitride)當 Spacer 和 SiO₂(TEOS)當 Block ?從其優缺點可以了解，SiN 有很好的覆蓋率(Step Coverage)及均勻性(Uniformity)，因此拿它當 Spacer，另外選 SiO₂(TEOS)是因為在使用上對我們也比較方便，用 BOE 就可以將它很快的濕蝕刻掉。如果選 Poly 當 Block，濕蝕刻溶液不好拿到，且 Poly 表面粗糙度太大，無法達到平坦且垂直的側壁。用 SiO₂ 當 Spacer 覆蓋率不好，因此第一項是最好的選擇。而值得注意的是為了維持 Hard Mask 的平衡與機械穩定性，Spacer 的深寬比應保持在 3:1 狀況下，如此不會因比例過高導致濕蝕刻時，Spacer 倒塌，後果不堪設想。

以本實驗做出來的經驗，SiN 厚度比奈米線寬度為 1:0.7，圖 2-18 說明當我們 TEOS Block 高度(150 nm)固定，去調變不同的 Nitride 厚度(100 nm, 150 nm, 200 nm)將會得到不同的線寬。結果如圖 2-19 所示，顯示前兩者條件如預計一樣，但第三個條件，卻反

而在預料之外，因為 Nitride 厚度超過 TEOS Block 高度就已經飽和，不會越寬。

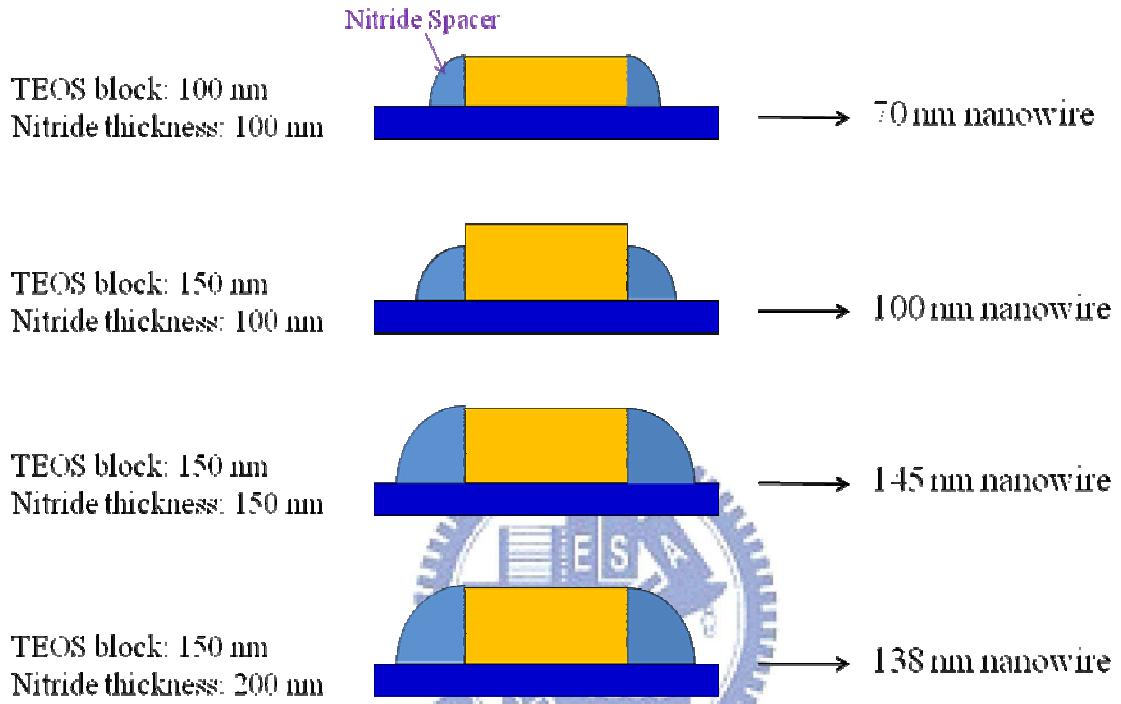
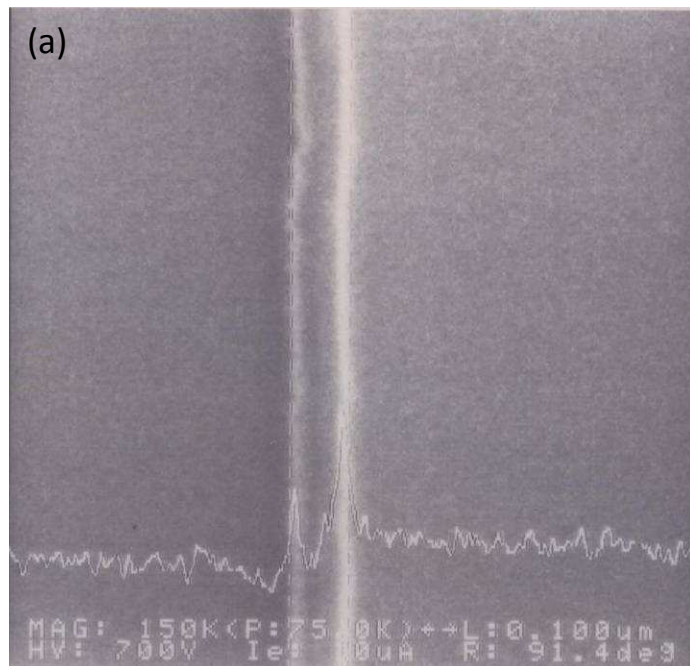


圖2-18、Nitride厚度調變得到的奈米線寬。



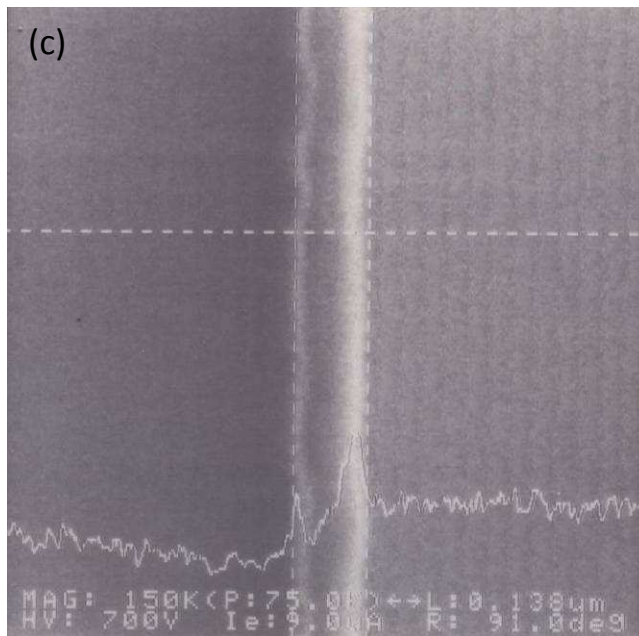
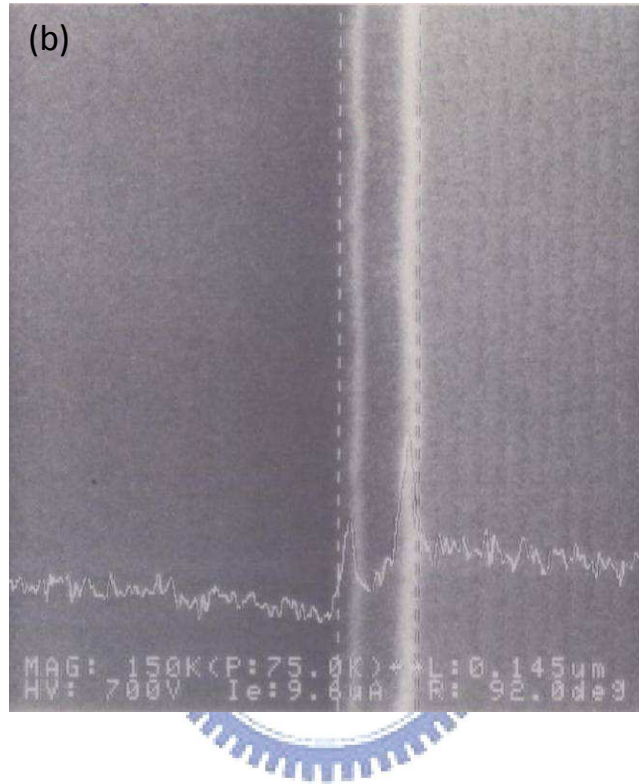


圖2-19、不同線寬的奈米線In-line SEM圖。(a)100 nm，(b)145 nm，(c)138 nm。

第三章

GAA TFT 製作流程與量測

(Gate All Around Thin Film Transistor)

本章為介紹 GAA 薄膜電晶體的製作流程與電性量測，量測的 I-V 電性中所遇到 MOSFET 元件效應，如短通道效應，都會清楚的從電性去萃取出來，並做分析討論。

3.1 實驗動機

如上一章所述，實驗室的奈米線製作技術純熟，它的應用廣泛，包括奈米線記憶體、奈米線 CMOS、及奈米線薄膜電晶體等等，我們把它應用到 TFT 這一領域，未來製作完成，在平面顯示器方面有很好的應用，如 AMLCD、Micro Display，製程方面可與 IC 整合，或當驅動 IC。

3.2 GAA TFT 製作流程

將製作出來的奈米線(W/ H=75 nm/ 38 nm)，經過氮氣環境下 24 小時 600°C 退火，RCA 清洗，接下來就要進行掏的動作，即以氫氟酸 HF(1:50)把奈米線下面的 BOX 氧化層濕蝕刻 50~100 nm，約 25 分鐘，使奈米線懸空(suspending)，如圖 3-1 所示。再進入 LPVCD 爐管 713°C 沉積 TEOS 氧化層(SiO_x)20 nm，這層氧化層為閘極氧化層(Gate Oxide)，如圖 3-2 所示。之後隨即轉管推入沉積 N⁺多晶矽薄膜(Doped Polysilicon)200 nm，完全包覆通道，經過黃光微影，進行閘電極 pattern，如圖 3-3 所示。然後在光阻還未移除之前，作 Source/Drain 電極的離子佈植 N⁺重參雜(P31⁺, 30 keV, 5E15 cm⁻²)，如圖 3-4 所示，因為做閘電極 pattern 時，以 TCP 9400 蝕刻至 TEOS Gate Oxide 層，此機台蝕刻比(Poly:Oxide)很高，不太會蝕刻 TEOS，所以進行離子佈植時，S/D 有 20 nm 氧化層覆蓋，避免 S/D 裸露下被離子轟擊，表面粗糙度提高，與金屬 Contact 的地方界面差且電阻變大，且能量設定在 30 keV，預估離子穿過氧化層打入 30~40 nm 的深度到達源/汲極。另外閘極氧化層沉積 TEOS 而不直接進行乾氧化，是因為通道非單晶，避免 O₂ 沿晶粒邊界氧化，造成元件失敗，因此以 TEOS 直接沉積覆蓋上去，但 TEOS 品質不如

Dry Oxide，沉積厚度至少要 10 nm 以上。

下一步驟將光阻經過 Ozone 及硫酸(SPM)移除清洗掉，進行 950°C 高溫活化 30 分鐘，此時元件大致已完成，再經過 LPCVD 蓋上一層 200 nm 的 TEOS Oxide，作 Passivation 來隔絕濕氣，並以利之後的電漿轟擊。接下來再黃光微影開接觸孔(Contact Hole)，顯影之後以 BOE(氫氟酸:氟化氫=1:7)蝕刻掉 TEOS，使三個電極裸露出來，再以熱蒸鍍鍍上鈦和鋁(Ti: Al=10 nm: 150 nm)，再利用抬離(Lift-Off)的方式，先將試片泡在丙酮(ACE)約半小時，用超音波震盪器振掉光阻，然後再用去離子水(DI Water)清洗，直接震出三個電極，如圖 3-5 所示，此步驟是很關鍵的，假如接觸孔未顯影乾淨，抑或金屬沒鍍好，很容易在震盪時，整個金屬都掀掉，因此也有很多人使用鋁蝕刻溶液，來蝕刻出電極，此方法比較保險，但需多一道光罩。元件剖面圖以確保奈米線是否塌陷，示意圖如圖 3-6 所示。

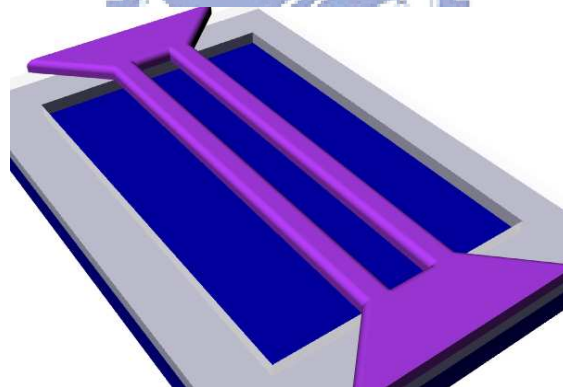


圖3-1、掏掉BOX氧化層的懸樑臂多晶矽奈米線。

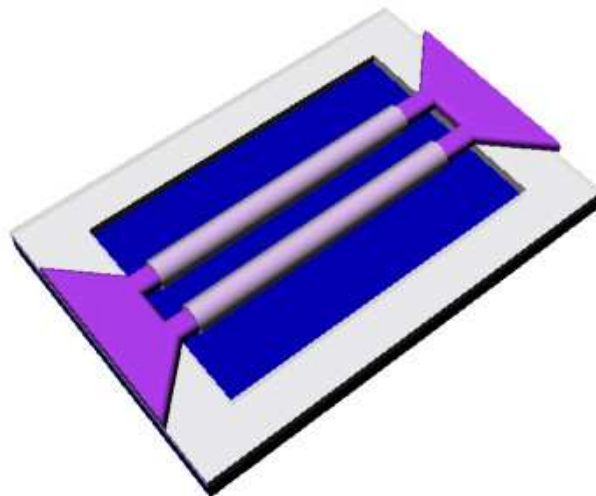


圖3-2、包覆上TEOS開氧化層的奈米線。

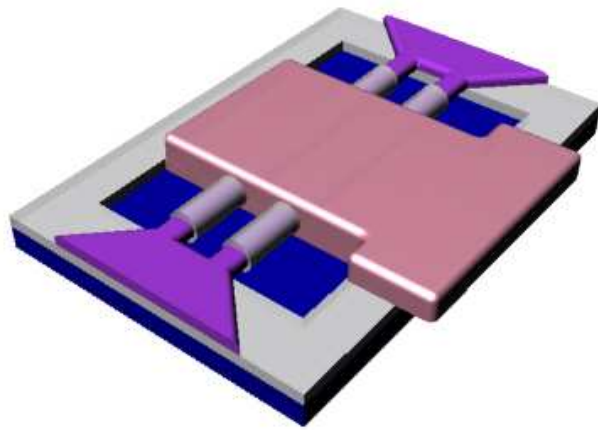


圖3-3、沉積Doped Poly後Pattern出電極。

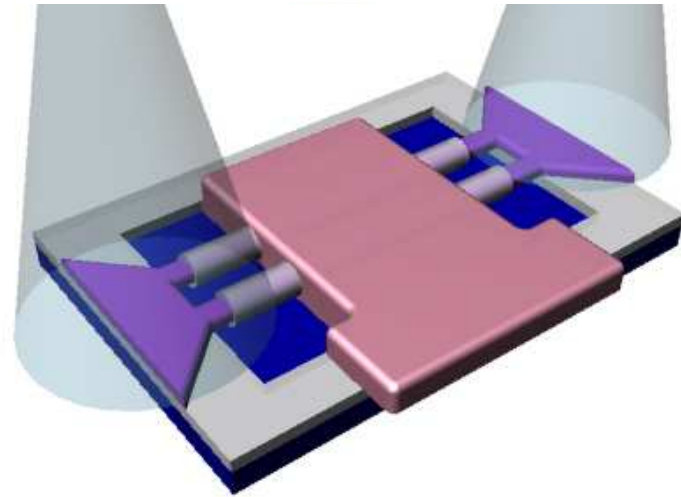


圖3-4、P31⁺ 30 keV 5E15 cm⁻²源極/汲極離子佈植。

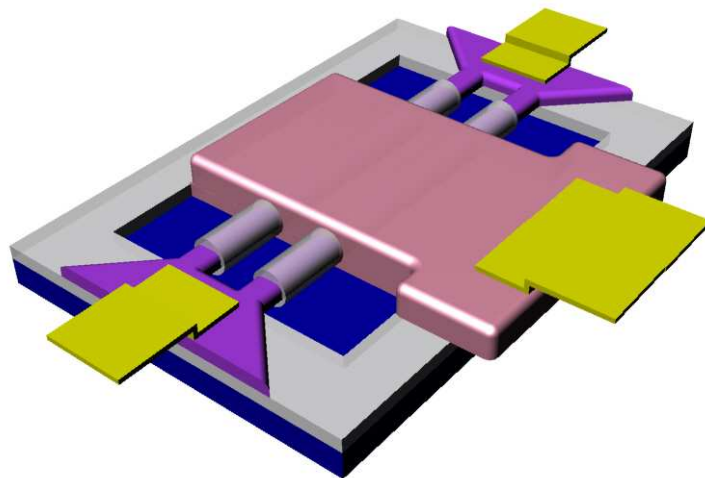


圖3-5、鍍上金屬電極的GAA TFT元件完成圖。

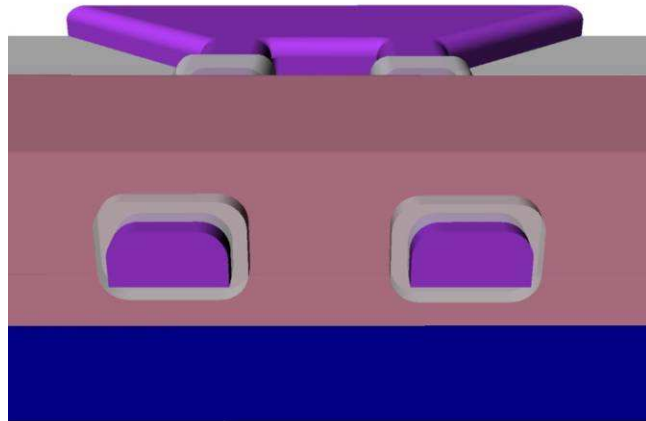
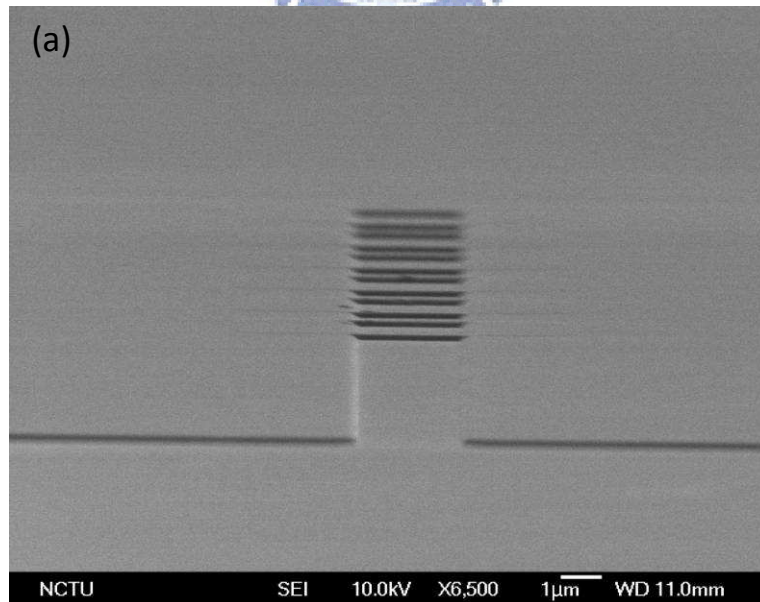


圖3-6、Cross Section。

3.3 GAA 元件 SEM 與 TEM 圖

圖 3-7 為沉積完 400 nm 多晶矽薄膜的測試結構，圖中顯示多晶矽奈米線通道下層氧化層經過濕蝕刻懸空後，尚筆直的存在，表示奈米線並未在濕蝕刻步驟，因 HF 溶液的表面張力而斷裂。



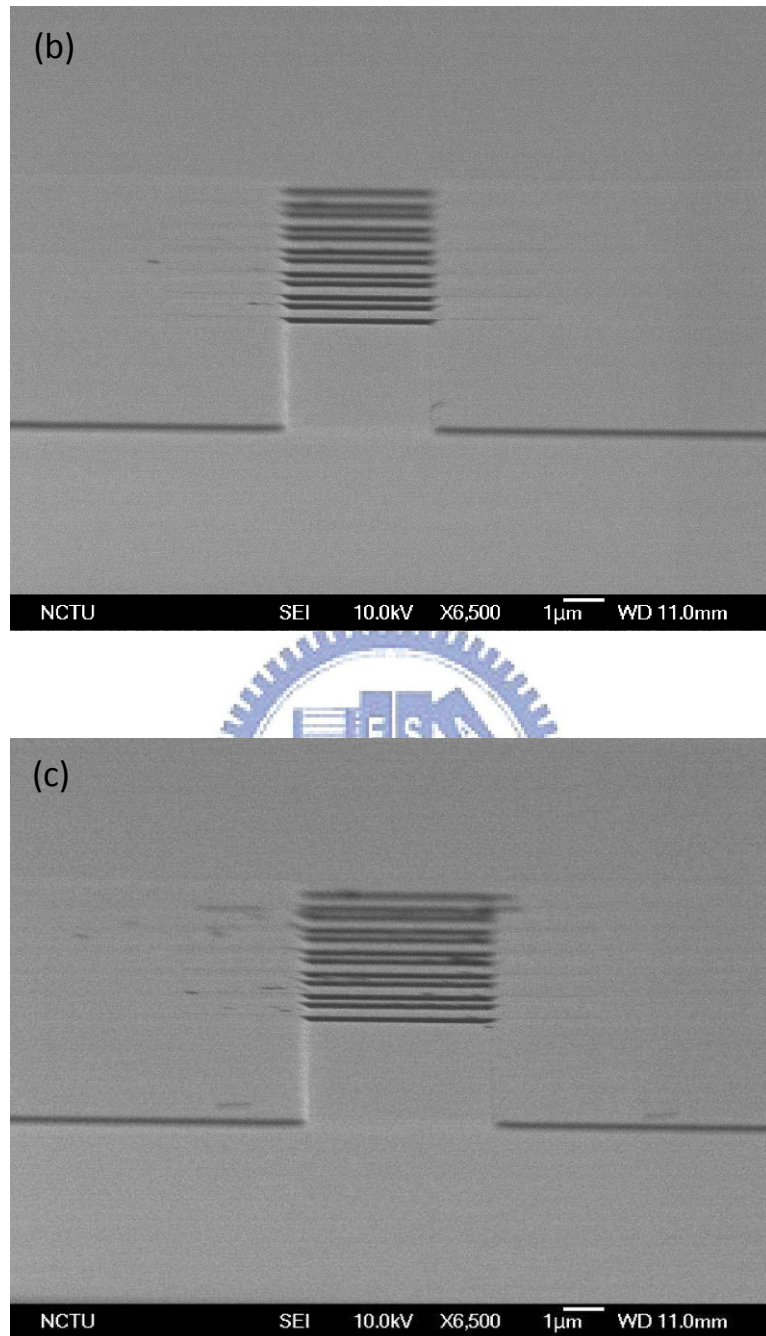


圖3-7、沉積多晶矽閘極薄膜後SEM圖(a)通道長度2 μm ，(b)通道長度3 μm ，(c)通道長度4 μm 。

圖 3-8 與 3-9 為 GAA 元件製作完成的 SEM 圖，圖中可清楚的看出奈米線的寬度為 70 nm，旁邊為經過 BOE 蝕刻後將 TEOS Gate Oxide 移除，約 25 nm。在奈米線接近 S/D pad 的周圍有 N^+ Polysilicon 殘留，因為 TCP RIE 垂直蝕刻的關係，使奈米線旁邊留下如 Spacer 的殘留物，但這並不會對元件操作有影響。Channel Length 為 Gate Length 加上兩邊各 0.5 μm 的長度。

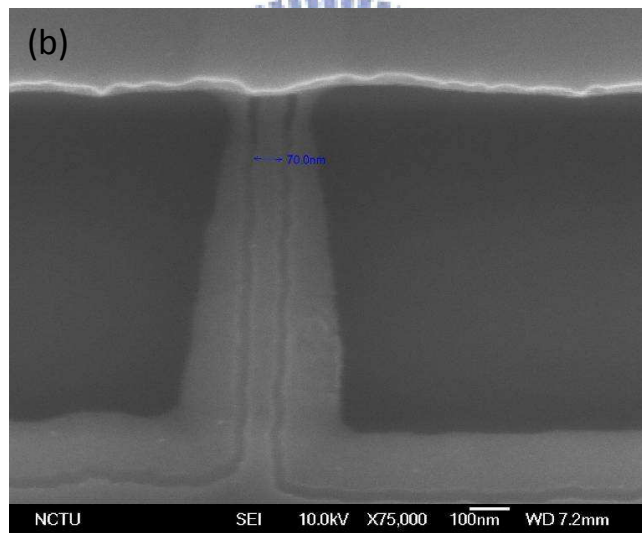
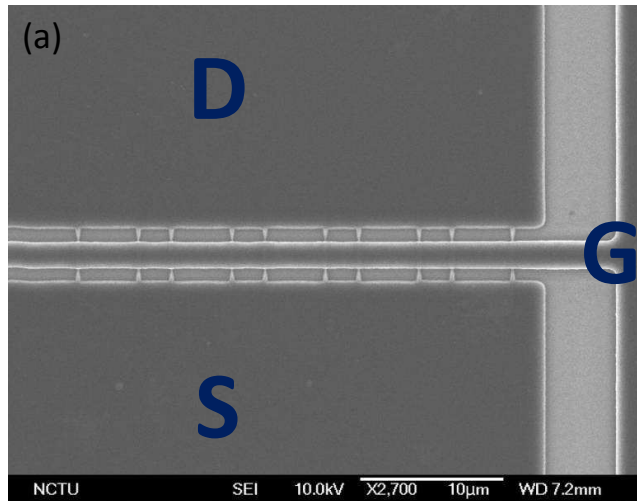
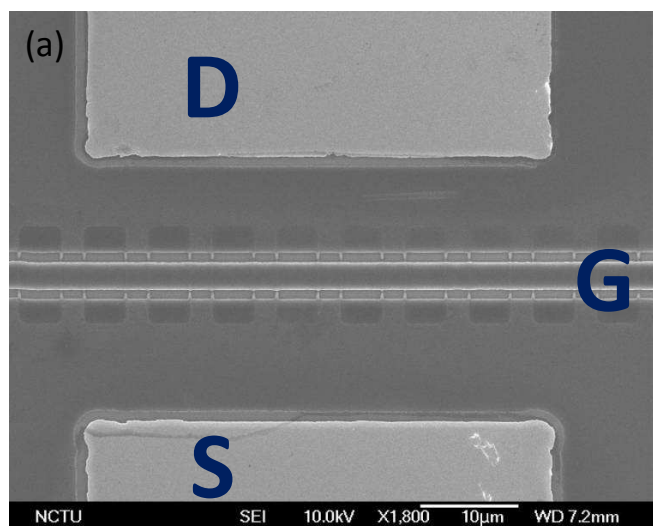


圖3-8、GAA元件SEM圖，Gate length為2 µm。



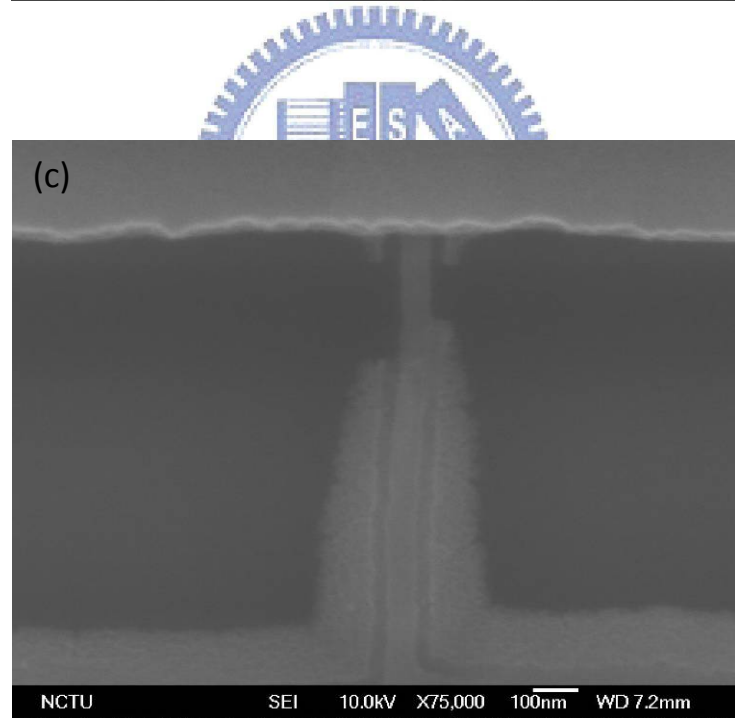
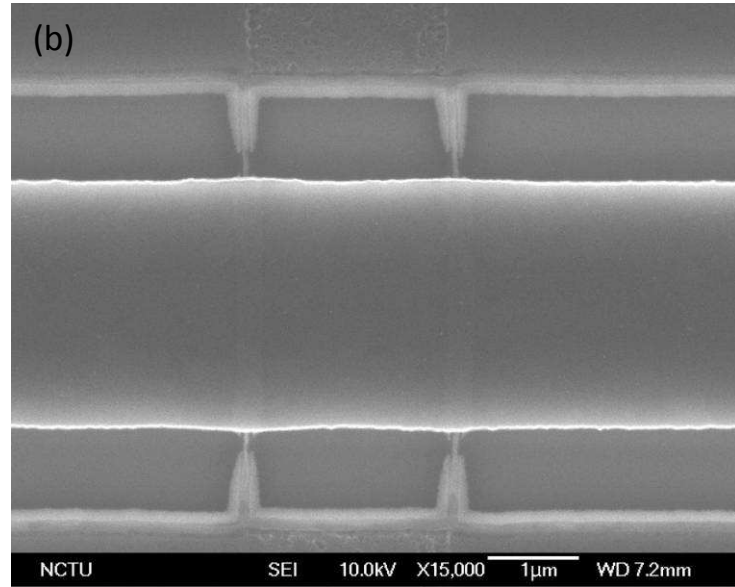


圖3-9、GAA元件SEM圖，Gate length為3 μm 。

另外在 Gate length 比較長的元件，發現通道中間有下垂的情形，可能會接觸的下面，而沒有懸空並非斷裂，斷裂元件將量不到電性，如圖 3-10 所示，因此電性量測都集中在 2 μm ~4 μm 。

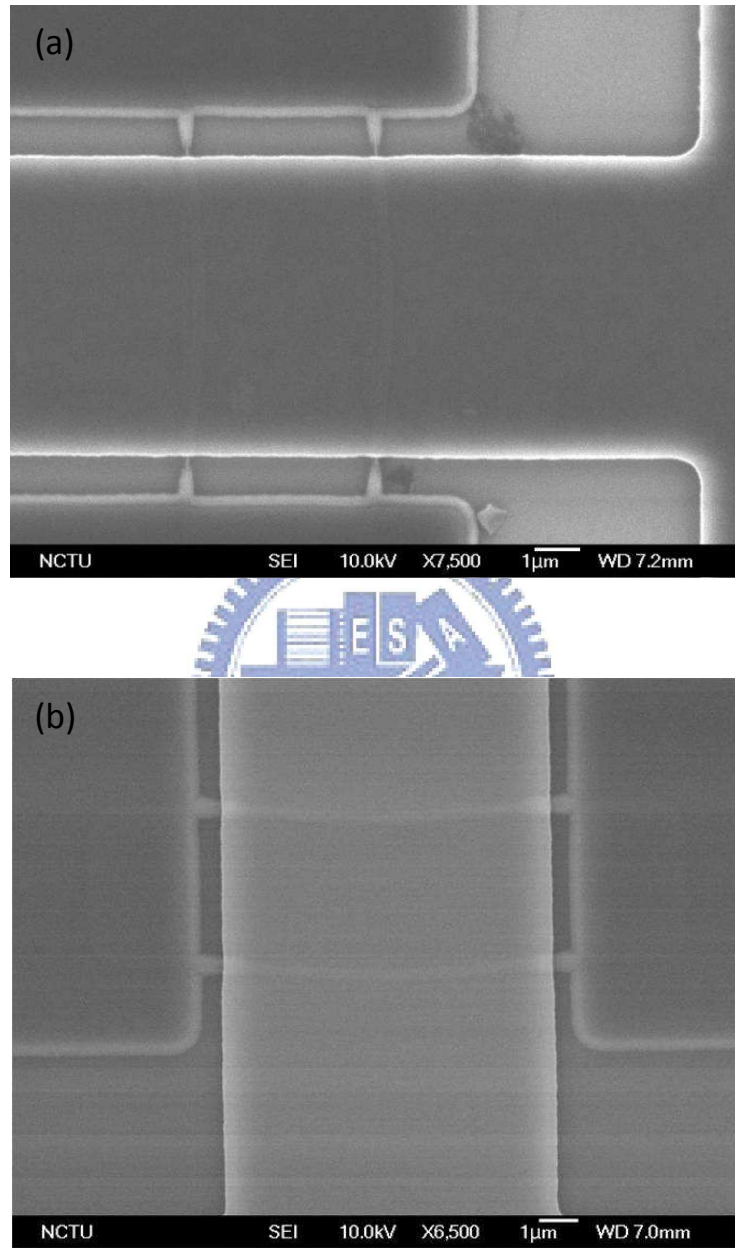


圖3-10、GAA元件SEM圖(a) Gate length 7 μm ，(b) Gate length 8 μm 。

圖 3-11 為切元件的剖面圖，來判斷 Channel 中間是否往下塌，接觸到下層的 Oxide，會形成 Ω -Gate，而失去作 Gate All Around 元件的意義。中間的黑色方形框線為 TEOS Oxide，框線裡面則為奈米線通道。圖中有尺寸更小且接近圓柱型的奈米線表示 Spacer 奈米線並不均勻，可能是 RIE 電漿不均勻造成。

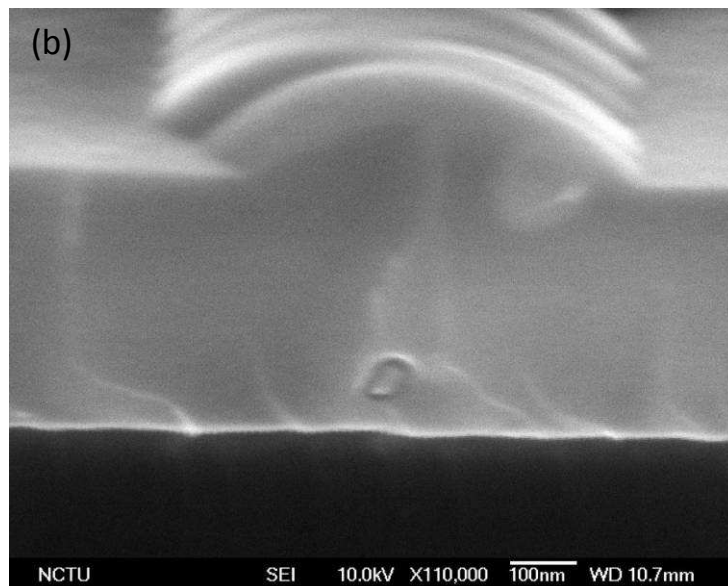
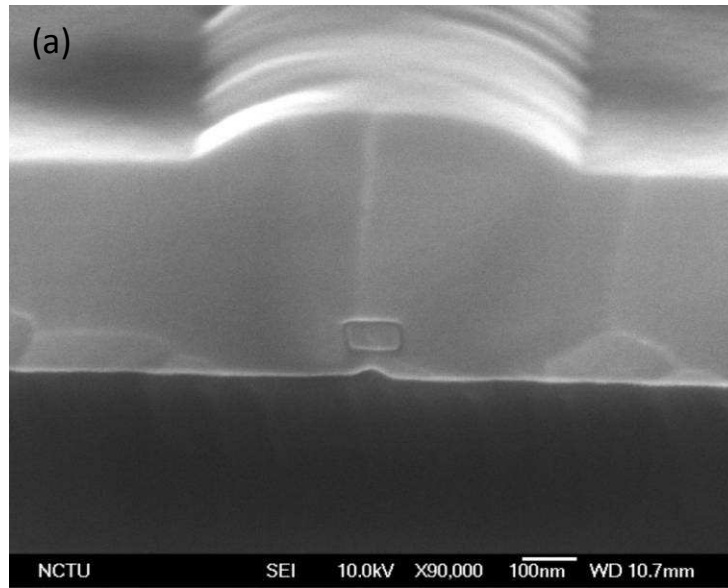


圖3-11、元件剖面SEM圖(a)W/H:77 nm/35 nm，(b) W/H:32 nm/40 nm。

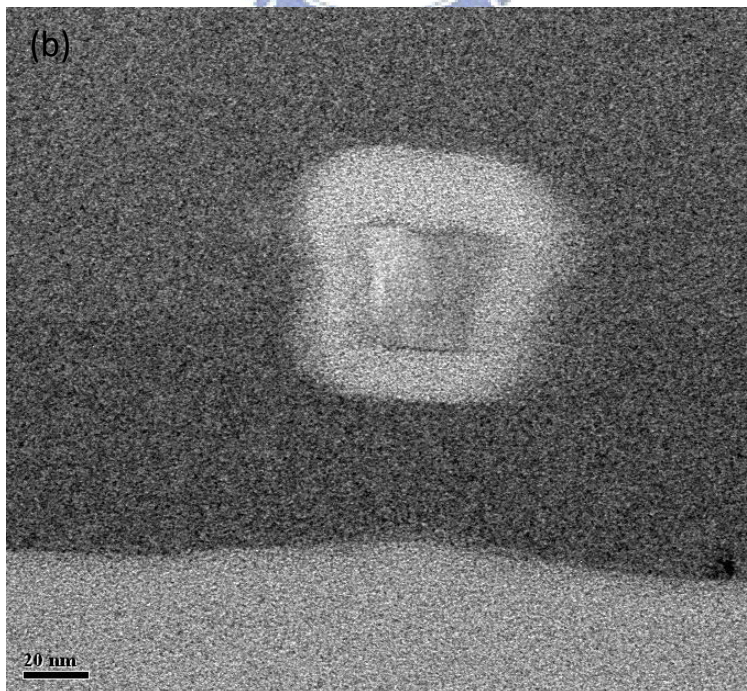
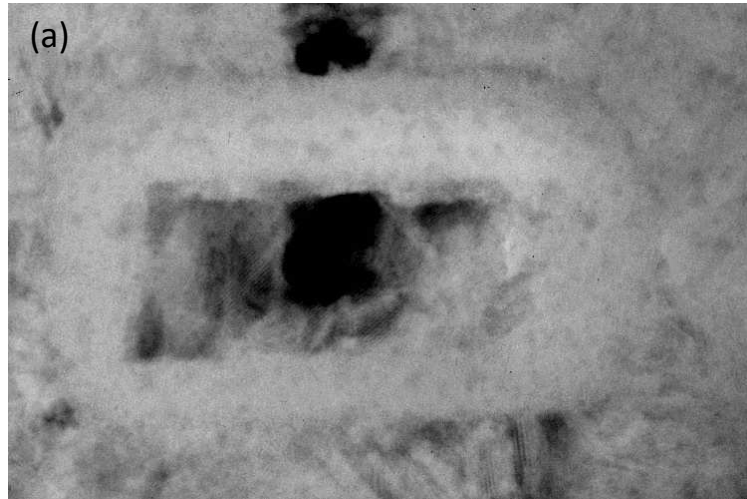


圖3-12、元件剖面TEM圖(a) W/H:75 nm/38 nm，(b) W/H:33 nm/35 nm。

3.4 參數萃取方法

本節將介紹量測的參數萃取，包括臨界電壓(Threshold Voltage)、次臨界斜率(Subthreshold Swing)、汲極引發位能障下降(DIBL)、電流開關比(On/Off Ratio)、載子遷移率(Field-Effect Mobility)等特性。將量到的參數比較分析，而電性的量測機台主要以 HP 4156 半導體分析儀量測，軟體則為 ICS 操作系統，GPIB 為連接兩硬軟體的溝通介面。

3.4.1 臨界電壓定義(Threshold Voltage)

$V_{th}(V)$ 為 MOSFET 元件中最基本且重要的參數，它的定義方法為將量到的 I_d-V_g 圖，在固定的 V_d 下，本實驗設 $V_d=0.5\text{ V}$ ，取 G_m (Transconductance)最大值對應到 I_d-V_g 下的 V_{g1} 且 fit 出一條直線與 X 軸的切點 V_g ，在扣掉二分之一 V_d (線性區電流等於零時)，即為 V_{th} ，如圖 3-13。亦可利用定電流法估計，在 $I_d=(W/L)\times 10^{-7}\text{ A}$ 時的 V_g 。

$$V_{th} = V_g - \frac{V_d}{2} \quad (3-1)$$

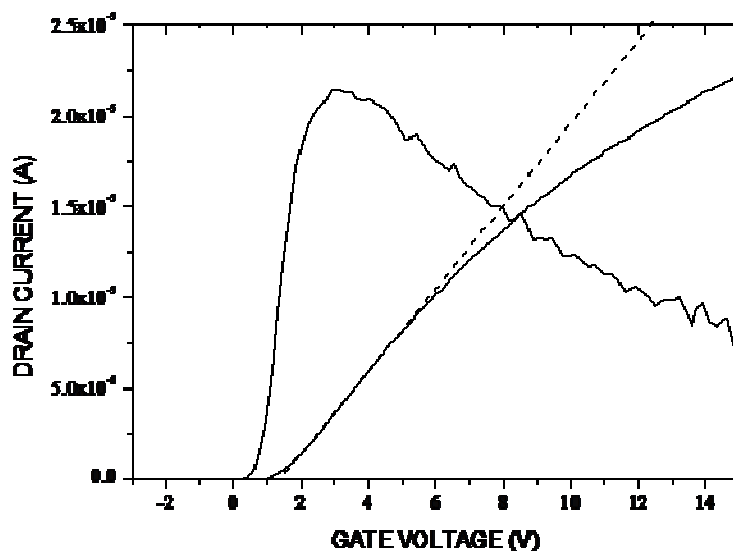


圖3-13、 V_{th} 萃取方法。

3.4.2 次臨界斜率定義(Subthreshold Swing)

次臨界斜率的定義方法為在弱反轉區的次臨界電流，取對數除以 V_g 的倒數，因此元件操作在線性區，外加 V_d 為 0.5 V。

$$S = \left[\frac{\partial \log_{10}(I_D)}{\partial V_G} \right]^{-1} \quad (3-2)$$

3.4.3 汲極引發位能障下降定義(Drain Induce Barrier Lowering)

DIBL(V/V)的定義有兩種，公式如下：

1. $V_{th-linear} - V_{th-saturation}$
2. $\frac{\Delta V_g}{\Delta V_d}$, where I_d is defined as 10^{-10} A [14].

第二種為我們採用的方法，設 V_d 為 0.5 V 與 2 V 下所量到的 V_g ，兩者的差相除[14]。另外一簡單的方法可觀察 V_d 為 0.5 V 與 2 V 下的 I_d - V_g 圖，兩者的弱反轉區是否重疊，無重疊表示無 DIBL 效應。

3.4.4 電流開關比定義(On Off Ratio)

本實驗定義 On/Off Ratio 為取 $V_g=10$ V 下的 I_d 為 I_{max} 除以 I_d 的最小值。開關比越大表示越容易區分開與關兩種狀態，一般電晶體至少要 10^6 以上，才算是一顆好的元件。

$$\frac{I_{on}}{I_{off}} = \frac{I_{max}}{I_{min}} \quad (3-3)$$

3.4.5 載子遷移率定義(Field-effect mobility)

Field-effect mobility($\mu_{FE}, cm^2/V-s$)的定義為主要從較小的 V_d 下的 G_m 計算出來。其線性區電流為：

$$I_d = \mu_{FE} C_{ox} \frac{W}{L} [(V_g - V_{th})V_d - \frac{1}{2}V_d^2] \quad (3-4)$$

其中 C_{ox} 是閘極氧化層每單位面積的電容值， W 是通道寬度， L 是閘極寬度， V_{th} 為臨界電壓。當 V_d 遠小於 $V_g - V_{th}$ 時 ($V_d \ll V_g - V_{th}$) 且 $V_g > V_{th}$ ，電流可近似為：

$$I_d = \mu_{FE} C_{ox} \frac{W}{L} (V_g - V_{th})V_d \quad (3-5)$$

而 G_m 定義為：

$$G_m = \left. \frac{\partial I_d}{\partial V_g} \right|_{V_d = \text{constant}} = \frac{W \mu_{FE} C_{ox}}{L} V_d$$

最後得

$$\mu_{FE} = \frac{L}{W_{eff} C_{ox} V_d} G_m \quad (3-6)$$

因此可將電性中量得的 G_{mmax} 帶入此公式，求出載子遷移率，本實驗 C_{ox} 為 $1.28E-7$ F/cm^2 ，其中 $\epsilon_r = 3.9$ 為 TEOS Oxide 的絕對介電常數，而 W_{eff} 則為包覆通道四面 $0.226 \mu m$ ($T_{ch} + W_{ch}$)， V_d 為 0.5 V。Dual-Channel 的 W_{eff} 為 $0.452 \mu m$ ，這些數值是從 TEM 影像求得。

3.5 GAA 元件電性量測

圖 3-14 為不同通道數目的 GAA 元件 $I_d - V_g$ 電性比較，包括 2 通道、4 通道、8 通道、16 通道、20 通道、40 通道、及 80 個通道等等，在外加 $V_d = 0.5$ V 下，通道數的不同最大在於多根電流比較大，因此電流開關比 (On/Off Ratio) 也隨著變大，而關電流 (Off Current) 改變並不明顯，只是會讓 GIDL 漏電流顯現出來，從 2~40 根通道，由 6.5×10^6 增加至 1.36×10^8 ，而臨界電壓 (V_{th}) 則會因為通道根數越多，及閘極控制面積增加，元件越提早進入反轉區 (Inverse Region) 導通，隨之越來越小，由 4.07 V 降至 3.68 V。另外次臨界斜率方面，通道數增加，閘極控制能力增加，S.S. 並不會有太大的變化，S.S.max

為 451mV/dec，S.S.min 為 390 mV/dec，平均為 423.6 mV/dec。

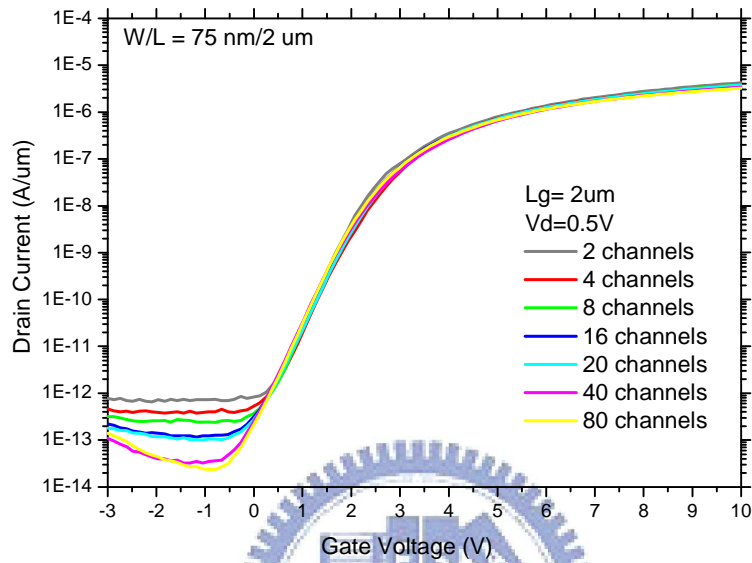


圖3-14、不同的通道數比較。

接下來我們去比較不同的閘極長度(Gate Length)，如圖 3-15 所示，相對於 $2 \mu\text{m}$ 長度的通道，通道較長的元件其臨界電壓會較大，且次臨界斜率也較高，而通道電阻大，使得其電流開關比下降。由此可知，單看電特性的話， $2 \mu\text{m}$ 長度的通道閘極控制能力好。

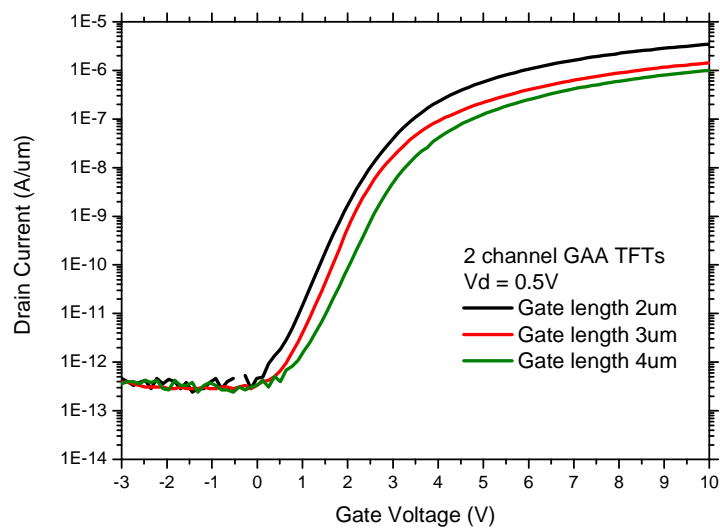


圖3-15、不同閘極長度比較。

圖 3-16 則是在外加 V_d 從 0.1V 到 3V 的特性圖，圖中顯示在關電流(Off Current)部分，會隨汲極電壓變大，使漏電流越大，此乃汲極接近通道附近的電場越高，導致熱電子由價帶(Valance Band)產生躍遷至能隙中的缺陷態(Trap State)，再穿隧(Tunneling)至位能障變低的導帶(Conduction Band)中，因此造成熱場發射漏電機制。另外如果所建立的電場過於強烈，會造成更嚴重的能帶對能帶直接穿隧(Band to Band Tunneling)的漏電流。而另一方面，當 V_d 大於 0.1 V 後，所顯示的 DIBL 效應會更小。圖 3-17 為 V_d 分別加 0.5 V 及 2 V，其 DIBL 為 86.7 mV/V。圖 3-18 為八個通道的元件與微米線做比較，可看出其次臨界斜率比微米線更陡，且開關電流比較大。

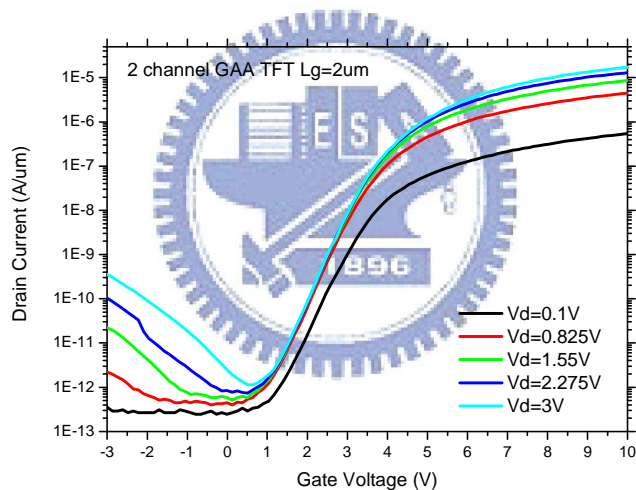


圖3-16、外加不同汲極電壓。

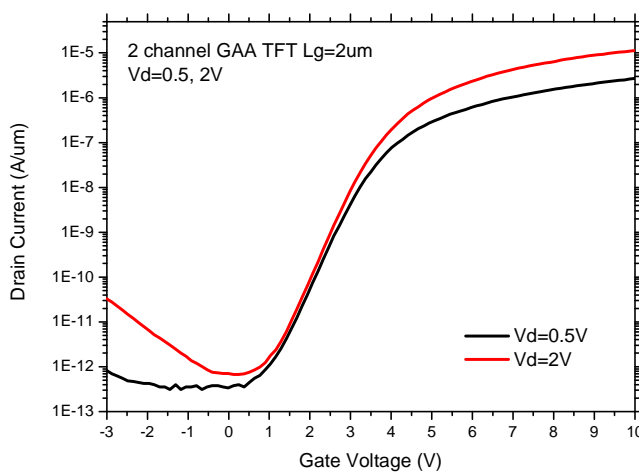


圖3-17、外加不同汲極電壓。

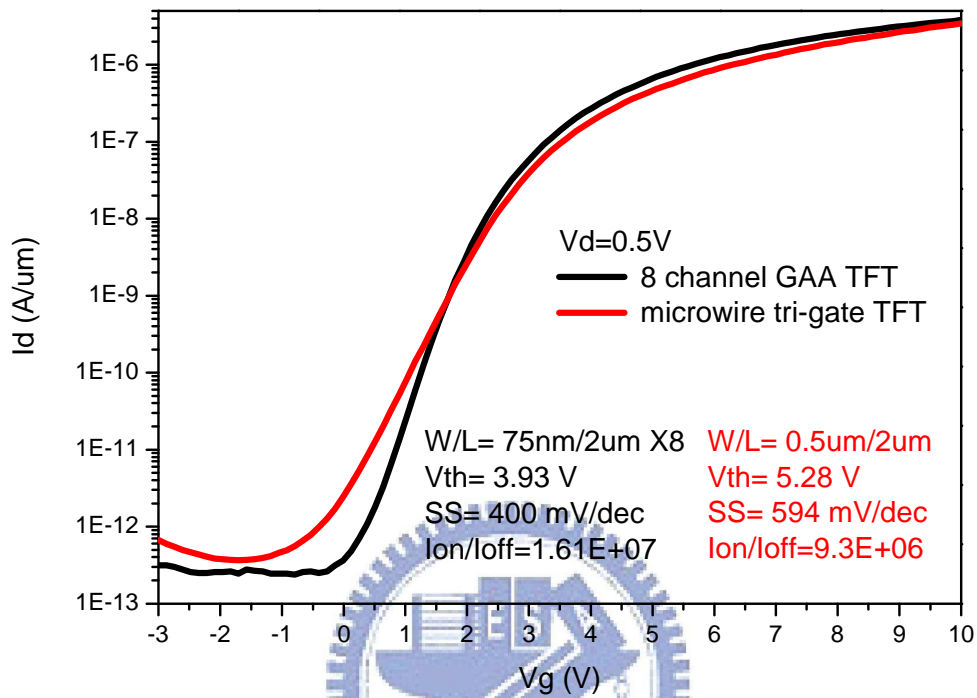


圖3-18、八個通道元件與微米線元件比較。

表 3-1 為元件完成後量得的電性，針對 $2\ \mu m$ 長度各項參數的整理如下，其中隨通道數目越多可看到一些趨勢，如臨界電壓的下降，元件的導電性越來越高(G_m , On/Off)，及 S.S.大致上不變，但載子遷移率以兩個通道的元件最高，因多通道元件其閘極控制寬度(W)大，則遷移率會變小，從 3.4.5 節 Mobility 公式可看出。

表 3-1、各項參數整理。

Channel Length	2 μm								
# of nanowires (70 nm)	2	4	8	16	20	40	80	microwire	
								0.5 μm	1 μm
V_{th} (V)	4.07	3.83	3.93	3.89	3.87	3.74	3.68	5.28	5.61
S.S. (mV/dec)	390	429	400	446	451	438	411	594	651
I_{on}/I_{off} ratio (10^7)	0.65	0.99	1.61	3.08	3.73	10.4	13.6	0.93	0.74
I_{onmax} (μA)	1.69	2.99	6.1	11.4	14.9	27.1	51.6	2.4	5.04
G_{max} (μS)	0.38	0.62	1.23	2.31	3.07	4.84	8.71	0.57	1.24
Mobility($\text{cm}^2/\text{V}\cdot\text{s}$)	26.4	21.6	21.4	20.1	21.3	16.8	15.1	25.5	32.3

第四章

氮電漿處理對元件的影響

(Effect of NH₃ plasma hydrogenation)

本章主要探討元件經過氮電漿(NH₃ plasma)處理前後的比較，為何電漿能修補元件的缺陷，特性改善了多少?並觀察一些非理想效應，如 GIDL、Kink Effect，電漿鈍化(Passivation)後是否改善，及加了基底偏壓，元件臨界電壓會不會漂移? 本章將一一討論分析。所使用的機台為 PECVD 平行板反應腔體，在 300°C 300 mTorr 的製程條件下，通入 700 sccm 的 NH₃ 氣體，產生電漿，直接打在元件上面。

4.1 氮電漿修補

在多晶矽薄膜電晶體中，由於通道中的晶粒邊界(Grain Boundary)，有許多缺陷(Trap)及斷鍵(Dangling Bond)或是未飽和鍵，因此傳導中的載子必須克服晶粒邊界的位能障，元件才能順利工作。通道中缺陷越多，導通電流(On Current)越小，且漏電流越高。因此降低通道中的缺陷是改善元件特性最快的方法，以提高閘極的控制能力。改善方法有很多，包括氫的電漿、氫(H⁺)的離子佈植[29, 30, 31, 32]、氟(Fluorine)電漿[33]、氮(N⁺)的離子佈植[30]、及 NH₃ 電漿[34, 35, 36]等等，都具有修補斷鍵的效果，其中最常用的是 NH₃ 電漿，它具有氫與氮兩種同時修補，因此效果更高，圖 4-1 說明 PECVD 中所解離出來的眾多分子[34]，包括 H、NH、N₂、N₂⁺，其中以 H 的自由基(Radicals)最多，還有 NH 自由基密度最高，這兩個是主要進入通道修補的自由基，分子較小，修補效果好，而 N₂ 可以再次解離成 NH。氫主要是進入通道中，與矽鍵結形成 Si-H，此鍵比較弱，熱穩定度低。而氮則是在 Si 與 SiO₂ 介面進行修補，與矽形成 Si-N 鍵結，此鍵較強，因此可靠度高，使絕緣層強度升高，閘氧化層漏電減少，崩潰強度較大。由此可知光靠氫對通道的修補還不夠，有較強鍵結的氮更能加強修補效果，提升通道導電能力，與閘極控制能力。

4.2 臨界電壓下降

另外將過氮電漿修補後，元件的臨界電壓(V_{th})會下降，此現象是因為通道的晶粒邊界缺陷密度減少，使晶粒邊界位能障下降造成，另外如果使用氮離子佈植，其植入深度較深可進入通道中進行修補缺陷，當通道中氮(N)增加，氮扮演著施子(Donor)的角色[30]，在週期表中，氮為五價元素，與磷(P)相同，因此當 N^+ 進入通道中，變成 Donor 在通道中提供電子，隨著佈植濃度越高，通道中 Donor 越多，使 V_{th} 往左位移，元件越早進入反轉區。

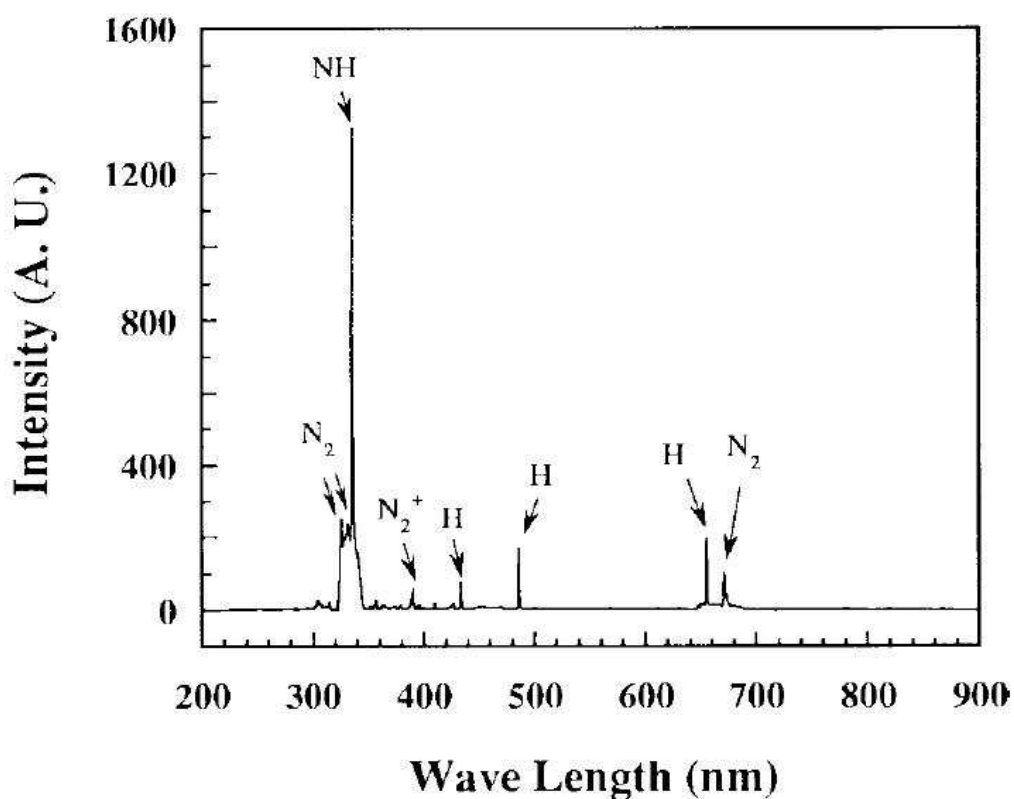


圖4-1、PECVD中氮電漿光學發射頻譜圖[34]。

4.3 電漿修補後的電性

圖 4-2 與圖 4-3 為電漿修補 30 分鐘與一小時的不同通道數比較，可看見多通道在 V_g 負偏壓下的漏電流效應還是存在，而從弱反轉區的曲線重疊情形來看，臨界電壓位移量漸漸減少，圖 4-4 及圖 4-5 則是不同通道長度的比較，相較於未經電漿修補時，其次

臨界斜率更陡，電流開關電流更大，而通道較長的特性會略差於通道短的。圖 4-6 為雙通道元件的氬電漿處理前後電性圖，可以發現電漿處理 1 小時特性最好，有很陡的次臨界斜率達 114 mV/dec，高電流開關比(4.92×10^9)，隨處理時間越長，有開電流越大閉電流越小的趨勢，而臨界電壓也由 5.37 V 下降至 -0.05V。圖 4-7 則為圖 4-6 電將處理前後的 Id-Vd 電性，處理一小時後，汲極電流大幅度改善，接近一個 Order。另外轉導 Gm 也由 2.8×10^{-7} 提升到 7.45×10^{-7} ，即載子遷移率由 $19.5 \text{ cm}^2/\text{V}\cdot\text{s}$ 改善至 $51.8 \text{ cm}^2/\text{V}\cdot\text{s}$ ，如圖 4-8 所示。DIBL 方面，未經電漿處理前，DIBL 約 86.7 mV/V，但經過電漿修補後，幾乎看不見 DIBL 效應，如圖 4-9 所示，圖中電漿處理一小時後，Vd=2 V 下，閉電流反而很大，是因為 GAA 結構並無法抑止 GIDL 效應，反而因為通道完全包覆，造成通道表面電場很高，更顯現出 GIDL 的漏電流，GIDL 效應會在下一節討論。

另外圖 4-10 為觀察 V_{th} 的變動，傳統的平面電晶體會因為通道的縮短，造成臨界電壓下降，元件提早導通，即為短通道效應，通常元件 V_{th} 從閘極長度為 $4 \mu\text{m}$ 就會開始往下掉，因此從圖中可知 GAA 結構元件， V_{th} 並無明顯下降，表示它有抑止短通道效應的能力，從它的誤差範圍可以看出經過一小時電漿修補後，誤差明顯變小， V_{th} 的擾動 (Variation) 改善了。另外我們拿 8 Channels 與微米線做比較，在同樣閘極長度，及寬度 (Width) 接近下，增加控制面積，經電漿處理後，發現其比微米線有較陡的次臨界斜率，較高的電流開關比，較大的載子遷移率，因為奈米線平均接收電漿的修補，效率較高，如圖 4-11 所示。最後整理出經過電漿處理 30 分鐘及 1 小時的各項參數表格，如表 4-2 與 4-3 所示。

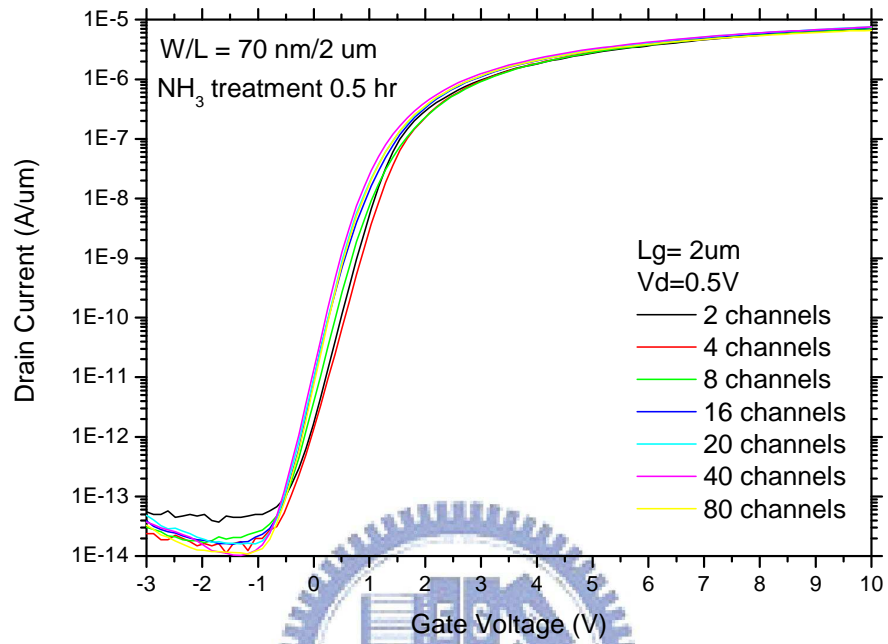


圖4-2、不同的通道數比較(電漿處理0.5小時)。

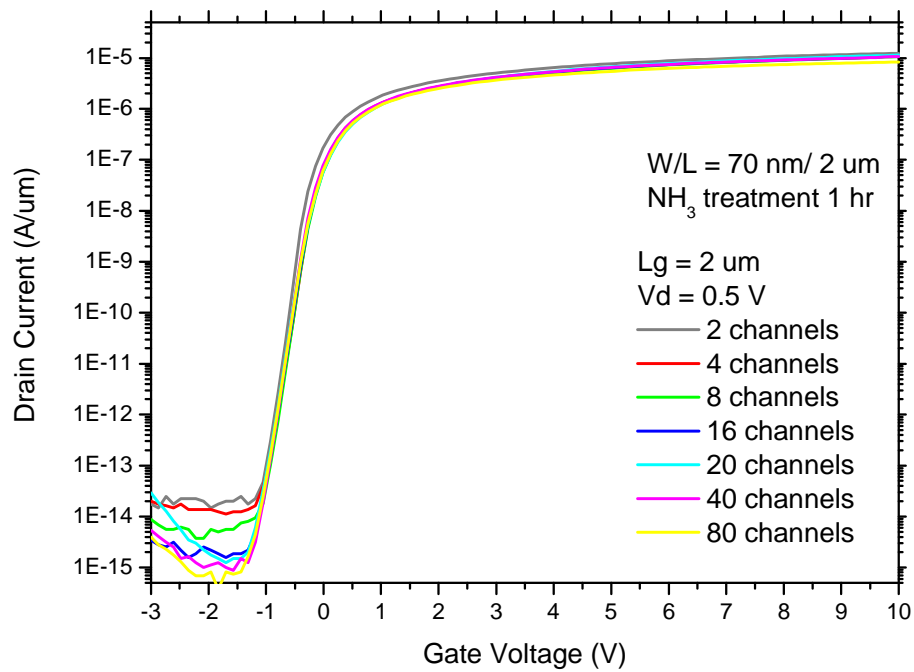


圖4-3、不同的通道數比較(電漿處理1小時)。

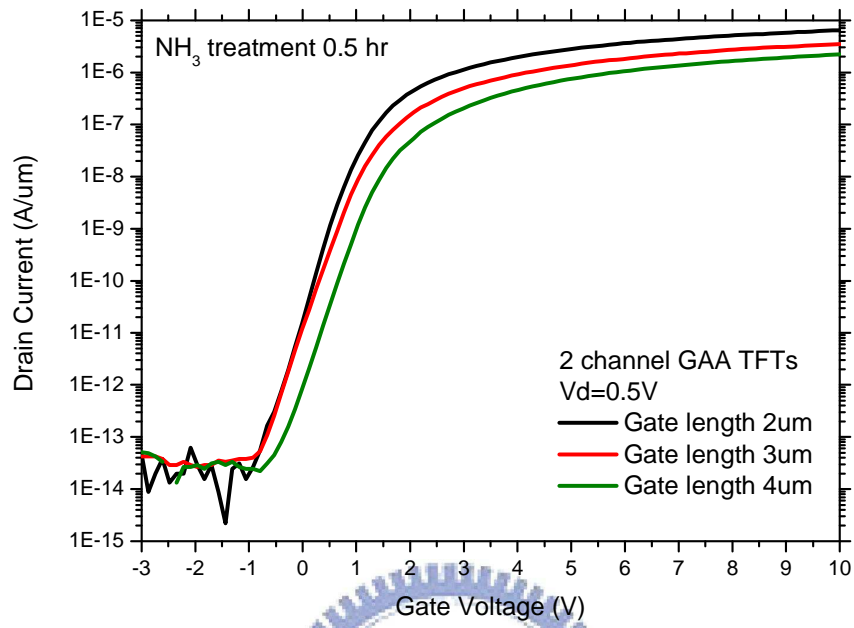


圖4-4、不同閘極長度比較(電漿處理0.5小時)。

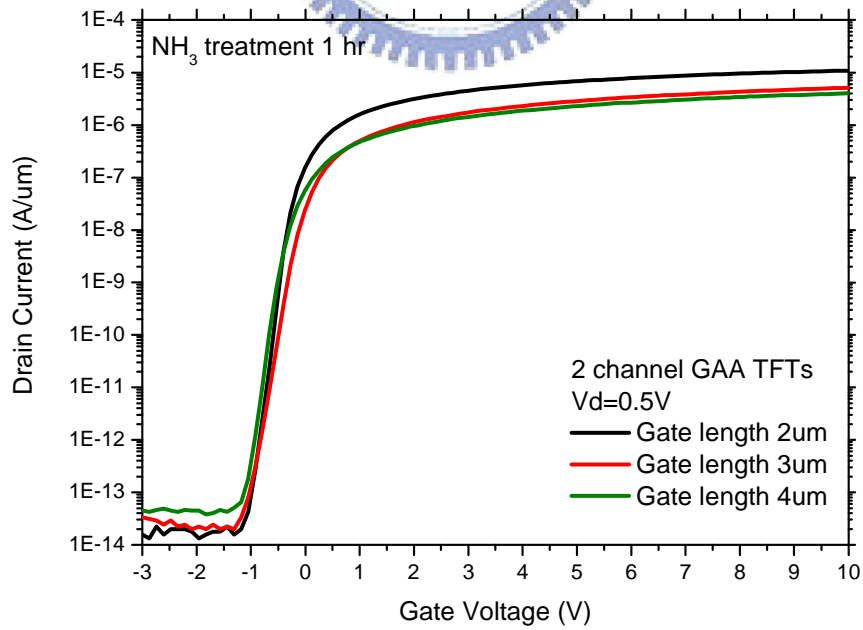


圖4-5、不同閘極長度比較(電漿處理1小時)。

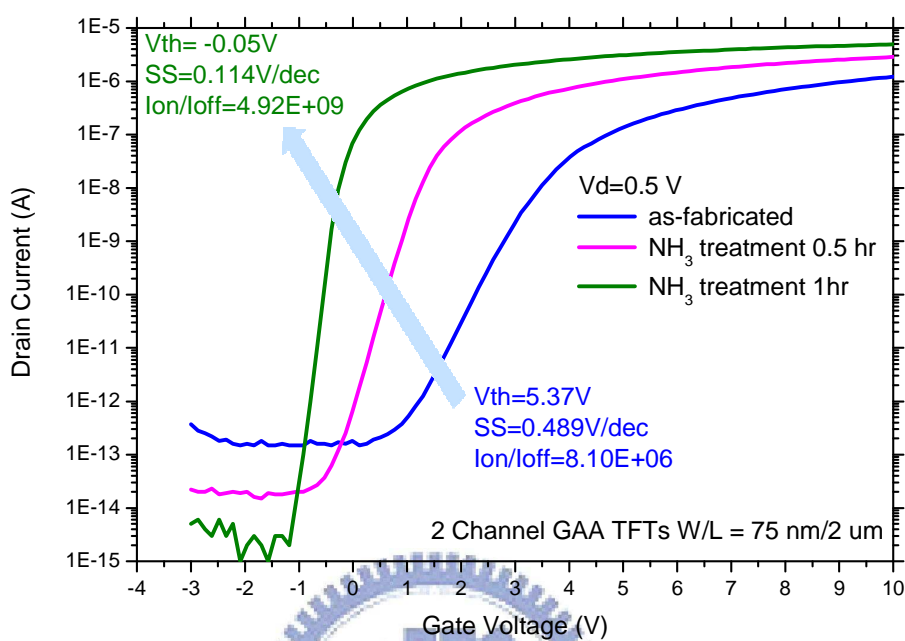


圖4-6、電漿處理前後 I_d - V_g 特性比較。

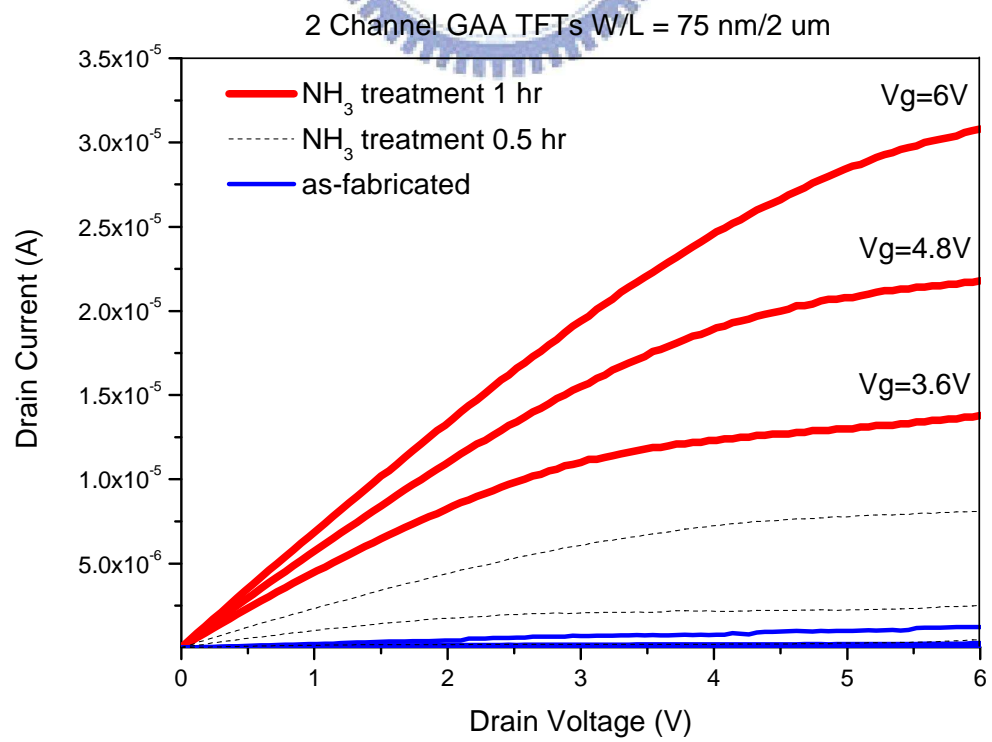


圖4-7、電漿處理前後 I_d - V_d 特性比較。

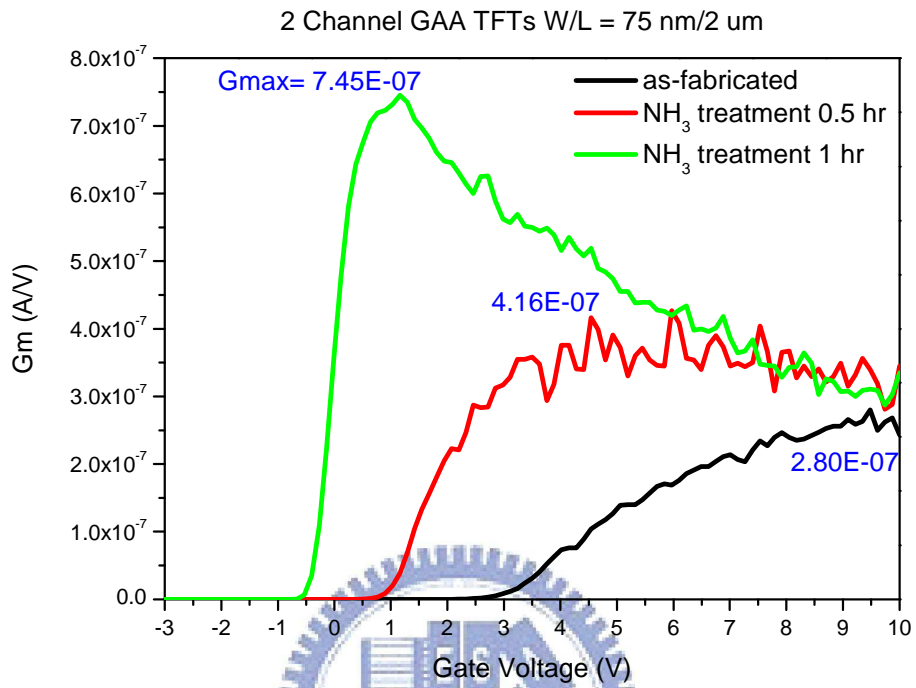


圖4-8、電漿處理前後轉導(Transconductance, G_m)特性比較。

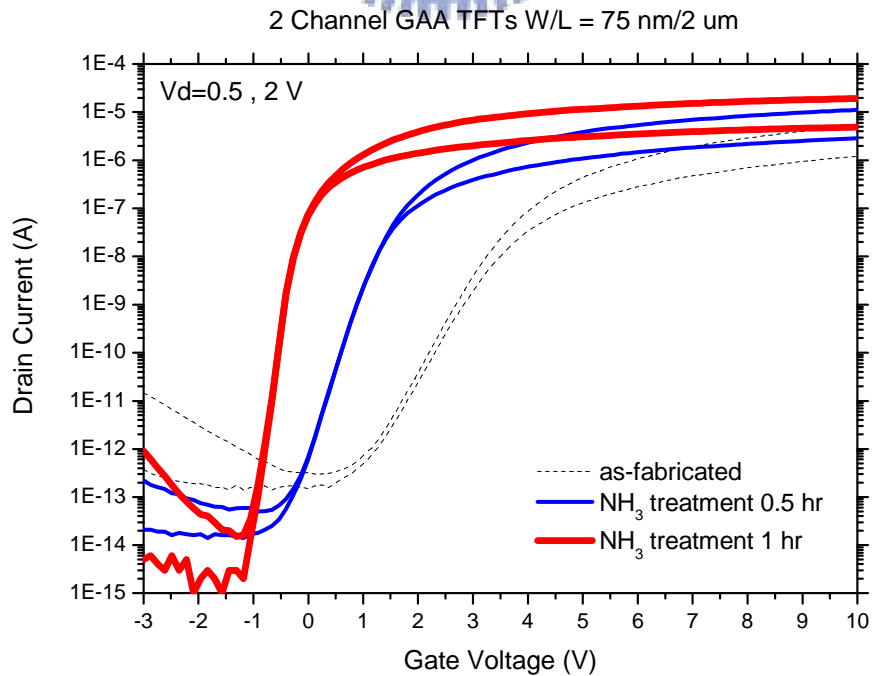
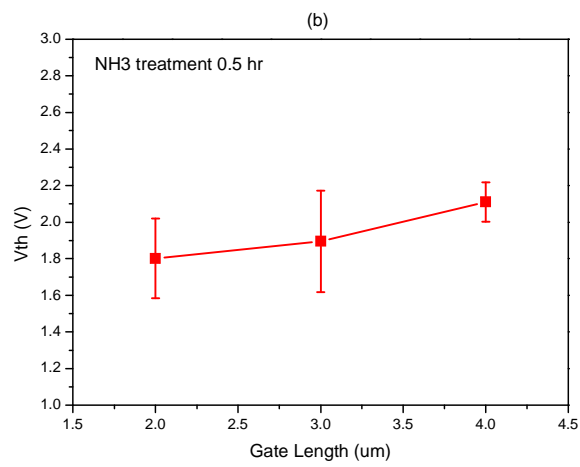
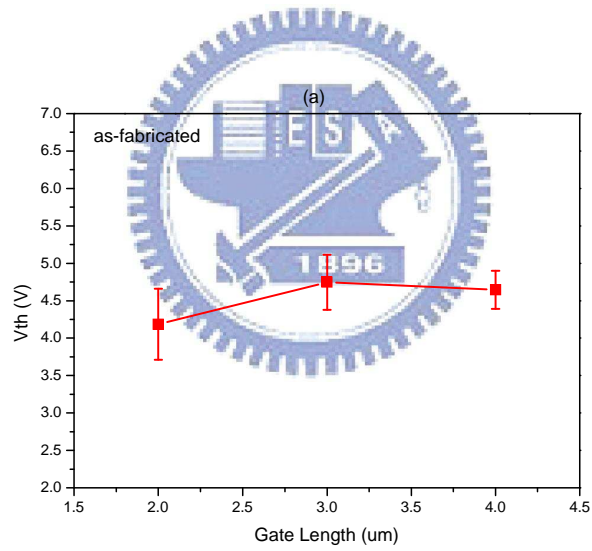


圖4-9、電漿處理前後DIBL效應比較。

表 4-1、電漿處理前後 DIBL 數據。

DIBL (mV/V)	
As-fabricated	86.7
Treatment 0.5 hr	5.2
Treatment 1 hr	1.4



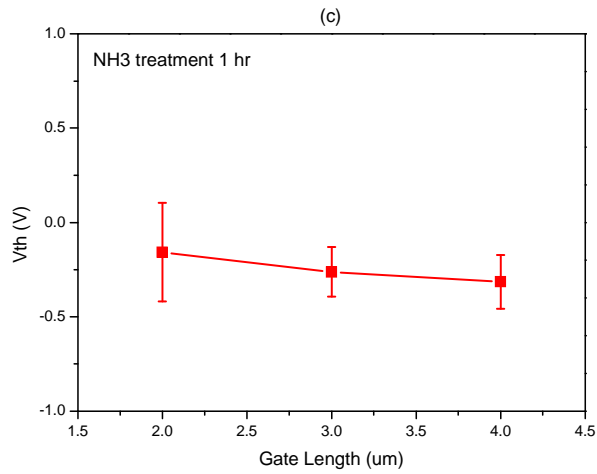


圖4-10、電漿處理前後 V_{th} Variation比較。

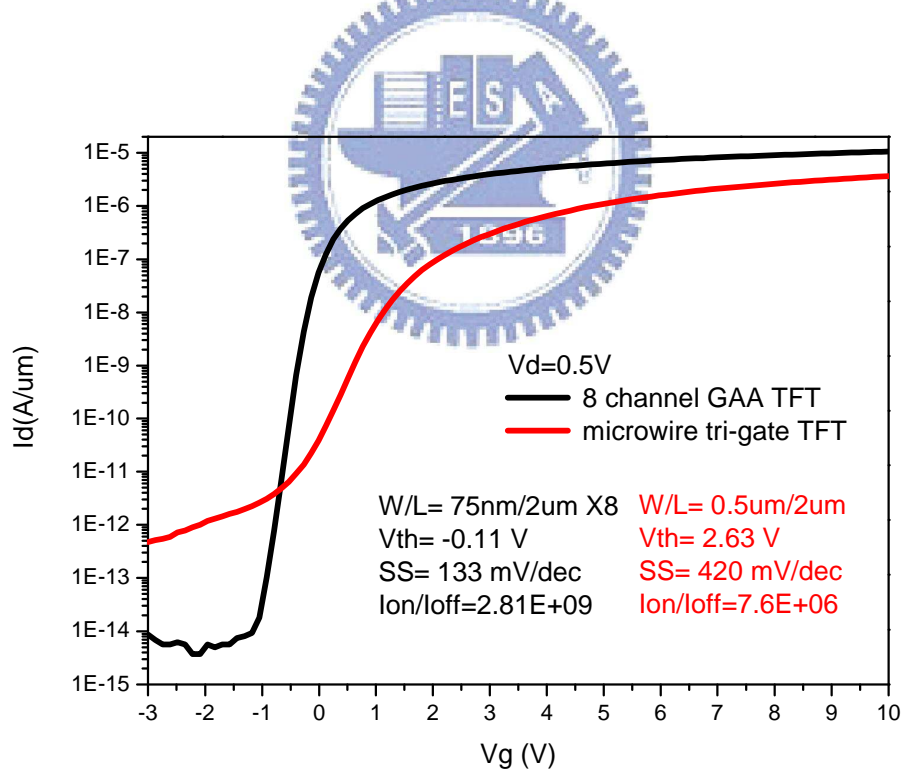


圖4-11、電漿處理1小時的八個通道元件與微米線元件比較。

表 4-2、各項參數整理(電漿處理 0.5 小時)。

Channel Length	2 μm								
	2	4	8	16	20	40	80	microwire	
								0.5 μm	1 μm
# of nanowires (70 nm)									
V_{th} (V)	1.73	1.49	1.39	1.65	1.77	1.64	1.16	3.19	3.52
S.S. (mV/dec)	274	290	273	221	251	243	230	441	480
I_{on}/I_{off} ratio (10^7)	0.73	2.79	5.55	12.3	15.2	27.3	42.5	0.59	0.34
Ionmax (μA)	2.85	6.49	12.1	24.3	28.1	57.3	92.7	2.29	4.4
Gmax (μS)	0.38	0.92	1.62	3.32	3.82	7.89	13.1	0.38	0.79
Mobility(cm^2/Vs)	26.4	32	28.2	28.9	26.6	27.4	22.8	17	20.6

NH_3 plasma treatment for 30 minutes (@ $V_d = 0.5\text{V}$)

表 4-3、各項參數整理(電漿處理 1 小時)。

Channel Length	2 μm								
	2	4	8	16	20	40	80	microwire	
# of nanowires (70 nm)								0.5 μm	1 μm
V_{th} (V)	-0.2	-0.13	-0.11	-0.09	-0.08	-0.1	-0.1	2.63	2.9
S.S. (mV/dec)	116	135	133	137	131	128	132	420	446
$I_{\text{on}}/I_{\text{off}}$ ratio (10^9)	0.11	0.95	2.81	6.89	9.05	12.1	22.3	0.0076	0.0027
I_{onmax} (μA)	5.3	8.57	16.8	34.4	45.2	84.4	134	2.54	4.79
G_{max} (μS)	0.79	1.17	2.30	4.77	6.19	12.2	22.4	0.38	0.73
Mobility ($\text{cm}^2/\text{V}\cdot\text{s}$)	54.9	40.7	40	41.5	43	42.4	38.9	17	19

NH_3 plasma treatment for 60 minutes (@ $V_d = 0.5\text{V}$)

4.4 閘極引發汲極漏電流(Gate Induce Drain Leakage)

GIDL漏電流[37, 38]發生在閘極與汲極重疊區域(Gate to Drain Overlap Region)，在閘極外加大負偏壓時，使通道操作在不導通(Off state)或堆積(Accumulation)狀態，而重疊區域的汲極受到空乏(Depletion)，加上汲極又外加大正電位，當兩端 V_{GD} 電壓差越大，電場越高，兩邊能帶受到拉扯，將會在汲極區域產生由價帶穿遂到導帶(Tunneling of Valence Band Electrons Into The Conduction Band)的電子電洞對(Electron-Hole Pairs)，如圖4-12所示，產生的電子及電洞分別被汲極和基底(Substrate)所收集，造成漏電流，如圖4-13。因此閘極電壓越負，或是汲極電壓增加，垂直電場越大，GIDL漏電流就越高。

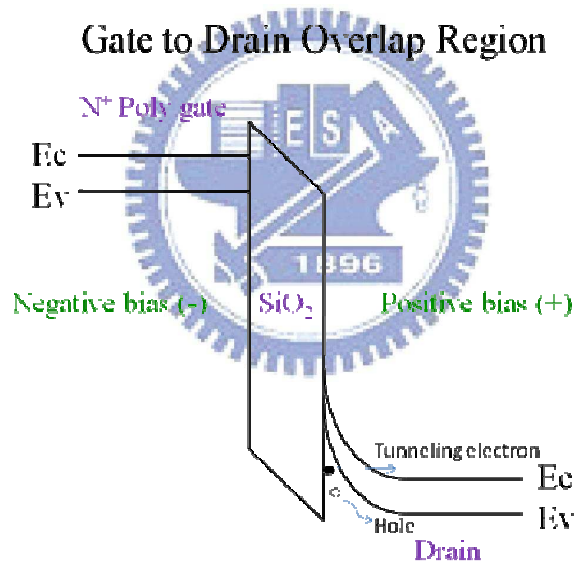


圖4-12、GIDL偏壓下能帶圖。

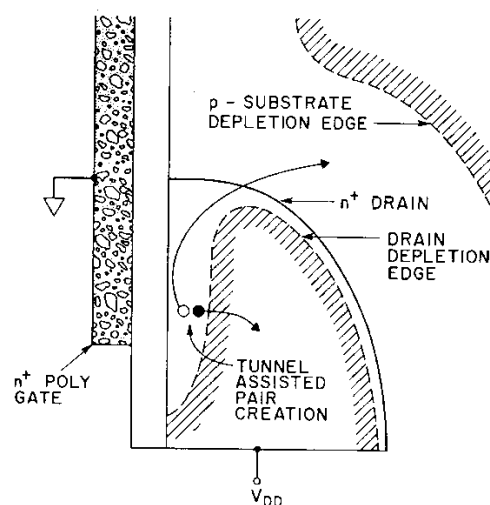


圖4-13、GIDL偏壓下空乏區域。

但是在SOI結構下，不像前面所提的電洞被掃入基底，因BOX氧化層的隔絕，使元件會有懸浮體效應(Floating Body Effect)，造成在GIDL偏壓下，電洞流(Holes Flow)被電場掃入通道(Body)，且經過順向偏壓的源極通道界面(Source-Body Junction)，到達源極形成迴路，稱為 I_{GIDL} 。此行為就像一個NPN寄生雙極性電晶體(Parasitic BJT)， I_{GIDL} 則是裡面的基極電流(Base Current)，會受到此側向寄生電晶體的 β 電流增益放大， $I_D = \beta I_{GIDL} + I_{GIDL} = (\beta+1) I_{GIDL}$ ，使漏電流增加。而 β 電流增益隨基極寬度減小而增大，因此當元件通道縮短，會造成GIDL電流放大，此為短通道效應之一[37]。

圖4-14為在不同的閘極長度下，所觀察到的GIDL，元件在固定的 $V_d=0.5\text{ V}$ ，當 $V_g=4\text{ V}$ 時開始產生漏電流，而如前面所述，通道較短的 $2\text{ }\mu\text{m}$ 其經 β 放大後，GIDL較大。而圖4-15為在不同的 V_d 下，所觀察到的GIDL，因此可得知外加更大的 V_d ，使汲極的能帶往下拉，產生越多電子電洞對，GIDL將越大，其增加的漏電流更勝於外加閘極負偏壓的。另一方面當通道數目越多，所造成的GIDL也更明顯且漏電流在 $V_g=-2\text{ V}$ 時就開始產生，如圖4-16所示。

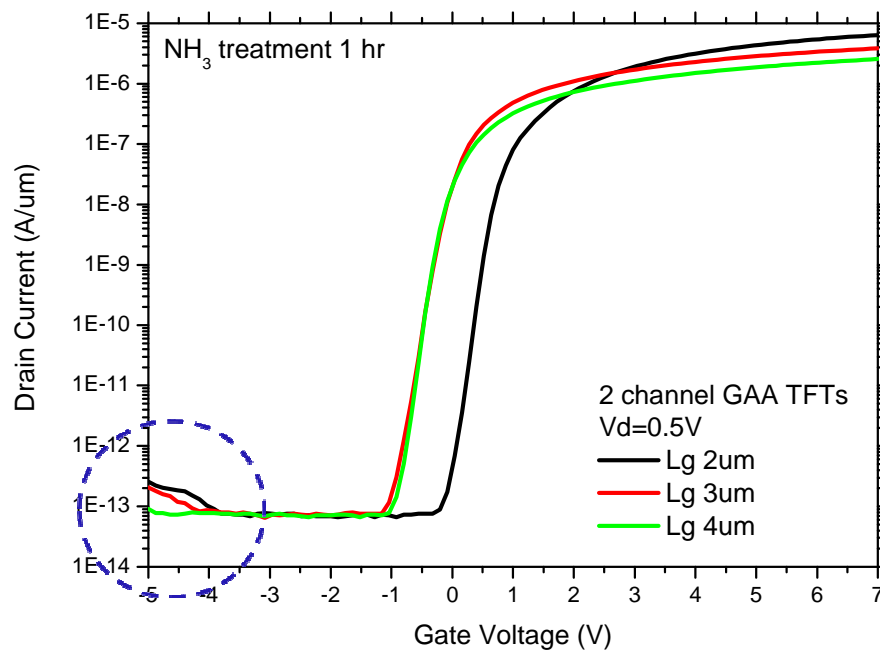


圖4-14、不同閘極長度下的GIDL。

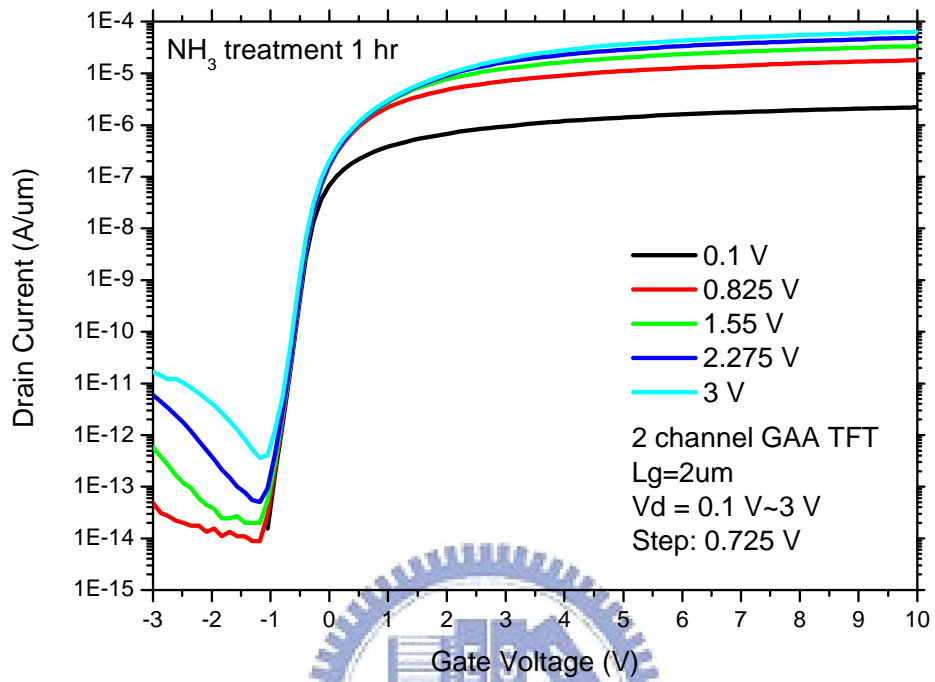


圖4-15、不同汲極電壓下的GIDL。

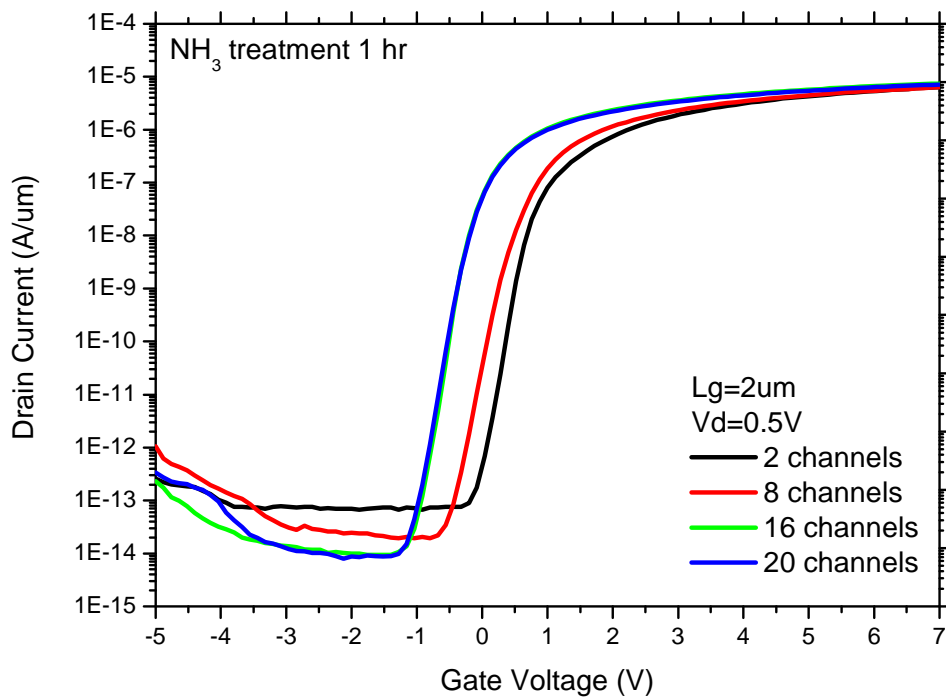


圖4-16、不同通道數目下的GIDL。

4.5 糾結效應(Kink Effect)

糾結效應[39, 40]也是部分空乏(Partially-depleted)多晶矽薄膜電晶體(Polysilicon TFTs)所出現的一個非理想現象，由於懸浮的通道結構(Floating body structure)，源極到通道的位能障很高，造成來自汲極的高電場撞擊解離(Impact ionization)的電洞(Holes)容易被通道(Body)的缺陷捕捉(Trap)，當電洞累積越多，源極到通道的位能障降低，撞擊解離的電洞流會由通道流入源極，形成迴路使量到的電流上升，因此需偏壓在較大的汲極電壓將會產生此效應。

降低糾結效應最直接的方法就是限制撞擊解離的貢獻，以使汲極接面的電場降低，包括汲極輕摻雜(LDD)、汲極補償(Drain Offset)、多重閘極(Multiple Gate)平均分攤汲極電壓、或使用非對稱指狀結構(AF-TFTs)[41]等，都有效降低糾結效應，本實驗的元件經過氨電漿處理一個小時後，發現可以有效的降低糾結效應，如圖4-17所示，由於通道中的晶粒邊界缺陷數(Grain Boundary Defects)經電漿修補後能有效的降低，使能抑止糾結效應。

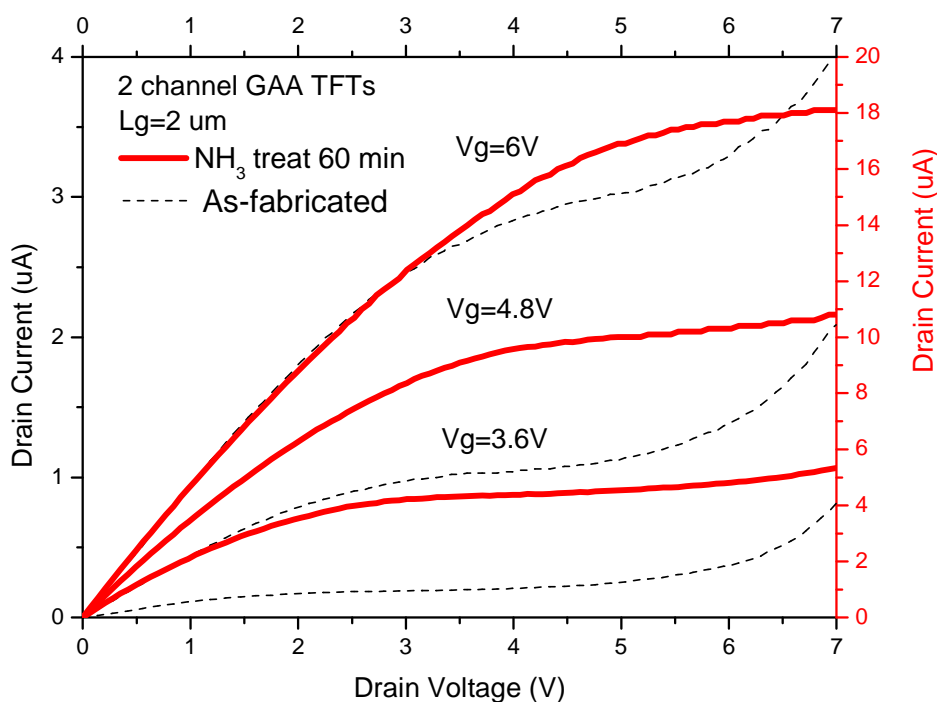


圖4-17、氨電漿處理前後 I_d - V_d 特性。

另外實驗發現未經過電漿處理的元件，通道長度長的糾結效應較低，此說明了短通道下，側向電場影響的重要性，如圖4-18所示。

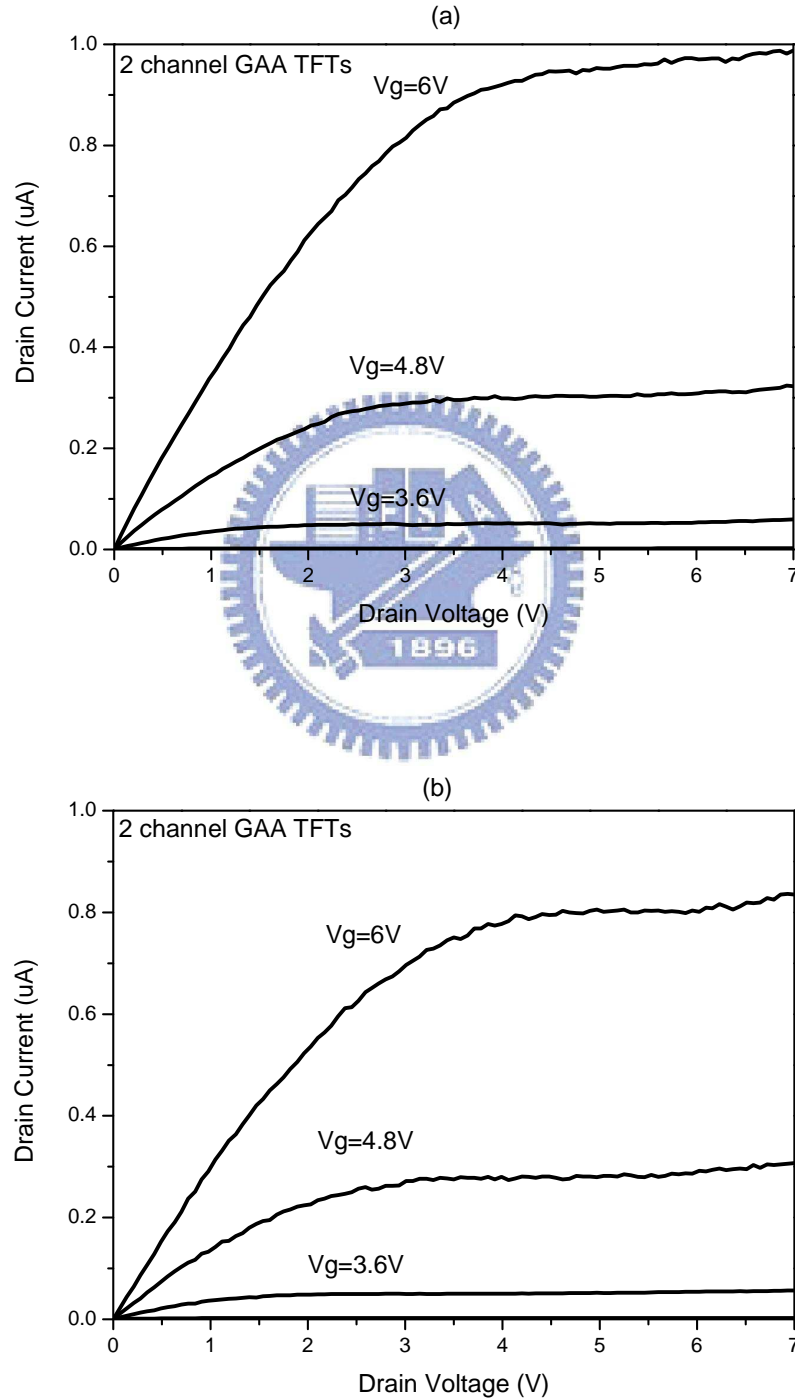


圖4-18、電漿處理前 I_d - V_d 特性(a)Gate length $3 \mu m$ ，(b) Gate length $4 \mu m$ 。

4.6 背閘極偏壓的影響(Back Gate Effect)

本章節討論當基底(Substrate)外加偏壓，來看元件是否受到背閘極電場的作用，及其臨界電壓(V_{th})的位移情形。我們背閘極電壓由-10 V掃到10 V，間隔2 V，如圖4-19(a)所示。轉換成 G_m 的形式後，如圖4-19(b)。

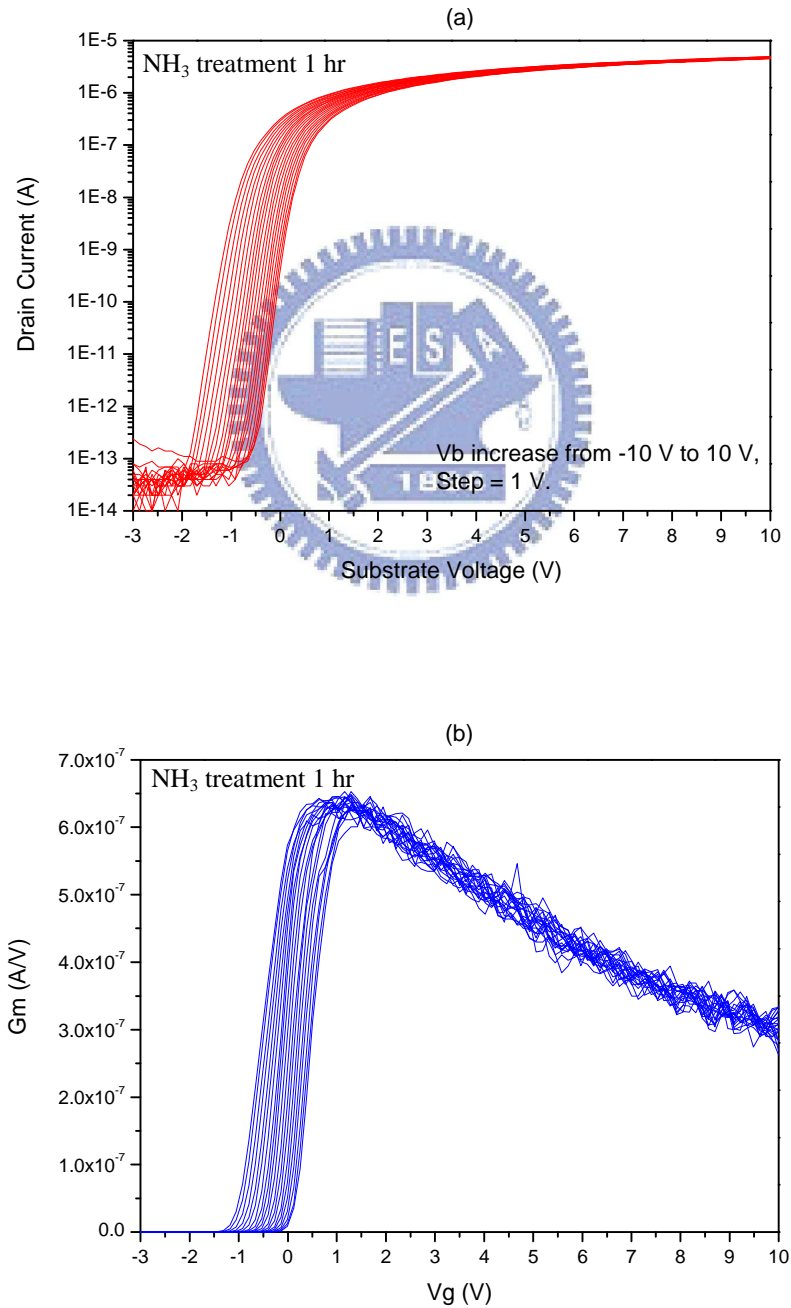


圖4-19、不同背閘極偏壓特性(a) I_d - V_g 圖，(b) G_m - V_g 圖。

當 V_b 為負值的時候，通道下方受到電場作用會堆積電洞，使閘極電壓須加更大，才能使通道反轉，則臨界電壓 V_{th} 變大，而當 V_b 漸漸加大到正值時，通道下方將逐漸吸引電子堆積，只要外加較小的閘極電壓便能使元件進入反轉區，臨界電壓 V_{th} 變小，因此整個元件的臨界電壓 V_{th} 將隨著基底背閘極(Back Gate)所外加的電壓而位移(Shift)[42]，如圖4-20所示。另外，理論上GAA結構由於閘極包覆住通道， V_{th} 不受背閘極電場影響[43]，但我們的奈米線通道寬度不夠小且多晶矽閘極(Poly gate)的摻雜濃度為 10^{19} cm^{-3} ，並非近似導體，無法完全遮蔽電場的作用，因此會造成 V_{th} 位移。

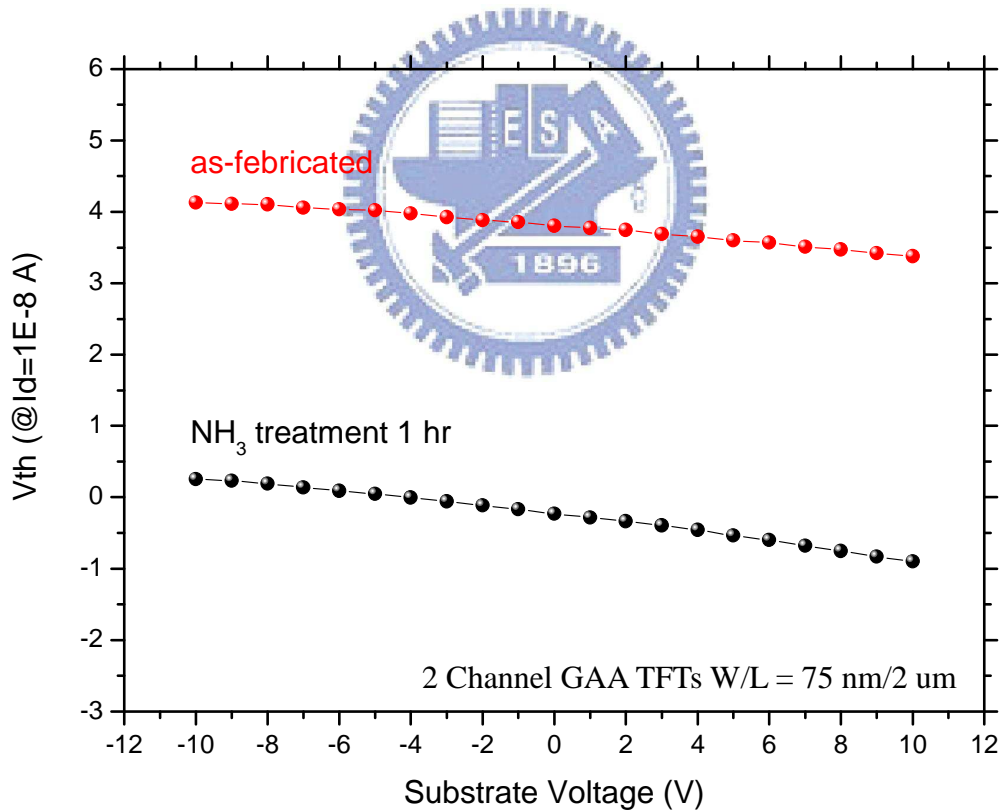
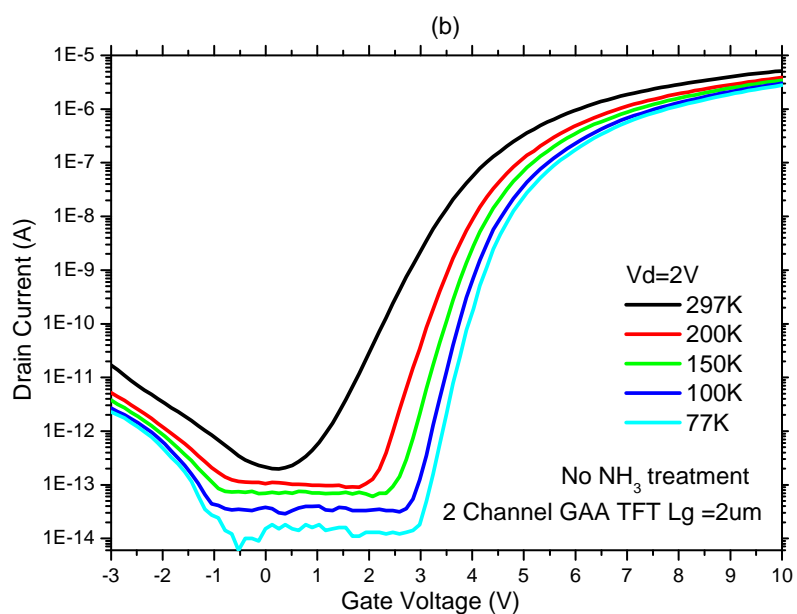
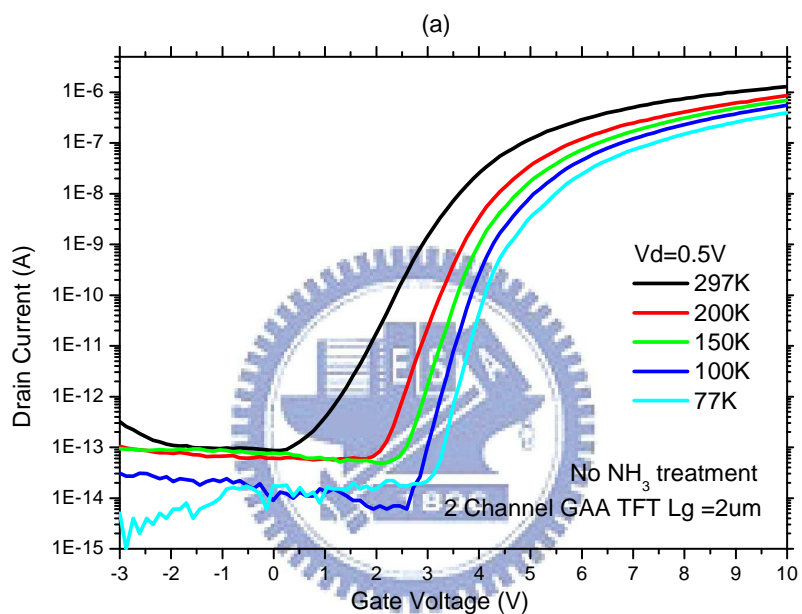


圖4-20、背閘極偏壓對臨界電壓的影響。

4.7 低溫量測分析(Low Temperature Measurement)

本節將介紹元件在不同溫度下，電性的變化，當我們從室溫297 K降到77 K的低溫，直接觀察到的電性變化可分成三個部分來討論，包括臨界電壓位移、次臨界斜率位移、及漏電流隨溫度而變化，如圖4-21所示。



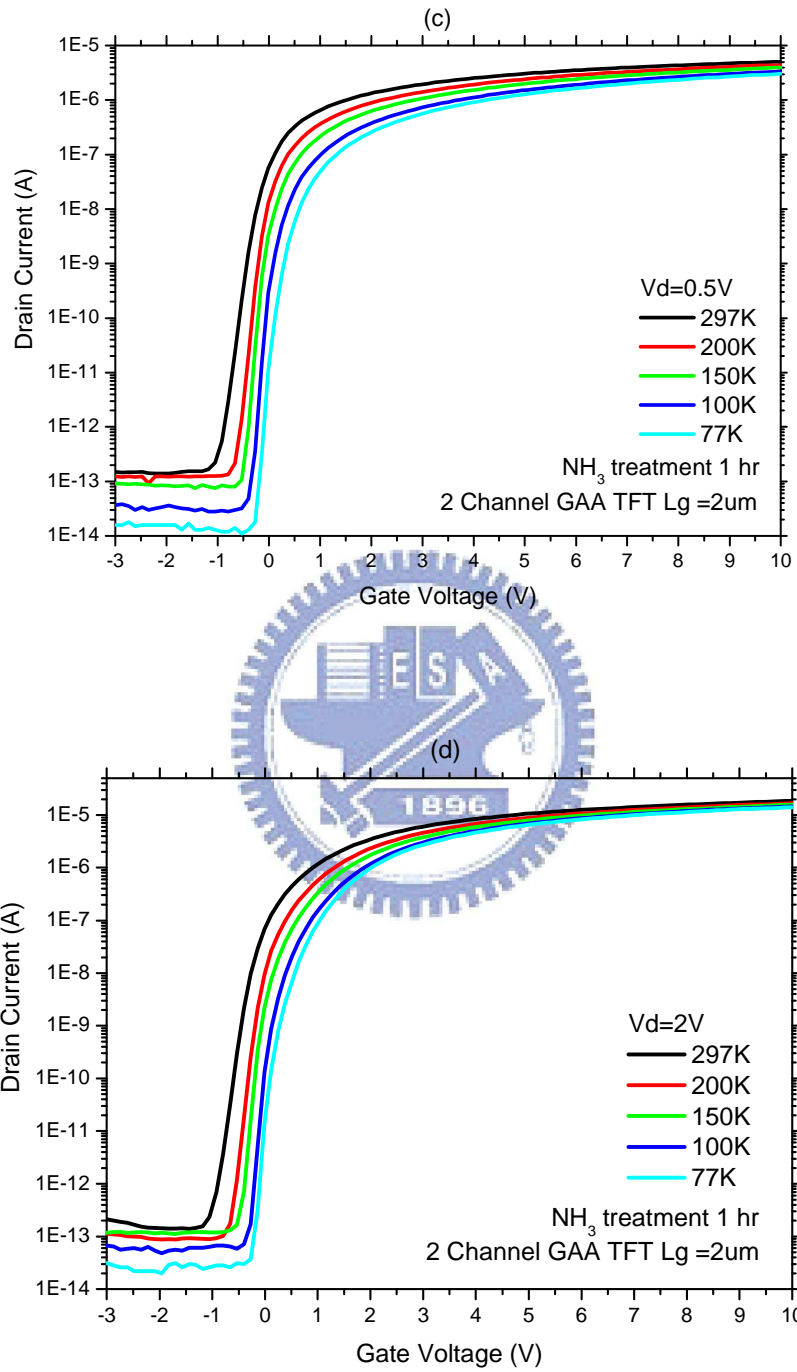


圖4-21、不同溫度下 I_d - V_g 轉移曲線(a)電漿處理前， V_d 為0.5 V，(b)電漿處理前， V_d 為2 V，
(c)電漿處理一小時， V_d 為0.5 V，(d)電漿處理一小時， V_d 為2 V。

首先從臨界電壓(V_{th})來看，可以發現臨界電壓隨溫度減小而增加， V_{th} 公式如下[44]，

$$V_{th} = \phi_{ms} + \phi_{sth} + \frac{(qN_{Al}t_s + Q_s)}{C_{ox}} \quad (4-1)$$

$$\phi_{sth} = 2\left(\frac{kT}{q}\right) \ln\left(\frac{N_{Al}}{n_i}\right) \quad (4-2)$$

$$Q_s = q\epsilon_s N_{A2} \left[\left(\frac{1}{C_s} + \frac{1}{C_{box}}\right) - \left\{ \left(\frac{1}{C_s} + \frac{1}{C_{box}}\right)^2 - \frac{(qN_{Al}t_s - 2\phi_{sth}C_s)}{q\epsilon_s N_{A2}C_s} \right\}^{1/2} \right] \quad (4-3)$$

其中臨界電壓位移主要受 ψ_{sth} 與 Q_s 的位移影響，分別代表次臨界條件下的表面位能(ψ_{sth})，與因元件下方的埋入氧化層(BOX)，而基底的總電荷密度(Q_s)無法忽略。 N_{A1} 與 N_{A2} 分別為SOI與基底的摻雜濃度， C_s 為SOI層的等效電容， C_{box} 為BOX的電容值，此觀點與Bulk電晶體相同。

因此從公式上面可直接看出 V_{th} 位移受溫度影響，而從物理的機制上來看，直接造成 V_{th} 位移的原因為撞擊解離所產生的電洞[45]，由於SOI層的懸浮(Floating)，使在外加汲極偏壓下，汲極界面附近的電子受到電場加速，撞擊解離出電洞，而電洞會進入通道並累積，當累積的電洞越多時，造成通道位能增加，直到與通道界面(Source-Channel junction)形成順偏，其中源極與通道則是分別扮演射極(Emitter)和基極(Base)的側向雙載子電晶體(BJT)。電洞會經由三個機制從通道被移除：1)從通道注入源極；2)通道中的電洞與由源極注入的電子複合；3)在S-C界面空乏區中的電子電洞複合。這三個機制的電流分別為 I_p ， I_{pR} ，及 I_{pSCR} ，在穩定狀態下，總電洞電流為 $I_{pT} = I_p + I_{pR} + I_{pSCR}$ ，其一階電流等效如公式4-4：

$$I_{pT} \cong -I_{p0} e^{\frac{qV_{BE}}{nkT}} \quad (4-4)$$

I_{p0} 為逆向飽和電流， V_{BE} 為S-C界面順向偏壓， I_{p0} 表示如公式4-5，

$$I_{p0} \propto e^{\frac{-q\phi}{kT}} \quad (4-5)$$

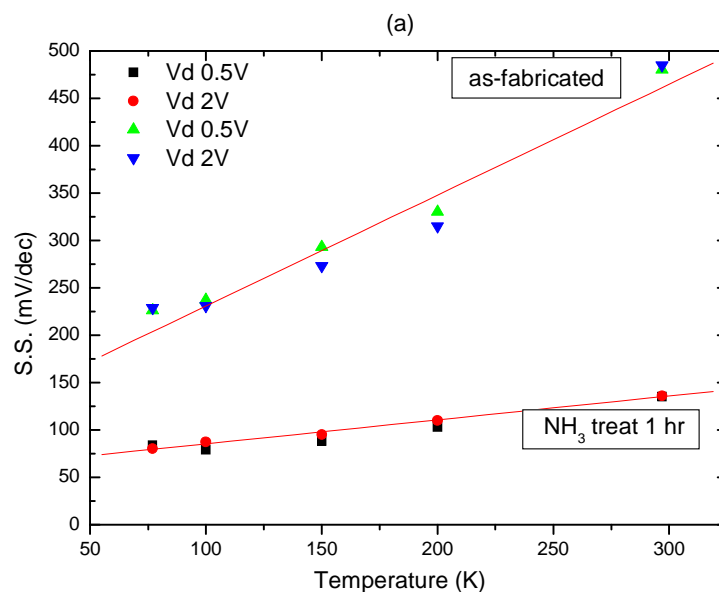
其中 ϕ 為S-C界面內建電位 V_{bi} ，在汲極偏壓下，通道中殘留的電洞會被很快移除掉，直到電洞流非常小且接近零 $\approx I_{p0}^*$ ，而此時 $V_{BE} \approx V_{BE}^*$ 。從公式4-4來看，在室溫時 I_{p0} 高，為了維持電流 I_{p0}^* 小， V_{BE}^* 需一開始就接近零，這代表所有電洞被移除了。低溫的時候，

I_{p0} 非常小(公式4-5)，為了維持 I_{p0}^* 小電流， V_{BE}^* 不能等於零，因此會有電洞殘留，且電洞移除速度很慢，結果使通道表面位能增加，則 V_{th} 變大。總而言之， V_{th} 會隨溫度降低而增加，且與通道中的殘留電洞有關。

另外根據公式4-6理論值計算得知，次臨界斜率也會隨溫度降低而減少[46]，斜率越陡，次臨界斜率與溫度成正比，而經過電漿處理之後發現，其位移的量變得有限，且因

$$S = \left[\frac{\partial \log_{10}(I_D)}{\partial V_G} \right]^{-1} = \frac{mkT}{q} \times \ln(10) = \frac{kT}{q} \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \times \ln(10) \quad (4-6)$$

為通道中的缺陷減少了，使次臨界斜率的擾動(Variation)減小，即元件更穩定，不受缺陷或其它因素隨溫度擾動。 V_{th} 也是如此，經過電漿處理之後擾動減小，且幾乎不受 V_d 影響，如圖4-22所示。表4-4-1與表4-4-2則為圖4-22以線性Fitting求出的斜率，即代表位移的量大小。在漏電流方面，可看出溫度越低，漏電流越小，主要的漏電機制為熱發射(Thermionic Emission)及Poole-Frenkel Emission，這兩個機制皆與溫度有關。熱發射機制為在通道與汲極接面空乏區，經由晶粒邊界缺陷產生的電子電洞對，這些缺陷態(E_t)能階中被捕捉的載子獲得熱能，熱激發至導帶中，造成漏電流，為溫度強烈的函數。而Poole-Frenkel Emission為缺陷態(E_t)能階中被捕捉的載子因電場增強，使位能障夠薄或夠低，熱激發至導帶。另外當 V_g 負偏壓越大，所造成的是GIDL漏電流。



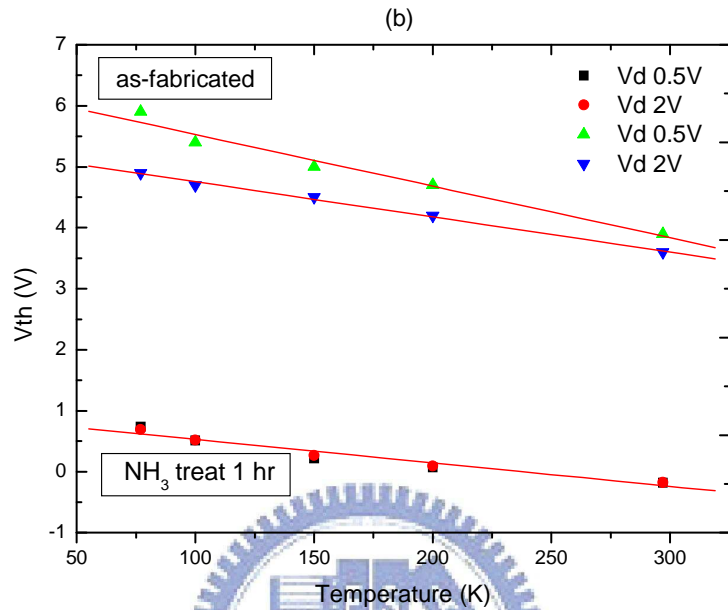


圖4-22、S.S.與 V_{th} 隨溫度變化特性(a)溫度對S.S.作圖，(b)溫度對 V_{th} 作圖。

表 4-4-1、S.S.對溫度的線性擬合斜率。

S.S.	NH ₃ 1 hr	No treatment
Vd=0.5 V	0.249	1.152
Vd=2 V	0.252	1.170

表 4-4-2、 V_{th} 對溫度的線性擬合斜率。

V_{th}	NH ₃ 1 hr (V/K)	No treatment (V/K)
Vd=0.5 V	-0.0039	-0.0085
Vd=2 V	-0.0038	-0.0058

第五章

結論與未來展望

(Summary and Future Work)

本實驗利用側壁 Spacer 及光微影製程技術，成功的做出閘極完全環繞 (Gate-All-Around) 多晶矽奈米線通道的薄膜電晶體，元件經過氨電漿 (NH_3 Plasma) 處理後，顯示有非常優越的電性。由於閘極對通道的控制能力佳，加上電漿修補製程，有效的減少晶粒邊界的缺陷密度 (Trap Density) 及降低短通道效應 (Short Channel Effect)。另外做變溫量測時，當溫度越低，可看見臨界電壓與次臨界斜率位移現象。本實驗的元件特性與其中的兩篇參考文獻 [14][26] 比較，如表 5-1 及表 5-2 所示，雖然不是每項參數都是最好，但優越的特性在於經過電漿修補後，其改善的幅度相當大，此說明當元件的製作過程中，由於通道需經由 BOX 濕蝕刻製程，使通道懸空，此時通道會因應力的關係，造成更多斷鍵 (Dangling Bond)，但電漿修補後，此 GAA 結構的特性才會顯現出來。表 5-1 為同樣是 Side-Wall Spacer 製程所形成的奈米線薄膜電晶體，參數萃取條件為 $V_d=0.5$ V，而表 5-2 為所有參數萃取條件在 $V_d=2$ V，但載子遷移率 (Mobility) 萃取條件在 $V_d=0.05$ V。

目前環繞式閘極結構的薄膜電晶體只做到單顆的電晶體，未來可朝記憶體 ONO 結構或多位元的快閃記憶體方面進行，絕緣材料可以高介電係數 (High-k) 材料取代，來降低工作電壓及功率消耗，並實現陣列式積體電路化，另一方面本實驗的元件應用到主動式陣列平面顯示器 (AMLCD) 的面板驅動電路，讓面板整個亮度提高且更均勻，反應速度也得到改善。製程方面可改為電子束微影 (E-beam lithography)，可提升元件製作速度，產量與良率 (yield) 皆會獲得改善，且可縮短閘極長度，達到更小的元件尺寸。

表 5-1、本實驗元件和文獻參考[14]之比較。

• 2-Channel Devices

*: Average

	IEEE,2006 Single Gate TEOS:30 nm (W/L=21 nm×2/ 2 um)		This Study Gate All Around TEOS:27 nm (W/L=75 nm×2/ 2 um)			
	SPC	SPC (NH ₃ 1hr)	SPC		SPC (NH ₃ 1hr)	
V _{th} (V)	7.27	2.54	4.07	4.5*	-0.2	-0.17*
S.S. (mV/dec)	381	194	390	425*	116	126*
I _{on} /I _{off} ratio (10 ⁸)	0.163	0.536	0.065	0.11*	1.13	2.73*
Mobility(cm ² /V·s)	55	73	26.4	26*	54.9	50.2*

表 5-2、本實驗元件和文獻參考[26]之比較。

• Multi-Channel Devices

*: Average

	APL, 2004 Tri-gate LDD TEOS:26 nm		This Study Gate All Around TEOS:27 nm			
	SPC-SC 1 um/ 0.5 um (NH ₃ 1hr)	SPC-MNC 67 nm×10/ 0.5 um (NH ₃ 1hr)	SPC 75 nm×8/ 2 um (No NH ₃)		SPC 75 nm×8/ 2 um (NH ₃ 1hr)	
V _{th} (V)	-0.11	0.23	2.92	2.4*	0.6	0.16*
S.S. (mV/dec)	360	110	466	439.5*	107	131.2*
I _{on} /I _{off} ratio (10 ⁸)	0.59	4.73	0.41	0.69*	5.25	7.86*
Mobility(cm ² /V·s)	34.01	32.5	17.6	18.2 *	56.3	44.1*

参考文献(References)

- [1] T. Saito, T. Saraya, T. Inukai, H. Majimi, T. Nangumo, T. Hiramoto, "Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs," *IEICE Trans. on Electronics*, vol. E85-C, no. 5, pp. 1073-1078, 2002.
- [2] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B.-G. Park, "Design Optimization of Gate-All-Around (GAA) MOSFETs," *IEEE Trans. on Nanotechnology*, vol. 5, no. 3, pp. 186-191, 2006.
- [3] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "High-Performance Fully Depleted Silicon Nanowire (Diameter ≤ 5 nm) Gate-All-Around CMOS Devices," *IEEE Electron Device Letters*, vol. 27, no. 5, pp. 383-386, 2006.
- [4] H. Lee, S.-W. Ryu, J.-W. Han, L.-E. Yu, M. Im, C. Kim, S. Kim, E. Lee, K.-H. Kim, J.-H. Kim, D.-I. Bae, S. C. Jeon, K. H. Kim, G. S. Lee, J. S. Oh, Y. C. Park, W. H. Bae, J. J. Yoo, J. M. Yang, H. M. Lee, and Y.-K. Choi, "A Nanowire Transistor for High Performance Logic and Terabit Non-Volatile Memory Devices," *IEEE Symposium on VLSI Technology*, pp. 144-145, 2007.
- [5] A. Burenkov, J. Lorenz, "Corner Effect in Double and Triple Gate FinFETs," *European Solid-State Device Research*, pp. 135-138, 2003.
- [6] S. Miyamoto, S. Maegawa, S. Maeda, T. Ipposhi, H. Kuriyama, T. Nishimura, and N. Tsubouchi, "Effect of LDD Structure and Channel Poly-Si Thinning on a Gate-All-Around TFT (GAT) for SRAM's," *IEEE Trans. on Electron Devices*, vol. 46, no. 8, pp. 1693-1698, 1999.
- [7] Y. Yamamoto, T. Hidaka, H. Nakamura, H. Sakuraba, and F. Masuoka, "Decananometer Surrounding Gate Transistor (SGT) Scalability by Using an Intrinsically-Doped Body and GateWork Function Engineering," *IEICE Trans. on Electronics*, vol. E89-C, no.4,

pp.560-567, 2006.

- [8] S. Cristoloveanu, "Future Trends in SOI Technologies," *Journal of the Korean Physical Society*, vol. 39, pp. S52-S55, 2001.
- [9] T. J. King, "Impact of low temperature polysilicon on the AMLCD market," *Solid State Tech.*, pp. 406-410, 2000.
- [10] T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama, "Low-Temperature Fabrication of High-Mobility Poly-Si TFT's for Large-Area LCD's," *IEEE Trans. on Electron Devices*, vol. 36, no. 9, pp. 1929-1933, 1989.
- [11] Y. Cui, Q. Wei, H. Park, C. M. Lieber, "Nanowire nanosensors for highly sensitive and selective detection of biological and chemical species," *Science*, vol. 293, pp. 1289-1292, 2001.
- [12] S. C. Chen, T. C. Chang, P. T. Liu, Y. C. Wu, P. S. Lin, B. H. Tseng, J. H. Shy, S. M. Sze, C. Y. Chang, and C. H. Lien, "A Novel Nanowire Channel Poly-Si TFT Functioning as Transistor and Nonvolatile SONOS Memory," *IEEE Electron Device Letters*, vol. 28, no. 9, pp. 809-811, 2007.
- [13] X. Duan, C. Niu, V. Sahi, J. Chen, J. W. Parce, S. Empedocles, and J. L. Goldman, "High-performance thin-film transistors using semiconductor nanowires and nanoribbons," *Nature*, vol.425, pp.274-278, 2003.
- [14] Y. C. Wu, T. C. Chang, C. Y. Chang, C. S. Chen, C. H. Tu, P. T. Liu, H. W. Zan, and Y. H. Tai, "High-performance polycrystalline silicon thin-film transistor with multiple nanowire channels and lightly doped drain structure," *Applied Physics Letters*, vol. 84, no. 19, pp. 3822-3824, 2004.
- [15] O. H. Elibol, D. Morisette, D. Akin, J. P. Denton, and R. Bashir, "Integrated nanoscale silicon sensors using top-down fabrication," *Applied Physics Letters*, vol. 83, no. 22, pp. 4613-4615, 2003.
- [16] S. Bourland, J. Denton, A. Ikram, G. W. Neudeck, and R. Bashird, "Silicon-on-insulator

- processes for the fabrication of novel nanostructures," American Vacuum Society, vol. B 19, no. 5, pp.1995-1997, 2001.
- [17] H. Cho, P. Kapur, P. Kalavade, and K. C. Saraswat, "A Novel Spacer Process for Sub-10 nm-Thick Vertical MOS and Its Integration With Planar MOS Device," IEEE Trans. on Nanotechnology, vol. 5, no. 5, pp. 554-563, 2006.
- [18] H. C. Lin, M. H. Lee, C. J. Su, T. Y. Huang, C. C. Lee, and Y. S. Yang, "A Simple and Low-Cost Method to Fabricate TFTs With Poly-Si Nanowire Channel," IEEE Electron Device Letters, vol. 26, no. 9, pp. 643-645, 2005.
- [19] Y. A. Tarakanov, and J. M. Kinaret, "A Carbon Nanotube Field Effect Transistor with a Suspended Nanotube Gate," Nanoletters, vol. 7, no. 8, pp. 2291-2294, 2007.
- [20] C. Y. Meng, B. L. Shih, and S. C. Lee, "Silicon nanowires synthesized by vapor-liquid-solid growth on excimer laser annealed thin gold film," Journal of Nanoparticle Research, pp. 657-660, 2007.
- [21] S. K. Sung, D. H. Kim, J. S. Sim, K. R. Kim, Y. K. Lee, J. D. Lee, S. D. Chae, B. M. Kim, and B. G. Park, "Single-Electron MOS Memory with a Defined Quantum Dot Based on Conventional VLSI Technology," Japanese Journal of Applied Physics, vol. 41, no. 4B, pp. 2606-2610, 2002.
- [22] H. C. Cheng, L. J. Cheng, C. W. Lin, Y. L. Lu, and C. Y. Chen, "High performance low-temperature processes polysilicon TFTs fabricated by excimer laser crystallization with recessed-channel structure," IEEE AMLCD Technical Digest, pp. 281-285, 2000.
- [23] C. J. Su, H. C. Lin, and T. Y. Huang, "High-Performance TFTs With Si Nanowire Channels enhanced by Metal-Induced Lateral Crystallization," IEEE Electron Device Letters, vol. 27, no. 7, pp. 582-584, 2006.
- [24] S. W. Lee, and S. K. Joo, "Low temperature poly-Si thin-film transistor fabrication by metal-induced lateral crystallization," IEEE Electron Device Letters, vol. 17, no. 4, pp. 160-162, 1996.

- [25] T. Little, H. Koike, and H. Koike, "Low Temperature Poly-Si TFTs Using Solid Phase Crystallization of Very Thin Films and Electron Cyclotron Resonance Chemical Vapor Deposition Gate Insulator," *Japanese Journal of Applied Physics*, vol. 30, no. 30, pp. 3724-3728, 1991.
- [26] H. C. Lin, M. H. Lee, C. J. Su, and S. W. Shen, "Fabrication and Characterization of Nanowire Transistors With Solid-Phase Crystallized Poly-Si Channels," *IEEE Trans. on Electron Devices*, vol. 53, no. 10, pp. 2471-2477, 2006.
- [27] M. K. Hatalis, and D. W. Greve, "Large grain polycrystalline silicon by low-temperature annealing of low-pressure chemical vapor deposited amorphous silicon films," *Journal of Applied Physics*, vol. 63, pp. 2260-2266, 1988.
- [28] U. Koster, "Crystallization of amorphous silicon films," *Physica Status Solidi A*, vol. 48, pp. 313-321, 1978.
- [29] C. K. Yang, C. L. Lee, and T. F. Lei, "Enhanced H₂-Plasma Effects on Poly silicon Thin-Film Transistors with Thin ONO Gate-Dielectrics," *IEEE Electron Device Letters*, vol. 16, no. 6, pp. 228-229, 1995.
- [30] C. K. Yang, T. F. Lei, and C. L. Lee, "Improved Electrical Characteristics of Thin-Film Transistors Fabricated on Nitrogen-Implanted Polysilicon Films," *IEEE Electron Devices Meeting*, pp. 505-508, 1994.
- [31] T. Unagami, and T. Takesida, "High-Performance Poly-Si TFT's with ECR-Plasma Hydrogen Passivation," *IEEE Trans. on Electron Devices*, vol. 36, no. 3, pp. 529-533, 1989.
- [32] A. Yin, and S. J. Fonash, "High-Performance P-Channel Poly-Si TFT's Using Electron Cyclotron Resonance Hydrogen Plasma Passivation," *IEEE Electron Device Letters*, vol. 15, no. 12, pp. 502-503, 1994.
- [33] H. N. Chern, C. L. Lee, and T. F. Lei, "The Effects of Fluorine Passivation on Polysilicon Thin-Film Transistors," *IEEE Trans. on Electron Devices*, vol. 41, no. 5, pp.

698-702, 1994.

- [34] H. C. Cheng, F. S. Wang, and C. Y. Huang, "Effects of NH_3 Plasma Passivation on N-Channel Polycrystalline Silicon Thin-Film Transistors," *IEEE Trans. on Electron Devices*, vol. 44, no. 1, pp. 64-68, 1997.
- [35] C. W. Lin, M. Z. Yang, C. C. Yeh, L. J. Cheng, T. Y. Huang, H. C. Cheng, H. C. Lin, T. S. Chao, and C. Y. Chang, "Effects of Plasma Treatments, Substrate types, and Crystallization Methods on Performance and Reliability of Low Temperature Polysilicon TFTs," *IEEE Electron Devices Meeting*, pp. 305-308, 1999.
- [36] F. S. Wang, M. J. Tsai, and H. C. Cheng, "The Effects of NH_3 Plasma Passivation on Polysilicon Thin-Film Transistors," *IEEE Electron Device Letters*, vol. 16, no. 11, pp. 503-505, 1995.
- [37] M. V. Dunga, A. Kumar, and V. R. Rao, "Analysis of Floating Body Effects in Thin Film SOI MOSFETs using the GIDL Current Technique," *IEEE Physical and Failure Analysis of Integrated Circuits*, pp. 254-257, 2001.
- [38] H. S. Byun, W. S. Lee, J. W. Lee, K. H. Lee, Y. K. Park, J. T. Kong, "3-Dimensional Analysis on the GIDL Current of Body-tied Triple Gate FinFET," *IEEE Simulation of Semiconductor Processes and Devices*, pp. 267-270, 2006.
- [39] J. P. Colinge, "Reduction of Kink Effect in Thin-Film SOI MOSFET's," *IEEE Electron Device Letters*, vol. 9, no. 2, pp. 97-99, 1988.
- [40] S. C. Lin, and J. B. Kuo, "Temperature-Dependent Kink Effect Model for Partially-Depleted SOI NMOS Devices," *IEEE Trans. on Electron Devices*, vol. 46, no. 1, pp. 254-258, 1999.
- [41] L. Mariucci, G. Fortunato, A. Bonfiglietti, M. Cuscuna, A. Pecora, and A. Valletta, "Polysilicon TFT Structures for Kink-Effect Suppression," *IEEE Trans. on Electron Devices*, vol. 51, no. 7, pp. 1135-1142, 2004.
- [42] F. Dauge, J. Pretet, S. Cristoloveanu, A. Vandooren, L. Mathew, J. Jomaah, B. Y.

- Nguyen, "Coupling effects and channels separation in FinFETs," *Solid-State Electronics*, vol. 48, pp. 535-542, 2004.
- [43] N. Singh, A. Agarwal, L.K. Bera, R. Kumar, G.Q. Lo, B. Narayanan, and D.L. Kwong, "Gate-all-around MOSFETs: lateral ultra-narrow (≤ 10 nm) fin as channel body," *Electronics Letters*, vol. 41, no. 24, pp. 1353-1354, 2005.
- [44] Y. Omura, A. Nakakubo, H. Nakatsuji, "Quantum mechanical effect in temperature dependence of threshold voltage of extremely thin SOI MOSFETs," *Solid-State Electronics*, vol. 48, pp. 1661-1666, 2004.
- [45] J. Wang, N. Kistler, J. Woo, and C. R. Viswanathan, "Threshold Voltage Instability at Low Temperatures in Partially Depleted Thin-Film SOI MOSFET's," *IEEE Electron Device Letters*, vol. 12, no. 6, pp. 300-302, 1991.
- [46] N. Singh, F. Y. Lim, W. W. Fang, S. C. Rustagi, L. K. Bera, A. Agarwal, C. H. Tung, K. M. Hoe, S. R. Omampuliyur, D. Tripathi, A. O. Adeyeye, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Ultra-Narrow Silicon Nanowire Gate-All-Around CMOS Devices: Impact of Diameter, Channel-Orientation and Low Temperature on Device Performance," *IEEE Electron Devices Meeting*, pp. 1-4, 2006.