

# 國立交通大學

管理學院碩士在職專班科技管理組

## 碩士論文

晶圓代工技術發展之分析

Assessing the Technology Development of  
the IC Foundry Operations

研究生：王洪昌

指導教授：洪志洋 教授

中華民國九十八年一月

# 晶圓代工技術發展之分析

Assessing the Technology Development of the IC Foundry Operations

研究生：王洪昌

Student : Hung-Chang Wang

指導教授：洪志洋

Advisor : Chih-Young Hung

國立交通大學

管理學院在職專班科技管理組

碩士論文

A Thesis

Submitted to Department of Computer and Information Science

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Business Administration

in

Management of Technology

January 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年一月

# 晶圓代工技術發展之分析

研究生：王洪昌

指導教授：洪志洋 教授

國立交通大學管理學院碩士在職專班科技管理組

## 摘要

IC 產業是台灣頗具發展潛力之高科技產業，尤以晶圓代工可謂持產業之牛耳。台灣在晶圓代工產業全球市佔率在 2007 年約有七成左右，產值居於世界之冠，其中 TSMC 約佔 50%，UMC 約佔 20%。過去國內學界對晶圓代工產業的研究涵蓋了生產、行銷、人管、財務及製程…等領域，但卻缺乏對晶圓代工技術發展模式的研究。

由於晶圓代工產業資本密集度高，資金的妥善運用變得格外重要，因此在探討該產業技術發展活動相關議題上，技術發展資源投入、資源配置方式及對企業營運績效之影響，格外重要。

本研究探討晶圓代工產業的技術發展。採用定性研究方式，以文獻、資料蒐集與評論為主，基於摩爾定律及技術發展活動架構來詮釋晶圓代工的技術發展模式。其中包括：摩爾定律與 IC 技術的演進、技術發展經費的配置、研發資源的配置、技術發展的成果及市場供需的循環以及產業生命週期的觀念為骨架來建構晶圓代工產業的技術發展模式。

本研究最後以台積電為個案，來探討晶圓代工產業在摩爾定律及技術發展活動架構下的技術發展模式，並比較各晶圓代工業者之技術發展現況，以及探討晶圓代工的技術發展趨勢對 IC 設計業者(上游)與封裝測試(下游)之影響。最後，對晶圓代工業者、IC 設計業者、封裝測試業者、後續研究者提出建議。

關鍵字：晶圓代工、技術發展、台積電、摩爾定律、IC 設計、封裝測試

# Assessing the Technology Development of the IC Foundry Operations

**Student : Hung-Chang Wang**

**Advisors : Dr. Chih-Young Hung**

**The Master Program of Business Management  
Institute of Management of Technology  
National Chiao Tung University**

## ABSTRACT

IC industry has been identified as one of the most developed high-tech industries in Taiwan. Taiwan's IC Foundry industry plays as the market leader in terms of IC output which accounts for 70% worldwide market share in 2007, in which TSMC accounts for 50% whereas UMC accounts for 15%. Existing researches on IC Foundry Industry mainly focused the fields of production, marketing, human resources management, finance and process rather than probing into the area of technology development that has been less focus in the past.

Given the high capital concentration characteristic of IC Foundry industry, to optimize the capital utilization becomes more and more important for IC Foundry companies. Some subtopics regarding the investment of the technology development resource, allocation of the resource and influence on business performance associated with the technology development activities have been widely discussed as well.

This paper studied the technology development to build an IC Foundry Industry Model based on Moore Law and R & D activities structure; it explained the technology development model for the IC Foundry Industry including some perspectives about the Moore Law vs. IC technology development evolution, allocation of the technology development resources, the investment of R & D, achievement of the technology development, and the influence of the economic cycle and industry lifetime.

This paper includes a case study of the IC Foundry technology development that explores Moore Law and R & D activities structure by TSMC development track. It emphasizes on a comparison of technology development impacts between IC design houses and IC package/testing houses, followed by the recommendation made for the IC Foundry, IC design companies, and IC package/ testing houses.

Key words: IC Foundry, Technology Development, TSMC, Moore Law and IC design.

## 誌 謝

學生能夠順利完成交通大學 MBA 學位，要感謝的人很多。首先，要感謝我的指導教授洪志洋博士，洪老師鼓勵在職生將研究重心放在自己熟悉的領域、指導寫論文的方法及技巧、安排口試預演等，讓我能夠有目標且有效率的完成論文。而口試委員虞孝成博士、徐作聖博士的指導，讓我的論文在架構上更趨完整。還有過去三年在科管所的學習，無論是洪志洋教授的財務策略、企業評價，徐作聖教授的企業政策、宏觀策略管理、虞孝成教授的創業投資，袁建中教授的技術預測，曾國雄教授的研究方法…等，都讓工學院出身的我一窺管理學的殿堂，而科管所的同學們也是我學習上的好夥伴。最後，我要感謝家人給我的支持和鼓勵，讓我能夠順利完成這段學習歷程。

# 目 錄

中文摘要	.....	i
英文摘要	.....	ii
誌謝	.....	iii
目錄	.....	iv
表目錄	.....	v
圖目錄	.....	vi
一、	緒論.....	1
1.1	研究背景與動機.....	1
1.1	研究目的及標的.....	2
1.3	研究步驟與流程.....	2
二、	文獻回顧與討論.....	4
2.1	技術取得來源及研究發展相關文獻.....	4
2.2	半導體技術與研究發展相關文獻.....	11
三、	研究模式與架構.....	22
3.1	研究方法.....	22
3.2	研究對象及資料蒐集方式.....	25
3.3	資料蒐集方式.....	28
四、	研究分析、討論.....	29
4.1	晶圓代工技術發展模式（台積電個案討論）.....	29
4.2	晶圓代工-F4 業者技術發展比較.....	40
4.3	晶圓代工技術發展對 IC 設計與封裝測試業之影響.....	49
五、	研究結論與建議.....	52
5.1	研究結論.....	52
5.2	研究建議.....	53
參考文獻	.....	55

## 表 目 錄

表 2-1	技術取得方式.....	4
表 2-2	技術取得方式與影響因數關係表.....	5
表 2-3	產業生命週期圖.....	15
表 3-1	全球晶圓廠排名.....	25
表 3-2	2007 全球純晶圓代工廠排名.....	26
表 3-3	各晶圓代工業者比較.....	28
表 4-1	晶圓代工先進製程服務表.....	49
表 4-2	晶圓代工成熟製程服務表.....	48

## 圖 目 錄

圖 1-1	研究流程	3
圖 2-1	研發績效評估系統	7
圖 2-2	研發活動投入與產出關係	8
圖 2-3	技術生命週期 S 型曲線	10
圖 2-4	積體電路之密集度/時間關聯圖	12
圖 2-5	積體電路之價格/密集度關聯圖	12
圖 2-6	積體電路之效能/時間關聯圖	12
圖 2-7	積體電路之價格/時間關聯圖	13
圖 2-8	研究內容與方法	15
圖 2-9	近 3 年國內商管所於半導體/晶圓代工領域的論文統計	18
圖 3-1	研究架構圖	22
圖 4-1	營收淨額與技術發展經費比例之關係	29
圖 4-2	營運費用與技術發展經費比例之關係	30
圖 4-3	規格化之研發能力與公司總人數之關係	31
圖 4-4	規格化之研發能力與製程技術發展之關係	32
圖 4-5	不同晶片面積下之良率對缺陷密度轉換圖	33
圖 4-6	專利累積量與研發經費累積量關係	35
圖 4-7	專利累積量與規格化研發能力關係	35
圖 4-8	規格化研發能力與產量關係	36
圖 4-9	研發強度與產量關係	36
圖 4-10	B-B ratio 與 Net Income 關係	37
圖 4-11	產能利用率 與 Net Income 關係	38
圖 4-12	產能利用率與平均晶圓銷售價格趨勢圖	38
圖 4-13	晶圓代工-F4 市場佔有率	40
圖 4-14	全球晶圓代工各製程技術營收佔有率	41
圖 4-15	晶圓代工-F4 技術發展經費	42
圖 4-16	晶圓代工-F4 技術發展經費	42
圖 4-17	晶圓代工-F4 技術節點銷售額及公司總人數之關係	43
圖 4-18	晶圓代工-F4 專利累積量與研發經費累積量之關係	44
圖 4-19	晶圓代工-F4 之晶圓產量成長趨勢圖	45
圖 4-20	晶圓代工-F4 之晶圓產量成長圖	45
圖 4-21	晶圓代工-F4 之 Net Income 對 B-B ratio 的影響	46
圖 4-22	晶圓代工-F4 之產能利用率與 B-B ratio 之關係	47
圖 4-23	晶圓代工-F4 之 ASP 對 B-B ratio 的影響	47
圖 4-24	晶圓代工不同製程技術經濟效益示意圖	50
圖 4-25	2001-2009 年全球封測委外比例	51



# 第一章、緒論

本章說明本研究的研究背景及動機、研究標的與目的、研究方法步驟與流程，分述如下：

## 1.1 研究背景及動機

科技產業加速了台灣經濟起飛，造成了過去十五年的繁榮景象，許多台灣的電子資訊產品在世界上的佔有率早已名列前茅。仔細研究其中成功的因素大都為製造成本導向，但面對如此競爭的環境，台灣企業若想長久的在國際舞台上佔有一席之地，必須將經營重心置於產業技術的發展上，藉由不斷的研發創新，獲得技術領導或差異化優勢。科技研發的投入將促使科技與創新科技的累積，進而提升產業競爭力並驅動國家經濟成長。因此，科技資源的投入、應用及成效之研究成為現今科技管理重要之議題。企業的技术發展投資行為皆能改變企業之經營績效和競爭優勢。因此，企業在技術發展上的投資決策更應該被嚴謹看待。

2002年政府宣佈推出兩兆雙星計畫，即選擇半導體產業、影像顯示器這兩個預期產值破新台幣兆元的關鍵零組件產業，以及數位內容和生技兩項新興產業。身為兩兆產業中率先突破一兆關卡的半導體產業，擁有資本密集、技術掛帥的特性。台灣擁有世界級半導體廠商，如全球第一及第二大IC製造公司為台積電、聯電，全球第七大IC設計公司為聯發科技，全球第一及第三大封測廠為日月光及矽品，廠商成績亮眼。晶圓代工方面，以全球第一大的晶圓代工廠商台積電為例，全球前20大半導體公司近一半是台積電的客戶，其中包括全球最大的半導體外商Intel；而全球前10大IC設計公司就有8家下單在台積電生產，顯見台積電在全球半導體產業供應鏈具有崇高地位。

學生目前任職於晶圓代工業，過去的工作經驗幾乎都在製程技術開發的領域，在實際和客戶接觸之下，IC設計公司不僅僅重視產品的效能，還有晶圓代工業者所能提供的價格、良率及產品交期等等其他因素。而描述半導體技術發展最廣為人知的就是摩爾定律，該定律描述了積體電路的效能與價格兩者對應於時間的指數關係。歷經幾代的製程技術開發，深刻感覺晶圓代工產業為了與IDM廠競爭，需要更為先進或同步的技術，因此晶圓代工業者必須能提供較為先進的技術以供客戶選擇。

由於晶圓代工產業屬成長中之高科技產業，為了與IDM廠競爭的關係，需要使用到比IDM更為先進或同步的技術，因此晶圓代工業者必須能提供較為先進的技術以供客戶選擇。目前晶圓代工產業型態是最需投入大量研發資金，發展新技術與製程服務，才能滿足客戶新一代產品的要求。所以，為維持技術之競爭力，晶圓代工業除了成本領導外，更需在新技術發展中持續努力。以台積電為例，目前技術以90奈米為主，65奈米已可量產，仍不斷發展高階技術技術32、22奈米，甚至到未來的18吋廠，高階市場的需求是一

直存在的。目前是最需投入大量研發資金，發展新技術，因此如何在研發新技術與市場需求取得平衡，為企業獲取最佳利潤，是管理者必須正視的議題。故本研究以台灣晶圓產業為對象，探討該產業技術發展與研發資源配置情形，及其對企業經營績效之影響。

台灣在晶圓代工產業全球市佔率在2007年約有七成左右，可謂持產業之牛耳。近年來國內討論晶圓代工的論文有如過江之鯽，但有關技術發展方面的論文相當少見，且幾乎集中在特定技術相關。然而在技術發展活動中，主要架構以資源投入至績效產出之流程為主，並延伸探討台灣晶圓代工產業在技術發展上與其他競爭者的比較。

## 1.2 研究目的及標的

基於上述背景與動機，本研究提出下列四項研究目的：

1. 分析當前台灣晶圓代工廠商之技術發展情形，了解該產業之技術發展模式。
2. 探討企業技術發展自資源投入到績效獲得過程，各關鍵要素間之相互影響關係。
3. 除主要投入至產出之技術發展架構，另延伸探討台灣晶圓代工產業與其他競爭者在技術發展上之比較。
4. 藉此分析晶圓代工業技術發展成效，其結果可給予晶圓代工業、IC 設計業者、封裝測試業者及後續研究者的參考。

本研究個案探討主要以台積電為對象，來分析當前台灣晶圓代工廠商之技術發展情形，並搭配比較其競爭者聯電、新加坡的特許半導體，中國大陸最大的晶圓代工公司中芯國際來探討整個全球晶圓代工產業技術發展之情形。

## 1.3 研究步驟與流程

本研究之研究流程如圖 1.1所示。首先，必須界定欲探討之主題和研究目的。接者，蒐集相關文獻做一回顧與討論；依據主題及目的建立一研究架構。收集研究標的之相關資料依據文獻理論做詳盡之探討。最後，提出研究之結論及建議。

### 1.3.1 文獻回顧與討論：

收集國內外有關技術發展、研發活動、積體電路、半導體技術發展、IC設計、晶圓代工、策略等相關論文、書籍與研究報告。

### 1.3.2 研究分析、討論：

本研究分析採用定性的演繹性分析，即文獻收集與評論法(Literature review)為主，依據研究主題、目的和文獻理論建立研究架構，輔以財務報表及企業營運資料，在成熟的理論架構下探討晶圓代工技術發展的行為。資料取得來源為次級資料的收集：包

括企業網站、報紙資料庫、專利資料庫(USPTO)、期刊、論文、工研院研究報告等等。

### 1.3.3 晶圓代工業技術發展之個案驗證：

根據所建立晶圓代工技術發展的行為，以台積電技術發展現況來做實例上的驗證，因為台積電的技術發展無論在深度或廣度皆是業界最完整的。並搭配比較聯電、新加坡的特許半導體及中國大陸最大的晶圓代工公司中芯國際來探討整個晶圓代工產業技術發展之情形。並將台積電、聯電、特許及中芯國際等晶圓代工業者的技術發展現況做一比較，最後探討晶圓代工技術發展趨勢對IC設計業者及封裝測試業者之影響。

### 1.3.4 研究結論與建議：

根據研究結論的整理，給予晶圓代工業者、IC 設計業者、封裝測試業者及後續研究者的參考。

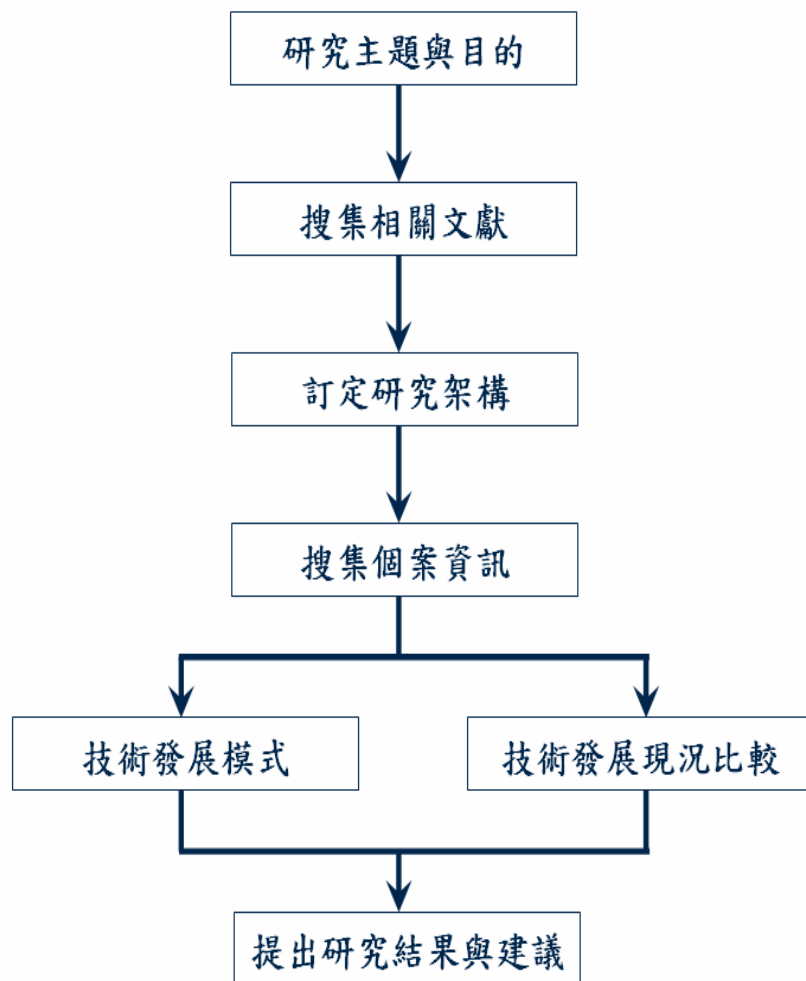


圖1.1 研究流程

## 第二章、文獻回顧與討論

本章就前章所述之動機與目的，個別針對企業技術取得來源、研發投入-績效產出系統、半導體技術及其研究發展進行相關文獻探討。

第一節為企業技術取得來源及研究發展系統相關文獻，第二節為介紹半導體製程技術與其技術發展相關文獻。

### 2.1 技術取得來源及研究發展相關文獻

#### 2.1.1 技術取得來源

企業在激烈競爭的環境中，為取得競爭優勢，各公司無不極力開發、引進新技術。然企業進行新技術開發時，往往受制於有限的資源與開發時間，而提高了研發部門技術開發之困難度 (Tidd and Trewwhella, 1997)。因此，公司除藉由內部研發獲得新技術之外，更須由外引進技術，才能有效提升公司之技術層次。

企業取得新技術的來源有很多種，Ford and Farmer (1986)認為，企業制訂之技術取得決策如同「自製或外購」(Make or Buy)之邏輯。

Zahra, Sisodia and Das(1994)則將技術來源分為內部來源與外部來源兩類。所謂內部來源是指，企業藉由研發部門，獨自發展所需技術；而外部來源則指其他非自行研發之技術取得方式，包括：與外部研究機構簽訂技術發展合約、購併(Merger and Acquisition, M&A)技術公司、技術授權(Technology licensing)等。

Lee and Om (1994)綜合以上幾位學者之說法，將技術取得來源分為4類，如表2-1所示，各種技術來源也代表不同之技術取得方式。

表2-1 技術取得方式

資料來源：參考文獻 29

技術取得來源	技術取得方式
自製(Make)	自行研發、招募研發人員
外購(Buy)	購買技術及研發服務、購併公司
自製和外購(Make and Buy)	共同研發、合資
外購以自製(Buy for Making)	購買技術以供自行研發使用

賴士葆、陳松柏(2004)將技術取得方式分為八種，包括：內部自行研發、購併技術公司、合資研發、委託研究、技術授權、購買技術、聘用技術顧問、非契約方式。

陳文章(2001)探討台灣光電產業廠商其技術取得方式、技術能力和技術特性，對技術創新績效影響之研究中，將技術取得方式歸納為十種，分別為：內部自行研發、購併技術公司、產學合作、合資研發、研發聯盟、契約研究、技術授權、購買技術或專利、聘用技術顧問、購買機器設備。

Ford(1988)，賴士葆等(2004)認為，企業技術取得決策如同自製或外購決策，不同之技術取得方式會形成自製或外購的光譜連續帶(Spectrum)決策，內部自行研發與非契約方式，分別為光譜連續帶的兩端。而影響技術取得方式之因素也有八種，包括：公司相對地位、技術取得急切性、技術取得的承諾、技術生命週期地位、技術類型、技術來源機會之可獲得性、管理者的風險規避傾向及公司的技術開發能力。彼此的相互關係如表2-2所示。

表2-2 技術取得方式與影響因數關係表

資料來源：參考文獻 41

技術取得方式	影響因素 公司相對地位	技術取得急切性	技術取得的承諾度	技術生命週期	技術類型	技術來源機會之可獲得性	管理者的風險規避傾向	公司的技術開發能力
內部自行研發	高	低	高	早期	獨特、關鍵	低	低	高
購併技術公司	↓	↑	↓	↓	↓	↑	↑	↓
合資研發								
委託研究								
技術授權								
購買技術								
聘用技術顧問	↓		↓	↓	↓			↓
非契約方式	低	高	低	晚期	一般、應用	高	高	低

此外，Steensma(1996)認為，當廠商擁有較高的研發投入與技術能力時，將傾向以自行研發的方式取得所需技術。Grawford(1985)，Olleros(1988)指出，企業若想提升本身的技術能力並想對技術擁有較大的自主權時，便會採取自行研發的方式獲得技術，但由於自行研發需要投入大量的資金和時間，所以常因為前置時間較長，造成競爭者先佔有市場通路。(陳文章, 2001)



台灣晶圓代工廠商幾乎皆有進行內部研發活動，且認為自行研發為技術取得方式中最重要的一項。當晶圓代工廠商技術能力越高時，將越傾向採取自行研發來取得技術。在對創新績效之影響部分上，發現決定技術創新績效之因素並非技術來源，而是技術能力。當廠商技術能力越高時，其在技術、市場與整體績效表現也越好。

### 2.1.2 研究發展之特性

- 研究發展的工作是異於企業的其他機能，吳佳穎(1999)便提到其具有四項特質：
- 一、研究發展是企業變遷的新動力：企業的其他機能例如生產、行銷等是為了從現有的市場地位上追求利潤最大化，研究發展則是新產品或新技術的市場地位上尋求利潤的新來源。
  - 二、研究發展難以度量：(1)由於研究發展的成果必須經由生產、分配、促銷等階段後才能充分發揮，所以可能會因為生產、分配、促銷等活動失敗而使得研發成果遞延或模糊，由此可見一個創新活動的成功必須統合企業的其他機能，才能顯現其效果。(2)研究發展活動產生的效益包括技術、專業知識的累積或是商譽、形象的建立，這些效益都是屬於無形效果，故難以量化。
  - 三、研究發展常有時間遞延效應：從投入資源到獲得實質效益之間有一段時間差距，一般而言，原因包括投入研發到研發成功之間有落差、研發成功到商品化之間有落差以及商品化到上市之間有落差。
  - 四、研究發展具有不確定性：包括技術的不確定，也就是說投入研發不能確定是否能夠成功；商品化的不確定性，指新技術不必然能夠應用成為商品；以及經濟效益的不確定，產品上市之後不一定能獲得預期的報酬。

### 2.1.3 研發績效評估系統

關於研發績效評估方式上，許多學者以「系統」觀點，分析研發投入與產出的關係和過程，並作為研發績效評估模式。Brown and Svenson(1999)以系統觀點探討企業研發績效評估議題，將企業研發活動視為運行於整體組織中之系統，藉由投入、生產和產出等程序來進行研發績效評估活動。該績效評估系統包括八個階段，如圖2-1所示。

#### 1. 投入(Inputs):

指研發系統接收和處理之「原物料」。包括：人員、資訊、創意、設備、廠房、資金等。投入之數量和種類必須反應行銷、製造、工程等其他部門之需求。

#### 2. 處理(Processes):

指研發部門本身，可將投入轉化成產出。包括撰寫研發計畫書、進行實驗、檢驗假說、報告結果等。

#### 3. 產出(Outputs):

包括專利、新產品、新技術、出版品、事實真相、原則或知識等。

#### 4. 接受系統(Receiving system):

指使用研發產出的「消費者」，包括：行銷、規劃、製造、工程、營運等部門。此外，接受系統也包括外部的使用者，如學術公會等。

5. 效果(Outcomes):

指接收系統將產出轉化為對組織有價值之成果，包括：成本降低、銷售的增加、產品的改良及節約支出等。

6. 過程內之衡量及回饋(In-process measurement and feedback):

指在處理系統中，研發部門針對本身進行衡量及資訊回饋。衡量項目包括：研究報告數目、年度預算、研究報告所需之草圖或是專案經理對研究報告初稿之評論等。

7. 產出之衡量及回饋(Output measurement and feedback):

該項目通常由組織內之品質控制部門進行評估。研發產出通常也藉由外部來源(如：期刊社論委員會、專利機關等)和內部來源(如：研發、管理、工程、製造等)進行評估。產出之主要評估指標有：產量、品質和成本。

8. 效果之衡量及回饋(Outcome measurement and feedback):

藉由效果之衡量及回饋，可評價研發技能附加於組織之真實價值。

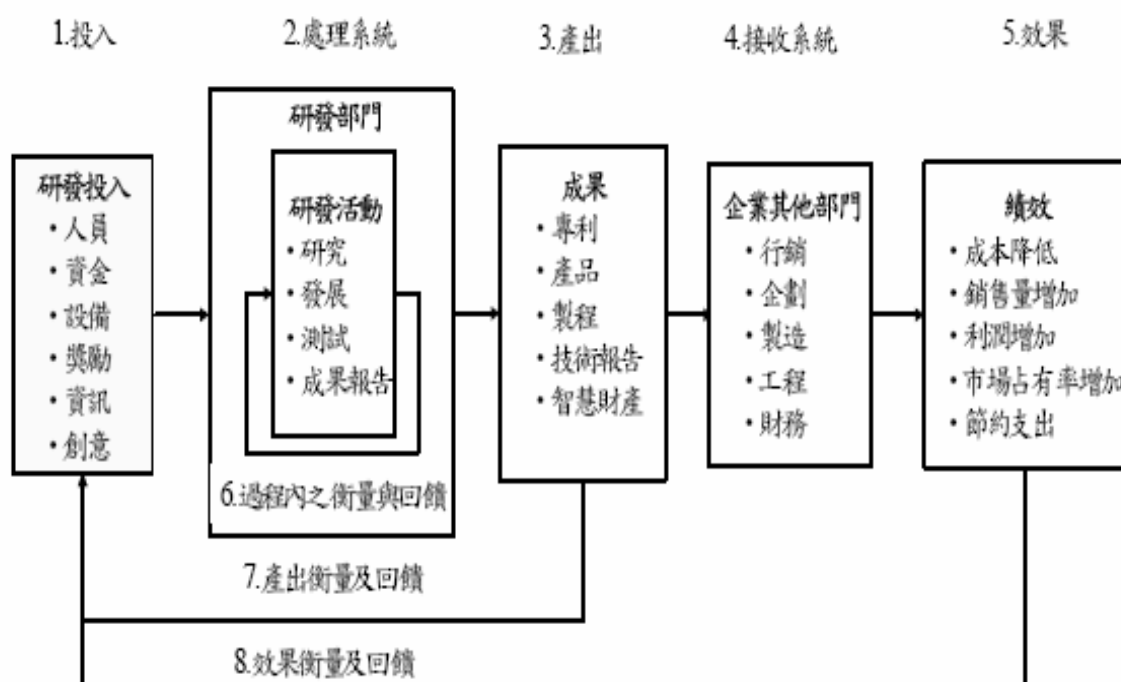


圖2-1 研發績效評估系統(Brown and Svenson, 1988)

吳學良、張祥憲與李振宇(2003)在探討研發投入與績效之關連性時，提到研發投入與產出之關係流程，如圖2-2所示。其認為研究發展之投資應與其他投資決策經歷同樣嚴謹的決策過程。而研發投入(如：人員、設備與原料)再經由「黑箱」的運作(代表著投入轉變成產出的生產函數，即是新產品或新製程的技術變革)，得到研發產出甚至產品與技術之創新，之後再於市場上接受考驗，而新產品或新技術在市場中獲得利潤後，管理者也會依據所得狀況決定在研發活動上資本投入之比例。

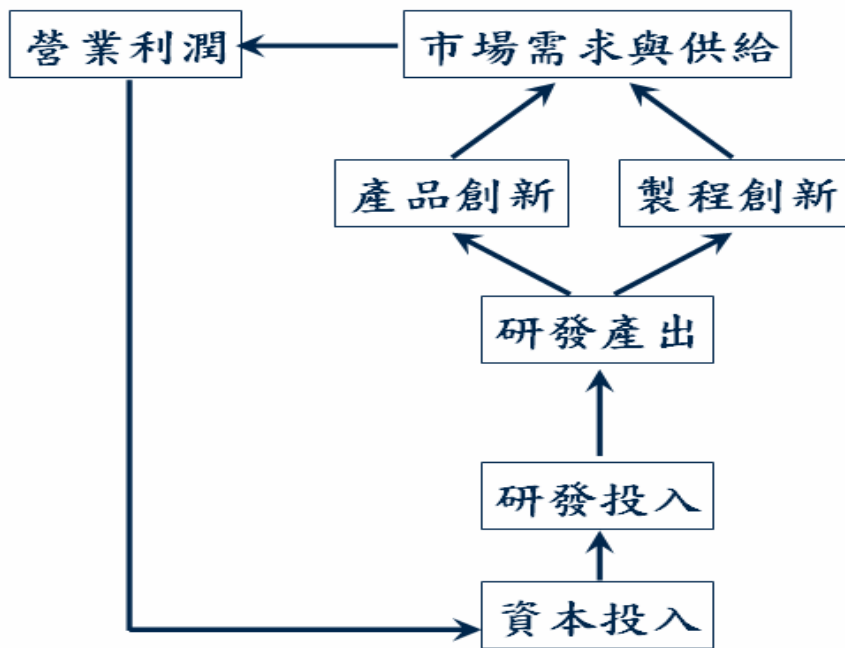


圖2-2 研發活動投入與產出關係 資料來源：參考資料 36

#### 2.1.4 研發績效評估系統關連性研究

本研究係以系統觀點探討，研發活動由投入至績效產出間，各元素之因果循環關係，因此有必要針對研發績效評估系統中各元素之關連性做一探討，該部分以Brown and Svenson(1988)提出之研發績效評估系統為基礎，探討該系統各元素間之相互關係。

##### 一、研發資源與資源配置

研發活動是一種投入與產出的過程。研發資源為整體研發活動之投入要素，企業若沒投入充裕及良好品質之研發支援並進行合適之資源配置，將無法有效推動研發活動之進行，其重要性不可言喻。關於研發資源配置之相關文獻，我們可由兩部分來探討：

##### 1. 研發資源

賴士葆等(2004)研發資源為「公司進行研究發展活動，有助於研發成果所需之各項資源投入要素」。研發所需資源種類繁多，丁錫鏞(1999)將研發資源分為五類，包括研發人力、經費、設備、資訊和獎勵。Cooper and Kleinschmidt(1988)將研發資源分類為：(1)人員時間、(2)經費。(蔡婉姿, 2000)。由於研發經費和人力這兩變數較易衡量，因此大部分學者在探討企業研發資源投入之議題時，大多以這兩者最為研發資源投入之變數，其中以研發經費為衡量變數之研究最多。

##### 2. 研發資源配置

Souder(1987)將研發資源配置(Allocation of R&D resource)定義為「某一活動階



段所投入之資源相對整體投入資源之比例」。蔡婉姿(2000)指出，資源配置為「某一活動階段所投入之資源相對整體投入資源之相對比例」。

Hansen, Weiss and Kawk(1999)探討研發資源配置之議題，將研發資配置分為三個決策階層：

- (1)決定研發部門進行研發活動之預算總數。
- (2)將研發部門所得到之研發預算再分配至各研發活動階段。
- (3)決定各階段之資源配置後，進行各階段之研發決策。如：在應用階段哪些專案應持續進行？哪些專案應終止？或是應該加入哪些新專案？

丁錫鏞(1999)指出在進行資源分配的考量時，最容易引起爭議的項目大多還是在經費上。對於一個企業而言，研發經費的分配最常見的兩個問題為：

- (1)研發經費之投入需佔總年度營收比重多少？
- (2)總公司之研發部門應如何分配研發經費予各事業部之研發單位？

賴士葆(2004)指出公司每年研發經費預算之決定方式可歸納為下列四項：

- (1)依據公司去年度營業額之固定比例，此法是實務上較常採用之方法。
- (2)以公司去年度營業淨利之固定比率。
- (3)依過去年度之研發水準，加入通貨膨脹之調整以及新增加投資專案之經費等。
- (4)參考比較同業競爭者之研發預算，作為公司研發支出預算之依據。估計研發部門該年度所有專案計畫所需之費用，加總後成為公司該年度之研發預算，此為零基預算法(Zero-based budget)

## 二、研發投入與成果之關聯性

在研發投入與成果關聯性部分，學者Grilches(1989)(轉引自陳契盈, 2000)整理美國在1954~1987年間的資料發現研發變動的確會影響專利的數量的申請，該學者1990年再指出，豐富的專利資料可以代替研發資料缺乏時，作為發明產出及投入的兩項指標，並說明在產業間的專利傾向有顯著差異時，當公司規模大於某個水準時，專利及研發間會有一個正向相關。

Ernst(1997)指出，利用專利分析可以觀察企業或國家間技術競爭力的強弱，由於專利具有保護技術的能力，故在專利說明書當中透露出非常多的訊息，將這些資訊進行分析後，可以有系統的分析企業與競爭者間之地位。專利情報對企業營運的影響甚大，專利活動也會隨著技術生命週期的不同，呈現S型之發展軌跡。此技術生命週期以研發經費累積量或時間為橫軸，專利權累積量或技術績效為縱軸，來衡量技術發展趨勢，其將會遵守如圖2-3般之S型演化，稱之為技術擴散(Technology diffusion process)過程。

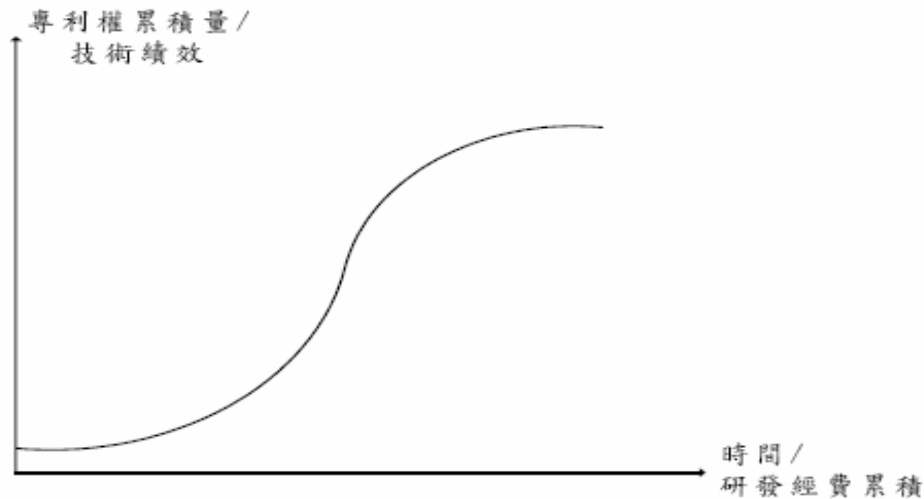


圖 2-3 技術生命週期S型曲線 資料來源：Ernst, 1997

### 三、研發成果與企業績效之關聯性

陳英傑(2003)發現專利權對企業績效的確有遞延效果之存在，並依產業別而不同。若當年增加一件專利權數，可使電子製造業兩年後的資產報酬率上升約3.56%。

黃則智(2001)以台灣新竹科學園區半導體產業的廠商為研究對象，來分析國內廠商研發支出、專利數與市場價值的關係。在專利數存量對廠商市場價值的影響方面，發現廠商自身的專利數存量對廠商市場價值都有顯著的正向影響，顯示專利數存量越多，對廠商的市場價值有提升的助力，並顯示專利數存量對市場價值的影響力大於研發支出存量對市場價值的影響力。

### 四、研發投入與企業績效之關聯性

吳佳穎(2000)以延伸性的Cobb-Douglas生產函數驗證台灣資訊電子產業所投入的研發活動對經營績效之影響。證實公司的研發密度與營收及銷貨成本均呈現負相關，顯示研發活動對公司的營收績效增加不大。但研究中發現一個有趣的現象，研發活動與營業額之間似乎存在一個門檻，當研發費用超過一定的金額後，研發活動與營收之間將會出現正相關。對銷貨收入之影響方面，研發活動是有助於電子資訊產業降低銷貨收入。

吳學良等(2003)以英國貿易及工業部資料庫所提供之2002年全球高研發投入(研發支出總額7000萬美元以上)之600家公司為研究對象，以實證性研究探討研發投入程度與公司經營績效之關聯性。研究結果發現，研發投入程度越高之公司，其經營績效越佳，此外，經營績效越佳之公司，會有更高的研發投入程度。

另外，吳學良等(2003)指出當全球景氣惡化時，企業獲利降低，具有產出不確定性之研發投入卻可能成為企業削減成本的優先目標，然而也有公司仍於此時維持其研發投

入免於受到影響，因此，特以實證研究探討企業經營績效與研發投入之關聯性。該研究將樣本公司績效表現分為低、中、高三群個別探討公司短、中期研發投資情形。最後發現，中期高績效表現之公司其在研發投入程度上顯著優於其他績效群之公司，在短期績效卻與研發投入程度出現「U型」關係，即高績效與低績效公司，在短期皆有較高之研發投入程度。

## 五、企業經營績效指標

我國產、官、學界相當重視研究發展活動與科技發展政策的推展，其基本想法為產業升級和經濟成長是研究發展活動的結果。國內外已有不少文獻探討研發活動對企業經營績效之互動關係，而衡量經營績效的種類繁多。故本研究在此針對評估研發活動所採用之企業績效指標進行分類與探討。

吳學良等(2003)將國內外學者較常使用之企業績效變數分為三類：財務績效、生產力和市場評價。

1. 財務績效：如利潤、營業成長率、毛利潤、現金流量、銷貨成本、銷售額等。
2. 生產力：如勞動生產力、資本生產力、研發生產力、生產力成長率、投入產出效率(Technical efficiency)等。
3. 市場評價：公司股價、公司市值、股價報酬率、股票年報酬率、股東報酬率等。

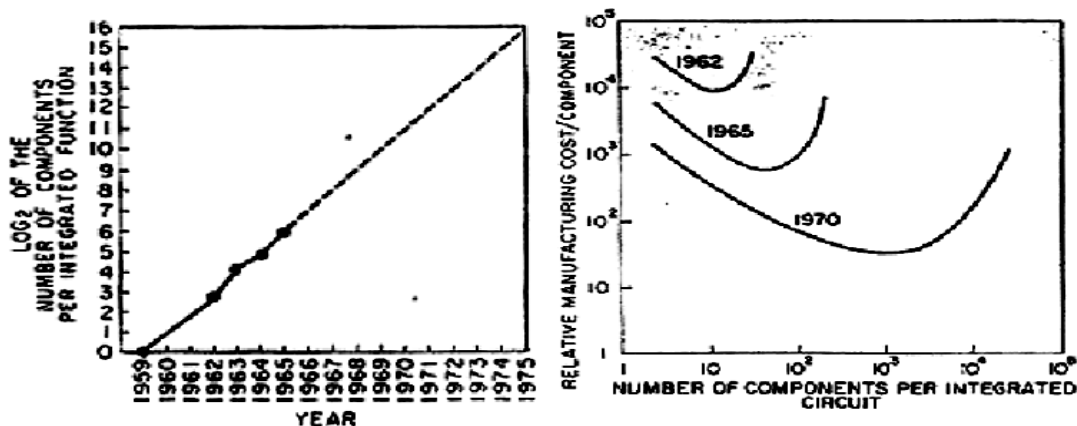
### 2.2 半導體技術與研究發展相關文獻

#### 2.2.1 摩爾定律

在1965年Dr. G. E. Moore發表了一篇名為“Cramming more components onto integrated circuits”的論文，在文中摩爾先生認為在當時已知的技術條件下，未來會有越來越多的半導體元件集中在一顆積體電路上，同時伴隨著更容易的設計彈性、更佳的可靠度、以及低廉的價格。綜觀此篇論文我們可以將摩爾定律分成兩個部分：

- ◎ 摩爾定律(1)：積體電路上電晶體的數目會隨時間以指數型式增加如圖2-4所示，縱軸是以2為底數之對數座標型式的積體電路密集度(每顆積體電路上電晶體的數目)，橫軸為年份，實心點表示實際的資料，虛線表示預測的值。圖中密集度與年份的直線關係代表積體電路的密集度會隨時間以指數的型式增加，依圖所示在當時約為每年增加一倍，從1959年到1965的6年間，積體電路的密集度增加64倍。而隨著積體電路密集度的增加，積體電路的功能也越來越強大。
- ◎ 摩爾定律(2)：電晶體製造成本會隨著時間以指數形式下降。如圖2-5所示，縱軸為以10為底數之對數座標型式的電晶體製造成本，橫軸為以10為底數之對數座標型式

的積體電路密集度，圖中的三條開口向上的曲線，其左側代表隨著密集度增加，單位電晶體製造成本會隨之下降，而曲線的右側代表隨著密集度增加單位電晶體製造成本會隨之急速上升，這是因為當時對於曲線右側密集度的製造技術尚未成熟。因此，我們可知每一世代積體電路都有其最經濟的元件密集度，若以最經濟的元件密集度對應於其曲線上的時間，我們便可知電晶體(最經濟的)製造成本會隨著時間以指數的形式下降。



圖

2-4 積體電路之密集度/時間關聯圖

圖 2-5 積體電路之價格/密集度關聯圖

資料來源：參考文獻 14

◎ 摩爾定律的歷史回顧

在近40年後的2002年，摩爾先生所任職的英特爾(Intel)公司在其網站上發表了一篇名為“Expanding Moore’s Law”的文章，在文中檢視了近40年來積體電路發展的狀況。如圖2-6，橫向座標中的“# of transistors”就是積體電路密集度，從1971年到2000年的確是以指數的型式快速增加。就文獻上記載的資料來說，1965年1顆積體電路可含有30個電晶體，1975年增加到65000個電晶體，1989年英特爾的486微處理器包含了1百40萬個電晶體，而至2002年初英特爾公司的P4微處理器便已可包含了5千5百萬個電晶體！

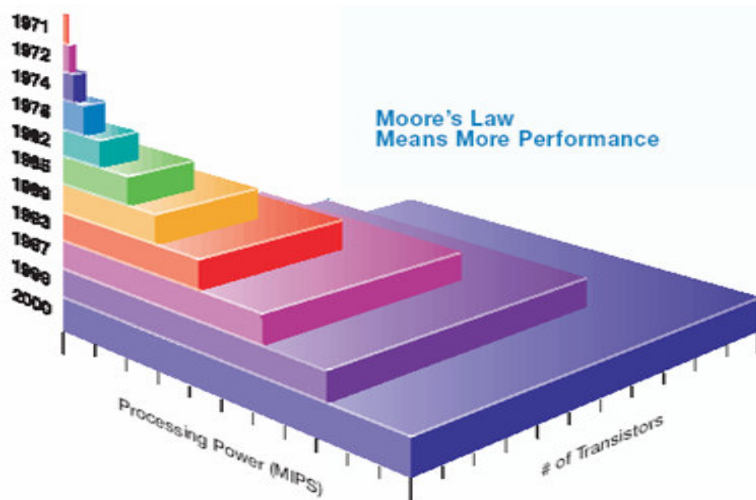


圖 2-6 積體電路之效能/時間關聯圖

資料來源：參考文獻 14



圖2-6中另一橫向座標中“processing power (MIPS)”就是積體電路效能的指標(MIPS 為mega instructions per second的縮寫，意即每秒可以處理多少個指令)，由圖從1971年到2000年積體電路的效能的確是以指數的型式快速增加。因此，不僅電晶體的數目呈指數的形式增加，由於電晶體的微縮效應，積體電路的效能也與日俱增，486微處理器的操作頻率為25MHz，而P4微處理器的操作頻率則高達2200MHz！雖然仔細檢視歷史，積體電路密集度並不剛好如摩爾先生所言每年增加1倍，在1975年前後約為24個月增加1倍，到了80年代變為18個月增加1倍，但這無損積體電路的密集度會以指數的型式增加的事實。

如附圖2-7，縱向座標中的“transistor price in US dollars”指單位電晶體的價格，以對數座標來表示，從1965年到2001年單位電晶體的價格的確如摩爾定律所預測以指數的型式快速下降。就文獻上記載的資料來說，在1965年1個電晶體約為美金5塊錢，1980年美金5塊錢可以買到5千個電晶體，到了2002年美金5塊錢可以買到5百萬個電晶體！縱觀人類歷史，大概很難找到有一項產品其價格下降的幅度可以像電晶體那麼快，而這樣的效應也連帶影響到任何以積體電路為組成主要成份的電子資訊產品，使其同樣擁有價格快速下降的特性。

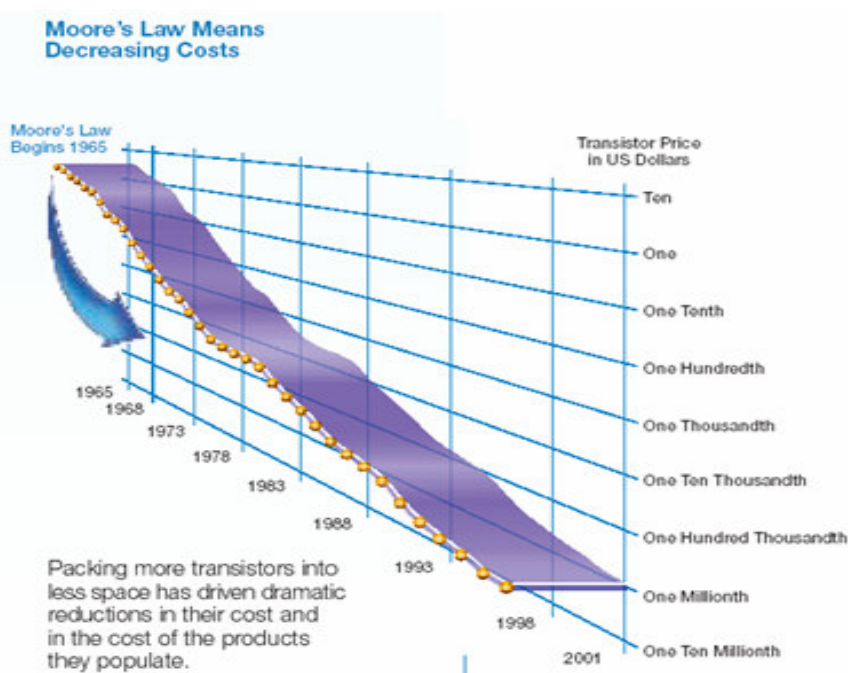


圖 2-7 積體電路之價格/時間關聯圖 資料來源：參考文獻 14

隨著積體電路功能日益強大以及其價格日益下降，帶動了新科技的普及化如網路及行動通訊等。而積體電路的製造廠商亦在摩爾定律的架構下投資大量財力進行先進技術的開發以期在投資回收上開花結果。促進半導體產業發展的就是摩爾定律，這也是電子資訊科技進步的最大動力。

## 2.2.2 半導體技術發展策略

根據C. W. L. Hill & G. R. Jones兩位學者所著的“STRATEGIC MANAGEMENT THEORY 6e”一書，認為企業競爭的事業層級基本策略有五種，即成本領導(cost leadership)、差異化(differentiation)、成本領導與差異化、集中低成本(focus low cost)與集中差異化(focus differentiation)。

成本領導策略即藉由發展一個經營模式，以降低成本結構，達成競爭優勢並獲取超出平常的利潤，追求的是提供市場廣大的低成本而品質堪用的產品或服務。成本領導策略可產生兩種優勢，第一為當產業中的直接競爭者之產品價格相似時，若一家公司擁有較低的成本就能比競爭者達到更卓越的獲利能力；第二為由於成本領導者具有低成本結構，所以能夠提供比競爭者更低的價格，因而為其帶來競爭優勢。

差異化的目的在於藉由創造一種客戶認為在某些地方是獨特的產品服務以達成競爭優勢。差異化是指公司能擁有競爭者無法做到的滿足客戶需要的能力，意味著其能索取溢價以提高收益的能力，讓差異化產品服務提供者勝過競爭者並獲得卓越的獲利能力，差異化策略追求的是高價位高品質的產品或服務。而由於技術的發展使得成本領導與差異化策略的選擇變得較不明確，也使得公司可同時追求成本領導與差異化策略。

集中化策略係指滿足特定的市場區隔或利基市場的需要。通常，集中化策略定位在集中服務一個特殊的利基市場，可能是以地理、顧客型態、產品線的區隔等來定義，而一旦選定了市場區隔，公司便可經由差異化或低成本的方法來追求集中化策略，集中化策略追求的是少數利基市場的產品或服務。

## 2.2.3 產業生命週期

產業生命週期將產業發展區分為五個連續不同的階段如圖2-8所示。胚胎期產業是指剛開始起步的產業，這個階段的成長最緩慢，而公司尚未獲得顯著的規模經濟，此時的進入障礙傾向於是否能夠取得技術訣竅，而不在於成本經濟效益或品牌忠誠等。胚胎期產業的競爭手段並不在於價格，而在於教育顧客、打開配銷通路以及追求產品設計的完美性。一旦產業的需求開始產生，產業生命週期便開始進入成長期，價格也因為經驗與經濟規模的取得而開始下降，通常當產業進入成長期時，控制技術知識以做為進入障礙的重要性已經消失。

當產業生命週期進入消退期時市場需求已接近飽和水準，而產業內公司間的競爭也更激烈，此時若已習慣快速成長的公司持續以過去的成長率來持續擴充產能，但需求往往不再如同過去的速度成長，在產能過剩的結果下一般的作法通常就是降價造成價格戰。當產業生命週期進入成熟期，市場已完全飽而需求成長緩慢甚至於完全沒有成長，

此時為了市場佔有率的原因，價格競爭會更行激烈。當成長開始便為負向成長時，產業生命週期便進入衰退期，衰退期產業的主要問題是需求下降所導致的產能過剩，而退出障礙在調整過剩產能時扮演著相當重要角色，退出障礙愈高，市場產能愈難以降低，激烈價格競爭的威脅也愈大。茲將各產業生命週期之事業層級策略整理如下表2-3所示。

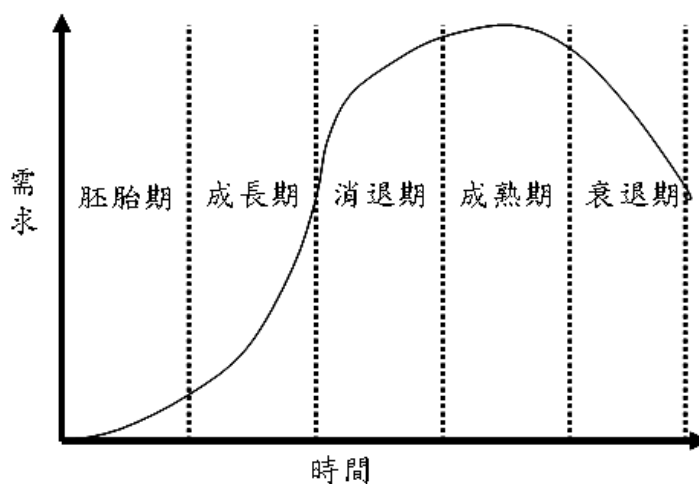


圖2-8 產業生命週期圖

資料來源：參考文獻 6

表2-3 產業生命週期之事業層級策略表

資料來源：參考文獻 6

產業生命週期	胚胎期	成長期	消退期	成熟期	衰退期
強勢競爭位置	佔有率建立	成長	佔有率提升	掌握與維持獲利	市場集中化或收割(減資)
弱勢競爭位置	佔有率建立	市場集中化	市場集中化或收割 /清算	收割或清算/ 撤資	轉向、清算或撤資

#### 2.2.4 半導體/晶圓代工

由於台灣在晶圓代工產業全球市佔率已有七成以上，可謂持產業之牛耳。相對應於國外相關論文的稀有，近年來國內討論晶圓代工的論文有如過江之鯽。綜觀近3年來國內商管相關研究所於半導體/晶圓代工相關的上百篇碩博士論文，其討論的主題大致可分為以下5類：

一、財務經營管理相關的討論，此項目的範疇較廣，例如：

楊明炯：“2003年臺灣大學國際企業學研究所，半導體廠商的競爭策略與核心優勢研究”，本研究試圖透過種種研究分析、發掘出台灣半導體廠商核心競爭力(Core Competence)，以及在產業西進和全球化競爭的雙重衝擊之下，台灣半導體廠商的最適

競爭策略和強化既有核心競爭力的方法。本論文中引用了波特教授的理論架構，並針對產業群聚(Industry Cluster)和專利權(Intellectual Property, IP)與強化競爭力的關係作深入探討。

吳美娟：“2002年雲林科技大學企業管理系碩士班，台灣IC製造業技術能力、專利權與績效關係之研究”，本研究乃以資源基礎理論為理論依據，創新為本質，並且略微修改Afuah之利潤鏈模式作為理論架構，探討台灣IC製造業在技術能力、專利權、及績效之間的關係，以期能建立出三者的關係模式，並且能透過專利分析，幫助企業正視或瞭解其專利的價值所在。

鄒有憲：“2002年中原大學企業管理系碩士班，探討台灣半導體策略聯盟與財務績效關聯性之研究”，研究從事策略聯盟之台灣半導體公司，取得12個策略聯盟樣本。根據實證結果，以整體而言，策略聯盟雖可藉由提高資產運用效率使績效表現更好，但因不同之策略聯盟型態會造成不同之績效。

二、製造流程相關的討論，例如：

李婉如：“2000年交通大學工業工程與管理系，晶圓代工廠之機台當機影響即時估算法”，發展一快速估算法，在機台發生當機事件時，能夠即時估算未來每個時間區段瓶頸加工站的產出量變化；若有多部機台同時當機，利用本估算法分別求得各種修復順序下的瓶頸產出量，產出量較高的即為較佳的修復順序決策。

傅國成：“2002年交通大學工業工程與管理系，晶圓代工廠作業員之員額配置與指派模式”，提出一個線性規劃模式，可以同時解決晶圓代工廠作業員之員額配置及指派等兩問題，使作業員總成本最小。此等晶圓代工廠具有下列特性：產品組合經常變動、作業員總人數供給有上限、不解僱作業員、為了確保產品品質，作業員視需要接受訓練。

劉經彥：“2006年交通大學高階經理在職專班，半導體測試設備供應商於測試代工產業中之競爭策略研究”，隨著半導體產業的成長，降低成本考量導致整段供應鏈的價值被壓擠，必須找出更有效率的生產方式。測試居半導體供應鏈末端，附加價值較低，但又為不可缺之必要之惡。本論文嘗試以SWOT分析手法，透過個案研究及訪談之方式，針對總體、核心及競爭分析，來找出半導體測試設備商等在測試產業中的定位，及找出其可使用的競爭策略。

三、產能投資規劃相關的討論，例如：

劉俊榮：“2002年中山大學國際高階經營管理碩士班，半導體景氣循環下晶圓代工產能擴充策略”，探討半導體景氣循環與產能擴充的關係，利用系統動力模型建構過去十



年整個晶圓代工產業景氣循環的模型,並根據此模型分析在四種不同產能擴充策略下(樂觀型/保守型/穩健投資型/景氣投資型)的不同財務表現,提供半導體業或TFT影像顯示產業等產能投資資本密集的產業,面對景氣循環下,建立一套產能擴充的模式與策略。

謝瑞海：“2002年臺灣大學商學研究所，晶圓代工廠產能投資決策與需求管理模式之研究”，研究晶圓代工廠與其上下游廠商之間的合作關係，據以了解晶圓代工廠在「產能需求管理」所面臨的風險，並研究在這個風險存在的條件下，晶圓代工廠合理的產能投資決策模式，並據以建立模型，研究「產能決策」對公司的財務表現造會成什麼樣的影響。

#### 四、設備廠務相關的討論，例如：

張肇榮：“2001年交通大學經營管理研究所，台灣半導體製造廠商評選設備供應商之研究”，了解台灣前十大半導體製造商評選設備供應商時的關鍵因子，爾後試圖從半導體製造商之某些特質分類，並針對每一類製造廠商分別探討其評選設備廠商特別重視的因子。以期對新成立的半導體製造商能清楚地釐清自己在產業中的定位，並瞭解自己所屬族群對半導體設備供應商的評估方式。

沈介宇：“2002年交通大學科技管理所，半導體設備採購評準決策之研究”，針對半導體設備採購決策要素，探討相關文獻並與半導體產業專家訪談，發展出半導體設備採購決策層級模型。再利用層級分析法(AHP)，以問卷調查方式，得出影響設備採購決策之評估準則權重。最後利用模糊多準則決策(Fuzzy MCDM)方法，實證研究企業中對設備採購決策的評估個案，來確認本研究模式是否符合。

#### 五、特定技術的討論，例如：

黃鎮球：“2001年交通大學科技管理所，由技術比較及市場趨勢來探討半導體矽鍺(SiGe)技術技術在射頻元件上的發展”，就技術技術、元件特性的比較以及產業的發展現況來探討矽鍺(SiGe)半導體技術技術在射頻元件(RF IC)上的發展與未來的趨勢。

李鳳寧：“2001年交通大學科技管理所，以技術預測方法探討砷化鎵晶圓代工製造業者之設備需求”，利用技術預測的情境預測法(SRI)，援用矽晶圓代工廠管理設備之「設備綜合效率」模式(Overall Equipment Effectiveness, OEE)，以製造部門的觀點來看砷化鎵代工廠對於設備的種種需求。

總結：以上5大類以篇數的比例來分如下圖2-9所示，有關技術發展方面的論文相當少見，且全集中在特定技術相關。與公司發展策略有關的論文主要集中在產能規劃或經營管理相關的類別，而有關“技術發展”的論文卻付之闕如。

不過幸運的是摩爾定律已經把半導體技術規劃的大方向都指出來了，若能再把細節部分再加以研究討論，必能適當地補足學術界在技術發展這一方面研究不足的缺口，也能讓國內學術界對半導體/晶圓代工的研究更加完備。

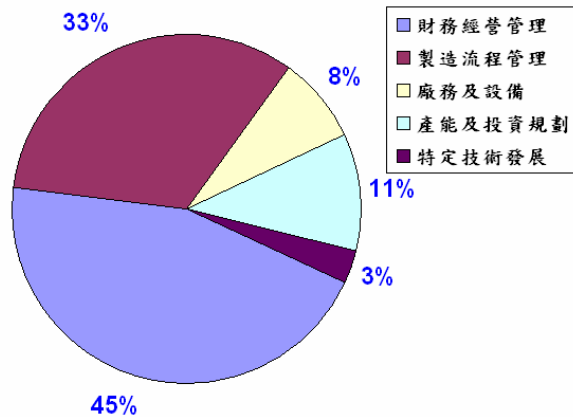


圖2-9 近3年國內商管所於半導體/晶圓代工領域論文統計 (全國碩博士論文網站統計)

## 2.2.5 晶圓代工技術(CMOS技術)簡介

### 一、晶圓代工技術流程

將電晶體、二極體、電阻器及電容器等電路元件，聚集在矽晶片上，形成完整的電路，稱之為積體電路。晶圓代工技術流程，如圖 2-10。晶圓代工廠在取得客戶委託的積體電路產品製造訂單後，將電子產品的設計圖透過光罩製作轉製在數層光罩上，再以矽晶圓為基材，經過一連串重復的技術步驟，包括晶圓清洗、薄膜沉積技術、微影技術、蝕刻技術、離子佈植技術等重復的技術，將每一層光罩上的設計圖案轉置在晶圓上，每片晶圓在完成製造程序後，即可在晶圓上形成數百到數仟顆相同的積體電路小晶片。產品設計公司將晶圓送至晶片包裝廠切割、封裝，再送經最終電性測試，即可銷售上市。晶圓製造流程(晶圓代工)的範圍，也是整個產業價值鍊中產值最大的一塊。

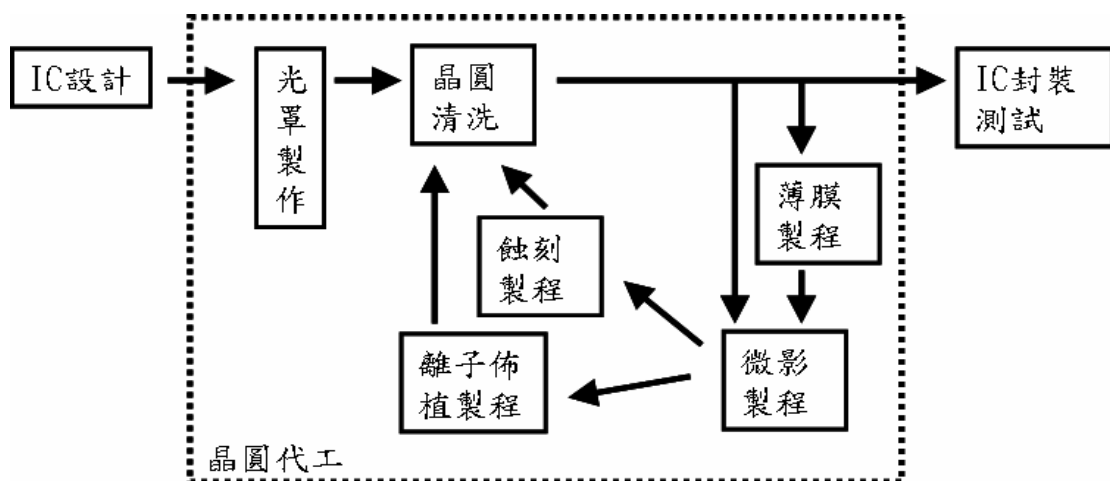


圖2-10 晶圓代工製程流程圖 資料來源；參考文獻 42

## 二、IC設計流程簡介

IC設計流程包括了功能描述、邏輯設計、電路模擬分析、電路佈局等4大塊。要完成一個完整的積體電路晶片，首先就要對這一個晶片做完整的功能規格描述，例如要完成一個玩具晶片設計，必須將這一個玩具晶片所應具備的功能做完整的描述。而邏輯設計之目的是用已有的基本邏輯單元，將描述電路功能的數學函數進一步的具體化，使所有的功能描述皆能以實際可執行的電路模組來完成，由這些基本單元構成功能完整的積體電路，再經過模擬軟體檢驗以確定所設計的邏輯沒有問題。之後在邏輯設計完成後，接著要轉化成實際的電路元件符號，再依這些元件符號轉化成電路分析模擬程式所需的格式。

常用的電路分析模擬程式為SPICE，其目的為檢查模擬結果是否符合我們的要求。至於所謂電路佈局，實際上就是做電路分析及半導體技術的中間橋樑，也就是將我們在技術上所會利用到的光罩(Mask)繪製出來。當我們做完電路佈局後，還要利用電腦輔助設計程式如DRC、LVS等，檢查電路佈局是否有缺失。確定沒問題之後，再將此電路佈局進行電路分析模擬，檢查是否和先前由SPICE所驗算的結果是否一致，如果不一致，則回到電路佈局重新再來一次。當結果正確後，便可將定案之電路佈局送去製做光罩，開始半導體技術。

## 三、薄膜沉積技術簡介

薄膜沉積技術包括了二氧化矽、化學氣相沈積技術與物理氣相沈積技術等三大類。二氧化矽絕緣層在矽積體電路中有多種用途。依功能可區分為電性隔離、離子植入或熱擴散遮屏及表面保護層等，其成長的方式有熱成長及化學氣相沈積等兩種。所謂化學氣相沈積(chemical vapor deposition, CVD)是指利用熱能、電漿放電或紫外光照射等形式的能源，使氣態物質在固體表面上發生化學反應，並在該表面上沈積，形成穩定固態膜的過程。化學氣相沈積(CVD)技術是半導體積體電路技術中運用極廣泛的薄膜成長方法，諸如介電質、半導體、導體等薄膜材料，幾乎都能用CVD技術完成。至於物理氣相沉積法(physical vapor deposition, PVD)，則是對欲沉積薄膜的材料源施加熱能或動能，使之分解為單原子或原子聚合體，並結合或凝聚在矽晶圓表面，形成薄膜。

## 四、微影技術簡介

微影的目的是將積體電路結構圖形(layout)製作在光罩(mask)上，然後將光罩上的圖形轉印在塗佈有機光阻(photo resist)薄膜的晶圓上，經過穿過光罩光線的照射及顯影處理，光阻層便可呈現出與光罩上相同圖形結構，並可將圖形尺寸適當地縮小，以便在晶圓上製造出許多相同電路結構的積體電路產品。我們常以一個技術所需要經過的微影次數，或是所需要的光罩Mask數量，來表示這個技術的複雜程度，例如台積

電的標準90奈米技術就需求約40個微影次數。另外我們也常以一個工廠的微影技術所能處理最小線寬的能力，來評斷工廠的技術層次。如我們常說的0.25、0.18或0.13微米等技術，指的就是微影技術所能達到的最小線寬的技術。

## 五、蝕刻技術簡介

蝕刻技術乃是將經過微影技術在表面定義出IC電路圖案的晶圓，以化學腐蝕反應的方式、物理撞擊的方式，或上述兩種方式的結合，以去除部份材質，留下IC電路結構。蝕刻技術主要分成兩大類，濕式蝕刻法與乾式蝕刻法。濕式蝕刻法利用化學溶液腐蝕晶圓上擬去除的材料，並在完成蝕刻反應後，由溶液帶走腐蝕物。這種完全利用化學反應的方法來進行蝕刻的技術有其先天上的缺點，也就是其蝕刻結構的形狀是各方向均勻的，限制了元件尺寸向微細化的發展。乾式蝕刻法是利用氣體分子或其產生的離子及自由基，對晶圓上的材質進行物理式撞擊濺蝕及化學反應，來移除蝕刻部份。被蝕刻的物質變成揮發性的氣體，經抽氣系統抽離。乾式蝕刻法可以獲得良好的尺寸控制，在積體電路技術中，元件結構因此可被有效地微細化。

## 六、離子佈植技術簡介

離子佈植是將所需的摻雜元素(如矽、硼)電離成正離子，並施加極高的偏壓，使其獲得一定的動能以射入矽晶圓的技術。當具有一定初始能量的入射離子射入固體靶時，會與靶中的原子發生碰撞，在碰撞過程中將部份能量傳給靶材內的原子核或電子，入射離子的能量因而減小，運動方向發生偏折，這個過程一直不斷地發生，直到入射離子停下來為止。離子佈植之後會嚴重地破壞晶圓內矽晶格的完整性。所以離子佈植之後的晶圓必須經過適度的退火處理。退火就是利用熱能來消除晶圓內晶格缺陷和內應力，恢復矽晶格的完整性。同時使摻雜原子擴散到矽晶格上的替代位置，有效地活化成具半導體電性功能的摻雜原子。最常用的退火方式是熱退火的方式，可利用傳統爐管來退火，或利用快速退火爐來退火等。

## 七、IC封裝簡介

IC封裝是將前段技術加工完成之晶圓經切割、黏晶、焊線等過後之包覆的程序，以保護IC元件以及使其易於裝配應用，IC封裝的四大功能有(1)電力傳送：所有電子產品能源皆是電能，而電力之傳送必須經過線路之連接方可達成，外來的電源在經過封裝層內的重新分佈後，便可穩定的驅動IC晶片使之運作。(2)訊號傳送：IC所產生的訊號，或外界輸入的訊號，透過封裝層線路的傳送以達正確的位置，且訊號失真不能太嚴重。(3)熱的去除：IC封裝藉由封裝材料之導熱功能，將電子於線路間傳遞所產生的熱量去除，使IC晶片可在工作溫度下不致因過熱而失效。(4)電路保護：IC封裝除了對易脆的晶片提供了足夠的機械強度及適當的保護外，亦可避免精細的積體線路受到污

染的可能性。一般說來封裝流程有晶圓固定、晶圓切割、紫外線照射、黏晶、導線架銲接、銲線、封膠、電鍍、剪切/成型、檢測及印字等幾個步驟。

## 八、IC測試簡介

IC測試分為晶片測試(CP, chip probe)與最終測試(FT, final test)。晶片測試(CP)包括了晶圓針測產品分類(主要目的是測試晶圓中每一顆晶粒的電器特性,線路的連接,檢查其是否為不良品,若為不良品,則點上一點紅墨水作為識別之用)、雷射修補(目的是修補那些尚可被修復的不良品,提高產品的良品率。當晶圓針測完成後,擁有備份電路的產品會與其在晶圓針測時所產生的測試結果資料一同送往雷射修補機中,這些資料包括不良品的位置,線路的配置等。雷射修補機的控制電腦可依這些資料,嘗試將晶圓中的不良品修復)、加溫烘烤加溫(目的為將點在晶粒上的紅墨水烘乾、清理晶圓表面)。最終測試(FT)相對於晶片測試(CP)為封裝後之測試。

## 九、CMOS簡介

MOS就是MOSFET的簡稱,而所謂MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 指的就是金氧半電晶體,其結構就如同字面上的意義,是由金屬、氧化層、及半導體疊在一起所構成的電晶體。MOS依其傳導載子的不同可以分為PMOS及NMOS二種MOS。若將這二種MOS合在一起使用則稱為互補式金氧半電晶體,即為Complementary MOS)。CMOS的優點為操作時比較省電,也因此一般積體電路設計就是以CMOS技術為主。



### 第三章、研究模式與架構

從文獻探討中發現技術研發績效的評估方式上，許多學者以投入-產出關係與過程之觀點，來探討技術研究發展，以作為研發績效評估模式。本章就此觀點提出本研究之研究架構，再介紹研究對象，最後是資料蒐集方法。

#### 3.1 研究方法

研究方法採定性的演繹性分析，即文獻收集與評論法(Literature review)為主，依據研究主題、目的和文獻理論建立研究架構，輔以財務報表及企業營運資料，在成熟的理論架構下探討晶圓代工技術發展的模式。

個案研究主要以台積電為對象，並搭配比較聯電、新加坡的特許半導體，中國大陸最大的晶圓代工公司中芯國際，來探討整個晶圓代工產業技術發展模式。最後，分析影響該廠商技術發展活動各要素間之因果關係。並根據研究結論的整理，給予晶圓代工業者、IC設計業者、封裝測試業者及後續研究者的建議。

企業進行技術發展活動，主要為資源投入至績效產出之流程，而企業技術發展活動，大致上可分為自行研發活動及技術外購兩類。本研究，擬參考 Brown and Sveson(1988)和吳學良(2003)提出之研發績效評估模式，對於在技術發展活動中的質性分析探討，並分析自行研發活動對公司營運之影響，以及市場供需循環對營運之影響，以此構成一「技術發展模式」，並分述如下。並延伸探討台灣晶圓代工產業在技術發展上與其他競爭者的比較，其概念如圖3-1。

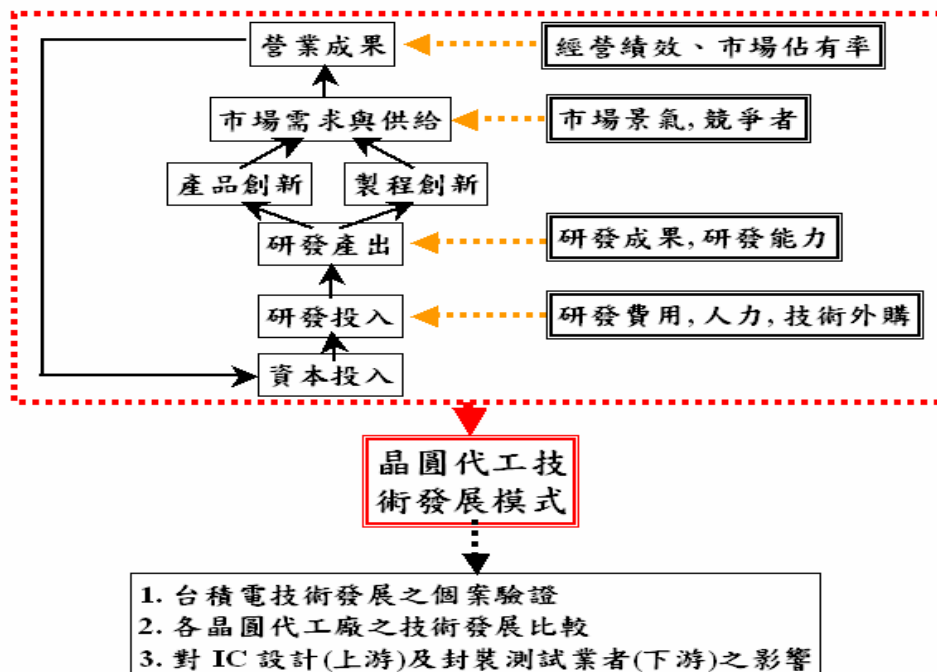


圖3-1 研究架構圖

### 3.1.1 技術發展經費

企業獲得技術的方式有很多，已在文獻探討中介紹過，對於企業技術取得方式之分類，係根據 Zahra et al. (1994) 所提出之方式，分為內部來源與外部來源兩類。所謂的內部來源則指公司內的自行研發活動，外部來源則為其他非靠自行研發之技術取得方式。

企業無論藉由內部或外部來源取得技術，必須支付各項技術取得費用，才得以進行技術發展活動。由於本研究的晶圓代工企業—台積電，其財報揭露的研發費用包含了內部的自行研發費用及外部的技術購得，無法將其準確的分出其比例。故本研究將技術發展經費係由當年之研發費用所決定。

### 3.1.2 研發經費與人力

由於先前提及之研發資源總類繁多，大多數學者多採用人員和經費這兩項來探討相關議題，主要原因在於研發經費和人員是進行研發資源分配考量時最容易引起爭議之項目，再加上兩者較易以數量化形式衡量。企業無論藉由內部或外部來源取得技術，必需支付各項技術取得費用，才得以進行技術發展活動。本研究將採用經費和人員代表企業研發資源。因此，在本研究中則將所有技術取得方式所需之經費統稱為「技術發展經費」，也就是公司自行研發活動所需之研發經費，加上所有技術外購所需支付之權利金。

### 3.1.3 研發成果

研發成果：大多數學者多以專利權作為研發成果之指標，且專利公報中之專利說明書，據統計有 90% 以上之研發成果(吳美娟, 2002)。因此，本研究將採用專利權代表企業研發成果。

### 3.1.4 研發能力

就晶圓代工產業，產品的良率是最適當的研發能力指標。然而，良率可由缺陷密度(defect density)、每顆積體電路的面積以及技術的複雜度來決定。為何缺陷密度是一個比良率還好的指標其原因如下：基本上良率會小於100%就是因為晶圓廠在製造晶圓的過程中會有難以避免的缺陷，假設某晶圓廠在製造某特定技術技術能力為每片晶圓會均勻的產生40個缺陷，用在兩種不同晶片(IC)大小的積體電路上，甲產品的GDPW為100，而乙產品的GDPW為400，對甲產品來說其良率便為60%(因為40個缺陷會使100顆die中的40顆失效)，而對乙產品來說其良率則為90%(因為40個缺陷會使400顆die中的40顆失效)！雖然兩者良率差異甚巨，但是對晶圓廠來說這兩者的“實質上的良率”是相同的。也就是譬如說當我們知道某晶圓代工廠0.13um技術的缺陷密度是“0.12”時，我們

便可跟據“A”和“n”這兩樣參數來估算出各個採用0.13um技術產品的良率，所以說缺陷密度是比良率還好的衡量技術能力指標。

缺陷密度是一個望小的指標，根據經驗在一項全新的邏輯技術開發完成一年後生產線的缺陷密度大約會在0.20上下，之後缺陷密度經過工程師們的努力大概每年可下降10%~20%左右，最後約再經過3~4年左右的時間這項技術的缺陷密度會飽和在0.10上下而很難再下降。茲將典型缺陷密度/良率提升圖如圖2-16所示，其中產品A (1cm<sup>2</sup>)表示晶片面積大小為1平方公分產品的良率，產品B (0.5cm<sup>2</sup>)表示晶片面積大小為0.5平方公分產品的良率，以積大小為1平方公分的產品來說，在4年的期間內良率可由67%提升到80%左右。

$$\text{Yield} \propto (A, D_0, n)^{-1}$$

Yield：良率，定義為每片晶圓好的積體電路的顆數除以GDPW，介於0到100之間。

n：指製程的複雜度，與光罩數呈正相關。

A：指每顆積體電路的面積。

D0：缺陷密度(defect density)，是一種比良率好的衡量製程能力的指標。

對於晶圓代工產業，本研究利用缺陷密度之觀念，將技術發展依製程節點作一數量化之修正，稱為修正化之研發能力 (Normalized RD capability)。

### 3.1.5 市場供需循環

晶圓代工廠商之經營績效不僅受到技術發展政策之影響，也易受產業景氣循環之影響。過去經驗顯示，晶圓代工產業具有五年一次的「半導體循環」，市場的供不應求引起晶圓價格的上漲，而隨後的供過於求則導致價格的下跌，每次的循環都會引起價格的波動，也直接的影響了廠商的營收狀況。本研究以北美半導體設備訂單/出貨值 B-B ratio (Book-to-Bill ratio)及 平均銷售價格 (ASP) 及產能利用率 (Utilization Rate)代表市場景氣循環參數，探討晶圓代工業之景氣循環與企業經營績效的關聯性。

### 3.1.6 經營績效

企業之所以投入大量技術發展資源，進行研發活動或者獲取外部技術，主要目的不外乎發展新產品、新製程，以提升良率，最後提高公司之營收與競爭優勢。因此，該階段將探討，企業努力投入之技術所獲得之研發成果，隨著市場供需循環引起之價格波動，對於銷售量及營收淨額代表企業經營績效之影響。隨後公司管理者也將依據營收情況，評估未來於技術發展之投入程度，最後形成投入與產出之回饋效果。



## 3.2 研究對象及資料蒐集方式

本研究主要探討晶圓代工產業的技術發展與研發活動過程各相關要素間之因果關係，以了解企業研發活動對營運績效之影響。以台積電為主要研究對象，因為台積電的技術發展無論在深度或廣度皆是業界最完整的。其他晶圓代工業者如聯電、中芯、特許等為輔，來比較技術發展之現況。

### 3.2.1 台灣積體電路簡介

#### 一、台積電的基本資料

台積公司成立於民國七十六年，是全球最大的專業積體電路製造服務公司。身為專業積體電路製造服務業的創始者與領導者，台積公司在提供先進晶圓製程技術與最佳的製造效率上已建立聲譽。自創立開始，台積公司即持續提供客戶最先進的技術；民國九十六年的總產能超過八百萬片約當八吋晶圓，全年營收約佔專業積體電路製造服務領域的百分之五十。如表3-1所示，台積電在過去2年皆為居全球第五大晶圓廠，且為前十大廠之中唯一的純代工廠商。在前20大IC廠商中，台積電的銷售額成長幅度最大。若以晶圓代工成本佔積體電路成本約一半來推估，台積電所生產積體電路的總銷售在去年約為160億美金，與南韓三星相當，穩居世界前三大。

20083Q 排名	公司名稱	08-3Q 銷售	07-3Q 銷售	2007 排名	成長率	地區
1	英特爾	26834	25191	1	7%	美國
2	三星	16765	14636	2	15%	韓國
3	德儀	9571	9833	3	-3%	美國
4	東芝	8712	9280	4	-6%	日本
5	台積電	8641	6904	6	25%	台灣
6	意法	7266	6252	5	16%	歐洲
7	瑞薩	6166	5974	8	3%	日本
8	海力士	5224	7188	7	-27%	韓國
9	Qualcomm	5143	4045	14	24%	美國
10	SONY	4965	5282	9	-6%	日本
11	英飛凌	4751	4195	12	13%	歐洲
12	AMD(含 Spansion)	4630	4243	11	9%	美國
13	NEC 電子	4476	4146	15	8%	日本
14	美光	4320	4146	13	4%	美國
15	NXP	4193	4401	10	-5%	歐洲
16	Freescale	4013	3981	16	1%	美國

17	富士通	3473	3343	17	4%	日本
18	Broadcom	3438	2739	23	23%	美國
19	松下	3378	2785	21	21%	日本
20	NVida	3032	2593	19	17%	台灣

台積公司擁有兩座先進的十二吋晶圓廠、四座八吋晶圓廠和一座六吋晶圓廠，生產營運主要集中於台灣的新竹科學園區與台南科學園區；除此之外，我們在美國華盛頓州 (Wafer Tech)、新加坡 (與 NXP 合資的 SSMC)，以及在中國大陸的上海亦有設廠。

台積公司的全球總部位於新竹科學園區，在中國大陸、印度、日本、韓國、荷蘭、台灣與美國等地均設有辦公室，負責客戶服務與技術服務；並在台灣證券交易所 (股票代碼 TSE) 與美國紐約證券交易所 (股票代碼 TSM) 掛牌交易。

如表 3-2，台積電在全球純晶圓代工廠一直穩居龍頭地位，約有一半左右的市占率，不過隨著中國大陸競爭對手的快速掘起，台積電雖然仍保有領先地位，但在 2004 市占率已首度降至 50% 以下。

表 3-2 2007 全球純晶圓代工廠排名

#### Top 10 Foundries by Revenue, Worldwide, 2007 (Millions of Dollars)

Rank 2006	Rank 2007	Company	Revenue 2006	Revenue 2007	Growth (%) 2006-2007	Market Share (%) 2007
1	1	TSMC	9,716	9,828	1.2	44.3
2	2	UMC	3,191	3,263	2.3	14.7
4	3	SMIC	1,465	1,550	5.8	7.0
3	4	Chartered Semiconductor	1,527	1,445	-5.4	6.5
5	5	IBM Microelectronics	688	605	-12.1	2.7
8	6	Vanguard	398	488	22.6	2.2
10	7	X-Fab	293	411	40.3	1.9
6	8	Dongbu HiTek	462	405	-12.4	1.8
7	9	MagnaChip	404	370	-8.4	1.7
9	10	Hua Hong NEC	300	321	7.0	1.4
		<b>Top 10 Total for 2007</b>	<b>18,444</b>	<b>18,686</b>	<b>1.3</b>	<b>84.2</b>
		Others	3,201	3,506	9.5	15.8
		<b>Total Market</b>	<b>21,645</b>	<b>22,191</b>	<b>2.5</b>	<b>100.0</b>

Source: Gartner (April 2008)

資料來源: Gartner (Apr. 2008)

## 二、台積電的晶圓代工技術與服務

台積電技術的領先，不僅在製程技術的深度，也在技術的廣度以及品質。就製程技術的深度而言，台積電率先於2006年第2季提供65奈米製程的服務，於隔年2007年65奈米12吋晶圓出貨已達銷售的5%，近150億新台幣之規模，台積電第三季開始以65奈米製程為客戶量產晶片，在此之前，已為多家客戶進行試產，並且第一次產出就成功通過功能驗證，總計2007年共有約數十個客戶，以單一產品光罩（single-product mask）試產，另有也有產品以分享光罩（mask-sharing Cybershuttle）的方式驗證。就製程技術的廣度而言，台積電在每一個技術節點除通用型(generic)製程外，亦提供了低功率(low power)、高效能(high performance)等加值能型製程技術。台積公司係第一個使用65奈米製程技術為客戶成功試產晶片的專業積體電路服務公司。

另外台積電跟上游IC設計服務公司的合作模式可分為ASIC/Turnkey及純晶片設計模式兩大類。ASIC/Turnkey跟現在大部分IC設計服務公司提供的模式差不多，整個服務可自RTL(rigistor transition logic)開始涵蓋至整個設計資料庫的設立，包括跟晶圓廠接洽等過程，然後IC設計服務公司負責生產可以正常運作的測試晶片再交付給晶圓代工廠。至於純晶片設計模式則是只負責晶片的設計工作的設計公司，在完成設計的導入後，即把剩下的步驟交回給客戶，跟晶圓代工廠及封裝廠的接洽等工作均交由生產公司自行負責。

設計的複雜度會隨著晶片邏輯閘數目的增加而成長，這通常會牽涉到時序、訊號整合及電源管理等各方面，如此種種都牽涉更複雜的設計，因此DFM（Design for manufacturing）也愈見重要。因為設計跟技術的關係密切，所以設計公司必須充分掌握技術才可以擁有不錯的良率及可以快速量產的能力。為了提供合適的服務，設計服務公司跟晶圓代工廠的關係須十分密切，這樣才可以充分掌握技術及設備的所有特色。

下游覆晶封裝方面，有鑒於封裝測試產業日益艱困，獲利空間在廠商相互廝殺下日益稀薄，一線封測大廠不得不努力朝高階市場發展，尤其近年來，在可程式邏輯晶片、繪圖卡晶片與晶片組3大主力產線的採用下，覆晶封裝已成為國際封測大廠視為重點發展的高階產線。而覆晶封裝產線，主要包括覆晶封裝與錫鉛凸塊2大業務線，其中因為錫鉛凸塊在製程產出上，較偏向晶圓製程，因此台積電從在早期便擁有8吋錫鉛凸塊的產線與設備。

### 3.2.2 各晶圓代工業者之基本資料比較

如表3-3 所示，台積電在各項指標皆是獨占鰲頭，是位居第二的聯電望塵莫及的，例如出貨晶片數、市場佔有率、產能利用率、銷售額及淨收入等。就 2007年的市佔率而言，中芯已超越特許躍居第三名。(7.9% vs. 7.4%)

表3-3：各晶圓代工業者比較

企業	台積電	聯電	中芯	特許
	TSMC	UMC	SMIC	Chartered
成立時間	1987	1980	2000	1989
董事長	張忠謀	洪嘉聰	王陽元	謝松輝
執行長	蔡力行	孫世偉	張汝京	謝松輝
廠房數目	8" x 5 12" x 2	8" x 7 12" x 2	8" x 4 12" x 3	8" x 4 12" x 1
員工人數	23020	13312	10105	5125
最新量產技術 (2007 營收為主)	65nm	65nm	90nm	90nm
出貨晶片數 (2007, 8 吋/千片)	8005	3263	1850	1960
市場佔有率 (2007, from IDC)	50%	17.8%	7.9%	7.4%
產能利用率	97%	76%	87%	79%
淨銷售額(2007; Millions;US\$)	9800	3250	1549	1458
淨收入(2007; Millions;US\$)	3411	530	-36	101

資料來源：各公司網站、財報

### 3.3 資料蒐集方式

本研究主要以次級資料為主。主要來源為該公司之財務報告、公開說明書、企業網站、各大產經資料庫（公開資訊觀測站、ITIS 產業資料庫、電子時報）、專利資料庫（USPTO）、期刊、論文、工研院研究報告等等。

個案公司-台積電之資料收集時間為 1997~2007 共11年；而與其他晶圓代工業者之比較，由於公司創立初期之相關資料，無法完整收集而得，故本研究資料收集時間為 2000~2007 共8年。

## 第四章、研究分析、討論

本章將根據資源投入-績效產出之研究架構，分為三個章節來討論：

- (1) 探討個案公司-台積電：結合摩爾定律及產業生命週期，來探討以下四個構面，為個案公司建構「技術發展模式」。1. 技術發展經費配置；2. 研發資源配置；3. 技術發展成果；4. 市場供需循環。
- (2) 比較晶圓代工-F4 業者，包括台積電、聯電、新加坡的特許半導體，中國大陸最大的晶圓代工公司中芯國際，來探討整個晶圓代工產業技術發展情況。
- (3) 探討晶圓代工技術發展趨勢對IC設計業者(上游)與封裝測試(下游)之影響。

### 4.1 晶圓代工技術發展模式 (以台積電為個案討論)

#### 4.1.1 技術發展經費配置

企業無論藉由內部或外部來源取得技術，必須支付各項技術取得費用，才得以進行技術發展活動。由於本研究的晶圓代工企業—台積電，其財報揭露的研發費用包含了內部的自行研發費用及外部的技術購得，無法將其準確的分出其比例。故本研究將技術發展經費係由當年之研發費用所決定。

企業決定當年度技術發展經費之方式有很多種，一般較為常見的是根據前一年的營收淨額某一比例所決定。根據本研究對台積電在技術發展經費和營收淨額之研究發現，前一年度營收淨額與當年度技術發展經費佔前一年之營收淨額之比例呈現如圖 4-1 之乘冪關係。也就是說，從2000年起，公司前一年賺的少（低營收淨額），反而做高度的投資。

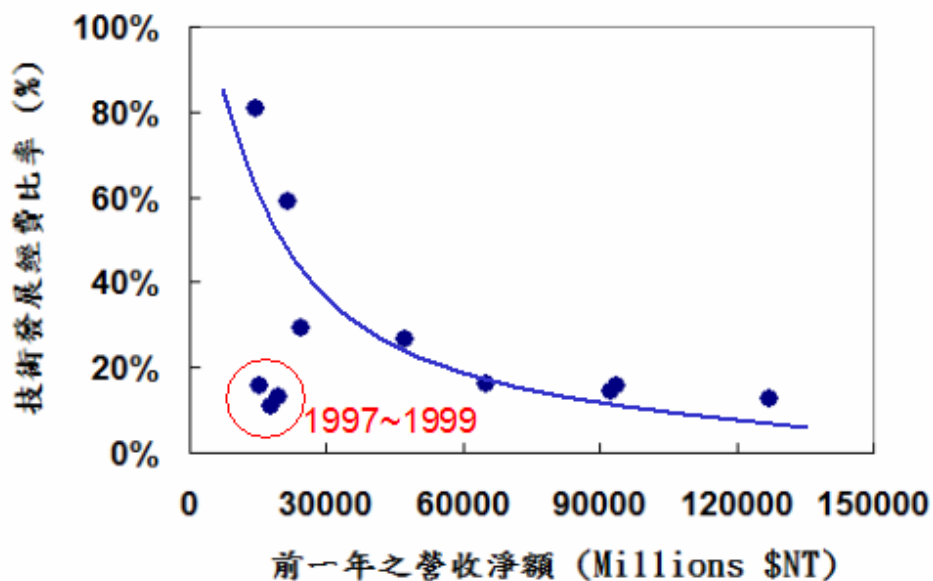


圖4-1 營收淨額與技術發展經費比例之關係



從整個公司的營運經費來看，如圖4-2 台積電的營運經費逐年增加，在2001年以後，技術發展經費比例約佔整個營運經費的60% 左右。換句話說，技術發展經費也是逐年增加。主要原因在於晶圓代工產業相當重視新製程技術的開發，若企業希望成為市場中領導者，必須重視研發活動以發展異於競爭者之新技術或技術超前競爭者，獲得競爭優勢。而台積電目前為晶圓代工產業之製程技術領導廠商，無論在專利權之申請數目或新製程技術之開發上，皆領先其他競爭者，可見該公司相當重視技術之自行研發。

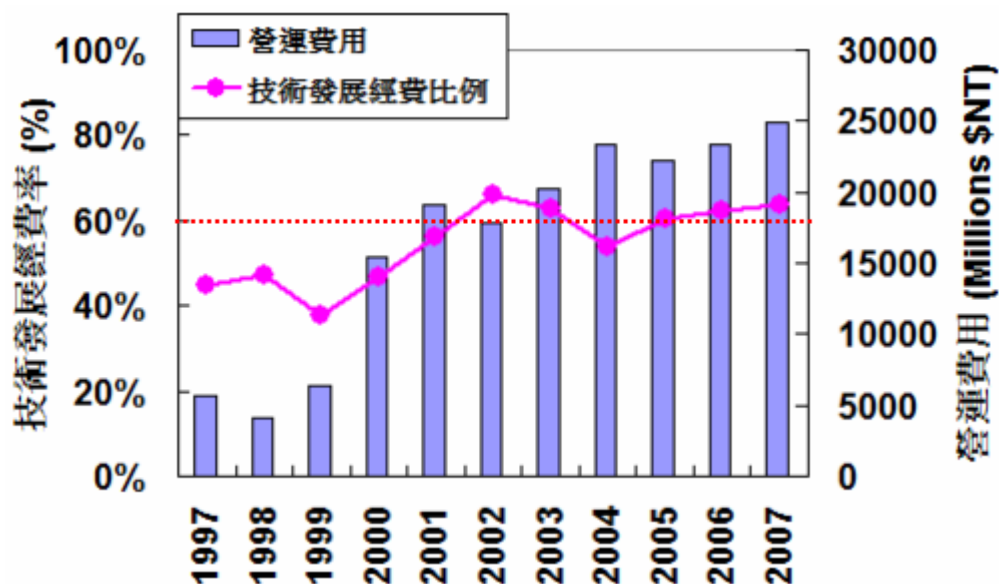


圖4-2 營運費用與技術發展經費比例之關係

#### 4.1.2 研發資源配置

本研究將採用技術發展經費和人員代表企業研發資源。技術發展經費採用財務報表揭露的研發費用；人員理應以研發人員作為表示，但此項數據並無公開資訊，故本研究則用公司總人數作為表示，來探討與研發能力之間的關係。

詹秋貴（2000）指出，研發人力與研發能力間會呈現非線性的成長曲線關係。在企業創立初期，由於較重視人才之培育與廠房設備的建立，以奠定未來之研發基礎，因此，研發能力成長較緩；當公司擁有足夠之研發基礎後，得以不斷開發新技術，因此研發能力曲線會隨研發人力之增加而快速提升；最後，當研發人員增加至一定水準後，企業已累積足夠之研發能力，對於研發能力之提升將會減緩，甚至會維持於一固定層級。

本研究之研發能力以製程技術發展里程作為表示(規格化之研發能力：Normalized RD Capability; 僅本研究使用)，即以線寬 90nm 以下為高階製程技術，0.13um 以上為成熟製程技術，故此參數與線寬面積相關。此部分將再參考詹秋貴（2000）模型設定方法，將研發能力設為 0~10之無單位值，指標 0 不具研發能力，而 10 表示有充分研發新製程之技術。本研究認為現今的公司總人數在 1997~2007年，可為公司帶來高水準

之研發能力，因此將研發能力設為 8.5，隨後研發能力將隨人員成長緩慢提升，最後達到研發能力之頂端。

此外，由於研發人員對研發能力之影響並非立即性的，必須經由一段時間之訓練和經驗累積，才足以培養出提升企業研發能力之關鍵技術與知識，這段遞延時間可長可短，最快2年，最慢可長達9年。台積電公司屬半導體代工產業之技術領導廠商，對於研發人才之培育較為積極，圖4-3 顯示台積電在1997~2007規格化之研發能力與公司總人數之關係(1997~2007)，其中可發現規格化之研發能力隨公司總人數之成長而提升。尤其在2000年七月購併德基、世大後，公司總人數增加近一倍，又適逢在隔年2001，12吋晶圓廠的加入，使得在 2001年之規格化研發能力迅速提升。隨後研發能力隨人員成長緩慢提升，最後在2007達到研發能力之頂端。

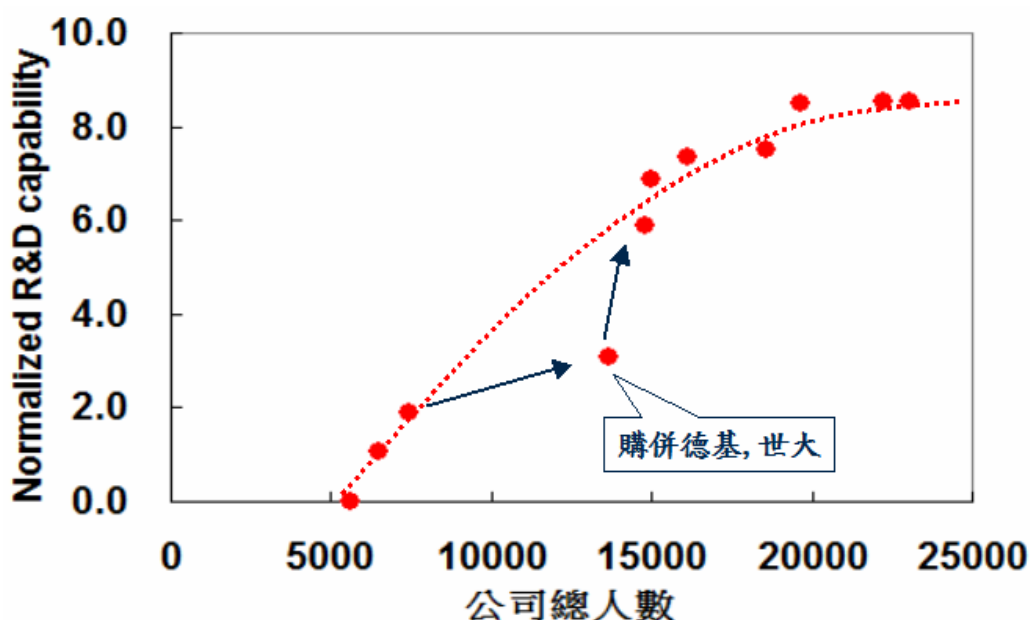


圖4-3 規格化之研發能力與公司總人數之關係(1997~2007)

圖4-4 顯示台積電規格化之研發能力與製程技術發展之關係(1997~2007)，其中有幾個現象值得注意：

第一、隨著時間的演進，新製程技術(尺寸微縮：dimension shrinkage)因價格與效能的雙重優勢(價格高、效能好)具備有能夠取代舊製程的能力。如圖中0.35um以上的產能被0.25um~0.15um的產能所取代，0.25um~0.15um的產能被<0.15um的產能所取代。但並不是新製程一定會取代舊製程，因為有少數的積體電路特性在製程微縮上並不具優勢，這其中又以功率積體電路、驅動積體電路等為代表，這也就是圖中>0.35um的產能雖然減少，但還是存在並有產量的原因之一。

第二、隨著時間的演進，新世代製程技術(尺寸微縮：dimension shrinkage)的出現時間週期大約為兩年，符合摩爾定律所預估的18~24個月。以台積電0.13微米世代到

90奈米世代製程發展的歷程為例，首先假設0.13um一個電晶體所佔用的面積為1，則90nm所佔用的面積為0.5，也就是說，同樣功能的IC用90奈米製程技術生產的晶片大小為用0.13微米製程技術生產的一半，因此每顆IC的成本也大幅下降。但是90奈米製程技術約落後0.13微米2~3年的時間才技術成熟，在這期間若能介入與0.13um和N90製程技術，對晶圓代工製程經驗的累積或成本的降低都有相當大的助益。台積電的0.11微米技術就是基於這樣的概念而產生的，0.11um推出的時間約在0.13um推出後約一年多的時間，當時0.13um技術已成熟，但90nm技術還未成熟尚不能量產，0.11um的適時出現，其更小的晶片面積將比0.13um更具低成本(甚至高效能)的優勢。也因此，低成本的次世代製程技術如0.22um(0.25um的次世代)、0.15um(0.18um的次世代)、0.11um(0.13um的次世代)也成為台積電技術發展藍圖中不可或缺的一環。

第三、規格化研發能力隨著時間的演進而逐年增強，台積電首座全規模12吋晶圓廠於2001開始加入量產(目前有兩座)，但是從圖中所示的2001年後的規格化研發能力的提升比只有八吋廠時代較為減緩。可能原因有二：

- (1)新製程技術因尺寸逐漸微縮使得研發較為困難：因為新技術的良率開發與尺寸面積成反比，一個新世代技術的尺寸面積大約微縮了將近50%，故新技術開發之困難度至少增加一倍以上。
- (2)12吋晶圓的技術較8吋晶圓困難：12吋晶圓的製程設備完全與8吋晶圓不同，技術的開發須完全重新開創；另外，因為面積為8吋晶圓的 2.25倍，所以，在晶圓缺陷(Defect)的改善上，也較8吋晶圓來的困難。

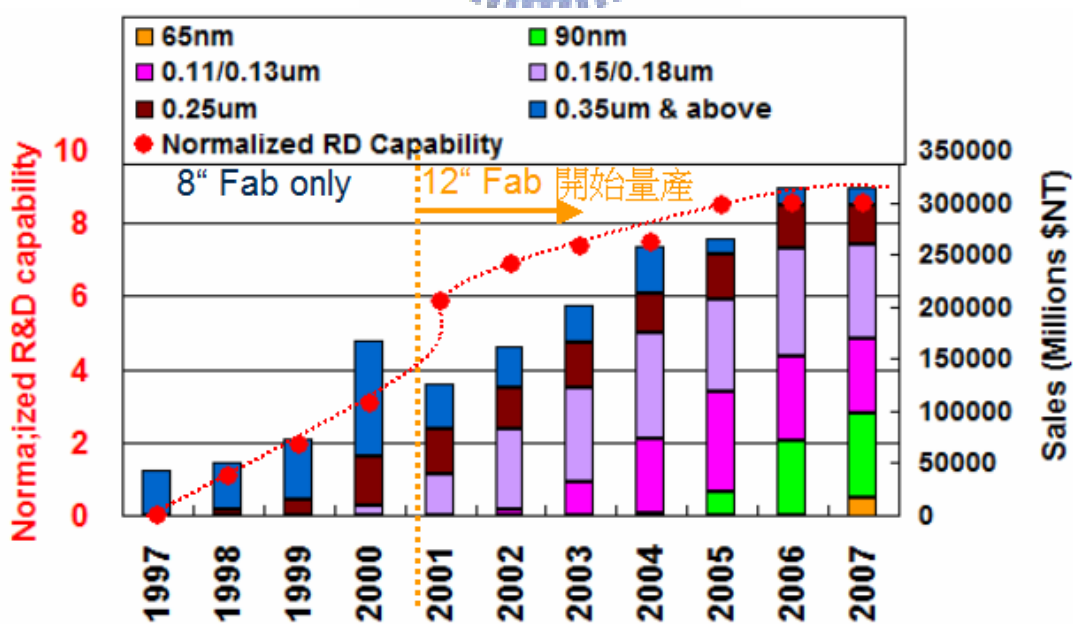


圖4-4 規格化之研發能力與製程技術發展之關係(1997~2007)



## (一)尺寸微縮(技術發展)在效能上的優勢

對積體電路而言，衡量其效能的指標主要有兩者，即运算速度与功率消耗，隨著尺度微小化，電晶體的运算速度也呈現增快的趨勢，這是好的方向；另外，隨著尺度微小化，電晶體的消耗功率會跟著減小，這也是往好的方向。以上是針對單個電晶體而言，若是對整顆IC而言，IC运算速度也呈現相同的趨勢；但是對消耗功率而言，由於電晶體密度的增加，整顆IC的單位面積消耗功率密度是不變的。

至於為什麼 IC 要越做越快呢？答案就在基於人類的慾望是沒有限制的市場需求，每一位消費者都希望擁有性能更好、更便宜的產品。因為物理定律(電晶體的运算速度)的限制，要滿足這些人類的慾望就必須要靠更快的積體電路。

## (二)尺寸微縮在生產與取代性上的優勢

另外一個重要的優點是隨著尺度微小化，我們可以把更多更多的電晶體放在一個 IC 上，因為由圖 3-5 之不同晶片面積下之良率對缺陷密度轉換圖可知，晶片(chip / die / IC)面積越小其良率也就越高，這是晶圓生產上的本質。但是若想要讓晶片多些功能就必須將更多的電晶體放在這顆 IC 上，相對的晶片面積增加導致良率降低。對於這種多功能與高良率的兩難，最佳的解決之道就是尺度微小化，如此我們可以在不增加晶片面積的情況下將更多的電晶體放在這顆 IC 上，兼顧了功能與價格。

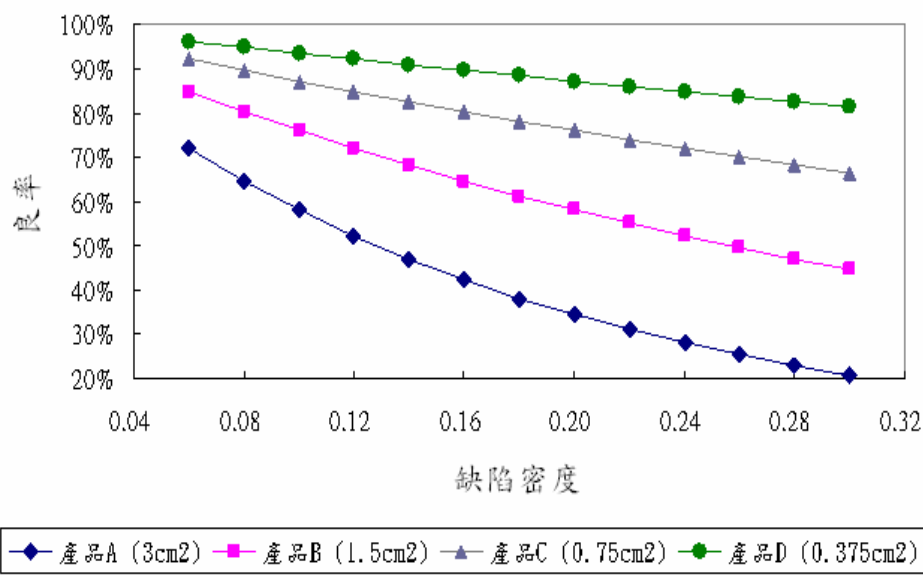


圖 4-5 不同晶片面積下之良率對缺陷密度轉換圖 資料來源：參考文獻 45

尺度微小化的另外一個優點是商品的體積縮小，舉例來說：30 年前的電腦跟一個房間一般大小，現在的筆記型電腦只有 B5 紙張大小，重量不到一公斤，功能也更強；10 年前的行動電話體積大又貴，現在的行動電話輕薄短小功能也更強；而現在的數位相機和 3 年前的機種相較，明顯輕巧許多。又尺度微小化將使得每片晶圓所切割出的晶片數增加，若每片晶圓價格不變且良率不變，晶片面積縮小 10%，也就是每顆晶片的價格可下降 10%。

### (三) 尺寸微縮的劣勢

在 1997 年時，產能主要集中在  $>0.35\mu\text{m}$  這一塊，到了 2007 年時，產能則分佈從  $<65\text{nm}$  到  $>0.25\mu\text{m}$ 。由以上的討論可得知，市場的需求也就是驅使晶圓代工業向前持續不斷投資先進製程技術。高階製程不僅提供更快的晶片(根據電晶體微小化導致速度提升)，也提供更便宜的晶片(根據晶片微小化導致晶片面積減少，不僅提高良率，也增加每片晶圓所切割出的晶片數，結果都是成本降低)。如此不僅具備取代現有製程的能力，由於更好功能的出現，也具備開發新應用市場的能力。例如電腦、照相手機…等 3C 商品的演進，也都是因為夠好夠便宜晶片的出現而讓產品改朝換代或應用在新領域。

#### 4.1.3 技術發展成果

此部份主要探討投入之研發經費累積量(RD Expense Accu.)所產生之專利權數之累積量(Paten Accu.)、研發能力(Normalized RD capability)、研發強度(RD Strength)與公司商品產量(Wafer shipments)之關係。由於公司當年度之商品產量多寡並非單靠當年度所獲得之新技術影響，其中還包括過去幾年之技術累積，因此，此處採用累積量來分析對產量的影響。

##### 一、專利權

Ernst(1997)指出，研發經費累積量與專利權累積量存有如 S 曲線般之非線性正向關係。本研究根據台積電公司 1997~2007 之次級資料數據分析發現，兩者並無發現如學者提出之非線性正向關係，但其呈現線性正向關係(如圖 4-6 所示)。經分析後發現，其可能原因為，由於台積電公司其對技術發展之積極態度，故此時公司之專利權累積量已經過了前段之培養期，處於快速成長階段。以 2000 年作一分界，可看出 2000 年以前，兩者之斜率較大，專利累積數成長速度較快，反之，2000 年以後成長速度較慢，原因可能是 12 吋晶圓及逐年新技術-尺寸微縮的困難度。這些都會影響未來的專利累積，因為未來公司為保有技術、價格競爭力，必須朝向更小尺

寸(45nm, 32nm 及 22nm)及更大尺寸晶圓(18 吋)技術前進，專利開發更困難及需要更大的研發費用。

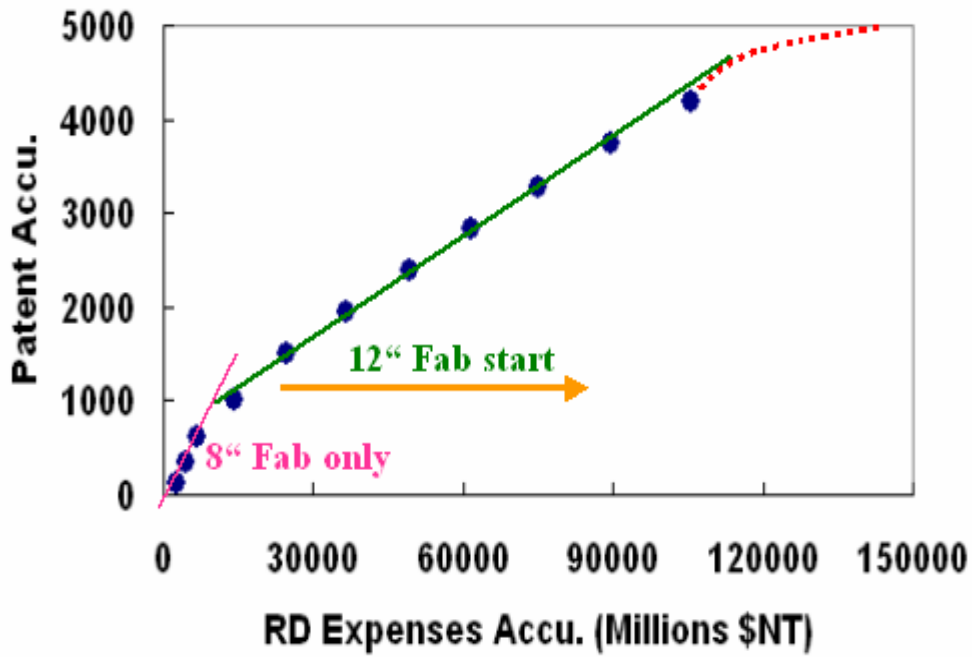


圖 4-6 專利累積量與研發經費累積量關係

專利權所帶來的技術能力對於公司研發能力將產生正向影響，專利權數累積量與規格化研發能力之關係如圖 4-7 所示。

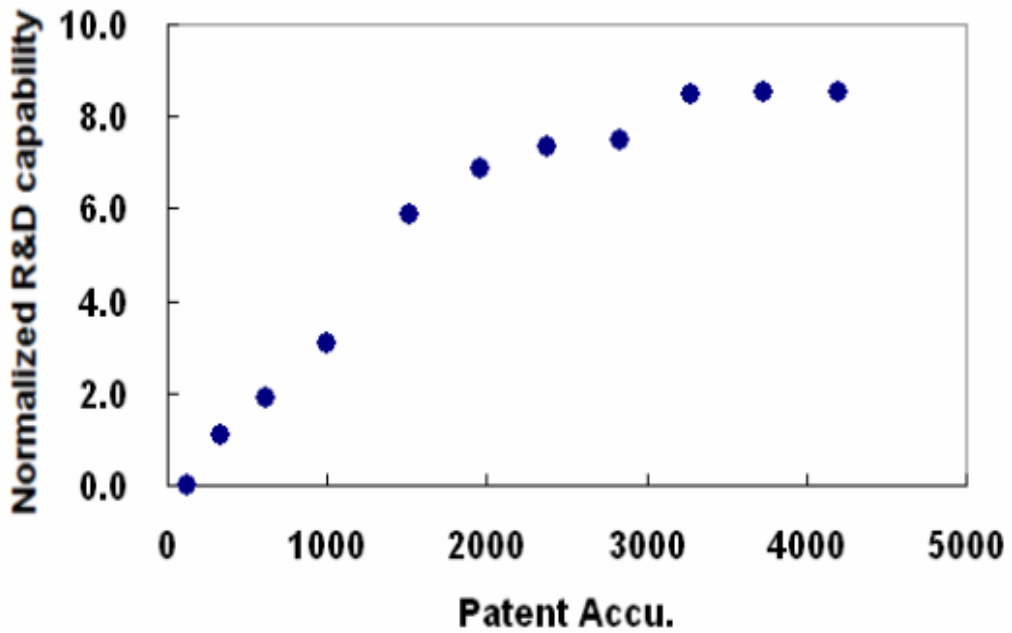


圖4-7 專利累積量與規格化研發能力關係

## 二、產量 (Wafer shipments)

研發能力(Normalized RD Capability)：可視為公司之技術能力，其與公司產量(Wafer Shipments)之關係，兩者將呈現如圖 4-8 之非線性正向關係，此關係猶如 Ernst(1997)提出之技術生命週期 S 曲線。

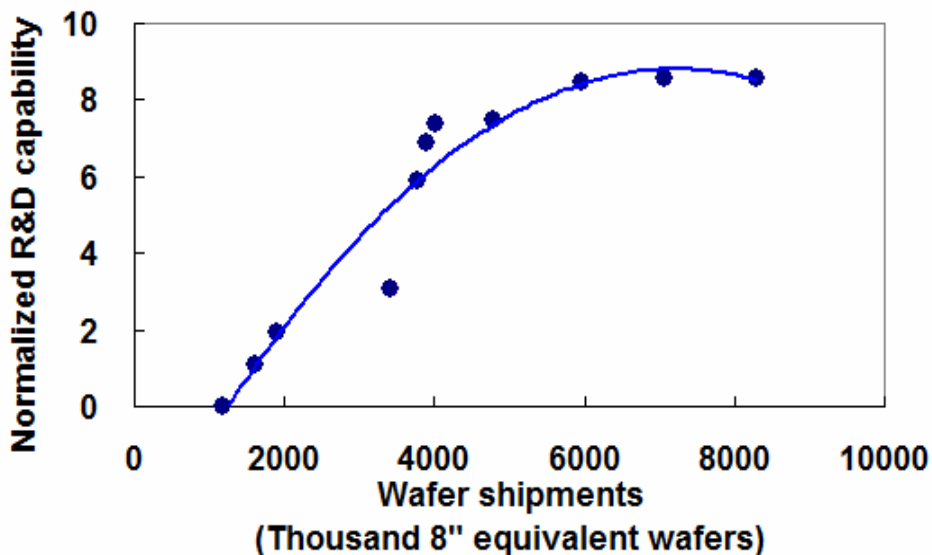


圖4-8 規格化研發能力與產量關係

研發強度(RD Strength; 研發費用/淨銷售量比例)：由於公司當年度之商品產量多寡並非單靠當年度所獲得之新技術影響，其中還包括過去幾年之技術累積，因此，此處採用累積量來分析對產量的影響。如圖 4-9 所示，以財報資訊所揭露的研發強度(研發費用/淨銷售量比例)與產量之關係相似於規格化研發能力(Normalized RD Capability) 與產量之關係。

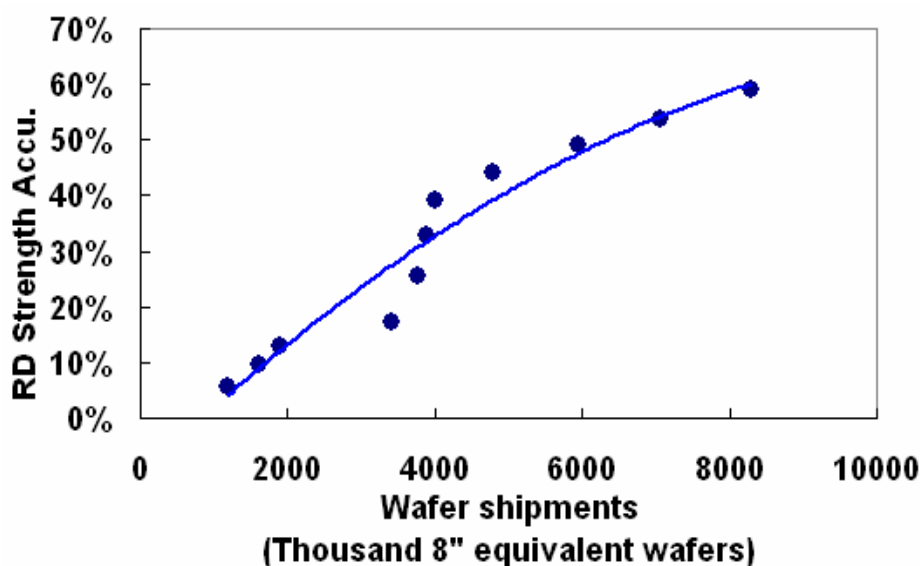


圖4-9 研發強度與產量關係

#### 4.1.4 市場供需

由於半導體產業景氣的大好大壞，使得半導體產業的廠商營運績效亦呈現隨之成長或衰退。當景氣擴張時，需求增加，生產與銷售亦提高，進而導致生產者提昇投資金額，因而造成資本支出大幅成長，但隨著新廠的逐漸完工並量產，供給大幅增加，因而積體電路(Integrated Circuit; IC)的平均晶圓銷售價格(ASP)逐步滑落，景氣便產生低迷現象。本研究以北美半導體設備訂單/出貨值 B-B ratio (Book-to-Bill ratio)、產能利用率(Utilization Rate)及平均晶圓銷售價格(ASP)及代表市場景氣循環參數，探討晶圓代工產業之景氣循環與企業經營績效的關聯性。

##### 一、B-B ratio (Book-to-Bill ratio)

半導體廠商對未來景氣的判斷，從產業整體 BB 值的變動，最能具體反映。由於半導體設備的採購必須以長期訂單處理，BB 值是以未來設備訂單金額，除以現在實際付出的採購金額，BB 值大於 1，代表廠商看好未來景氣，對設備投資比現在多。圖 4-10 B-B ratio 與 Net Income 呈現正向關係，正說明半導體晶圓代工產業企業經營績效與景氣循環之關係。2004 年以後因為產能的拓充得宜，導致 Net income 的大幅增加。

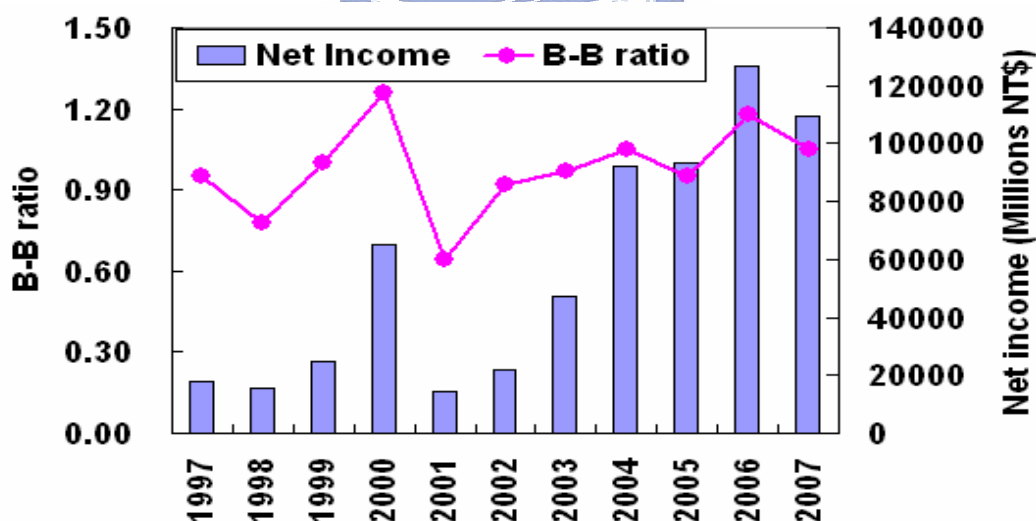


圖 4-10 B-B ratio 與 Net Income 關係

##### 二、產能利用率 (Utilization Rate)

晶圓代工產業之產能利用率(Shipment/Capacity)也是判斷景氣循環的指標之一。上游客戶下訂單的數量是基於市場供給與需求的考量，因此產能利用率即可立即表現出現在及未來短期內之景氣好壞。圖 4-11 產能利



用率與 Net Income 呈現正向關係，說明半導體晶圓代工產業企業經營績效與景氣循環之關係。

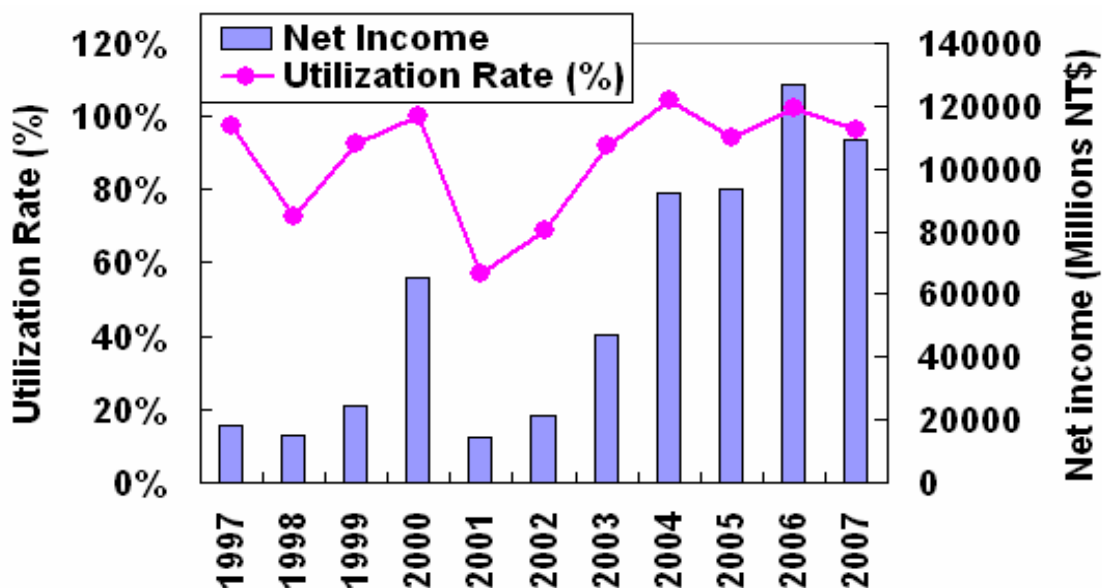


圖 4-11 產能利用率 與 Net Income 關係

### 三、平均晶圓銷售價格(ASP)

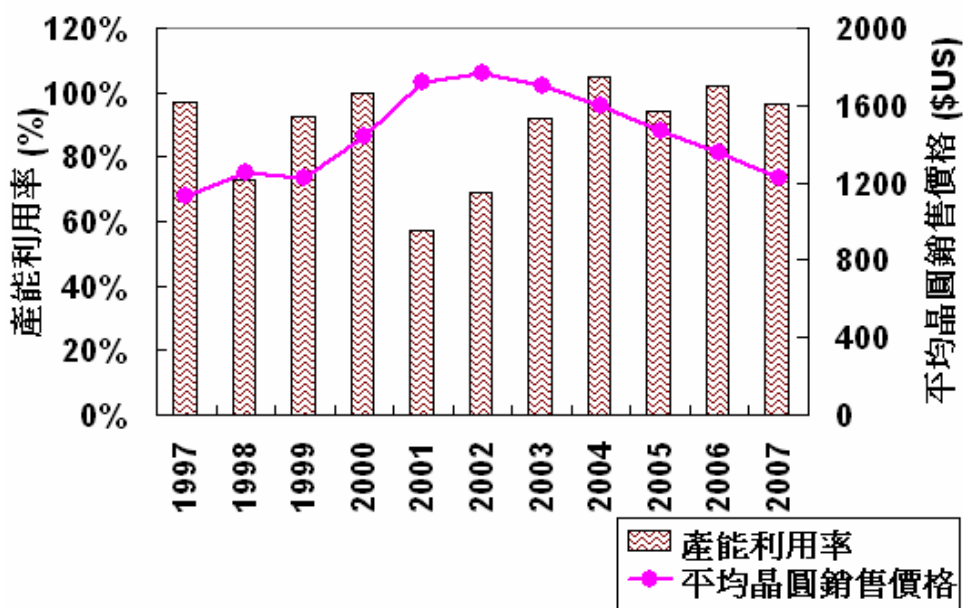


圖 4-12 產能利用率與平均晶圓銷售價格趨勢圖

如圖 4-12 顯示，台積電平均每片晶圓的代工價格在過去 11 年來維持在 1200 美元至 1800 美元區間內，與當時的市場景氣狀況(以產能利用率來作指標)似乎關係不大，然而由財務報表可知，台積電在 2003 年~2007 年的 5 年中研發投資共約為 20 億美元，由此我們便可看出摩爾定律的威力，摩

爾定律指出單位電晶體的價格以指數的形式下降(目前約為每 24 個月下降一半),所以雖然台積電花了約 20 億美元將 2003 年的主流製程技術 0.13um 製程推升到 2007 年的主流製程技術 65nm 製程技術(2003 年~2007 年 5 年間從 0.13um 到 65nm 線寬縮小一半,表示面積縮小為原來的 1/4,也就是相同面積下電晶體數量增加為原來的 4 倍,大約符合摩爾定律約為每 24 個月增加一倍電晶體數量),但這樣製程技術的推升對每片晶圓價格的推升卻幫助有限(雖然因為高階製程有較高的代工價格),只能用來抵抗單位價格下降以換取相對穩定的每片晶圓的代工價格。隨著單顆積體電路價格的下降,晶圓代工廠的抵制手段之一便是從良率的提升來防止單片晶圓(wafer)價格下滑的速度不要這麼快。

一般晶圓代工的價格上除了良率的影響外必須考慮 3 個因素,即光罩價格、採用製程的光罩數、以及採用何種製程。單片晶圓(wafer)的價格在某個時間點上是由製程的技術與複雜度來決定。所謂製程的技術指的是技術節點(technology node),例如 90nm 標準型製程晶圓的價格就比 0.13um 標準型製程晶圓的價格貴,而 0.13um 標準型製程晶圓的價格又比 0.18um 標準型製程晶圓的價格貴;而所謂的複雜度指的是除了標準型製程外,為了特定的用途還有所謂的低消耗功率(low power)製程、高效能(high performance)製程等選擇;通常越複雜(特定用途)的製程其所需的光罩數也就越多,而在某個時間點以及某個技術節點上,晶圓的價格與該晶圓所採用製程所需的光罩數呈現非線性的正比關係。

一顆 IC 在生產時需要一套只有其本身能夠使用的光罩,所以光罩的價格必須由這顆 IC 的生產總量所平均分攤,最先進製程的一套奈米製程用光罩可高達百萬美金之譜,一般也要數萬美金以上,且光罩同 IC 類似其價格具有隨時間遞減的特性。因此若這顆 IC 市場越大,每顆 IC 所分擔的光罩成本也就越低,若這顆 IC 的市場不佳,那麼光是光罩成本就可吃掉一家中小型 IC 設計公司的大半資本額。

採用製程的光罩數也會影響到晶圓的報價,因為若不考慮其它因素,晶圓的價格與該製程採用的光罩數成正比的關係,通常相同製程會用到不同的光罩數代表的是 IC 功能的細微調整或不同的市場應用或 IC 設計功力的高低。

採用何種製程技術亦會影響到晶圓的報價,意即採用相同光罩數的 0.13um 通用型製程其晶圓報價就和 0.11um 通用型製程不同。而相同光罩數的 0.13um 通用型製程與 0.13um 低功率型製程晶圓報價也不同。

## 4.2 晶圓代工-F4業者技術發展比較

由全球半導體晶圓代工的觀點出發，來探討及比較晶圓代工-F4業者之資本投入-績效產出所衍生的製程技術發展，包括台積電、聯電、新加坡的特許半導體，中國大陸最大的晶圓代工公司中芯國際，來探討整個晶圓代工產業技術發展情況。資料收集區間為2000年~2007年。

### 4.2.1 全球半導體晶圓代工市場

#### 一、晶圓代工市場佔有率

過去6年裡，全球晶圓代工前四大廠商的市場佔有率達83%~86%。若依市場佔有率分析，台積電(TSMC)、聯電(UMC)分居前二名，2002年IBM介入晶圓代工業務且和第三大代工廠特許(Chartered)聯盟；另外中芯國際(SMIC)於2002年開始進入晶圓代工市場，因擁有中國大陸政府支持、低廉的人力成本及充分的內需市場，成為台積電、聯電的最大威脅。

圖4-13顯示市場佔有率第一的台積電大約佔50%；居第二的聯電有逐年下降的趨勢，於2005年低於20%。中芯國際於2002年開始進入晶圓代工市場，市佔率逐年攀升，於2006年超越Chartered而成為第三大。

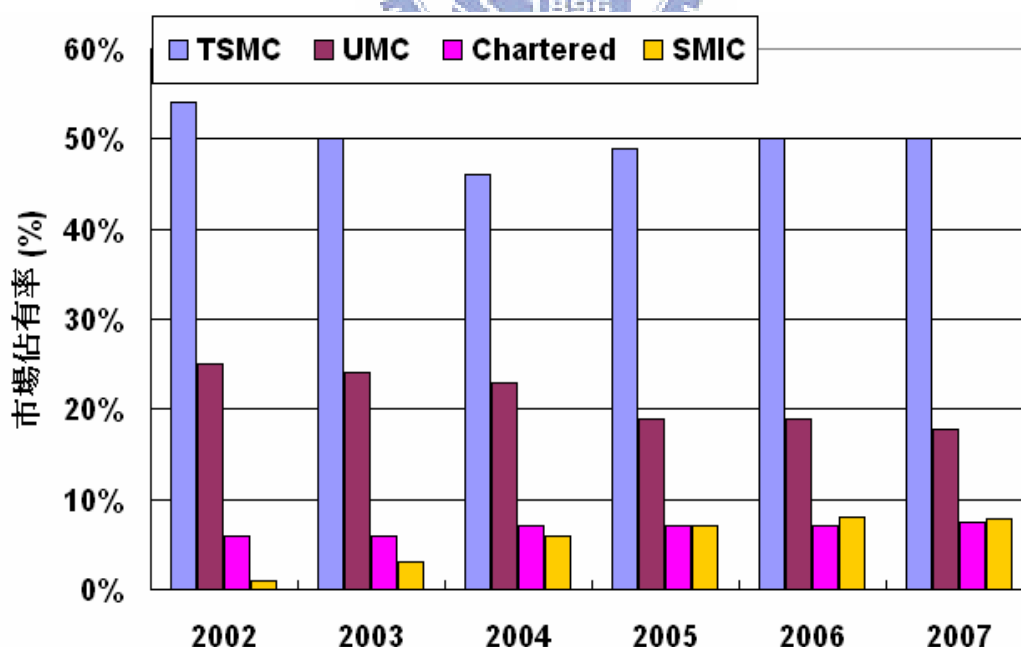


圖 4-13 晶圓代工-F4 市場佔有率；資料來源：IDC

## 二、製程技術營收佔有率

圖 4-14 顯示 90nm 和以下製程技術之營收皆提升至近四分之一，頂尖晶圓廠的真正焦點都在先進技術。0.13um 和以下製程所創造的整體市場營收從 2006 年的 60% 成長為 2007 年的 65%，其中 90nm 和以下製程的佔有率更從 17% 躍升為 23%。而 0.18um 依然以 28% 之姿佔有整體業界的絕大部分，在各種尺寸的晶圓中占有最高的營收比例。除了 90nm 與 65nm 之外，各種尺寸晶圓的佔有率都下降了。所以，全球晶圓業界必須研究採用更先進的技術，以抵消產品價格持續下降對營收造成的侵蝕，從而實現營收成長的目標。

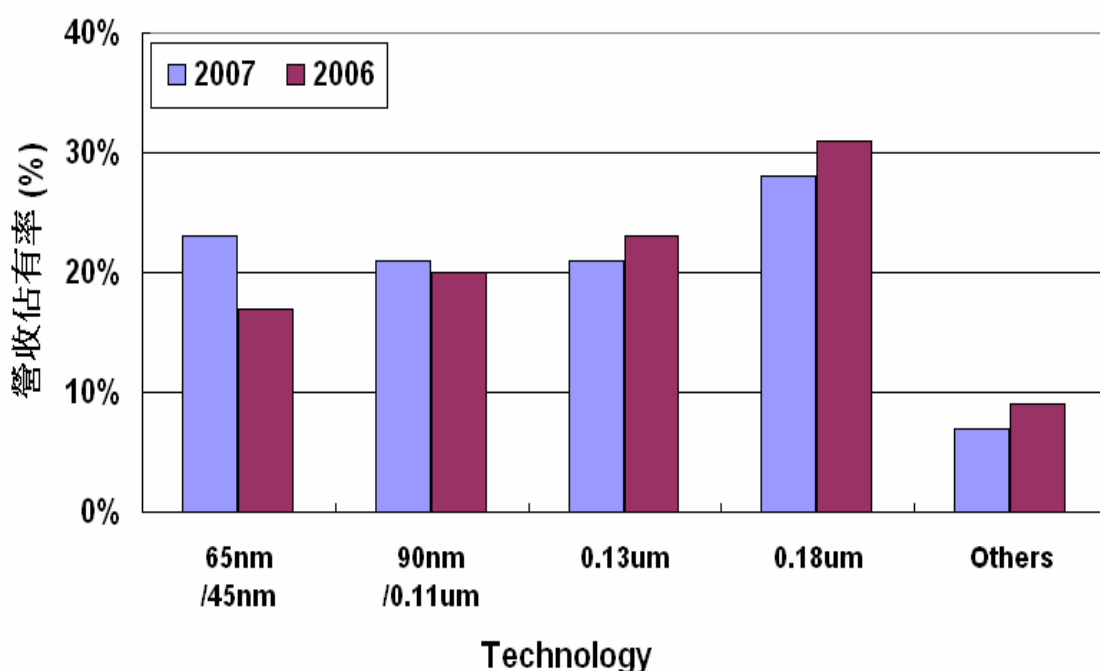


圖 4-14 全球晶圓代工各製程技術營收佔有率；資料來源：IDC

### 4.2.2 晶圓代工-F4業者之資本投入-績效產出分析

比較晶圓代工-F4業者之資本投入-績效產出所衍生的技術發展情況，包括 1. 技術發展經費配置；2. 研發資源配置；3. 技術發展成果；4. 市場供需循環，來探討整個晶圓代工產業技術發展情況。

#### 一、技術發展經費配置

從公司的技術發展經費來看，如圖 4-15。每家公司的技術發展經費是逐年增加的。主要原因在於晶圓代工產業相當重視新製程技術的開發，若企業希望保有市場競爭力，必須重視研發活動以發展異於競爭者之新技術

或技術超前競爭者。而台積電的技術發展經費為四家晶圓代工廠之冠，且約佔前四大公司投資金額之 50%，故台積電目前在全球晶圓代工業之市佔率約 50%，且為製程技術領導廠商，可見該公司相當重視技術之自行研發。

從技術發展經費佔公司的營運經費之比例來看，如圖 4-16。每家公司的技術發展經費的比例在近三年約 50%~60%。其可說明晶圓代工產業要開發新製程技術來保持競爭力，就必須投入更多的研發費用。

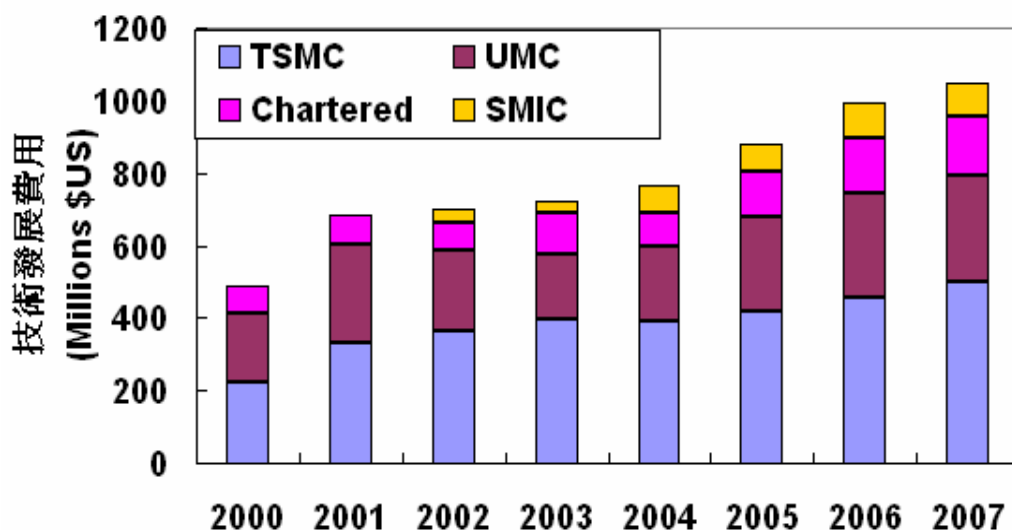


圖 4-15 晶圓代工-F4技術發展經費

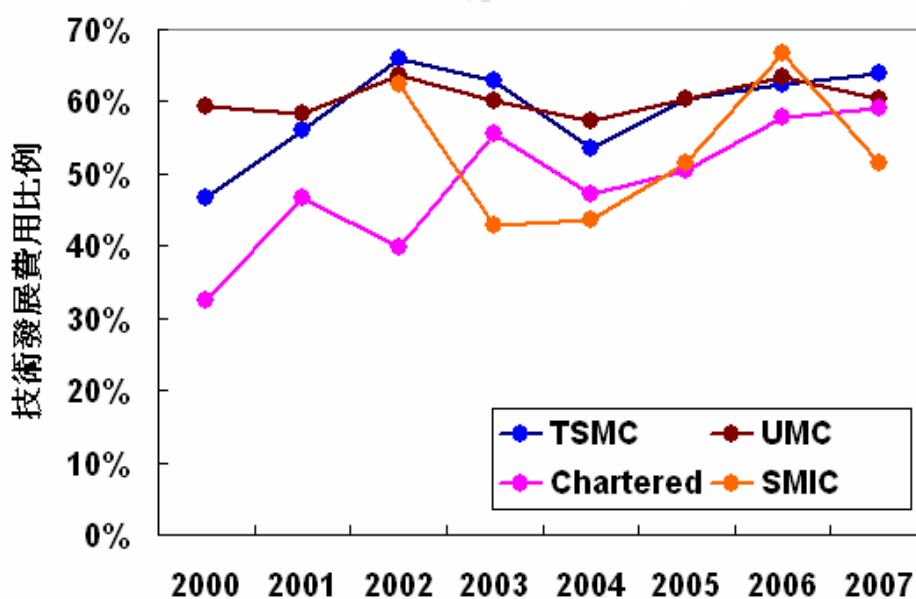


圖 4-16 晶圓代工-F4技術發展經費



## 二、研發資源配置

此部分採用技術發展經費和研發人員代表企業研發資源，研發能力則以技術發展之製程節點及其銷售額作為表示。半導體製程技術之線寬愈小表示研發能力愈好；銷售額愈高表示製程技術良率愈好，然良率愈好，表示研發能力愈好。技術發展經費採用財務報表揭露的研發費用；研發人員則以公司總人數作為表示，探討其對研發能力之影響。

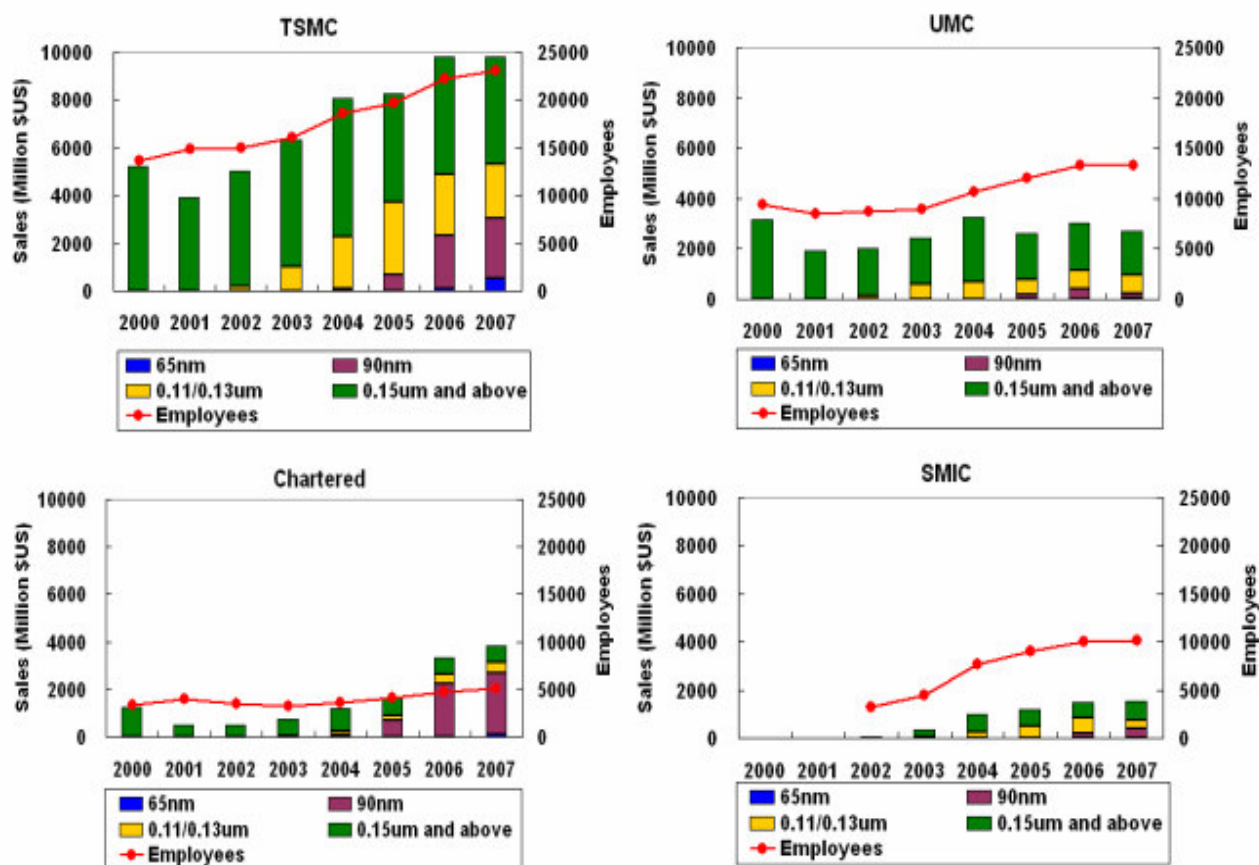


圖 4-17 晶圓代工-F4技術節點之銷售額及公司總人數之關係

由上圖 4-17 對於晶圓代工-F4 之間的比較，顯示出幾個觀察重點：

一、研發人員(公司總人數代表)：公司總人數與晶圓銷售額呈現正相關，即表示與研發能力正相關。各公司都有逐年增加研發人員趨勢，來加強製程技術的開發。尤以台積電總人數最多，擴充也最快，2007 年達約 23000 人；聯電次之，約 15000 人，特許最少，僅約 5000 人。

二、晶圓銷售額：台積電和特許之銷售額都有逐年攀升的趨勢，2007 年台積電有高達 100 億美金的晶圓銷售額；大陸的中芯則是最少。

三、技術製程節點：台積電率先於 2006 年就開始 65nm 製程技術的量產，聯電及特許都在隔年進行量產，而且特許的 65nm 之營收首度超越聯電，IBM 的技術授權有莫大的助益。大陸的中芯則是未在 2007 年進行 65nm 的量產，研發技術的能力立判高下。

### 三、技術發展成果

此部份主要探討投入之研發經費累積量(RD Expenese Accu.)所產生之專利權數之累積量(Paten Accu.)、研發強度(RD Strength)與公司商品產量(Wafer shipemnts)之關係。

#### (一) 專利權

Ernst(1997)指出，研發經費累積量與專利權累積量存有如 S 曲線般之非線性正向關係。除台積電其專利權數的成長隨著研發經費線性正向成長外，其餘三家晶圓代工業者皆呈現成長趨緩之趨勢，如圖 4-18。兩者存在如學者提出之非線性正向關係，且其呈現之關係為 S 曲線之中段及後段部分。未來公司為確保技術、價格競爭力，必須朝向更小尺寸(45nm, 32nm 及 22nm)及更大尺寸晶圓(18 吋)技術前進，專利開發會更為困難及需要更大的研發費用。

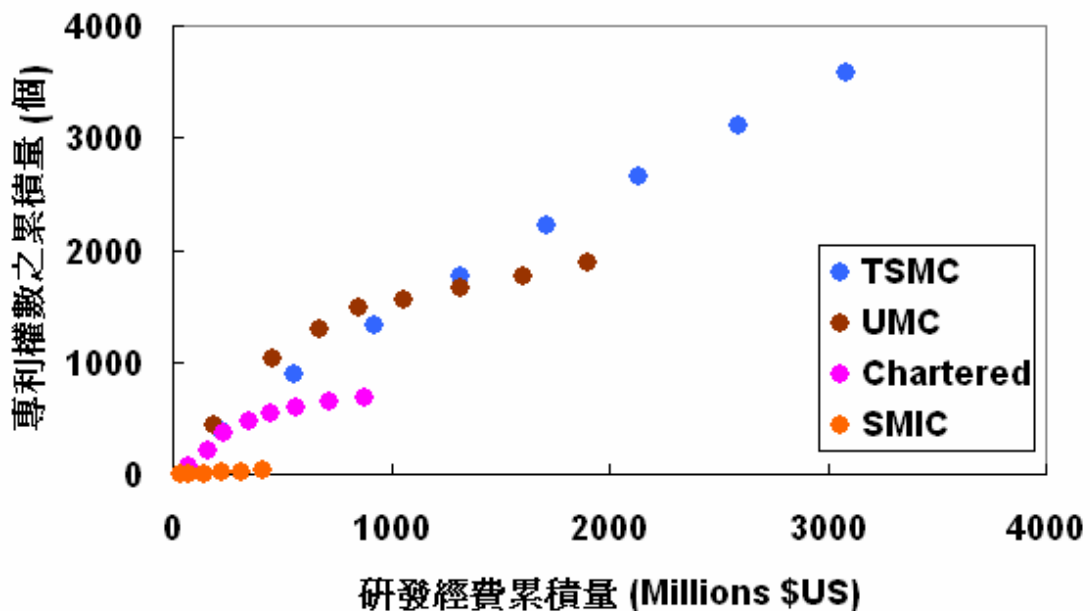


圖 4-18 晶圓代工-F4專利累積量與研發經費累積量之關係

#### (二) 晶圓產量

圖 4-19 顯示晶圓代工-F4 之晶圓產量成長趨勢，每家公司皆有逐年成

長。台積電之晶圓產量居冠，且於 2007 年突破一年銷售 8 佰萬片，聯電次之，約 3 佰萬片。另外，中芯首度於 2005 年超越特許成為第三大。

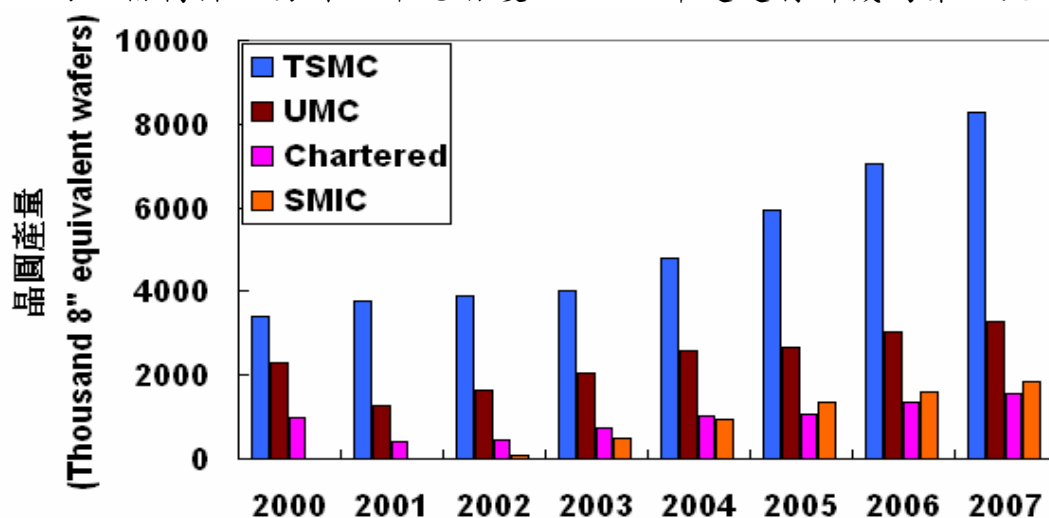


圖 4-19 晶圓代工-F4 之晶圓產量成長趨勢圖

### (三) 研發強度

圖 4-20 顯示 2000~2007 年晶圓代工-F4 之晶圓產量與研發強度累積量 (淨銷售/研發費用) 之關係，兩者呈現一正向相關，研發強度愈大，所能創造的晶圓產量就愈大。就各家比較而言，台積電只需花費 4.5 年即可達到 80% 且晶圓產量可達每年 4 佰萬片，而聯電需花費 6 年的時間且晶圓產量只有每年約 3 佰萬片，中芯及特許則需花費 8 年以上且晶圓產量每年還不到 2 佰萬片。研發強度之高低即可知曉。其與投入的研發人員與經費應有必然之關係。

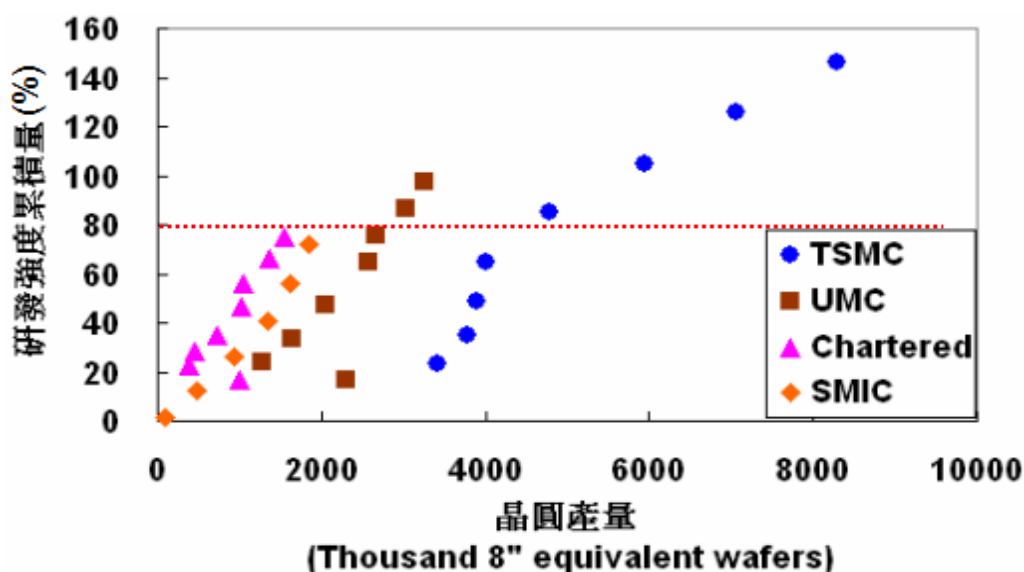


圖 4-20 晶圓代工-F4 之晶圓產量成長圖

#### 四、市場供需循環

##### (一) 淨營收對 B-B ratio 之影響

BB 值大於 1，代表廠商看好未來景氣，對設備投資比現在多。圖 4-21 B-B ratio 與 Net Income 呈現強正向關係，正說明半導體晶圓代工產業之企業淨營收與景氣循環具有強烈之關係之關係。(晶圓代工-F4 之市佔率總和達 80%以上，足以代表全球之晶圓代工產業)

當景氣不佳時(B-B ratio<1)，僅有台積電、聯電免於受於景氣的影響，而使公司變成虧損的地步。由此可見，技術的發展以求保有市場競爭力是非常重要的。

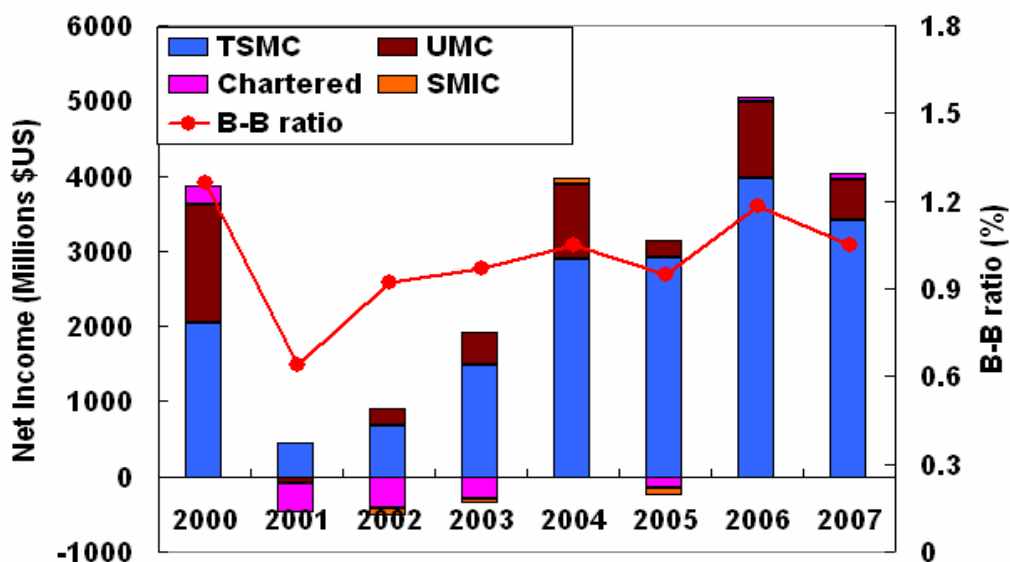


圖 4-21 晶圓代工-F4 之 Net Income 來自對 B-B ratio 的影響

##### (二) 產能利用率(Utilization Rate)

晶圓代工產業之產能利用率(Shipment/Capacity)也是判斷景氣循環的指標之一。上游客戶下訂單的數量是基於市場供給與需求的考量，因此產能利用率即可立即表現出現在及未來短期內之景氣好壞。圖 4-22 產能利用率與 B-B ratio 呈現正向關係，說明半導體晶圓代工產業是個高度與景氣循環相關之產業。另外，在景氣大好時，例如：2000 年時，各家晶圓廠的產能利用率都接近 100%，原因來自於景氣好所帶動的市場需求量大是主要原因。而台積電的產能利用率比起其它晶圓代工業者還要高出 20~30%，代表台積電對客戶的高品質服務及彼此間良好的互動關係。

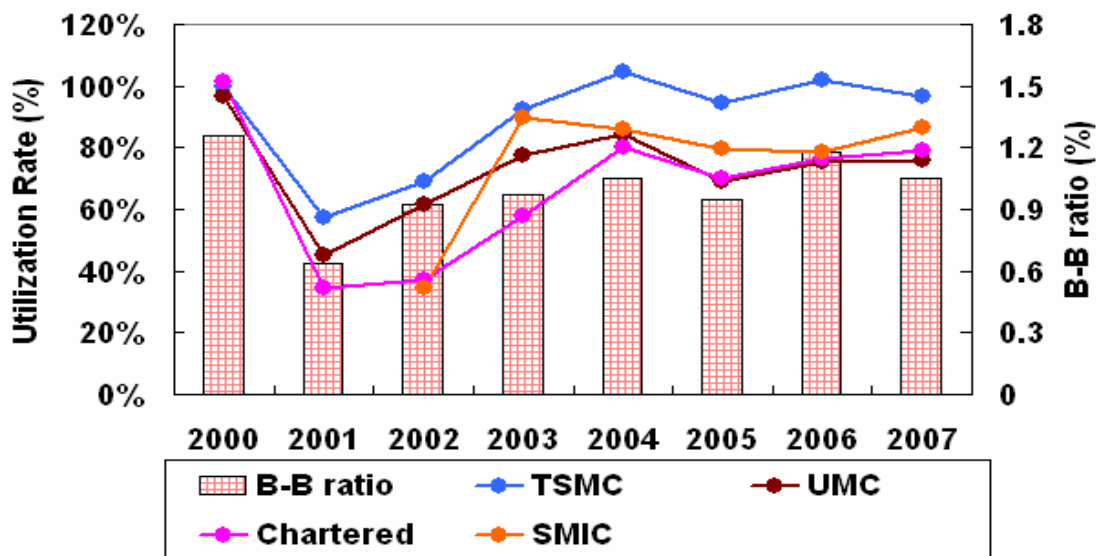


圖 4-22 晶圓代工-F4 之產能利用率與 B-B ratio 之關係

### (三) 平均晶圓銷售價格 (ASP)

如下圖 4-23 所示，平均晶圓銷售價格似乎沒有與景氣指標 B-B ratio 很強烈的正向關係。而台積電的平均晶圓銷售價格比起其它晶圓代工業者高出不少(約 200 美元)，來自於台積電對客戶的高服務品質及高產品良率。但由於各家競爭者的削價競爭，使得台積電之平均晶圓銷售價格逐年往下滑。台積電的高價格也使得這讓台積電流失了一些訂單。另外 IDM 公司挾其在特定製程技術上的優勢雖然其價格較高亦搶走了不少定單。各晶圓代工業界必須研究採用更先進的技術，以抵消產品價格持續下降對營收造成的侵蝕。

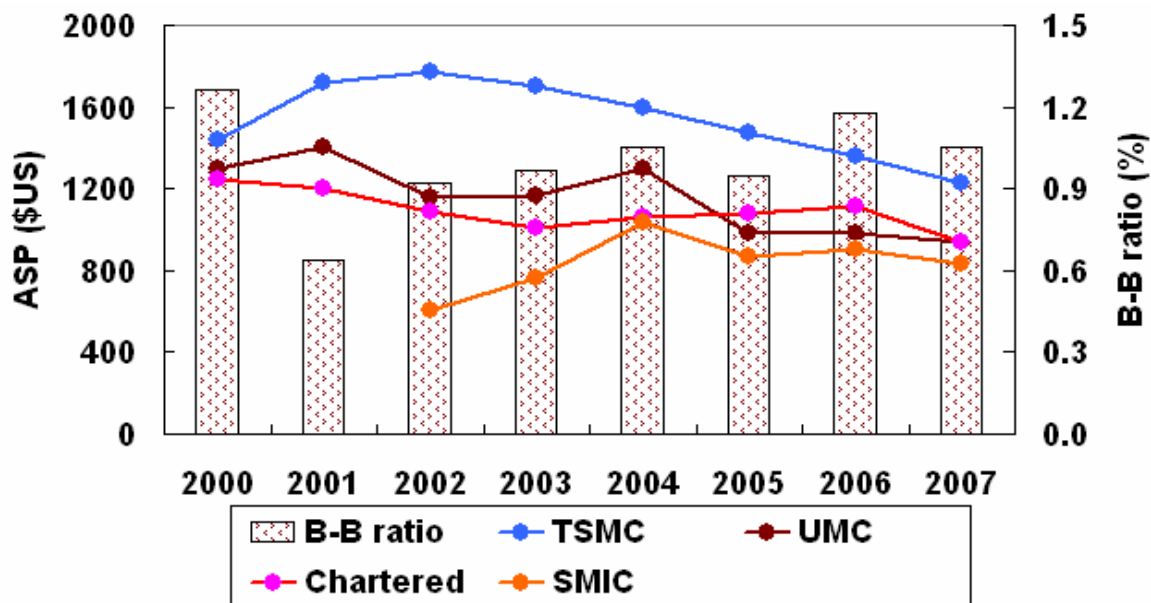


圖 4-23 晶圓代工-F4 之 ASP 來自對 B-B ratio 的影響



## 五、台積電、聯電、中芯、特許的製程發展比較

本節將全世界前四大晶圓代工公司，台灣的台積電、聯電以及新加坡的特許半導體，中國最大的晶圓代工公司中芯國際半導體等四家晶圓代工公司，依照先進製程與成熟製程分成兩大類，將其製程服務作一比較對照，如下列表 4-1、表 4-2 所示。由此二表可得知台積電的製程服務不論就其身深度或廣度皆遙遙領先其競爭對手。而中國大陸的中芯在先進的 65nm 製程還不具競爭力。新加坡的特許因與 IBM 結盟反而在先進製程不輸給聯電。

由此可得知，晶圓代工業不僅是進入障礙高的行業(蓋一座 12 吋晶圓廠要 30 億美元)，更是一個退出障礙高的行業。因為晶圓代工業者只要停下前進的腳步，不持續推出更高價格的高階製程服務以增加營業收入或毛利，到時外界的不確定因素如匯率或利率…等將深深影響公司的獲利能力與投資人的信心，這也就是驅使晶圓代工業經營者向前持續不斷投資的那雙看不見的手之一。

表 4-1 晶圓代工先進製程服務表

先進製程		台積電	聯電	特許	中芯
65nm	generic	○	○	○	
	low power	○	○	○	
	High Speed	○	○	○	
	Multi-Vt	○			
	Multi-I/O	○			
	Embedded-SRAM	○	○	○	
	HD-Memory	○			
	MM/RF	○	○		
90nm	generic	○	○	○	○
	low power	○		○	○
	High Speed	○	○	○	○
	Multi-Vt	○	○		
	Multi-I/O	○	○		○
	Embedded-SRAM	○	○	○	○
	HD-Memory	○			
	MM/RF	○	○		○
0.13um	generic	○	○	○	○
	low power	○	○	○	
	High Speed	○	○	○	
	Multi-Vt	○		○	
	Multi-I/O	○	○	○	○
	Embedded-SRAM	○	○	○	○
	HD-Memory	○			
	MM/RF	○	○	○	○
	0.11um	○		○	

資料來源：各公司網站

表 4-2 晶圓代工成熟製程服務表

成熟製程		台積電	聯電	特許	中芯
0.18um	generic	⊙	⊙	⊙	⊙
	low power	⊙		⊙	⊙
	High Speed	⊙			
	Multi-I/O	⊙	⊙		⊙
	Embedded-SRAM	⊙	⊙	⊙	⊙
	HD-Memory	⊙			⊙
	MM/RF	⊙	⊙	⊙	⊙
	SiGe	⊙		⊙	
	HV	⊙			
	CIS	⊙			
	Embedded-NVM	⊙			
0.15um	⊙	⊙		⊙	
0.25um	generic	⊙	⊙	⊙	⊙
	Multi-I/O	⊙	⊙		⊙
	Embedded-SRAM	⊙	⊙	⊙	⊙
	HD-Memory	⊙			
	MM/RF	⊙	⊙	⊙	⊙
	SiGe				
	HV	⊙			
	CIS	⊙	⊙		
	Embedded-NVM	⊙			
	0.22um	⊙		⊙	
0.35um	logic	⊙	⊙	⊙	⊙
	Embedded-SRAM	⊙	⊙	⊙	
	MM/RF	⊙		⊙	⊙
	SiGe	⊙			
	HV	⊙	⊙		⊙
	CIS	⊙	⊙		
	Embedded-NVM	⊙			
	0.30um	⊙		⊙	

資料來源：各公司網站

### 4.3 晶圓代工技術發展對IC設計業者(上游)與封裝測試(下游)之影響

#### 4.3.1 對IC設計業者(上游)之影響

由前述的討論可得知，隨著半導體製程技術的演進，晶圓代工業者必須投入更多財力、人力的投資，創造出更佳的产品量率及先進技術，來滿足 IC 設計業各種產品的需求。對 IC 設計業者來說，所在意的是產品效能及經濟效益(價格)，也就是說產品需採用何種製程(成熟或先進)。所以，該產品的預測出貨量佔有決定性的地位，因為先進製程的經濟效益在出貨量大時才顯現的出來，成熟製程反而在出貨量小時較具經濟效益，如圖 4-24

之示意圖所示。因此，晶圓代工技術發展對設計業者之影響可為下列幾點：

1. 對於單一規格市場量夠大的 IC 而言，例如：晶片組、繪圖晶片、可程式化邏輯晶片 (FPGA) 等，由於其須追求產品效能及經濟效益，故需要晶圓代工的先進製程，所以越大型的 IC 設計業者有不可被取代的競爭優勢。

2. 對於少量多樣的 IC 而言，例如消費型 IC，由於單一規格市場量不大，採用成熟製程的經濟效益較大，故中小型 IC 設計業者仍具有競爭力。

3. IC 設計業者與晶圓代工廠的合作愈密切，更可獲得晶圓代工廠在技術發展上之低成本、客製化等服務以及在產能、產品交期上等支援，將使得無晶圓代工廠密切配合的中小型 IC 設計業者將面臨競爭力的喪失。因此除非背後有強大的奧援，否則很容易被驅逐出這個市場。

4. 基於以上論述，小型 IC 設計業者被併購或倒閉等事件將會陸續增加。

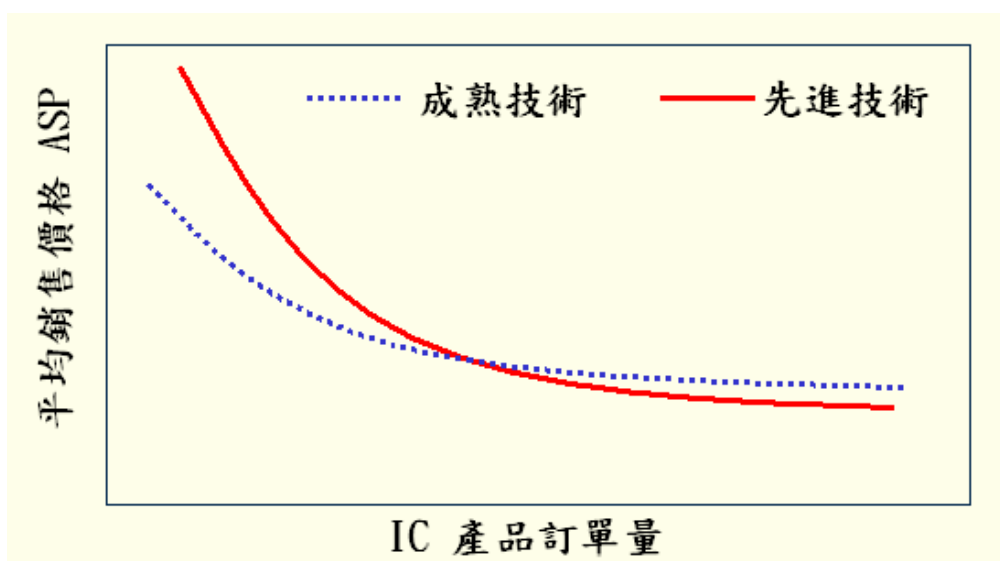


圖 4-24 晶圓代工不同製程技術經濟效益示意圖

#### 4.3.2 對封裝測試業者(下游)之影響

半導體製程技術朝奈米化發展，及電子產品輕薄短小的發展趨勢，使封裝測試技術的困難度升高，需投入之資金也提高，使業內廠商需付出更昂貴的代價來創新研發以維持產業競爭力。但技術進展快速再加上產品生命週期縮短，單靠己力研發創新恐緩不濟急，故業者亦透過購併、策略聯盟等方式去快速獲得所需產品、技術、市場等，以保持競爭優勢。

有鑒於封裝測試產業日益艱困，獲利空間在廠商相互廝殺下日益稀薄，一線封測大廠由於產能規模較大，高資本支出的特性，可以朝高階市場發展，尤其近年來，在可程式邏輯晶片、繪圖卡晶片與晶片組 3 大主力產線的採用下，覆晶封裝(Flip-Chip)已成為國際封測大廠視為重點發展的高階產線。而利基型二線廠產能規模較小，高階封測投資保守的特性，其主要固守中低階利基產品。

另外，由於近年來全球整合元件製造廠（IDM）掀起「輕晶圓廠」（fab-lite）經營策略，前段生產製造與後段封測紛委外代工廠，尤其是設備投資高與產值較低的封測釋出訂單更為明顯，如圖 4-25 預估所示，2005 年專業代工封測市場佔所有封測市場的比例為 41%，但此比例到 2009 年將會上升至 51%。這使得封測業積極搶食 IDM 訂單，成為營運成長的一大動力。

以全球封裝測試第一大廠日月光為例，其前十大客戶，包括 Broadcom、Cambridge、Freescale、IEE、聯發科、微軟、NEC、力晶、Qualcomm、威盛，其中前五大約佔 2007 年營收比重 26%，前十大共計營收比重達 43%。所以，爭取 IDM 廠新客戶將是封裝測試業者業績成長的動力。

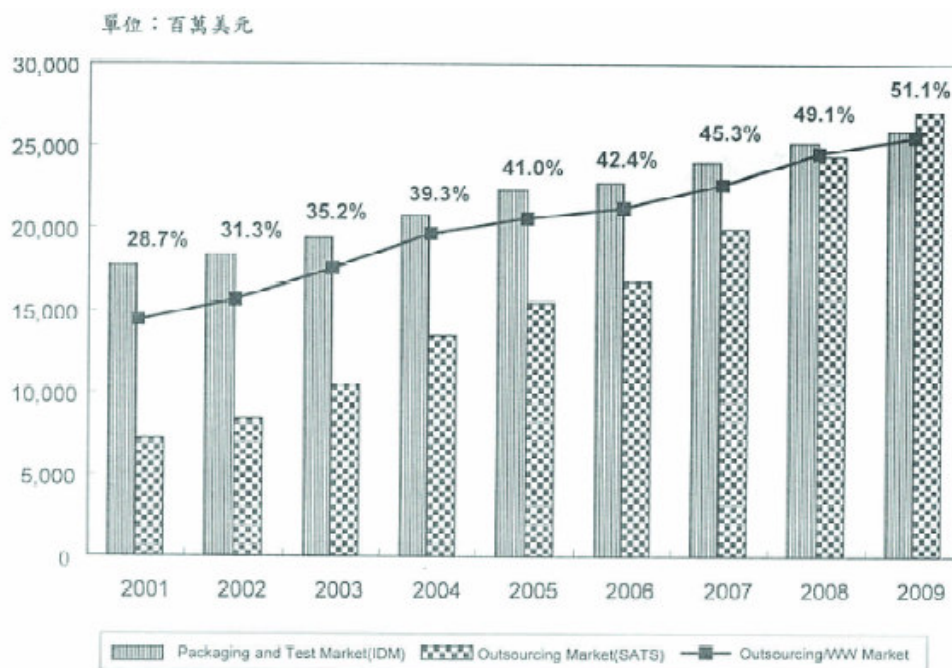


圖 4-25 2001-2009 年全球封測委外比例 資料來源：工研院

## 第五章、研究結論與建議

晶圓代工屬技術密集高之高科技產業，廠商之技術發展攸關公司之經營績效。因此，由前述之研究討論，藉由個案公司(台積電)及其競爭者探討摩爾定律、資本投入-績效產出分析架構，來闡述晶圓代工製程技術發展之趨勢，所得結論及建議如下：

### 5.1 研究結論

一、 個案公司(台積電)藉由資本投入-績效產出之分析模式，其無論在研發能力(Normalized RD Capability)、產量(Wafer Shipments)、營收淨額(Net Income)、研發經費(RD Expenses)、研發人力(公司總人數代表)、專利權，其與公司產量之關係，在 1997~2007 年間，皆呈現如產業生命週期曲線般之發展趨勢。

以專利權為例，由於台積電公司對技術發展之積極態度，故此時公司之專利權累積量已經過了前段之培養期，處於快速成長階段。以 2000 年作一分界，可看出 2000 年以前，專利累積數成長速度較快，反之，2000 年以後成長速度較慢，其原因可能是 12 吋晶圓及逐年新技術-尺寸微縮的困難度。這些都會影響未來的專利累積，因為未來公司為保有技術、價格競爭力，必須朝向更小尺寸(45nm, 32nm 及 22nm)及更大尺寸晶圓(18 吋)技術前進，專利開發更困難及需要更大的研發費用及研發能力、強度。

二、 爾定律描述了半導體技術發展的趨勢，隨著積體電路長期發展的可預測特性，個案公司(台積電)隨著時間的演進，新世代製程技術(尺寸微縮：dimension shrinkage)的出現時間週期大約為兩年，大致符合摩爾定律所預估的 18~24 個月。製程技術的發展對晶圓代工價格的影響、IC 效能上的演進、IC 生產上的優勢、以及 IC 的取代性等等皆有影響。

三、 從 B-B ratio (Book-to-Bill)及產能率用率(Utilization Rate)等與景氣循環相關指標來看，其與營收淨額(Net Income)呈現強烈正相關。正說明晶圓代工產業企業經營績效與景氣循環之正相關之關係。

四、 藉由資本投入-績效產出之分析模式，探討全球主要半導體晶圓代工業者-F4 的製程技術發展，加上製程技術服務的比較，可知台積電目前還是居於領先的地位。



## 五、對 IC 設計業者的影響：

- a. 產品市場量能：對於單一規格市場量夠大的 IC 而言，需要晶圓代工的先進製程，愈大型的 IC 設計業者有不可被取代的競爭優勢。對於少量多樣的 IC 而言，採用成熟製程的經濟效益較大，故中小型 IC 設計業者仍具有競爭力。
- b. 合作密切度：IC 設計業者與晶圓代工廠的合作愈密切，更可獲得晶圓代工廠在技術發展上之低成本、客製化等服務以及在產能、產品交期上等支援，將使得無晶圓代工廠密切配合的中小型 IC 設計業者將面臨競爭力的喪失。因此除非背後有強大的奧援，否則很容易被驅逐出這個市場。

## 六、對封裝設計業者之影響：

- a. 製程技術發展影響：半導體製程技術朝奈米化發展，及電子產品輕薄短小的發展趨勢，使封裝測試技術的困難度升高，需投入之資金也提高，使業內廠商需付出更昂貴的代價來創新研發以維持產業競爭力。但技術進展快速再加上產品生命週期縮短，單靠己力研發創新恐緩不濟急，故業者亦透過購併、策略聯盟等方式去快速獲得所需產品、技術、市場等，以保持競爭優勢。
- b. 產品市場影響：有鑒於封裝測試產業日益艱困，獲利空間在廠商相互廝殺下日益稀薄，一線封測大廠由於產能規模較大，高資本支出的特性，可以朝高階市場發展。而利基型二線廠產能規模較小，高階封測投資保守的特性，其主要固守中低階利基產品。

## 5.2 研究建議

### 5.2.1 對晶圓代工業者的建議

對於在半導體產業愈加重要的專業晶圓代工廠商來說，IDM 廠商將釋出更多委外代工或生產合作之機會，尤其是高階製程技術，其結果可能就是晶圓代工產業的平均成長率高於半導體產業的平均成長率。

2008 年 5 月初全球 CPU、Memory 及 Foundry 各自領導廠商 Intel、Samsung 與 TSMC 共同宣布將合作在 2012 年跨入 18 吋晶圓廠世代。半導體大廠挾著龐大產能、雄厚資本、技術研發實力構築規模的既有優勢，此次

進一步透過跨入更大尺寸晶圓廠世代，將高階半導體製造市場的進入障礙向上墊高，使三家公司能進一步擺脫各自的競爭對手，鞏固領先地位。因此，持續投資先進製程與產能、客戶導向、成本領導、差異化等則是對晶圓代工業者的建議。

### 5.2.2 對IC設計業者的建議

IC設計公司以往單靠一兩顆在市場上熱賣的產品即能稱霸，隨著技術進展快速再加上產品生命週期縮短，公司也很難逃脫經營每況愈下的宿命。因此，對IC設計公司而言，與晶圓代工廠保持密切的關係及慎選所採用的半導體製程技術，以獲得最大經濟效益(效能、成本)，並且擴大自身的規模(包括合併、聯盟)來取得市場競爭力。

### 5.2.3 對封裝測試業者的建議

技術進展快速再加上產品生命週期縮短，單靠己力研發創新恐緩不濟急，建議業者亦透過購併、策略聯盟等方式來快速獲得所需產品、技術、市場等，以保持競爭優勢。

由於全球整合元件製造廠(IDM)掀起「輕晶圓廠」(fab-lite)經營策略，對於設備投資高與產值較低的封測釋出訂單，所以，如何提高競爭力積極來搶食IDM訂單，成為營運成長的一大動力。

### 5.2.4 對後續研究者的建議

本研究以晶圓代工為討論主體，而DRAM產業亦屬半導體產業為摩爾定律所描述的範圍，市場上也有DRAM之IC設計公司，其製程發展模式為何則是另一個可深入研究的課題。另外，未來可擴大研究範圍至上、下游產業，使得對整個半導體產業鏈之技術發展狀況，有更詳盡之瞭解。

本研究探討晶圓代工產業的技術發展是採用資本投入-績效產出架構之定性研究方式。然而企業之研發活動，從投入到產出最後帶來績效之過程，具有時間遞延(Time Delay)之特性。未來之研究可利用系統模擬之方式，從整體、動態的角度，來探討技術發展投資對企業績效之影響及績效對技術發展投入之回饋效果。

## 參考文獻

### 英文參考文獻

1. Aldering, C. A., M. L. Sylla and J. A. Eisenach, "Is there a Moore's Law for Bandwidth?", IEEE communications magazine, October 1999, pp.117-121
2. Baltes, H. and O. Brand, "CMOS MEMS, present and future" Sensors and Actuators A, 2002, pp.459-466
3. Brown, M.G. and Svenson, R. A. (1999). Measurement R&D productivity. Research Technology Management, 41(6), pp.30-35.
4. Brigham, E. F. and J. F. Houston, Fundamentals of Financial Management 9e
5. Cooper, R.G. and Kleinschmidt, E. J. (1998). Resources allocation in the new product process. Industrial Marketing Management, 17(3), pp.249-262.
6. Ernst, H., (1997). The use of patent for technology forecast: the diffusion of CNC-technology in the machine tool industry, small Business Economics, 9, 361-381.
7. Ford, D. (1988) Develop your technology strategy. Long Range Planning, 21(5), pp.85-95.
8. Griliches, Z. (1989). Patents: Recent trend and puzzles. Brooking Pap. Econ. Act. Microeconomics, pp.329-330.
9. Hemani, A., "Charting the EDA roadmap", IEEE circuits and Device Magazine, Nov/Dec 2004, pp.5-10
10. Hill, C. W. L. and G. R. Jhones, STRATEGIC MANAGEMENT THEORY 6e
11. Hansen, K. F. and Weiss, M.A.(1999). Allocating R&D resources: A quantitative aid to management insight. Research Technology Management, 42(4), pp.44-50.
12. Hsieh, Y. C., Virtual factory and relationship marketing—a case study of TSMC, Internal Journal of Information Management 22, 2002 , pp.109-126
13. Jovanovic, B. and P. L. Rousseau, "Moore's Law and Learning by doing ", Review of Economic Dynamics 5, 2002, pp.346-375
14. Moore, G. E., "Cramming more components onto integrated circuits", Electronics, vol.38, no.8, 1965
15. Meindl, J. D., "Beyond Moore's Law, the internet era", Computer Science & Engineering, Jan/Feb 2003, pp.20-2
16. Ning, T. H., "Silicon VLSI Trends-What Else besides scaling CMOS to it's limit?" proceeding of 10th IPFA 2003 Singapore, pp.1-4
17. Park, I. G., "Development of a Network/Multimedia Projector Syatem", Consumer Electronics, vol.48, No.1, Feb.2002, pp.90-98
18. Souder, W. E. (1987) Managing new product innovation. Toronto, Massachusetts: D.C. Heath and Company/Lexington, 1-6.
19. Sun, Y. C., "Technology and Reliability Challenges-A Foundry Perspective", proceeding of 11th IPFA 2004 Taiwan, pp.5-8

20. Tidd, J. and Trewhella, M. J. (1997). Organization and technological antecedents for knowledge acquisition and learning. *R & D Management*, 27(4), pp.359-375.
21. Wong, H. S., "CMOS Image Sensors - Advances and Device Scaling Considerations", *IEDM*, 1997, pp.8.5.1-8.5.4
22. Wessner, C., "Sustaining Moore's Law and the US Economy", *Computer in Science & Engineering*, Jan/Feb 2003, pp.30-39
23. Weste, N. H. and K. Eshraghian, *Principle of CMOS VLSI design*, 2e
24. Zahra, (1994). Technological choices within competitive strategy: A conceptual integration. *International Journal of Technology Management*, 9(2), pp.172-195

### 中文參考文獻

25. 丁錫鏞(1999), 研發管理守則與科技管理案例, 台北市: 嵐德出版
26. 蔡婉姿(1999), 新產品開發之資源配置與績效之關係: MCC 矩陣, 中國文化大學國際企業管理研究所碩士論文
27. 陳契盈(2000), 由專利資料分析我國之研發產出及其關聯, 中央大學工業管理研究所碩士論文
28. 吳佳穎(2001), 台灣資訊電子產業研究發展活動與公司經營績效之研究, 交通大學科技管理研究所博士論文
29. 陳文章(2001), 企業技術創新績效影響因數之研究, 長榮管理學院經營管理研究所碩士論文
30. 黃則智(2001), 專利、研發支出與廠商市值—半導體產業之實證研究。台灣大學經濟研究所碩士論文
31. 莊達人(2002), VLSI製造技術, 高立圖書有限公司
32. 陳永霖(2002), 互補式金屬氧化物半導體影像感測器(CIS)產業關鍵成功因素之探討, 台灣大學商學研究所碩士論文
33. 陳宗義(2002), 微機電技術在無線通訊產業之發展策略, 交通大學科技管理研究所碩士論文
34. 黃鎮球(2002), 由技術比較及市場趨勢探討半導體矽鍺在射頻元件上的發展, 交通大學科技管理研究所碩士論文
35. 楊明炯(2002), 半導體廠商的競爭策略與核心優勢之研究, 台灣大學EMBA碩士論文
36. 吳學良(2003), 研究發展投入、績效與公司規模之關聯性研究: 全球企業之實證, *經濟情勢與評論*, 9(1), 218-250
37. 陳英傑(2003), 我國LCD產業專利資料分析之研究, 逢甲大學企業管理研究所碩士論文
38. 劉俊榮(2003), 半導體景氣尋循環下晶圓代工產能擴充策略, 中山大學EMBA碩士論文
39. 蕭國坤(2003), 台灣半導體製造業設廠決策之研究, 交通大學科技管理所碩士論文
40. 謝瑞海(2003), 晶圓代工廠產能投資決策與需求管理模式之研究, 台灣大學商學研究所碩士論文

41. 賴士葆(2004), 科技管理概論, 空中大學出版
42. 謝友嵐(2005), 晶圓代工製程發展模型之研究, 交通大學科技管理研究所碩士論文

#### 網站資料

43. Chartered(特許) web site, <http://www.charteredsemi.com>
44. IBM web site, <http://www.ibm.com>
45. ITRS web site, <http://public.itrs.net>
46. SMIC(中芯) web site, <http://www.smics.com>
47. TSMC(台積電)web site, <http://www.tsmc.com.tw>
48. UMC(聯電) web site, <http://www.umc.com>
49. 全國碩博士論文網, <http://www.datas.ncl.edu.tw>
50. 電子時報, <http://www.digitimes.com.tw>
51. STPI web site, <http://cdnet.stpi.org.tw/techroom.htm>
52. USPTO web site, <http://www.uspto.gov/>

