

國立交通大學

電機學院 電機與控制學程

碩士論文

防護線對高速數位信號在板級的電磁干擾影響探討



Investigations of the Effect of the Guard Trace of Digital High-Speed on Board-level EMI

研究生：蔡政憲

指導教授：吳霖堃 博士

胡竹生 博士

中華民國九十八年六月

防護線對高速數位信號在板級的電磁干擾影響探討

Investigations of the Effect of the Guard Trace of Digital High-Speed on
Board-level EMI

研究生：蔡政憲

Student : Cheng-Hsien Tsai

指導教授：吳霖堃 博士

Advisor : Dr. Lin-Kun Wu

胡竹生 博士

Dr. Jwu-Sheng Hu

國立交通大學

電機學院 電機與控制學程



Submitted to Institute of Electrical and Control Engineering
College of Electrical Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of Master
in
Electrical and Control Engineering

May 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年六月

防護線對高速數位信號在板級的電磁干擾影響探討

研究生：蔡政憲

指導教授：吳霖堃 博士

胡竹生 博士

國立交通大學 電機學院 電機與控制學程碩士班

摘 要

近年來科技進步，一日千里，產品為了可攜性，產品輕、薄、短小以及操作速度快發展。加上電子資訊產品已廣泛的受大眾使用，各地區對 EMC 問題也愈重視，因此『電磁相容』的問題在未來越來越重要。

本論文以在 Ethernet Switch PCB 設計時常使用的二層板、操作頻率為 125MHz，探討高速數位訊號快速切換時所造成的電磁干擾、電流迴流路徑及訊號完整性等問題，藉由使用 Guard trace、終端技巧以及修補電流迴流路徑的方式，來抑制、減輕操作頻率上的雜訊。除此之外，本論文藉由簡單地計算輻射效率方式，對所導入的對策是否有效可得到一量化的比較值。

Investigations of the Effect of the Guard Trace of Digital High-Speed on Board-level EMI

Student : Cheng-Hsien Tsai

Advisor : Dr. Lin-Kun Wu

Dr. Jwu-Sheng Hu

Degree Program of Electrical and Computer Engineering
National Chaio Yung University

ABSTRACT

In recent years, the technology has made great progress. The design tendency towards light, flimsy, small technology products and therefore the portable and quick operation features of these technology products become very important. In addition, the electronic technology products are in widespread use by population. Many regions also take the EMC issue seriously. Therefore, the electromagnetic compatibility issue becomes more and more important in the future.

In this thesis, we design a two-layer PCB operating at a clock rate of 125MHz. The purpose of this thesis is to investigate the electromagnetic interference issue caused by the fast-changing of high-speed digital signal, return current path, and signal integrity. Using guard trace, the termination technology, and repairing return current path to suppress and mitigate the electromagnetic interference. Besides, this thesis calculates radiation efficiency to compare the effect of each inducted countermeasures for obtaining a qualified value.

誌 謝

工作多年後深覺在實務工作的背後欠缺著理論基論，因此重回校園是我多年的心願，在這段時間當中受到師長、同學、公司主管以及同事的鼓勵和支持，讓我收穫良多。

要感謝的人有許多，首先，最感謝的是我的論文指導教授－吳霖堃教授，在無數的週末假日中，在他不厭其煩、深入淺出及耐心教導之下，不管是學識上、工作上甚至人生哲理上受益良多，在此致以最深沈的謝意。

其次，要感謝同事們在這段時間的互相支援協助、鼓勵及實驗設備製作、器材出借等幫忙，得以讓我的課業順利完成，在此再次跟你們的說聲謝謝您。

最後，特別感謝我的父親、母親及太太，在這段時間內能夠體諒我在工作及課業二頭忙情況下，給予我全力的支持、陪伴、包容與關心，讓我可以全力以赴衝刺於工作、課業上，謹將此成果與他們分享。



目 錄

中文摘要	i
英文摘要	ii
致謝	iii
目錄	iv
表目錄	vi
圖目錄	ix
第一章 緒論	1
1-1 研究動機	1
1-2 電磁干擾的嚴重性	2
1-3 台灣廠商對EMI所面臨的問題	2
第二章 EMC 及 EMI 在 PCB 產生的原因簡介	4
2-1 EMC 的發展概要	4
2-2 何謂 EMC	4
2-3 電磁干擾三大要素	6
2-4 EMC 限制值規格及測試場地要求	7
2-4-1 EMC 限制值規格	7
2-4-2 EMC 測試場地要求	11
2-5 PCB EMI 產生的原因	15
2-5-1 瞬變電流	15
2-5-2 被動零件高頻特性	15
2-5-3 高頻迴流路徑	16
2-6 造成電磁干擾的種類	18
第三章 EMC 對策介紹	22
3-1 微帶線	22
3-2 高頻信號迴流路徑	23
3-3 防護線	26
3-4 阻抗匹配	29
3-5 信號完整性	34
第四章 實驗方法及量測數值討論與分析	37
4-1 測試板子及量測方法、環境介紹	37
4-2 串聯終端電阻值及輻射效率估算	43
4-2-1 串聯終端電阻值估算	43
4-2-2 輻射效率值估算	44

4-3 信號線長對 EMI 的影響-----	47
4-4 信號線旁有無 Guard trace 對 EMI 的影響-----	50
4-4-1 Guard trace 上只有頭尾二端各一個 GND VIA 時對 EMI 的影響-----	50
4-4-2 Guard trace 上每隔 $1/20 \lambda$ 打一個 GND VIA 時對 EMI 的影響-----	54
4-5 信號迴流路徑對 EMI 的影響-----	59
4-5-1 信號線旁無 Guard trace 時-----	59
4-5-2 離信號線旁 10mils 加上 Guard trace 時-----	65
4-6 信號線有無加串聯終端前後對 EMI 的影響-----	68
4-7 信號之 Slew rate ON/OFF & Driving current 大小對 EMI 的影響-----	74
第五章 結論 -----	78
5-1 實驗心得-----	78
5-2 未來研究方向-----	79
參考文獻 -----	80



圖目錄

圖 1-1	各階段對解決EMC問題時可用對策及費用成本曲線圖	3
圖 2-1	電磁相容性法規的要求測試範圍	6
圖 2-2	電磁干擾的三大要素	7
圖 2-3	解決電磁干擾問題的主要方法及其分類	7
圖 2-4	FCC part15 Subpart B CE & RE 輻射限制值規格圖	9
圖 2-5	CISRP22 CE & RE 輻射限制值規格圖	10
圖 2-6	RE 開放測試場地俯視圖	12
圖 2-7	RE 開放測試場地仰視圖	12
圖 2-8	信號迴流路徑分佈情形	19
圖 3-1	微帶線結構及其電磁場分佈情形	22
圖 3-2	高低頻信號迴流路徑示意圖	24
圖 3-3	高頻信號迴流路徑被切割時迴流示意圖	24
圖 3-4	高頻信號迴流路徑被切割時利用電阻修補示意圖	25
圖 3-5	高頻信號迴流路徑被切割時利用 Layout 修補示意圖	26
圖 3-6	信號線旁加 Guard trace 後,對電場的影響	27
圖 3-7	使用 Guard trace 時的使用方法	28
圖 3-8	串聯終端電路連接圖	30
圖 3-9	並聯終端電路連接圖	31
圖 3-10	戴維寧終端電路連接圖	32
圖 3-11	交流終端電路連接圖	33
圖 4-1	測試板子架構圖	38
圖 4-2	測試板子線路圖	39
圖 4-3	Board1 信號線長分別為 7cm 及 3cm @NO Guard trace 正面圖	40
圖 4-4	Board1 信號線長分別為 7cm 及 3cm @NO Guard trace 背面圖	40
圖 4-5	Board2 信號線長皆為 7cm @Guard trace 分別為 10 & 30mils 正面圖	41
圖 4-6	Board2 信號線長皆為 7cm @Guard trace 分別為 10 & 30mils 背面圖	41
圖 4-7	量測電磁干擾的 7m(L)x4m(W)x3m(H)電波屏蔽室	42
圖 4-8	待測設備放置在旋轉桌上的位置	42
圖 4-9	以 Polar CITS25 軟體估算 Board1Clock A & B 之特性阻抗圖	43
圖 4-10	信號線上流動電流的示意圖	45
圖 4-11	信號線長 7cm V.S 3cm 時 EMI “垂直” 測試結果	49

圖 4-12	信號線長 7cm V.S 3cm 時 EMI “水平” 測試結果-----	49
圖 4-13	信號線旁有無加 Guard trace 的輻射效率 “垂直” 比較-----	53
圖 4-14	信號線旁有無加 Guard trace 的輻射效率 “水平” 比較-----	53
圖 4-15	在 Board 2 的 Guard trace 上每隔 $1/20 \lambda$ 的距離打上 GND VIA-----	54
圖 4-16	Guard trace 上打 GND VIA 多寡時電磁輻射 “垂直” 量測值比較-----	56
圖 4-17	Guard trace 上打 GND VIA 多寡時輻射效率值 “垂直” 比較-----	56
圖 4-18	Guard trace 上打 GND VIA 多寡時電磁輻射 “水平” 量測值比較-----	57
圖 4-19	Guard trace 上打 GND VIA 多寡時輻射效率值 “水平” 比較-----	57
圖 4-20	信號線旁 No Guard trace V.S Guard trace 10 mils V.S Guard trace 30 mils EMI “垂直” 測試結果-----	58
圖 4-21	信號線旁 No Guard trace V.S Guard trace 10 mils V.S Guard trace 30 mils EMI “水平” 測試結果-----	58
圖 4-22	信號迴流路徑切割示意圖及修補電阻擺放位置-----	59
圖 4-23	無 Guard trace 時迴流路徑被切割長度與修補位置的比較 “垂直” -----	62
圖 4-24	無 Guard trace 時迴流路徑被切割長度與修補位置的比較 “水平” -----	62
圖 4-25	無 Guard trace 時迴流路徑被切割不同長度時 EMI “垂直” 測試結果-----	63
圖 4-26	無 Guard trace 時迴流路徑被切割不同長度時 EMI “水平” 測試結果-----	63
圖 4-27	無 Guard trace 時迴流路徑被切割 5cm 時,修補電阻擺放不同位置時 EMI “垂直” 測試結果-----	64
圖 4-28	無 Guard trace 時迴流路徑被切割 5cm 時,修補電阻擺放不同位置時 EMI “水平” 測試結果-----	64
圖 4-29	有 Guard trace 時迴流路徑被切割不同長度時對 EMI “垂直” 的影響-----	67
圖 4-30	有 Guard trace 時迴流路徑被切割不同長度時對 EMI “水平” 的影響-----	67
圖 4-31	信號線長 7cm 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果-----	70
圖 4-32	信號線長 7cm 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果-----	70
圖 4-33	信號線長 3cm 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果-----	71
圖 4-34	信號線長 3cm 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果-----	71
圖 4-35	信號線長 7cm @10mils Guard trace 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果-----	72
圖 4-36	信號線長 7cm @10mils Guard trace 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果-----	72
圖 4-37	信號線長 7cm @30mils Guard trace 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果-----	73
圖 4-38	信號線長 7cm @30mils Guard trace 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果-----	73
圖 4-39	Slew rate ON/OFF & Driving current 大小時域波形比較-----	75
圖 4-40	Slew rate ON/OFF & Driving current 大小時信號線上電流大小時域波形比較-----	76
圖 4-41	Slew rate ON/OFF & Driving current 大小時信號線上電流大小頻域波形比較-----	76

圖 4-42 信號線 Slew rate ON/OFF & Driving current 大小時 EMI “垂直” 測試結果-----77

圖 4-43 信號線 Slew rate ON/OFF & Driving current 大小時 EMI “水平” 測試結果-----77



表目錄

表 2-1	台灣標準檢驗局 CNS 國家標準總號名稱及對應的 CISPR 規範	8
表 2-2	FCC part15 Subpart B CE & RE 各頻率輻射限制值規	9
表 2-3	CISRP22 CE & RE 各頻率輻射限制值規格	10
表 2-4	被動零件高低頻特性	16
表 3-1	各種終端技術的優缺點比較表	33
表 3-2	造成信號完整性不佳的各種現象的不良原因及解決方法	35
表 4-1	以 POLAR CITS25 估算各信號線特性阻抗及串聯終端阻抗值	44
表 4-2	信號線長度對 EMI 的影響	47
表 4-3	125MHz 及其倍頻在空氣中及在 PCB 中的信號波長(FR4 $\epsilon_r=4.4$)	48
表 4-4	有無 Guard trace 時對 EMI 的實際量測值	52
表 4-5	有無 Guard trace 時的輻射效率值	52
表 4-6	有無 Guard trace &在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的實際量測值	55
表 4-7	有無 Guard trace &在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的輻射效率	55
表 4-8	無 Guard trace 的信號線背面有 Cut-plane 跨越長度不同時對 EMI 的實際量測值	60
表 4-9	無 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際值	61
表 4-10	有 Guard trace 的信號線背面有 Cut-plane 跨越跨越長度不同時對 EMI 的實際量值	66
表 4-11	有 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際量測值	66
表 4-12	同一信號線有無做串聯終時對 EMI 的影響	68
表 4-13	信號線 Slew rate ON/OFF & Driving current 大小對 EMI 的影響	74

第一章

緒論

1-1 研究動機

近年來電子產品的外觀體積走向訴求輕、薄及短小的要求，而產品的功能則要求越來越強大及操作速度越來越快，同時產品的生命週期不斷的縮短，新產品能夠比對手早上市即顯得非常的重要。在相同的 PCB 面積內要增加大量的功能及操作速度越來越快的要求下，板子的設計好壞對能否準時上市即佔了很大的關鍵。在工作多年後發現大部分對新產品的研發上市時間的延後因素中，EMI 的問題往往最重要、常遇到的因素，尤其 EMI 問題所具有的獨特性－摸不到、看不到等特性，往往也是讓工程師們最傷透腦筋的。

雖然各家系統廠皆有一些多年來經驗累積的 PCB Design rules 可遵守，但這些 Rules 要全套上去 PCB Layout 時往往又會造成 Layout 上的困難，甚至 Rule 與 Rule 之間的互相抵觸，要在這些 Rules 當中做些取捨即顯得格外的重要。例如，在不同的板子應用時，某些信號線針對那些 Rules 非要遵守不可，其他較不重要的信號在這片板子的應用可以稍微放寬一些或發太多心思，這往往使設計人員在設計時拿不定主意。

在實際的板子做出來後產品無法達到 EMI 標準時，又由於缺乏理論基礎，大部分處理方式是採用經驗法則來解決，例如在這並個電容、在那串個 Bead、在這加個彈片等 trial and error 的方式，直到最後，剛好某種修改組合方式起了作用而達到 EMC 法規標準，就以這種方式來解決問題，不只增加了許多不必要的零件上去，也浪費了許多的時間及增加品的成本。

剛好有這個機會重新進入校園學習，所以想藉由這次的機會能對學生工作上最有關、最不容易解決的 PCB EMI 這個問題做個探討，使得學生能建立這方面的理論基礎，日後在工作上能夠將理論及實務結合，在設計之初即將這些相關的 Rules 考慮進去，以減少 PCB 重複設計及 Debug 的時間，讓產品能準時上市。

1-2 電磁干擾的嚴重性

電磁干擾的問題在各種電的產品中皆會有的問題，只是對其產品所造成影響程度不同罷了。一般人最常遇到的電磁干擾的現象就屬於當手機響起時，附近的叭喇出現啪啪啾啾的刺耳的雜音。這還是屬於干擾較小的，若是其他的電磁干擾影響到航空導航系統、安全控制系統或是醫療設備等，所造成的影響就不容忽視。

因此電磁干擾問題引起世界各地區、國的非常重視，而制定了相關的標準與法規，主要目的是保護該地區、國的電磁環境和提升產品的競爭優勢。同時也使製造廠做出來的產品有相同的測試場地、標準可遵循。

1-3 台灣廠商對 EMI 所面臨的問題

由於台灣廠商的產業型態，解決 PCB 板 EMI 問題所面臨問題，往往不是在技術問題而是在成本的考量。例如，廠商都知道在相同的電路下，多層板的 EMI 問題會比層數少的板子來得容易處理多。卻在激烈的競爭市場下，產品的成本早已是各家廠商最優先考量的重點，因此往往犧牲了技術上應有的設計考量而遷就成本的要求。所以原本使用四層板設計可獲得較佳的 EMI 抑制效果，但因成本的考量而改用防制效果較差的二層板；或是原可導入解 EMC 零件，因成本因素而取消。這時就需要看設計者的經驗，使用最低的 EMI 解決成本、時間及不影響生產的流暢性來達到 EMC 法規標準，可想而知，EMI 的問題對能否準時上市必定是愈來愈重要；再加上電子產品朝輕、薄、短小及操作速度愈來愈快的趨勢下，這將是未來所有電子廠商所面臨的最大挑戰。

一般來說，EMI 的對策能越靠近輻射源，所需的控制成本越小。對一個產品開發流程來說，在設計階段就應該要開始考慮電磁干擾的問題，越早考慮電磁干擾的問題，越能降低開發成本及如期上市。經由許多的案例可發現，到了量產階段來解決一個電磁干擾的問題，他所花費的成本是數倍於設計階段；如果不幸到了銷售端時，要解決相同一個電磁干擾的問題時，那將百、千倍於設計階段的成本。以所加的對策方法來說，剛好與費用成本呈相反的狀態，研發階段發現與解決電磁干擾問題時，可用的對策最多、成本較低、隱密性高、影響製做的流暢性最低且對計畫影響時程最小。其關係如下圖 1 所

示

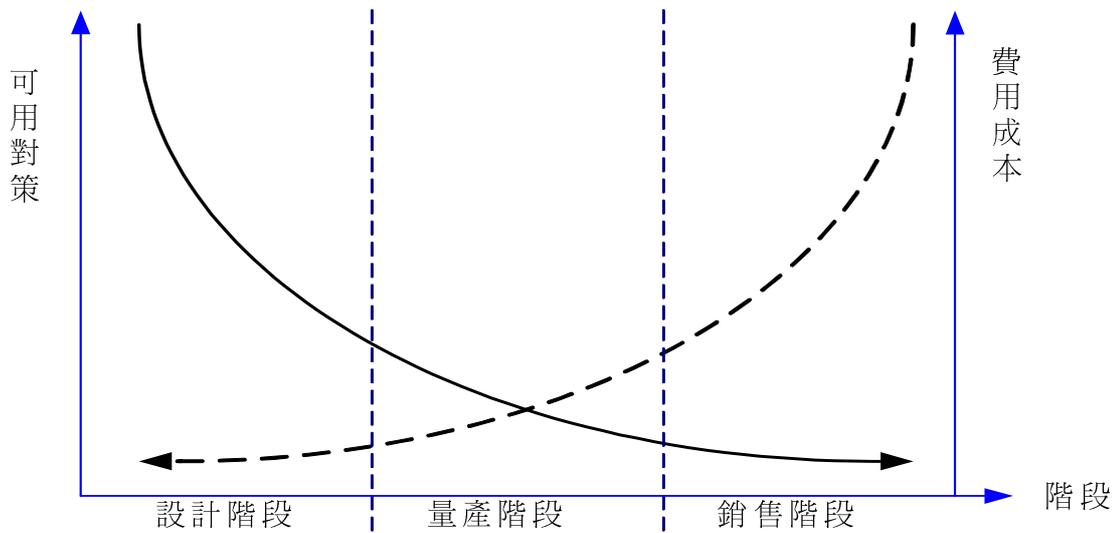


圖 1-1 各階段對解決 EMC 問題時可用對策及費用成本曲線圖

對於 EMI 的抑制方法有許多的解決方式，依不同的產品特性而選擇不同的方法，針對同一個問題點要使板子達到 EMC 法規標準可能有許多方式，只要有效就是好的防制方法，並沒有那一種特定方式特別的好。這端賴對 EMI 所造成的原因愈有概念，所加的對策越能靠近輻射源，其效果是最明顯的，成本也是最低的。設計者對這方面的需求往後只會與日俱增。

第二章

EMC 及 EMI 在 PCB 產生的原因簡介

2-1 EMC 的發展概要

在 20 年代以前，由於無線通訊產品非常地少，因此幾乎沒有電磁干擾的問題。到了 30 年代時爲了保護通訊系統的干擾問題，歐洲及北美分別在 1933 年 IEC 成立 CISRP(國際無線電干擾特別委員會)及美國國會制定 1934 通訊法。在 40~60 年代 EMC 漸漸受到軍方、航太的關注，在軍事上的考量主要是在通訊系統上的考量，例如，電磁輻射造成飛機、船艦上之武器、燃油、通信及人員的危害等；在航太方面主要是考量如其發射運輸工具、自動導航系統和高精確度放大器等。到了 70、80 年代，電子產品漸漸普及至家庭，這些產品包含家用娛樂系統(如電視機、錄影機)、個人電腦和通訊設備等，在這期間各種 EMC 問題也隨著產生。因此在這段時期 EMC 問題也漸漸被一般民眾所認識、重視。在 70 年代中後期，美國聯邦通訊委員會(FCC)公佈了第一個對個人電腦產生之干擾強度及定義了量測方法。在此一時期需要測試 EMC 的產品主要集中在電腦、週邊器材及通訊產品等。

到了 90 年代之後，隨著數位邏輯裝置、個人通訊等產品漸漸成爲消費產品，原本一些不需受 EMC 管制的產品，如洗碗機、工業器材以及大部分的電子器材，也都要受到 EMC 的控制。在這一時期，許多國家(區域)針對輸入該國之產品，必需先符合該國(區域)的 EMC 規範，才能在該地區銷售，例如『自 1998/01/01 起只要在台灣市場上銷售的電子產品，不論其原產地在何處，皆需申請 BSMI 認證』。除了台灣的 BSMI 認證外，其他在家電、資訊產品中較常聽到的如：北美的 FCC 認證、歐盟的 CE 認證、日本的 VCCI 認證、及中國的 3C 認證等。能夠取得這些認證就如同拿到進入這些市場的入場券一樣。

2-2 何謂 EMC

國際電工委員會標準 IEC 對電磁相容 EMC(Electromagnetic Compatibility)的定義是『系

統或設備在所處的電磁環境中能正常工作，同時不對其他系統和設備造成干擾』。因此，EMC 包括兩個方面的要求：一方面是指設備在正常運行過程中對所在環境產生的電磁能量放射不能超過一定的限值，即電磁放射性 EME(Electromagnetic Emission)；另一方面是指器具對所在環境中存在的電磁能量具有一定程度的抗干擾性，即電磁耐受性 EMS(Electromagnetic Susceptibility)。也就是說：

因此電磁相容 EMC(Electromagnetic Compatibility)包括二大部分，

$$\text{電磁相容(EMC)} = \text{EMI(電磁放射性)} + \text{EMS(電磁耐擾性)}$$

電磁放射性 EME，描述的是一產品對其他產品的電磁能量放射程度，是否會影響其周圍環境或同一電氣環境內的其他電子或電氣產品的正常工作；電磁耐受性 EMS 則描述一電子或電氣產品是否會受其周圍環境或同一電氣環境內其他電子或電氣產品的干擾而影響其自身的正常工作。



依干擾的途徑來做區分，EME 及 EMC 又可再細分成二項。EME 又分成傳導性放射 CE (Conducted Emission) 及輻射性放射 RE(Radiated Emission)；EMS 又分成傳導耐受 CS (Conducted Susceptibility) 及輻射耐受 RS(Radiated Susceptibility)。因此針對一個產品完整電磁相容性(EMC)測試範圍如圖 2-1 所示，總共包含了四大部分。

CE(傳導放射)：

量測設備或電路以傳導方式發射之雜訊電壓或電流。

RE(輻射放射)：

量測設備或電路以輻射方式發射之雜訊電場、磁場或功率。本論文所做的實驗僅探討此部分。

CS(傳導耐受性)：

驗證設備或電路忍受以傳導方式來的雜訊能力。

RS(輻射耐受性)：

驗證設備或電路忍受以輻射方式來的雜訊能力。

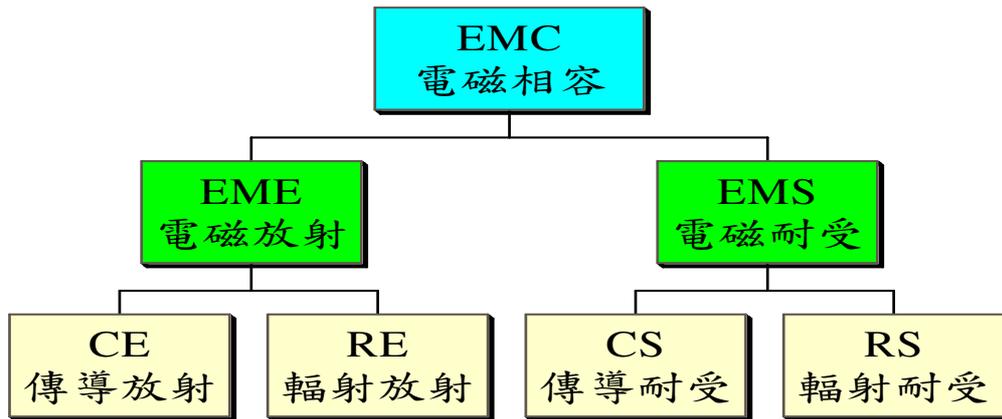


圖 2-1 電磁相容性法規的要求測試範圍[13]

2-3 電磁干擾三大要素

所有的電磁干擾的發生，必存有三個要素同時存在才有可能造成干擾。此三大要素之間的關係如圖 2-2 所示，這三個要素分別為：具有一個有效的輻射源、一個有效的傳輸媒介及一個易受干擾的電子裝置。從這關係圖中可以很清楚地知道，要消除電磁干擾的方法中，只要消除其中一項即可達到，例如降低輻射源、中斷傳播媒介或是增加受擾裝置的抗擾能力等皆可。圖 2-3 將一般常用消除電磁干擾的方法及屬於 EMC 中的那一項做一整理。消除、減幅電磁干擾的方法有許多種方式，只要是有效的對策即是好方法，並沒有說那一個對策是對的而那一個對策是錯的。

在現代電子產品的發展趨勢來看，在板子上佈線密度越來越密，要能夠完完全全的中斷傳播媒介是不太可能的；至於增強受擾裝置的免疫力又不確定是何種產品、擺放位置等，因此大都朝向從輻射源的控制來著手。一般來說，所加的對策越接近輻射源所需要的控制成本愈低。

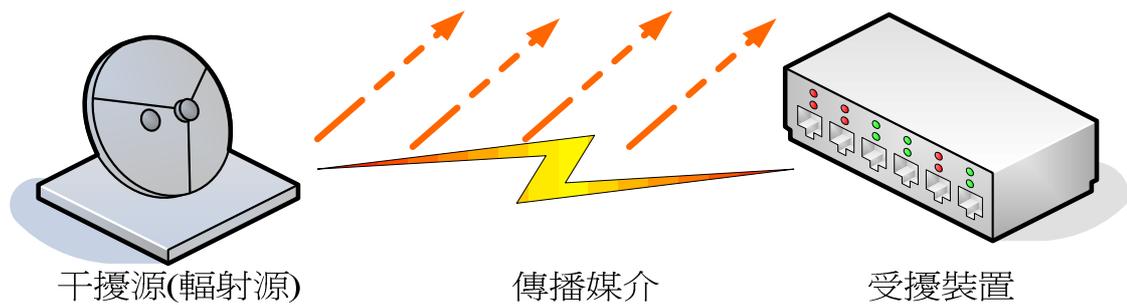


圖 2-2 電磁干擾的三大要素[1]

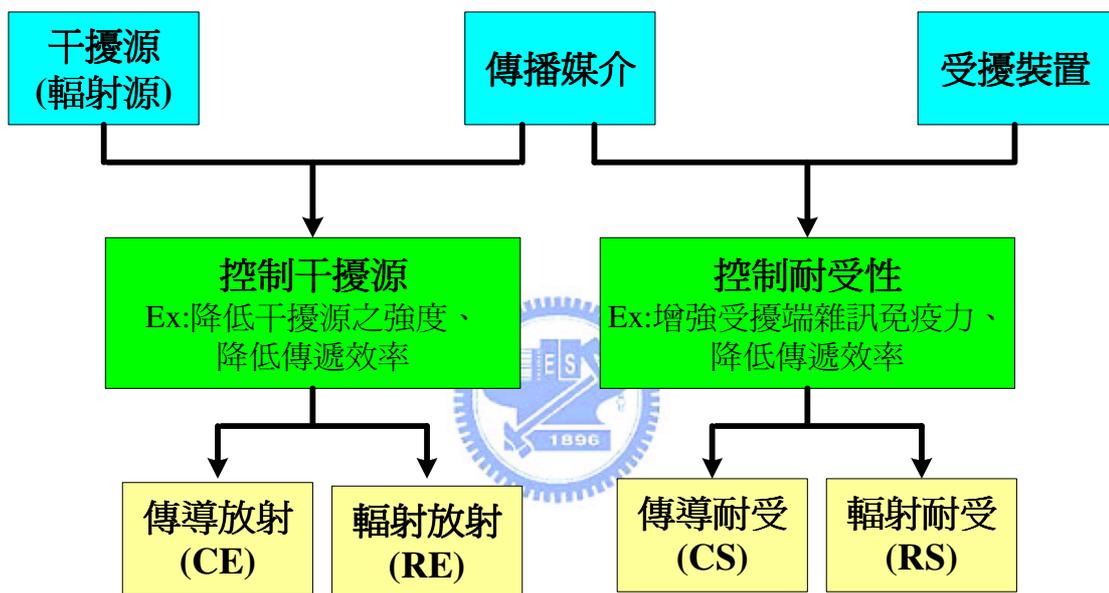


圖 2-3 解決電磁干擾問題的主要方法及其分類[4]

2-4 EMC 限制值規格及測試場地要求

2-4-1 EMC 限制值規格

現在所有用電的產品皆要通過電磁相容的測試，才能在各地區銷售。至於要通過的電磁法規標準，需依產品的特性、使用環境的不同而有對應的不同法規，設計人員要能正確的知道該產品的法規標準及測試，才能有效地測出、解決不良問題。表 2-1 列了一些與我們日常生活中常遇到的電氣產品輻射干擾部分，在台灣標準檢驗局的標準總號及其對應到／參考 CISRP 與歐洲的法規來修訂的。依據我們的產品屬性選擇恰當的標準法規來測試。在此僅討論與本論文有關 CISPR22 的資訊技術設備產品的限制值規格及場地

要求。

表 2-1 台灣標準檢驗局 CNS 國家標準總號名稱及對應的 CISPR 規範[4]

標準檢驗局 CNS 國家標準總號	中 文 標 題	對應／參考 標準
14434	車輛、船舶和由火花點火引擎驅動的裝置之無線電 擾動特性－限制值與量測方法	CISPR12 EN55012
13439	聲音與電視廣播接收機與相關設備－射頻干擾特 性－限制值與量測方法	CISPR13 EN55013
13783-1	家用及其類似用途之電動、電熱器具以及電工器具 之電磁干擾限制值與量測方法	CISPR14 EN55014
14115	電氣照明與類似設備之射頻干擾限制值與量測方 法	CISPR14 EN55014
13438	資訊技術設備之射頻干擾特性的限制值與量測方 法	CISPR22 EN55022

目前資訊技術設備產品 EMC 量測標準主要依法的有二大法規，即美國的 FCC part15 Subpart B 及 CISPR22，這二大法規之相對應頻率的電場強度大小如下頁表 2-2 及表 2-3 所示。其他國家所訂的標準也都是參考此標準來修訂的，例如日本、台灣等皆是依的 CISPR22 來規定的。由於各種產品所對應的法規標準並不相同，本論文只列出與本論文實驗有關的一資訊技術設備產品關於電磁干擾的部分的限制規格而已。一般的資訊技術設備產品大都是以距待測物多少距離外，場強不可超出某一限定值為標準。FCC part 15 Subpart B 的 CE 及 RE 測試標準已採用及接受 CISPR22 的規格。這些國際組織、政府制定了 EMI 的標準及測試規範，其主要目的在於防止電磁干擾的發生，同時對所有的產品有一樣的測試標準。

表 2-2 FCC part15 Subpart B CE & RE 各頻率輻射限制值規格[8]

FCC CE & RE 輻射限制值規格			
輻射種類	Class Freq. (MHz)	Class A	Class B
		Limit(dB μ V)	Limit(dB μ V)
CE 輻射	0.45~1.705	60	48
	1.705~30	69.5	48
RE 輻射	Frequency(MHz)	Limit(dB μ V/m)	Limit(dB μ V/m)
	30~88	39	40
	88~216	43.5	43.5
	216~960	46	46
	960 以上	49.5	54

說明：

1. Class A 為產品在商業與工業區域使用，測試距離為 10m
2. Class B 為產品在住宅與家庭區域使用，測試距離為 3m
3. FCC 傳導及輻射測試已採用及接受 CISPR 的測試規格

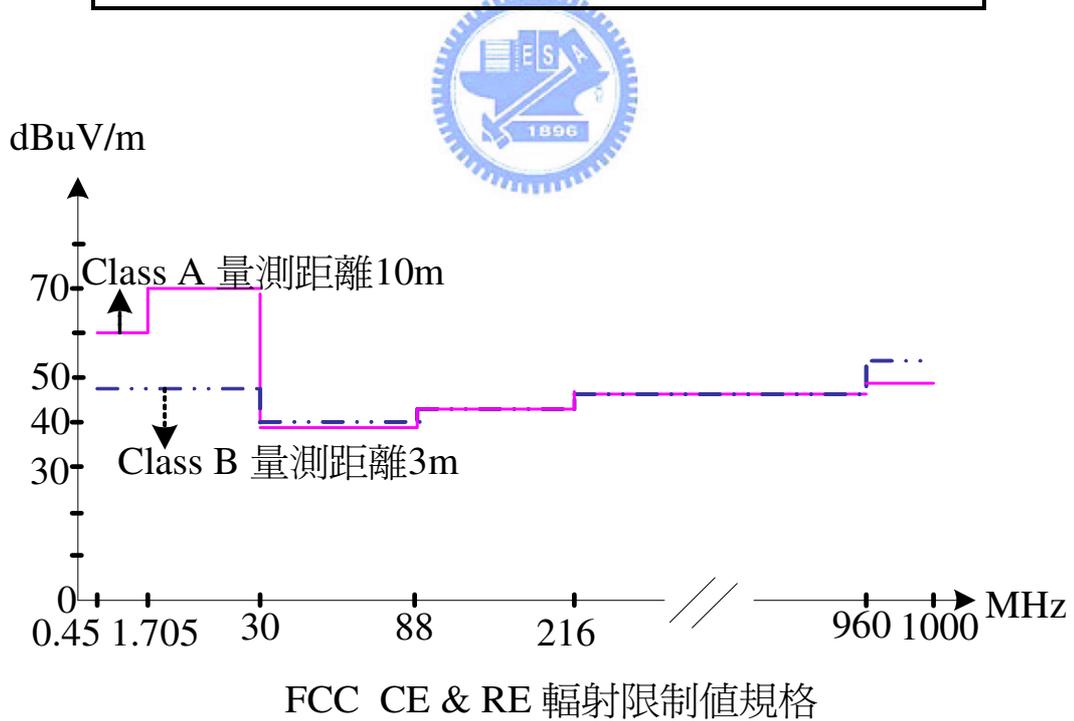


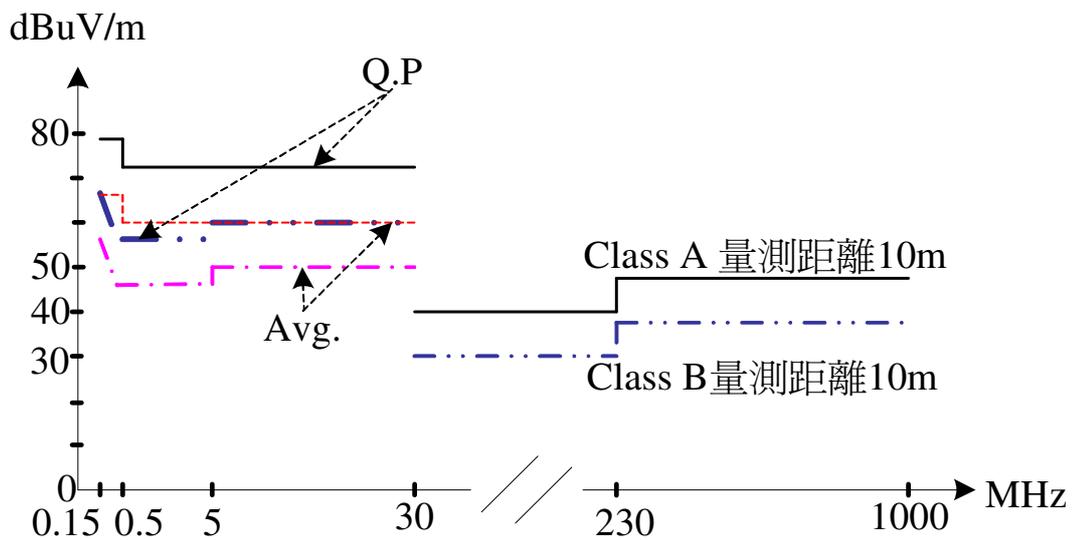
圖 2-4 FCC part15 Subpart B CE & RE 輻射限制值規格圖

表 2-3 CISRP22 CE & RE 各頻率輻射限制值規格[8]

CISPR22 CE & RE 輻射限制值規格					
輻射種類	Class Freq. (MHz)	Class A		Class B	
		Limit(dB μ V)		Limit(dB μ V)	
CE 輻射	量測值	準峰值 Q.P.	平均值 Avg.	準峰值 Q.P.	平均值 Avg.
	0.15~0.5	79	66	66-56	56-46
	0.5~5	73	60	56	46
	5~30	73	60	60	50
RE 輻射	Frequency(MHz)	Limit(dB μ V/m)		Limit(dB μ V/m)	
	30~230	40		30	
	230~1000	47		37	

說明：

1. Class A 為產品在商業與工業區域使用
2. Class B 為產品在住宅與家庭區域使用
3. 不管 Class A 或 Class B 的 RE 輻射測試距離皆為 10m



CISPR22 CE & RE 輻射限制值規格

圖 2-5 CISRP22 CE & RE 輻射限制值規格圖

2-4-2 EMC 測試場地要求

開放測試場地規格

開放區域測試場(OATS; open area test site)為輻射發射(RE)量測的基本場地，其場地架構可參考 ANSI C63.7。由於是做為電磁干擾的檢測環境，故對其週圍之環境有非常嚴格地規定。因此依 ANSI C63.7 規定，OATS 須建立於電磁環境單純、空曠、平坦之區域，測試的場地必須是平坦的，且週圍沒有任何懸掛的導線以及遠離反射金屬結構，環境的電磁干擾很小，因此實驗室通常選擇偏遠的山谷來建造。除了建立開放區域測試週圍環境限制外，需進一步的要求測試場地的測試誤差在一定的範圍內才可，根據 ANSI C63.7 的要求，測試場地的正規化場地衰減(NSA; normalized site attenuation)量測值與 NSA 理論值差距應在 $\pm 4\text{dB}$ 以內，所以 OATS 四週不能有電磁波散射體，以免造成量測誤差。

圖 2-6 為開放區域測試場之俯視圖，依其標準在『CISPR 橢圓』內不可有其他金屬物體區域。此『CISPR 橢圓』是以待測設備和量測天線所形成的橢圓點，長軸的直徑是待測設備和天線之間距離 R 的 2 倍；短軸直徑為 1.73 倍。在此『CISPR 橢圓』地面須鋪設平坦金屬網(板)，規定的最小尺寸為 $9.0\text{m} \times 6.0\text{m}$ 。在國內實驗室所建造之 OATS 以 10m 居多。測試場地內的任何設備規格、材質，皆有規定，如圖 2-7 所示為開放區域測試場的相關設備之示意圖，各設備之規定如下所述[16]。

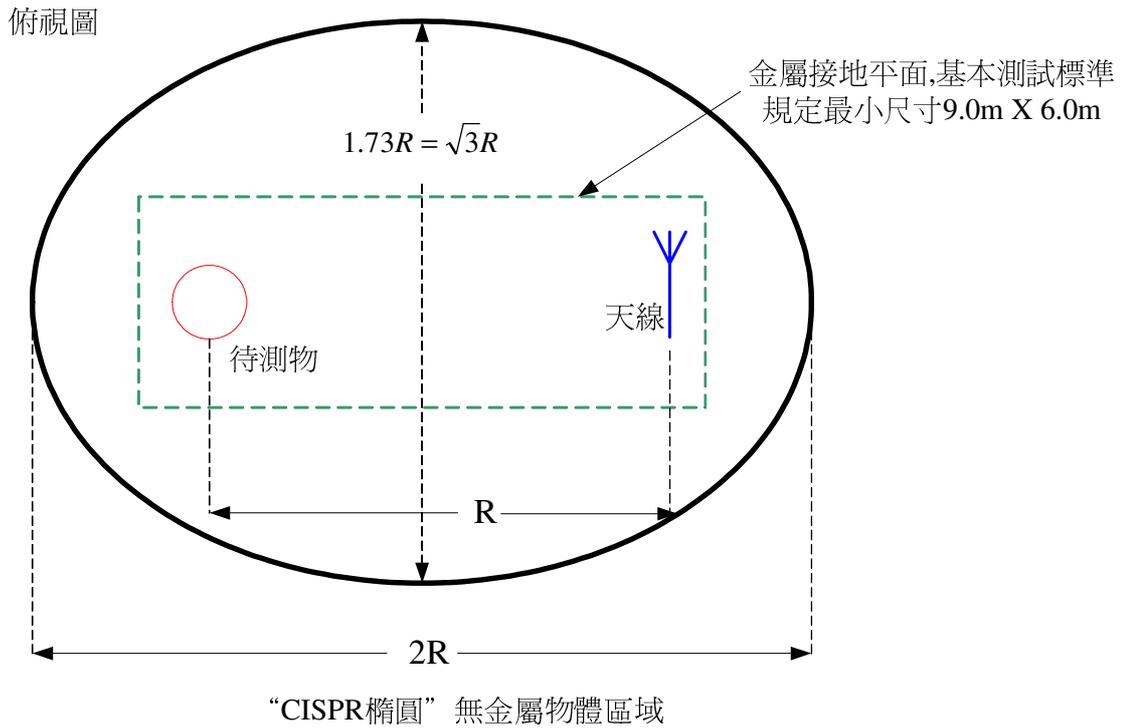
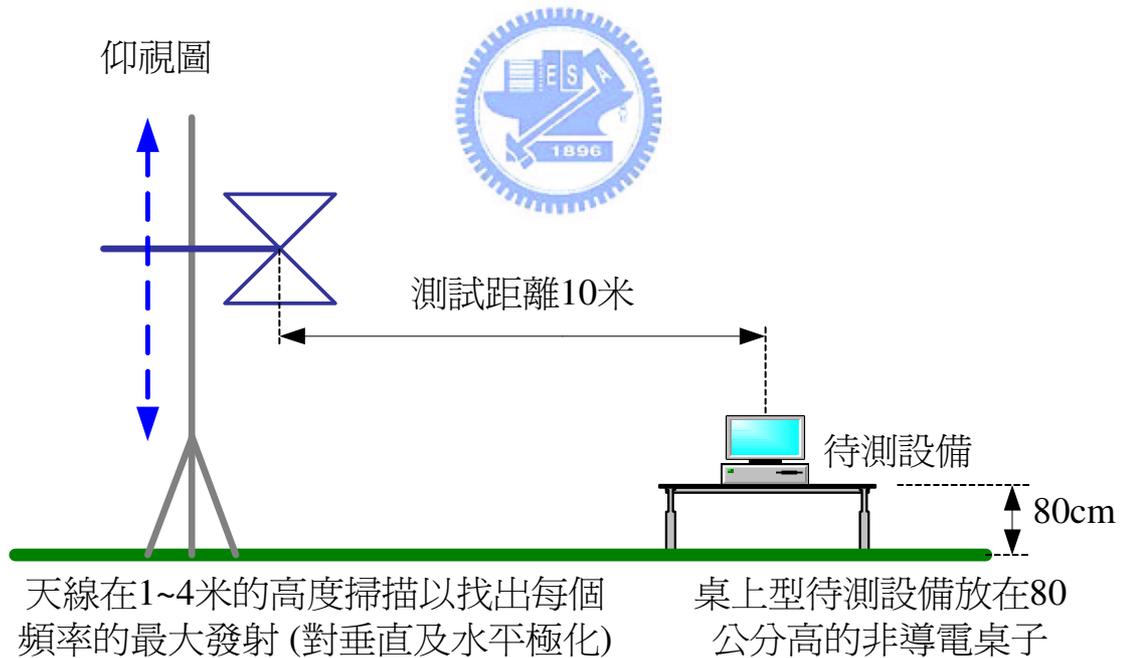


圖 2-6 RE 開放測試場地俯視圖[16]



射頻輻射發射測試環境(由Keith Armstrong所提供圖解)

圖 2-7 RE 開放測試場地仰視圖[16]

待測設備的旋轉桌

必須為一個可連續 360 度旋轉、可控制的桌子，當然此桌子必須能夠支撐待測設備和週邊設備的重量。旋轉桌的使用目的是用來決定待測設備每一個發射頻率最大輻射的方向，旋轉桌依待測設備的不同型態而有二種不同的規格：

落地型：

旋轉桌必須金屬的材質，且裝設在金屬接地平面的相同高度，必須和接地平面接觸。

非落地型(桌上型設備)：

旋轉桌必須是非金屬的材質，且距離接地參考平面的高度為 80cm。

天線

EMI 測試天線需涵蓋很寬範圍之頻譜，做為輻射性 EMI 測量之基本裝置，針對不同的測試頻率範圍，採用不同的天線。主要目的是每種天線在某一頻率範圍內其頻率特性較好，能獲得較佳的量測效果。在電磁相容性試驗中各頻段優先使用之天線，包括在 150kHz~30MHz 採用棒狀與環路天線，30MHz~300MHz 採用偶極與雙錐天線，300MHz~1GHz 採用偶極、對數週期及對數螺旋天線，1GHz~40GHz 採用喇叭天線。在本論文測試使用的是雙錐對數天線。

天線架

經由天線高度從 1 米至 4 米的改變，可找出接地平面的反射信號；配合旋轉桌 360 度旋轉，以尋找出待測設備傳播信號的最大場源，在找到產生最高射頻能量時旋轉桌的角度後，再改變天線的高度。

垂直與水平極化量測

RE 測試其雜訊是以向量來表示大小，測試中抓取天線角度與雜訊向量平行耦合的最大能量(垂直為 0)，以及雜訊經物體反射後在某一點位置產生向量相加減的原理，因此在做 RE 量測時規定天線極化角度必須呈水平及垂直二種狀態，然後配合天線 1 到 4 米高度變化、待測物配合旋轉桌做 360 度旋轉，如此即能由頻譜儀器量測到待測物各個頻率點之最大輻射強度[11]。

測試儀器

大部分使用頻譜分析儀或 EMI 測試接收機等儀器。測試儀器需要可設定二個解析頻寬(RBW, Resolution Bandwidth)的頻率，做 CE 測試時測試儀器的 RBW =9kHz；而做 RE 測試時 RBW=120kHz。當接收到的頻率的頻寬大於解析頻寬時稱之為寬頻，反之稱之為窄頻。測量時寬頻雜訊即是測量時的背影訊號，而窄頻雜訊即是測量時的干擾訊號。

隨著個人通訊產品越來越普及，週遭的電磁雜訊愈來愈高。為避免外來的電磁環境對 RE 量測造成影響，同時，要尋找合適的場地來建立一個合格的 OATS 場地，建立成本相當地高。為了解決此問題同時縮短產品測試、解決問題的時間，因此常常採用電磁屏蔽室 (EM shielded room)來阻隔電磁波。然而，為了避免電磁隔離室金屬牆的電波反射，須在金屬牆上鋪設電波吸波體，例如使用吸波磁磚或射頻吸波體等材料，如此才能模擬 OATS 測試之替代場地。此電磁屏蔽室因地板平面是否有鋪設電波吸波體而分為二種，地板平面有鋪設電波吸波體稱之為全電波暗室(FAC,fully-anechoic chamber)，反之，沒有的稱之為半電波暗室(SAC,semi-anechoic chamber)。電波暗室為 OATS 之替代場地，因不受外界氣候與電磁環境影響，已漸漸成為 EMC 量測必備的設施。

電波暗室六面牆皆貼上電波吸波體為全電波暗室(FAC, fully-anechoic chamber)，天線可放在離待測設備 1 米的距離，但如果較大的距離是可能的話，則在待測設備的平面產生更適合的場強，較佳的距離是 3 米，因太近的距離時天線和待測設備之間的相互耦合會影響到場強的均勻性，故一般的距離為 3 米。若地板保留金屬面(不鋪設電波吸波體)者為半電波暗室(SAC, semi-anechoic chamber)。

3 米電波暗室內部尺寸約 9m(L)×6m(W)×6m(H)，可通過 R=3 米之 NSA 驗證，為符合法規之 3 米之 RE 測試場地；相同的，10 米電波暗室內部尺寸約 20m(L)×17.3m(W)×10m(H)，可通過 R=3 及 R=10 米之 NSA 驗證，為符合法規之 3 米及 10 米之 RE 測試場地。

由 FCC 及 CISPR22 的 RE 標準，要建立同時符合這二個的 RE 輻射標準，為 10 米電波暗室，但 10 米電波暗室要建立在商業大樓中空間、成本還是太高，因此還有一種更小型的電波暗室，可容易建立於一般商業大樓，小型電波暗室如 7m(L)×4m(W)×3m(H)

雖然無法符合 ANSI C63.4 之 NSA 要求，但可事先透過與 OATS 或 RE3 米、RE10 米之電波暗室測試比對校正後，即可執行 RE 預先測試(pre-scan test)，可快速了解產品在開放測試場地之測試情形及縮短解決問題的時間、成本。當預掃結果符合 EMC 標準之後再至標準實驗室做測試。本論文的實驗測試即以此種電波暗室為測試依據。

2-5 PCB EMI 產生的原因

2-5-1 瞬變電流

要能夠快速地、有效率地解決 PCB 上的 EMI 問題，必須要清楚的知道 EMI 在 PCB 板上是如何產生的。在整塊 PCB 板中主要考慮的是電壓瞬間變化所造成的瞬變電流和信號的迴流路徑大小有關。在任何導線中移動的電荷可以產生電流，此流動的電流會產生時變磁場，時變磁場又會產生一個與之垂直的電場，所以當原來的磁場或電場發生變化時，相對應的電場和磁場即會同時出現變化，這樣的交互交替就會造成一個會跑的電磁場，高頻輻射就是這些磁場與電場的組合。由於在高速 PCB 及系統設計內，高頻信號線、積體電路接腳、各類的接、插件等都有可能成為具有天線特性的輻射干擾源，根據 Maxwell 方程式可以知道，高頻能量可以藉由上述的任一個有效的傳導路徑以輻射或是傳導方式，磁場和電場即會離開 PCB 板子，因而造成電磁干擾的來源。

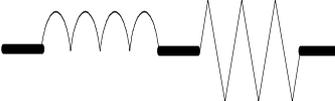
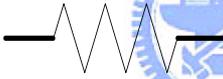
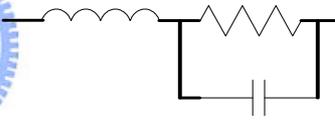
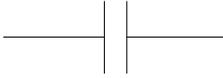
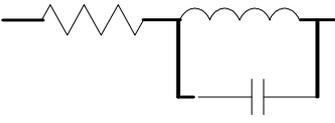
2-5-2 被動零件高頻特性

另一個最容易讓設計人員忽略的因素，即是在 PCB 板上的導線及被動零件的高頻隱藏特性有關。這些特性與大家所熟悉的低頻特性有相當大地不同，這也就是為什麼要清楚了解、有效地控制 EMI 時，必須知道這些被動元件(電阻、電感、電容等元件)在高頻的特性。由於在低頻時，電路之尺寸相對於工作頻率之波長而言小得很多，可以忽略不計電路尺寸的問題。所以，在電路中的任二點之間的電位差是可以忽略不計的，也就是說，任何一點之電壓、電流是固定的，所以分析低頻電路變得非常簡單且相當地準確。當頻率漸漸提高後，電路尺寸相對於工作頻率之波長已不再很小時，已不可忽略不計，因此在高頻電路中的任何一點、導線、被動零件皆須以電磁理論依其工作頻率不同來分

析。

表 2-4 中列了被動零件的高、低頻零件的特性，從表中可以很清楚地知道，電阻器在高頻時的特性就如同一個電感串聯一個電阻與電容並聯；電容在高頻時的特性就如同一個電感、電阻及電容串聯在一起；電感在高頻時的特性就如同一個電阻串聯一個電感與電容並聯。這些特性就是被動零件高頻隱藏特性，此一隱藏特性使得該零件在高頻的特性與原本在低頻時所熟悉的特性不一樣，造成原本所加的被動零件，在高頻的頻率響應時未如預期甚至可能呈相反的狀態，進而造成 PCB 板的電磁干擾問題。

表 2-4 被動零件高低頻特性[4]

零件 \ 頻率	被動零件高低頻特性	
	低頻特性	高頻特性
導線		
電阻		
電容		
電感		

2-5-3 高頻迴流路徑

另外，根據克希荷夫(Kirchhoff)和安培(Ampere)定律，若是要使一個電路能夠動作時，必須是一個封閉的迴路；若封閉迴路不存在時，信號是無法從 Driver 端透過傳輸線傳送到 Receiver 端的。在 PCB 結構中信號從 Driver 傳送到 Receiver 端，必須要有一個迴傳路徑才能形成一個封閉的迴路，而這迴傳路徑必須是阻抗最小的，通常此迴流路徑通常是一條接地走線或是一個接地平面。信號從 Driver 端透過傳輸線將信號傳送到 Receiver

端時，就如同 Driver 端驅送一個高頻電流至 Receiver 端，由 Ampere 定律此高頻電流必須全部流回至 Driver 端，因此形成一個封閉的迴路。此高頻電流流回至 Driver 端所走的路徑稱為高頻迴流路徑，此高頻電流迴路的大小與 EMI 的產生有很大的關係。

因此，在高頻電路中，對任何導線或是 PCB 走線，其電路阻抗可以使用下列簡單的式子來表示

$$Z = R + jX_L + \frac{1}{jX_C} = R + j\omega L + \frac{1}{j\omega C} \quad (2.1)$$

$$\omega = 2\pi f \quad (2.2)$$

由上式中可知電路的阻抗與頻率有很大的關係，當操作頻率愈來愈高，影響導線或是 PCB 最大的因子是 $X_L = 2\pi fL$ 這項。由於阻抗大小會受到頻率的影響，這時可以利用下列的公式

$$|Z| = \sqrt{R^2 + X^2} \quad (2.3)$$

當頻率低於數 kHz 時，阻抗最小的路徑是電阻；當高於數 kHz 後電抗 X 漸漸地大於 R，此時整個阻抗公式受到電抗來主導。所以在頻率愈高時主宰 RF 迴路電流為電抗最小者。任何在 PCB 上的走線皆具有一個有限的阻抗值，由於這個「走線電感」的效應，再加上高頻迴路電流，使得線上會有射頻電位的發生。此射頻電位即是電場強度，那此電場強度對電磁干擾的影響有多大呢？

依電場強度定義即是兩點之間的電位差與距離之比(即 $E = V/d$)，電場強度造成的影響有多大呢？從以下的例子即可很清楚地知道，假設有一根 1 米長的導線，當其流過數安培的電流時，導線兩端電壓最多也只不過幾十毫伏特的壓差，依電場公式，除上距離後可得到其電場強度約數十 mV/m 的電場強度，也就是說，這數十 mV/m 的電場強度約等同於導體內產生數安培的電流；另外由電磁理論知磁場強度與電流呈正比，由此可知電場強度對干擾能力之強。這也就是為何高頻能量可以在 PCB 中非常容易產生的原因。任一個高頻迴流環路都可以等效成一個天線，迴流環路面積愈大所引起的電場強度即愈強，同時對 EMI 的影響也愈大。我們都很清楚地知道繞線會產生很高的電感值，尤其是繞線長度越長時電感越大，因此在走線時務必越短越好，才不會造成太大的射頻電位的

發生，而無法達到 EMC 標準。

總而言之，EMI 產生的原因是電路元件工作時的瞬間電流變化 di/dt 所造成，及未做好適當地處置導致雜訊由空氣中輻射出去。另外，不管您的 PCB 上的零件擺放、佈線是設計的多麼地好，磁場和電場都永遠存在，想完全抑制電磁輻射是不可能的，唯有在 PCB Layout 階段透過適當佈線、導入部份屏蔽措施，儘可能的消除、減弱磁力線，始可大幅的降低、減輕 EMC 的威脅。

2-6 造成電磁干擾的種類

引起電磁干擾的原因有許多，總歸來說為操作頻率太高及佈線設計不良所造成。在電子產品中操作頻率的提高是不可避免的趨勢，因此唯有從 PCB 板佈線設計來解決。佈線的好壞對 PCB 板的高頻迴流路徑的影響是非常地大。

在 PCB 板上因高頻迴流路徑的不同，而造成 EMI 輻射主要分成二個模式。差模模式(Differential Mode)與共模模式(Common Mode)。以下針對這二個模式做一簡單地說明：

差模模式

主要是 PCB 板上的信號間的走線與地層的“局部電流迴路”所形成的，此局部電流稱之為差模電流。理論上，從驅動源沿著走線傳送至接收端的電流大小，將會有一個大小相等但方向相反的電流流回至原來的驅動端，這是在二導體之間極靠近的情況下才會發生，若是能夠如此設計則該電路中即沒有 EMI 干擾的問題。然而，在實際的況下 PCB 板中二導體間存在著一定厚度的介電材質，造成有一“小部分”的電流迴路出現在離信號線底下較遠的地方，一般信號線的迴流分佈狀態如圖 2-8 所示，使得迴流路徑較大的部分造成 EMI 干擾問題。



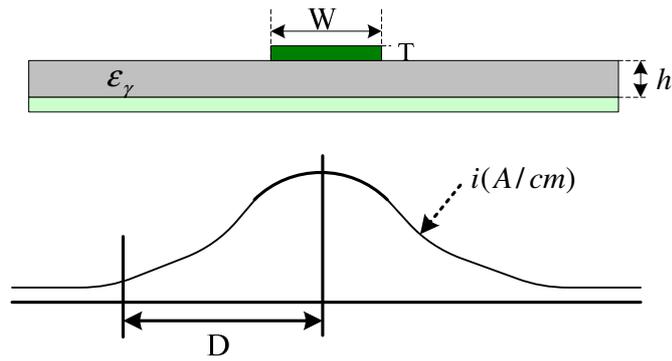


圖 2-8 信號迴流路徑分佈情形[6]

$$i(A/cm) = \frac{I_o}{\pi h} \times \frac{1}{1 + \left(\frac{D}{h}\right)^2} \quad (2.4)$$

I_o : total signal current (A)

h : high of trace (cm)

D : distance from trace (cm)



當走線長度小於 $1/10 \sim 1/20$ 波長時，差模輻射所造成的差模輻射電場的經驗公式如下所示

$$|E|_{Diff.} = 2.63 \times 10^{-14} \frac{A f^2 I}{d} \quad (V/m) \quad (2.5)$$

I : 電流迴路的電流大小

f : 電流迴路的電流頻率

A : 電流迴路所形成的面積

d : 干擾源與受擾源之間的距離

由於干擾源與測量點的距離 d 是固定的，且產品的操作頻率 f 無法改變，由式(2.5)可發現差模輻射電場只與二個因素有關—即電流大小及電流迴路所形成的面積[1]。

共模模式

主要是電路板上的信號藉由耦合機制到其他信號線，造成接地層雜訊。此雜訊是由原本想要的信號在零件擺放位置、佈線不合理及接地系統設計不良等造成，皆會產生接地雜訊。這個接地雜訊會造成零電位的接地層中任二點間不再是零電位，此電位即所謂的電場強度。接地層間有電位差將會造成共模電流。當走線長度小於 $1/10 \sim 1/20$ 波長時，共模輻射所造成的共模輻射電場的經驗公式如下所示

$$|E|_{Com.} = \frac{4\pi \times 10^{-7}}{d} If\lambda \quad (V/m) \quad (2.6)$$

I ：共模雜訊的電流量

f ：共模雜訊的頻率

λ ：天線長度（參考點為地端）

d ：干擾源與受擾源之間的距離



同理，干擾源與測量點的距離 d 是固定的，且產品的操作頻率 f 無法改變，再加上探討一個固定電流源下，由上式可發共模輻射電場只與一個因素有關—即天線長度。此天線長度即是高頻電流的迴流路徑[1]。

由上二式可發現在相同的電流下，共模電場輻射的大小遠大於差模電場輻射。造成共模輻射的原因有很多種，要很清楚、明確地去預測是那裡的信號所造成，是很困難的一個問題，為解決此問題可用的變數僅是降低迴路電流的路徑，例如採用適當的接地規劃降低、減少共模輻射。

從差模及共模輻射電場強度二個來比較，可以發現造成 PCB 板主要 EMI 不良點大都是共模成份較多。然而，在實際的應用中，共模電流會比差模電流小很多，因此 PCB 板上所量測到的結果不只是共模輻射而已，而是共模及差模輻射二者共存的。這可從我們常在實際測試時所看到的結果：共模輻射通常是發生在頻率較低處；而差模輻射則發生在較高頻的部分。這是因為差模的輻射能量與頻率的關係是呈現平方關係，因此當頻

率往上提升之後，差模輻射所增加的幅度會遠比共模輻射來得快很多。



第三章

EMC 對策介紹

3-1 微帶線

微帶線(Microstrip)是電子產品中設計 PCB 板時常使用到的結構，尤其是對價格較敏感的產品，幾乎都是使用此種結構。微帶線的結構圖及電、磁場分佈圖如圖 3-1 所示，微帶線的信號線位於介質層上，由信號線的上方暴露於空氣中，而另一側的接地平面位於介質層的下方。從微帶線的電、磁場分佈情形，可很清楚地知道此種結構特性而言對 EMC 而言是不利的，但由於其價格因素及容易製造等因素，還是受到廣泛的使用。因此我們必須對其結構、特性有所認識，才能設計出好的板子。微帶線具有以下特性

1. 電場穿透二種不同的介質，較難控制阻抗
2. 由於較小的耦合電容，故傳播速度快
3. 空氣的介電係數(1)較 PCB 的介電係數低(FR4 一般約 4~4.5)，所以整體的有效介電係數較低($1 < \epsilon_{r,eff} < \epsilon_r$)
4. 由於信號線位於 PCB 表面，較容易受到外部信號的干擾
5. 可以高密度佈線

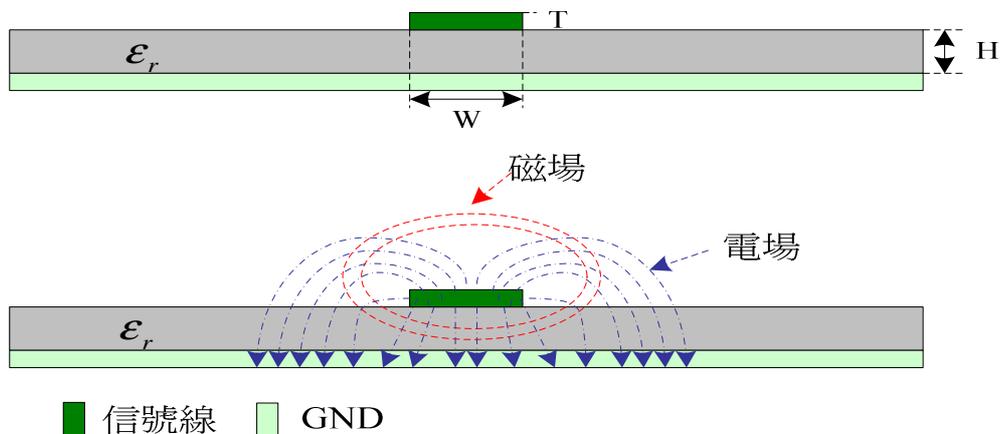


圖 3-1 微帶線結構及其電磁場分佈情形[14]

微帶線相關的特性計算公式如下

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln\left(\frac{5.98h}{0.8W + t}\right) \quad (0.1 < W/h < 0.8 ; 1 < \epsilon_r < 15) \quad (3.1)$$

$$W = \frac{7.475h}{\exp(Z_0 \sqrt{\epsilon_r + 1/87})} - \frac{t}{0.8} \quad (3.2)$$

$$\epsilon_{r,eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{10h}{W}\right)^{-1/2} \quad (3.3)$$

$$t_d = 84.75 \sqrt{\epsilon_{r,eff}} \quad \left(\frac{ps}{in}\right) \quad (3.4)$$

$$C = \frac{84.75 \sqrt{\epsilon_{r,eff}}}{Z_0} \quad \left(\frac{pF}{in}\right) \quad (3.5)$$

$$L = 0.08475 \sqrt{\epsilon_{r,eff}} Z_0 \quad \left(\frac{nH}{in}\right) \quad (3.6)$$

從上面幾個公式可知，只要改變微帶線中的任一結構的參數，即會改變特性阻抗值，例如當線寬 W 愈大時特性阻抗 Z_0 愈小；線寬 W 變大的話，導體與參考平面之間的電容 C 變大和導體的電感也變小，對特性阻抗 Z_0 的主要影響是因為電容 C 的變大。各種參數變化對 Z_0 的影響程度是不同的，影響最大的是介質厚度 h ，其次是介質常數 ϵ_r 和導線寬度 W ，影響最小的是導線厚度 t [5]。

依 FR4 材質的二層板的微帶線結構，爲了要有效控制電磁干擾的問題，要在 PCB 板上做出一條與驅動裝置輸出特性阻抗相同爲 50Ω 的信號線，其寬度 W 約爲介質厚度 h 的 2 倍，如此設計必定無法符合現在產品輕、薄、短小及操作速度快的趨勢，所以只能透過其他的技巧來將驅動裝置與信號線間的阻抗不匹配消除，如在稍後章節介紹的終端技術。

3-2 高頻信號迴流路徑

從基本電學我們很清楚地知道：任何一個能動作的電路必須爲一封閉迴路，當電流從傳送端傳送至接收端，在導線上就會產生一大小相同、方向相反的迴流，因而構成一

個封閉迴路。在 PCB 的設計上任何一條信號線並無特別地為它再拉一條線回至原本的傳送端，所以在 PCB 上的迴路電流只能透過 PCB 的接地層來當迴流路徑。事實上，信號迴流的途徑是多方面的，除了大家最為熟悉的參考地平面外，還有如相鄰的走線、PCB 板中的介質和空氣都有可能是其選擇的路徑。至於會選擇那個路徑則是看與信號線間的耦合程度而定，耦合最強的將成為主要的迴流路徑。要確定由那個路徑耦合會最強，則需要更進一步的使用模擬軟體、清楚知道 PCB 板子上的寄生參數等數據才能準確地預估，故在本論文當中只以單一信號線的情況來探討電流迴路的問題。

電流的迴路路徑的選擇是依頻率的不同而改變。當頻率低時(約數 kHz)迴路電流是沿著最小阻抗的路徑流回至傳送端，通常此最小阻抗路徑為最短、最寬的路徑；當頻率提高(約數百 kHz)之後，迴路電流是沿著最小阻抗(電感最小)的路徑回至傳送端，通常電感最小之路徑為在信號線的下方。高低頻迴路電流之示意圖如圖 3-2 所示



圖 3-2 高低頻信號迴流路徑示意圖

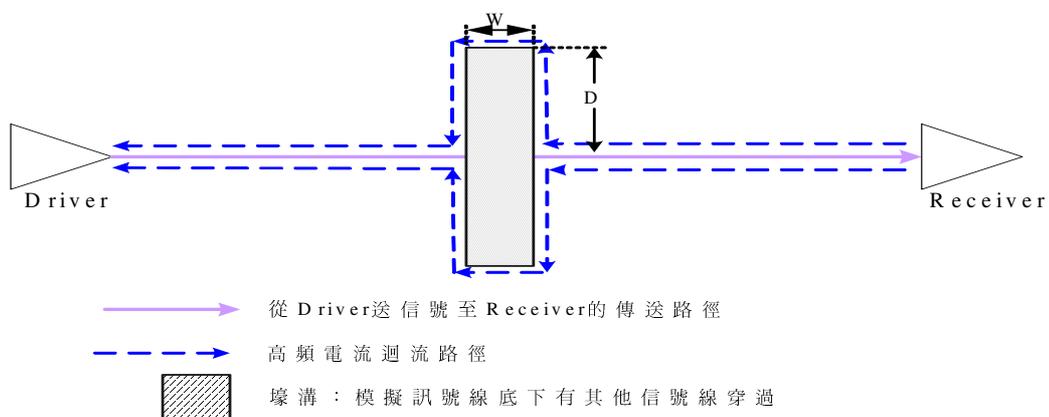


圖 3-3 高頻信號迴流路徑被切割時迴流示意圖[14]

$$L = 5D \ln \frac{D}{W} \quad (3.7)$$

頻率愈高電流會集中在導線的下方，這是在單一線路時或是線路與線路間距很大時。依現代產品 PCB 板上走線的密度而言，這種情形很難遇到。在二層板中很常遇到信號線的背面有其他信號線穿越過去，其示意圖如圖 3-3 所示，從前面我們已很清楚地知道，迴路電流必須繞過此信號線(壕溝)，如此即會造成迴流路徑變大，跨越此信號線(壕溝)時所增加的微量電感，再由感性電壓公式 $V = L di / dt$ ，在相同的電流下，由於迴流路徑的電感量增加，造成雜訊電壓增加而造成電磁干擾更加嚴重[14]。

由於成本的考量，無法增加 PCB 的層數來解決此問題時，必須利用一些技巧來減小迴流路徑來降低電磁干擾程度。在二層板的應用有二個方法可解決此種方法。方法一如圖 3-4 所示，信號線在背面被其信號線(壕溝)穿越過的地方，跨接一顆 0 Ohm 的電阻在此信號線(壕溝)的二端來減小迴流路徑，此顆電阻的擺放位置相當地重要，要儘可能地靠近信號線的正底下[6]。

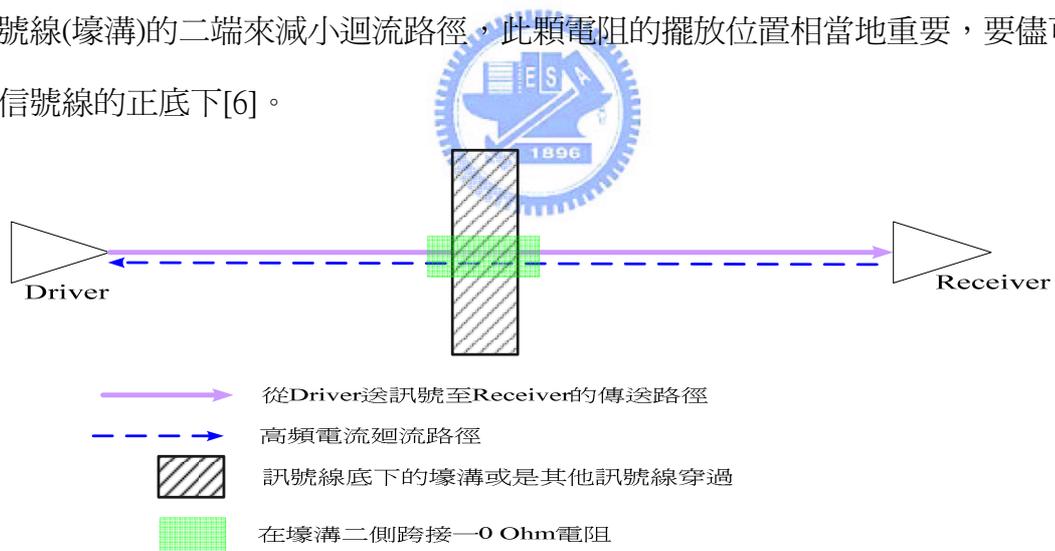


圖 3-4 高頻信號迴流路徑被切割時利用電阻修補示意圖[6]

方法二如圖 3-5 所示，信號線在背面被其它信號線(壕溝)穿越過的地方，透過 Layout 技巧在適當的地方變換層，使得原本的信號線在背面被其信號線(壕溝)穿越過的區域最小，來達到降低迴流路徑的目的。其中有一點必須注意的是，當同時有多條信號線在背面被信號線(壕溝)穿過時，使用此方法反而造成整個地層被切割地更破碎，可能造成反效果；此方法與方法一相比較，適用於單條信號線或是佈線密度不高時使用，本論文以

探討方法一為主題。

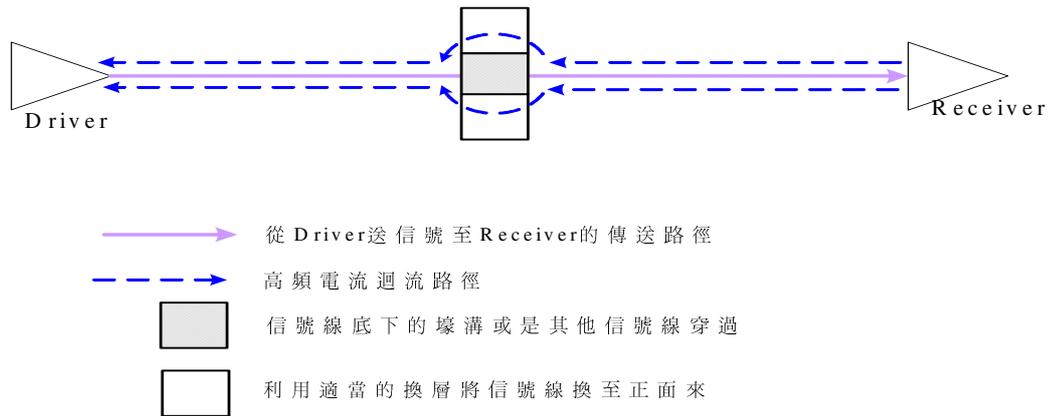


圖 3-5 高頻信號迴流路徑被切割時利用 Layout 修補示意圖

PCB 板的 Layout 與電路圖上零件擺放位置是不成對應的關係。也就是說，在電路圖中二元件擺放位置很近、零件接地點位置很近時，在實際 Layout 時會因空間位置、佈線等因素，而有相當程度地不同，例如較長的走線距離或是零件接地點較遠等。因此，在 PCB Layout 佈線時即要將上述這種因素考慮進去，同時適當地規劃信號迴流路徑，如此才能降低信號迴流路徑，減小因迴流所造成的電場強度大小，進而減輕電磁干擾的程度。



3-3 防護線

在 EMC 中為了減少鄰近訊號的干擾，大家最常使用的是 3W 法則。這是由於 3W 法則可以讓 70% 的電場不互相干擾，若要更進一步達到 98% 則必須使用到 10W 距離。使用此方法不符現在的產品發展趨勢—體積越來越小、功能愈多與製造成本儘可能的降低（最常使用的是將 PCB 板的層數減少），因此使用 3W 法則來執行 layout 時即顯得不可行。

因價格考量，無法增加所使用的板子層數的話，例如只能使用二層板時，再使用 3W 法則不僅會造成 PCB 板裁大幅地增加外，同時也增加了整個產品的成本。所以必須考慮其他方法來改善，在不增加成本的前題下且能達到相同、相近的效果，例如使用防護線 (Guard trace) 方法來降低電磁干擾的程度，至於如何使用才能夠達到有效的效果，必須清楚了解 Guard trace 的特性及對信號的可能影響，才能夠熟練的使用此技巧。

Guard trace—防護線，從名字即可很清楚地知道是用來防護、防衛信號線的。使用

方式是平行於信號線二旁的接地線做為防護，從 Driver 的輸出端一直至 Receiver 輸入端為止，常做為 Clock、週期性信號或是高速切換的信號等防護，尤其 Guard trace 用於兩層板之上，包圍在高頻信號線二旁時對 EMI 效果特別有效。

另外，在信號線二旁加上 Guard trace 時，必須特別注意到此 Guard trace 與信號線間的距離，由於在信號線二旁加上 Guard trace 之後會有二個現象產生，示意圖如圖 3-6 所示

1. 電場 fringing 至空氣中的量減小，而至 PCB GND 中的量增加了
2. Guard trace 與原來的信號線可看成是二條平行的導線

這二個現象皆將造成整體的耦合電容增大，因而降低此信號線的特性阻抗，Guard trace 距離信號線愈近時特性阻抗愈低。由於改變了信號線的特性阻抗，使得 Driver 端、信號線與 Receiver 端的負載阻抗不匹配，造成信號完整性(Signal Integrity)問題，必須依所採用的 IC 的邏輯家族採用適當的阻抗匹配對策，在降低電磁干擾與信號完整性二者之間取一個最有利的平衡點。

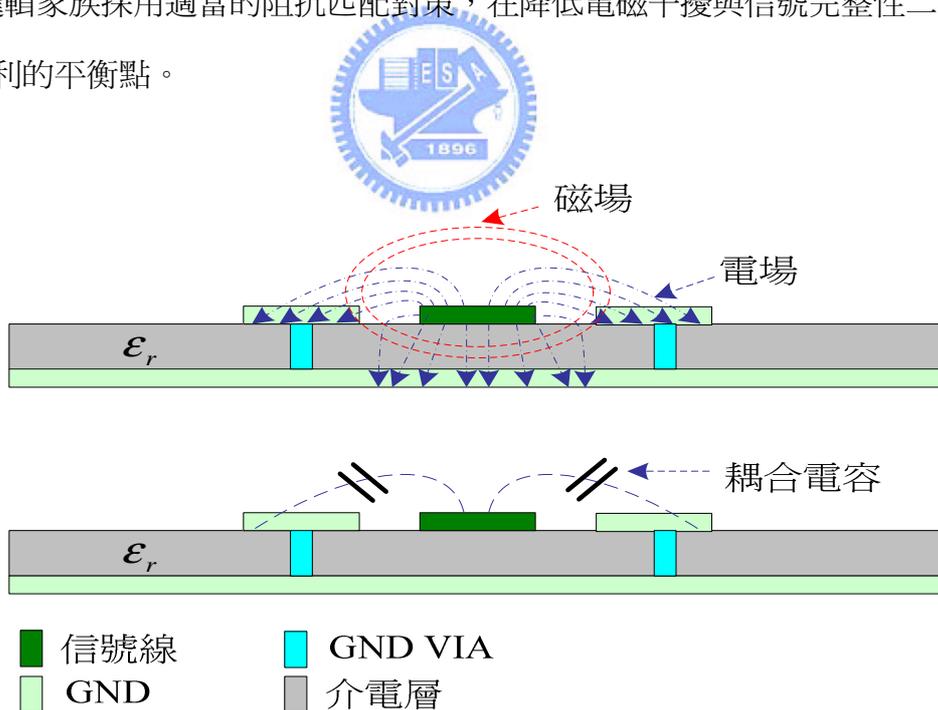
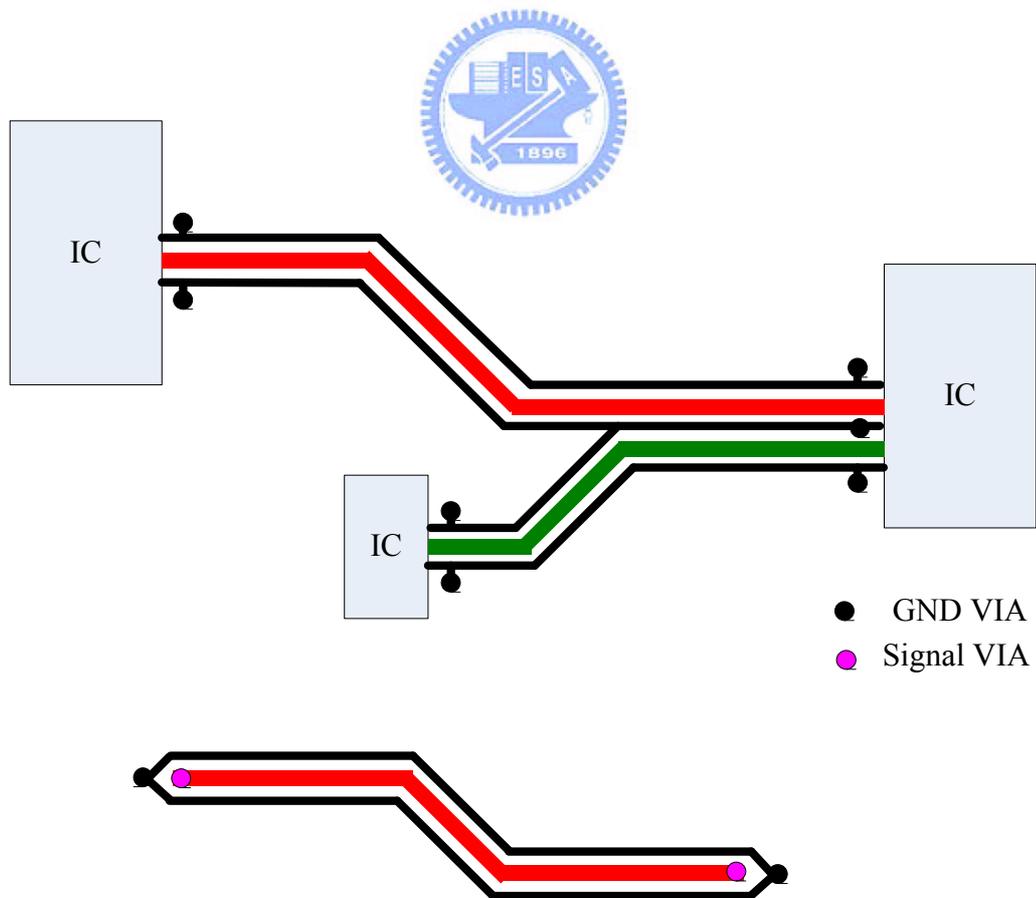


圖 3-6 信號線旁加 Guard trace 後,對電場的影響

雖然 Guard trace 用於兩層板之上對於電磁干擾的效果非常地明顯，若使用不當不僅無法達到預期的效果，以下列出 Guard trace 的使用原則，其示意圖如圖 3-7 所示：

1. 要特別注意的是在 Guard trace 的頭尾二端必須接地(即傳送端及接收端)其屏蔽效果才會顯著。
2. 儘可能的減低 Guard trace 與信號 trace 間的距離，且此分隔距離要保持固定，如此才能使二者之間的分佈電容會是最底的，有利於對其諧波有很大之壓仰效果。
3. 當有二條信號線互相平行時，其中間所加的 Guard trace 是可以共用的，但在某些情況下是不允許的，例如像在 differential pair 這種成對出現的信號。
4. 如果信號的走線長度太長時，可在 Guard trace 上打較多的 VIA 連接至地面，以增加其防護效果，以 Intel 的建議是每隔 $\lambda/20$ 打一個 VIA。在 Guard trace 上打 VIA 的原則為在信號二旁要對稱，VIA 與 VIA 之距離不要固定。
5. 若信號線經由 VIA 換至另一平面時，其 Guard trace 的處理情形必須如圖 3-7 下方之圖形所示，同樣必須將信號 VIA 包圍起來。



信號線經由VIA換至另一平面時其Guard trace的處理

圖 3-7 使用 Guard trace 的使用方法[4]

3-4 阻抗匹配

當電路在高速操作時，連接 Driver 端至 Receiver 端之間導線必須以傳輸線來看待，因此阻抗匹配即變的很重要的，未做好阻抗匹配將造成信號在導線二端產生多重反射；過大的高頻能量將會影響到鄰近的其他信號，甚至將此能量輻射出去而造成 EMI 的問題。

爲了降低在傳輸線上這些非預期的反射干擾現象，終端技術是最有效且最常用的方法。終端技術的主要是利用各種方法，儘可能提供一個阻抗匹配的傳輸線，使得在 Driver 端至 Receiver 端的反射干擾能降低至最小，同時還能減緩信號的上升下降速度。由於採用終端技術的方法有很多種，必須依所使用的積體邏輯電路來選擇，若是選擇不恰當的終端技術不僅無法達到預期效果，甚至會造成更大的信號的反射而影響到信號的雜訊容限或造成串擾等問題。

以下針對幾個常用的終端技術做一簡單的介紹，每種方法去各有其優缺點及其適用的邏輯家族，必須依您的需求而選擇適當的終接技術[1]。

串聯終端技術

串聯終端技術從其名字即可了解此終端電阻是與信號導線是呈串聯連接的，連接示意圖如圖 3-8 所示。至於此串聯終端電阻所要擺放的位置就顯得非常的重要，此串聯終端電阻擺放位置務必愈靠近驅動裝置的輸出腳愈近愈好，主要是希望能夠讓此串聯終端電阻能夠成爲驅動裝置輸出的一部分，用以補償驅動裝置輸出特性阻抗，使得整體的阻抗能夠與導線的特性阻抗相匹配；若是將串聯終端電阻離驅動裝置的輸出腳太遠時，此電阻可能變成傳輸線的另一個阻抗不匹配點，那麼此串聯終端電阻的效果會被大打折扣。



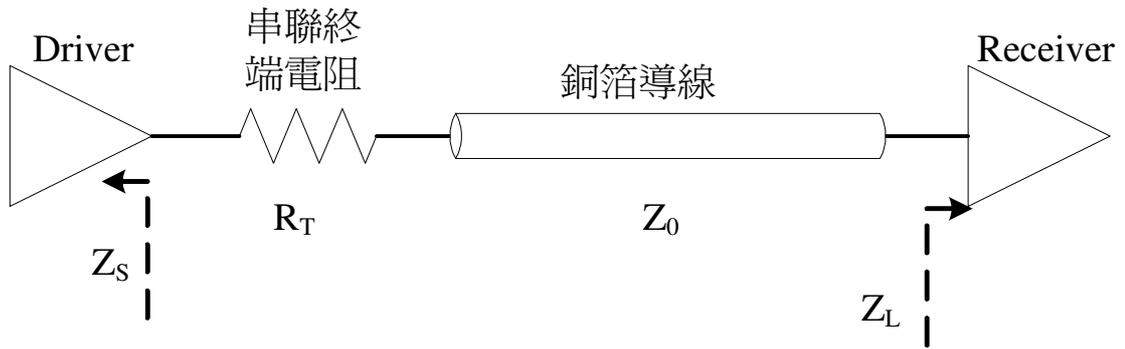


圖 3-8 串聯終端電路連接圖[1]

串聯終端電阻的電阻值的簡易估算的方式如下

$$R_T = Z_0 - Z_S \quad (3.8)$$

R_T ：串聯終端電阻

Z_0 ：導線(傳輸線)的特性阻抗

Z_S ：驅動裝置的輸出阻抗



通常 R_T 的阻值約為 10~75 歐姆。

採用串聯終端技術對減低 EMI 的幅度最為明顯，因為透過串聯終端電阻的適當選擇，可以將 Driver 端送出的信號(Tx 信號)電壓振幅降低至原來的一半左右，因而降低了 Driver 端送出至 PCB 傳輸線上的電流，減少感性電壓公式 $V = L di / dt$ 中的 di 大小，因而達到降低 EMI 的目的。另外，採用串聯終端技術時必須注意邏輯電路的輸出高/低準位時，其輸出特性阻抗會有些許的差異，必須依那一個對整體的影響較大或是在二者之間取折衷。

並聯終端

此技術最早是由 IBM 公司所提出來，所以又稱為 IBM 終端技術。其連接圖如下圖 3-9 所示，並聯終端技術是在靠近接收端的輸入處連接一個終端電阻至 3.3V 直流電源，此接上的電阻即為並聯終端電阻 R_T 。當 R_T 值等於導線之特性阻抗 Z_0 時，在接收端的反

射係數 $\Gamma_L=0$ ； $R_L = R_T // Z_L \approx R_T$ ，表示在整個導線上沒有反射現象產生。由於並聯終端技術需要額外一個直流電源，且使用此技術的功率消耗相當的大，並不適合 CMOS 的 IC 封裝。

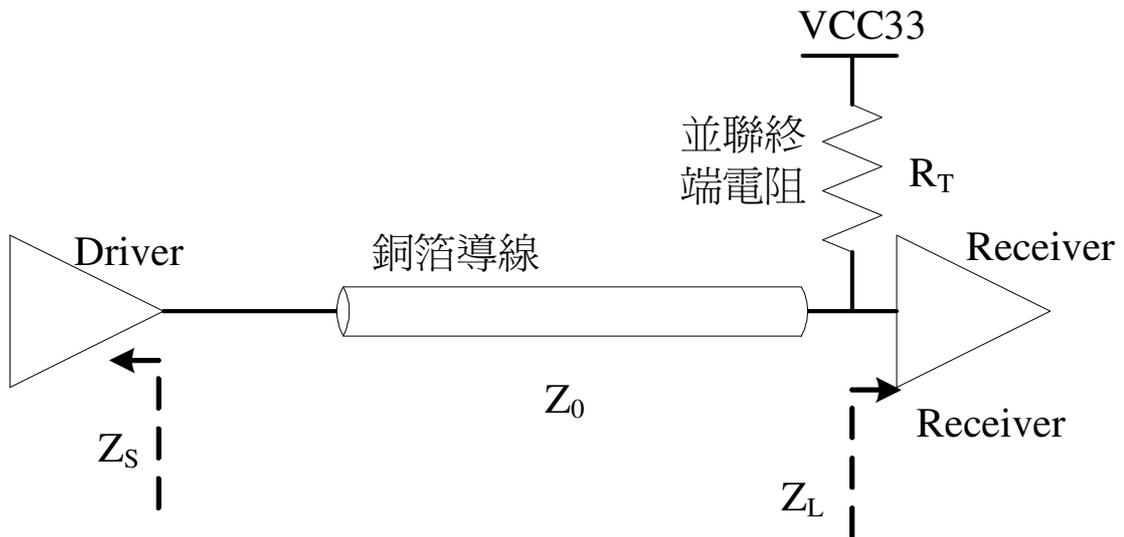


圖 3-9 並聯終端電路連接圖[1]

$$\Gamma_L = \frac{R_L - Z_0}{R_L + Z_0} \quad (3.9)$$

$$R_L = R_T // Z_L \approx R_T \quad (3.10)$$

其中 R_L 為終端電阻

Z_0 ：導線(傳輸線)的特性阻抗

Z_L ：接收端的輸入特性阻抗

戴維寧終端

戴維寧終端技術又稱為分離式終端技術，其連接圖形如下圖 3-10 所示。戴維寧終端技術是採用兩個並聯終端電阻 R_{T1} 和 R_{T2} ，二個並聯終端電阻分別連接至直流電源及接地，使得其邏輯高低準位與接收端能相符。 R_{T1} 和 R_{T2} 的選擇原則是 $R_{T1} // R_{T2} = Z_0$ 。由於戴維寧終端技術與並聯終端技術一樣，需要額外一個直流電源造成功率消耗相當的大，所以也不適合 CMOS 的 IC 封裝。

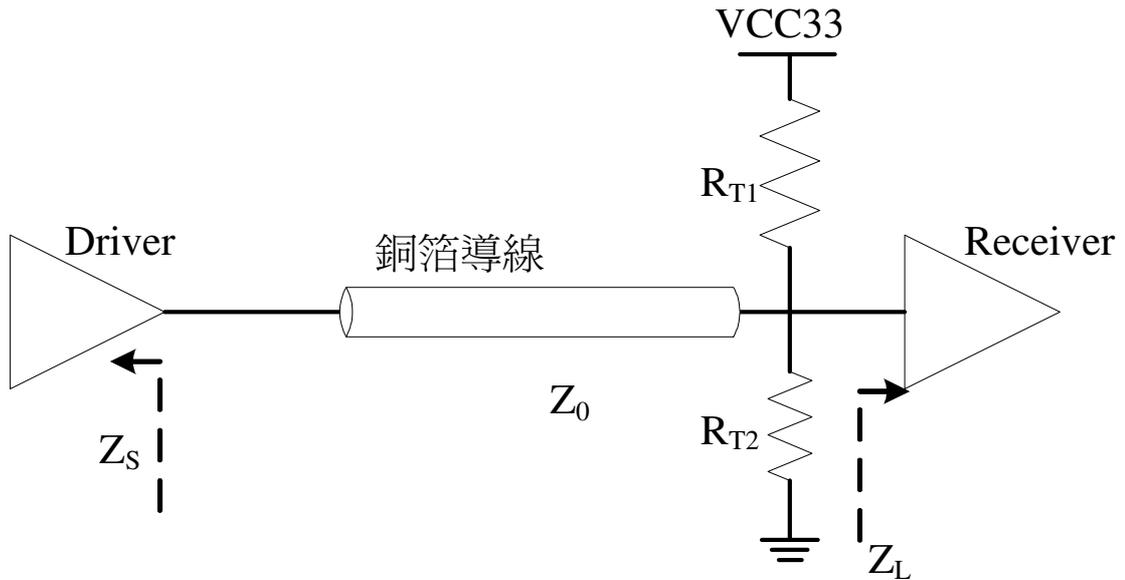


圖 3-10 戴維寧終端電路連接圖[1]

交流終端

由於並聯終端及戴維寧終端皆在接收端的輸入處加上一個直流電源而增加了系統的消耗功率，交流終端即是為改善此缺點而設計出來的另一個技術，其連接圖如下圖 3-11 所示。交流終端技術最主要是利用電容 C_T 具有隔離直流的特性，來隔離傳輸路徑上的 DC 電流，以達到降低功率消耗的目的。

交流終端技術所選用的並聯電阻 R_T 及隔離電容 C_T 值要特別的注意， R_T 值要等於導線的特性阻抗 Z_0 ；至於隔離電容 C_T 值的選擇必須依 RC 時間常數及操作頻率而定，其主要因為電容的充放電時間會受到操作頻率、工作週期、傳播時間延遲及上升時間的影響。一般並聯電阻 R_T 及隔離電容 C_T 值的選擇可依據下列二個公式來選擇

$$1. R_T = Z_0 \quad (3.11)$$

$$2. \frac{1}{2\pi f C_T} = 2\Omega \quad \text{或是} \quad Z_T * C_T = 3t_d \quad (3.12)$$

其中

t_d ：為線路的时间傳播延遲；

f ：為操作頻率

C_T 值一般選擇 20~600pF

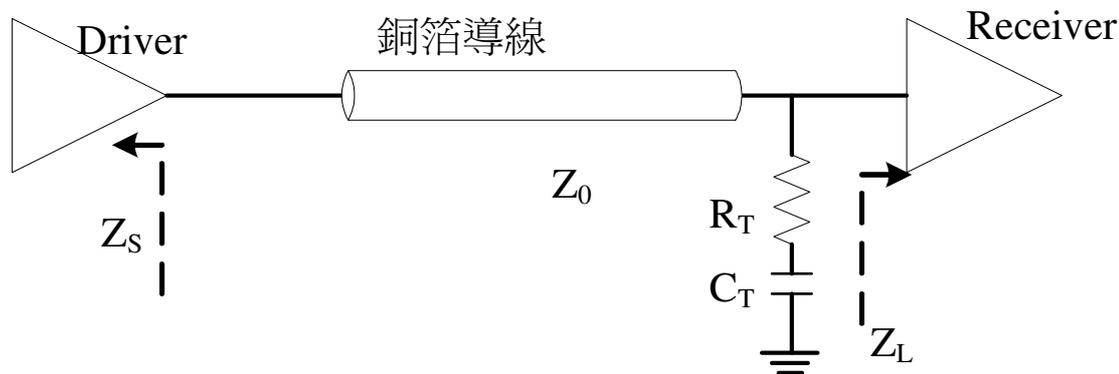


圖 3-11 交流終端電路連接圖[1]

由於不同的邏輯家族的高/低準位的輸出電阻皆不相同，必需依所使用的邏輯家族選擇適當的終端技術。常用的終端技術分別有下列幾種：串聯終端、並聯終端、戴維寧終端及交流終端。下表 3-1 針對各種終端技術的優缺點做一比較。

表 3-1 各種終端技術的優缺點比較表[1]

各種終端技術的優缺點比較表				
終端技術	串聯終端 (阻尼終端)	並聯終端 (IBM 終端)	戴維寧終端 (分離式終端)	交流終端
適用邏輯家族	CMOS ECL FACT	ECL	TTL ECL FAST	FACT
終端電阻值	$Z_0 - Z_s$	Z_0	$2Z_0$	Z_0
終端電容值	無	無	無	$Z_T * C_T = 3t_d$
功率消耗	最低	最高	最高	中等
分散式負載的驅動能力	不佳	佳	佳	佳
傳播延遲	增加	不增加	不增加	不增加
上升時間	不增加	不增加	不增加	增加
改善的反射信號	二次反射	一次反射	一次反射	一次反射

本論文所使用的 IC 為 CMOS IC 依上表可知適合使用串聯終端技術，且減少 EMI 的幅度來看，以串聯終端的效果最為明顯。故本論文主要是以串聯終端來探討對 EMI 的相對關係，至於其他的終端技術不在此篇論文探討內。

3-5 信號完整性(Signal Integrity)

隨著高速數位電路輸出操作速度不斷地提高以及 PCB 板上密度增加，信號的完整性已經成爲高速數位 PCB 設計必須關心的重要問題之一。信號完整性是指信號在信號線上的失真的程度。一個良好的信號完整性代表的意思，在電路從 Driver 端送出的信號至 Receiver 端時，能夠讓 Receiver 端接收到的信號是正確的時序和電壓；信號完整性差可能是從 Driver 端送出的信號至 Receiver 端時，波形在其臨界值來回跳動或是波形抖動厲害，造成產品的誤動作或是不穩定等異常現象。在高頻電路中要得到一個完美的信號完整性是非常艱辛的挑戰，因此只要電路中信號能夠以要求的時序、持續時間和電壓振幅到達 Receiver 端，則該電路具有較好的信號完整性。

至於造成信號完整性差並不是由單一因素導致的，而是 PCB 設計中多種複雜因素共同引起的一個現象，例如，零件在 PCB 板上的擺放、信號線的佈線等皆爲造成信號完整性問題。如何在 PCB 板的設計過程中充分考慮到信號完整性的因素，並採取有效的控制措施，已經成爲當今高頻數位電路的 PCB 設計中的一個熱門課題。造成信號完整性問題主要包括反射、振盪、同步切換雜訊(SSN)、串擾等。常見引起信號完整性問題及一般的解決方法，分別如下所述。

反射

傳送端與接收端阻抗不匹配即會引起信號的反射，接收端將一部分電壓反射回傳送端，造成線路中傳送出去的信號與反射回來的信號彼此互相干擾。造成阻抗不匹配的原因，除了傳送端與接收端的輸出／入阻抗不同外，尙有其他方面的因素，如信號佈線的架構、使用了不正確的終端、經過貫孔、連接器等造成傳輸線上及電源平面的不連續等因素變化，均會導致信號的反射。可依所採用的邏輯家族特性，使用適當地終端技巧將反射降至最低，如此不僅可提昇信號完整性，同時對電磁干擾也有效地抑制。

振盪

所謂的信號振盪(Ringing)的現象是指信號達到電壓準位後反復地出現過衝(Overshoot)和下衝(Undershoot)的現象。振盪最容易發生在週期性信號中，如 Clock 信號。信號的振盪和環繞振盪(Rounding)皆是由線路上的電容引起，振盪屬於欠阻尼狀態（負載阻抗

大於線路之特性阻抗)而環繞振盪屬於過阻尼狀態(負載阻抗小於線路之特性阻抗),因此振盪和環繞振盪造成的原因同反射一樣,都可透過適當的終端技巧將其減小、降低,但無法完全消除。

同步切換雜訊(SSN)

當 PCB 板上的眾多數位信號同時進行切換時,由於電源線和地線上存在阻抗,當電路中有大的電流瞬間變動時,會引起原本真正的接地平面(0 電位數)上產生電壓的波動和變化,此種現象稱之為同步切換雜訊(SSN)。同步切換雜訊的強度與電路的 IO 特性、PCB 板電源層和接地層的阻抗以及高速元件在 PCB 板上的零件擺放和佈線方式息息相關。

串擾

串擾是發生在任何二信號線間互容和互感所造成相互干擾結果,串擾的大小與傳輸線間的平行長度成正比;與兩傳輸線間的距離成反比。在高密度複雜 PCB 設計中,要完全避免串擾是很難達到的。因此在佈線時要優先考慮較敏感信號線,佈線時對於不可避免的部分,儘可能地使用最大間距的平行走線、使走線儘可能的接近地層,以降低彼此互相的耦合來降低串擾。

表 3-2 造成信號完整性不佳的各種現象的不良原因及解決方法[28]

造成信號完整性不佳的各種現象的不良原因及解決方法		
現象	造成原因	解決方法
過衝	終端阻抗不匹配	終端端接
串擾	信號間耦合過大	使用上升時間較緩慢的驅動元件
延遲	傳輸線距離太長	重新佈線;檢查串聯端接
振盪	阻抗不匹配	在傳送端串接阻尼電阻

將高速數位電路中常遇到的各種信號完整性的問題、可能發生原因及解決方法整理如表 3-2 所示。在現在的高速數位產品,影響信號上升時間、脈寬時序、抖動或雜訊等

皆會影響到整個系統的性能和可靠性。一般對 PCB 板上的信號完整性的分析，皆是等到 PCB 板製作完成後再來分析、解決信號完整性的問題，因此往往也造成能夠有效解決的對策可能少之又少，縱使找到對策必也花費許多的時間及成本。爲了能夠保證信號的完整性，設計者必須先瞭解和控制信號經過的傳輸環境，針對各種現象在 PCB 設計之初即需考慮、導入對策、防護，才能提高設計產品的性能、縮短產品的開發時間以及降低開發成本。所幸，隨著時代的進步現在已發展出許多模擬軟體，如 EDA 軟體、IBIS 模型及 SPICE 模型等，設計者可配合這些軟體可事先預期將來的產品的長相，將防護對策加至離雜訊源最近的地方。由於這些模擬軟體不在本論文的探討範圍，故不多做贅述。

總而言之，造成信號完整性基本上是阻抗匹配的問題，而影響阻抗匹配的因素有邏輯類型的輸入／出阻抗、線路的特性阻抗、負載端的特性阻抗以及佈線的拓樸架構等。最佳的解決方式是利用終端技巧與調整佈線之拓樸。信號完整性問題除了造成產品性能、可靠度等問題外，最終將造成信號間電磁場問題，進而影響到整片 PCB 板上的電磁場，因而造成電磁輻射。在現代的高速產品要完全將信號傳送至接收裝置，無發生信號上的任何失真，所要付出的成本相當地高，且這幾乎是很難達到的。所以，信號完整性與電磁輻射就如同在天秤的二端，唯有在這二者之間做適當的取捨，設計出來的產品才能即時推出市場及降低產品的成本。

第四章

實驗方法及量測數值討論與分析

4-1 測試板子及量測方法、環境介紹

本論文所做的實驗主要是使用 IC Plus 公司所生產的 MAC Switch IC—IP1826C，爲了簡化實驗及專注於本論文所要探討的主題，此類 IC 我們只拿來做爲 Clock buffer 使用。因此只要提供一個 25MHz Crystal 及其所需的電源即可輸出多組 125MHz Clock。爲了降低電源部分對此次實驗的干擾至最低，電源部分採用對 EMI 影響最低的 Linear Regulator。使用一 5V/1A Adaptor 透過 DC-Jack 輸入至板子上，再由二個 AME1084 Regulator 分別由 5V 轉成 3.3V 及 3.3V 轉成 1.9V 共二組電源供給 IP1826C。

將 IP1826C 當成一個 Clock buffer，提供二組輸出 125MHz 做爲此次實驗的比較，在每組 Clock trace 靠近 IC 處串接一個 0 Ohm 電阻，目的是當 Clock A 在做實驗時可將 Clock B 的電阻移除，以降低對 Clock A 的準確性；此類電阻的亦可做爲本論文的另一個實驗阻抗匹配—串聯終端之使用。在每組 Clock 的終端以一 5pF 電容接地，模擬驅動器的負載端。整個板子的架構如圖 4-1 所示，電路圖的部分如圖 4-2 所示。

爲了使每片板子的量測結果可做相互比較，在本次實驗中每片板子上的每一個零件、導線粗細及貫孔位置等，皆擺在每片板子上相同的地方，只改變欲測試時的其中一個測試變數，以降低不同片板子的誤差至最低。在每個實驗中除非特別說明的設定部分，其他每個測試皆是將信號線的 Slew rate ON 及 Driving current 設定爲 12mA。本實驗只將 Clock 信號線拉出來做 EMI 量測，無其他信號線的電磁干擾等問題，故只探討 125MHz 及其倍頻的 EMI 電場強度。每次實驗以相同頻率所量測到的 EMI 電場大小做爲比較，特別將最大能量測得到的電場大小設爲 CISRP 22 RE Class B under 15dB，即 30~230MHz 爲 15dB μ V/m；230~1000MHz 爲 22 dB μ V/m，低於此數值即已非常地低故不做比較。

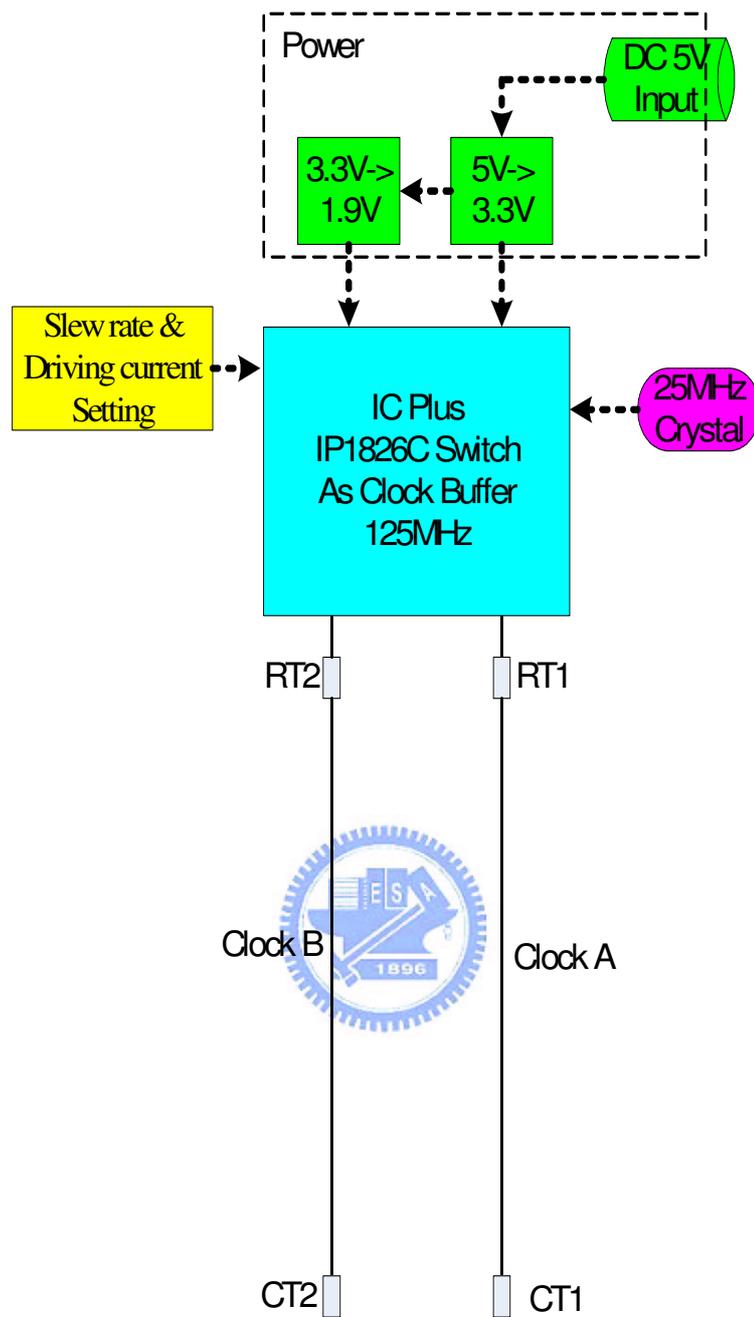


圖 4-1 測試板子架構圖

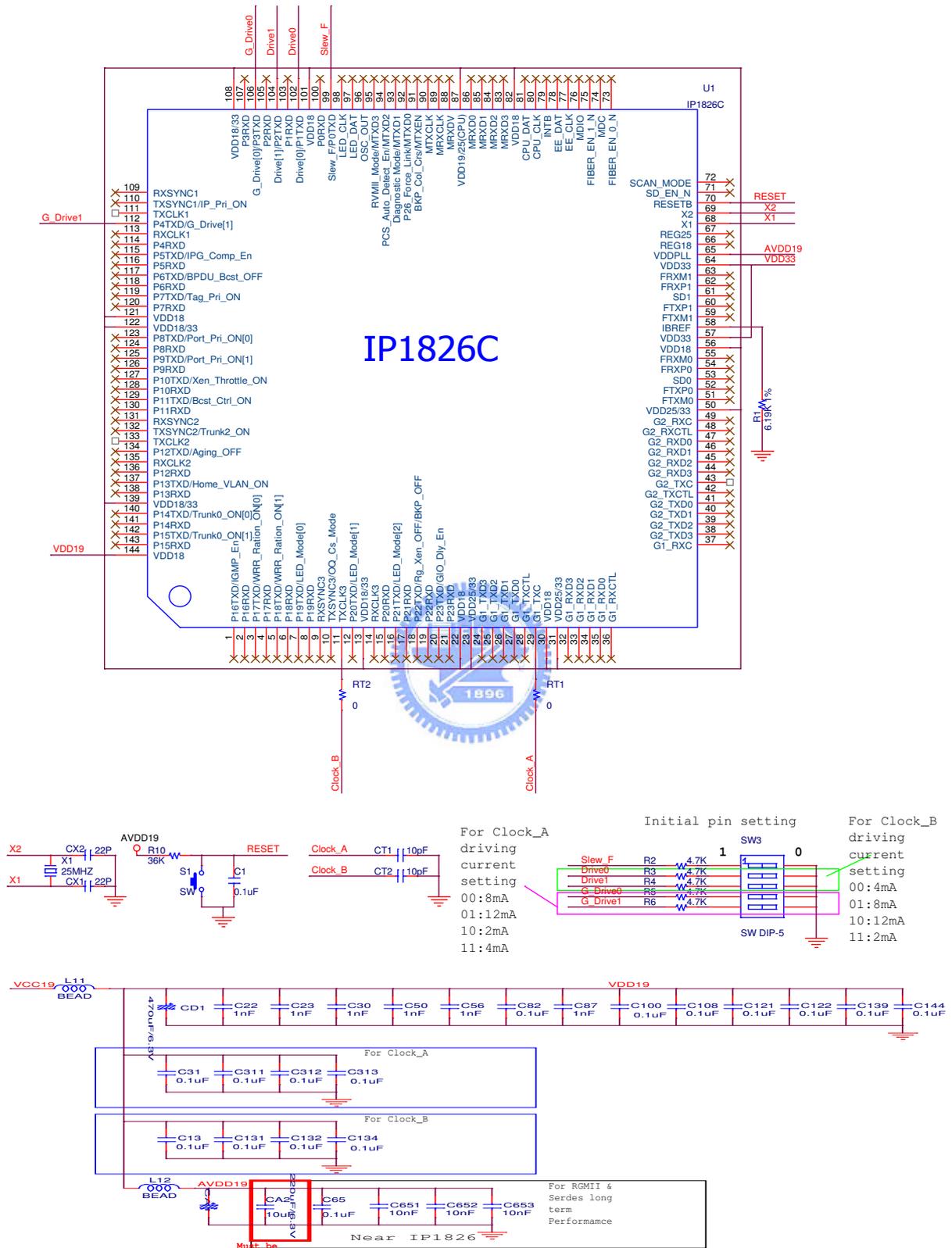


圖 4-2 測試板子線路圖

PCB 板介紹

印刷電路板是採用二層板設計，板厚為 1.2mm，整片板子的長寬為 151 X 53.9 mm；PCB 的材質為 FR4 材質，該材質的介電係數為 4.4；信號線的厚度為使用 0.5oz(0.7mils) 的銅箔；每一條信號線的線寬控制在 ± 1 mils。主要的零件、IC 及信號線部分皆放在 PCB 的 Top 層，同時在 TOP 層除了電源、信號線及所加的對策外其餘皆做裸銅處理；Bottom 層除了放置 IC 的 Decoupling 電容外，其餘為一整片 GND。圖 4-3~4-6 為本次實驗中 PCB 板正反面圖形。

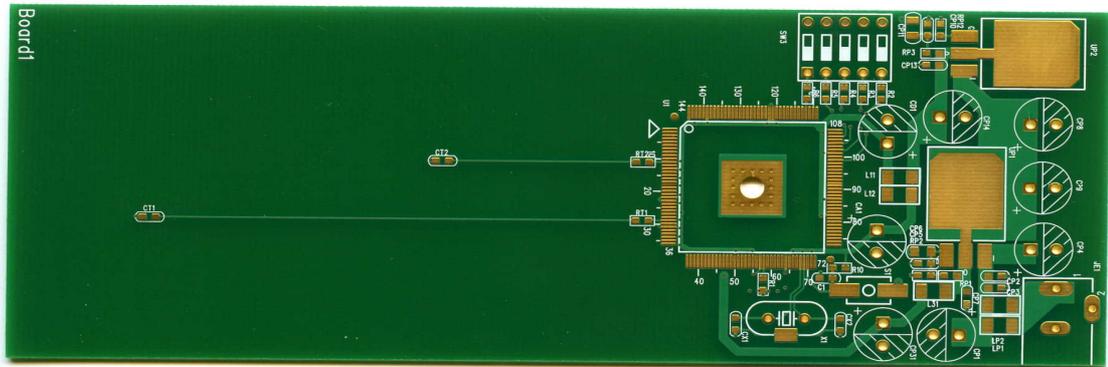


圖 4-3 Board1 信號線長分別為 7cm 及 3cm @NO Guard trace 正面圖

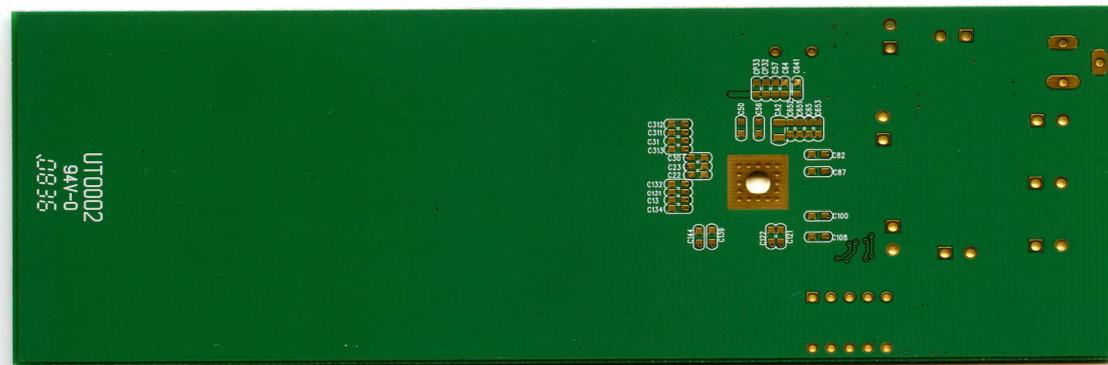


圖 4-4 Board1 信號線長分別為 7cm 及 3cm @NO Guard trace 背面圖

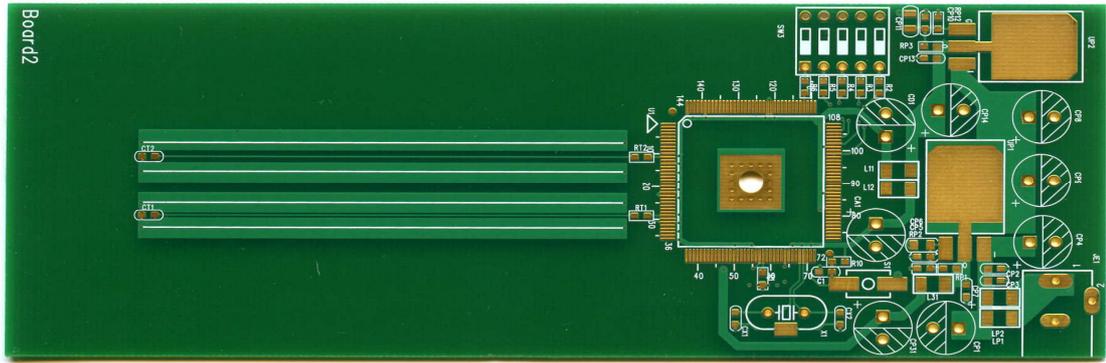


圖 4-5 Board2 信號線長皆為 7cm @Guard trace 分別為 10 & 30mils 正面圖

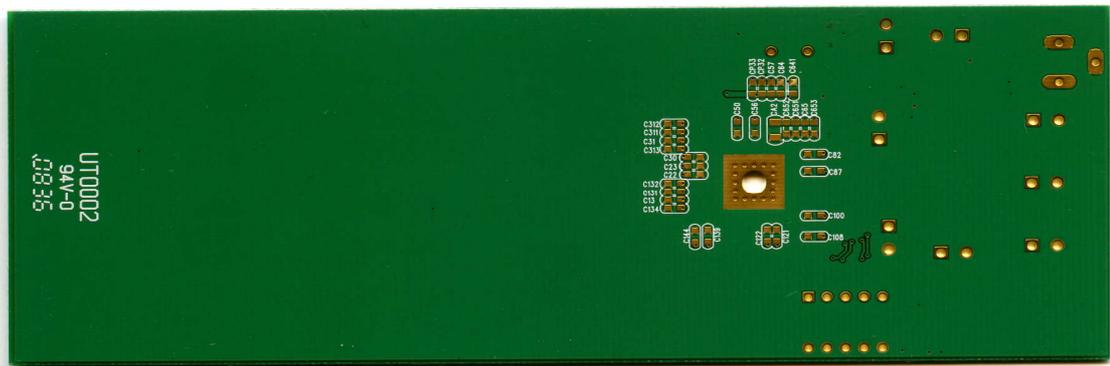


圖 4-6 Board2 信號線長皆為 7cm @Guard trace 分別為 10 & 30mils 背面圖

量測環境介紹

本次實驗是以的電波屏蔽室為量測依據，實驗室的規格為 7m(L)×4m(W)×3m(H)，除了地板外其餘五個面皆鋪上吸波材質。圖 4-7 及圖 4-8 為本次量測的實驗室及待測試備放置在旋轉桌的照片。待測物與量測天線的距離為 3m；天線採用雙錐對數天線；天線的量測高度為從 1~2m；天線的擺放角度分別與待測設備呈水平及垂直狀態，將待測物放在木質旋轉桌上，做 360 度旋轉以量測任意角度的最高電場值；量測頻率範圍從 30 MHz ~1GHz，使用 HP 8594E 頻譜分析儀來量測最大的電磁輻射強度。

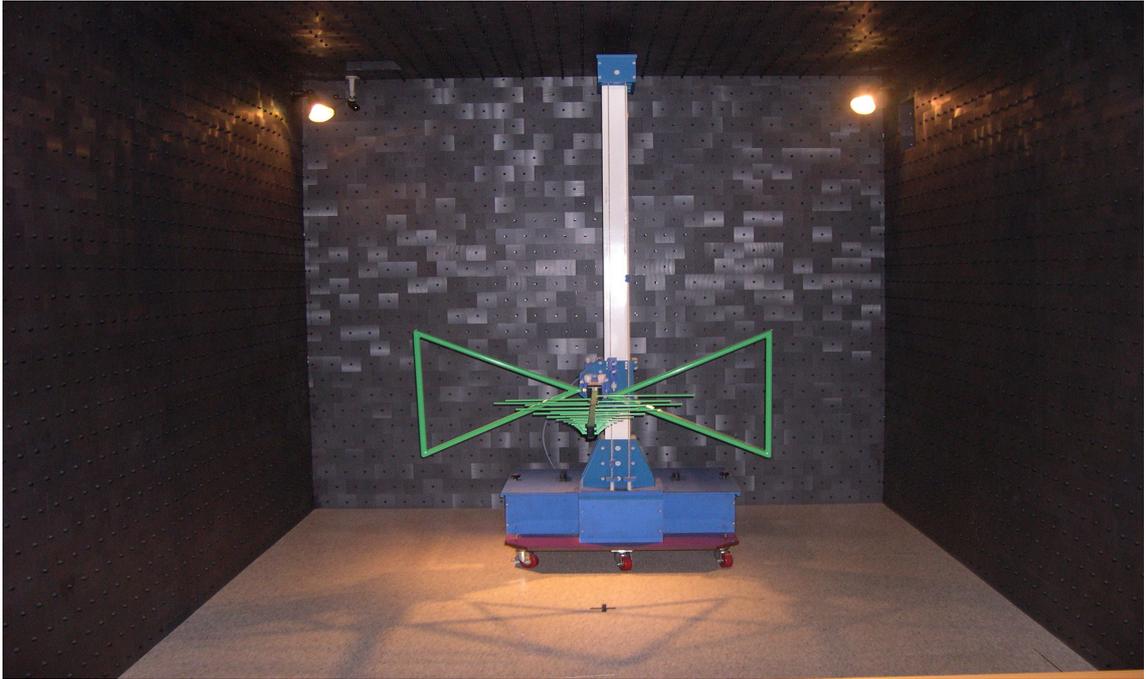


圖 4-7 量測電磁干擾的 7m(L)×4m(W)×3m(H)電波屏蔽室

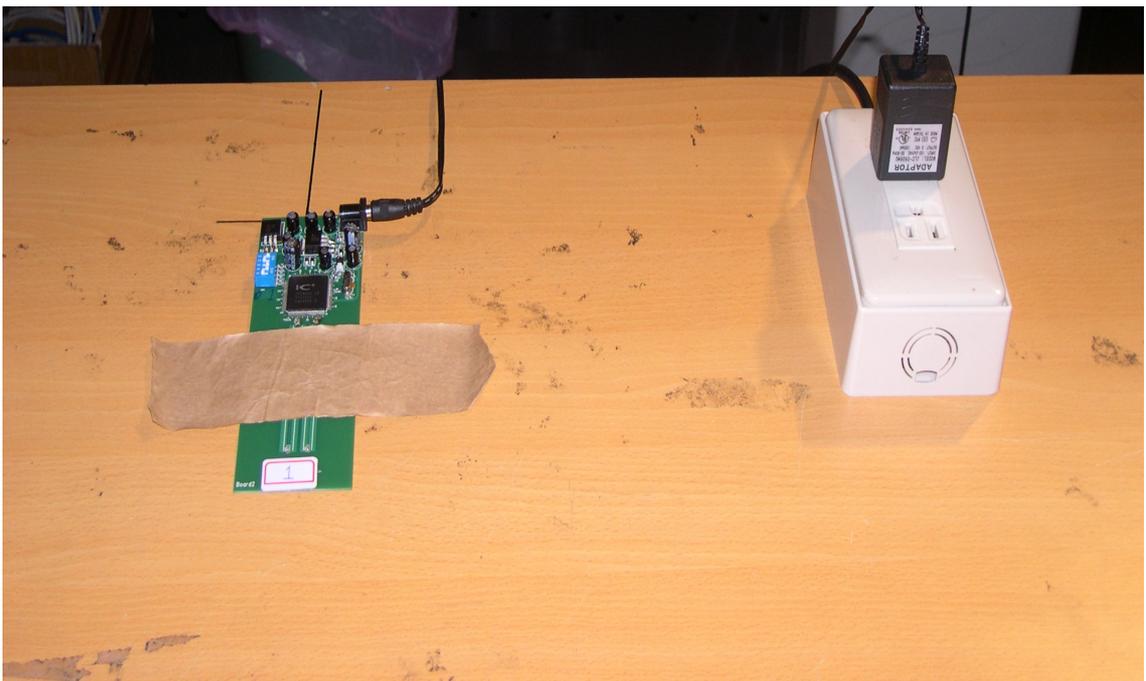


圖 4-8 待測設備放置在旋轉桌上的位置

4-2 串聯終端電阻值及輻射效率估算

4-2-1 串聯終端電阻值估算

電子產品的工作速度越來越高，對控制 PCB 的阻抗要求不斷在提高。在高頻電路中的 PCB 信號線不再只是單純的做電氣上連接而已，必須視為複雜的高頻元件，例如為一傳輸線。隨著 PCB 阻抗控制的需求不斷的增加，在設計、製造之前設計者依 PCB 的堆疊結構、佈線方式來估算信號線的特性阻抗越來越常見。一般估算的方法即是使用 PCB 阻抗模擬軟體。

本論文所做的實驗中信號線的特性阻抗計算，是採用在 PCB 製造廠非常普遍使用的、準確度很高的阻抗模擬軟體—POLAR CITS25，來估算本實驗中的各種狀況下特性阻抗，再依串聯終技巧做阻抗匹配的實驗。POLAR CITS25 軟體提供了各種 PCB 堆疊結構的模型，供我們選擇適合的 PCB 佈線方式。只要改變模型中的任何一個參數—線寬、板厚、介電係數 ϵ_r 及線厚等，即可快速地計算該條信號線的特性阻抗。圖 4-9 以 POLAR CITS25 軟體來估計 Board1 之 Clock A & B 之特性阻抗為例子。

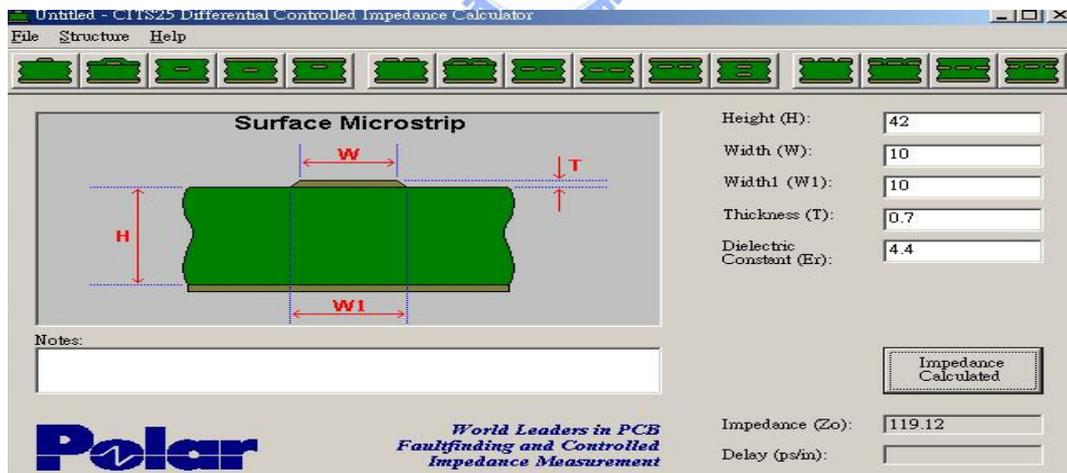


圖 4-9 以 Polar CITS25 軟體估算 Board1Clock A & B 之特性阻抗圖

$$\text{由公式(3.1)} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln\left(\frac{5.98h}{0.8W + t}\right)$$

將圖 4-9 中的相關參數代入得到的特性阻抗值為 121.4Ω 與模擬估計值 119.2Ω 差異很小，因此採用此軟體可以做為本論文之實驗用。再由串聯終端電阻的計算方式，利用公

式(3.8)即可計算出所需用的串聯終端阻抗值。表 4-1 是以 POLAR CITS25 軟體估算各片板子上不同的信號線佈線方式的特性阻抗值及所採用的串聯終端電阻值。

表 4-1 以 POLAR CITS25 估算各信號線特性阻抗及串聯終端阻抗值

以 POLAR CITS25 估算各信號線特性阻抗				
Board	Board1		Board2	
Signal	Clock A	Clock B	Clock A	Clock B
Trace (mils)	10	10	10	10
Length (cm)	7	3	7	7
Guard trace (mils)	NA	NA	10	30
Capacitance	全部擺在背面相同的位置			
模擬阻抗	119.12		82.94	107.30
串聯終端阻抗值	68		33	56

4-2-2 輻射效率值估算

長期以來，大家針對解決 EMI 問題所加的對策，皆是以實際測試 EMI 時比較是否比原來的低，若是有效即代表是好對策，反之，為不好的對策。但往往所遇到的情形是加了此對策後對某些頻率是較好，而在某幾個頻率反而較差，因而認為這不是個好對策。一直以 trial and error 的方式及增加一些其他零件、對策組合，直到達到 EMC 標準為止，並將這些對策加入新的 Layout Guide 上，但當下次使用在其他板子時發現此對策卻起不了作用。因此上述的方式一再的重演，造成 EMI 問題讓產品無法在預期的時間上市，這主要是沒有真正的去探討所加對策無效的真正原因。

本論文透過簡單地計算輻射效率來做一階的修正，可進一步地清楚知道所加的對策是否確實有效，例如，在某些頻率有效那些頻率較差所造成的原因，是在該頻率的輻射效率較強或是此對策在該頻率時對電磁輻射抑制效果較差所致。由於在信號線旁加上任何的東西皆會影響到信號線的特性阻抗、板子的有效介電係數 $\epsilon_{r,eff}$ 、或是傳輸信號的波

長等等，輻射效率即是要將信號線上的特性阻抗的改變所造成的因素消除掉。信號線的特性阻抗改變造成信號線上流動的電流大小不一樣，電流大小不一樣即會影響到電磁輻射的大小。總之，輻射效率所做的一階修正即是假設二條不同信號線的佈線方式，在信號線上有著相同的電流大小流動，如此才可以做為彼此對策相互比較的基礎。

以下介紹輻射效率的推導。一般在做電磁干擾的量測主要使用單位為 $dBuV/m$ ；而示波器量測到的頻譜常用單位為 V 、 dBm ，主要依所量測信號頻率的各個倍頻頻譜大小，選擇適合的單位使用。為了簡化輻射效率的計算、容易使用起見，在本論文中不做單位的變換而直接做運算。其推導方式如下所示

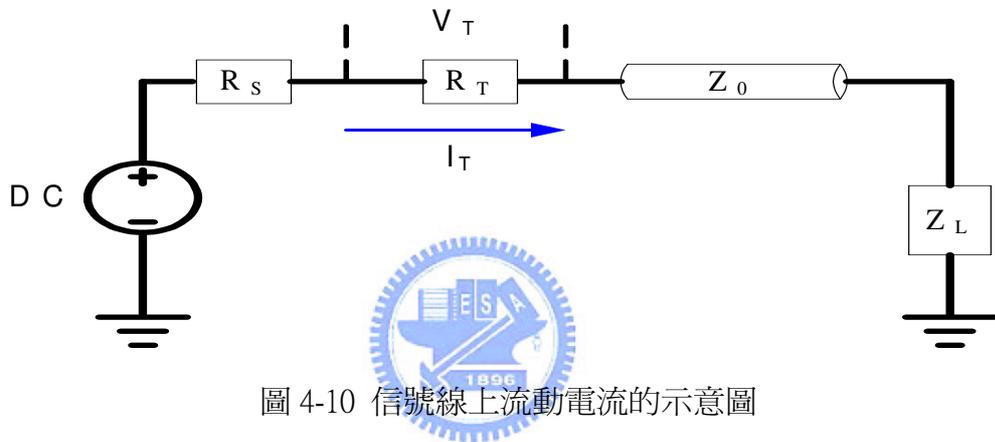


圖 4-10 信號線上流動電流的示意圖

方法一：示波器量測到的頻譜常用單位為 V

信號線輸入端電流的估計

$$I_T = \frac{V_T}{R_T} \quad (4.1)$$

R_T 為串聯終端的電阻值

V_T 為串聯終端電阻二端的電壓值

轉換成 dB 型式

$$20 \log I_T = 20 \log V_T - 20 \log R_T \quad (4.2)$$

$$\Rightarrow I_T (dBA) = V_T (dBV) - R_T (dB\Omega) \quad (4.3)$$

電磁輻射強度 E 與 I 成正比

$$\therefore E (dBuV/m) \propto I_T (dBA) = V_T (dBV) - R_T (dB\Omega) \quad (4.4)$$

輻射效率 E' 即是減去電流不同所造成的效應，因此

$$E'(dBuV/m) = E(dBuV/m) - V_T(dBV) + R_T(dB\Omega) \quad (4.5)$$

導入輻射效率的好處與限制：

1. 可清楚地比較出所加的對策是否有效。輻射效率越高，表示越容易輻射，即表示在這個對策方法效果較差，不應當採用此對策。
2. 從輻射效率與實際 EMI 測試結果比較，若是輻射效率較低但實際 EMI 測試結果反而比較差，表示雖然該頻率的輻射效率較差但所加的對策對該頻率有較差的抑制效果，週圍的 Layout、因素處理不當而造成對此頻率影響較深，可再配合更進一步的檢查以達到更好的效果。
3. 輻射效率在信號線阻抗不匹配嚴重時，比較無法與實際 EMI 測試結果一致。這是由於反射太嚴重而影響到我們頻譜的準確性。



4-3 信號線長度對 EMI 的影響

在以前電子產品的操作速度不是那麼的快時，在設計 PCB 時大家都知道在 layout 時距離愈短愈好即可，而不太需要去關心因信號線拉得太長時，造成信號能量的損失、衰減及 EMC 等問題。本實驗以信號線長分別為 3cm 及 7cm 做為測試，驗證是否在信號線較短時即無 EMI 的問題。

表 4-2 信號線長度對 EMI 的影響

信號線長短對 EMI 的影響				
Board/Trace 狀態/頻率	Board 1			
	Clock A	Clock B	Clock A	Clock B
	垂 直		水 平	
信號線長(cm)	7 cm	3 cm	7 cm	3 cm
125 MHz	34.57	24.46	34.33	22.87
250 MHz	36.9	35.81	33.21	32.08
375 MHz	48.49	45.24	51.34	48.32
500 MHz	28.64	40.37	34.3	45.28
625 MHz	44.56	43.98	45.59	44.81
750 MHz	22.16	35.07	23.89	37.30
875 MHz	33.04	38.21	40.78	46.47

* 上表欄位中有淺紅底的部分表示為二者中的最高值

經由實際的量測結果發現，不管信號線長度為 3cm 或 7cm，只有在 375MHz 頻率下可以明顯地比較出信號線長度為 3cm 的 EMI 輻射較信號線長度為 7cm 小外，頻率提高至 375MHz 之後，即不一定是長度 7cm 的 EMI 輻射較大，無法直接直觀地看出在長度為 7cm 時每個頻率的 EMI 輻射較大；同時，當操作頻率提高後，不再只是信號線短(如本實驗的信號線只有 3cm)，即可達到 EMC 的標準。

至於為何頻率提高至 375MHz 之後，即不一定是信號長度為 7cm 的 EMI 輻射較大，其原因為：由於本實驗使用 125MHz 的 Clock 信號，由 PCB 板的介電係數 $\epsilon_r = 4.4$ ，依公式(3.3)可計算出在 PCB 板內的有效介電係數

$$\epsilon_{r,eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{10h}{w}\right)^{-1/2} = \frac{4.4 + 1}{2} + \frac{4.4 - 1}{2} \left(1 + \frac{10 * 42}{10}\right)^{-1/2} = 2.958 \cong 2.96$$

$$C = f * \lambda \quad \text{且} \quad C = v_p * \sqrt{\epsilon_r}$$

在空氣中 125MHz 的波長為

$$\lambda_0 = 2.4m$$

而在 PCB 板中的有效介電係數 $\epsilon_{r,eff} = 2.96$ 時 125MHz 的波長為

$$\lambda_{PCB} = \frac{2.4}{\sqrt{2.96}} = 1.395m$$

在 PCB 板內均勻的介電係數下，各頻率所對應的波長如表 4-3 所示，可以很清楚看到信號線長度在 3cm 時，頻率在 250MHz 以上時；信號線長度在 7cm 時，頻率在 125MHz 以上時，二條不同長度的信號線在 PCB 板上已不可當成一般的導線而已，需視為傳輸線來看待必須使用到電磁集總模型。傳輸線中的任一位置點的電壓電流大小並非定值，因此，簡單的定值電流耦極天線輻射特性不再適用；另外，縱使我們有做了阻抗匹配，由於零件的誤差、積體電路在高低準位的輸出阻抗不同等原因，造成信號線內或多或少有部分反射信號存在。這也是為什麼操作頻率超過 375MHz 之後所量測到的 EMI 大小無法直觀地判斷出 7cm 時會比較大的原因。

表 4-3 125MHz 及其倍頻在空氣中及在 PCB 中的信號波長(FR4 $\epsilon_r=4.4$)

頻率 (MHz)	λ_0 (cm)	λ_{PCB} (cm)	1/20 λ_{PCB} (cm)
125 MHz	240cm	139.5cm	6.98cm
250 MHz	120cm	69.8cm	3.50cm
375 MHz	80cm	46.5cm	2.33cm
500 MHz	60cm	34.9cm	1.75cm
625 MHz	48cm	27.9cm	1.40cm
750 MHz	40cm	23.2cm	1.16cm
875 MHz	34.3cm	19.9cm	0.99cm
λ_0 : 空氣中波長； λ_{PCB} : PCB 中波長			

現在產品的操作頻率越來越快，已不再是將信號線的線路縮短即可符合 EMC 標準，

必須在相關的高頻信號線做些防護措施才能達到 EMC 的標準。以下的實驗全部以信號線長度為 7cm 所做的實驗數據。

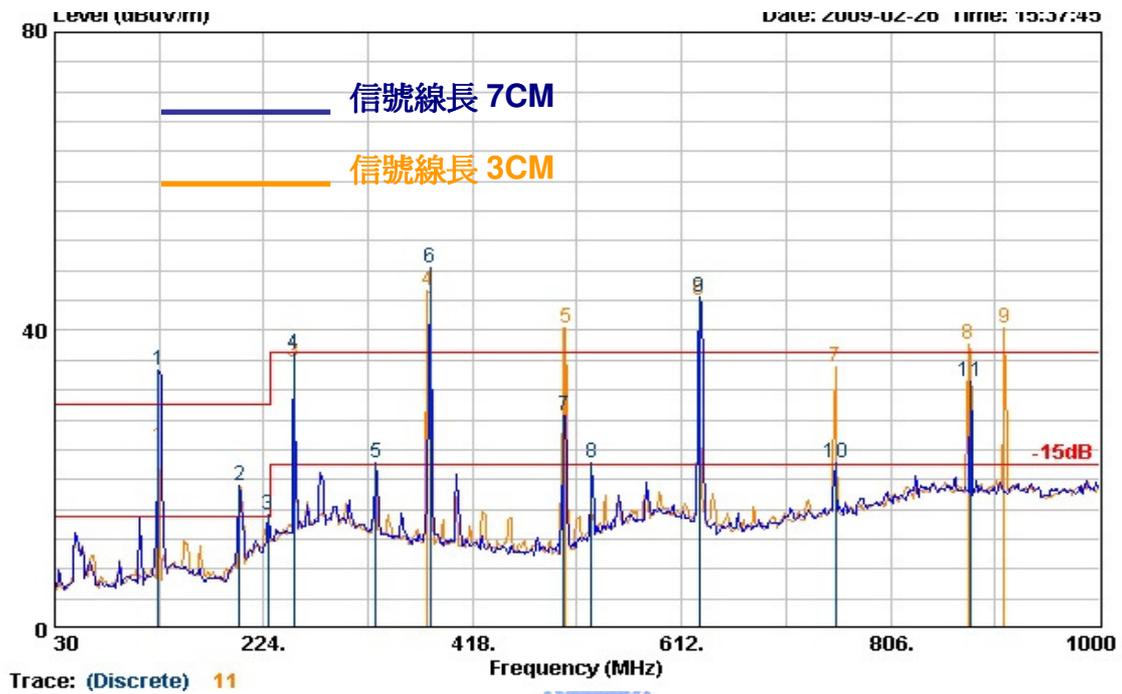


圖 4-11 信號線長 7cm V.S 3cm 時 EMI “垂直” 測試結果

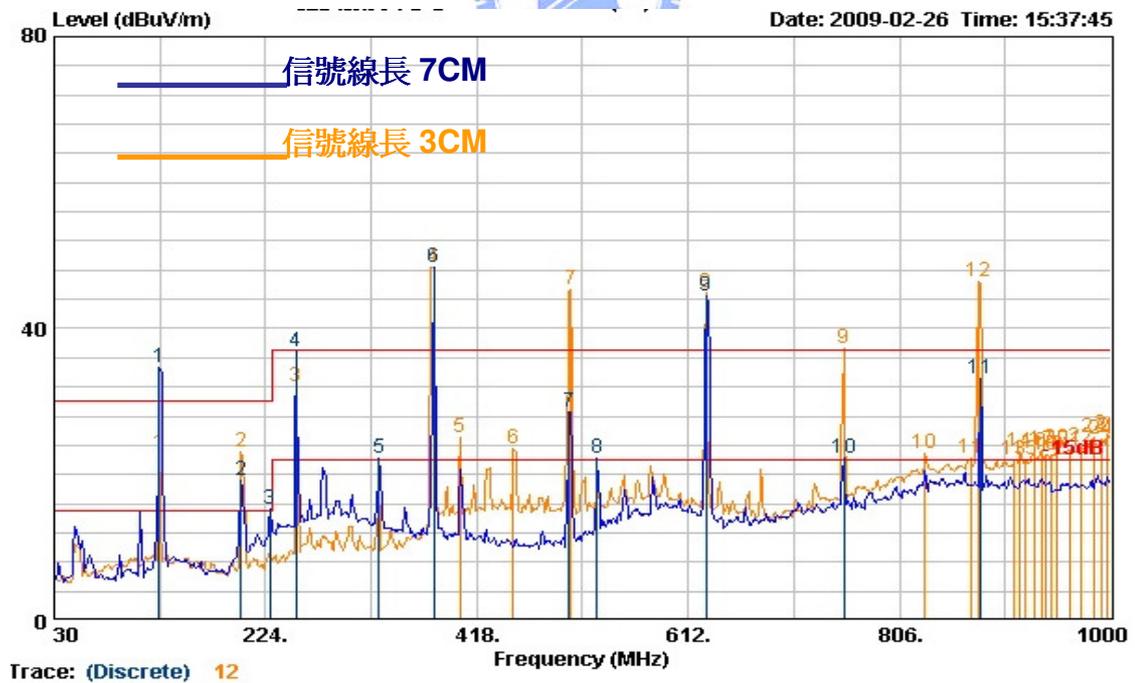


圖 4-12 信號線長 7cm V.S 3cm 時 EMI “水平” 測試結果

4-4 信號線旁有無 Guard trace 對 EMI 的影響

4-4-1 Guard trace 上只有頭尾二端各一個 GND VIA 時對 EMI 的影響

從上一個實驗可以發現信號線的長度短一點時，對 375MHz 以下的頻率會比信號線長時 EMI 的干擾來得小，若是不幸在 Layout 時無法在這個距離內時，該如何來預防、改善即顯得非常重要。以下的實驗爲了排除信號線長短的因素，全部以信號線長度皆爲 7cm 時來做探討。

當信號線的長度同樣是 7cm 時，在信號線旁有無加 Guard trace 及 Guard trace 離信號線的距離，對 EMI 是否有影響是我們想要了解的。實際 EMI 量測結果如表 4-4。從表 4-4 中可以清楚地看出無論所加的 Guard trace 離信號線是 1 或 3 倍線寬對 EMI 干擾來說皆是有正面的改善。其中以 Guard trace 愈靠近信號線時其 EMI 效果較好。

爲了進一步知道所加的 Guard trace 距離信號線遠近對 EMI 的影響，同時 Guard trace 距信號線的距離遠近對 PCB layout 的空間利用率也有很大的影響，故針對 Guard trace 與信號線分別爲 10mils(1 倍線寬)及 30mils(3 倍線寬)做其 EMI 之差異比較。

由於 Guard trace 與信號線的距離不同時，會造成各信號線的特性阻抗不同，串聯終端匹配需使用不同的電阻。對相同的驅動源而言，不同的信號線特性阻抗將造成信號線上的電流大小不一樣，依公式(2.5)可知電流與電磁輻射的電場強度是呈正比的關係，因此必須做歸一化處理，才能消除二信號線上電流不同所造成的差異，彼此在相同的電流基礎相互比較信號線對電磁干擾的影響程度。在論文以“輻射效率”來做一階的修正後的比較基礎，由於造成 PCB 板上的電磁輻射干擾問題有許許多多因素存在，若需要更詳細的修正必須使用一些模擬軟體提供各種相關的參數才有辦法達到，這已不在本論文的討論範圍。

將量測到的電磁輻射的電場強度 E 依 4-2-2 章節做輻射效率計算，計算後的各種狀態的輻射效率如表 4-5 所示。從表 4-4 與表 4-5 比較可發現不管從實際的 EMI 量測結果或是以輻射效率 E' 來表示，二者測試結果是一致的，在相同頻率、長度的信號線的狀態下，電磁輻射及輻射效率的大小依序爲

無 Guard trace > 信號線離 Guard trace 30mils > 信號線離 Guard trace 10mils

在 Guard trace 離信號線的距離不同時，以 Guard trace 與信號線距離較近的 EMI 較小及輻射效率較低，主要有二個原因：

- (1) Guard trace 離信號線愈近，Fringing 至空氣中的電場變少了，也就是說電場傳至空氣中輻射出去的量減少所致。
- (2) 根據能量守恆原理，變少的部分都移到 PCB 內，因此改變 PCB 的有效介電係數 $\epsilon_{r,eff}$ 增加，造成電容 C 的增加。Guard trace 與信號線距離愈近(d 愈小)，電容 C 增加的愈多。

由上述二點可知，在信號線二旁有了 Guard trace 之後電容 C 會變大，使得耦合能力增加，故可降低信號線的電磁輻射強度。PCB 在 Layout 時 Guard trace 走線、空曠區鋪銅皆需靠近信號線效果才會顯現出來；如此不但可有效降低 EMI，同時也可增加 PCB Layout 佈線空間利用率。

另外，需特別注意在信號線旁加了 Guard trace 之後，會使整體的耦合電容加大，從下式可知信號線的特性阻抗會變小

$$Z_0 = \sqrt{\frac{L}{C}}, C \uparrow \Rightarrow Z_0 \downarrow$$

所以 Guard trace 離信號線愈近時將會造成信號線的特性阻抗愈小，由於阻抗不匹配造成信號線間的信號反射問題，因而影響到信號完整度問題。可依您的信號對信號完整性的要求程度，再做適度的彌補措施來改善信號完整度的問題，一般最常用的彌補措施是採用終端技巧，如本論文所採用的積體電路為 CMOS 邏輯，即採用常使用的串聯終端技巧。



表 4-4 有無 Guard trace 時對 EMI 的實際量測值

有無 Guard trace 時對 EMI 的實際量測值						
Board/Trace	Board 1	Board 2		Board 1	Board 2	
	Clock A	Clock B	Clock A	Clock A	Clock B	Clock A
狀態/頻率	垂 直			水 平		
線 長	7cm					
Guard trace 離信號線距離(mils)	無	30mils	10mils	無	30mils	10mils
125 MHz	32.98	27.78	24.57	33.49	29.17	25.21
250 MHz	27.64	30.82	25.27	23.21	25.55	---
375 MHz	43.4	35.09	34.43	47.35	38.9	39.13
500 MHz	25.79	22.80	---	31.36	28.3	27.10
625 MHz	44.3	32.49	34.49	45.05	34.6	35.26
750 MHz	25.97	---	---	27.66	---	---
875 MHz	34.11	---	---	40.64	27.21	23.33

* 上表欄位中有淺紅底的部分表示為三者中的最高值；淺藍色為三者中的次高值

表 4-5 有無 Guard trace 時的輻射效率值

有無 Guard trace 時的輻射效率值						
Board/Trace	Board 1	Board 2		Board 1	Board 2	
	Clock A	Clock B	Clock A	Clock A	Clock B	Clock A
狀態/頻率	垂 直			水 平		
線 長	7cm					
Guard trace 離信號線距離(mils)	無	30mils	10mils	無	30mils	10mils
125 MHz	64.78	59.38	54.37	65.29	60.77	55.01
250 MHz	77.04	78.62	70.27	72.61	73.35	---
375 MHz	76.8	71.89	66.63	80.75	75.7	71.33
500 MHz	77.79	73.8	---	83.36	79.3	72.5
625 MHz	95.3	86.09	80.54	96.05	88.2	80.86
750 MHz	86.17	---	---	87.86	---	---
875 MHz	90.91	---	---	97.44	87.21	80.33

* 上表欄位中有淺紅底的部分表示為三者中的最高值；淺藍色為三者中的次高值

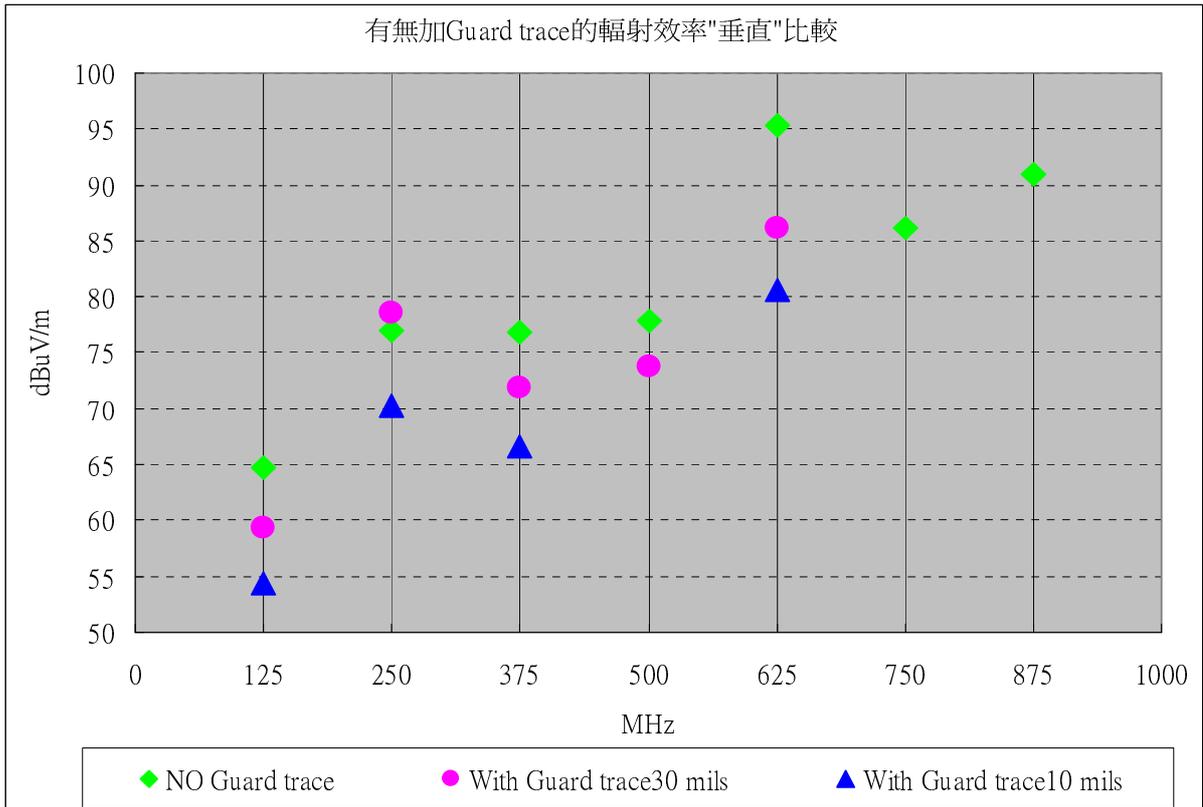


圖 4-13 信號線旁有無加 Guard trace 的輻射效率“垂直”比較

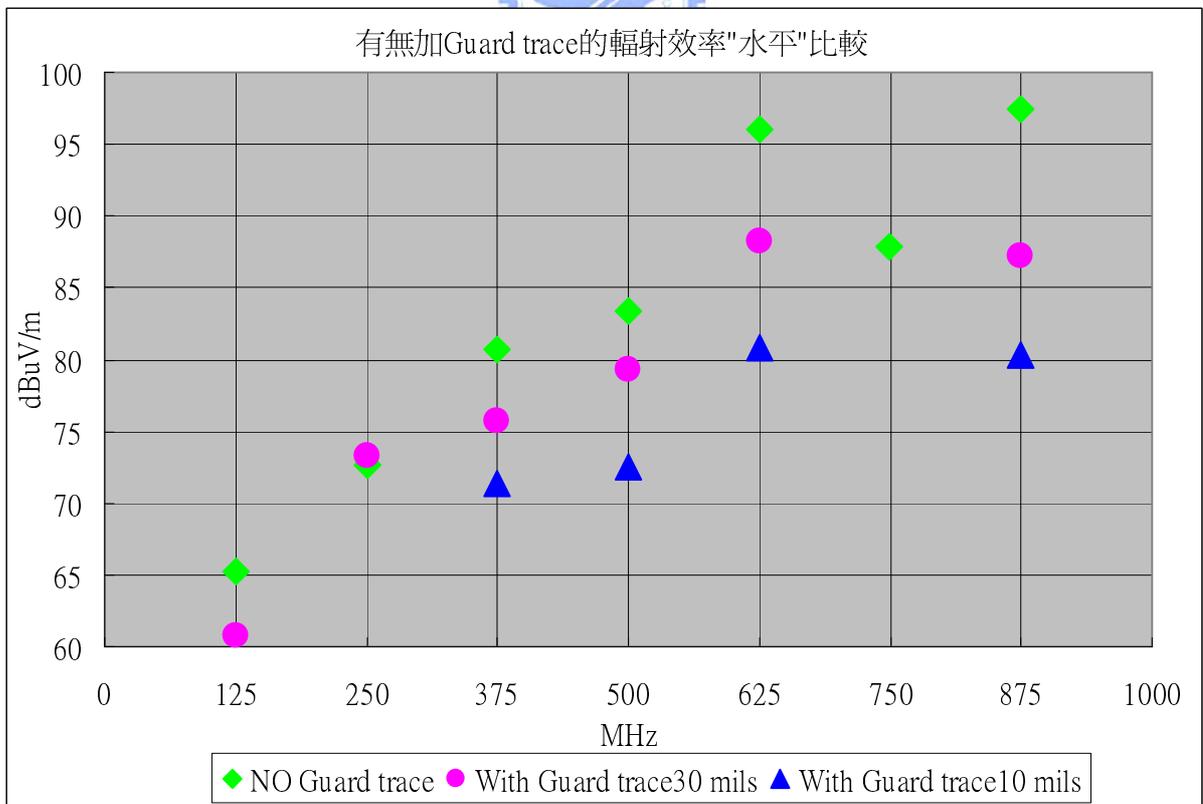


圖 4-14 信號線旁有無加 Guard trace 的輻射效率“水平”比較

4-4-2 Guard trace 上每隔 $1/20 \lambda$ 打一個 GND VIA 時對 EMI 的影響

PCB 板上的任何一條信號線皆有可能成爲一個有效的天線，Guard trace 也不例外。在上一個章節所做的實驗，只在 Guard trace 上由原本頭尾只有二個 GND VIA(距離約爲 6.8cm)，以這麼高的頻率恐不足，因此每隔 $1/20 \lambda$ 打一個 GND VIA，總共增加至 11 個後(約 0.7cm 間隔一個)，修改後的 PCB 板如圖 4-15 所示。重複之前的測試方式，測試出來的結果如表 4-6 所示。

從表 4-4 與表 4-6 EMI 實際測試結果可看出在 Guard trace 上打較多 GND VIA 之後，對 Guard trace 離信號線不管爲 10mils 或是 30mils 時，以信號線同樣離 Guard trace 相同距離及在頻率 500MHz 以下相互比較，Guard trace 上只打 2 個 GND VIA 與打上 11 個 GND VIA 相比，在 Guard trace 打上 11 個 GND VIA 依不同的頻率約 0~5dB μ V/m 的降低，此現象在頻率爲 125MHz 或是在水平量測狀態下及 Guard trace 離信號線 30mils 時最明顯；在 Guard trace 離信號線 10mils 時頻率超過 250MHz 以上即不是那麼明顯。另外，從表 4-5 與表 4-7 的輻射效率相比較，除了 125MHz 在 Guard trace 上有打 11 個 GND VIA 明顯有較小外及在 Guard trace 離信號線 30mils 時具最明顯的降幅，在頻率 500MHz 以下依不同的頻率而有 1~5dB 的降低；在 Guard trace 離信號線 10mils 時差異不大。代表在 Guard trace 上打上較多的 GND VIA 能增加對 Guard trace 離信號線較遠的電磁干擾耦合至地平面的能力，因而降低電磁干擾程度。

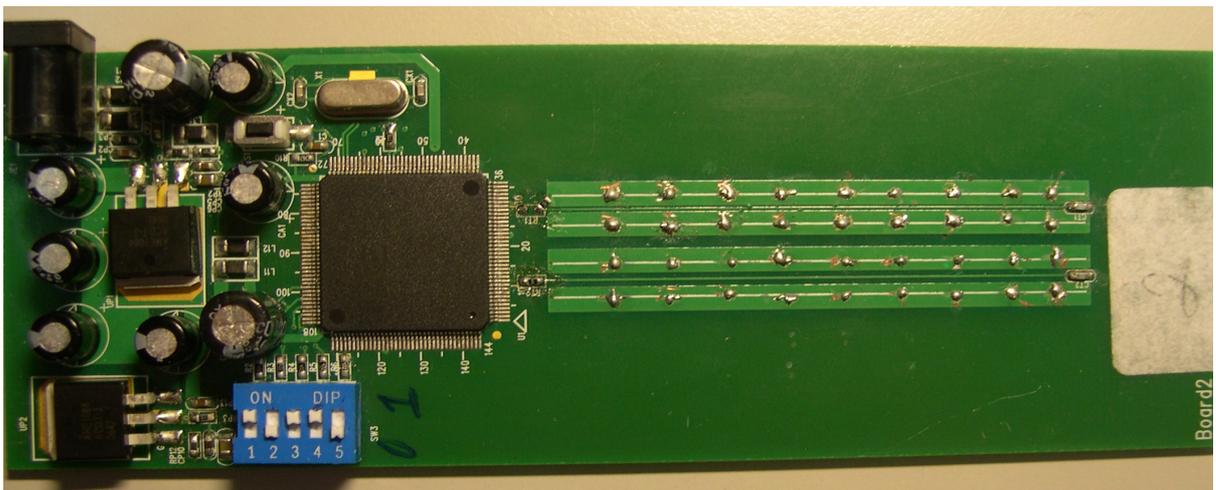


圖 4-15 在 Board 2 的 Guard trace 上每隔 $1/20 \lambda$ 的距離打上 GND VIA

從以上可知 Guard trace 的應用是離信號線愈近時，對降低電磁輻射干擾最有幫助；若是在某些應用上 Guard trace 離信號線無法達到 1 倍線寬或是信號線太長時，可在 Guard trace 上每隔 $1/20 \lambda$ 的距離打上 GND VIA，如此可增加 Guard trace 耦合至地平面的能力，因而降低電磁輻射干擾的影響。

表 4-6 有無 Guard trace & 在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的實際量測值

有無 Guard trace & 在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的實際量測值						
Board/Trace 狀態/頻率	Board 1	Board 2		Board 1	Board 2	
	Clock A	Clock B	Clock A	Clock A	Clock B	Clock A
	垂 直			水 平		
線 長	7cm					
Guard trace 離信號線距離(mils)	無	30mils	10mils	無	30mils	10mils
125 MHz	32.98	22.86	22.28	33.49	23.03	20.91
250 MHz	27.64	27.79	25.11	23.21	26.50	23.12
375 MHz	43.4	35.69	35.27	47.35	36.28	36.86
500 MHz	25.79	22.44	---	31.36	27.01	26.69
625 MHz	44.3	32.93	35.11	45.05	36.83	38.68
750 MHz	25.97	---	---	27.66	22.75	---
875 MHz	34.11	23.46	---	40.64	27.89	24.11

* 上表欄位中有淺紅底的部分表示為三者中的最高值；淺藍色為三者中的次高值

表 4-7 有無 Guard trace & 在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的的輻射效率

有無 Guard trace & 在 Guard trace 上每隔 $1/20 \lambda$ 打 GND VIA 時對 EMI 的的輻射效率						
Board/Trace 狀態/頻率	Board 1	Board 2		Board 1	Board 2	
	Clock A	Clock B	Clock A	Clock A	Clock B	Clock A
	垂 直			水 平		
線 長	7cm					
Guard trace 離信號線距離(mils)	無	30mils	10mils	無	30mils	10mils
125 MHz	64.78	55.26	52.48	65.29	55.43	51.11
250 MHz	77.04	74.59	71.11	72.61	73.3	69.12
375 MHz	76.8	73.69	70.27	80.75	74.28	71.86
500 MHz	77.79	71.64	---	83.36	76.21	72.89
625 MHz	95.3	84.33	78.71	96.05	88.23	82.28
750 MHz	86.17	---	---	87.86	84.35	---
875 MHz	90.91	85.06	---	97.44	89.49	83.11

* 上表欄位中有淺紅底的部分表示為三者中的最高值；淺藍色為三者中的次高值

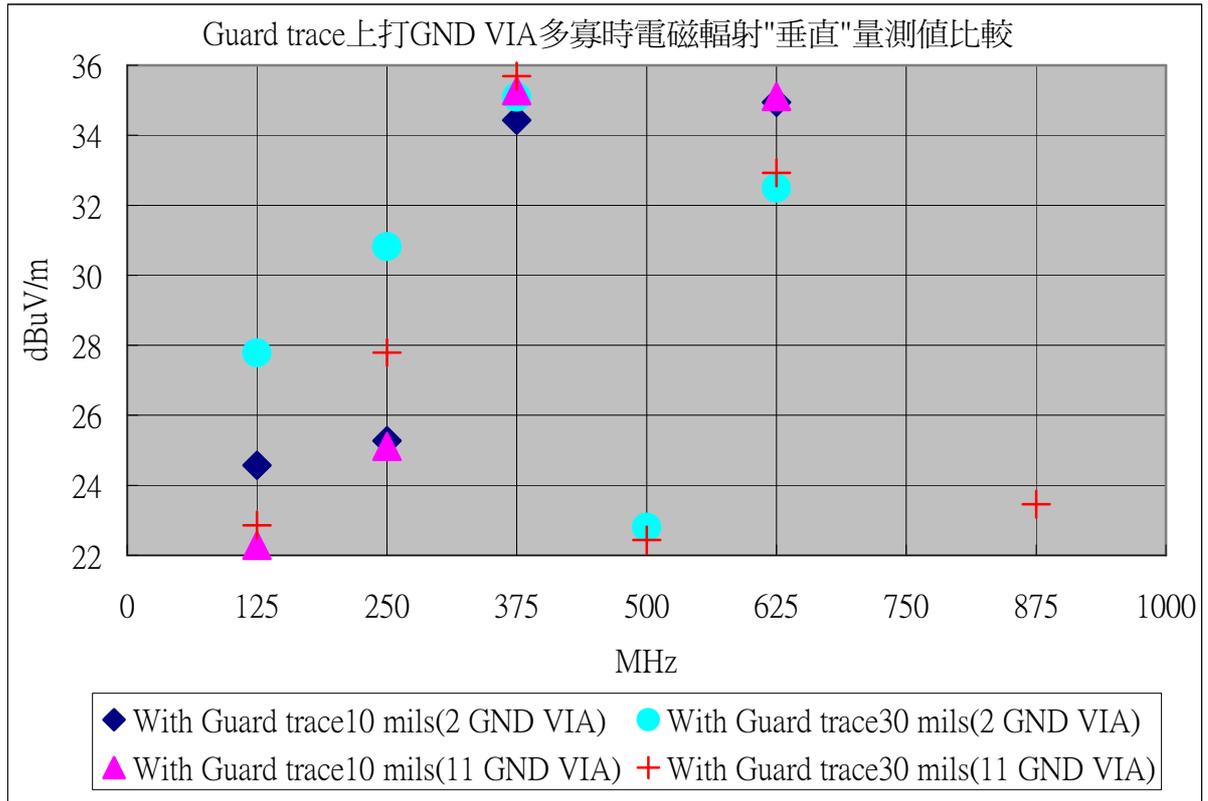


圖 4-16 Guard trace 上打 GND VIA 多寡時電磁輻射 “垂直” 量測值比較

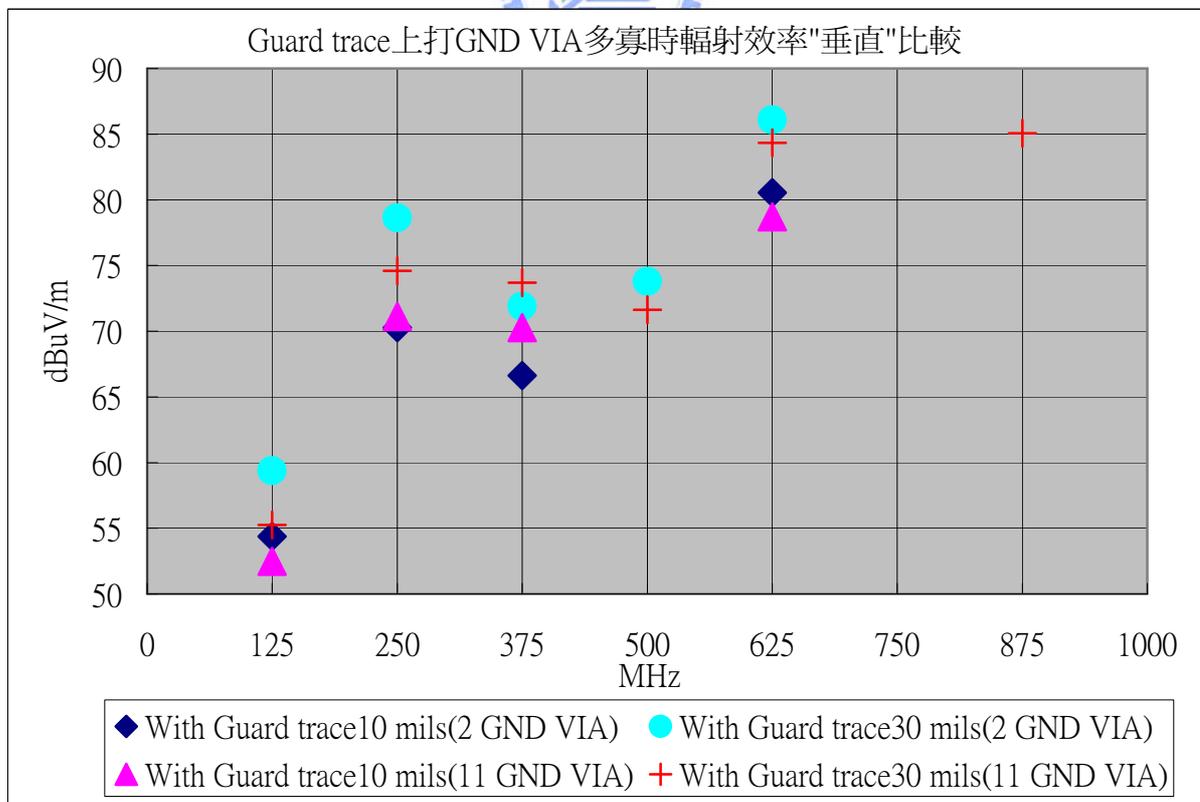


圖 4-17 Guard trace 上打 GND VIA 多寡時輻射效率值 “垂直” 比較

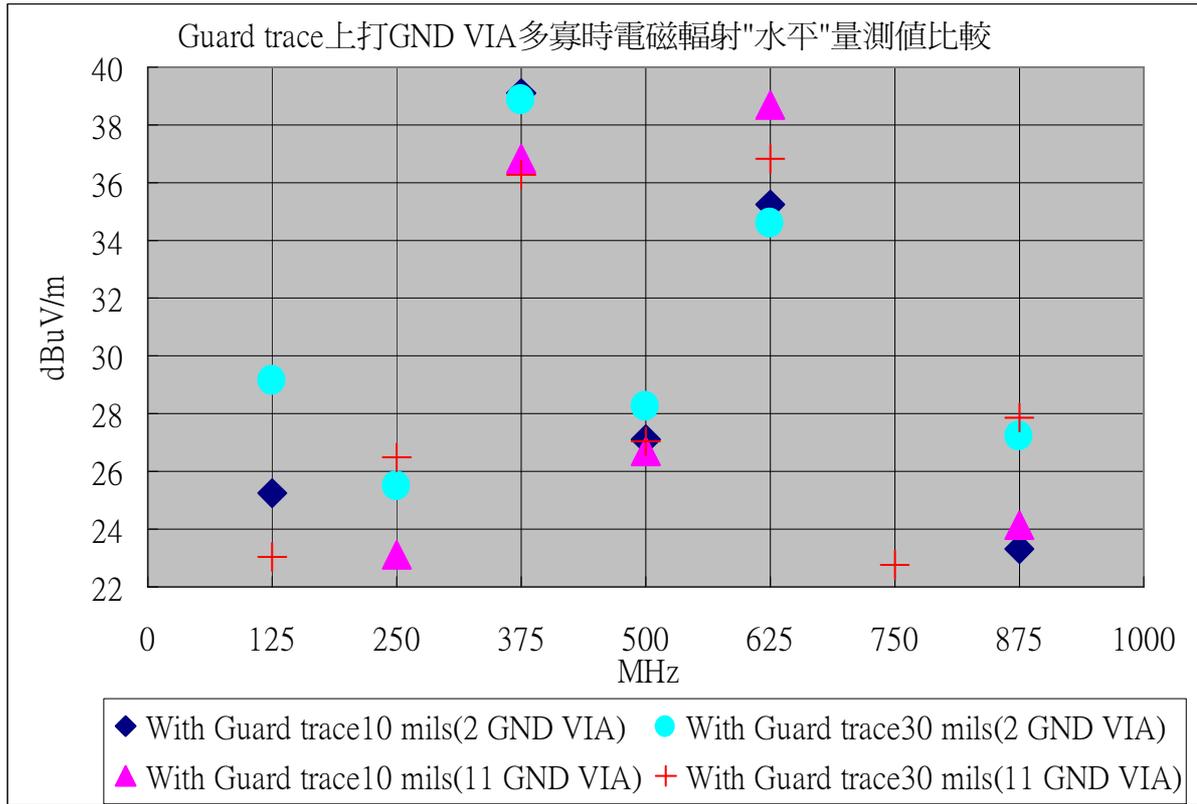


圖 4-18 Guard trace 上打 GND VIA 多寡時電磁輻射 “水平” 量測值比較

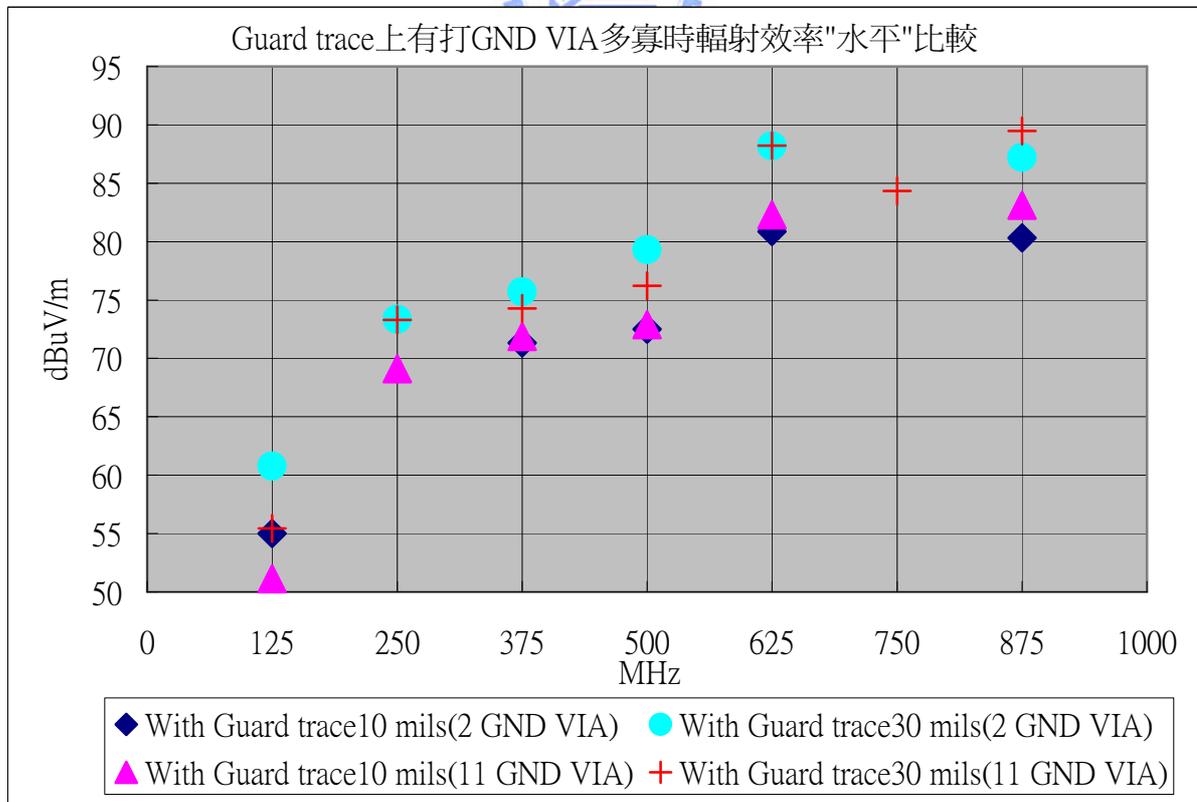


圖 4-19 Guard trace 上打 GND VIA 多寡時輻射效率值 “水平” 比較

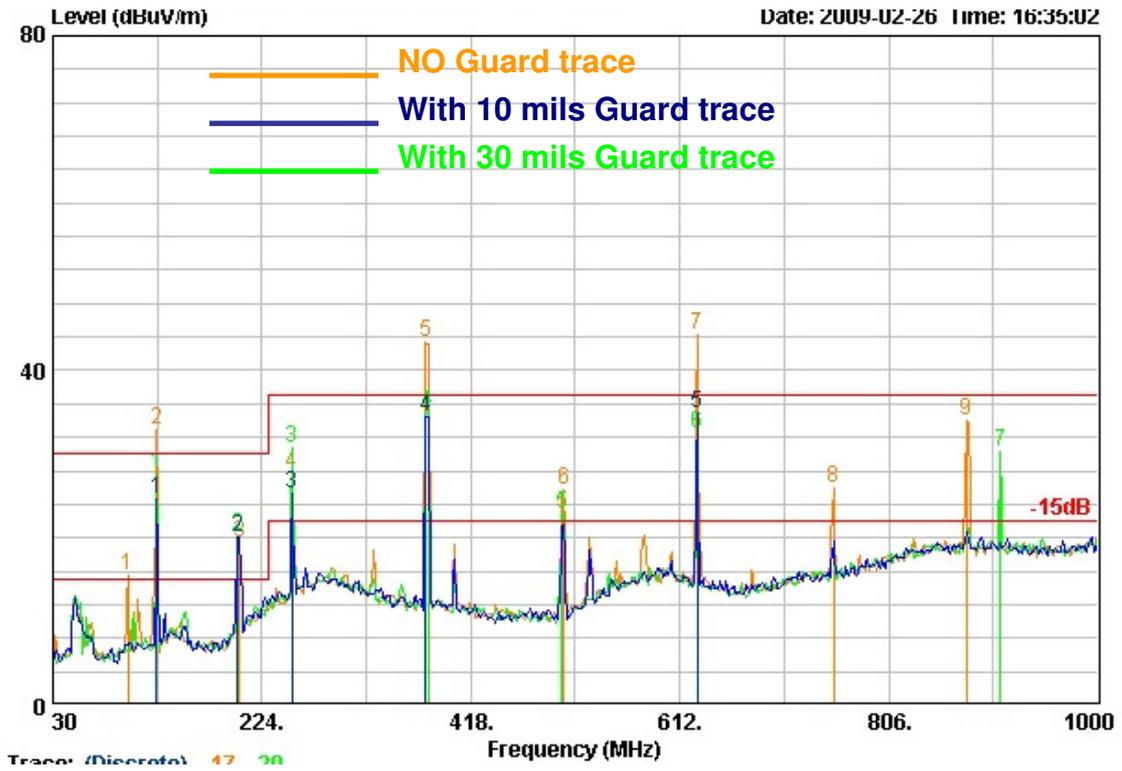


圖 4-20 信號線旁 No Guard trace V.S Guard trace 10 mils V.S Guard trace 30 mils EMI “垂直” 測試結果

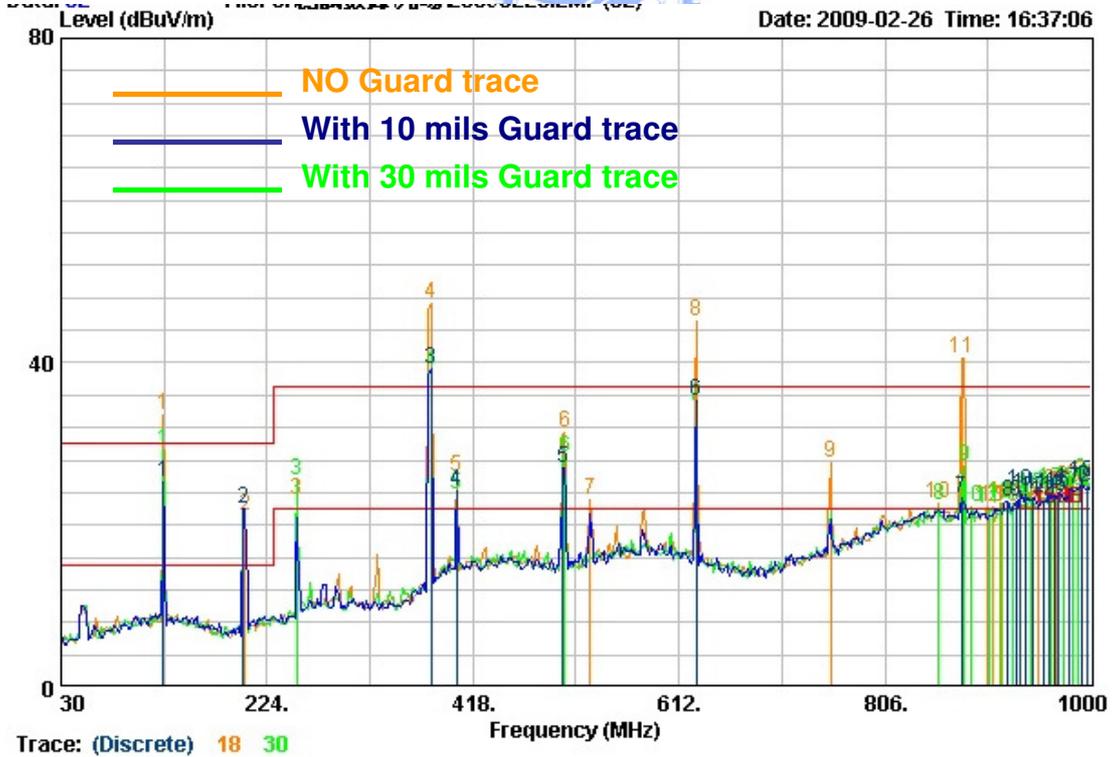


圖 4-21 信號線旁 No Guard trace V.S Guard trace 10 mils V.S Guard trace 30 mils EMI “水平” 測試結果

4-5 信號迴流路徑對 EMI 的影響

4-5-1 信號線旁無 Guard trace 時

此實驗是使用 Board1&2 板子上的 Clock_A 信號作為迴流路徑被切斷的實驗。主要實驗方法是在這二片信號線 Clock_A 的正背面，以信號線的中線為基準線，往二旁將其迴流路徑逐一切斷，每次切斷的長度為 1cm，切斷方式為將 PCB 背面的金屬 GND 平面刮除。模擬信號線跨越一個壕溝(Cut-plane)或是其他信號線從其背面穿越過去，使得信號的迴流路徑變大，觀察其對 EMI 的影響。再比較在被切斷的迴流路徑利用加 0 Ohm 的修補電阻擺放在 Cut-plane 二端位置不同，檢驗其擺放位置對 EMI 的改善程度。

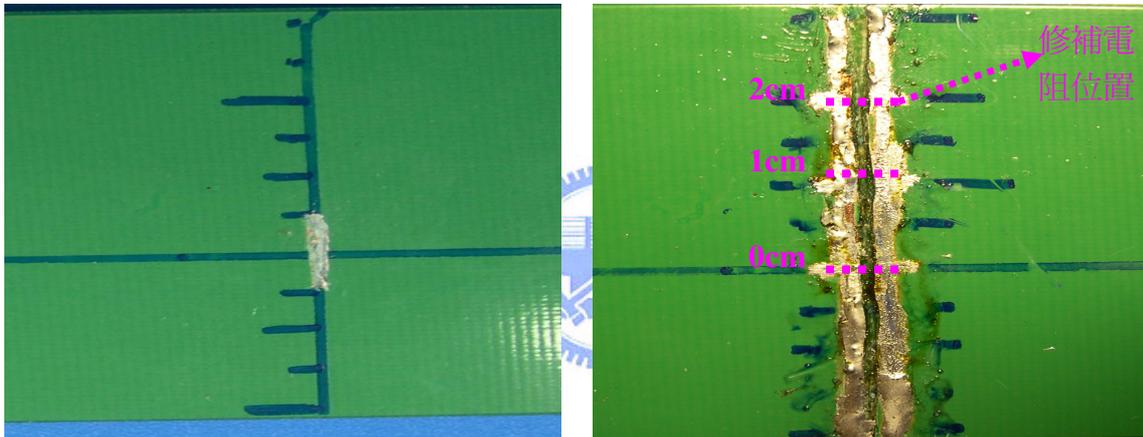


圖 4-22 信號迴流路徑切割示意圖及修補電阻擺放位置

由公式(3.7)知在信號線底下的 Cut-plane 愈長，則信號的迴流路徑所增加的微量電感愈大，則造成電磁干擾的影響會愈嚴重。在板子上無 Guard trace 的情況下的測試結果如表 4-8 所示，在原本無切割時的電磁干擾較小，經過 1 公分 1 公分慢慢切割後，除了在垂直 125MHz 變化較小外，其他頻率不管在垂直或是水平皆呈現切割信號迴流路徑越長時，電磁干擾愈嚴重，信號迴流路徑從原本的無切割至切割 5cm 時，平均每個頻率的電磁輻射干擾增加了 10~18dB μ V/m。迴流路徑的擾動造成多重反射及信號波形失真，因此除了原本的主要頻率及其倍頻增加外，當切割長度愈長時整個基頻的部分也變地起伏很大，原本對電磁輻射沒有影響的頻率此時也變成影響嚴重。

表 4-9 為在信號線被切割 5 公分後，在 Cut-plane 上擺放 0 Ohm 電阻的位置，電阻擺

放位置從距離信號線底下 2cm、1cm 及信號線底下(0cm)，可以發現擺放位置越往信號線底下修補對電磁干擾的影響幫助愈大，從修補位置為 2&1&0cm 時從測量的垂直及水平結果可看出修補後約與信號線被 Cut-Plane 切割距離約為 1~2cm 的距離相當。從以上實驗可以很清楚地知道高速信號線底下最好不要有 Cut-plane 通過，若是不幸有 Cut-plane 通過時的距離應儘可能地短，同時在離信號線愈近的地方加上修補電阻，如此才可降低 Cut-plane 所帶來的電磁干擾影響程度。

表 4-8 無 Guard trace 的信號線背面有 Cut-plane 跨越跨越長度不同時對 EMI 的實際量測值

無 Guard trace 的信號線背面有 Cut-plane 跨越跨越長度不同時對 EMI 的實際量測值												
Board/Trace 狀態/頻率	Board 1											
	Clock A											
線 長	7cm 無 Guard trace											
測試狀態	垂 直						水 平					
Cut-plane 長度 (cm)	無	1	2	3	4	5	無	1	2	3	4	5
125 MHz	29.94	29.57	28.43	26.98	25.77	27.14	29.17	28.26	22.89	19.43	30.41	36.52
250 MHz	23.17	23.66	26.37	29.08	33.00	36.09	—	—	22.67	26.74	31.88	35.62
375 MHz	43.06	43.45	45.46	47.84	50.90	53.44	44.23	45.55	48.13	51.15	54.98	58.19
500 MHz	26.59	27.65	29.36	31.11	35.94	37.88	33.07	34.72	37.36	38.53	42.55	46.25
625 MHz	42.28	42.81	45.56	42.56	52.59	53.30	45.29	46.33	49.77	50.03	56.03	60.60
750 MHz	29.37	29.47	30.76	33.82	37.86	41.66	32.57	33.21	36.58	37.88	42.28	46.6
875 MHz	29.73	31.74	35.77	39.21	43.77	47.28	37.46	39.74	44.33	48.16	53.21	56.92

* 上表欄位中有淺紅底的部分表示為測試最高值

表 4-9 無 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際量測值

無 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際量測值						
Board/Trace	Board 1					
狀態/頻率	Clock A					
線 長	7cm With 10 Guard trace					
測試狀態	垂 直			水 平		
修補電阻離信號線距離 (cm)	2	2&1	2&1&0	2	2&1	2&1&0
125 MHz	25.79	26.78	29.34	31.61	23.24	24.95
250 MHz	33.94	29.98	25.42	32.64	28.07	---
375 MHz	50.92	48.12	44.21	55.16	51.91	46.47
500 MHz	34.71	33.57	30.47	43.89	41.23	38.59
625 MHz	50.28	50.08	43.43	57.06	53.71	48.37
750 MHz	38.62	35.00	30.17	43.50	40.04	34.51
875 MHz	43.82	40.27	33.10	53.50	49.67	41.94

* 上表欄位中有淺綠底的部分表示為修改後三者中的最低值

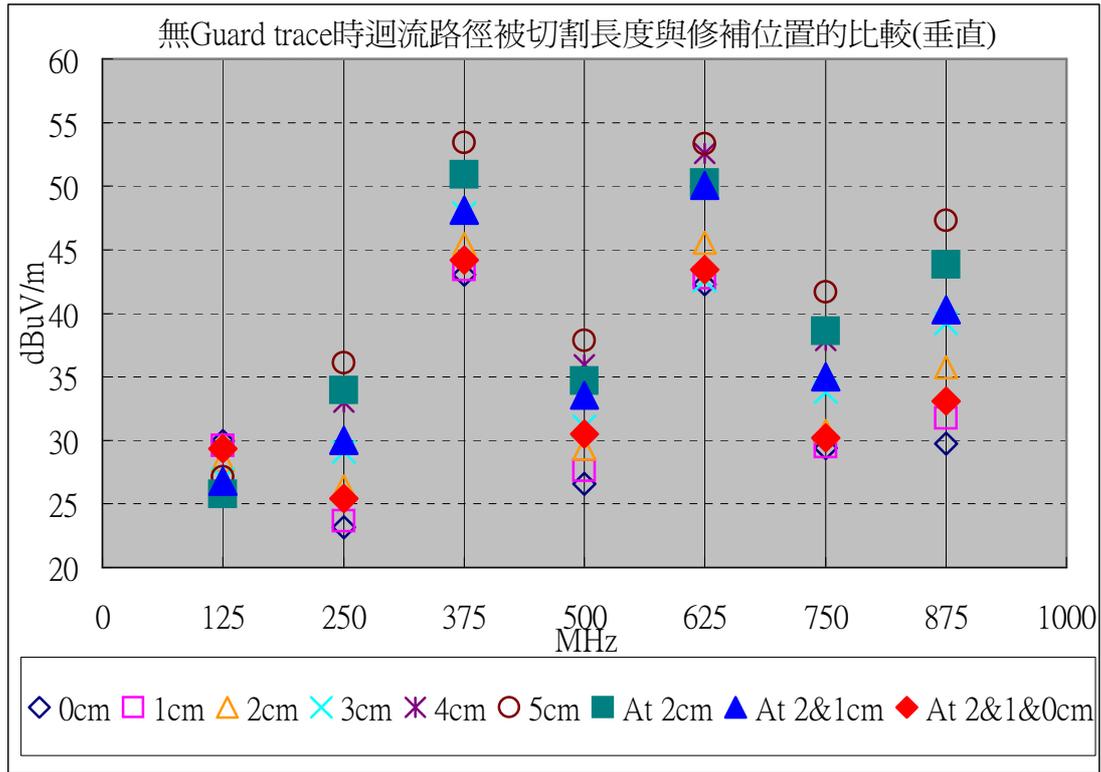


圖 4-23 無 Guard trace 時迴流路徑被切割長度與修補位置的比較 “垂直”

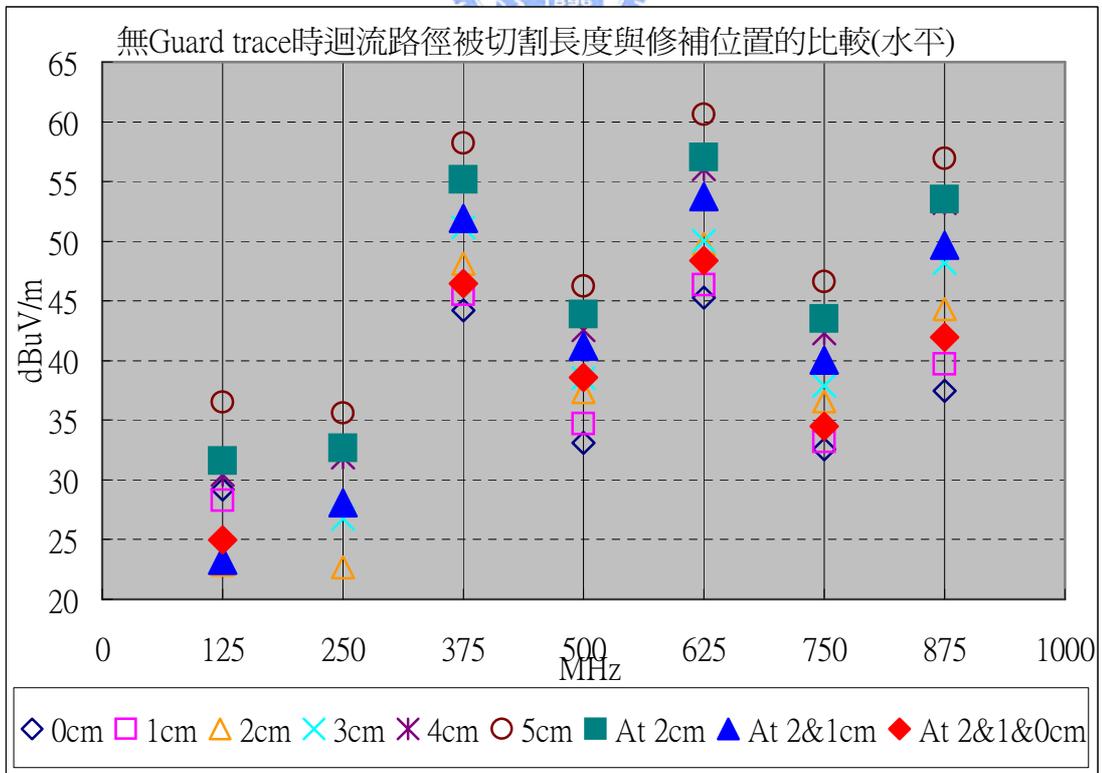


圖 4-24 無 Guard trace 時迴流路徑被切割長度與修補位置的比較 “水平”

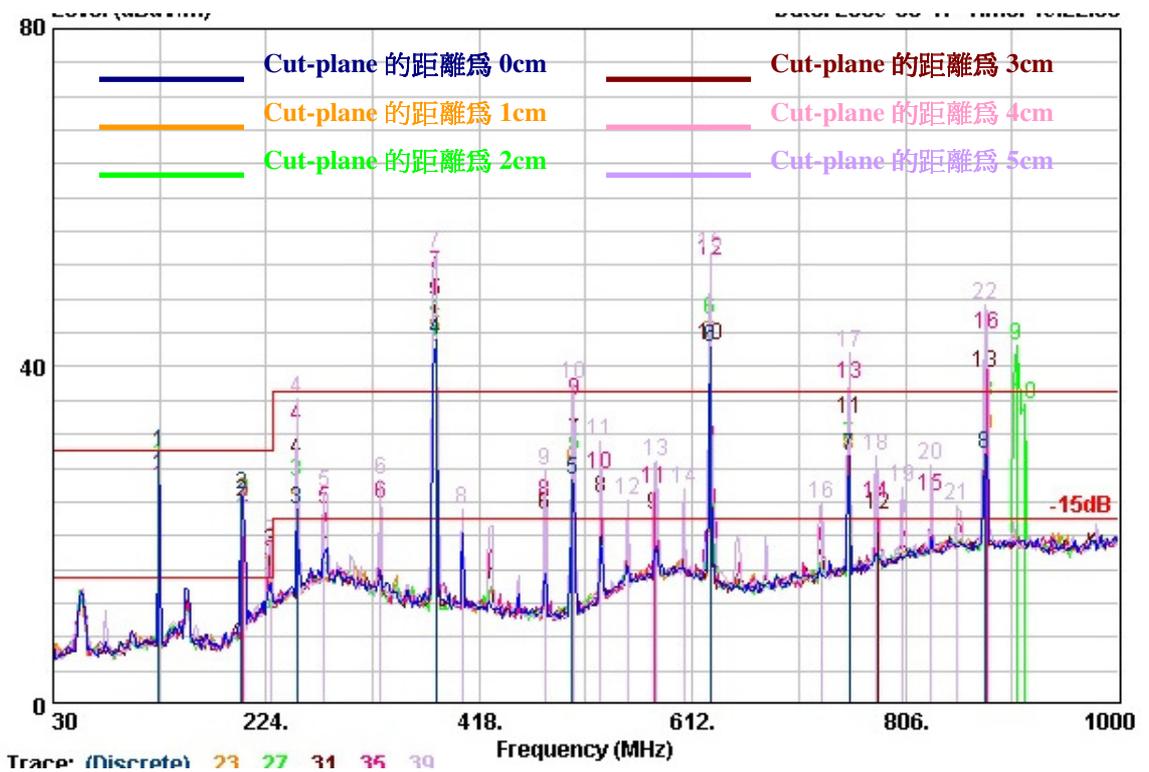


圖 4-25 無 Guard trace 時迴流路徑被切割不同長度時 EMI “垂直” 測試結果

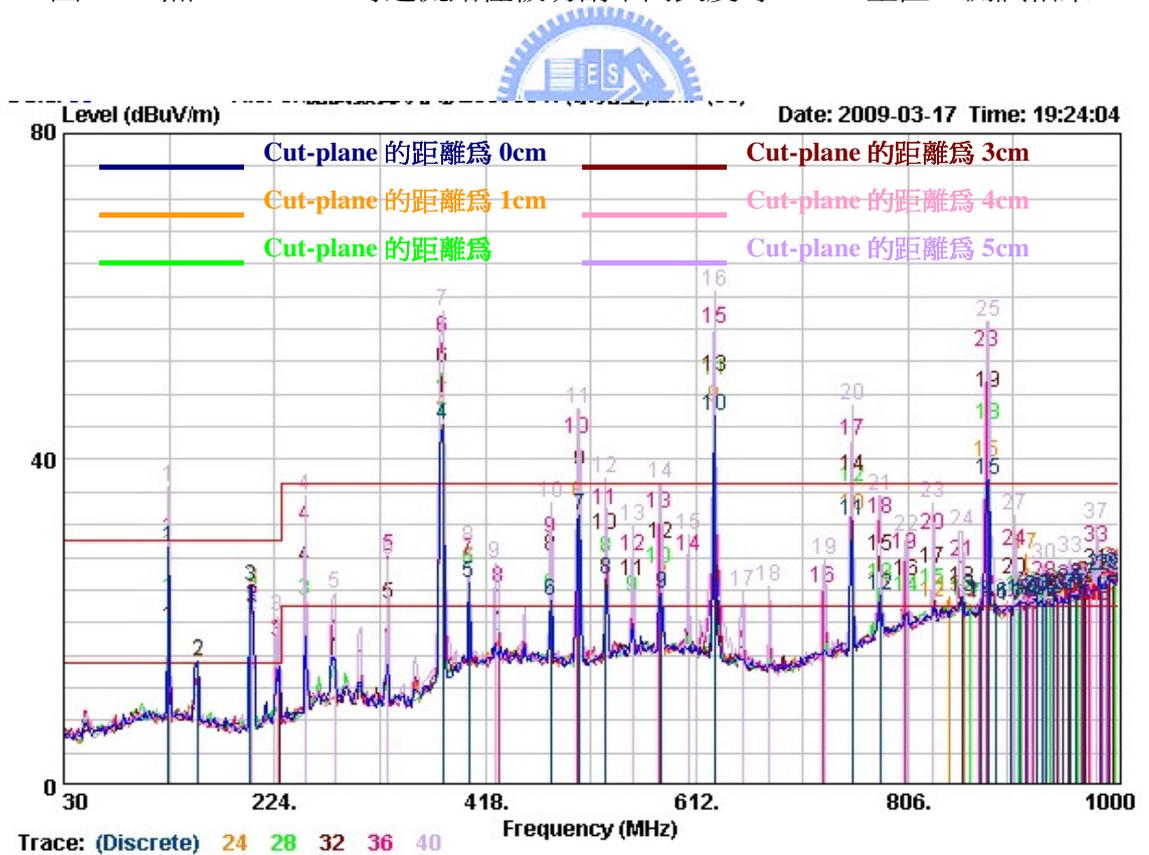


圖 4-26 無 Guard trace 時迴流路徑被切割不同長度時 EMI “水平” 測試結果

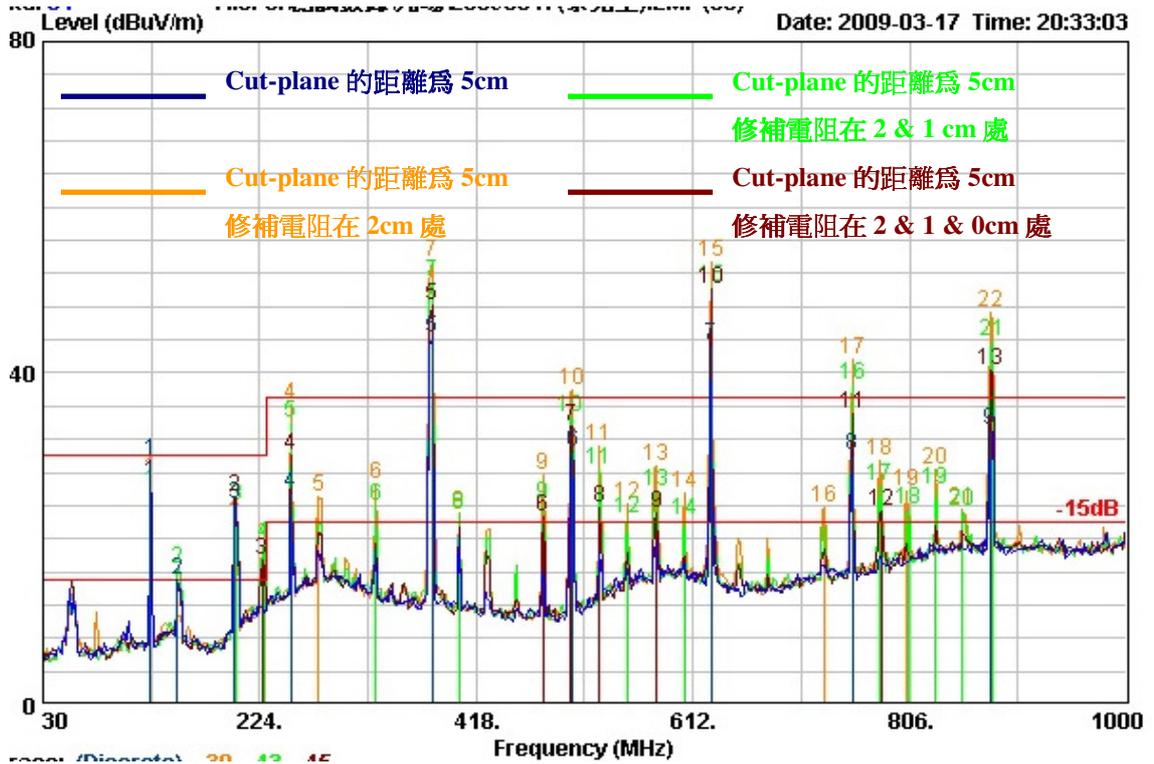


圖 4-27 無 Guard trace 時迴流路徑被切割 5cm 時,修補電阻擺放不同位置時 EMI “垂直” 測試結果

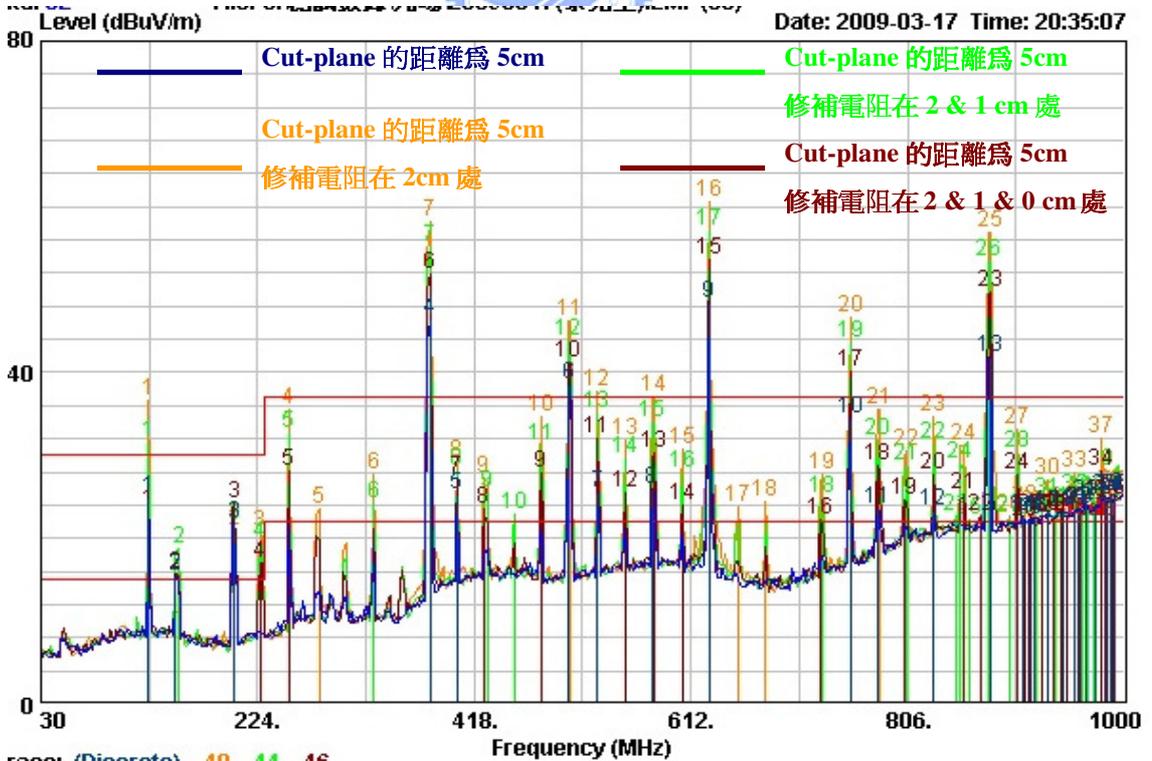


圖 4-28 無 Guard trace 時迴流路徑被切割 5cm 時,修補電阻擺放不同位置時 EMI “水平” 測試結果

4-5-2 離信號線旁 10mils 加上 Guard trace 時

在相同的測試條件下，改用信號線二旁 10mils 處加上 Guard trace 的板子測試，對 Cut-plane 切割是否會較信號線旁沒有 Guard trace 時來得好呢？測試結果如表 4-10 所示，從表 4-8 與表 4-10 的比較，可明顯地看出有加 Guard trace 時，受到相同長度的 Cut-plane 穿越過去時，有加 Guard trace 時對電磁干擾的程度較小；另外，從實際的測試結果可發現有加 Guard trace 時，基頻受 Cut-plane 的切割所影響較無 Guard trace 來得輕微。以同樣是 Cut-plane 長度是 5cm 為最差時為例，信號線旁有無 Guard trace 的二個測試狀態中，二個最大電磁干擾頻率 375 及 625MHz 比較，在沒有 Guard trace 的電磁干擾值明顯高出約 11~15dB μ V/m；另外，在相同的頻率下信號線無 Cut-plane 切割與 Cut-plane 切割 5cm 比較，在信號線二旁沒有 Guard trace 時增加了 10~18 dB μ V/m；而信號線二旁 10mils 處加上 Guard trace 則增加了 5~10 dB μ V/m。從以上的比較可知在信號線二旁加上 Guard trace 對 Cut-plane 的影響也是有明顯地幫助。在信號線二旁加上 Guard trace 能夠有效地降低 Cut-plane 所造成的影響，其主要原因是所加的 Guard trace 已成為信號迴流路徑的一部分，故能降低電磁輻射干擾。

至於信號線二旁 10mils 處加上 Guard trace 做 Cut-plane 二端加上修補電阻實驗，測試結果與之前信號線旁未加 Guard trace 時測試相同，從修補位置為 2&1&0cm 時從測量的垂直及水平結果可看出修補後約與信號線被 Cut-Plane 切割約 1~2cm 的距離相當。這與信號線二旁未加 Guard trace 時的結果一致，代表不管佈線的方式如何，只要信號線有被 Cut-plane 切割過去，修補電阻的擺放位置以愈靠近信號線底下時的效果最為明顯。

表 4-10 有 Guard trace 的信號線背面有 Cut-plane 跨越跨越長度不同時對 EMI 的實際量測值

有 Guard trace 的信號線背面有 Cut-plane 跨越跨越長度不同時對 EMI 的實際量測值												
Board/Trace 狀態/頻率	Board 1											
	Clock A											
線 長	7cm With 10 mils Guard trace											
測試狀態	垂 直						水 平					
Cut-plane 長度 (cm)	無	1	2	3	4	5	無	1	2	3	4	5
125 MHz	26.07	23.86	22.60	21.36	20.88	20.09	28.18	22.34	19.57	18.26	15.38	—
250 MHz	26.37	27.29	29.33	29.56	31.95	31.28	22.27	23.17	26.32	27.48	29.14	28.79
375 MHz	34.88	34.08	40.03	40.65	41.94	42.43	39.59	36.03	41.92	43.84	44.79	45.62
500 MHz	—	—	24.57	24.83	26.34	27.90	25.36	24.85	32.02	33.81	34.85	35.61
625 MHz	33.99	35.33	38.40	39.75	42.54	41.25	37.97	35.42	41.99	43.85	46.27	44.84
750 MHz	—	—	24.35	24.87	26.17	29.22	22.05	22.52	27.02	29.15	31.55	32.43
875 MHz	—	—	25.06	27.51	30.93	33.61	22.67	24.01	29.17	34.97	39.72	42.06

* 上表欄位中有淺紅底的部分表示為測試最高值

表 4-11 有 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際量測值

有 Guard trace 的信號線背面有 Cut-plane 跨越 5cm 時，放置修補電阻的位置對 EMI 的實際量測值						
Board/Trace 狀態/頻率	Board 2					
	Clock A					
線 長	7cm With 10 mils Guard trace					
測試狀態	垂 直			水 平		
修補電阻離信 號線距離 (cm)	2	2&1	2&1&0	2	2&1	2&1&0
125 MHz	21.02	21.61	23.11	---	16.96	20.23
250 MHz	32.0	30.89	29.70	28.59	27.20	25.60
375 MHz	41.58	41.03	39.86	44.62	43.89	41.06
500 MHz	25.96	25.42	22.62	33.67	33.05	30.11
625 MHz	38.10	36.71	35.20	42.74	41.87	40.63
750 MHz	26.29	24.38	24.24	29.92	27.68	26.06
875 MHz	30.13	27.68	22.23	39.17	35.63	27.00

* 上表欄位中有淺綠底的部分表示為修改後三者中的最低值

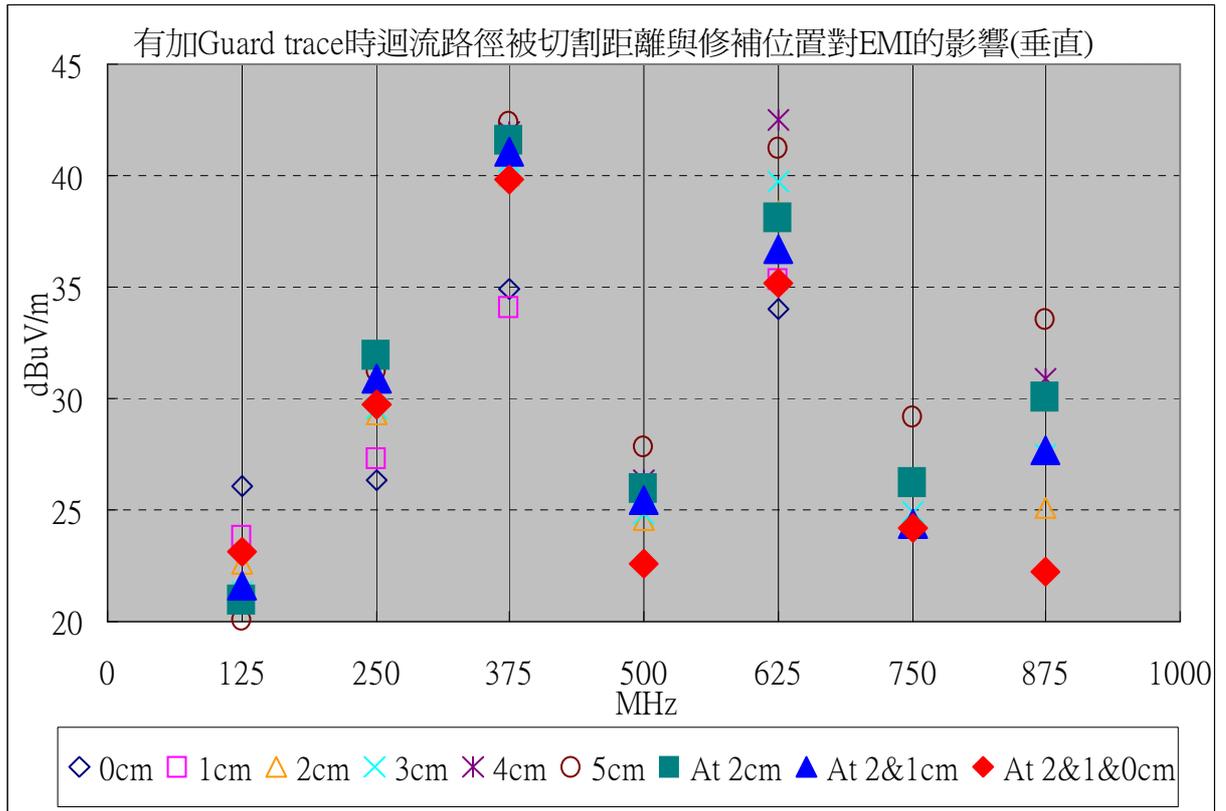


圖 4-29 有 Guard trace 時迴流路徑被切割不同長度時對 EMI “垂直” 的影響

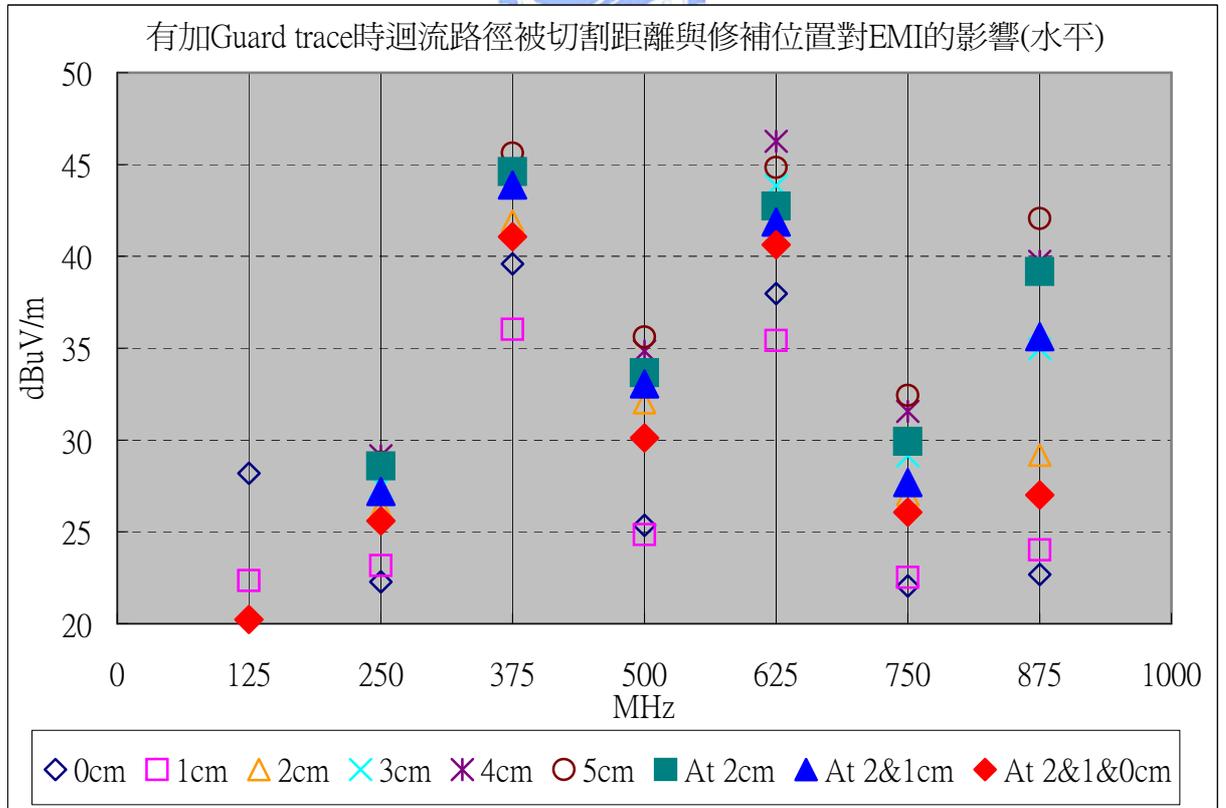


圖 4-30 有 Guard trace 時迴流路徑被切割不同長度時對 EMI “水平” 的影響

4-6 信號線有無加串聯終端前後對 EMI 的影響

從之前的章節的測試結果知道在信號線二旁加上 Guard trace 後，對電磁輻射干擾有顯著的改善；但是 Guard trace 離信號線愈近又會影響到信號線的特性阻抗，造成阻抗不匹配的問題，而影響到信號完整度的問題，之前有提到可以藉由終端技巧的方式來改善此問題，那採用終端技巧後對電磁干擾又會有何影響呢？本實驗所採用的積體電路為 CMOS 家族，故以串聯終端技巧來做實驗，在各信號線所加的串聯終端電阻值，是依表 4-1 以 POLAR CITS25 計算各片板子信號線特性阻抗值，再依串聯終端電阻值公式(3.8)來計算。

表 4-12 同一信號線有無做串聯終時對 EMI 的影響

同一信號線有無做串聯終時對 EMI 的影響									
Board/Trace 狀態/頻率		Board 1				Board 2			
		Clock A		Clock B		Clock A		Clock B	
線長 (cm)		7		3		7			
Guard trace 離信號 線距離(mils)		NO Guard trace				10 mils		30mils	
有/無做串聯終端		NO_ST	W_ST	NO_ST	W_ST	NO_ST	W_ST	NO_ST	W_ST
垂 直	125 MHz	34.57	32.98	24.46	24.64	24.96	24.57	27.87	27.78
	250 MHz	36.9	27.64	35.81	31.95	29.84	25.27	35.01	30.82
	375 MHz	48.49	43.4	45.24	38.62	37.88	34.43	38.34	35.09
	500 MHz	28.64	25.79	40.37	27.76	28.16	---	---	22.80
	625 MHz	44.56	44.3	43.98	40.08	37.13	34.94	34.99	32.49
	750 MHz	22.16	25.97	35.07	28.80	---	---	---	---
	875 MHz	33.04	34.11	38.21	34.15	23.49	---	22.31	---
水 平	125 MHz	34.33	33.49	22.87	23.88	24.51	25.21	28.52	29.17
	250 MHz	33.21	23.21	32.08	26.74	25.33	---	31.83	25.55
	375 MHz	51.34	47.35	48.32	41.81	42.21	39.13	40.99	38.9
	500 MHz	34.3	31.36	45.28	33.21	33.94	27.10	---	28.3
	625 MHz	45.59	45.05	44.81	42.56	37.45	35.26	36.25	34.6
	750 MHz	23.89	27.66	37.30	31.15	23.65	---	---	---
	875 MHz	40.78	40.64	46.47	41.45	24.95	23.33	27.92	27.21

* 上表欄位中有淺紅底的部分表示為二者中的最高值

* NO_ST：代表無做串聯終端處理；W_ST：代表有做串聯終端處理

從表 4-12 可以看出在相同的信號線下，加了串聯終端之後對於電磁干擾的大小確實有明顯地降低。從表 4-12 有無加串聯終端之比較，可發現在信號線無加 Guard trace 時同時信號線較短時(信號線長度為 3cm)的改善最明顯，在同一頻率下最大改善可達到 $-12\text{dB}\mu\text{V/m}$ ，在其他有加 Guard trace 的情況下依不同的頻率也有 $1\sim 4\text{dB}\mu\text{V/m}$ 的幫助。加了串聯終端能夠大幅地降低電磁干擾的主要原因有三個，第一個是在信號線間儘可能地達到阻抗匹配，使得在信號間的反射波降至最低；第二個是使得在信號線的傳送電流的峰值能夠降低，進而達到降低電磁干擾的問題。第三個是加了串聯終端電阻之後，增加了信號的上升時間。

在這個實驗可以知道在做高速電路設計時，依所選擇的積體電路的邏輯家族使用適當的終端技巧，如本實驗所使用的 CMOS 家族即採用串聯終端技巧。在電路設計、Layout 時在適當地方預留這些零件，除了可以做為日後 PCB 板電磁干擾有問題，或是信號完性有疑慮時，有更多的修補空間來改善這些問題，不需重新製做一片板子來驗證，使得產品能達到 Time to Market。



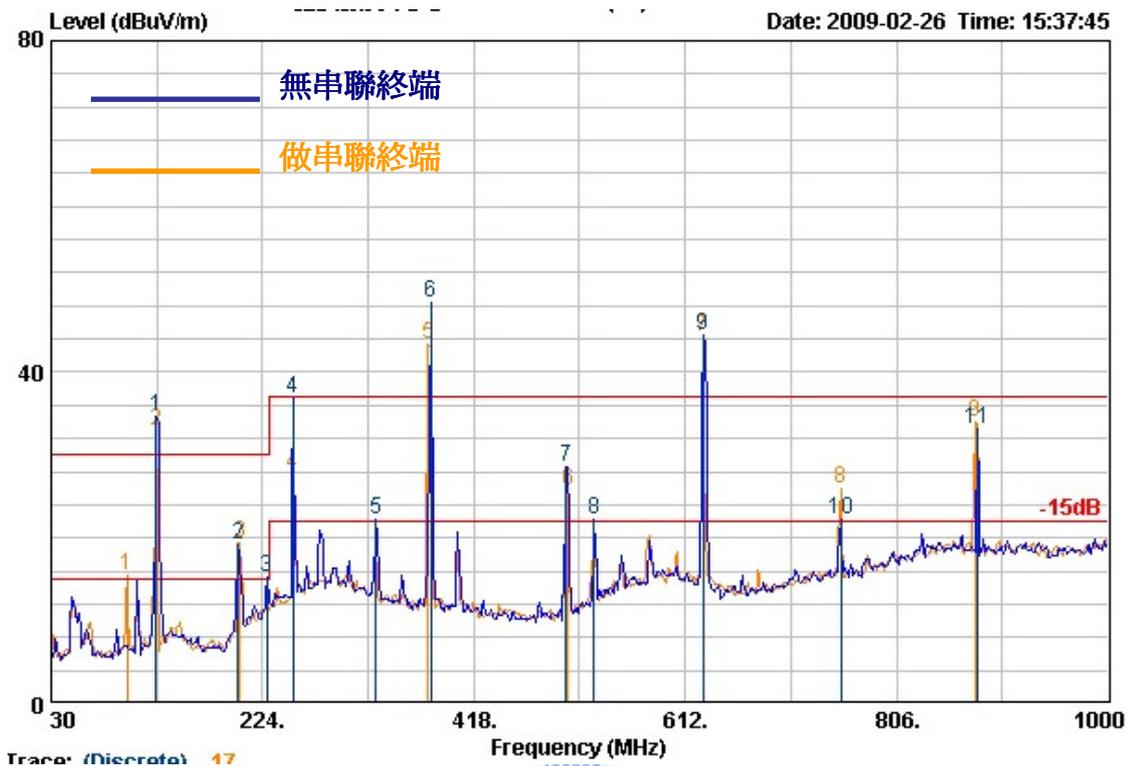


圖 4-31 信號線長 7cm 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果

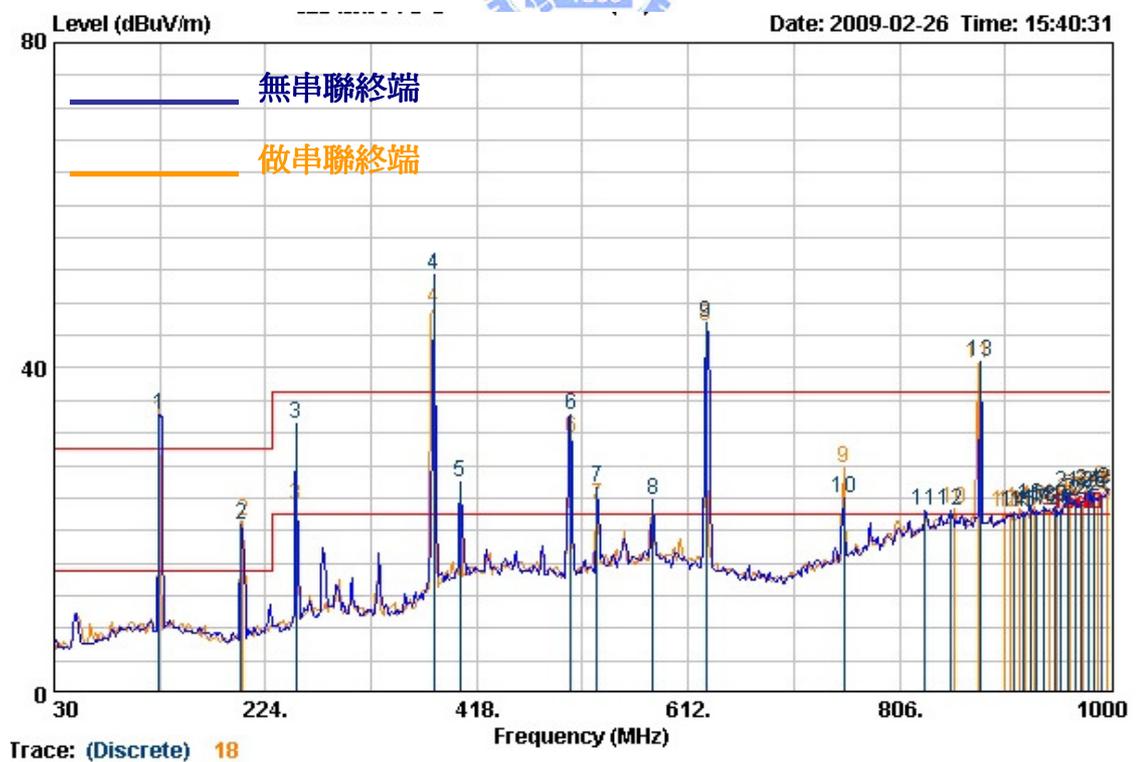


圖 4-32 信號線長 7cm 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果

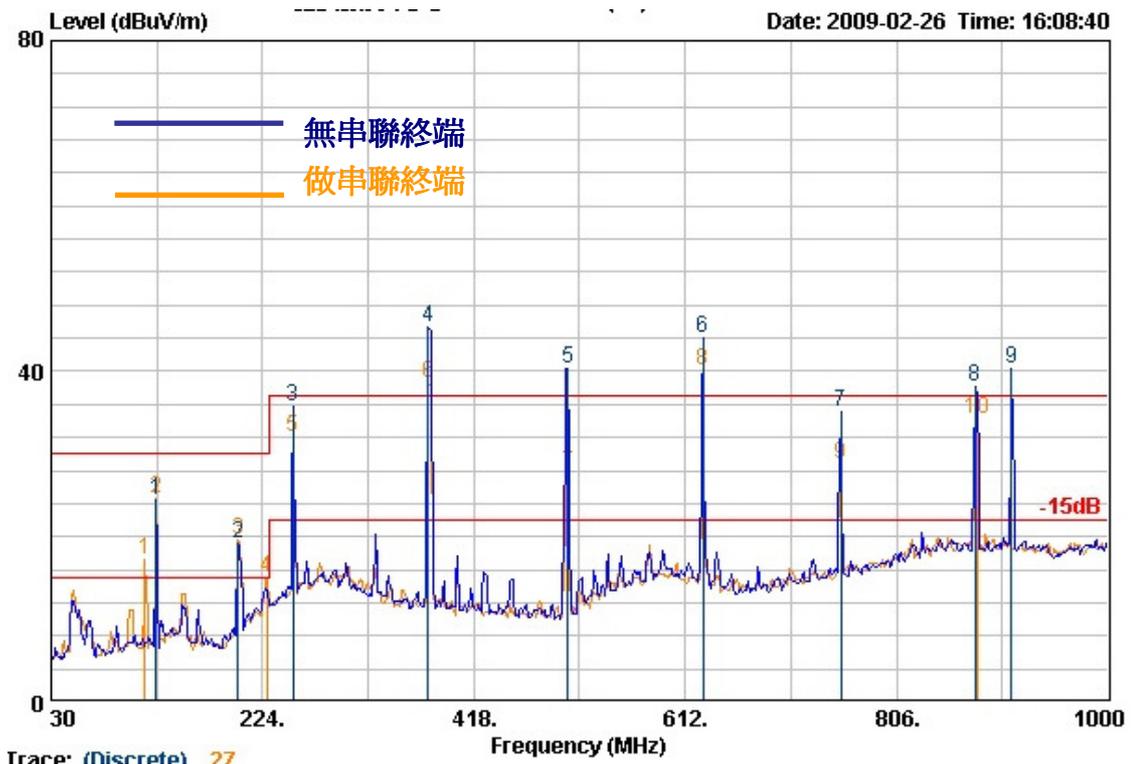


圖 4-33 信號線長 3cm 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果

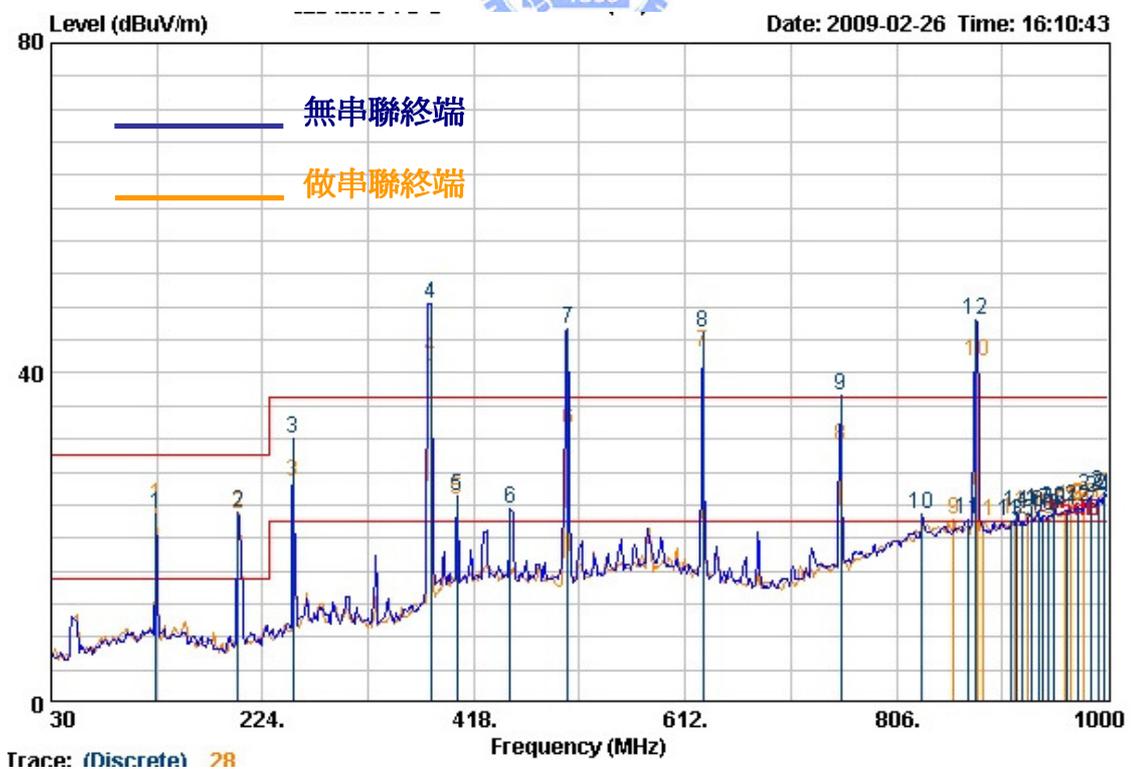


圖 4-34 信號線長 3cm 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果

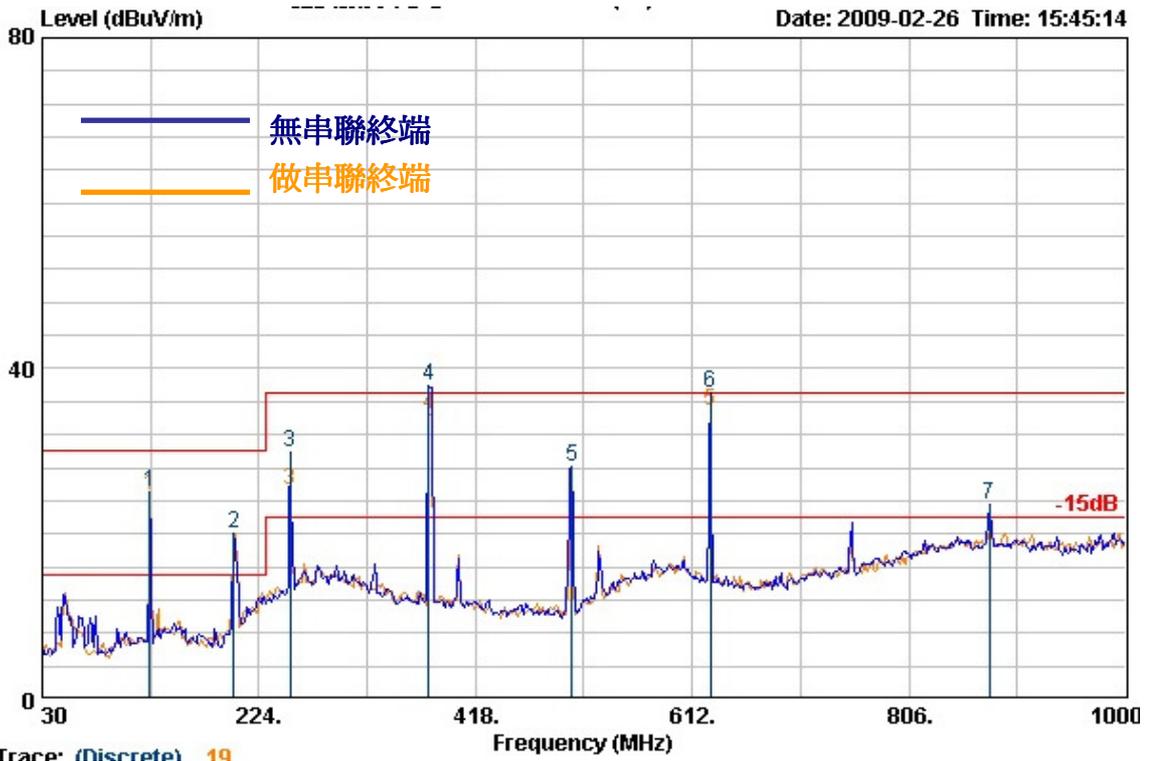


圖 4-35 信號線長 7cm @10mils Guard trace 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果

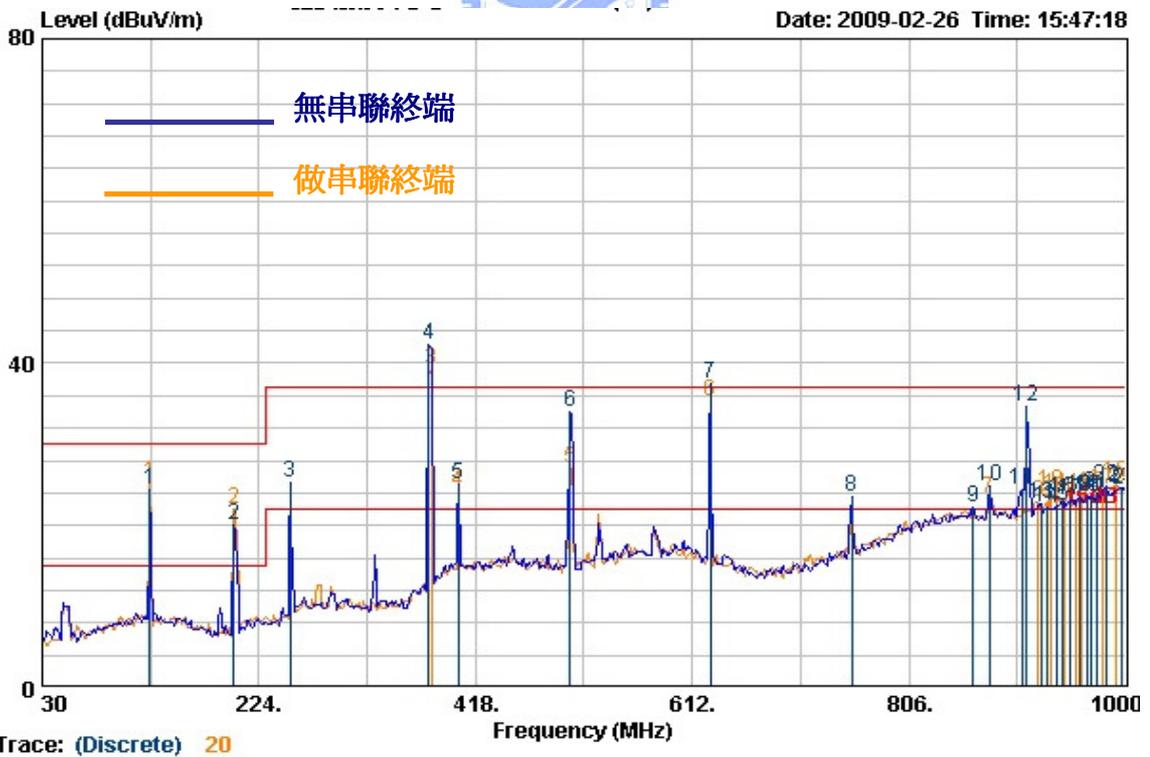


圖 4-36 信號線長 7cm @10mils Guard trace 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果

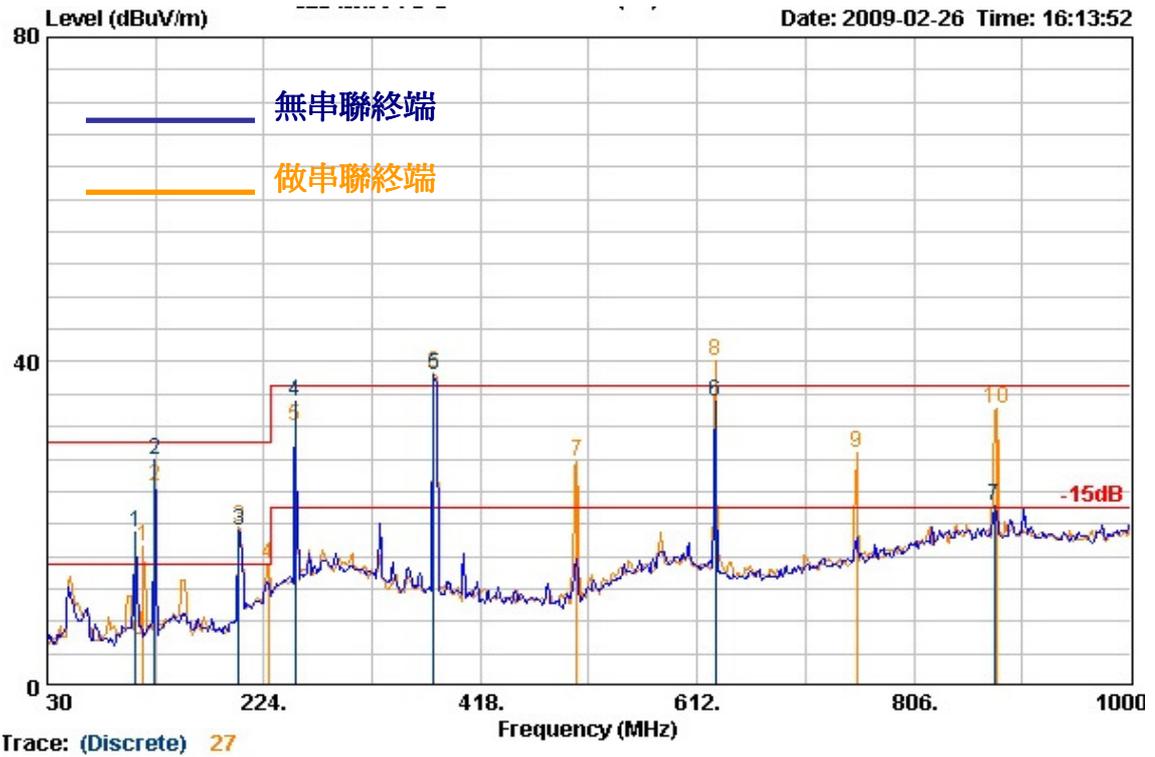


圖 4-37 信號線長 7cm @30mils Guard trace 有無做串聯終端阻抗匹配時 EMI “垂直” 測試結果

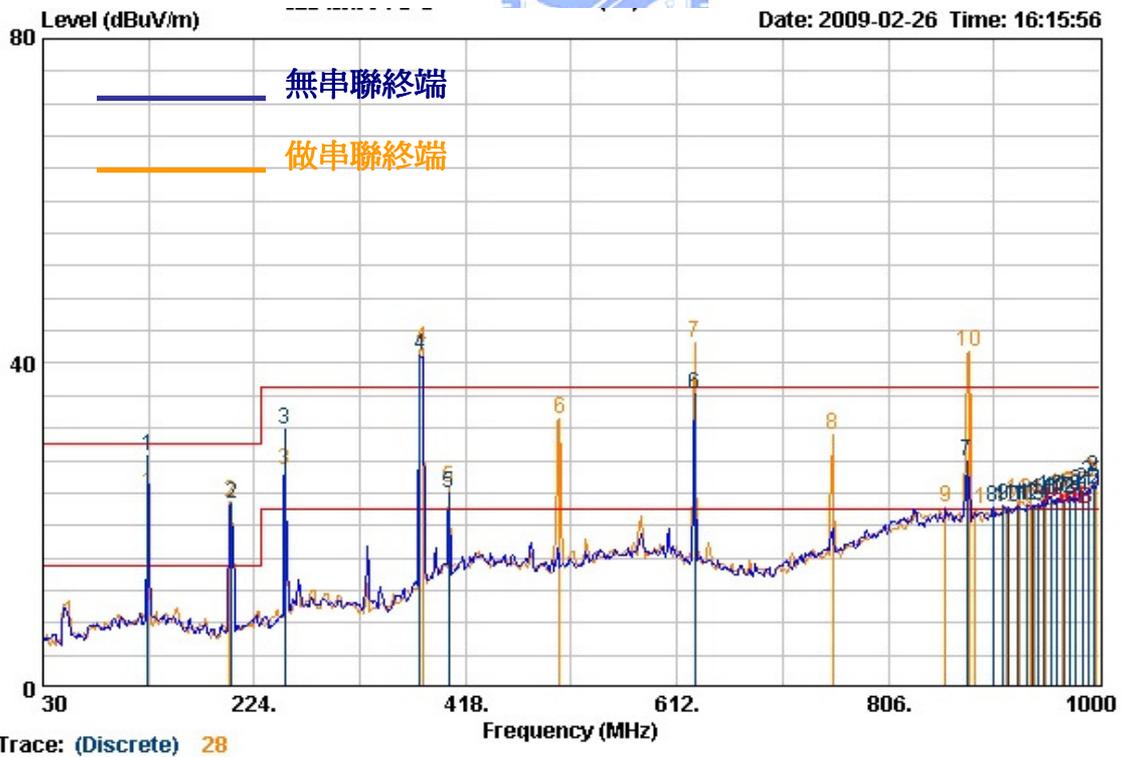


圖 4-38 信號線長 7cm @30mils Guard trace 有無做串聯終端阻抗匹配時 EMI “水平” 測試結果

4-7 信號之 Slew rate ON/OFF 和 Driving current 大小對 EMI 的影響

相同的信號線在外在環境不變的情況下，改變信號的 Slew rate ON/OFF(信號上昇、下降時間變快／慢)及改變驅動信號線的能力大小，經由表 4-13 EMI 實際量測得到的數據可以發現，在相同的信號線長度之下，關掉 Slew rate 之後，使得信號的上昇、下降時間變長、降低信號 Driving current 的能力，對整個信號的電磁干擾皆有大幅度的降低。

表 4-13 信號線 Slew rate ON/OFF & Driving current 大小對 EMI 的影響

信號之 Slew rate On/Off & Driving current 大小對 EMI 的影響						
Board/Trace	Board 2					
	Clock A					
狀態/頻率	垂 直			水 平		
線 長	7cm With 10 mils Guard trace					
測試狀態	SR ON & 12mA	SR OFF & 12mA	SR OFF & 2mA	SR ON & 12mA	SR OFF & 12mA	SR OFF & 2mA
125 MHz	24.57	24.85	20.33	25.21	25.63	20.98
250 MHz	25.27	---	22.03	---	---	---
375 MHz	34.43	29.58	24.50	39.13	32.94	27.94
500 MHz	---	---	---	27.10	24.24	---
625 MHz	34.94	30.28	28.69	35.26	31.00	29.41
750 MHz	---	---	---	---	---	---
875 MHz	---	---	---	23.33	---	---

* 上表欄位中有淺紅底的部分表示為修改後三者中的最高值

圖 4-39、4-41 為本實驗中將此信號線在 Slew rate ON/OFF、Driving current 為 12、2mA 的時域、頻域波形比較，從時域波形來看每個波形差異不大，皆符合信號振幅、頻率大小等規格要求，但經過示波器的傅立葉轉換成頻域波形之後，在同一個頻率之下的差異比在時域時有顯著地差異大，而且每個狀態下的頻率頻譜大小與 EMI 實際量測結果趨於一致。另外，從表 4-13 的測試結果與圖 4-40 相比較可發現磁輻射干擾與信號線的電流的 di/dt 瞬間變化呈正比的關係。

在使用此方法的前提下，零件佈局、佈線時要考慮將相關的零件擺放在附近，使得佈線距離短一點，如此才能在不影響產品的性能、時序及符合電壓臨界值為前提下，可

將 Slew rate 關掉或降低信號 Driving current 的能力，即可有效地降低電磁輻射干擾。因此在此設計之初即要選擇這種具有可調整 Slew rate、Driving current 功能的積體電路，這對日後在解決電磁輻射干擾上有一定的幫助。

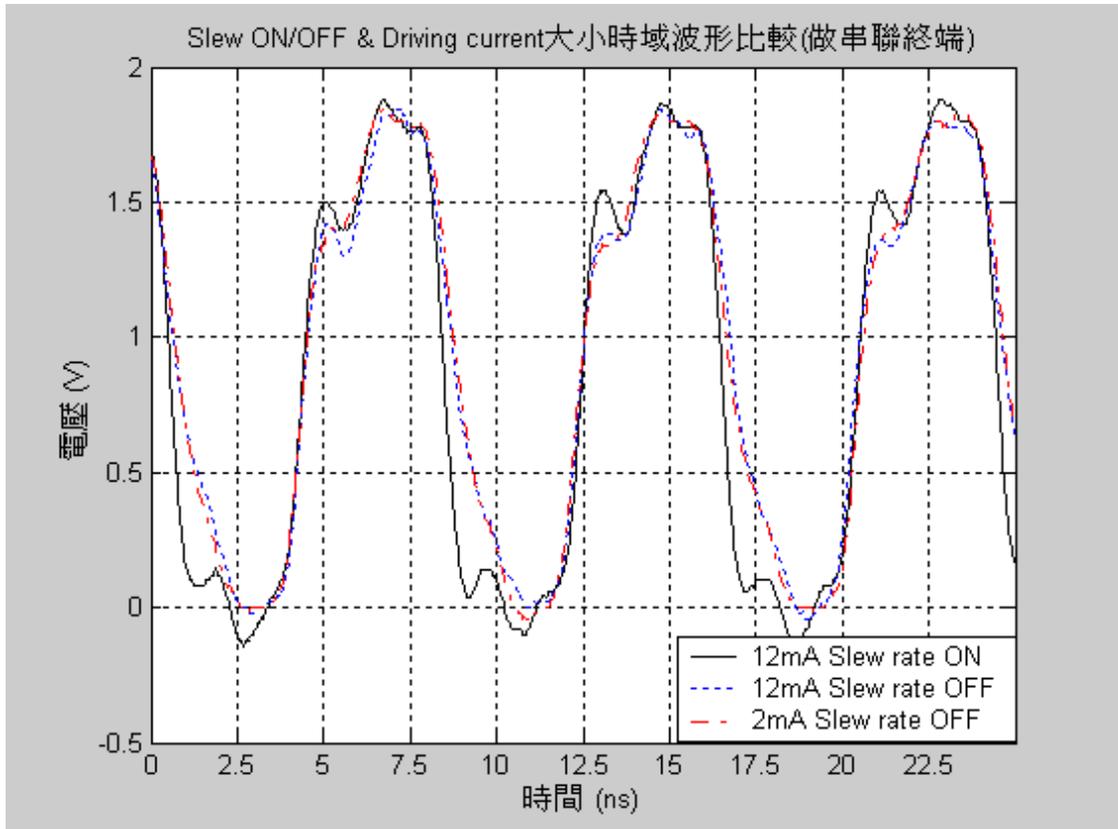


圖 4-39 Slew rate ON/OFF & Driving current 大小時域波形比較

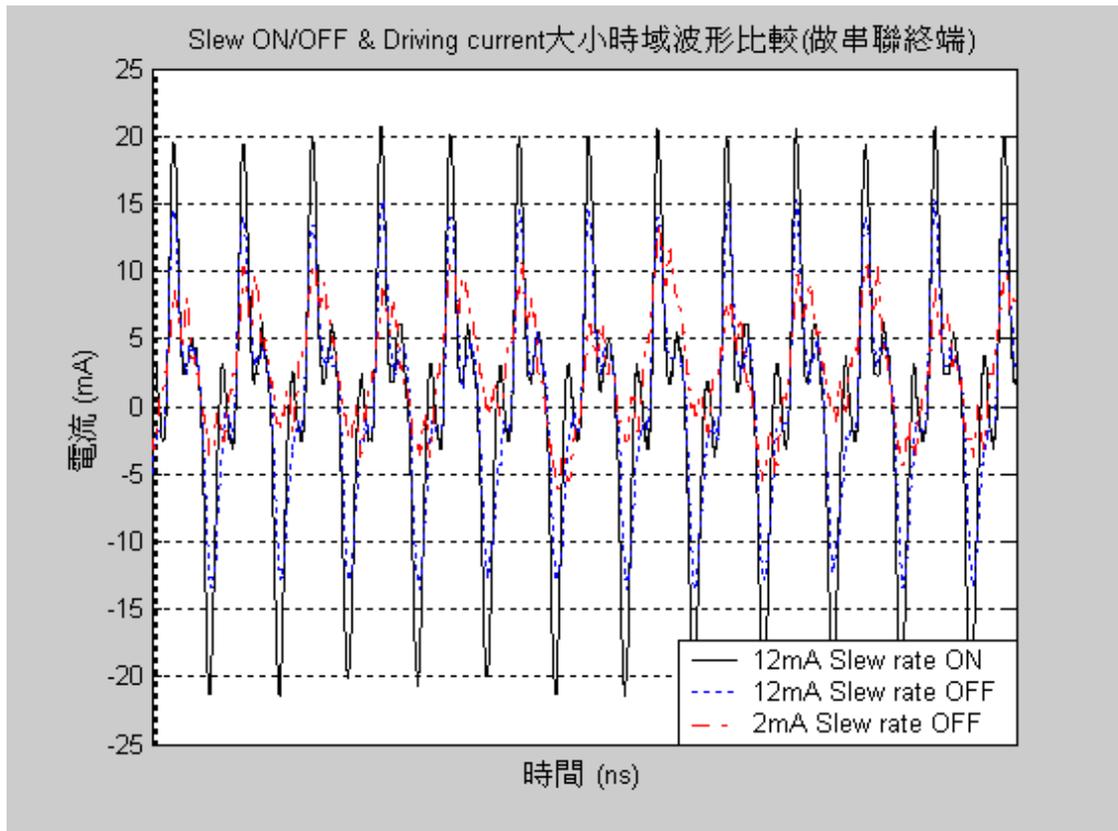


圖 4-40 Slew rate ON/OFF & Driving current 大小時信號線上電流大小時域波形比較

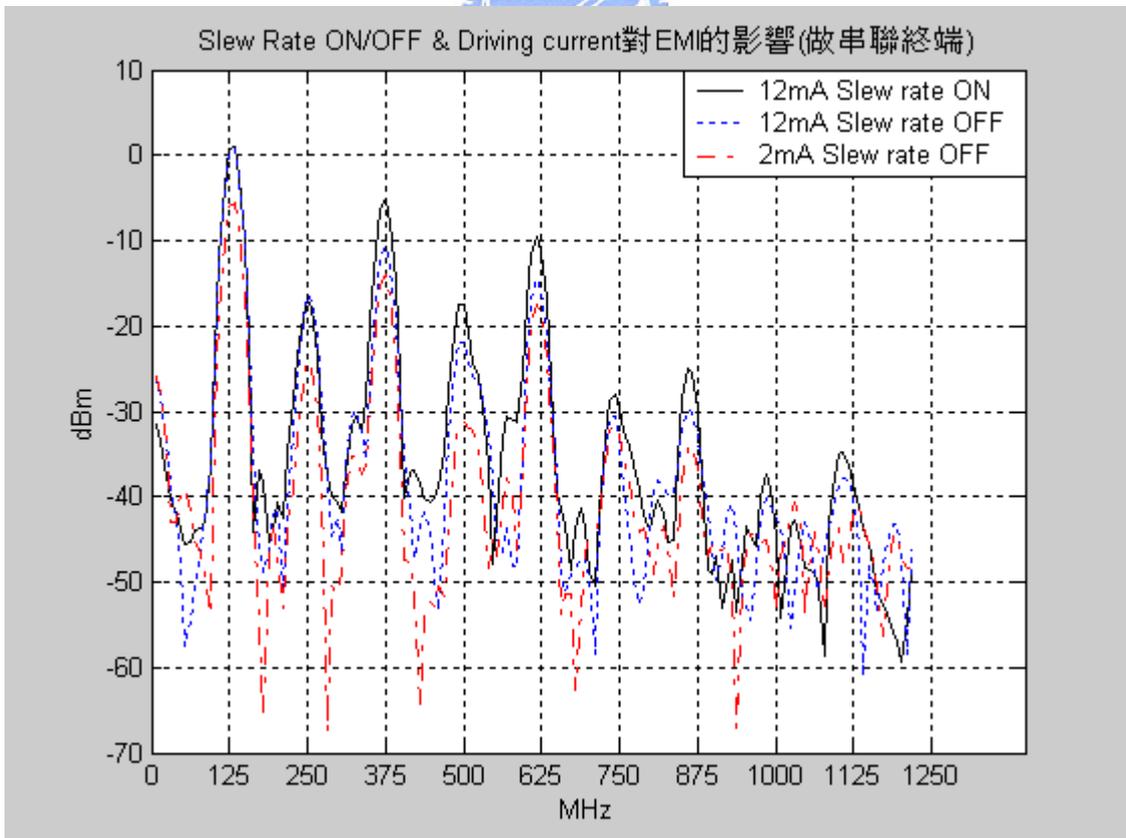


圖 4-41 Slew rate ON/OFF & Driving current 大小時信號線上電流大小頻域波形比較

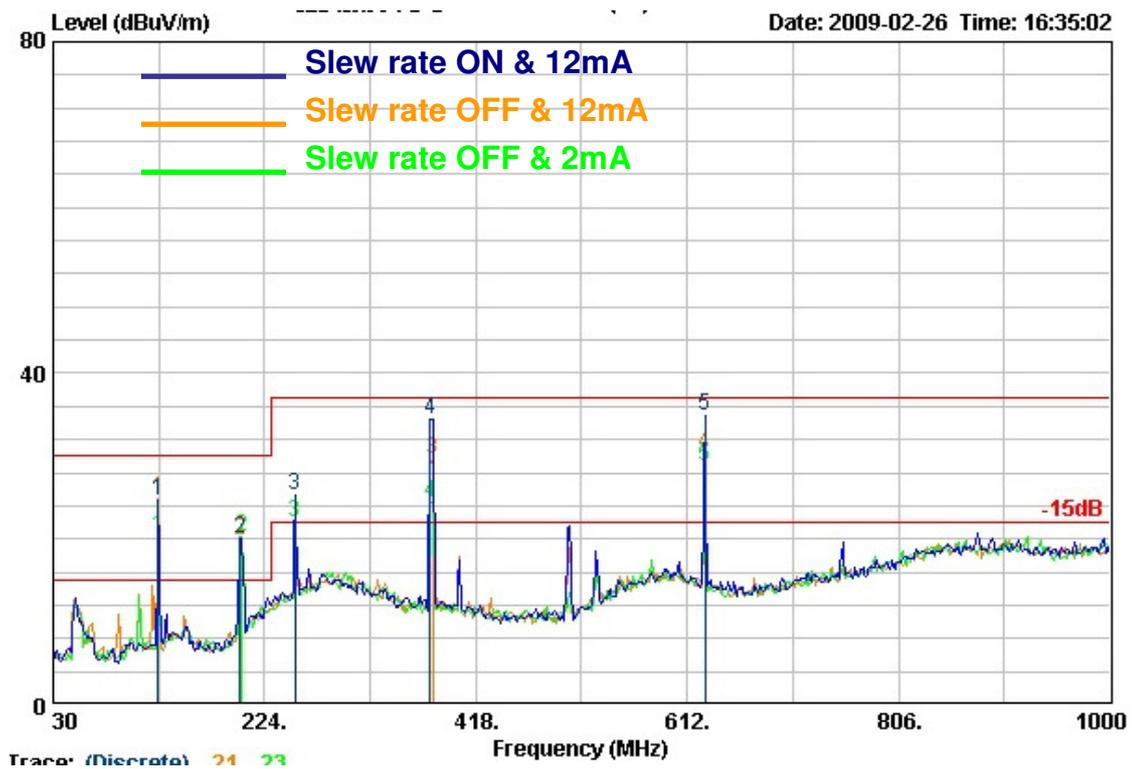


圖 4-42 信號線 Slew rate ON/OFF & Driving current 大小時 EMI “垂直” 測試結果

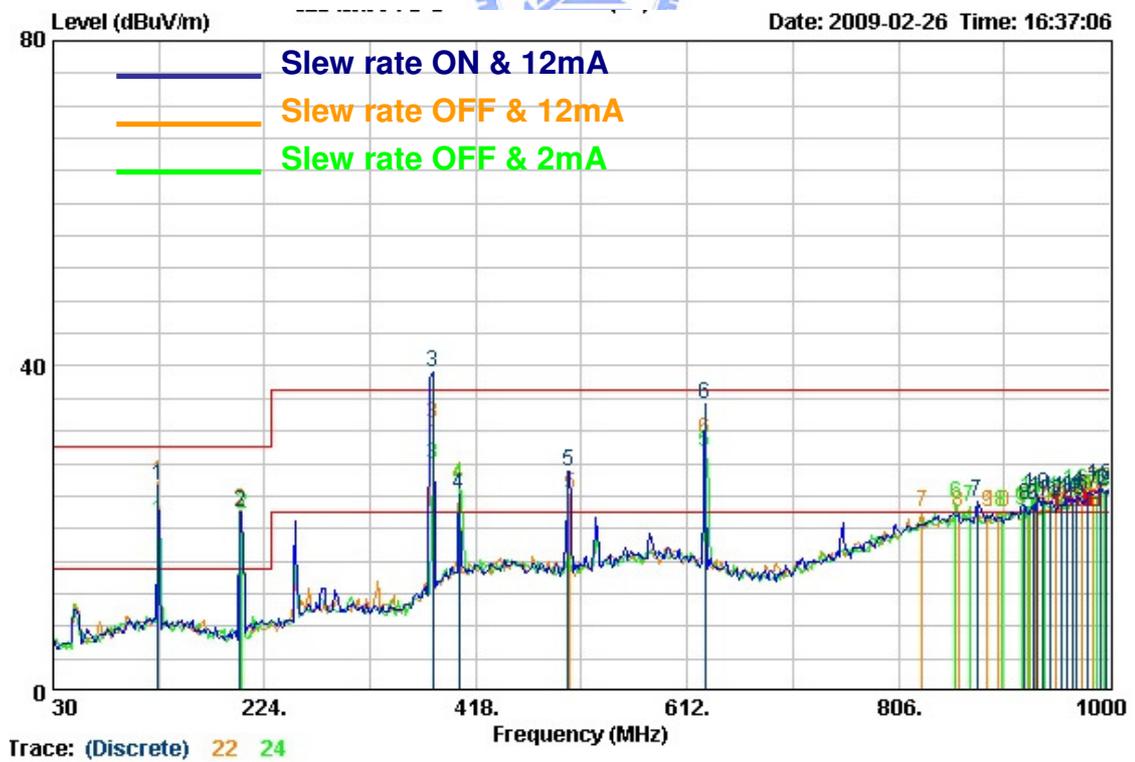


圖 4-43 信號線 Slew rate ON/OFF & Driving current 大小時 EMI “水平” 測試結果

第五章

結論

5-1 實驗心得

回顧這二、三十年來的電子科技進步之神速，可謂日新月異。反觀在電子產品中針對 EMI 的解決對策、原理幾乎都是一致性的。雖然 EMC 的特性無法直接透過肉眼直接判斷出不良點，但藉由了解 PCB 上造成 EMC 的原因、最容易造成雜訊的信號地方，在 PCB 板設計的時候加入相關的預防措施、改善對策方式。

另外，解決 EMC 的問題時，除了要能有效地防護外，同時還不能增加太多的成本，在這二者之間要取得一個平衡點，一直是困擾著設計人員。加上世界各地對電子產品的 EMC 意識越來越高漲，無法取得該地區的 EMC 認證，就無法取得該市場的入場卷。尤其，在這競爭的市場中，只要比對手晚推出市場，可能無法在這個市場中取得一席之地。在 PCB 在本論文所提到的方法，具備不增加產品的設計成本、能有效地降低電磁干擾、能有效地減少重複製作板子的時間等優點。以下列了本論文中對高速信號在 Layout 可加入有效對策。

1. 信號線距離儘可能的短，同時要依不同的信號線做阻抗匹配，如此可大幅地降低低階諧波的電磁干擾。
2. 在零件選擇時即要以具有可調整信號的 Slew rate 及降低信號線的驅動電流能力為優先考量。在佈線時連接信號線二端的 IC 儘可能的擺近，使走線距離較短，在不影響到信號的時序、臨界振幅大小等，可關掉信號的 Slew rate 及降低信號線的驅動電流能力。
3. 在信號線旁可加 Guard trace，以降低 Fringing 至空氣中的電場，進而達到降低電磁輻射干擾。
4. Guard trace 要愈靠近信號線，對降低電磁輻射的效果才會明顯，建議 Guard trace 離信號可以拉近至 10mils(一倍線寬)。

5. 雖然加了 Guard trace 之後對信號線的電磁輻射干擾有效果，但由於 Guard trace 離信號線愈近對信號線的特性阻抗影響愈大(特性阻抗愈小)，造成阻抗不匹配而降低信號完整度的問題，故需適當的調整阻抗匹配。
6. 二層板佈線在高速信號線底下，儘可能不要有其他信號線、壕溝跨越，以免造成信號迴流路徑變大，而造成電磁輻射干擾加大。不幸，無法避免時，可在穿、跨越過高速信號線正下方的附近，二端加上橋接電阻，以減小信號迴流路徑。

5-2 未來研究方向

在本論文以輻射效率做爲不同的信號線的一階修正後的比較基楚，雖然可以有效地比較出所加的對策對那一個較好，但這只能在 PCB 完成後才能夠做的，再加上造成 PCB 板的電磁輻射干擾的因素眾多，因此，在未來希望在系統開發之前利用 IBIS 模型來模擬系統開發結果。基本上 IBIS 可看成是實際晶片 I/O buffer 等效電路的電氣特性資料，一般可由 SPICE 模型轉換而得。因此利用 IBIS 模型模擬不但含有每個引腳的寄生參數，如封裝寄生電感、電容和電阻，而且有表示信號邊緣速率的 dv/dt 和輸出腳的 V/I 曲線，所以利用 IBIS 模擬具有精確性高、模擬速度快等優點。如此可預先知道板子上那幾個區塊是危險區，在 Board level 設計時事先加入一些改善對策、防護措施，以降低 PCB 改版的次數並讓產品能如期上市。

參 考 文 獻

- [1] 謝金明，高速數位電路設計暨雜訊防制技術，全華科技圖書股份有限公司
- [2] Ron Schmitt，ELECTROMAGNETICS EXPLAINED，A HANDBOOK FOR WIRELESS/RF,EMC,AND HIGH-SPEED ELECTRONICS，2002 年 5 月
- [3] By Bruce R. Archambeault，PCB Design for Real-World EMI Control，2002 年 8 月
- [4] Mark I. Montrose，Printed Circuit Board Design Techniques for EMC Compliance，2000 年 6 月
- [5] 吳霖堃教授，EMC 課程講義，96 年
- [6] High-Speed Layout Guidelines TEXAS INSTRUMENTS Application Report SCAA082-November 2006
- [7] 陶顯芳，電子工程專輯 20041015，電子線路與電磁干擾/電磁相容設計分析
- [8] 姚啓元，電路板 EMC Layout 技術實務運用，財團法人台灣電子檢驗中心 電磁二部
- [9] 陳榮達，InterOcean EMC Technology Corp.，Stopping EMI at PCB，2002 年 11 月
- [10] Agilent AN 1328 “Making Precompliance Conducted and Radiated Emissions Measurements with EMC Analyzers” Application Note
- [11] 廖裕傑，機械工業雜誌，226 期，工業產品 EMC 驗證實務，2002 年 1 月
- [12] 楊克俊編著，陳一鋒校訂，電磁相容原理與設計技術，全華科技圖書股份有限公司
- [13] 教育部顧問室通訊科技人才培育先導型計畫，電磁相容理論與實務，通訊元件教學推動中心主編，教育部顧問室補助，96 年 1 月
- [14] S H. Hall，G. W. Hall and J. A. Mccall，High-Speed Digital System Design，A Handbook of Interconnect Theory and Design Practices，WILEY-INTERSCIENCE，2000 年 8 月

- [15] David Morgan , A Handbook for EMC Testing and Measurement.
- [16] Mark I. Montrose, Edward M. Nakauchi 原著 , 姚啓元編譯 , EMC 電磁相容測試與對策技術 , Testing for EMC Compliance Approaches and Techniques , 全華科技圖書股份有限公司
- [17] ZHOU Bin , ZHAO Xiaoyun , Electro Magnetic Compatibility Design of Printed Circuit Board
- [18] 薛光華 , Signal Integrity and EMI Analyses for Coupled Microstrip Lines with Guard Trace in High-Speed Digital Circuits , Ansoft 2007 High Performance HF/SI/PI/EMI/IC Design Workshop
- [19] 林漢年 , 無線及高速數位電路的 EMC 設計趨勢與挑戰
- [20] Cyrus Rostamzadeh , Experimental investigation of PCB guard traces on radiated EMI , Electromagnetic Compatibility, 2006. EMC 2006. 2006 IEEE International Symposium on Publication Date: 2006 Volume: 2 , P529-533
- [21] ZhangPeng, Li Shufang , The relationship between ground and EMI , 2005. IEEE International Symposium on Volume 1, Issue , 8-12 Aug. 2005 , P662-P665
- [22] GOH Ban Hok , A Study of High Speed implementation for System on Chip on 2 layers Printed Circuit Board , 2007 IEEE International Symposium on Integrated Circuit , Sept. 2007 , P150-153
- [23] Dheena Moongilan , Image and return current modeling of PCB traces for radiated emissions , Electromagnetic Compatibility, 2001. EMC. 2001 IEEE International Symposium on Volume: 2 , Aug. 2001 , P927-932
- [24] LI Zhi, WANG Qiang, SHI Changsheng , Application of guard traces with vias in the RF PCB layout , Electromagnetic Compatibility, 2002 3rd International Symposium on Volume , Issue , 21-24 May 2002 , P771-774
- [25] M. K. Armstrong , PCB Design techniques for lowest cost EMC Compliance : Part1 , August 1999 IEEE ELECTRONICS & COMMUNICATION ENGINEERING JOURNAL ,

P185-194

- [26] Frank B.J. Leferink , REDUCTION OF PRINTED CIRCUIT BOARD RADIATED EMISSION , IEEE 1997 International Symposium Publication on 18-22 Aug 1997 , P431-438
- [27] Frank B.J. Leferink , Power and Signal Integrity and Electromagnetic Emission; the Balancing Act of Decoupling, Planes and Tracks , Electromagnetic Compatibility, 2007. EMC 2007. IEEE International Symposium Publication on July 2007 , P1-5
- [28] 於波 , 高速電子線路的信號完整性設計(一) , 2007 年 8 月
- [29] 張智星 , MATLAB 程式設計與應用 , 清蔚科技股份有限公司

