

第一章 序論

1.1 平面顯示器概論

映像管顯示器 (CRT, Cathode Ray Tube) 的發明改變了人類的生活型態，在此之後顯示技術就以飛快的速度不斷的發展，而隨著高畫質的需求與環保觀念的興起，CRT 漸漸被低輻射、低耗電量、重量輕、體積小的平面顯示器所取代，平面顯示器可大略分類為發光二極體 (LED, Light Emitting Diode)、電漿電視 (PDP, Plasma displays)、液晶顯示器 (LCD, Liquid Crystal Displays) 與其他顯示器，在這些平面顯示技術中，又以液晶顯示器的技術發展最純熟且最為普及，其應用領域從 PDA、數位相機、筆記型電腦，到高解析視訊電視都可以發現其蹤跡，因此液晶顯示器的世代就此開始，接下來簡單的介紹液晶顯示器原理。

1.2 液晶顯示器原理

液晶顯示器是以液晶分子材料為基本要素，將液晶分子夾在經過配向處理的兩片玻璃板之間，即可組合成液晶顯示器組件。這個介於固態與液態之間的中間態分子，不但具有液體易受外力作用而流動的特性，亦具有晶體特有的光學異方向性質，所以能夠利用外加電場來驅使液晶朝某一個方向排列，造成光線穿透液晶層時的光學特性發生改變，此即是利用外加的電場來產生光的調變現象。

接下來以扭轉向列型液晶顯示器 (TN) 的構造來加以說明。扭轉向列型液晶顯示器的基本構造為：上下兩片導電玻璃基板，在導電膜上塗布一層經由摩擦而形成極細溝紋的配向膜，當向列型液晶灌注入上下兩片玻璃之間隙時，由於液晶分子具有液體的流動特性，因此很容易順著溝紋方向排列。在接近基板溝紋位置時，液晶分子所受的束縛力較大，所以會沿著上下基板溝紋方向排列，而中間部分的液晶分子束縛力較小，在液晶盒內會形成扭轉排列，因此在液晶盒內的向列型液晶分子共扭轉了 90 度。另外，上下基板外側各加上一片偏光板。

接著，進一步說明液晶顯示器的明暗對比顯示動作原理。首先，由白色背面光源所射出的光通過第一偏光板後，自然光即被偏極化為線偏極

光，在不施加電壓時，則此線偏極光進入液晶盒內，逐漸隨著液晶分子扭轉方向前進，因上下兩片偏光板的穿透軸和配向膜同向，即兩偏光板的穿透軸互相垂直，故光可通過第二片偏光板而形成亮的狀態(圖 1-1)。相反地，若施加電壓時，液晶分子傾向於與施加電場方向呈平行，因此液晶分子一一垂直於玻璃基板表面，則線偏極光直接通過液晶盒到達第二片偏光板，這時光會被偏光板所吸收而無法通過，形成暗的狀態(圖 1-2)。因此，利用適當驅動電壓即可得到亮暗對比顯示的效果[1]。液晶顯示器依照驅動方式可分為被動式與主動式驅動兩種，簡介如下。

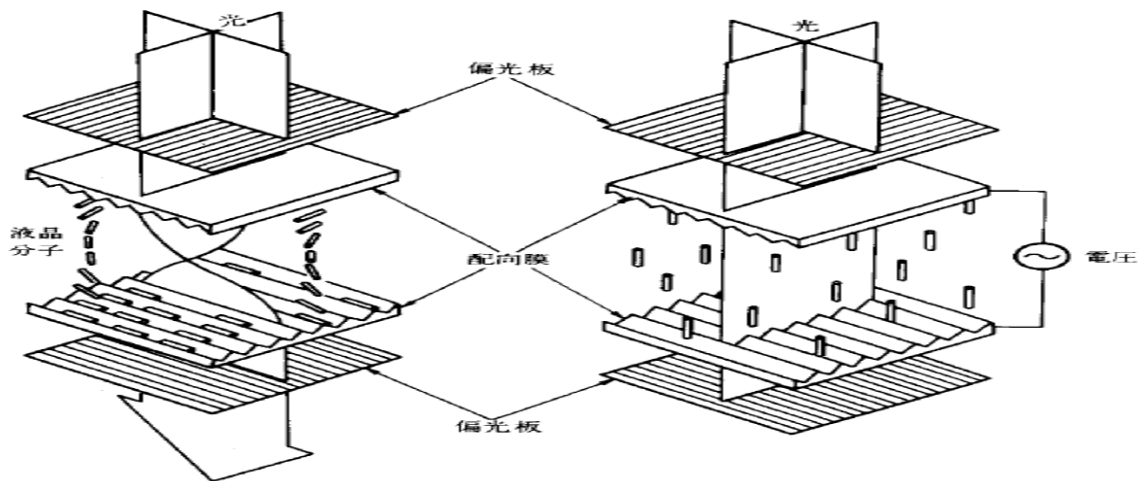


圖 1-1 不施加電壓

圖 1-2 施加電壓

1.3 液晶顯示器驅動方式

液晶顯示器依據驅動方式的差異可分為二大類：被動式驅動及主動式驅動技術二種。前者的液晶顯示器面板乃單純地由電極與液晶所構成，並在上下基板配置行列矩陣式的掃描電極和資料電極，直接運用與掃描訊號同步的方式，由外部電壓來驅動各畫素內的液晶，以達到對比顯示之作用。然而當畫面密度愈高時，掃描線數就愈多，則每一畫素所分配到的驅動時間愈短，此將造成顯示對比值的降低。因此，此類型的顯示器要達到高解析度、高畫質與全彩的目標便十分困難。

為改善對比問題，可利用主動矩陣的驅動方式，此種技術由於利用薄膜電晶體作為控制液晶旋轉的開關元件，使得每個畫素相互間的影響變小，改善了上述被動式矩陣驅動液晶顯示器的缺點。且驅動方式較為簡單，因此顯示器的畫質與解析度能夠進一步提升。然而利用薄膜電晶體方式驅動的液晶顯示器，其成像品質的好壞與電晶體的特性有很大的關係，如漏電流、驅動電流、寄生電容、臨界電壓與開關速率等。因此如何製造出品質好，特性佳的薄膜電晶體相當重要[2]。薄膜電晶體又可以被分為非晶矽薄膜電晶體與複晶矽薄膜電晶體兩種，在下面的敘述會對兩種電晶體做詳細的介紹。

1.4 非晶矽薄膜電晶體

目前絕大部分的 TFT-LCD 中所使用的薄膜電晶體，大都是利用非晶矽 (Amorphous silicon, a-Si:H) 所製成的，如圖 1-3 所示，非晶矽型薄膜電晶體具有一個閘極(Gate)、一個源極(Source)和一個汲極(Drain)，非晶矽半導體層與閘極電極之間隔著一個閘極絕緣層。又此非晶矽半導體層的兩端，各經由一層 n 型摻雜的非晶矽層，與源極和汲極電極相連接。而當閘極施加正電壓時，會在半導體層中吸引出電子通道，此時如果在汲極部分加一電壓，將使大量電子經由源極流向汲極，此為「開啟」的狀態；而當閘極施加負電壓時，會將半導體中的電子排除而吸引電洞，但因有 n 型非晶矽層的阻絕而無法導通電洞，使源極與汲極之間形成關閉狀態。TFT-LCD 即是利用閘極電壓打開與關閉的特點使得每一個顯示畫素可以獨立運作。

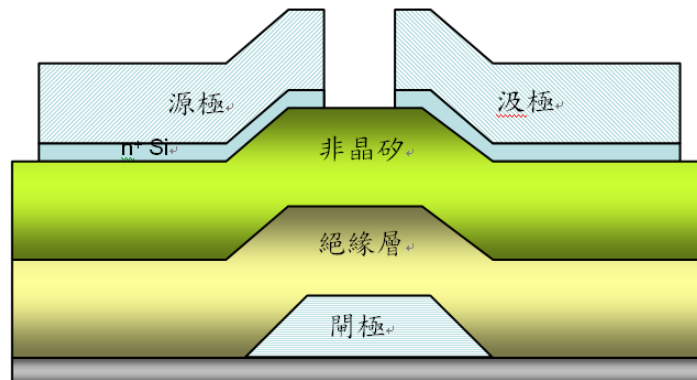


圖 1-3 非晶矽型 TFT 基本結構(Bottom Gate)

非晶矽薄膜電晶體其通道所採用的材質為含有大量氫的非晶矽層 (a-Si:H)，製程溫度要求都在 350°C 以下，導入氫的目的在降低薄膜材料內部的缺陷密度，利用氫原子半徑很小，容易穿入矽原子間的空隙，將大部分的懸浮鍵填補，減小狀態密度，以改善其元件特性。非晶矽 TFT 有著某些無法改進的缺點，如電子遷移率較低，不到 $1\text{cm}^2/\text{V}\cdot\text{S}$ ，使其驅動電流較小，而為了提高驅動電流，元件尺寸必須做大，相對的就會造成亮度降低並減少面板的開口率。也因驅動電流不足，非晶矽薄膜電晶體通常只用在畫素的開關元件，無法用來製作周邊的驅動電路和控制電路。為了改善非晶矽薄膜電晶體的缺點，需要一個電性更好的元件，因此發展出了複晶矽薄膜電晶體。

1.5 複晶矽薄膜電晶體

複晶矽薄膜電晶體與非晶矽薄膜電晶體的不同在於通道層以複晶矽取代非晶矽，複晶矽薄膜是由許多晶粒(Grain)所組成，在晶粒內部矽原子之間的鍵結完整，類似於單晶矽；而在晶粒與晶粒之間的區域則為晶界(Grain Boundary)，在晶界中則充滿著不完整的斷鍵與鍵結較弱的弱鍵，限制了其特性。所以，以複晶矽薄膜製做的 TFT，因為缺陷數目大幅降低，使得電晶體之驅動能力大大的提升。

圖 1-4 顯示複晶矽薄膜電晶體的優點，不僅能當作一般的陣列開關，隨著電晶體的性能提昇還可以整合周邊驅動電路、控制電路與記憶體在同一塊玻璃基板上，使其不受面板外貼 IC 的限制，大大降低了 LCM 使用零組件的數目，達到了窄框化的目的。另外，較高的載子移動率可以縮小畫素中 TFT 的尺寸，增加透光區域的面積，而達到高開口率，並且可進一步縮小畫素大小來增加面板解析度。

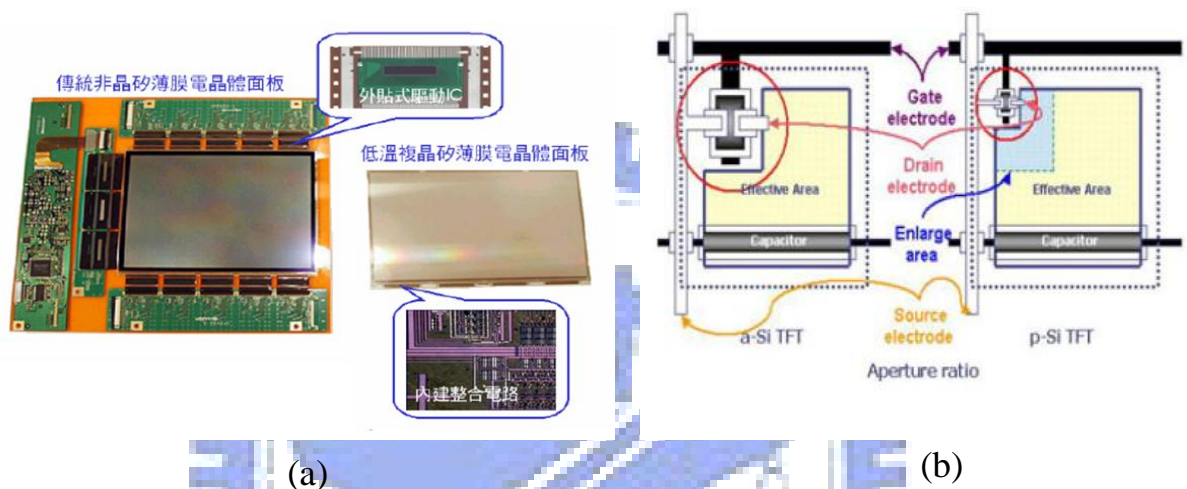


圖 1-4 非晶矽和複晶矽的(a)液晶面板邊框的比較(b)開口率比較

一般複晶矽薄膜製作的技術大致可分為直接沉積型及再結晶型。直接沉積型複晶矽製程常用的方式為利用 LPCVD 在約 625°C 的溫度下，將 SiH_4 經加熱解離為複晶矽[3]，直接沉積型的複晶矽，其晶粒較小，缺陷較多，製作出來的薄膜電晶體特性較差，實際運用於 LTPS 略嫌不足。再結晶型複晶矽為先利用 LPCVD、PECVD 或濺鍍(Sputtering)的方式沉積非晶矽薄膜，再利用快速加熱製程、或雷射環境下再結晶為複晶矽薄膜，通常再結晶型複晶矽的晶粒尺寸較直接沉積型大，品質也較佳。

再結晶型複晶矽製作技術主要分為三大類：固相結晶法(SPC, Solid Phase Crystallization)、雷射結晶法(Laser Crystallization)及金屬誘發/金屬誘發側向結晶法(MIC/MILC, Metal Induced Lateral Crystallization)，下面就所提到的主要的結晶方法作個說明。

1.5.1 固相結晶法(SPC, Solid Phase Crystallization)

固相結晶法擁有成本低與均勻性佳的優點。一般的作法是將已沉積之非晶矽薄膜置入爐管中進行 600°C 24~72 小時的退火，但在高溫與長時間的結晶條件下，熱成本相當的高，需採用熔點較高且成本較玻璃貴的石英基板。固相結晶包括二個步驟，分別為成核和成長。成核又可分為均質成核和異質成核。由於非晶矽裡含有缺陷，而缺陷自由能較高，較容易吸附溶質原子造成原子聚集，形成異質成核，進而成長；也有部分的成核是以均質成核進行，然後再進行成長。但是一般的固相結晶法退火所得到的晶粒較小，缺陷多，因此最後所做出的薄膜電晶體特性並不好。

1.5.2 雷射結晶法(Laser Crystallization)

雷射結晶法通常以準分子雷射光源經過投射系統與光學鏡組的光學調變，將矩形的雷射光束轉換為均勻分布的細長型雷射光束，照射於非晶矽薄膜上，當非晶矽薄膜吸收準分子雷射的能量後，非晶矽熔融而形成複晶矽結構，因整個過程都在 500°C 以下完成，所以一般玻璃接可適用，這種方法獲得的複晶矽薄膜的特性可以滿足顯示面板用 TFT 開關元件及周邊驅動用 TFT 元件性能的要求。準分子雷射是一種脈衝式雷射，雷射光束的波形、掃描的重疊次數、雷射能量的密度與能量穩定性等，都會直接影響到複晶矽的品質。其缺點是雷射設備成本過高，而且結晶的均勻性不佳，故對大面積的玻璃基板來說在製程上仍然有很多需要改進的地方。另外，雷射將非晶矽層熔融結晶後，在兩晶粒的交界處會隆起。此現象會導致表面粗糙，將會影響元件的製作。

1.5.3 金屬誘發 / 金屬誘發側向結晶(MIC / MILC, Metal Induced / Metal Induced Lateral Crystallization)

金屬誘發低溫複晶矽相較於固相結晶的方式，金屬誘發結晶具有較低的結晶溫度、較快的結晶速率與較大的晶粒，複晶矽裡的缺陷密度也比固相結晶少。一般依照誘發結晶的方式可以分成兩類：第一種是與矽產生共

晶反應，如金、鋁等金屬，利用金屬原子減低矽鍵的鍵結力，降低成核能量。由於共晶點的溫度通常比一般單相結晶的溫度低，所以可以在低溫下產生結晶。以 Al 為例，M. S. Haque[4]在研究中指出 Al 與 Si 的共晶溫度在 577°C，但在 200°C 左右便開始與 a-Si 層反應產生結晶。金屬向內擴散時不僅使 a-Si 結晶，同時因為金屬摻雜的關係導致 Si 層轉變成 p 型。

另一種是金屬與矽反應成矽化物的結晶方式如：Ni[5][6]、Pd[6][7]等金屬，在矽化物移動的過程中，藉由矽化物與矽晶體相似之晶格結構，配合金屬原子的自由電子與介面處的 Si 共價鍵發生反應，降低 a-Si 成核能量。以 Ni 為例，Ni 會先與 Si 反應成 NiSi₂，再以 NiSi₂ 作為誘發複晶矽的來源，由圖 1-5 的 Ni-Si 反應自由能圖[8]中可知，在 NiSi₂ 中的 Ni 原子在 NiSi₂ 與 a-Si 介面的自由能比在 NiSi₂ 與 c-Si 介面處低，這個自由能差會使 Ni 原子往 a-Si 層移動；反之，在 NiSi₂ 中的 Si 原子在 NiSi₂ 與 c-Si 介面的自由能比在 NiSi₂ 與 a-Si 介面處低，所以有個驅動力驅使 Si 原子往 c-Si 的方向移動。這結果會使得 NiSi₂ 持續的往 a-Si 內成長，並留下結晶 Si。而非晶矽層的厚度[9]、尺寸、Ni 金屬圖樣形狀[10]以及金屬距離通道的遠近均會影響 TFT 的特性。

圖 1-6 為 NiSi₂ 與 Si 的晶體結構。NiSi₂ 屬於螢石(Fluorite)結構、晶格常數為 5.406Å；而 Si 為鑽石(Diamond)結構、晶格常數為 5.430Å，兩者因晶格常數不同所產生的晶格不匹配(Lattice Mismatch)僅有 0.44%。在眾多金屬矽化物中 NiSi₂ 擁有與矽最相似的結構及最接近的晶格常數，因此相當適合做為誘發結晶的核。故我們在實驗中將以 Ni 作為誘發結晶的金屬。

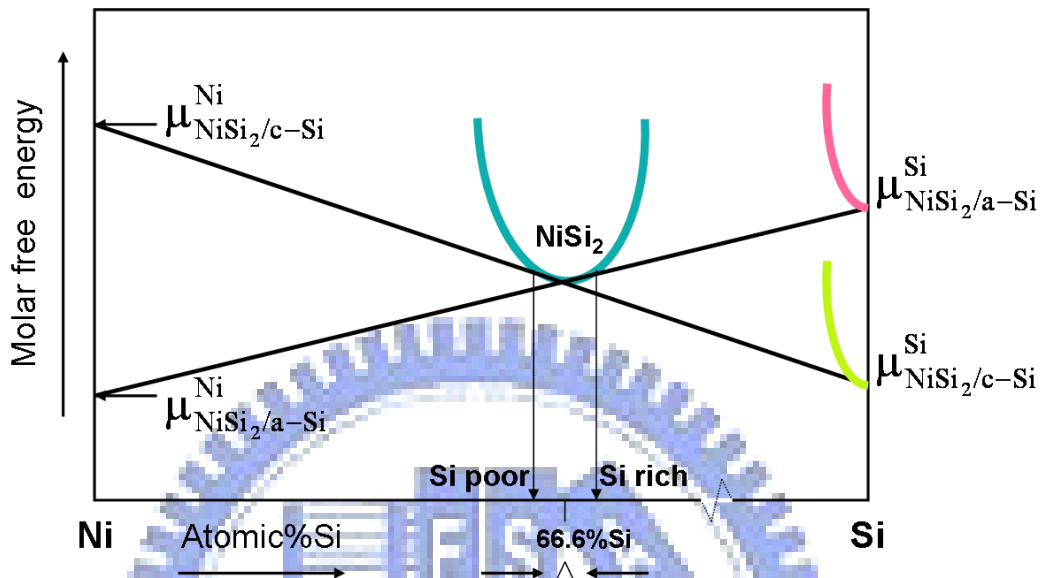


圖 1-5 Ni-Si 反應自由能圖

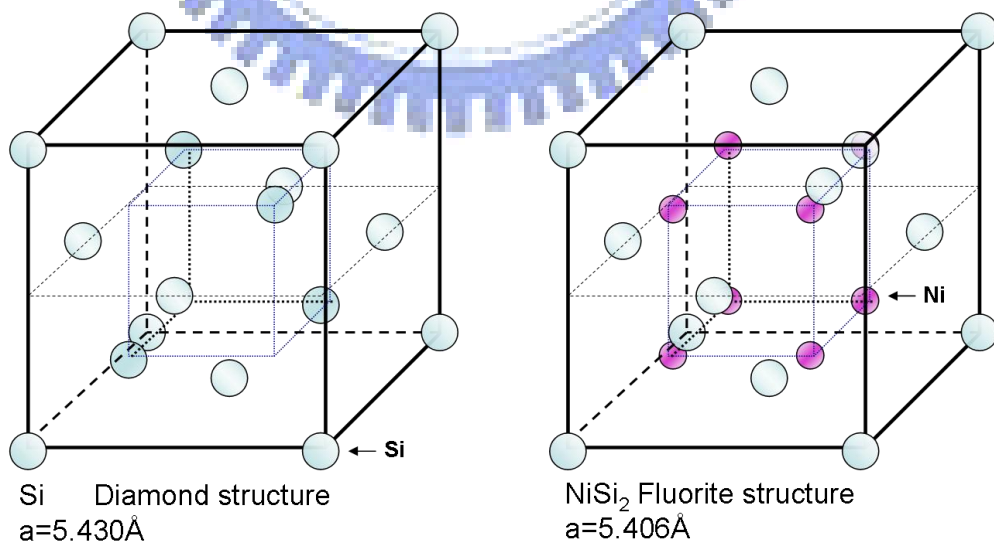


圖 1-6 Si 與 NiSi_2 晶體結構

接下來描述 MIC/MILC 的成長機制，從圖 1-7 來看，我們會先在非晶矽薄膜上面利用黃光微影技術鍍覆上一層鎳金屬薄膜。接著在適當溫度下退火 ($350^{\circ}\text{C} \sim 550^{\circ}\text{C}$)，首先會形成一層 NiSi_2 ， NiSi_2 向下移動，如前述的結晶成長機制，產生金屬誘發結晶 (MIC)。此區域的晶粒較小，結晶品質較差且金屬污染較嚴重。在 NiSi_2 移動至非晶矽底部受到基板阻擋後，接著 NiSi_2 向兩側移動，形成金屬誘發側向結晶 (MILC)，此區域沒有直接接觸到大量金屬，除了避免金屬污染之外亦可的到結晶品質較好且較大之晶粒，通常我們都將 TFT 元件做在此區。

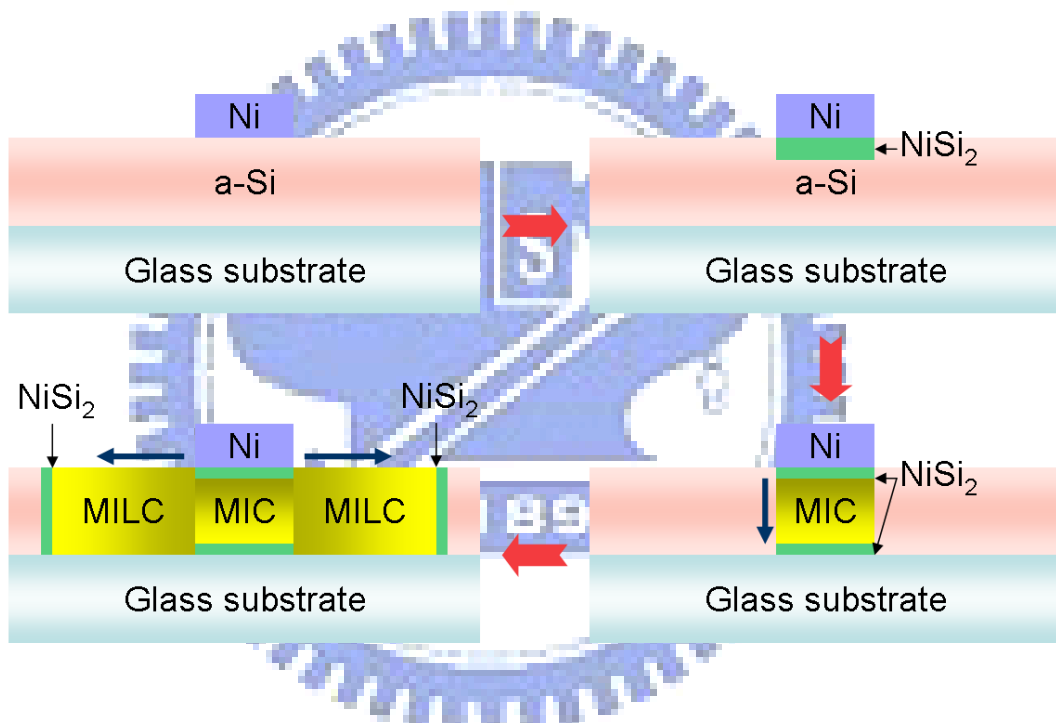


圖 1-7 MIC/MILC 成長機制

接著討論 MILC 成長方向之優選性，我們知道 NiSi_2 (111) 平面跟 Si (111) 平面的晶格常數只有 0.44% 的不匹配。所以在 MILC 的過程中，{111} 為其 c-Si 的優選方向 [8]。而我們可以從圖 1-8 中看出，在軸向為 $\langle 110 \rangle$ 的情況下，c-Si 八面體結構的四個 {111} 方向將會平行薄膜的上下表面。但是如果軸向為 $\langle 100 \rangle$ 或 $\langle 111 \rangle$ 的情況下，{111} 方向並不會平行薄膜表面。所以 c-Si 的成長將會被薄膜上下表面所限制。所以 c-Si 的成長的優選軸向為 $\langle 110 \rangle$ 而優選成長方向為 {111}。由於 MILC 有上述的優選性，所以利用此方

法成長的複晶矽會有其方向性，這也成為 MILC 方法最大的優點。

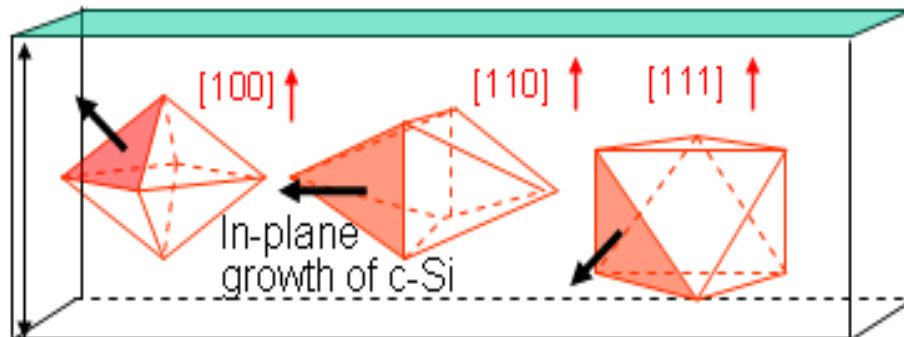


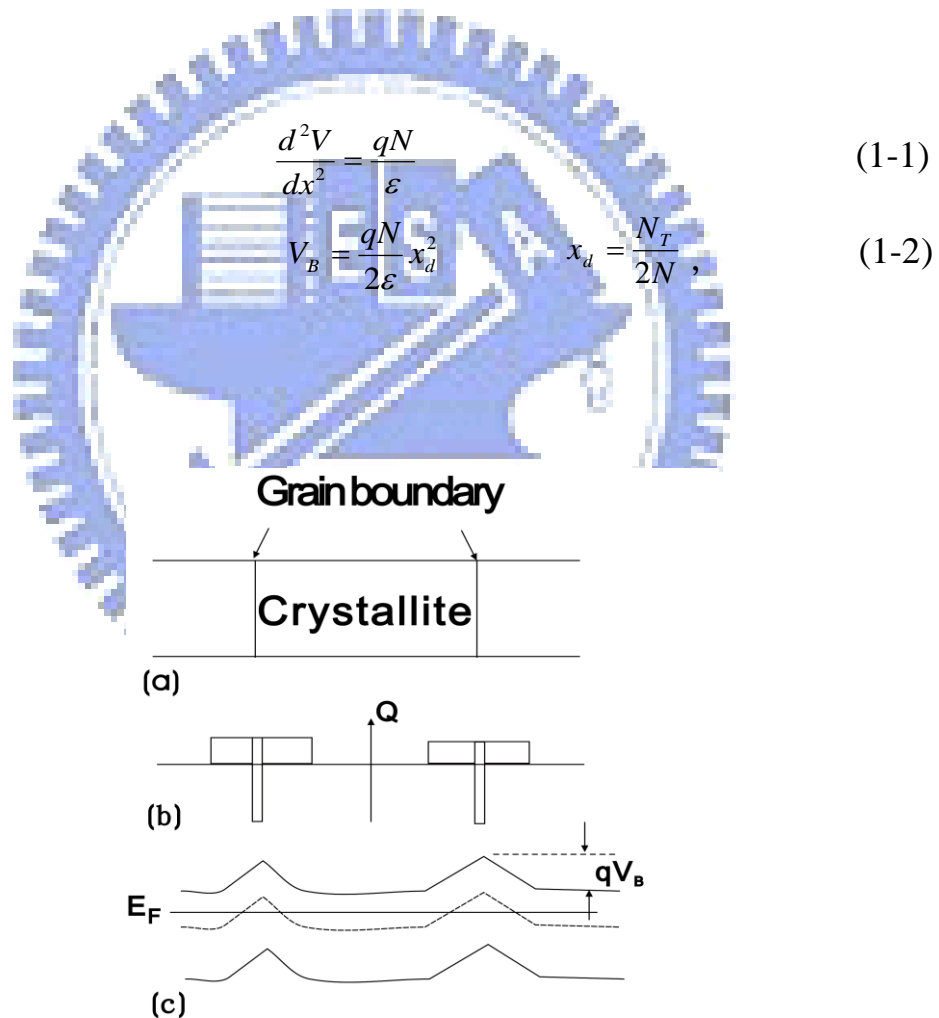
圖 1-8 MILC 的優選成長方向



1.6 電性影響因素

1.6.1 晶界能障

晶界的存在會影響載子移動進而影響元件的特性。如圖 1-9 所示，當載子被晶界所捕陷產生電荷，為了去補償此電荷，在晶界周圍形成一個空乏區，根據 Poisson's equation，在空乏區的電荷造成能帶彎曲，而且會形成能障進而阻礙主要載子的移動[11]。能障高度 (V_B) 能用摻雜濃度 N 及空乏區寬度 X_d 以 Poisson's equation 如(1-1)式表示，解方程式得到 V_B 如(1-2)式，由 V_B 的解可以了解能障大小和雜質濃度、捕陷密度(N_T)有很大的關係。



1-9 (a)晶粒與晶界示意圖 (b)晶界處形成空乏區域 (c)空乏區形成能障[12]

1.6.2 載子捕陷(carrier traps)

在晶界處的懸擺鍵 (dangling bonds) 及晶粒中的應變鍵 (strained bonds) 兩者都會引出一個在複晶矽中允許的態位 (allowed state)，如圖 1-10 所示。其中和懸擺鍵有關的深態位 (deep state) 座落於能隙中間 [13]，深態位會影響著 TFT 元件的臨界電壓 (Threshold Voltage) 與次臨界擺幅 (Sub Threshold Swing)。而應變鍵 (strained bonds) 會產生的一個高密度的淺拖曳態位 (shallow tail state)，淺拖曳態位會捕捉載子而造成載子傳導率下降。另外，這些缺陷容易產生捕捉輔助穿透 (Trap Assisted Tunneling) 使得漏電流增加。

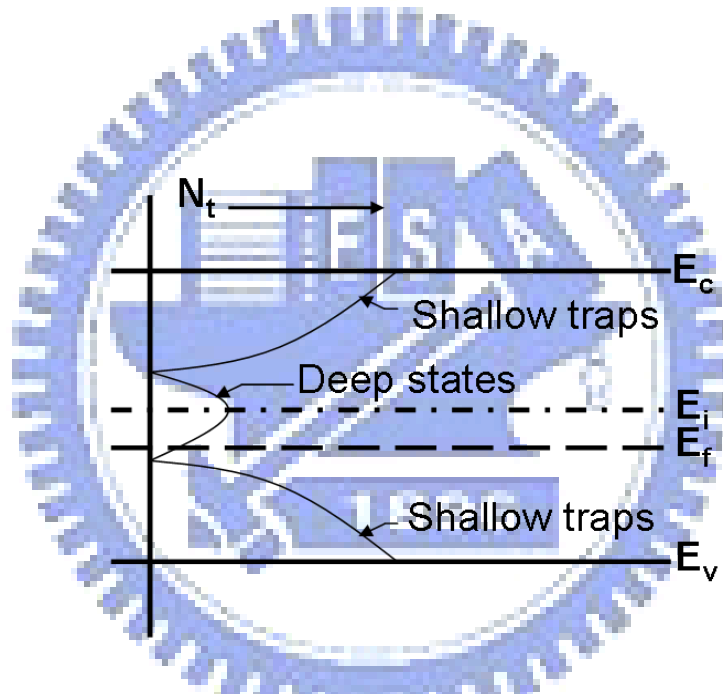


圖 1-10 淺拖曳態位與應變鍵有關，而在中間深態位是由懸擺鍵造成的

1.6.3 通道層厚度

LTPS TFT 的通道層厚度通常都製作在 300Å 至 1000Å 之間，當元件在這麼薄的情況下運作時，電晶體的通道在達到臨界電壓前就已經完全空乏，所以只要施加一較小的電壓即可感應反轉層。當完全空乏時，因空乏層會隨著通道層厚度變薄而變小，則可以減少垂直電場，降低電子散射，進而提高載子遷移率。TFT 為三端點元件，在元件操作時，汲極附近的大電場可能會引起衝擊離子化 (impact ionization)，所產生的載子因沒有基板

接地可將之排走，所以載子將會儲存在基板之中，造成臨界電壓漂移，嚴重情況下，可能會使寄生的雙載子電晶體運作，產生扭結現象(kink effect)如圖 1-11，使用較薄之通道則可以降低此效應。另外，由於通道的厚度變薄，因而減少了汲極與通道接面的面積，可降低漏電流。所以 TFT 特性對於通道厚度變異相當敏感。但是，通道變薄會造成源/汲極串聯電阻升高，降低了導通電流及增加 RC 延遲時間；並使汲極與通道接面處電場上升，降低元件的崩潰電壓。因此，有人開發出具有加厚之源/汲極之薄膜電晶體並成功的提高了導通電流與元件的崩潰電壓[14]。

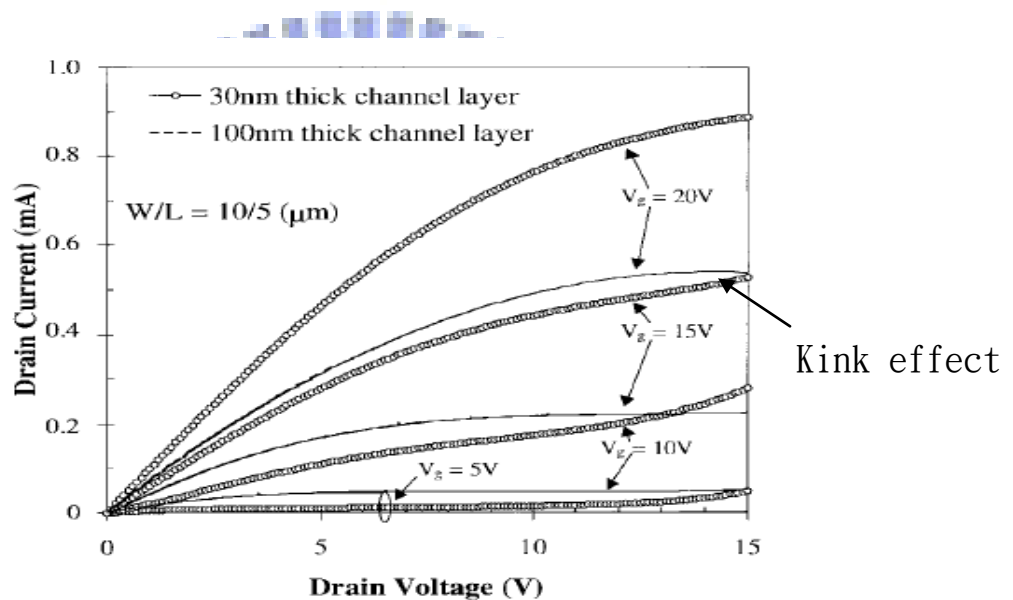


圖 1-11 扭結現象(Kink effect)[9]

1.7 實驗動機

利用金屬誘發側向結晶的複晶矽薄膜中， NiSi_2 會被針狀(Needle-like)結晶間的晶界捕獲，造成金屬污染的問題。金屬殘留在複晶矽主動層裡，會造成薄膜電晶體特性及漏電流異常。因此，在金屬誘發結晶的研究上著重於如何降低複晶矽薄膜中的鎳含量。目前有兩種方向，敘述如下。

第一種方向是降低誘發結晶前的鎳濃度，如在 2007 年由 Nam-Kyu Song 等人[15]提出 Ni seed 的方法。製程步驟如圖 1-12，即將非晶矽薄膜鍍覆在玻璃基材上接著利用黃光微影製程定義出 Ni seed 圖形，再用濺鍍製程鍍覆 100Å Ni 膜，接著 Lift off 的方式去除不需要的 Ni 膜，將 Ni 膜做為矽薄膜蝕刻之遮蔽層使用 RIE 的方式蝕刻 a-Si 後，接著在快速退火爐 550°C 溫度下退火 10 分鐘誘發結晶，移除掉 Ni 後再沉積 a-Si，然後利用結晶後的矽當做 Ni seed 來誘發側向結晶，文獻中提到此方式可以降低結晶矽中的鎳殘留，所製做出來的 LTPS TFT 元件比一般 MILC 有較好的特性表現。

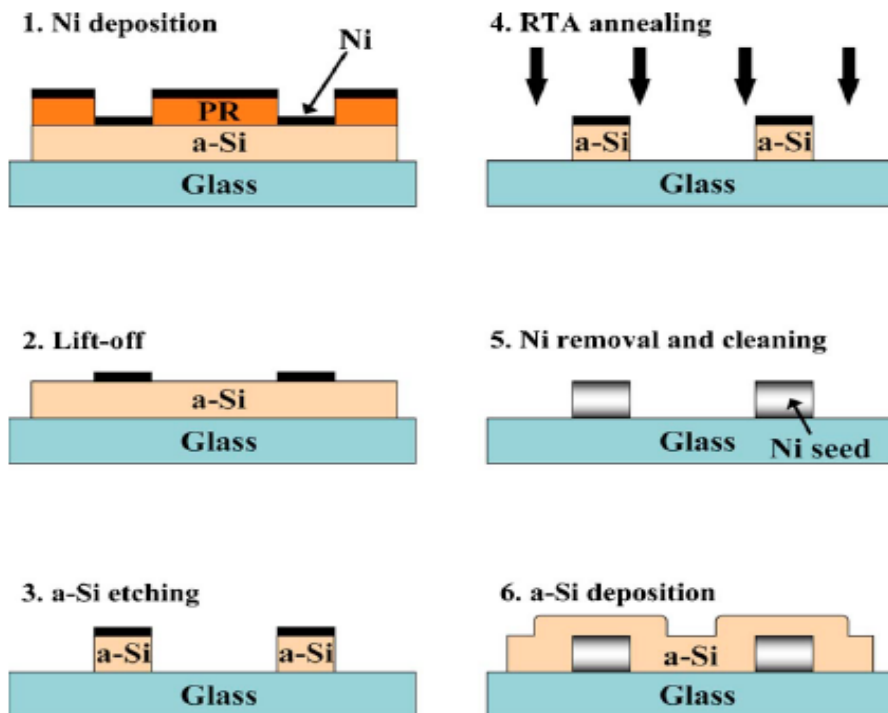


圖 1-12 Ni seed 製作流程

第二種方向則是在誘發結晶後減少複晶矽薄膜中的殘餘鎳含量，即所謂的捉聚、或吸附(Gettering)。傳統 MOSFET 的矽基材常以本質或異質吸附製程去除雜質；異質吸附一般是利用晶圓背面層來捕捉雜質，如背面晶圓離子植入、成長複晶膜、研磨或輻射照射等。目前實際應用在薄膜電晶體量產的例子為夏普(Sharp)的 CGS 技術[16] [17]，在磷離子植入形成汲/源極區域後，在高溫活化被植入的磷的同時，因此區域的金屬雜質溶解度提高，會讓複晶矽通道裡的鎳往外擴散，並在植入區域被磷所捕捉，藉此讓通道內的鎳金屬去除並降低漏電流。在本實驗室之前研究中，利用晶圓接合[18]的技術將鍍覆非晶矽的晶圓做為捉聚基板與金屬誘發側向結晶的複晶矽薄膜接合，由於兩者鎳含量之差異以及熱力學上的因素，成功的把殘餘鎳捕捉至基板，顯著的降低了複晶矽中鎳含量，其製程步驟如圖 1-13。

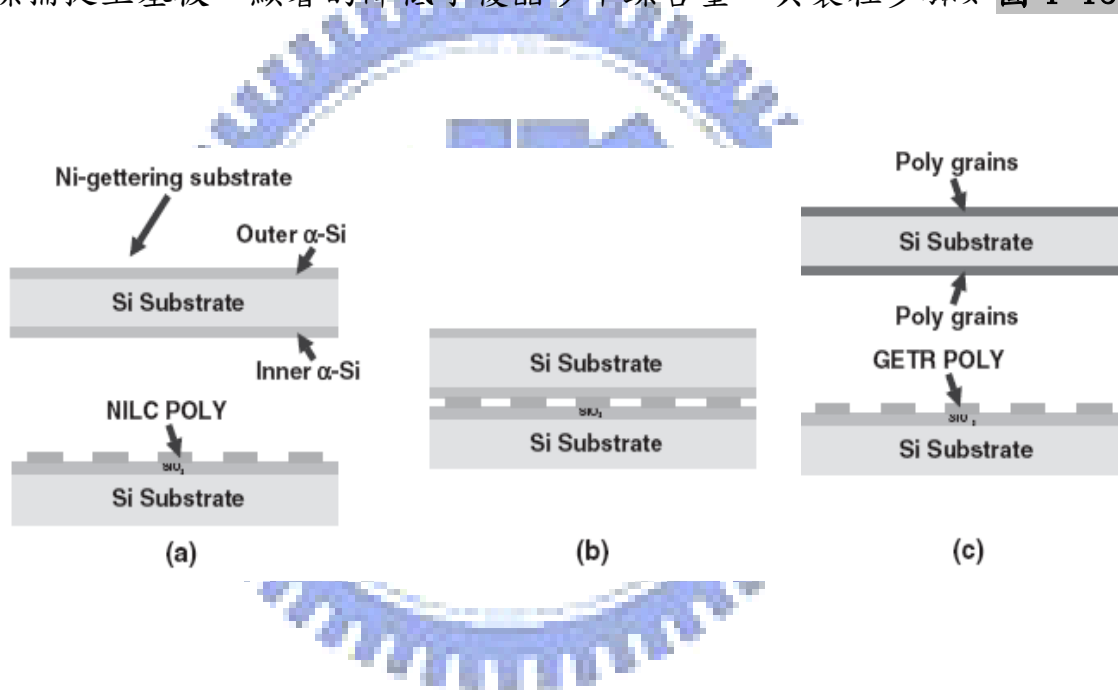


圖 1-13 (a)捉聚基板與 MILC 試片示意圖(b)將兩片晶圓做接合的動作(c)退火後鎳捕捉至基板誘發結晶

由上所述之理論，提出了一個想法，即製作出一個結合鎳金屬吸附(Gettering)的製程技術搭配具有加厚之汲/源極與薄通道之低溫複晶矽薄膜電晶體元件，以下簡稱 GRSD-TFT (Gettering Raised Source/Drain TFT)，並探討其元件特性。

第二章 結合鎳金屬吸附(Gettering)的製程技術搭配具有加厚之汲/源極與薄通道低溫複晶矽薄膜電晶體之研究(GRSD-TFT)

2.1 GRSD 薄膜電晶體製作流程

本實驗之 GRSD-TFT 是製作在四吋之石英基板上，使用了六道光罩並搭配了背部曝光的技術來形成通道保護層，採用 P-channel 之元件來製作，其製程步驟如圖 1-13。先利用 PECVD 沉積緩衝氧化層 3000Å，目的為阻絕基材中的金屬離子擴散至主動層形成缺陷。接著利用 LPCVD 在溫度 550°C 下，通入流量 40sccm 的 SiH₄ 氣體，在壓力 100mtorr 的製程條件下沉積 3000Å 閘極非晶矽層，並植入能量 35keV，劑量 5×10¹⁵ ions/cm² 的磷離子來降低閘極阻值，以第一道光罩定義出閘極層，使用 RIE 蝕刻非晶矽形成閘極，如圖 2-1(a)。RCA clean 之後，在以連續沉積的方式利用 PECVD 沉積 1000Å 閘極氧化矽層，LPCVD 沉積 500Å 非晶矽通道層；非晶矽通道層之製程參數與閘極非晶矽層相同。本實驗是以鎳金屬誘發結晶方式將非晶矽通道層轉換為複晶矽，流程為以第二道光罩定義出誘發結晶窗口，利用濺鍍製程鍍覆 50Å Ni 膜，接著 Lift off 的方式去除不需要的 Ni 膜，在 550°C 溫度下退火 12 小時向下形成金屬誘發結晶(MIC)，側向形成金屬誘發側向結晶(MILC)，如圖 2-1(b)。使用硫酸加雙氧水去除鎳後，以 PECVD 沉積 2000Å 通道保護氧化矽層，利用閘極作為遮罩搭配背部曝光的技術來形成通道保護結構，此步驟不需要額外的光罩，接著使用 BOE 溼蝕刻通道保護氧化層，如圖 2-1(c)。再來以 LPCVD 沉積 500Å 非晶矽作為鎳金屬吸附(Gettering)與增厚層，在 550°C 溫度下退火 12 小時將通道中之鎳金屬吸附出來，利用通道保護氧化矽層作為通道之遮罩，植入能量 15keV，劑量 5×10¹⁵ ions/cm² 的硼離子形成汲/源極區域，在溫度 600°C 下退火 12 小時進行離子活化，後以第三道光罩定義出主動層，使用 RIE 來連續蝕刻吸附層/通道保護氧化矽層/複晶矽層以形成主動層區域，此時還需要搭配第四道光罩將吸附層切開做為汲/源極區之增厚層，如圖 2-1(d)。之後為後段製程，PECVD 沉積 5000Å 氧化矽保護層，以第五道光罩定義出接觸窗口，BOE 溼蝕刻氧化矽保護層，最後利用 thermal coater 蒸鍍厚度為 5000Å 的鋁金屬，第六道光罩定義出閘極、汲極、源極之接觸電極，完成如圖 2-1(e)之 GRSD-TFT。

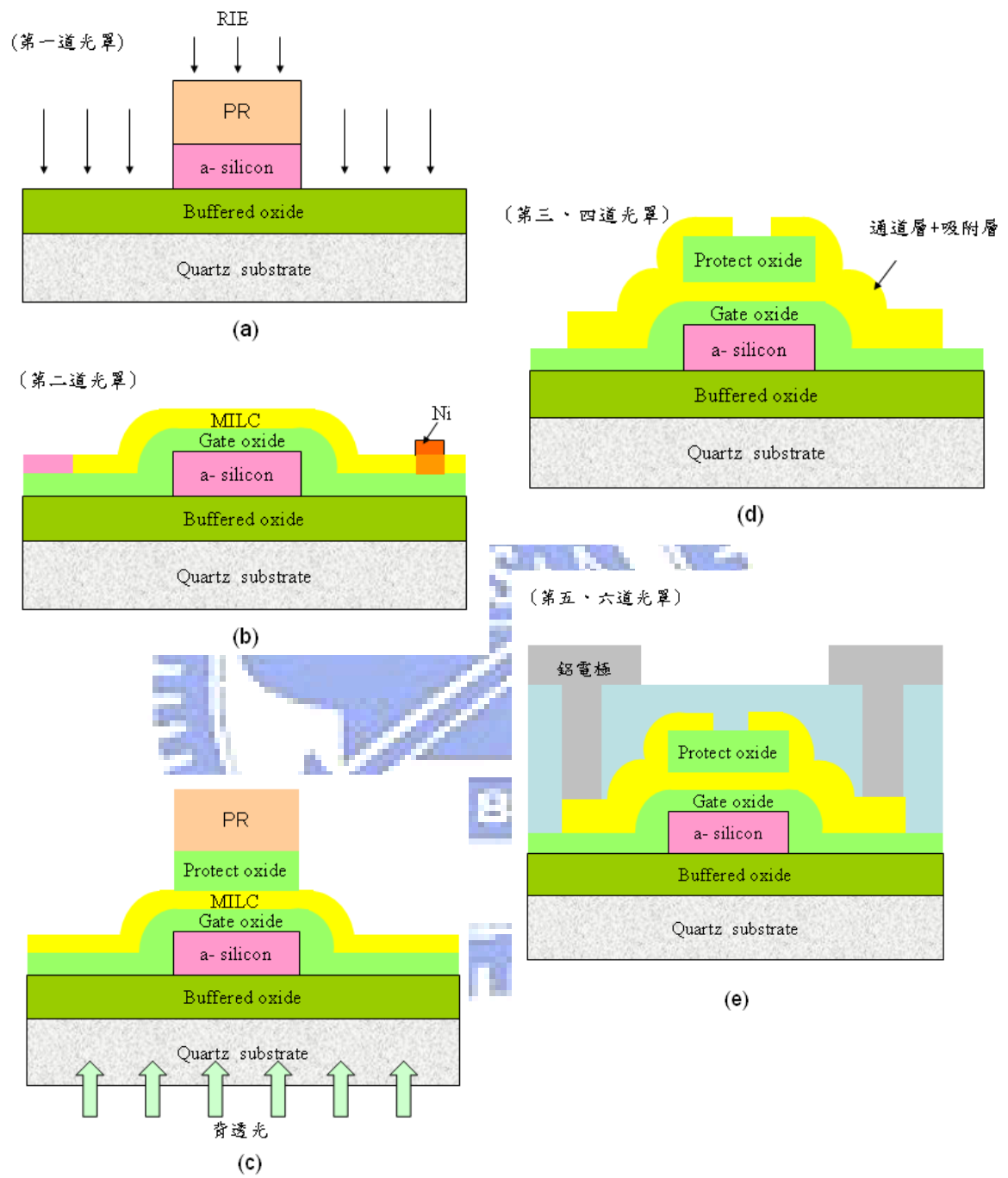
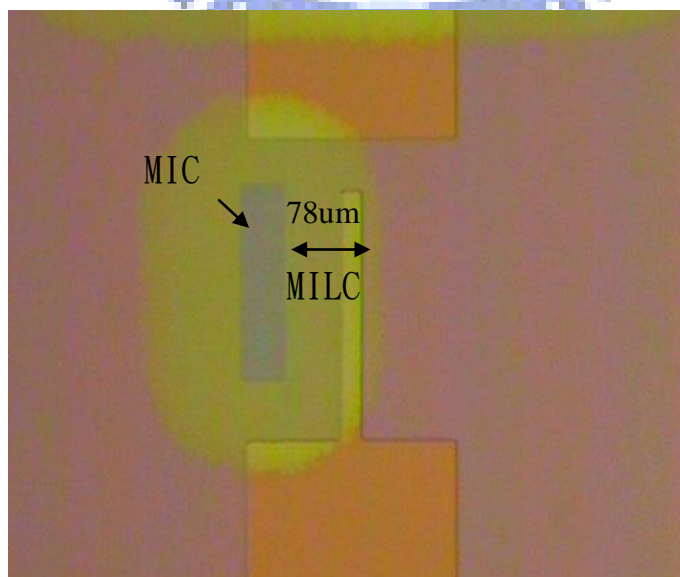


圖 2-1 GRSD-TFT 製程流程

2.2 鎳金屬吸附步驟之光學顯微鏡觀察

過渡金屬的捉聚機制隨著捉聚方法而有不同，但大致可分為以下五種：(1)金屬矽化物析出 (2) 偏析出第二相 (3) 缺陷之原子陷捕 (4) 與電性參雜物互相反應 (5) 磷擴散捉聚。本實驗之方法為第一類金屬矽化物析出機制，原本殘留在複晶矽薄膜中 MIC 區域、MILC 針狀結晶之晶界以及 MILC 前端的 NiSi_2 與非晶矽吸附層接觸後，依照前述的 MILC 原理，鎳金屬會由結晶矽往非晶矽吸附層擴散以降低自由能，並在非晶矽吸附層進行另一次的誘發結晶。為了觀察鎳金屬吸附(Gettering)之現象，我們分別在金屬誘發結晶、沉積非晶矽吸附層與在 550°C 下退火 12 小時吸附鎳金屬後，利用光學顯微鏡觀察吸附前後之表面形貌。圖 2-2(a) 為金屬誘發結晶後之圖像，可以發現在 550°C 退火 12 小時下側向結晶的長度為 $78\mu\text{m}$ ，每小時的結晶速度為 $3.2\mu\text{m}$ 。圖 2-2(b) 為沉積非晶矽吸附層後之圖像，可以發現在 MIC 區域與 MILC 的前端，已經有些許鎳金屬被吸附上來並誘發結晶，文獻[19]中有提到鎳金屬誘發結晶過程中殘留鎳金屬最多的位置為直接接觸到大量鎳金屬的 MIC 區，其次為 MILC 的前端(因為前端含有大量誘發側向結晶的 NiSi_2)，而 MILC 區殘留鎳金屬最少。因此，因為 MIC 區域與 MILC 的前端區域有大量的鎳金屬殘留，所以鎳金屬較快被吸附層吸附出來，進而誘發結晶。圖 2-2(c) 為吸附層在 550°C 下退火 12 小時吸附鎳金屬後之圖像，可以觀察到大量的鎳金屬被吸附出來進而誘發結晶。



(a)

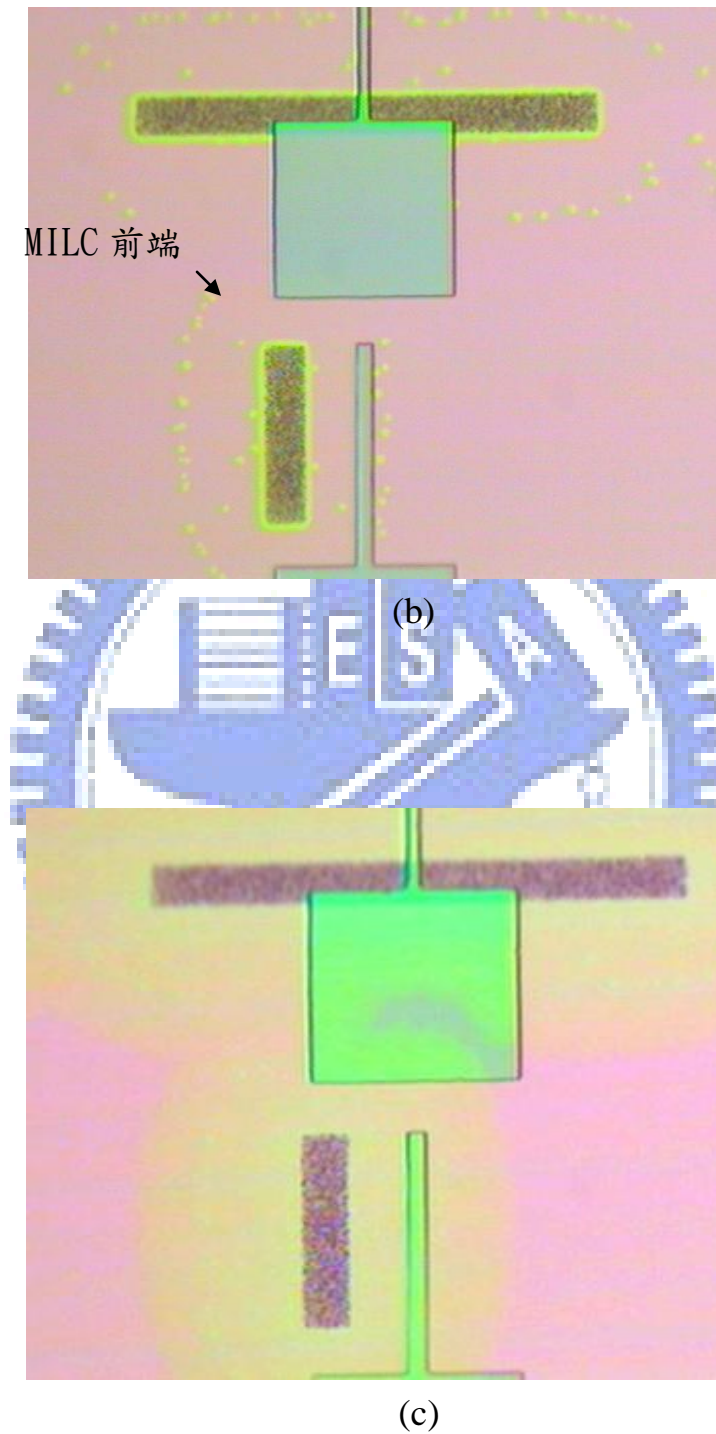


圖 2-2 (a) MIC/MILC 後(b)沉積非晶矽吸附層後(c)吸附層在 550°C 下退火 12hr 吸附鎳金屬後之圖像

2.3 元件量測方法

有很多的方法被提出用來量測 TFT 的元件特性，不過其基本公式還是採用一般 MOSFET 之電流模型 $I_{DS}=(W/L)*C_{OX}\mu_{eff}(V_{GS}-V_T-1/2V_{DS}) V_{DS}$ ，以下敘述我們所用來量測 TFT 元件特性的方式。

2.3.1 載子移動率(Mobility)

載子移動率可以用來代表複晶矽結晶品質的好壞，複晶矽中的缺陷會捕捉載子而造成載子傳導率下降，可藉由上述之汲極電流(I_{DS})公式對閘極電壓(V_{GS})做微分得到轉導(G_m)之關係式(2-1)，搭配量測方式固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G ，取 G_m 最大值，代回式子中得到載子移動率(μ_N)。


$$G_m \equiv \frac{dI_{DS}}{dV_{GS}} \cong \frac{W_{EFF}}{L_{EFF}} C_{OX} \mu_N V_{DS} \quad (2-1)$$
$$C_{OX} \equiv \frac{\epsilon}{T_{OX}}$$

L 為通道長度， W 為通道寬度、 C_{OX} 為閘極氧化層電容、 ϵ 為介電常數、 T_{OX} 為閘極氧化層厚度、 V_{DS} 帶入 $0.1V$ 。

2.3.2 臨界電壓(Threshold Voltage)

常見臨界電壓的定義方式分成外插法與定電流法，外差法為藉由固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G 量測得到閘極電壓對汲極電流之特性曲線並以汲極電流對閘極電壓作微分得到 G_m ，找出 $I_{DS}-V_{GS}$ 曲線中最大斜率的地方，並於該點作切線，最大斜率點就是 G_m 最大值的點。接著計算此切線和 V_{GS} 軸的交點(亦即 $I_{DS}=0$)，此交點等於 $V_T+1/2V_{DS}$ ， V_{DS} 帶入 $0.1V$ ，所以可以得到 $V_T=$ 交點- $0.05V$ 。最大斜率的存在(G_m 最大值)是因為載子移動率(μ_N)會隨著閘

極電壓(V_{GS})增大而造成電子散射使得載子移動率下降。定電流法是在 $V_{DS}=0.1V$ 的狀況下，額訂一 I_{DS} 值，其 I_{DS} 值計算由公式(2-2)決定，而將此 I_{DS} 值對應到其相對的 V_{GS} ，此對應的 V_{GS} 即所謂的 V_T 。我們是採取較簡單的定電流法來定義臨界電壓值。

$$I_d = \frac{W}{L} \times 10nA \quad (2-2)$$

2.3.3 次臨界擺幅(Subthreshold Swing)

當施加的閘極電壓小於臨界電壓時，隨著閘極電壓逐漸上升，複晶矽通道也將從空乏變化到弱反轉乃至到達強反轉。當在弱反轉時汲極電流(I_{DS})與閘極電壓(V_{GS})成指數變化，次臨界擺幅即是量測弱反轉區的變化程度。次臨界擺幅可以說是 TFT 元件的導通/關閉的指標，其定義如(2-3)，其中 C_{ox} 為閘極氧化層電容、 C_D 為通道空乏層之電容值、 C_{it} 為閘極氧化矽層/通道層介面處和晶界之電容值， C_{it} 與複晶矽之缺陷密度相關。量測方法為固定 $V_{DS}=0.1V$ ， $V_S=0V$ ，變化 V_G 量測汲極電流，取 $\log I_{DS}$ 對 V_{GS} 做圖計算直線區斜率，斜率的倒數即為 S.S。

$$I_D \sim e^{q(V_G - V_T)/kT}$$

$$S \equiv \ln 10 \frac{dV_{GS}}{d(\ln I_{DS})} \approx \frac{kT}{q} \ln 10 \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (2-3)$$

2.3.4 開關電流比(On/Off Current Ratio)

開關電流比對於 LTPS TFT 是一個很重要的參數，一個好的 TFT 元件不但要有高的導通電流來降低充電時間，也要有低漏電流來達到電位保持的目的。而 LTPS 最大的缺點在於漏電流無法有效的抑制，原因是複晶矽本身就含有許多晶粒內與晶粒間缺陷，這些缺陷會產生很多態位密度(Density of States)，因而容易產生捕捉輔助穿透(Trap Assisted Tunneling)使得漏電流增加。一般而言漏電流的機制如圖 2-3 所示[20]，分為三種：(1) 熱引發漏電流(Thermionic emission) (2) 熱場效漏電流(Thermionic field emission) (3) 穿遂漏電流(Pure tunneling)。在反偏電壓較低時，主要漏電流的機制是汲極空乏區中的熱引發漏電流(Thermionic emission)。當反偏電壓升高時，漏電的機制轉而為熱場效漏電流(Thermionic field emission)，並隨著反偏電壓升高而增加。而當汲極電壓繼續提高後，在高電場下，能障寬度繼續縮小，提高了穿遂的機率，此時由穿遂漏電流(Pure tunneling)所主導。

接下來提到漏電流對電位保持的影響。當 LCD 掃描線打開，利用資料線將所需要的畫素電壓寫入液晶電容與儲存電容中後，掃描線立即關閉並保持電荷在電容上，此時若有漏電流的產生，會使得所設定的電壓有所變化，影響畫素的灰階。所以直到下一個新的電壓寫入之前，此畫素電壓的改變不能超過一個灰階的電壓量，以一般對開關電流比的需求必須在 $2 \sim 4 \times 10^6$ 倍，才可以滿足設計的需求。我們開/關電流比(On/Off current ratio)是在 $V_{DS} = -5V$ 的狀態，開電流的閘極電壓 V_{GS} 為 $-30V$ ，關電流取最小值的條件下量測。

2.3.5 崩潰電壓(Breakdown Voltage)

崩潰電壓主要是來量測 TFT 的耐壓程度，我們量測條件為，固定 $V_{GS} = V_S = 0V$ ，增加汲極電壓 V_{DS} ，當 I_{DS} 量測到 $1nA$ 時的電流值時，此汲極電壓定義為崩潰電壓，在長通道寬度時，崩潰電流傾向於產生在汲極與通道接面的界面崩潰，而當在短通道時，則量測到的可能是因為汲極到源極的漏電，此類的崩潰稱為貫穿效應(Punchthrough)。

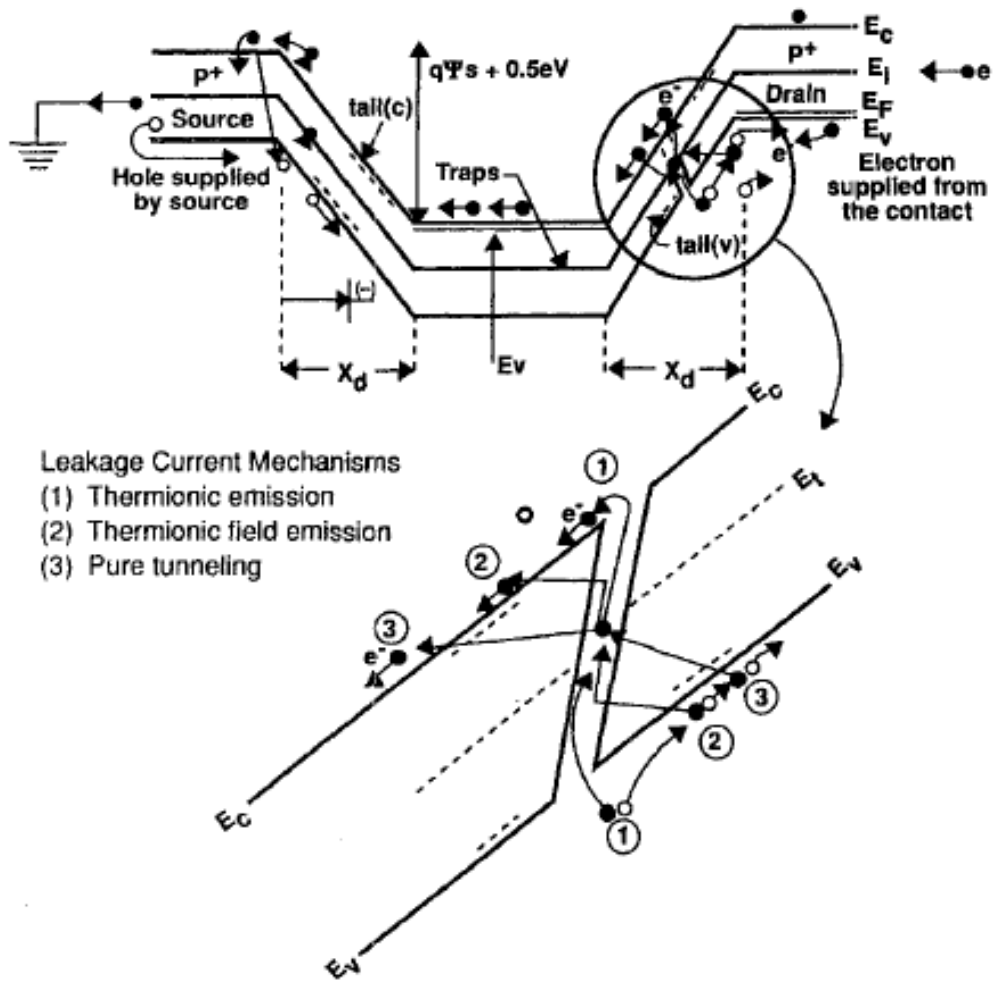
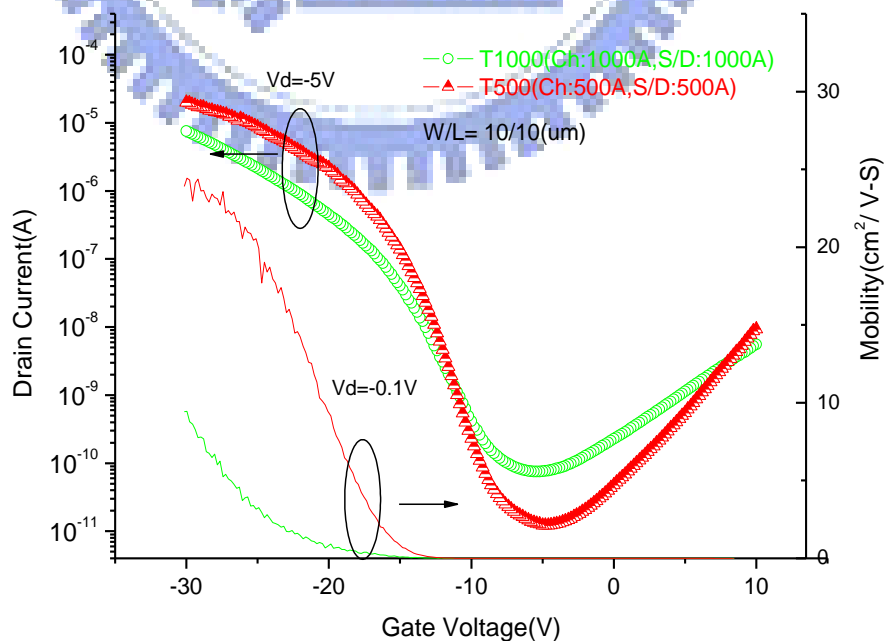


圖 2-3 漏電流機制示意圖 [20]

2.4 電性分析與探討

我們製作了三組TFT元件，代號分別是GRSD(通道厚度:500Å, 汲極/源極厚度: 1000Å)、T500(通道/汲極/源極厚度: 500Å)與T1000(通道/汲極/源極厚度: 1000Å)。其中GRSD試片如上圖2-1(c)，在利用背透光形成通道保護結構後，沉積一層500Å非晶矽作為鎳金屬吸附與增厚層，接著在550°C溫度下退火12小時將通道中之鎳金屬吸附出來。而T500與T1000試片則無沉積非晶矽吸附層，也同樣在550°C溫度下退火12小時，使所有試片的退火時間相同。

圖2-4分別為T1000對T500與GRSD對T500之汲極電流對閘極電壓轉移特性曲線圖($I_{DS}-V_{GS}$ curve)，所量測的元件尺寸都為 $W=10\mu m$ 、 $L=10\mu m$ 。表2-1為元件細部電性參數上的比較表。其中載子遷移率(Mobility)、次臨界擺幅(Subthreshold Swing)及臨界電壓(Threshold Voltage)是在汲極操作電壓為-0.1V ($V_{DS}=-0.1V$)的狀態下做量測，而開/關電流比(On/Off current ratio)、最小漏電流(Minimum leakage current)和最大導通電流是在 $V_{DS}=-5V$ 的電壓條件下量測。



(a)

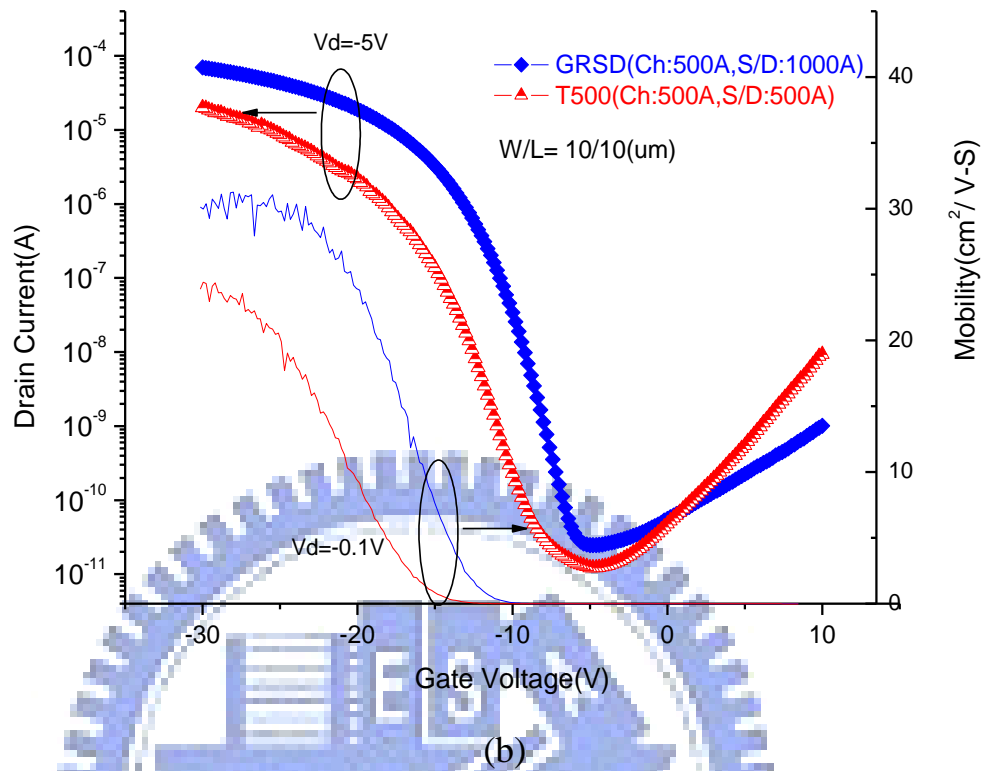


圖 2-4 $I_{DS}-V_{GS}$ curve (a) T1000 vs T500 (b) GRSD vs T500

Device parameters of the P-channel MILC poly-Si TFTs(W/L = 10um/10um)

Parameter	GRSD	T500	T1000
μ_{FE} (cm ² /V s)	31.3	24.4	9.5
V_{th} (V)	-10.4	-14.0	-15.4
S.S(V/decade)	1.13	1.40	1.88
I_{min} (pA)	-24.6	-12.1	-75.4
I_{min} (nA) at VG=10V	-1.01	-9.34	-5.54
I_D (uA) at VG= -30V	-69.5	-19.9	-7.5
Max on/off ratio(x 10 ⁶)	2.83	1.64	0.10

表 2-1 GRSD/T500/T1000 元件電性比較表

首先從圖 2-4(a)之特性曲線可以觀察到通道厚度 500Å 與通道厚度 1000Å 的元件相比，通道厚度 500Å 的元件有較大的導通電流與較小的最小漏電流。通道較薄的元件有較大的導通電流的原因在文獻[21]提到，當通道完全空乏時，由於空乏層會隨著通道層厚度變薄而變小，所以只要施加一較小的電壓即可感應反轉層，因此可減少垂直電場，降低載子的散射，進而提高載子遷移率與導通電流，如圖 2-5。而最小漏電流通常會和汲極與通道接面的面積有關，由於通道的厚度較薄會有較小的接面面積，所以會降低最小漏電流。但是當閘極電壓不斷朝正電壓施加時，也就是汲極與閘極反偏電壓不斷增加時，通道 500Å 的元件在閘極電壓 $V_{GS}=10V$ 時反而有較大的漏電流。原因為 T500 的元件在汲/源極的厚度較薄的情形下，因電力線曲率較擁擠，所以會有較高的汲極電場，高汲極電場下會導致捕捉輔助穿透(Trap Assisted Tunneling)的效應發生，使得漏電流增加，如圖 2-6。

所以為了得到較高的載子遷移率與導通電流，而又不造成汲極高電場，產生高漏電流的因素下，我們製作了 GRSD 的 TFT 元件。GRSD 結構擁有鎳金屬吸附的製程技術，並搭配了加厚之汲/源極與薄的通道厚度。圖 2-4(b)為 GRSD 對 T500 特性曲線圖，可以觀察到 GRSD TFT 擁有較高的導通電流及較低的汲極電場漏電流。首先比較 GRSD TFT 與 T500 之載子遷移率的差異，可以發現 GRSD TFT 的載子遷移率為 $31.3 \text{ cm}^2/V\text{-S}$ 高於 T500 TFT 的 $24.4 \text{ cm}^2/V\text{-S}$ ，在兩種元件的通道厚度都相同的情形下，載子遷移率卻有差異，我們認為其與鎳金屬吸附的製程技術有關。在金屬誘發結晶後，殘留在晶粒內的鎳金屬會產生很多的缺陷，而缺陷會產生淺拖曳態位 (shallow tail state)。在 V_{GS} 給負偏壓使通道表面反轉成 P-channel 時，其表面費米能階 (surface Fermi level) 會非常接近價帶 (valance band)，此時這些分布在接近價帶的拖曳態位會捕捉載子而造成載子傳導率下降，GRSD TFT 藉由沉積非晶矽吸附層將鎳金屬捉聚出來，可以減少晶粒內的缺陷，增加載子傳導率。再由表 2-1 發現在閘極電壓 $V_{GS}=-30V$ 下的導通電壓 GRSD TFT 大了 T500 TFT 三倍左右，但是載子傳導率只有增加了 30%，推測其原因為 GRSD TFT 具有加厚之汲/源極降低了串聯的電阻。

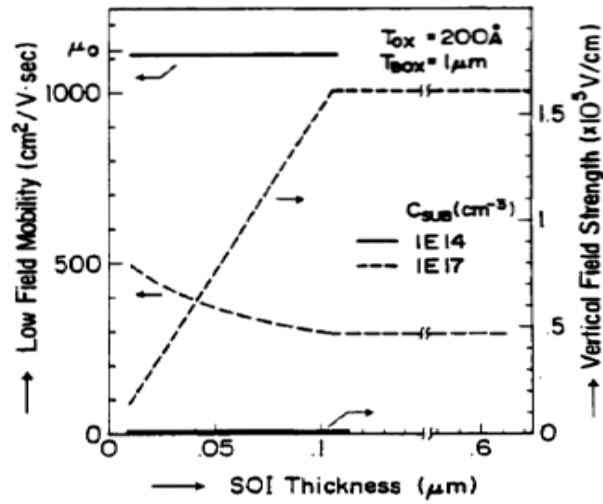
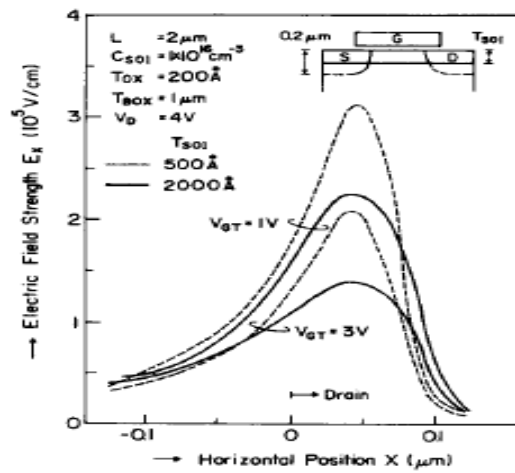
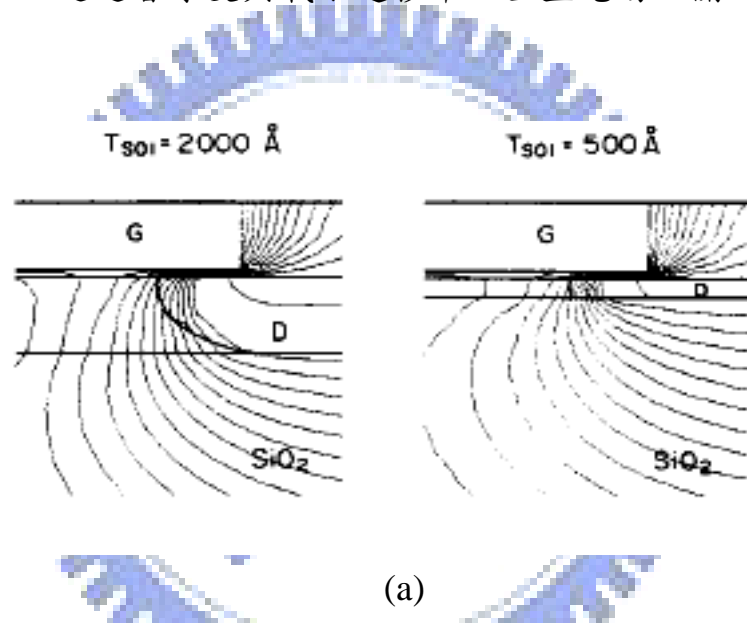


圖 2-5 通道層厚度與載子遷移率、垂直電場之關係圖[21]



(b)

圖 2-6 不同厚度下的(a)汲極電力線曲率(b)汲極電場強度[22]

再來看看次臨界擺幅(Subthreshold Swing)與臨界電壓(Threshold Voltage)，比較表 2-1 得到 GRSD TFT 都比 T500 TFT 明顯小了大約 20~30%，由前面章節 1.6.2 所述可以瞭解到，次臨界擺幅與臨界電壓的值會與晶界處的懸擺鍵所產生位於能隙中間的深態位有關。在金屬誘發結晶的過程中，MILC 是由針狀的矽晶粒所組成如圖 2-7，所以在針狀結晶晶界與 MILC 前端交會晶界處的 NiSi_2 會在此處聚集造成大量的鎳金屬殘留如圖 2-8，因此產生很多的深態位，影響著次臨界擺幅與臨界電壓的表現。GRSD 元件在經過非晶矽退火吸附後，此區的鎳金屬會被捉聚出來，進而降低了深態位的數量，使得 GRSD TFT 有較低的次臨界擺幅與臨界電壓。

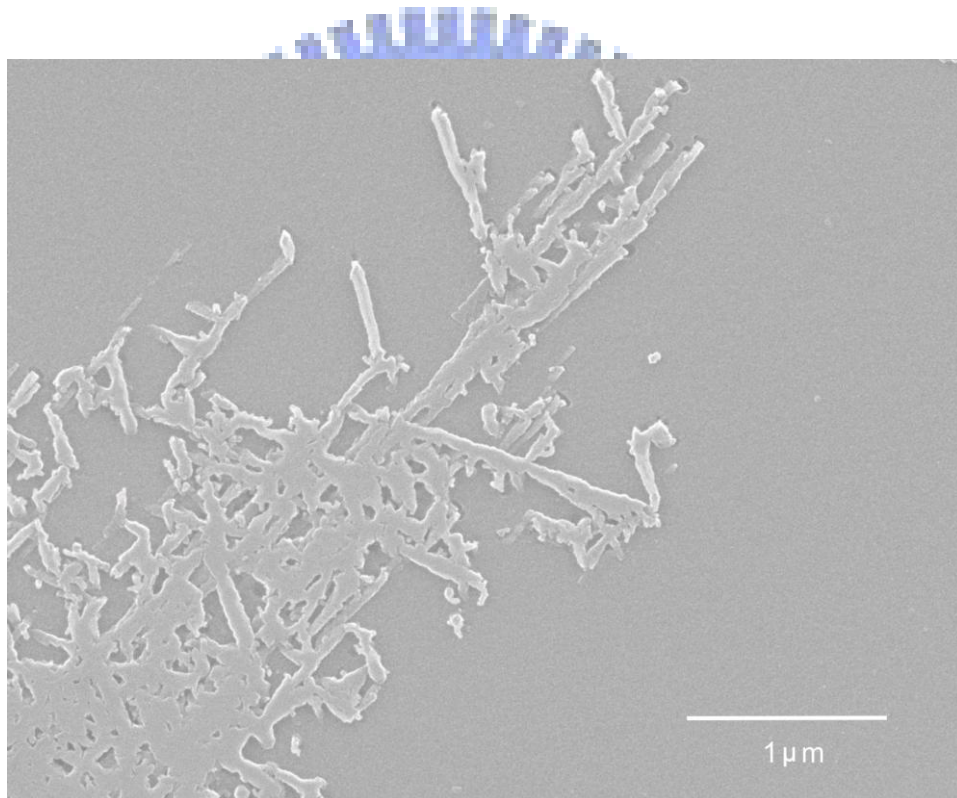


圖 2-7 MILC 的針狀矽晶粒[23]

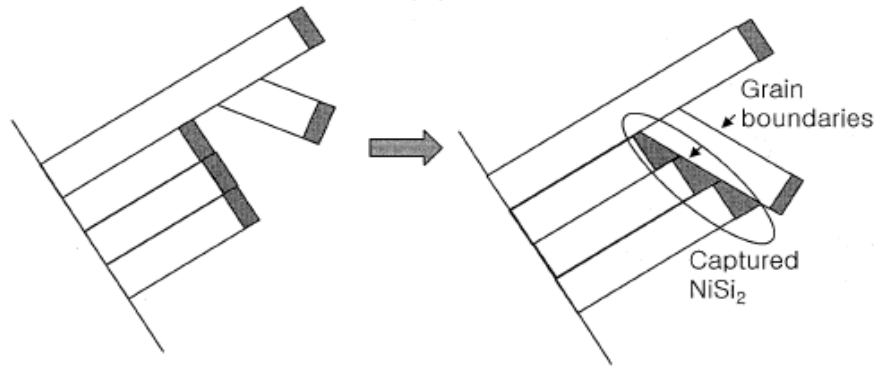


圖 2-8 針狀結晶與 MILC 前端交會晶界處 NiSi₂ 的聚集[24]

下圖 2-9 為 GRSD TFT 與 T500 TFT 在不同通道長度下量測到之崩潰電壓，可以發現崩潰電壓會與通道長度 L 成正相關，GRSD TFT 在 $L=15\mu\text{m}$ 縮至 $3\mu\text{m}$ 時崩潰電壓從 12.4V 降到 11V，相差了 12.7%，但是 T500 TFT 卻從 11.4V 降到 8.8V，差了 22.8%。此原因為 GRSD TFT 具有加厚之汲/源極，使得汲極與通道接面處的電場下降，增加了元件的崩潰電壓。另外，圖 2-4(b) 在閘極電壓朝正電壓不斷增加時，GRSD TFT 也因接面處的電場下降，抑制了汲極漏電流的增加。

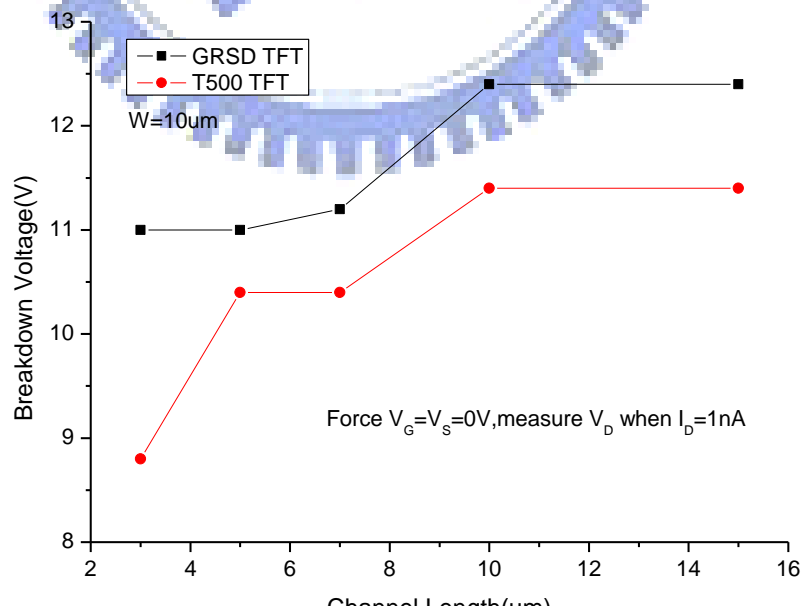


圖 2-9 GRSD vs T500 之崩潰電壓

2.5 結論

我們製作了一個結合鎳金屬吸附的製程技術搭配具有加厚之汲/源極與薄通道之低溫複晶矽薄膜電晶體元件，從光學顯微鏡觀察吸附層，發現成功的利用矽化物析出機制將鎳金屬吸附出來進而誘發結晶。比較了 GRSD TFT 與 T500 TFT 電性上的表現，經過捉聚後的 GRSD TFT 因為鎳雜質的減少而有較高的載子遷移率和較低的次臨界擺幅與臨界電壓，也因具有加厚之汲/源極，使得汲極與通道接面處的電場下降，可得到較高的導通電流與抑制漏電流的能力。GRSD TFT 的開關電流比達到 2.83×10^6 ，則可以滿足 TFT LCD 設計上的需求。



第三章 鎳金屬誘發結晶方向對下部閘極薄膜電晶體之元件電性影響

3.1 晶界對複晶矽薄膜電晶體的影響

複晶矽薄膜是由許多晶粒所組成，其內含有相當多的晶粒內和晶粒與晶粒之間晶界的缺陷。次臨界擺幅和臨界電壓值會與晶界所產生的懸擺鍵有關，而載子遷移率與晶粒內的缺陷和晶界所產生的應變鍵相關[25]。另外，晶界所產生的懸擺鍵與陷阱中心也會形成一能障，阻礙了主要載子的移動。所以，晶界在複晶矽薄膜通道內的多寡會直接影響著元件的特性表現。

由前面對 MILC 的機制可以了解，因為自由能的差異 NiSi_2 會持續的往 a-Si 內成長，留下結晶 Si，並且晶粒的成長有其方向性。在文獻[26]研究了元件通道與結晶的方向在不同條件下，對其所製作出薄膜電晶體特性的影響，他們製作了兩種不同類型的鎳金屬鍍覆位置如圖 3-1，類型 A 為鎳金屬鍍覆窗口與閘極平行，所以其結晶成長和晶界的方向與電流方向相同。類型 B 為鎳金屬鍍覆窗口與閘極垂直，結晶成長和晶界的方向與電流方向垂直。研究中提出類型 B 因為晶界所產生的能障會直接阻礙載子的移動，使得載子遷移率下降與元件導通電壓上升，如圖 3-2。他們所製作的薄膜電晶體是採用上部閘極的結構，也就是先製作通道層接著再沉積閘極氧化層與閘極層。我們則針對下部閘極結構 TFT 也做了相關的研究，敘述如下。

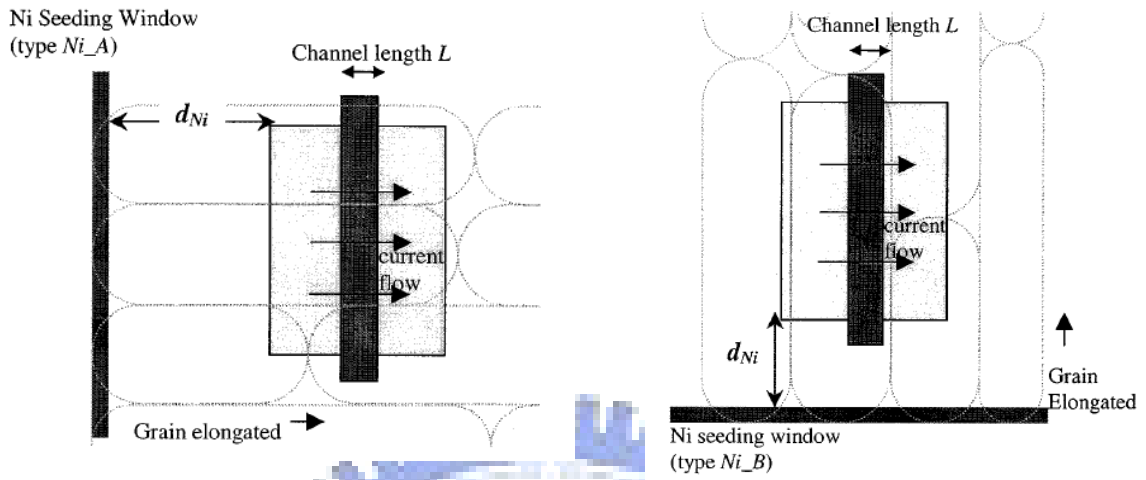


圖 3-1 TypeA:晶界與電流方向平行, TypeB:晶界與電流方向垂直

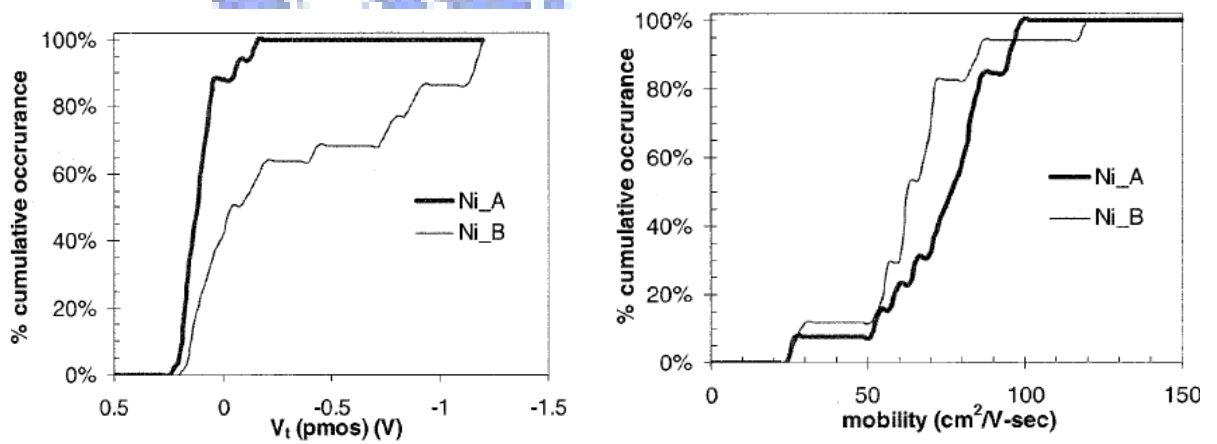


圖 3-2 晶界與電流方向平行有較低的導通電壓與較高載子遷移率

3.2 晶界對下部閘極 MILC 複晶矽薄膜電晶體的影響與實驗流程

本實驗的下部閘極 MILC 複晶矽薄膜電晶體是製作在四吋之石英基板上，使用了五道光罩並搭配了背部曝光的技術來形成離子植入汲/源極區域，我們採用 P-channel 之 TFT 元件，其製程步驟如圖 3-3。先利用 PECVD 沉積緩衝氧化層 3000Å。接著 LPCVD 沉積 3000Å 閘極非晶矽層，並植入能量 35keV，劑量 5×10^{15} ions/cm² 的磷離子來降低閘極阻值，以第一道光罩定義出閘極層，使用 RIE 蝕刻非晶矽形成閘極，如圖 3-3(a)。RCA clean 之後，以連續沉積的方式利用 PECVD 沉積 1000Å 閘極氧化矽層，LPCVD 沉積 500Å 非晶矽通道層。再來是金屬誘發結晶製程，我們在第二道光罩定義出誘發結晶窗口，光罩內包含兩種類型如上圖 3-1 之 Type A 和 Type B，鍍覆 50Å Ni 膜，以 Lift off 的方式去除不需要的 Ni 膜，在 550°C 溫度下退火 12 小時向下形成金屬誘發結晶 (MIC)，側向形成金屬誘發側向結晶 (MILC)，圖 3-4 為不同類型誘發結晶窗口其結晶成長的電子顯微鏡觀察圖，圖 3-3(b) 為 Type A 之誘發結晶窗口剖面示意圖，其誘發結晶成長的方向與電流方向相同。硫酸加雙氧水去除鎳後，利用閘極作為遮罩搭配背部曝光的技術來形成離子植入汲/源極區域，此步驟不需要額外的光罩，如圖 3-3(c)。植入能量 15keV，劑量 5×10^{15} ions/cm² 的硼離子形成汲/源極區域，後以第三道光罩定義出主動層，RIE 蝕刻出複晶矽層主動層，如圖 3-3(d)，在溫度 600°C 下退火 12 小時進行離子活化。後段製程以 PECVD 沉積 5000Å 氧化矽保護層，第四道光罩定義出接觸窗口，以 BOE 溼蝕刻氧化矽保護層，最後利用 thermal coater 蒸鍍厚度為 5000Å 的鋁金屬，使用第五道光罩定義出閘極、汲極、源極之接觸電極，完成如圖 3-3(e) 之下部閘極 MILC 複晶矽薄膜電晶體。

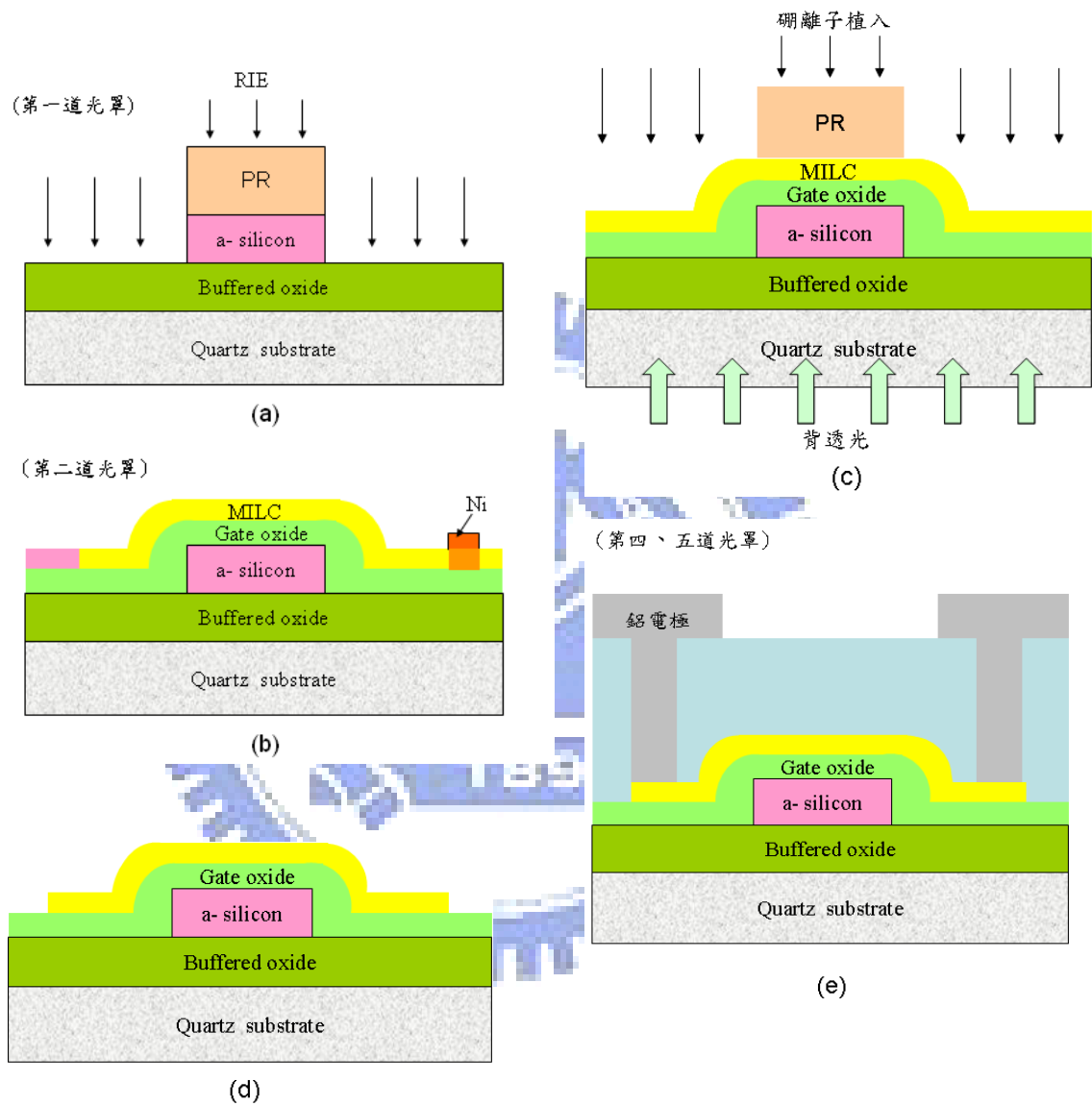
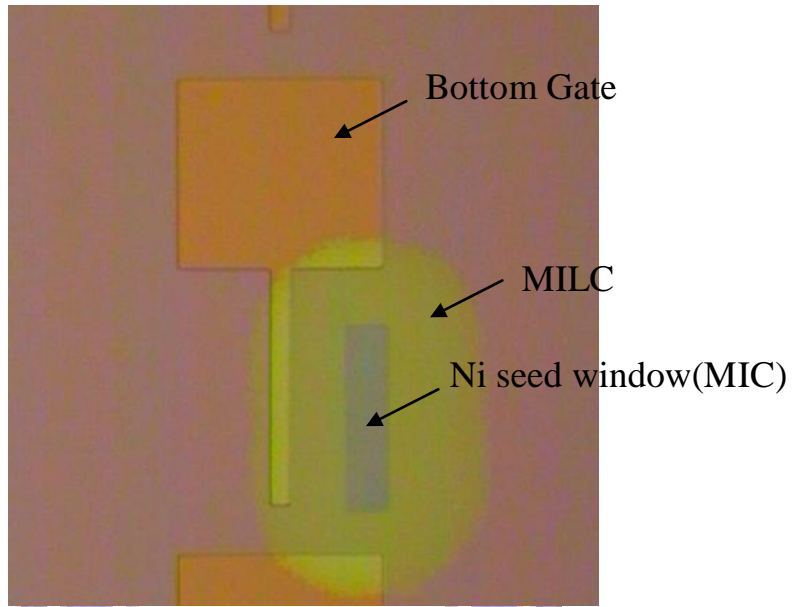
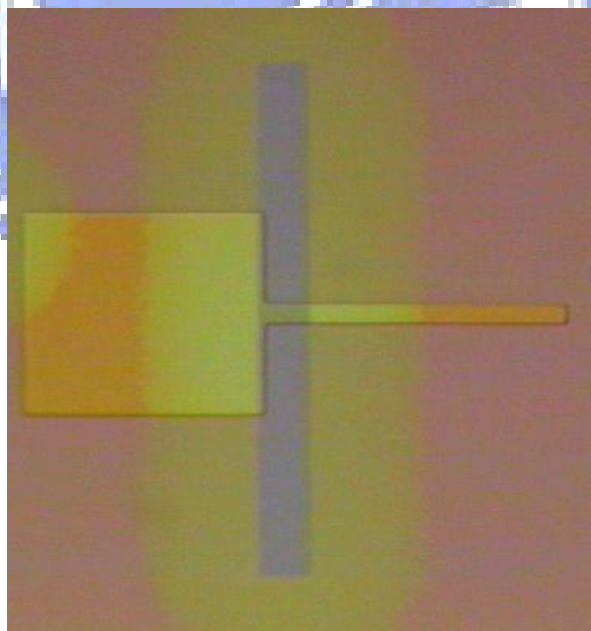


圖 3-3 下部閘極 MILC 複晶矽薄膜電晶體製程流程



(a)



(b)

圖 3-4 誘發結晶窗口(a) Type A:晶界與電流方向平行(b) Type B:晶界與電流方向垂直

3.3 電性分析與探討

圖 3-5 是分別以 Type A 與 Type B 為誘發結晶窗口所製作出之下部閘極薄膜電晶體之汲極電流對閘極電壓轉移特性曲線圖 ($I_{DS}-V_{GS}$ curve)，所量測的元件尺寸都為 $W=10\ \mu\text{m}$ 、 $L=10\ \mu\text{m}$ 。表 3-1 為元件細部電性參數上的比較表。其中載子遷移率 (Mobility)、次臨界擺幅 (Subthreshold Swing) 及臨界電壓 (Threshold Voltage) 是在汲極操作電壓為 -0.1V ($V_{DS} = -0.1\text{V}$) 的狀態下做量測，而開/關電流比 (On/Off current ratio)、最小漏電流 (Minimum leakage current) 和最大導通電流是在 $V_{DS} = -5\text{V}$ 的電壓條件下量測得到。

首先從圖 3-5 之特性曲線可以觀察到以 Type B 為誘發結晶窗口所製作出之下部閘極薄膜電晶體，相對於 Type A 有較大的導通電流與較小的最小漏電流。從表 3-1 進一步比較，不論是導通電壓、次臨界擺幅、載子遷移率，Type B 之元件都有較佳的表現，這個電性量測結果與上部閘極薄膜電晶體所觀察到的剛好相反。

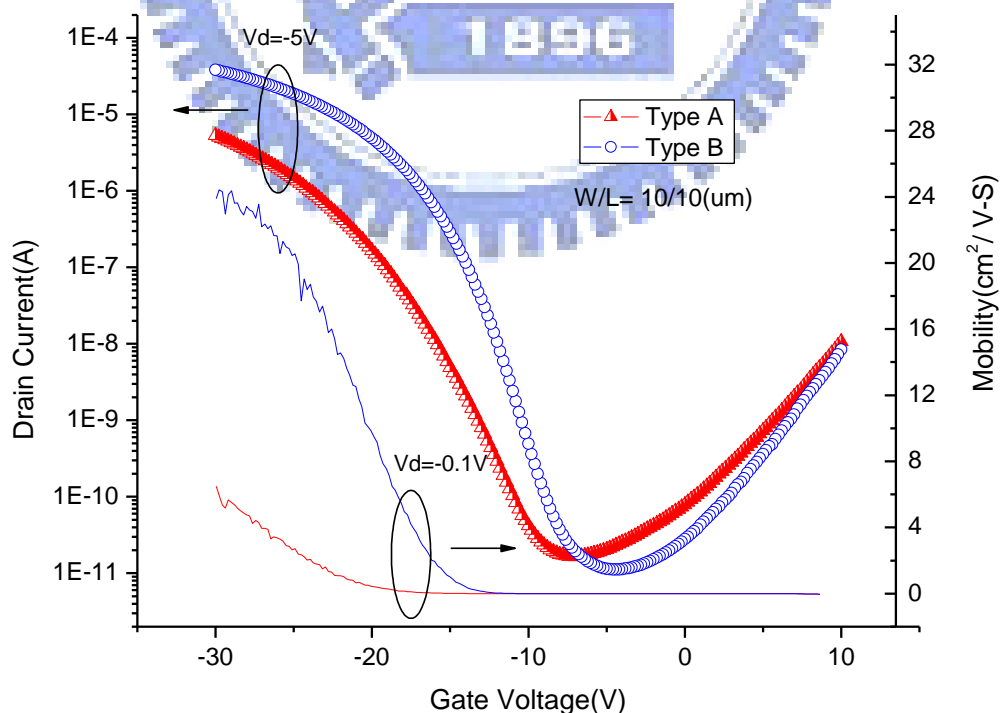


圖 3-5 Type A 對 Type B 之 $I_{DS}-V_{GS}$ curve

Device parameters of the P-channel MILC poly-Si TFTs(W/L = 10um/10um)

Parameter	Type A	Type B
μ_{FE} (cm ² /V s)	6.5	24.4
V_{th} (V)	-18.2	-13.4
S.S(V/decade)	2.10	1.42
I_{min} (pA)	-16.5	-11.2
I_{min} (nA) at $V_G=10V$	-16.4	-8.41
I_D (uA) at $V_G= -30V$	-5.27	-28.2
Max on/off ratio(x 10 ⁶)	0.32	2.52

表 3-1 分別以 Type A 與 Type B 為誘發結晶窗口之元件電性比較表

之所以有這樣的差異我們推測與鎳金屬誘發結晶的過程有關，在下部閘極薄膜電晶體的製作過程中必須先定義出閘極，接著沉積閘極氧化層，非晶矽通道層，鍍覆 Ni 膜，再來退火誘發結晶。從以 Type A 為窗口來誘發結晶的過程來看，如圖 3-3(b)，當在金屬誘發側向結晶時，會遇到下部閘極的阻礙，造成在通道與汲極的邊界產生很多的晶界與鎳金屬累積，如圖 3-6，這些缺陷所產生的能障阻礙了載子的傳輸，使得載子遷移率下降，缺陷累積也使得汲極漏電流增加。反觀以 Type B 為窗口來誘發結晶的過程，並沒有下部閘極阻礙結晶的問題，而能得到較佳之電性表現。

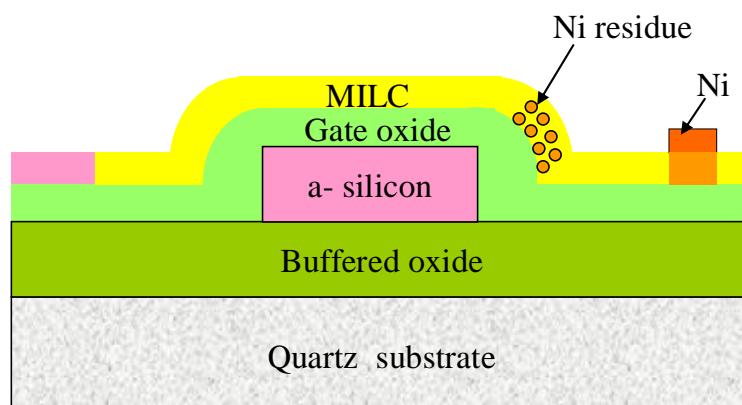


圖 3-6 下部閘極金屬誘發側向結晶時鎳金屬累積在通道與汲極的邊界處

為了驗證以上所述之推論，我們製作了如下圖 3-7 之元件，在定義通道長度時不用背透光的方式，而是採用正面對準曝光，並將通道長度製作的比閘極長度來的小，藉此將因為下部閘極的阻礙所造成晶界與鎳金屬累積的位置被包覆在汲極處，避免這些缺陷累積在通道與汲極的介面處。同樣的分別以 Type A 與 Type B 為誘發結晶窗口，並比較誘發結晶方向對下部閘極薄膜電晶體之元件電性影響(元件製作之各層厚度為閘極非晶矽層 3000Å，閘極氧化矽層 2000Å，非晶矽通道層 1000Å)。

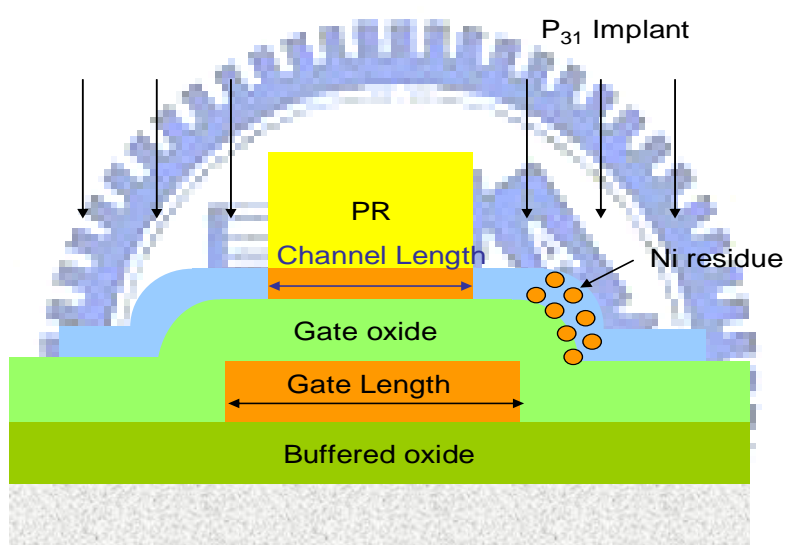


圖 3-7 鎳金屬累積的位置被包覆在汲極處

圖 3-8 和表 3-2 為分別以 Type A 與 Type B 為誘發結晶窗口所製作元件之特性曲線圖和電性比較表，可以發現兩種 Type 之導通電流、導通電壓、次臨界擺幅和載子遷移率並未如圖 3-5，其兩者差異變小了。由此可以證明我們之推論，下部閘極薄膜電晶體在金屬誘發側向結晶時，會遇到下部閘極的阻礙，造成晶界與鎳金屬累積，如果是累積在通道與汲極的邊界處，則會產生很多的缺陷與並對元件電性造成影響。另外，從特性曲線圖我們也發現 Type A 之元件有較高之漏電流，其原因為鎳被補捉在與電流方向平行之晶界處形成一漏電的路徑。

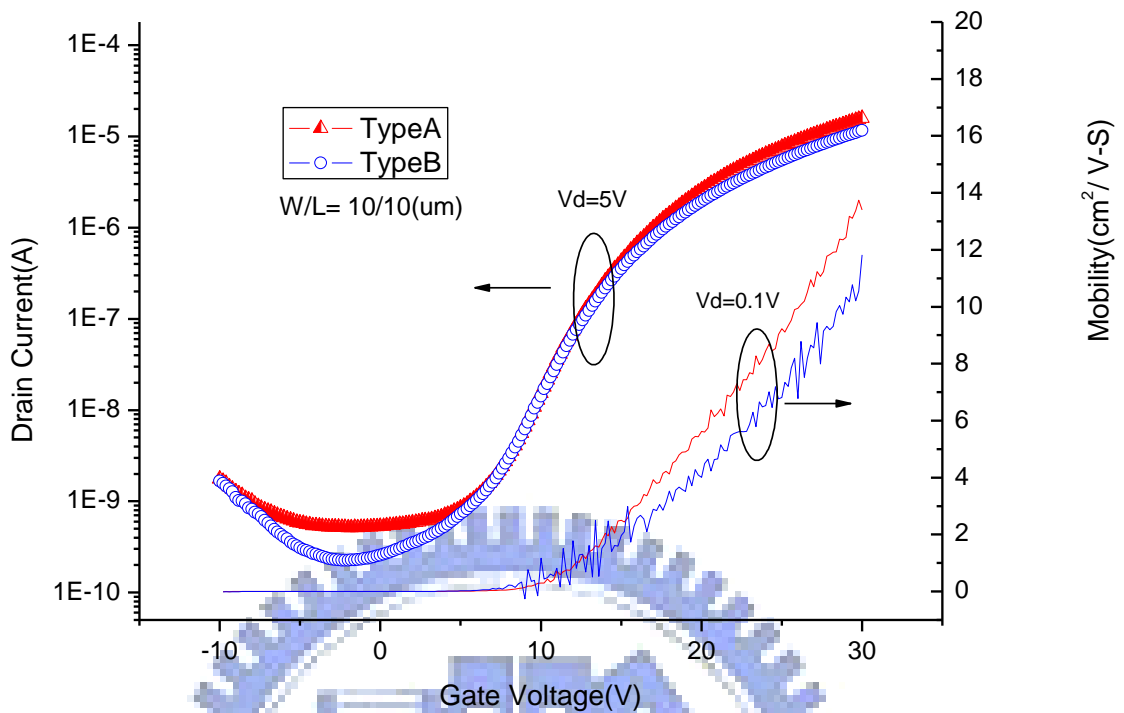


圖 3-8 Type A 對 Type B 之 $I_{DS}-V_{GS}$ curve

Device parameters of the P-channel MILC poly-Si TFTs(W/L = 10um/10um)

Parameter	Type A	Type B
μ_{FE} (cm ² /V s)	13.7	11.8
V_{th} (V)	13.1	13.3
S.S(V/decade)	2.41	2.66
I_{min} (pA/um)	51.4	22.6
I_{min} (nA) at VG=-10V	1.75	1.67
I_D (uA) at VG= 30V	15.8	11.6

表 3-2 分別以 Type A 與 Type B 為誘發結晶窗口之元件電性比較表

3.4 結論

本章節我們研究了鎳金屬誘發結晶方向對下部閘極薄膜電晶體之元件電性的影響，當利用閘極作為遮罩搭配背部曝光的技術來形成離子植入汲/源極區域時，發現在誘發結晶成長的方向與電流方向相同時，不論是導通電壓、次臨界擺幅和載子遷移率都比誘發結晶的方向與電流方向垂直的條件來的差。推測其原因為在金屬誘發側向結晶時，會遇到下部閘極的阻礙，造成在通道與汲極的邊界產生很多的晶界與鎳金屬累積，這些缺陷所產生的能障阻礙了載子的傳輸，使得載子遷移率下降。經由採用正面對準曝光來形成汲/源極區域，並將通道長度製作的比閘極長度來的小的元件製作方式，藉此將鎳金屬累積的位置被包覆在汲極處，量測後發現其兩者電性差異變小了，證實了我們的推論。



第四章 未來工作

從本研究已經證明經過捉聚步驟減少鎳污染確實可以降低漏電流、得到較高的載子遷移率和較低的次臨界擺幅與臨界電壓，也因具有加厚之汲/源極，使得汲極與通道接面處的電場下降，可得到較高的導通電流與抑制漏電流的能力。若能搭配降低誘發結晶前鎳濃度的製作技術，進一步減少鎳金屬殘留在複晶矽中，則可望在電性上能有更優異的提升。

本次實驗採用 N-type gate 來製作 PMOS TFT，因為功函數的差異，所以造成臨界電壓較高，未來可以利用離子植入來調整臨界電壓和電漿鈍化 (Passivation) 的製程來改善元件特性。



第五章 參考文獻

- [1] <http://web1.nsc.gov.tw/>
- [2] 紀國鐘，鄭晃忠，液晶顯示器技術手冊
- [3] D. B. Meakin, P. A. Coxon, P. Migliorato, J. Stoemenos, and N. A. Economou, "High-performance thin-film transistors from optimized polycrystalline silicon films", Appl. Phys. Lett., vol.50, p.1894, 1987
- [4] M. S. Haque, H. A. Naseem, and W. D. Brown, "Aluminum-induced crystallization and counter-doping of phosphorous-doped hydrogenated amorphous silicon at low temperatures", J. Appl. Phys., vol.79, p. 7529-7536, 1996
- [5] Soo Young Yoon, Ki Hyung Kim, Chae Ok Kim, Jae Young Oh and Jin Jang, "Low temperature metal induced crystallization of amorphous silicon using a Ni solution", J. Appl. Phys., vol.82, p.5865-5867, 1997
- [6] Quli, F.A. and Singh, J., "Transmission electron microscopy studies of metal-induced crystallization of amorphous silicon", Materials Science and Engineering, vol.67, p.139-144, 1999
- [7] Seok-Woon Lee, Yoo-Chan Jeon, and Seung-Ki Joo, "Pd induced lateral crystallization of amorphous Si thin films", Appl. Phys. Lett., vol.66, p. 1671-1673, 1995
- [8] C. Hayzelden, and J.L. Batstone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films", J. Appl. Phys., vol.73, p.8280~8289, June 1993
- [9] Zhonghe Jin, Hoi S. Kwok, and Man Wong, "Performance of Thin-Film Transistors with Ultra thin Ni-MILC Polycrystalline Silicon Channel Layers", IEEE Electron Device Lett. vol.20, no.4, 1999
- [10] J. F. Li, X. W. Sun, G. J. Qi, Johnny K. O. Sin, Z. H. Huang, and X. T. Zeng., "Geometric Effect of Nickel Source on Low-Temperature Polycrystalline Silicon TFTs by Metal-Induced Lateral Crystallization", IEEE Electron Device Lett. vol.26, no.11, 2005
- [11] M. Cao, T. King, and K. Saraswat, "Determination of the densities of gap states in hydrogenated polycrystalline Si and Si_{0.8}Ge_{0.2} films", Appl. Phys. Lett., vol.61, p.672~674, 1992

- [12] G. Baccarani, B. Ricc'ò and G. Spadini, "Transport properties of polycrystalline silicon films", J. Appl. Phys., vol.49, pp. 5565~5570, 1978
- [13] Wu, I-Wei, Huang, Tiao-Yuan, Jackson, Warren B., Lewis, Alan G., and Chiang, Anne, "Passivation kinetics of two types of defects in polysilicon TFT by plasma hydrogenation", IEEE Electron Device Lett., vol.12, p. 181, 1991
- [14] D. Z. Peng, T. C. Chang, P. S. Shih, H. W. Zan, T. Y. Huang, C. Y. Chang, and P. T. Liu, "Polycrystalline silicon thin-film transistor with self-aligned SiGe raised source/drain", Appl. Phys. Lett., vol.81, p.4763, 2002
- [15] Nam-Kyu Song, Young-Su Kim, Min-Sun Kim, Shin-Hee Han, and Seung-Ki Joo, "A Fabrication Method for Reduction of Silicide Contamination in Polycrystalline-Silicon Thin-Film Transistors", Electrochemical and Solid-State Lett., 10(5), H142-H144, 2007
- [16] Toshio Mizuki, Junko Shibata Matsuda, Yoshinobu Nakamura, Junkoh Takagi, and Toyonobu Yoshida, "Large Domains of Continuous Grain Silicon on Glass Substrate for High-Performance TFTs", IEEE Trans. Electron Devices, vol.51, no.2, 2004
- [17] Patent US6251712
- [18] Chih-Yuan HOU, Chi-Ching LIN and YewChung Sermon WU, "Gettering of Ni from Ni-Metal Induced Lateral Crystallization Polycrystalline Silicon Films Using a Gettering Substrate", Jpn. J. Appl. Phys., vol.45, p.6803, 2006
- [19] Woo Sung Sohn, Jong Hyun Choi, Kyung Ho Kim, Jae Hwan Oh, Seung Soo Kim, and Jin Jang, "Crystalline orientation of polycrystalline silicon with disklike grains produced by silicide-mediated crystallization of amorphous silicon", J. Appl. Phys., vol.94, p.4326-4331, 2003
- [20] K. R. Olasupo and M. K. Hatalis, "Leakage Current Mechanism in Sub-Micron Poly silicon Thin-Film Transistors", IEEE Electron Device Lett., vol.43, no.8, 1996
- [21] M. Yoshimi, T. Wada, K. Kato, and H. Tango, "High performance SOI MOSFET using ultra-thin SOI film," in IEDM Tech. Dig., p.640, 1987.
- [22] M. Yoshimi, M. Takahashi, T. Wada, K. Kato, S. Kambayashi, M.

Kemmochi, and K. Natori, “Analysis of the Drain Breakdown Mechanism in Ultra-Thin-Film SOI MOSFET’s”, IEEE Trans. Electron Devices, vol.37, p.2015, 1990.

- [23] 胡國仁, 「金屬誘發側向結晶應用於低溫多晶矽薄膜電晶體-結晶成長之熱力學、動力學及電晶體元件效能」, 國立交通大學/材料科學與工程系所, 博士論文
- [24] Gi-Bum Kim, Yeo-Geon Yoon, Min-Sun Kim, Hunjoon Jung, Seok-Woon Lee, and Seung-Ki Joo, “Electrical Characteristics of MILC Poly-Si TFTs With Long Ni-Offset Structure”, IEEE Trans. Electron Devices, vol. 50, no.12, 2003
- [25] F. V. Farmakis, J. Brini, G. Kamarinos, C. T. Angelis, C. A. Dimitriadis, M. Miyasaka, and T. Ouisse, ” Grain and grain-boundary control of the transfer characteristics of large-grain polycrystalline silicon thin-film transistors”, Solid-State Electron., vol.44, pp.913–916, 2000.
- [26] Victor W. C. Chan, Philip C. H. Chan, and Chunshan Yin, “The Effects of Grain Boundaries in the Electrical Characteristics of Large Grain Polycrystalline Thin-Film Transistors “, IEEE Trans. Electron Devices, vol.49, no.8, 2002

