

# 國立交通大學

電機學院微電子奈米科技產業研發碩士班

## 碩士論文

高含氮量氧化層於氮化矽快閃記憶體  
元件製作與特性研究

Characteristic and Investigation of Robust Oxynitride Film  
to SONOS Flash Memory

研究生：黃信富

Shinn Fuh Huang

指導教授：羅正忠 博士

Dr. Jen-Chung Lou

中華民國九十七年七月

# 高含氮量氧化層於氮化矽快閃記憶體元件製作與特性研究

學生：黃信富

指導教授：羅正忠 博士

國立交通大學電機學院產業研發碩士班

## 摘 要

記憶體市場蓬勃發展，其收益日益增加，不可同日而論，隨著製程的微縮化記憶體元件製作與特性也愈到愈來愈多的問題，最基本的是儲存資料的能力，現行的快閃記憶體是以浮動閘記憶體元件為主，而當穿隧層厚度小  $100\text{\AA}$ ，複晶浮動閘儲存的電荷就容易從穿隧層的缺陷地方漏掉，造成原本儲存的資料遺失。於是 SONOS 型態的記憶體元件被提出來，且不斷的被研究，或許是在電荷捕捉層上作改變，例如：調整電荷捕捉層的矽/氮含量者用奈米點結構來儲存電荷，有的是在穿隧氧化層上作改變，例如：用 ONO 結構態代替原本只有一層氧化矽的穿隧氧化層，此方法可以使漏電不易發生，也有將高介電常數材料來取代氧化矽或氮化矽，種種方法不勝枚舉。

本實驗室在穿隧氧化層上做些調整，首先用雙氧水浸泡 20 分鐘，在來用爐管、通氮氣來達到氮化效果，經過以上兩步驟並不會使穿隧層有足夠的厚度，所以再用乾式氧化爐管把穿隧層成長到所需的厚度，經過這些步驟高氮含量是分佈

在電荷捕捉層與穿隧層介面附近，不會像用  $N_2O$  直接氧化成長穿隧層的氮分佈主要在矽基板與穿隧層的介面，很容易使元件在操作過程中劣化，本實驗方法可以修補穿隧層中的表面缺陷((Y. Yang and M. H. White. Solid. State Electron. Vol. 44, pp. 949, 2000.)，進而減少儲存的電荷漏電，實驗得到的結果確實在資料儲存時間與操作次數上有非常好的改善。

# Characteristic and Investigation of Robust Oxynitride Film to SONOS Flash Memory

student : Shinn Fuh Huang

Advisors : Dr. Jen-Chung Lou

Industrial Technology R & D Master Program of  
Electrical and Computer Engineering College  
National Chiao Tung University

## ABSTRACT

The market of memory is more and more important, There are many problems in memory with technology scaling down. I gave attention in flash memory. There are two key points of flash memory are retention and endurance .At least, a flash memory product must be operated  $10^6$  cycles and the data could be identified after ten years. But the thickness of tunneling oxide is thinner with technology scaling down and the charge stored in charge storage layer will leak easily. The experiment is designed to solve the leakage of flash memory. I used oxynitride to be tunneling oxide. It was figured in 2000 by Y. Yang and M. H. White. (Y. Yang and M. H. White. Solid. State Electron. Vol. 44, pp. 949, 2000.). By this way, there would be less interface state between substrate and tunneling oxide and the charge leakage would be reduced. After measurement of my device, we can find the improvement of charge leakage.

## 誌謝

經過兩年的磨練與努力，經歷過風風雨雨，終於將此篇論文完成，期間接受過很多人的幫助與指導，我才能在做人處世與課業受有所進步，我的指導教授-羅正忠 老師，不只認真教導我們實驗、課業上的問題，也時時刻刻叮嚀為人處世的道理，盡己之力幫助別人，令我受益良多，非常感謝老師及其他老師們的教導。學長們的教導也是不遺餘力，柏村學長提供了實驗上的指導與幫助我解決問題，對本論文的貢獻有過之於我，又另花時間開車載我們去賣場買東西，以利我們研究之間補充能量、紓解壓力，實在感謝；永裕學長在教學、家庭繁忙之餘，還能抽空指導我們，為我們在課業上、資料研讀與實驗上解除疑惑，還是感謝；智仁學長承受我們肉體上與精神上的折磨，他一個人直接要帶領我們八個人做實驗，歷經千辛萬苦，承受莫大的疲勞轟炸，終於我們要畢業了，希望學長有得到成就感。還要感謝上一屆學長-正凱、建宏、德安、宏仁、大峰、信智，感謝他們在實驗及課業上的指導。

俗話說”在家靠父母 出外靠朋友”，有嘻嘻哈哈、打打鬧鬧的朋友是很重要的，彼此互相幫忙、紓解生活壓力，是生活中不可或缺的，也可以從他們身上學到不少東西，最早認識的是-佳樺，別看他吊兒啞當，他可是非常喜歡幫助同學的喔，感謝感謝；國洲-就是豆爺是本實驗室實驗做最勤的人，真是任勞任怨阿，致敬致敬；元愷-長的帥也很專情，值的好好學習學習；冠文兄-是本實驗室活到老學到老的模範，活力可不輸我們這班小夥子，可怕可怕；晨修-白手起家就是他，他的學費、生活費可是他自己家教賺來的喔，佩服佩服；嘉宏-聯誼高手，為我們辦過好幾場連誼，帶我們見見市面，且學東西很快，失敬失敬；岳展兄-想法超然，見解卓越，利害利害；冠良-同一時間入學，隔年就是博一了，求學戰鬥力百分百，加油加油；文彥-為人心直口快，有話直說，不矯情做作，爽快爽快；正愷-隨和客氣，精明能幹，可靠可靠。

還有好麻吉們，士豪、尚珉、茂宣、國烽、裕評、顏晏、俐菁、哲民、坤達，雖然分隔在各地，不過都還能相互鼓勵，感謝大家。

還要感謝交大奈米中心與國家奈米實驗室提供實驗上的協助，倪姐、旭君先生、子凌姐姐讓我作實驗有回家的感覺，感謝您們。

家惠，謝謝妳，是妳讓我有友情、親情之外，還擁有愛情的感覺，豐富我的人生，也從妳身上看到對生活的努力、盡心，進而對我的實驗、論文增添許多動力。

爺爺、爸爸、媽媽、您們辛苦了，百善孝為先，我不會辜負您的期望了，姐姐、弟弟，也謝謝你們的鼓勵，感謝你們。

要謝的人實在太多了，只有謝天了，當然刻盡己力、盡己責，盡最大的力量，幫助需要幫助的人，才是最好的謝天表現。

# 目錄

中文摘要.....	I
英文摘要.....	III
誌謝.....	IV
目錄.....	VI
表格標題.....	VIII
圖片標題.....	IX
<b>第一章 簡介.....</b>	<b>1</b>
1-1 簡述記憶體.....	1
1-2 目前記憶體發展.....	5
1-2.1 SRAM (靜態隨機存取記憶體).....	5
1-2.2 DRAM (動態隨機存取記憶體).....	6
1-2.3 Flash Memory(Ex. 浮動閘記憶體).....	6
1-2.4 MRAM (磁阻式記憶體).....	7
1-2.5 PCM (相變化記憶體).....	9
<b>第二章 SONOS 的工作方式、原理與特性.....</b>	<b>17</b>
2-1 前言-簡介 SONOS 的工作方式、原理與特性.....	17
2-2 寫入/抹除的工作方式(Program/Erase mode).....	17
2-2.1 Channel Hot-Electron injection.....	18
2-2.2 Fowler-Nordheim tunneling(FN).....	19
2-2.3 Band To Band Tunneling(BTBT)(抹除).....	19
2-2.4 Modified Fowler-Nordheim tunneling(MFN).....	20
2-2.5 寫入/抹除時間(Program/Erase speed).....	20
2-3 資料儲存時間(Retention).....	21
2-4 元件可操作次數(Endurance).....	21

2-5 元件間工作時的互相影響(Disturbance).....	22
2-6 穿隧層的可靠度.....	23
2-7 其他(如:微縮化限度、製作繁複度、價錢.....)	24
<b>第三章 實驗內容與特性分析.....</b>	<b>32</b>
3-1 前言.....	32
3-2 實驗內容.....	32
3-3 電性分析.....	33
3-3.1 寫入\抹除參數定量量測、比較.....	33
3-3.2 資料儲存時間、與元件可操作次數.....	35
3-3.3 溫度對特性的影響.....	37
<b>第四章 變異(Variation).....</b>	<b>50</b>
4-1 前言-變異的重要影響.....	50
4-2 實驗變異探討.....	51
4-2.1 爐管(NDL 10 級).....	51
4-2.2 TEL 5000 氧化矽乾式蝕刻(NDL 100 級).....	51
4-2.3 通道變異所造成的影響.....	52
4-3 量測上的變異.....	52
<b>第五章 結論與檢討.....</b>	<b>55</b>
<b>參考文獻(References).....</b>	<b>56</b>

## 表目錄

### 第一章

表(1.1) 各種記憶體(DRAM、SRAM、Flash-NOR Flash-NAND、FRAM、MRAM、PCM)工作參數與特性比較。.....	10
---	----

### 第三章

表(3-1) 簡略表示實驗過程及穿隧氧化層量測厚度。.....	38
---------------------------------	----

### 第四章

表(4-1) SRAM 在不同世代下，元件 $V_{th}$ 所需的變異忍受度。.....	53
---	----

表(4-2) 不同設計條件的 SRAM 可靠度。.....	53
-------------------------------	----

表(4-3) TEL 5000 蝕刻率與蝕刻時間關係圖。.....	54
-----------------------------------	----

# 圖目錄

## 第一章

圖(1-1) 記憶體樹狀圖。.....	11
圖(1-2) 傳統浮動閘非揮發性記憶體示意圖，浮動閘(Floating Gate)是用來儲存電荷用的。.....	11
圖(1-3) (a)浮動閘記憶體元件等效電容耦合示意圖。.....	12
(b)浮動閘記憶體元件電流感測說明圖。.....	12
圖(1-4) SONOS 示意圖。.....	13
圖(1-5) 閘極偏壓與漏電流方式、大小量測圖。.....	13
圖(1-6) 不同形式快閃記憶體的連接方式與所佔面積表較。.....	14
圖(1-7) 場效切換 MRAM 示意圖，(a)讀、(b)寫。.....	14
圖(1-8) Spin-RAM 單元示意圖，包含感測電路(左方)。.....	15
圖(1-9) SEM 切面圖，使用 4 層金屬的 0.18umCMOS 製程。.....	15
圖(1-10) PCM 示意圖(a)俯視圖 (b)切面圖。.....	16

## 第二章

圖(2-1) 電子穿隧能帶圖。(a)CHE njection. (b) FN tunneling. ....	25
圖(2-2) Channel Hot-Electron injection示意圖。(電子被注入Trap layer).....	26
圖(2-3) 寫入速度與通道長度關係。.....	27
圖(2-4)N-channel MOSFET模擬寫入之閘極與基極電流比較圖。.....	27
圖(2-5)電場強度與穿隧電流關係圖。.....	28
圖(2-6)Band To Band Tunneling Hot Hole.....	29
圖(2-7) 量測結果及穿隧層的傷害情形、種類。.....	29
圖(2-8) Programming Disturbs 示意圖。(a)Programming Disturbs(Gate Disturbs). (b)Programming Disturbs(Gate Disturbs). (c)Programming Disturbs(Drain Disturbs). ....	30、31

### 第三章

圖(3-1) 實驗完成，元件切面示意圖。.....	39
圖(3-2) 元件的 $I_D-V_G$ 、 $I_D-V_D$ 圖。.....	40
圖(3-3) $I_D-V_G$ 圖，在寫入之後，大約有 1.8V 的臨界電壓差距(1.8V Window)，抹除態的 IV 曲線幾乎與原來的曲線重疊。.....	41
圖(3-4) 寫入速度量測結果。.....	42
圖(3-5)量測不同通道長度的寫入速度。.....	43
圖(3-6) 抹除速度量測結果。.....	44
圖(3-7) Retention 量測結果。Sample 38：氮化處理的穿隧層， Sample 42：乾氧氧化的穿隧層， Sample 43：N <sub>2</sub> O 氧化的穿隧層。.....	45
圖(3-8) Sample 38(氮化處理的穿隧層)， 經過十萬次 Endurance 量測後，再測量其 Retention。.....	46
圖(3-9) Endurance 量測。.....	46、47
圖(3-10) 寫入\抹除載子分佈圖。.....	47
圖(3-11) 抹除的狀態下，經過 65 次讀取，臨界電壓飄移程度。.....	48
圖(3-12) 溫度對寫入的影響。.....	48
圖(3-13) 溫度對 Retention 的影響。.....	49
圖(3-14) 環境 75°C 量測 Endurance 結果。.....	49

### 第四章

圖(4-1)不同設計條件的 SRAM 可靠度。 ( $\pm 4\sigma$ 或 $\pm 5\sigma$ 內的變異度都可以正常工作)	53
圖(4-2) 相同偏壓之下，使用不同偏壓模式的寫入速度比較圖。.....	54

# 第一章 簡介

## 1-1 簡述記憶體

近年來半導體市場蓬勃發展，未來發展仍被看好，廣大的半導體市場中記憶體舉足輕重，到 2007 年為止已佔整體半導體市場的 28%[1]。在元件微縮化下，通常記憶體的特性會變差，如何做出特性好又不占面積的記憶體是一再被研究的，若再加上嵌入式記憶體的吸引力，記憶體市場的發展是不容小覷的，如何做出特性好又不占面積的記憶體是眾家廠商汲汲營營的。就資料儲存的特性，可區分為揮發性(Volatile)與非揮發性(non-Volatile)(圖(1-1)為其樹狀圖)，揮發性記憶體是指當電源供應被切斷時，儲存的資料就會消失，非揮發性記憶體資料儲存不需要持續供電，可電寫入/抹除非揮發性記憶體(例:Flash)目前的產品規格最基本是儲存時間可長達 10 年，且操作次數可達 10 萬次。

近幾年手攜式電子產品蓬勃發展，例如:數位相機、手提電腦(固態硬碟)、手機、MP3 播放器、USB 隨身碟、電子 IC 卡都是以非揮發記憶體為主，隨著元件微縮化、及電子產品充斥整個生活環境，愈來愈多的研究與非揮發記憶體密度、工作速度及可靠度有關，Flash 市場愈來愈大、應用愈來愈廣，所以 Flash 非揮發記憶體已經成為半導體市場發展的一個重點，Flash 目前朝兩個方向發展，一為作為邏輯電路的主要記憶體(1-2 節簡述)、軟體儲存更新記憶體、儲存識別碼，另一是做成儲存單元，像固態硬

碟、隨身碟都是由快閃記憶體陣列裝配成大容量記憶體，快閃記憶體當成儲存單元來用大大威脅到磁式硬碟，如果新式快閃記憶體(MRAM、PCM)技術成熟及價錢低(1-2 節簡述)現行的快閃記憶體及磁式硬碟都會被淘汰，甚至威脅到 SRAM 與 DRAM 的生存，固態硬碟擁有小面積(大密度)、低功率消耗而且沒有活動式組件(磁式硬碟有讀寫頭)，所以堅固耐用，以上種種原因都是固態硬碟應用在手攜式產品的優勢，此外，電腦需執行的程式若可直接存在快閃記憶體晶片中會比從磁式硬碟存取來的方便許多。

1960 年、磁圈記憶體單價高、又大又笨重且又很耗電，所以急需新穎的電子式記憶體來取代磁圈記憶體，1967 年，在貝爾實驗室做研究的 D Kahng 和 S.M.Sze(施敏 博士)發明了浮動閘非揮發性記憶體[2]，此 Flash Memory 是建構在有浮動閘的金屬半場效電晶體上(MOSFET)(圖(1-2))，浮動閘完全被介電質包圍，且電性受到其上方的控制閘所控制，當控制閘的正電壓耦合到浮動閘，浮動閘是正電壓就會吸引矽基板的電子載子到浮動閘來，在讀取時，浮動閘儲存電子會被認為此元件有比較高的臨界電壓，也就會表現出較小的導通電流，經由感測放大器的比較之後，就會讀出此記憶體元件儲存是”1”或”0”，嚴格的來說，浮動閘的電性是由其他地方電性藉由電容耦合而來，請參照圖(1-3)(a)及式(1.1)~(1.6)[3]，

$$V_{CF} = \frac{C_{CF}}{C_T} V_{CG} + \frac{C_{SF}}{C_T} V_S + \frac{C_{DF}}{C_T} V_D + \frac{C_{BF}}{C_T} V_B + \frac{Q}{C_T} \quad (1.1)$$
$$(C_T = C_{CF} + C_{SF} + C_{BF} + C_{DF})$$

$$V_S = V_B = 0V \Rightarrow V_{CF} = \frac{C_{CF}}{C_T} V_{CG} + \frac{C_{DF}}{C_T} V_D + \frac{Q}{C_T} \quad (1.2)$$

$$\text{Let } \alpha_C = \frac{C_C}{C_T}, f = \frac{C_D}{C_C} \\ \Rightarrow V_{FS} = \alpha_C \left( V_{CS} + fV_{DS} + \frac{Q}{C_C} \right) \quad (1.3)$$

$V_{TFS}$  : the potential that is applied to the FG (with  $V_{DS} = 0V$ )  
to reach the inversion of the surface population .

$V_{TCS}$  : the potential that is applied to the CG (with  $V_{DS} = 0V$ )  
to reach the inversion of the surface population .

$$V_{TCS} = \frac{1}{\alpha_C} V_{TFS} - \frac{Q}{C_C}, (V_{TCS} = V_{CS} + fV_{DS}) \quad (1.4)$$

$$V_{TCS} = \frac{1}{\alpha_C} V_{TFS} = V_{TE} \rightarrow V_{th} \text{ after erasing} \quad (1.5)$$

$$V_{TCS} = \frac{1}{\alpha_C} V_{TFS} - \frac{Q}{C_C} = V_{TP} \rightarrow V_{th} \text{ after programming} \quad (1.6)$$

其中  $Q$  表示儲存浮動閘中的電荷，因為儲存的電荷為”電子”， $V_{TP} > V_{TE}$  且要有一定的差距，使感測的電壓可以落在其間(圖(1-3)(b))，且只有臨界電壓小於感測電壓的單元才可以產生足夠大電流，如此就可以判斷儲存的資料是”0”或”1”，由式(1.1)，源極/基極/汲極電性都會間接的影響浮動閘電性，甚至在元件微縮化之下，相鄰的記憶體元件其電性都會互相影響，進而影響元件可靠度，南韓記憶體大廠-三星-推估浮動閘記憶體頂多只能微縮到 40 奈米，除此之外，浮動閘可視為儲存電子一個自由活動空間，只要當有

一小地方介電質品質不好造成漏電，就會把所有浮動閘所儲存的電荷通通漏光，所以就需把穿隧氧化層(Tunneling Oxide)(介於浮動閘與矽基板之間的介電質)及阻擋氧化層(Blocking Oxide)(介於浮動閘與控制閘之間的介電質)的厚度要厚點才能防止電荷的大量流失，但是，如此若浮動閘想從其他地方耦合電性就必須施加更大的電壓才可以，再者浮動閘記憶體易受到輻射照射而使資料遺失。氮化矽記憶體(SONOS)(圖 1-4)被視為可以解決浮動閘記憶體的種種問題，比較圖(1-2)與圖(1-4)原則上 SONOS 的 Trap layer 並不用特別用 spacer 包覆住，其用 Si<sub>3</sub>N<sub>4</sub> 取代多晶矽浮動閘，SONOS 不是靠電容耦合來獲得儲存層電性的，SONOS 是靠著閘極/汲極/源極/基極所施加的偏壓，來決定載子是如何穿隧到儲存層(Trape Layer)，可粗分為 FN tunneling 及 HC tunneling 及 BTBT(第二章詳述)，因為儲存層為氮化矽(Silicion Nitride)，其對載子來說是一個不導電層，也就是儲存的電荷是區域性的，且電荷是儲存在氮化矽的電荷捕捉層(trap level)中，所以就儲存的電荷漏電來說已大大改善，就可以把介電層(穿隧層及阻擋層)做薄點，薄也是有個極限(一般來 30Å 在低電場會有直接穿隧的漏電現象)圖(1-5)[4]，介電質太薄的話其穩定性、品質就變差，就無法符合使用需求，電荷是儲存在氮化矽之深度能陷(deep traps)，其電荷無法像浮動閘極記憶體元件般消除，因此必須設計一超薄(<20Å)的二氧化矽穿隧層以提供電洞直接穿隧(hole direct tunneling)用以抹除電子。然而，超薄的穿隧層造成了元件電

荷容易遺失(30Å 會有直接穿隧的漏電現象)，因此即使 SONOS 元件的發明很早，卻不曾被採用在商業應用[5]，各界對 SONOS 研究已經很多年且也很有很多成果發表，關於 SONOS 的研究發表將於第二章作更詳細的敘述。

## 1-2 目前記憶體發展

完美的記憶體應有以下優點，工作速度快(fast operation)、低功率消耗(low power consumption)、高操作忍受度(endurance)、資料保存時間長(retention)、高密度(high density)、廉價(low cost)、非揮發(non-volatile)、可與邏輯電路製程相容(compatible with CMOS process)，就用以上八點來論述目前記憶體的現況與發展(參考表 1-1)[6]-[8]。



### 1-2.1 SRAM (靜態隨機存取記憶體)

首先目前工作速度最快的是 SRAM，速度可達數奈秒(ns)，但隨著元件微縮化，元件變異度(variation)變高，其雜訊邊限(noise margin)會愈來愈窄，且會變形，使 SRAM 可靠度愈來愈差，因此 8T SRAM、10T SRAM 問世[9]，其都是要增加 SRAM 的可靠度，卻也增加了一單元 SRAM 所佔的面積，再者 Double-gate MOS 的發明可以減少電晶體的使用[10]，且 MOSFET 會有漏電流，且當臨界電壓變小時漏電流會隨之變大，所以說 SRAM 是隨時都在消耗電力的，當然在電源關閉時，SRAM 所存的資料也會隨之消失。

## 1-2.2 DRAM (動態隨機存取記憶體)

DRAM 是目前個人電腦的主記憶體，因其元件密度約為 SRAM 的十倍，雖速度比 SRAM 慢點卻比其他使用的記憶體(快閃記憶體)快很多，工作速度約 50 奈米，原本一開始為平板電容，隨著元件微縮化下發展成堆疊式(stacked)與溝槽式(trench)電容，電容值目前極限為  $20 \times 10^{-15}$  法拉 $\sim 25 \times 10^{-15}$  法拉(fF)，才可以維持適當的可靠度，但隨著微縮化溝槽式電容製作困難度愈高，目前已經確定要淘汰，為了增加單位面積的電容值，高介電係數材料(High-k)將會被應用到 DRAM 的電容中，DRAM 最大的缺點就是與電容串接的金氧半電晶體(MOSFET)會漏電，元件微縮化下漏電流與導通電流的比例會更大，將需要更常去充電 DRAM 的資料。且目前邏輯 IC 製程並不能完全合於 DRAM 製程，因為會使 SRAM 漏電更嚴重。

## 1-2.3 Flash Memory(Ex. 浮動閘記憶體)

目前現行的快閃記憶體(Flash Memory)絕大部分是浮動閘記憶體元件組合而成，從連接單元連接型態來區分，可分為”NOR-Flash”與”NAND-Flash”圖(1-6)[11]，NAND-Flash 是多個元件串接，省掉很多連接點(contact)，所以單位容量所佔的面積較低，可以有比較大的容量，但”NOR-Flash”的讀寫速度較快，所以期間的應用有所不同，”NAND-Flash”偏重於資料的儲存，”NOR-Flash”偏重於邏輯碼的存取，因為在寫入\抹除的

同時等同於對穿隧層(tunneling oxide)做破壞的動作，所以一個浮動閘記憶體元件有一個使用限度(endurance)，一般為  $10^6 \sim 10^7$  次的寫入\抹除，且其速度實在太慢的(約  $1\mu \sim 100\text{ms}$ )，遠遠低於邏輯電路的工作速度，以上兩點大大限制了浮動閘快閃記憶體的應用，不過最大的好處是它是”非揮發”性的，並不需要額外電源供給才可以使儲存的資料維持不變，這是最大的好處，但在 1-1 節說過，微縮化會使記憶體漏電，可能在短時間內儲存的資料就消失了。為了改善現行的快閃記憶體，除了新的方法的研究之外，還有新的材料應用，目前關於新材料的應用最熱門的有 MRAM 與 PCM，將於下段做簡單的介紹。



#### 1-2.4 MRAM (磁阻式記憶體)

Magnetoresistive random access memory (MRAM)，圖(1-7)為早期的 MRAM 元件單元示意圖[12]，包含一個磁性穿隧接面(MTJ:Magnetic Tunnel Junction)、一個提供電流路徑的電晶體及兩條作為感測或改變資料的連接線，此單元被稱為場效切換磁阻式記憶體 (Field-Switched MRAM)，請看到圖(1-7)下方，MTJ 大略區分為三層-Free layer – Tunnel barrier – Fixed layer-，Tunnel barrier 的材料特性會大大影響此記憶體元件的可靠度，一般來說  $\text{MgO}$  比  $\text{Al}_2\text{O}_3$  好很多;Fixed layer 顧名思義是此區的磁性方向是固定的;藉由電流感應出的磁場去改變 Free layer 的磁性方向，當 Free layer 與 Fixed

layer 的磁性方向是相同的，就會被感測出較小的阻值(圖(1-7)(a))，即會有較大的感測電流，若 Free layer 與 Fixed layer 的磁性方向是相反的，感測的阻值就較大，圖(1-7)(b)要改變 MTJ 所儲存的資料就要  $I_{\text{Easy}}$  與  $I_{\text{Hard}}$  先後作用，只憑任一方向電流是無法改變 MTJ 的資料的，此元件是由電生磁進而影響 Free layer 的電場方向，所以需要較大的電流才行，一般約數毫安培 (mA)，所以高功率消耗、高熱是一大問題，且電感應的磁場也會影響到週邊不工作的記憶體元件(Disturbance)，對微縮化更是一大問題，所以許多不一樣的 MRAM 記憶體單元被陸續開發出來。圖(1-8)被稱為 Spin RAM[13]，是藉由直接通電流讓 Free layer 的電子產生電子自旋進而改變其磁性方向 (Spin Torque Transfer Magnetization Switching)，所以切換電流可以降至 150~300 微安培，在讀取時用的是更小的電壓或電流，所以並不會使原資料被改變，圖(1-9)說明 MRAM 可以使用目前 CMOS 製程來製作，還有 Perpendicular Spin Torque Switching-RAM[14]，其工作電流更可小到 30uA，工作時間不高於 30n 秒，MTJ 面積只要  $6F^2$ ，目前摩托(MOTO)及英飛凌 (Infineon)...等，都已經有相關 MRAM 產品在市場上流通，台積電也計畫在 2008 年底上市 MRAM 記憶體，MRAM 的工作速度及單元大小可媲美 DRAM，且幾乎擁有非揮發記憶體的優點，工作方式並沒有干擾問題 (Disturbance)，且資料儲存時間與可操作次數( $>10^{14}$ )遠優於現行的浮動閘記憶體，只要技術更成熟，價錢更便宜，取代 DRAM 與 Flash Memory 指日可

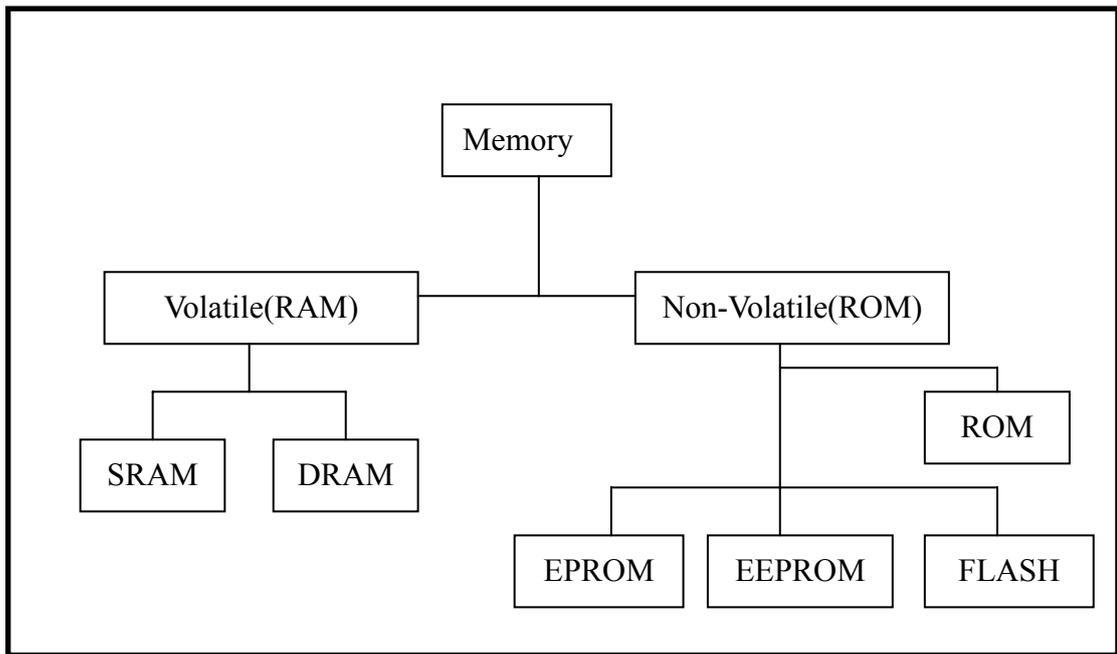
待。

### 1-2.5 PCM (相變化記憶體)

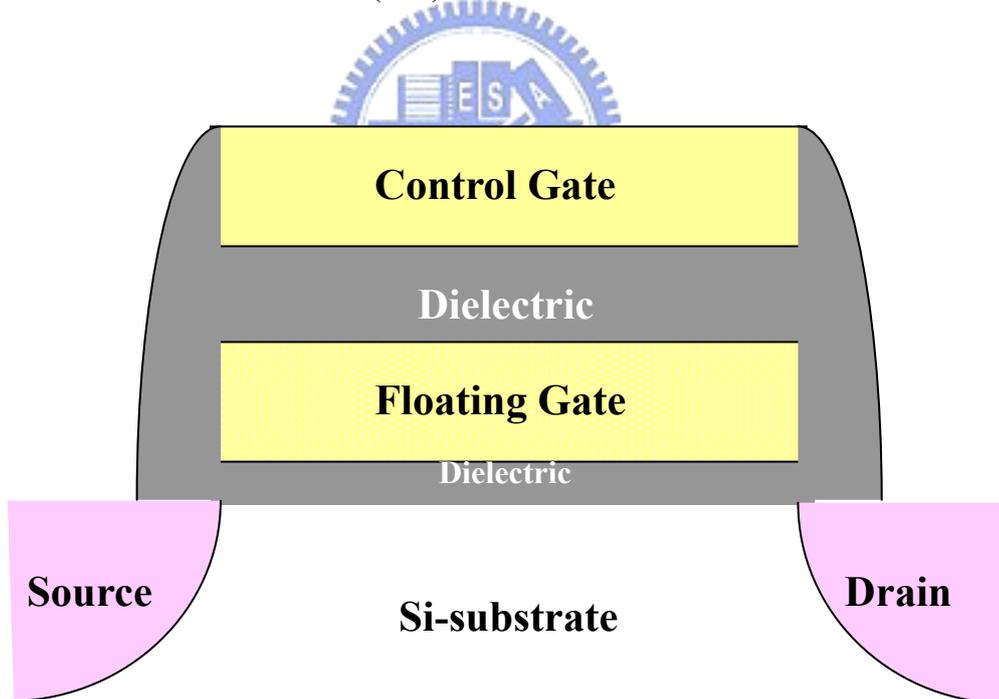
相變化記憶體 Phase Change Memory(PCM)，性能與 MRAM 差不多，比 MRAM 更好的有更低的工作電壓(大致符合邏輯電路的低工作電壓)、與 CMOS 製程更吻合且價錢便以的許多，所以相變化記憶體相比 MRAM 更被看好。圖(1-10)是相變化記憶體示意圖[15]，LTO : Low Temperature Oxide、LTN : Low Temperature Nitride，以材料 TiW 作為上電極，TaN 連接下電極作為加熱器，圖(1-10) (a)所示的 Contact Area 作為加熱點是記憶資料的地方，使用的相變化材料是 GeSbTe (GST)，GST 面積大小會影響操作電流的大小，當加熱器加熱使相變化材料熔解，若再結晶成非晶態則所感測到的阻值會較單晶態高，藉此來判斷儲存的資料是”0”or”1”，由圖可以看出相變化記憶體需要較複雜的微影技術，就目前的 CMOS 製程來說應不成問題，目前市面上並無相變化記憶體產品，不過其潛能是不容小覷的。

表(1.1) 各種記憶體(DRAM、SRAM、Flash-NOR Flash-NAND、FRAM、MRAM、PCM)工作參數與特性比較。

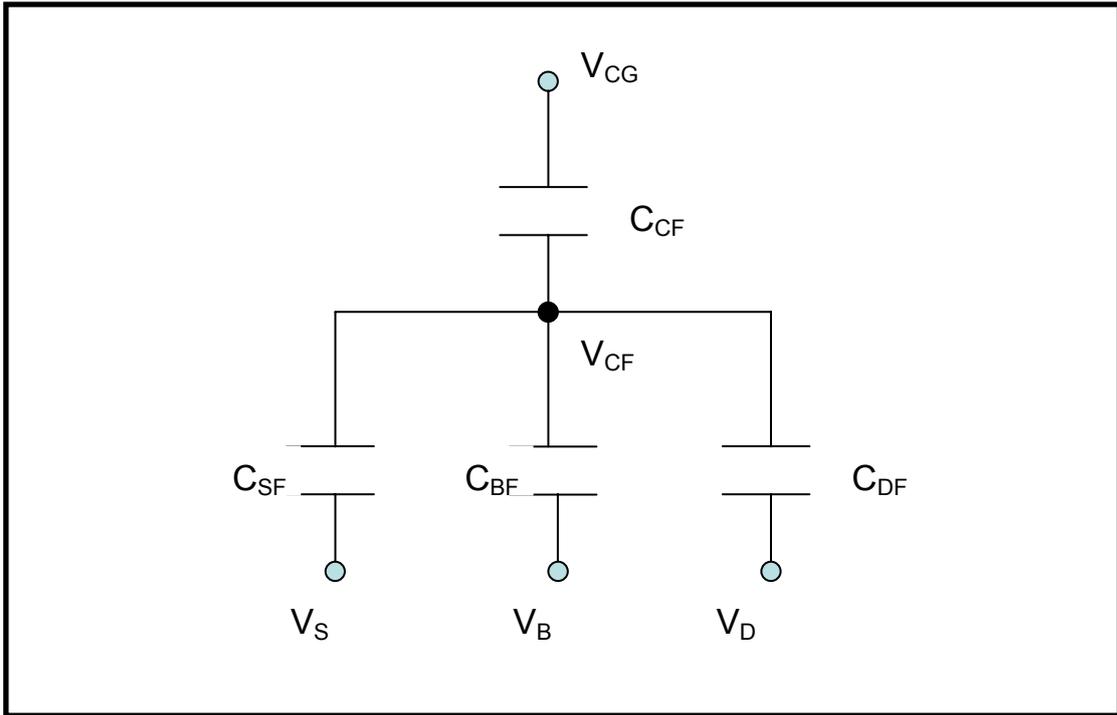
Memory type	DRAM	SRAM	Flash-NOR	Flash-NAND	FRAM	MRAM	Phase change memory
Cell size factor ( $F^2$ )	6~12	90~150	8~10	4	18	10~20	5~8
Largest array built (Mb)			256	2Gb	64	1	4
Volatile/Non-volatile	Volatile	Volatile	NV	NV	NV	NV	NV
Endurance write/read	$\infty / \infty$	$\infty / \infty$	$10^6 / \infty$	$10^6 / \infty$	$10^{12} / 10^{12}$	$10^{14} / \infty$	$10^{12} / \infty$
Read	Destructive	Partially-destructive	Non-destructive	Non-destructive	Destructive	Non-destructive	Non-destructive
Read/Program voltage (V)	~1	~1	2/10	2/18	1.5/1.5	3.3/3.3	0.4/1
Program/Erase/Read speed, ns	50/50/8	8/8/8	1 $\mu$ s/1-100ms (block)/60ns	1ms/1-100ms/60ns	80/80/80	30/30/30	50/50/50
Direct overwrite	Yes	Yes	No	No	Yes	Yes	Yes
Bit/byte Write/Erase	Yes	Yes	Yes	Block erase	Yes	Yes	Yes
Read dynamic range (margin)	100-200mV	100-200mV	Delta current	Delta current	100-200mV	20-40% R	10X-100XR
Programming energy	Medium	Medium	High	Low	Medium	Medium	Low
Transistors	Low performance	High performance	High voltage	High voltage	Low performance	High performance	High performance
CMOS logic compatibility	Bad	Good	Ok, but Hi V needed	Ok, but Hi V needed	Ok, but Hi V needed		Good
New materials	Yes	No	No	No	Yes	Yes	Yes
Scalability limit	Capacitor	6T (4T possible)	Tunnel oxide/HV	Tunnel oxide/HV	Polarizable capacitor	Current density	Lithography
Multi-bit storage	No	No	Yes	Yes	No	No	No
3D potential	No	No	Possible	Possible	?	?	No
SER susceptibility	Yes	Yes	No	No	Yes	No	No
Relative cost per bit	Low	High	Medium	Medium	High	?	Low
Extra mask needed for embedded memory			6-8		2	4	3-4
In production	Yes	yes	Yes	Yes	Yes	2004	N/A



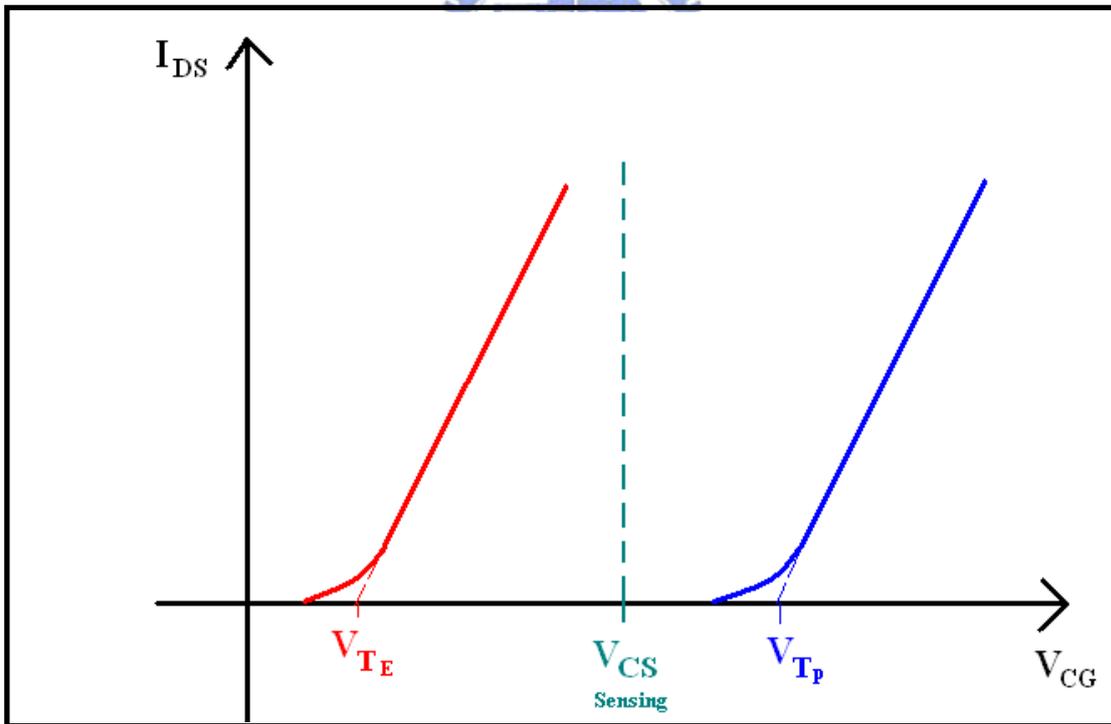
圖(1-1)記憶體樹狀圖。



圖(1-2) 傳統浮動閘非揮發性記憶體薄示意圖，  
浮動閘(Floating Gate)是用來儲存電荷用的。



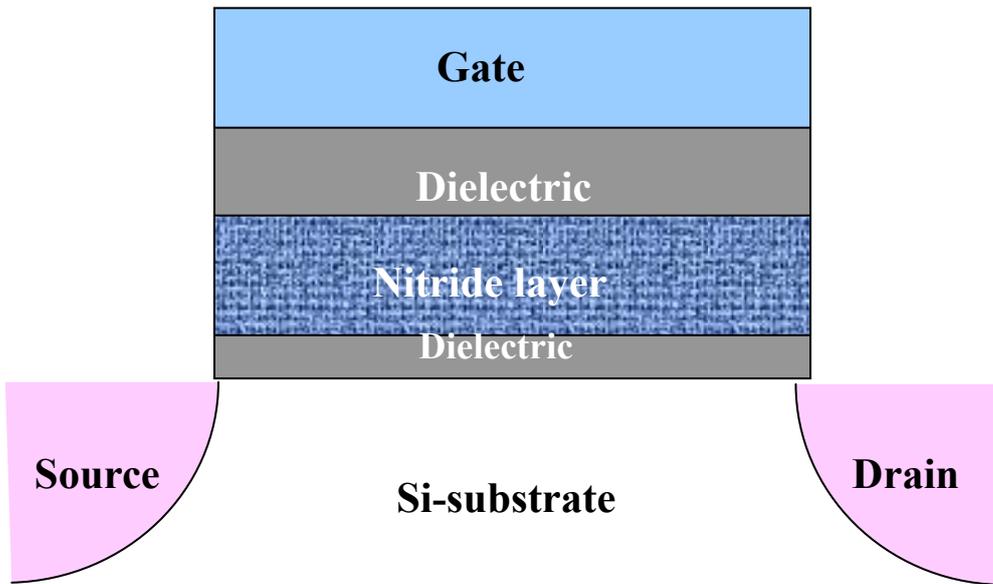
(a) 浮動閘記憶體元件等效電容耦合示意圖。



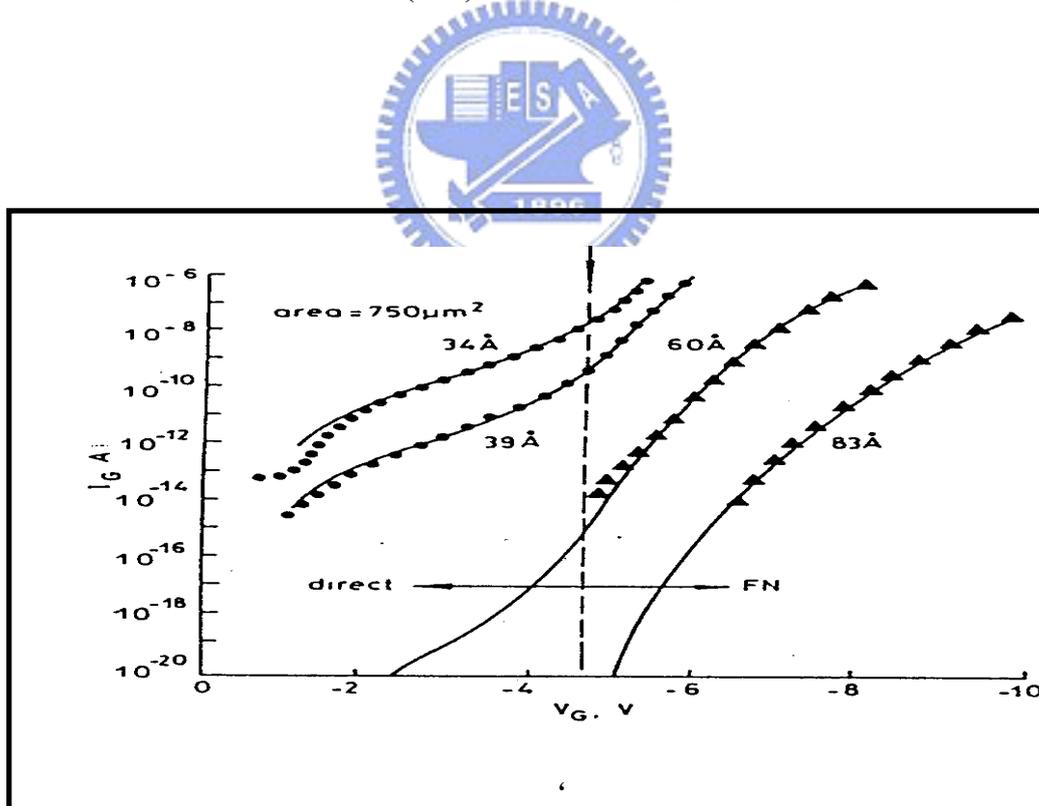
(b) 浮動閘記憶體元件電流感測說明圖。

圖(1-3)(a)浮動閘記憶體元件等效電容耦合示意圖。

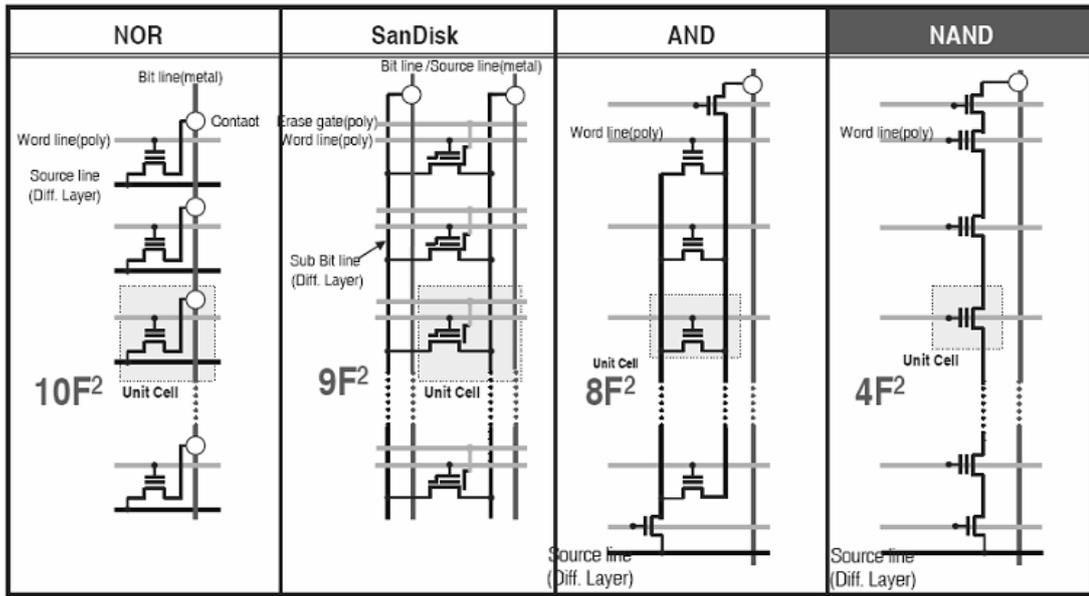
(b)浮動閘記憶體元件電流感測說明圖。



圖(1-4) SONOS 示意圖。

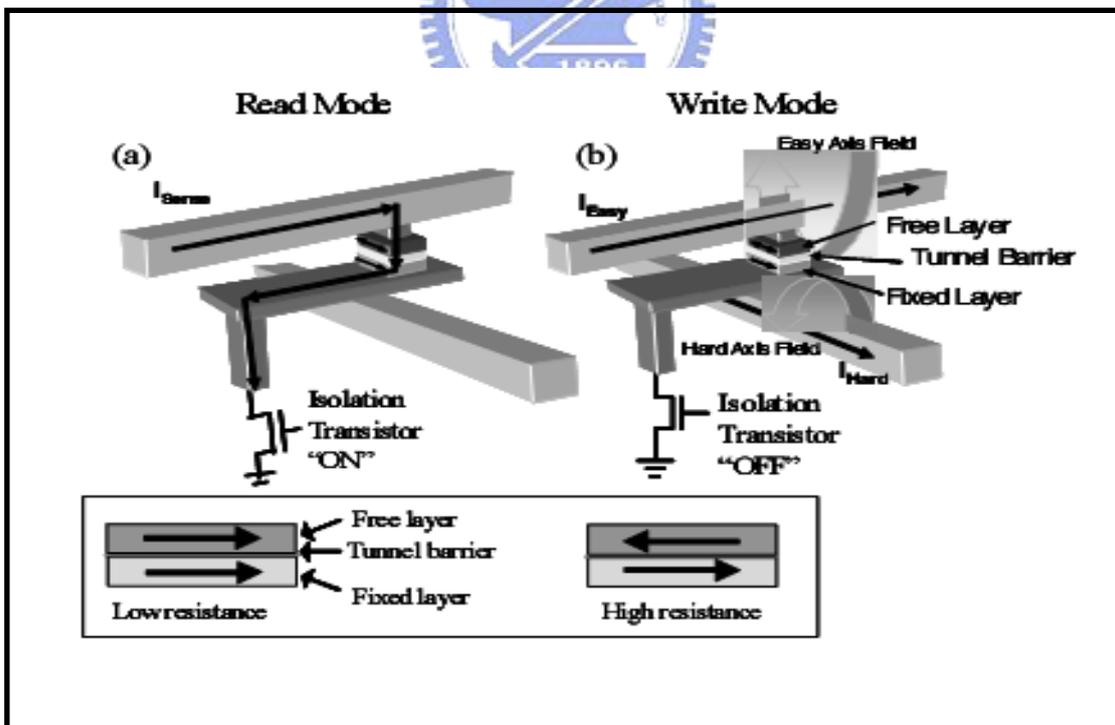


圖(1-5) 閘極偏壓與漏電流方式、大小量測圖。

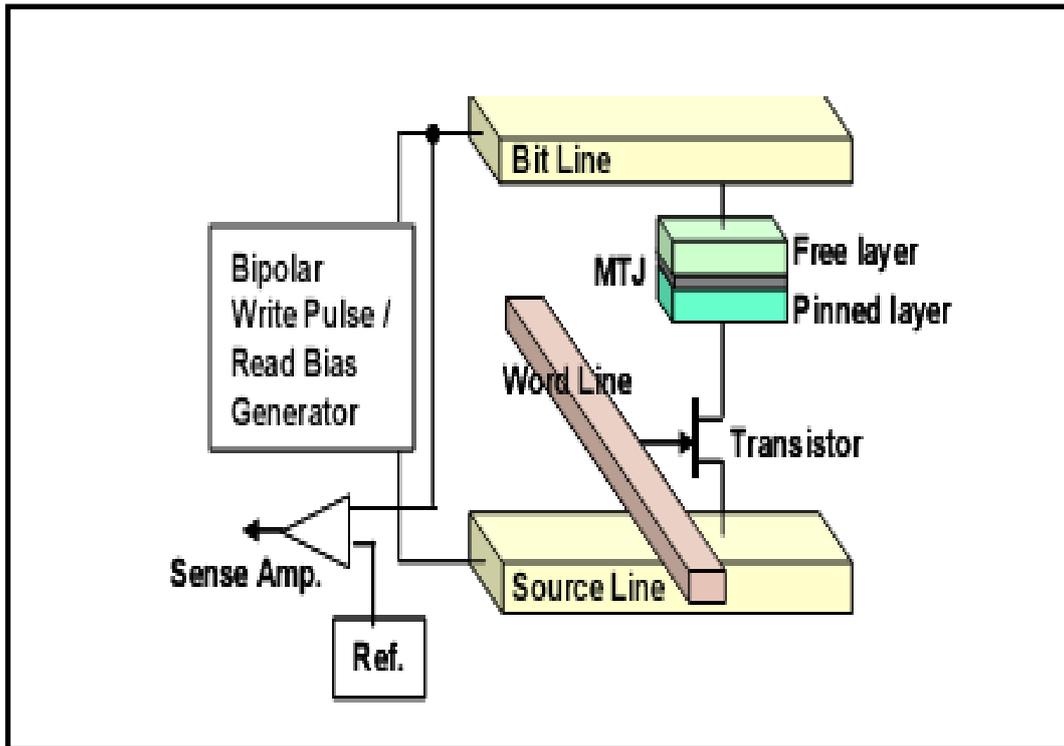


*Simplest wiring*  
*Smallest area*

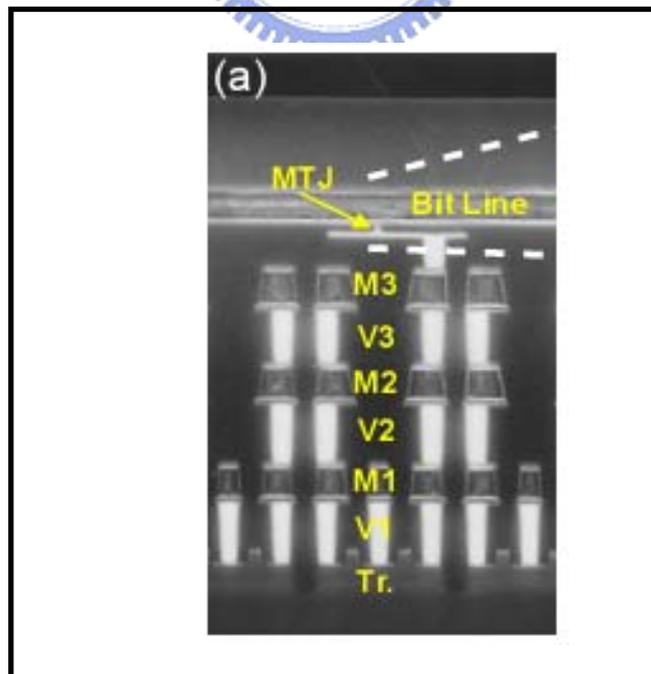
圖(1-6) 不同形式快閃記憶體的連接方式與所佔面積表較。



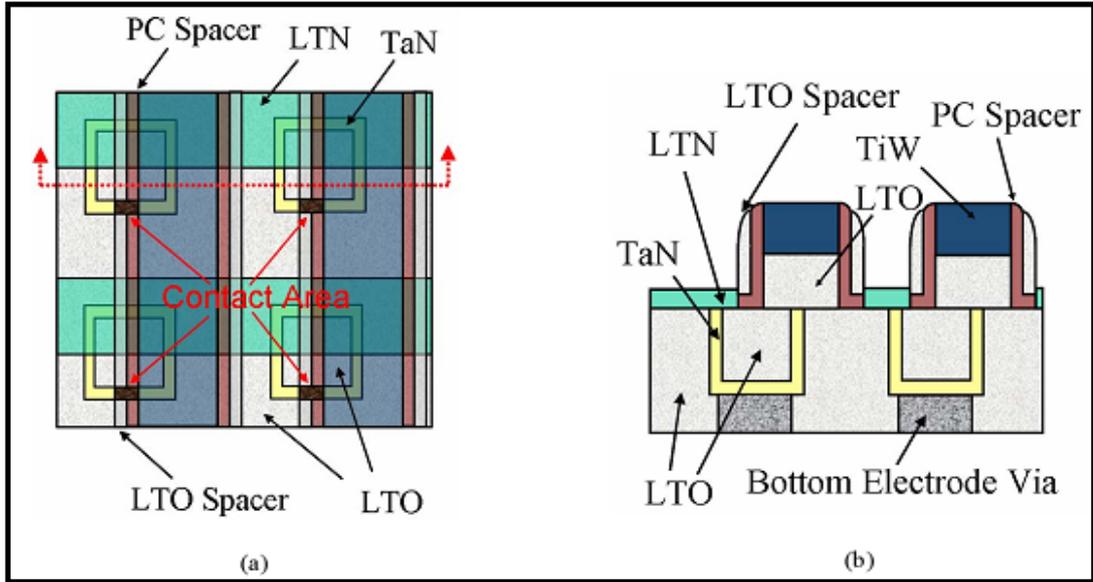
圖(1-7) 場效切換 MRAM 示意圖，(a)讀、(b)寫。



圖(1-8) Spin-RAM 單元示意圖，包含感測電路(左方)。



圖(1-9)SEM 切面圖，使用 4 層金屬的 0.18umCMOS 製程。



圖(1-10) PCM 示意圖(a)俯視圖 (b)切面圖。



## 第二章 SONOS 的工作方式、原理與特性

### 2-1 前言- 簡介 SONOS 的工作方式、原理與特性

簡單來說，SONOS 與 Floating gate 記憶體只有儲存電荷層的材料不同，因儲存電荷的材料不同所表現出不同的儲存方式，其餘的特性討論可說是大同小異，對一個 SONOS 而言，常以以下幾點來說明判斷它的好壞及特性，1.寫入/抹除的工作方式及所需要的時間、2.資料可儲存且不需重新寫入最長時間(Retention)、3.記憶體元件可操作的次數(Endurance)、4.元件間工作時的互相影響(Disturbance)、5.穿隧層的可靠度、6.其他(如:微縮化限度、製作繁複度、價錢...)。

除了一開始提出的 SONOS 記憶體原型，人們不斷的研究儲存電層及穿隧層...等等，而演化出不同形式的 SONOS 記憶體，諸如:奈米點儲存非揮發記憶體(Nanocrystal Nonvolatile Memory)[16]、氮化矽氮含量調變非揮發記憶體(Tapered Bandgap Nitride Layer Nonvolatile Memory)[17]及穿隧層能帶調控非揮發記憶體(Bandgap Engineered SONOS)[18]...包羅萬象。

### 2-2 寫入/抹除的工作方式(Program/Erase mode)

寫入/抹除的方式以四種來做介紹，Channel Hot-Electron injection(CHE)、Fowler-Nordheim tunneling(FN tunneling)、Band To Band Tunneling(BTBT)、Modified Fowler-Nordheim tunneling(MFN)。

## 2-2.1 Channel Hot-Electron injection

Channel Hot-Electron injection(CHE)是目前最常用的寫入方法之一(圖(2-1)(a)為其能帶圖)，是將電子注入到電荷儲存層中，然後元件的臨界電壓( $V_{th}$ )就會變大，偏壓模式是使用相當大正脈波同時加注在閘極端與汲極端(ex. $V_G=V_D=6V$ )，如此會使記憶體元件形成導通電流，電子載子就會有一定的能量，且閘極電壓相對於汲極電壓是正電壓，藉由正電壓的吸引，擁有足夠大能量的電子載子就會穿過穿隧氧化層跑到電荷儲存層中(圖(2-2))，所以水平電場大小會影響電子的能量，在相同偏壓之下長通道的元件的電子動能就會比短通道低，所以寫入速度較慢(圖(2-3))[3]。通道中的電子流會撞擊出電子電洞對，絕大部分的電洞會流向基極而形成電洞電流，圖(2-4)[19]是用 N-channel MOSFET 模擬快閃記憶體寫入所量得的閘極電流( $I_G$ )與基極電流( $I_{SUB}$ )，寫入效率通常以  $I_G/I_D$  表示，較客觀的表示為  $I_G/I_{SUB}$  (collection efficiency)， $I_G/I_{SUB}$  可說明到底有足夠能量熱電子中有多少被注入到電荷儲存層中，當前  $I_G/I_D = 10^{-9}$ 、 $I_G/I_{SUB} \leq 10^{-3}$ 。一般來說，在記憶體單元裡閘極是接在 Word Line、汲極是接在 Bit Line，而且是多個記憶體元件使用同一條 line，雖然只會選擇一個元件來做寫入，在同一條 line 上的元件則被 Half-Select(只有閘極獲汲極被偏壓)，但也會影響元件可靠度，在其後將簡略說明，

## 2-2.2 Fowler-Nordheim tunneling(FN)

Fowler-Nordheim tunneling(FN tunneling)情形如同圖(2-1)(b)所示，通常是汲極/源極/基極零偏壓，控制閘極加大正電壓，促使氧化層能帶偏移，如此矽基板的“冷“電子所看到的能障就比較窄，受到大電場的吸引就會穿隧過穿隧氧化層到達儲存層，通常電場要在 10MV/cm 以上才易發生 FN tunneling(圖(2-5))[3][20]，會何稱作“冷“電子，不同於 CHE Injection 的電子是經過加速而累積相當能量，所以把 FN tunneling 的穿隧電子稱作冷電子。

## 2-2.3 Band To Band Tunneling(BTBT)(抹除)

Band To Band Tunneling Hot Hole(BTBTHH)，由於 SONOS 是電子被捕捉在 SiN 中，很難完全把儲存層中的儲存電子排除，所以使用 BTBTHH 把電洞注入到儲存層中把電子復合掉(for P-type sub. Nonvolatile memory)，來達到抹除效果，作用時 VG 為負電壓、VD 為正電壓，使的汲極端靠近穿隧層的能帶向上很大的彎曲

(圖(2-6)(a))，Band to Band 的 gap 變窄，電子易從  $E_V$  穿隧道  $E_C$ ，就留下一個電洞，電洞就受到電場牽引往能帶下跨過能障，穿隧到達儲存層與電子復合，因為是 Hot Hole 所以對穿隧層的傷害會比電子穿隧大一些，且 Hole 較易被  $\text{SiO}_2$  捕捉住，圖(2-6)(b)以簡單的圖示來說明 BTBTHH 如何達到抹除的效果。當然也有 BTBT Hot Electron (BTBTHE)，BTBTHE 通常是使用

在 N-type substrate 記憶體元件。

#### 2-2.4 Modified Fowler-Nordheim tunneling(MFN)

Modified Fowler-Nordheim tunneling 與傳統的 FN tunneling 工作模式差不多，只是 MFN 載子電荷儲存的位子離穿隧層-儲存層介面遠一點，MFN 所需要的電場強度比 FN 來的小所施加的偏壓小於 10V(視氧化層厚度調整)，所以有很多研究朝此而來，因為一般電路所提供的電壓都不大，所以 Flash memory 需要升壓電路，如果要的電壓愈大，升壓電路就要愈大所佔晶片面積就大，如果將邏輯電路跟 Flash memory 整合在同一晶片上，邏輯電路就要對 Flash 的高電壓作防護電路避免邏輯電路的誤動作。



#### 2-2.5 寫入/抹除時間(Program/Erase speed)

寫入/抹除時間當然是愈短愈好，不同的工作方式所需要花費的時間不同，以 CHE-injection 來說 FN-electron injection 比較，效率是 FN 比較高，但偏壓方式、大小不同所產生的總載子數會不同，一般來說 CHE 所產生的總載子數目級很大，總載子數乘於效率會比 FN 來的多，所以速度會是 CHE-injection 較快，但 CHE-injection 功率消耗較高，以 NOR-Flash 來說 1us 的寫入速度才被接受(視製程而定)，因為抹除是一整個區塊(包含很多記憶體元件)，表(1-1)記載要 100ms，每個元件平均起來只需 60ns，穿隧氧化層

的厚度也是一個關鍵，想當然而愈厚穿遂層載子就比較不容易穿越。

### 2-3 資料儲存時間(Retention)[3]

Flash memory 既然是非揮發記憶體，那吾人希望資料可以永久儲存在記憶體中，目前來說永遠是不可能的，但對於使用習慣來說，十年算是很長了，應該不會有人一首歌存在 MP3 中整整十年都不變動它(或許真的)。所以儲存在電荷捕捉層的電荷漏掉是愈少愈好，但在寫入/抹除過程當中高電壓、電場的作用(stress)與載子穿隧都會劣化穿隧氧化層，進而使穿隧氧化層產生漏電路徑，任何一條漏電路徑都會使對浮動閘記憶體儲存(載子在浮動閘中視為可自由移動)的資料遺失，因氮化矽記憶體(SONOS)電荷儲存是有地區性的，影響就會比浮動閘記憶體小很多，除了工作使穿遂氧化層劣化之外，穿隧氧化層的品質、厚度及電荷在電荷捕捉電荷層(Trap layer)的深淺都會影響資料儲存的能力。在檢測元件的 Retention 時通常把元件操作在更惡劣的環境來愈其他在正常工作、一般環境之下能夠符合預期，一般來說是加諸更大電場或提高環境溫度。

### 2-4 元件可操作次數(Endurance)

目前可操作次數最低要求是  $10^6$  次的寫入/抹除，除了穿遂層本身的品質，元件在操作的工程當中對穿遂層來說就是一種傷害，且不同的工作方式就會有不同程度堅的傷害，圖(2-7)顯示出 endurance 的量測表現及穿遂層

的傷害情形[3][21]，可以看出，隨著操作次數的增加寫入/抹除間的臨界電壓差就會縮小，圖(2-6)右邊小圖中， $\ominus$  代表是由  $V_G \sim V_D$  的工作方式所造成的介面狀態(interface state)， $\oplus$  表示是由  $V_G \sim 1/2V_D$  的工作方式所造成的介面狀態(interface state)，這些地方會在工作時捕捉載子或釋出載子， $\ominus$  表示被穿遂層捕捉到電子且幾乎永遠存在，以上三種情況會在寫入時減少電子從汲極端穿隧道到浮動閘(或電荷捕捉層)的量、或減少從浮動閘(或電荷捕捉層)穿遂回基板端的量(此圖為源極端抹除)，也就是說寫入時臨界電壓會變小、抹除時臨界電壓會變大，寫入/抹除臨界電壓差亦被稱之為 Window，Window 愈大表示特性愈好，且 Window 愈大的話可以做 multi-level 的應用，可以以控制工作電壓或時間，使寫入的臨界電壓分別坐落在 Window 中的不同層級上，為了維持穩定的可靠度，不同大小的臨界電壓之間需要有相當的區隔才行，就 SONOS 來說，除了不同臨界電壓大小之外，汲極端或源極端寫入也可以作為 multi bits/per cell 的應用[22]。

## 2-5 元件間工作時的互相影響(Disturbance)

依工作方式可分為 Programming Disturbs、Erasing Disturbs、Reading Disturbs，依施加偏壓的位子可稱為，Gate Disturbs 與 Drain Disturbs，記憶體元件是以陣列(array)方式組合的，一條 WL(Word Line)或 BL(Bit Line)連接著很多元件，所以某一元件在工作時，同一陣列上的元件有的只有 WL 或 BL 被偏壓到，也就是施加偏壓在閘極或汲極上，就會有一個電場及使能

帶偏移，雖然強度不強，載子也是有可能因此而產生移動。Reading Disturb 通常發生在 Erasing State 的元件，因為通道會產生、電子會被加速形成熱電子，加上閘極正電壓的吸引多少會有電子穿隧到電荷捕捉層(或浮動閘)，使原本臨界電壓發生偏移；圖(2-8)圖示說明 Programming Disturbs[3]，圖(2-8) (a)又稱為 Gate Disturbs，被選擇來寫入的元件是 B，但同為一條 WL 上，所以元件 A 控制閘極也被施加了大電壓，A 原本就是寫入的狀態，在浮動閘的電子載子受到控制閘極正電壓的吸引，有可能穿越阻擋氧化層 (Blocking Oxide)到達控制閘極，而使 A 的臨界電壓發生變化；相同的在圖(2-8) (b)中，基板的電子有可能移動到 C 浮動閘中，使其臨界電壓變高；圖(2-8) (c) 可稱為 Drain Disturbs，在類似的模式之下 C 的臨界電壓也會受到影響。當臨界電壓發生變化，判讀出來的資料可能就與原先的不同，所以對 Disturbs 的防護力也是相當重要的。

## 2-6 穿隧層的可靠度

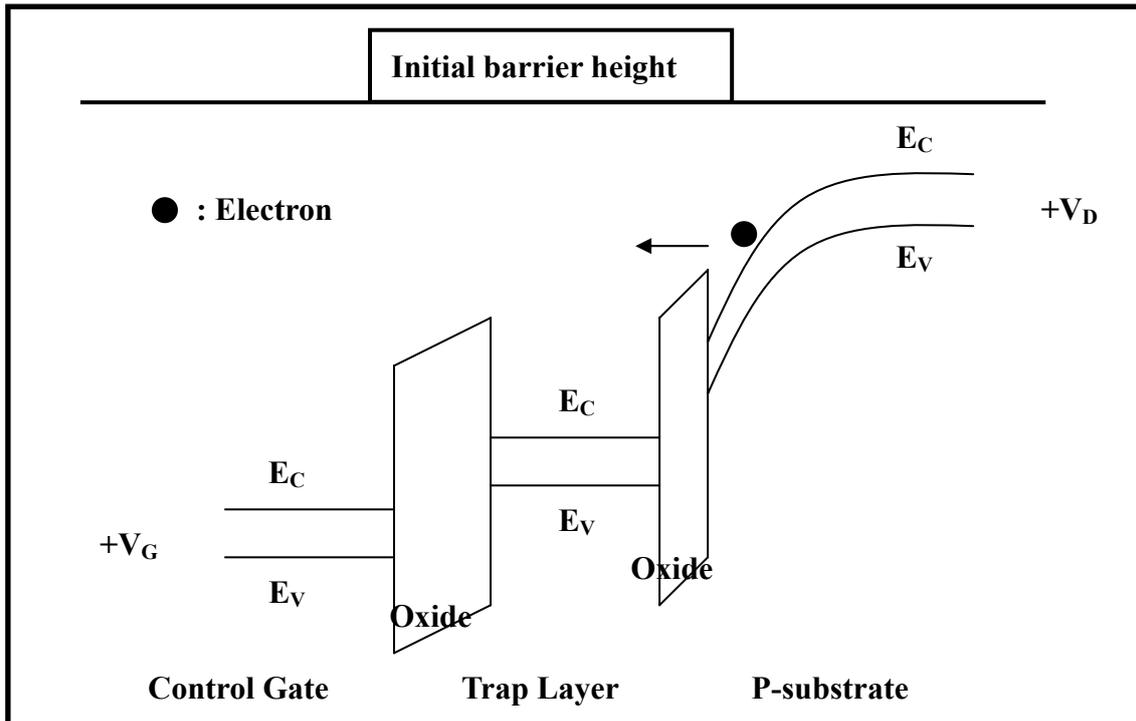
穿隧層有兩個目的，一是讓載子能夠輕易穿越，其二是阻擋應該在電荷捕捉層或是在基板的載子不要穿越到另一方去，愈薄的穿隧層會有較快的寫入\抹除速度，但資料就比較容易遺失，需視情況來做調整，若是穿隧層本身就有些缺陷或是寫入\抹除造成的缺陷，使電子被永久的捕捉在穿隧層中，即元件的可操作次數很少，以上缺點都是不實用的元件，所以很多

研究都是跟穿隧層有關，本篇論文主要目的也是在於穿隧層上的研究。

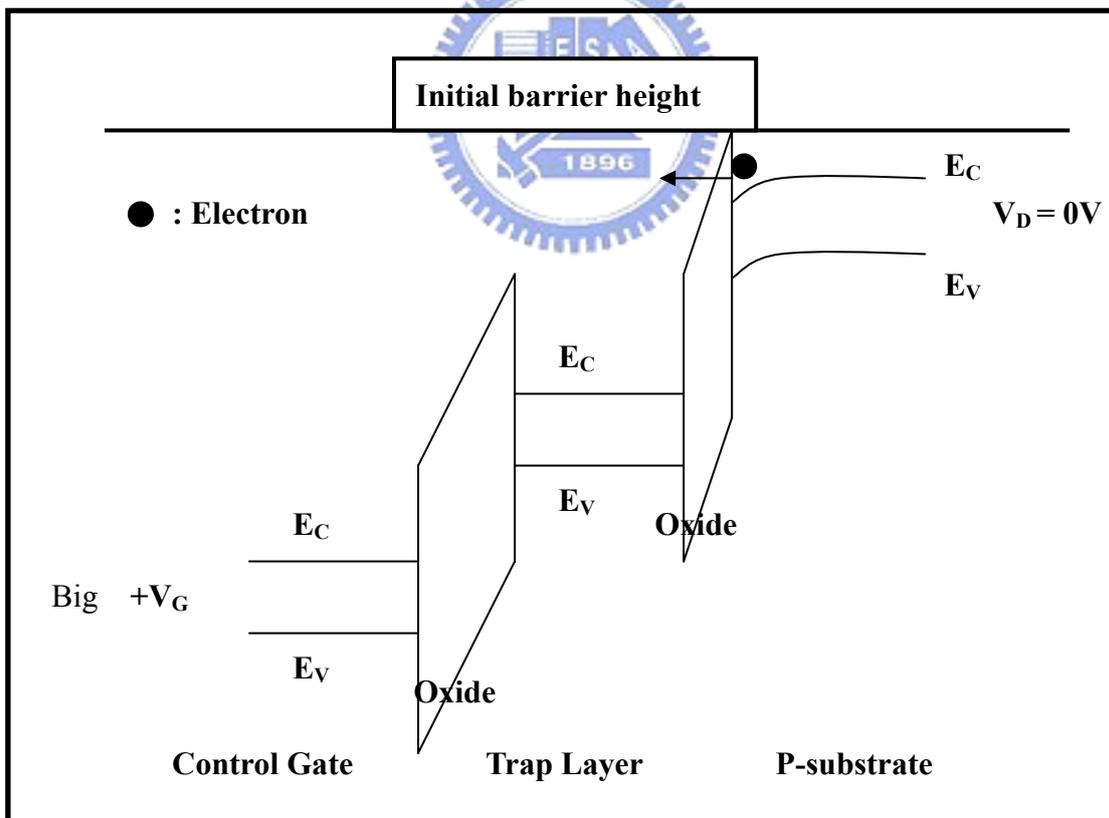
## 2-7 其他(如:微縮化限度、製作繁複度、價錢…)

記憶體元件的形式、製作千變萬化，有的浮動閘要牛角形、有的是在製作過程中要調控氣體流量、有的原來是一層變成要長三層、有的是在電路設計上做改善，每一種所達到的目不盡相同，所衍生出來的成本亦有所差異。目前主流的快閃記憶體是浮動閘記憶體，就存在非常大的微縮化問題，所以有可能被 SONOS 取代，但如果 MRAM 或 PCM 技術能快速成熟及價錢便宜，很有可能跳過 SONOS 技術。



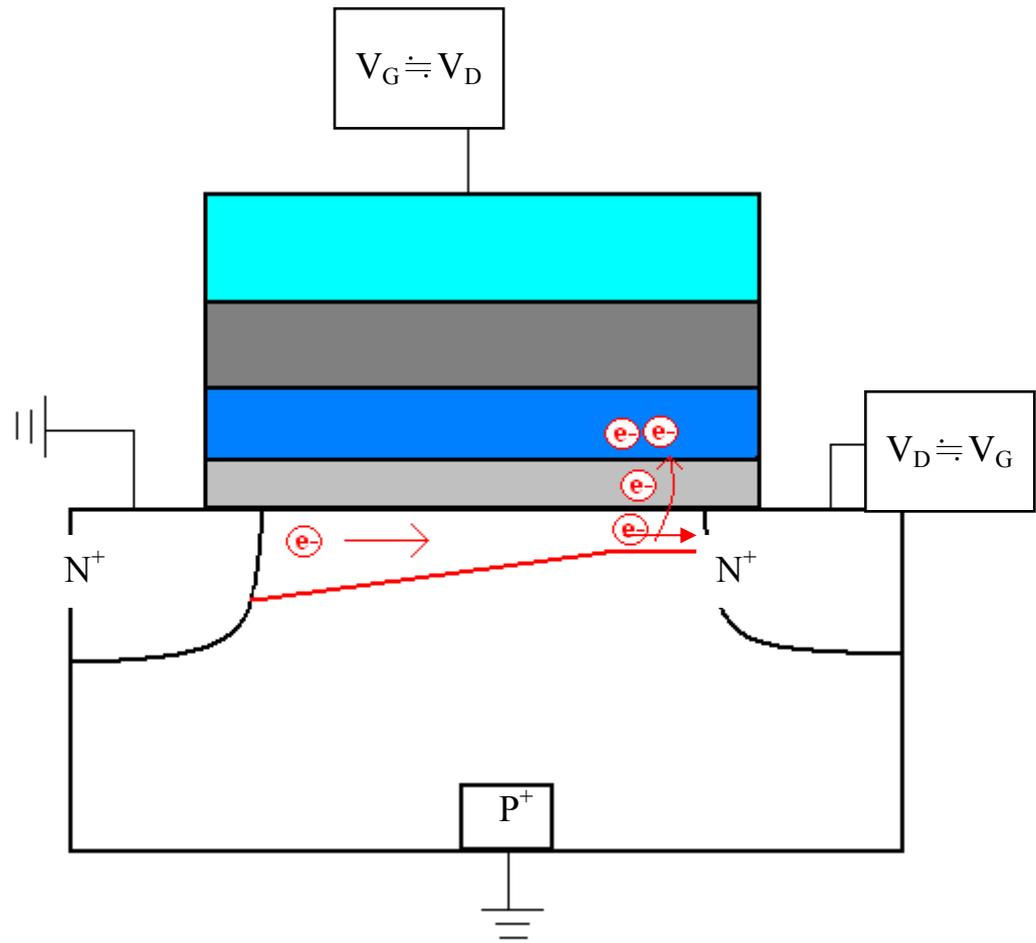


(a) CHE Injection.

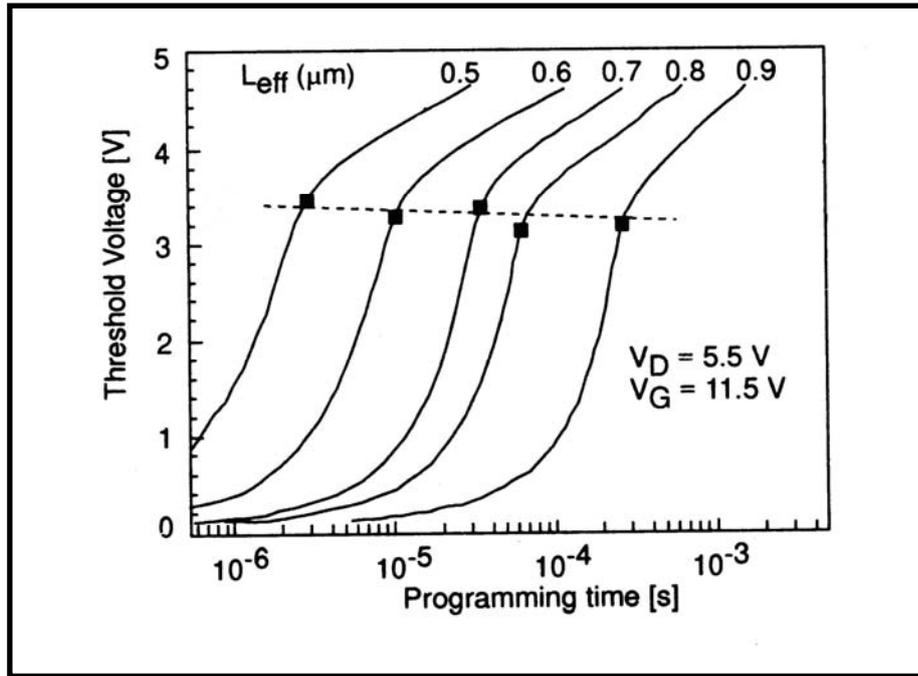


(b) FN tunneling.

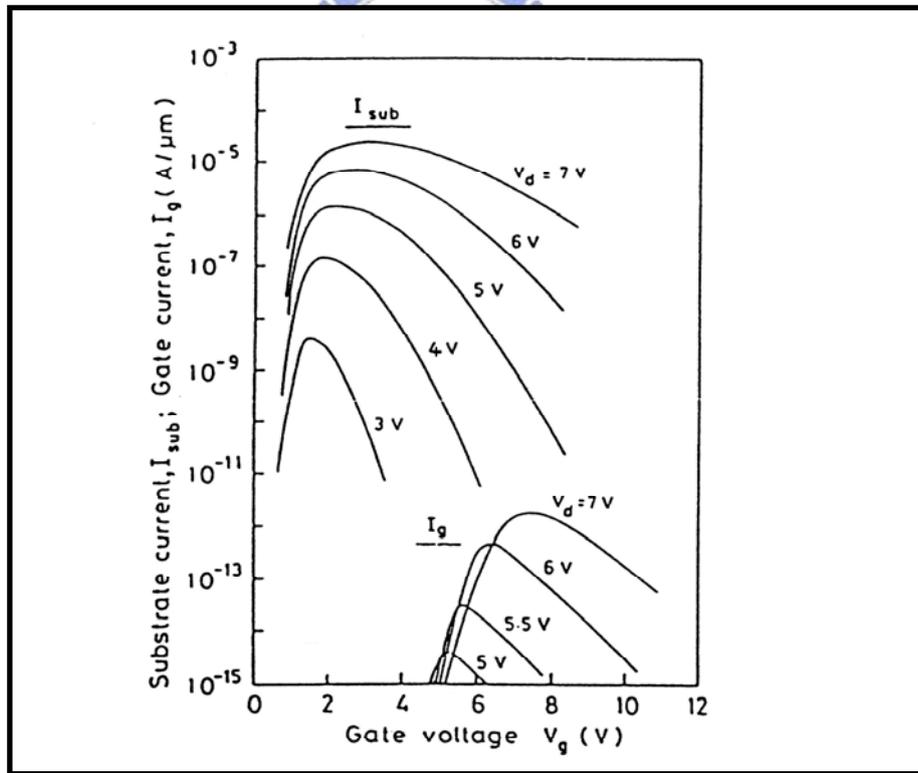
圖(2-1) 電子穿隧能帶圖。



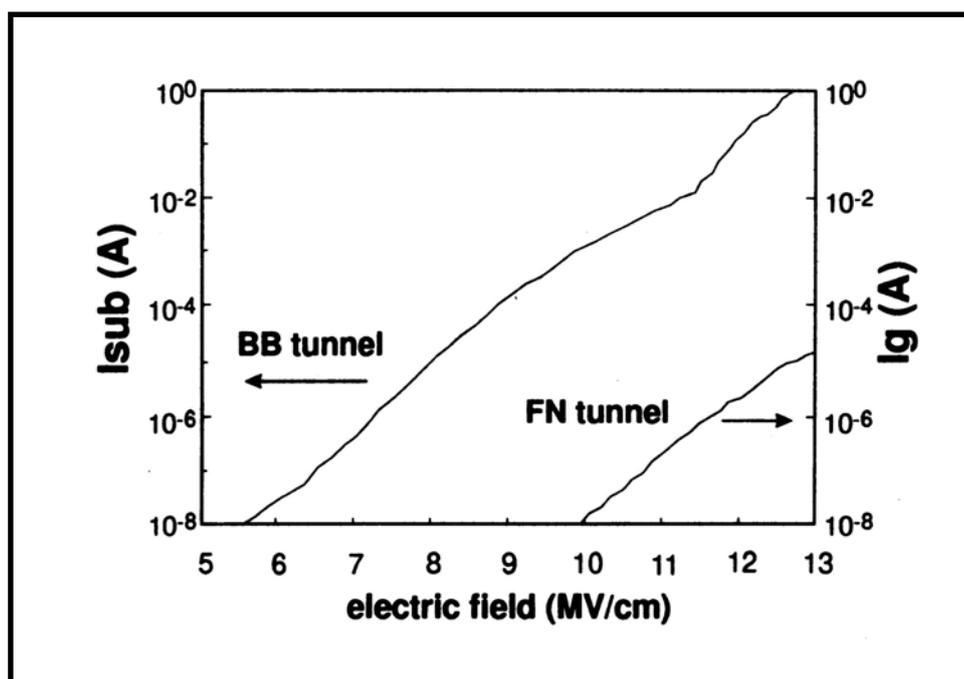
圖(2-2)Channel Hot-Electron injection 示意圖。  
(電子被注入 Trap layer)



圖(2-3) 寫入速度與通道長度關係。

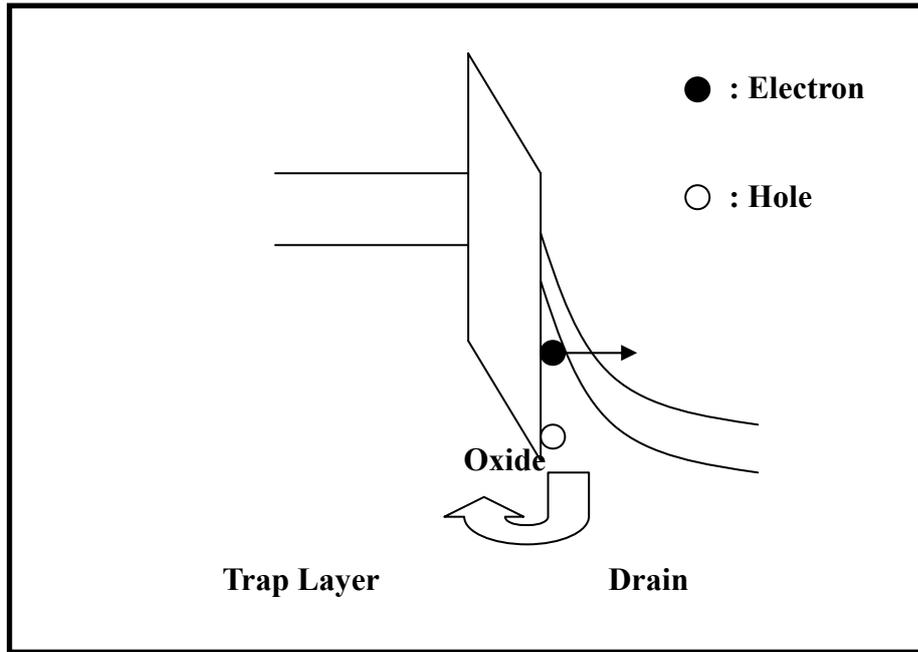


圖(2-4)N-channel MOSFET 模擬寫入之間極與基極電流比較圖。

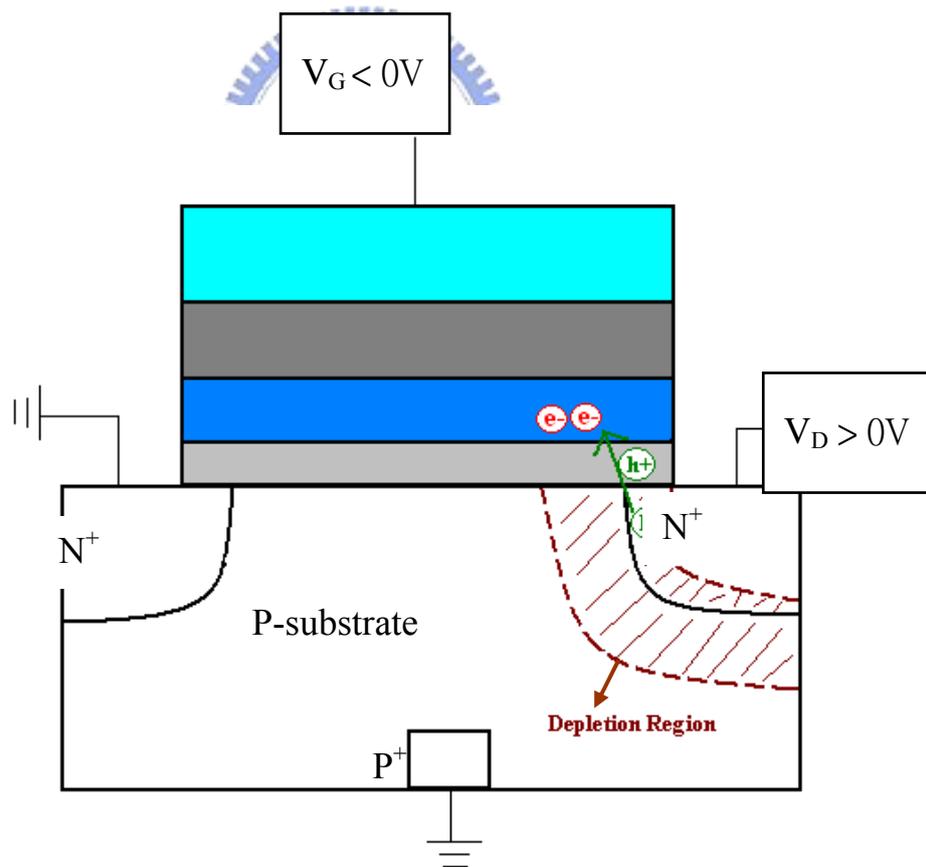


圖(2-5)電場強度與穿隧電流關係圖。



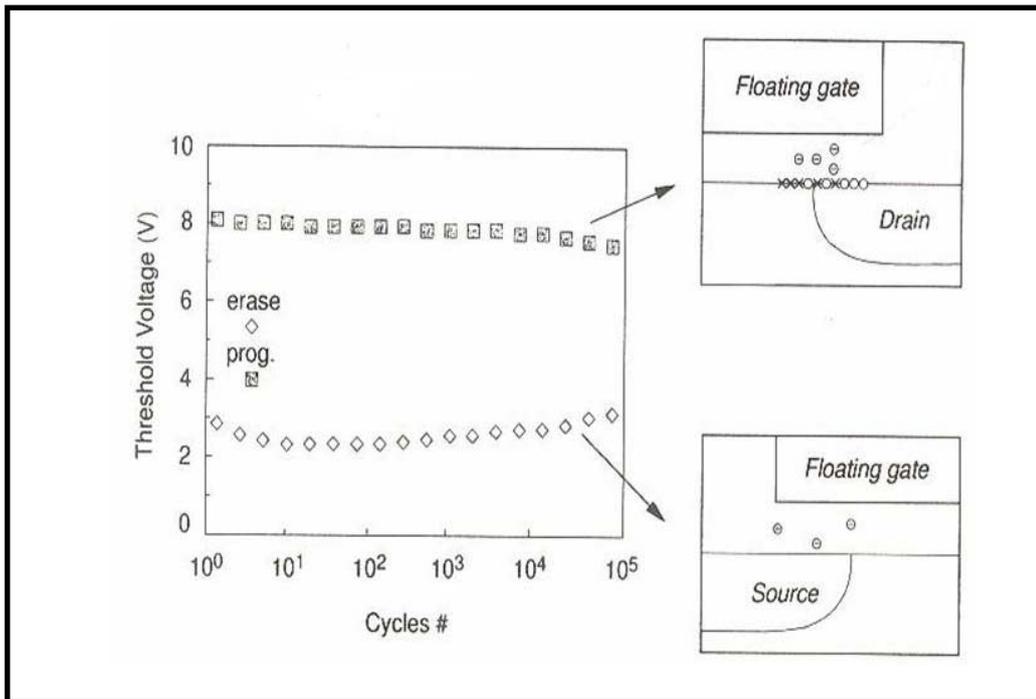


(a) BTBTHH 能帶圖。

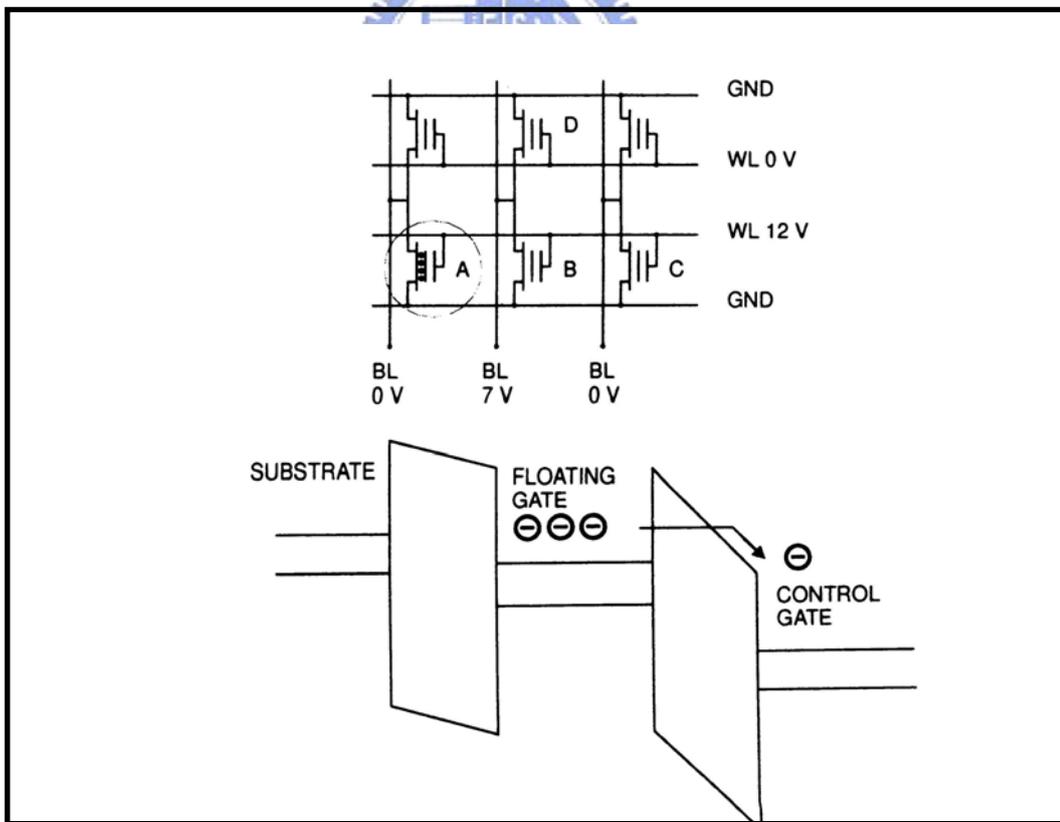


(b) BTBTHH 抹除示意圖。

圖(2-6) Band To Band Tunneling Hot Hole.

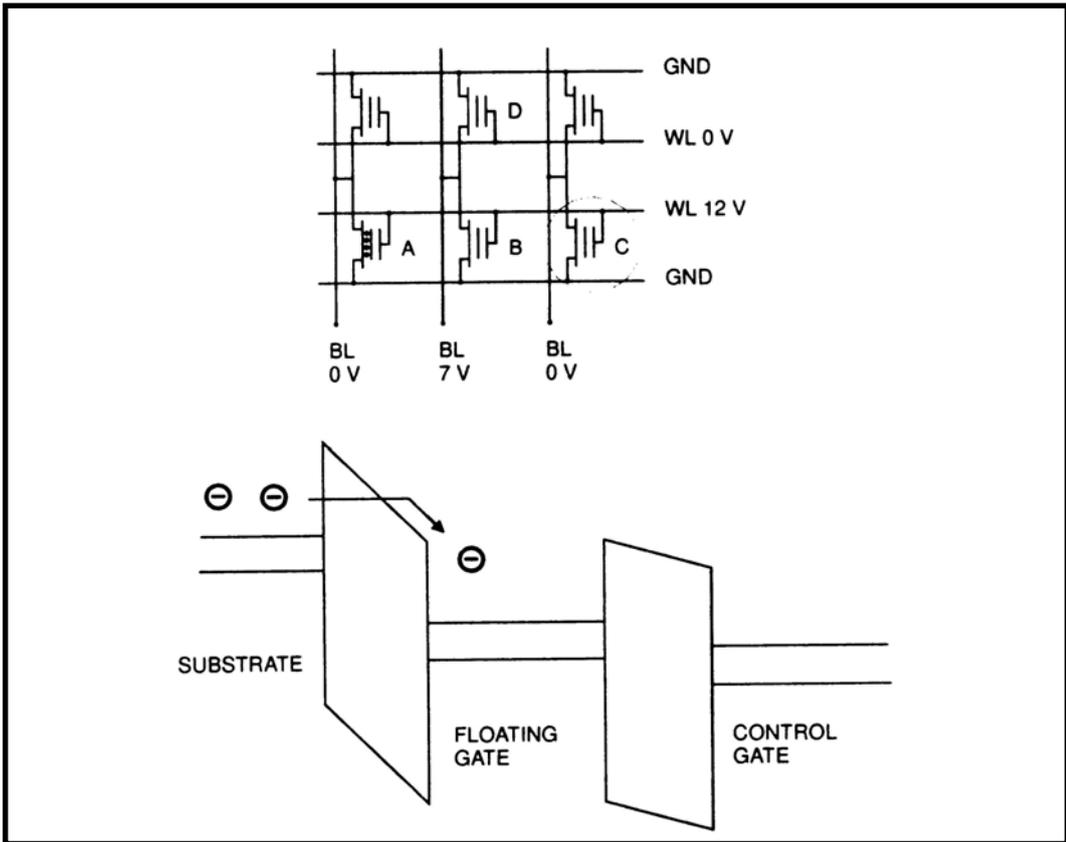


圖(2-7) 量測結果及穿遂層的傷害情形、種類。

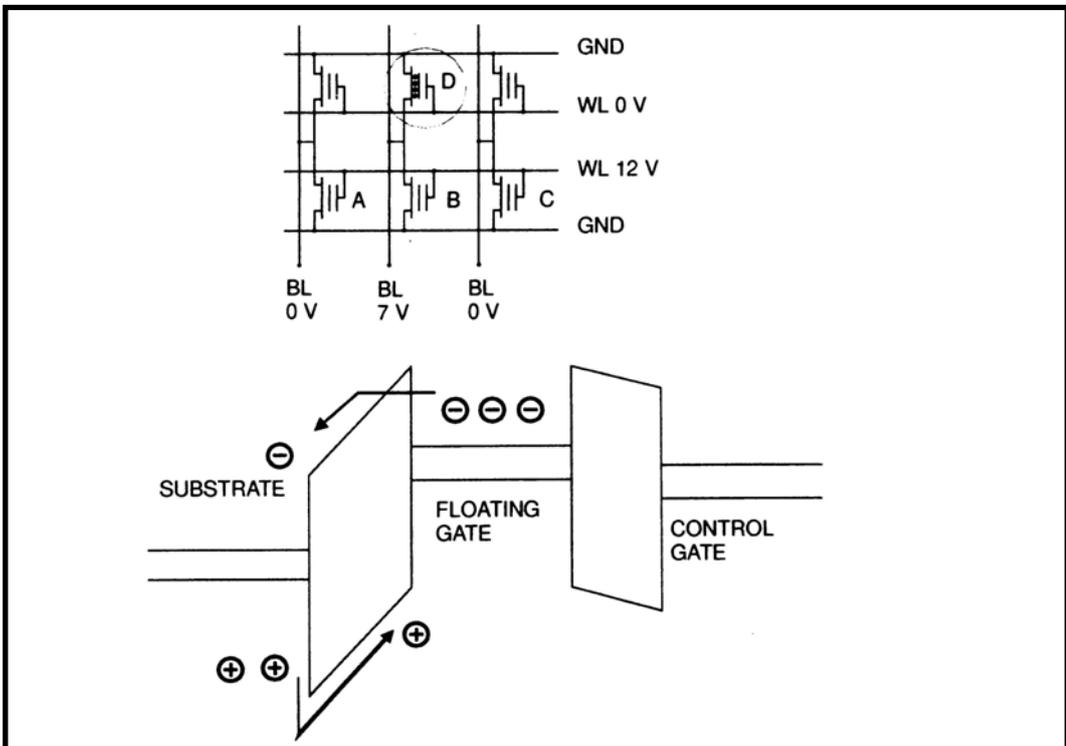


(a) Programming Disturbs (Gate Disturbs).

圖(2-8) Programming Disturbs 示意圖。



(b) Programming Disturbs (Gate Disturbs).



(c) Programming Disturbs (Drain Disturbs).

圖(2-8) Programming Disturbs 示意圖。

## 第三章 實驗內容與特性分析

### 3-1 前言

本實驗是使用國家奈米實驗室(NDL)的機台完成，於本實驗室、雷添福老師實驗室及電子所計測實驗室量測電性。除了簡單說明實驗過程及電性分析之外，也會在最後章節提到實驗、量測過程中所遇到的問題，我想實驗結果是重要的，實驗過程中遇到的問題，然後去探討問題也是非常重要的一個經驗，對以後的再研究、工作一定非常有幫助，或許有機會看到此篇的人可以從中獲得實驗技巧，事半功倍，也算功德一件。

就如同摘要所提到的，本實驗目的是改善 SONOS(氮化矽非揮發記憶體)的資料儲存時間(Retention)及可操作次數(Endurance)，在經過多方面的量測之後發現確實有不同程度的改善，令人欣喜。整個流程下來一定有些美中不足的地方，將會做些說明，以利接續的人再研究再求證。

### 3-2 實驗內容

本實驗使用 6 吋 P-type wafer，先經過 LOCOS 製程定義出元件區(使用簡昭欣 博士光罩組)，先經過室溫雙氧水氧化 20 分鐘，再經過 780°C 通 NH<sub>3</sub> 氮化 14 分鐘，再經過 923°C 乾式氧化，就完成了穿隧層；再疊一層 NH<sub>3</sub> 與 SiH<sub>2</sub>Cl<sub>2</sub> 經過 780°C 化合而成的 Si<sub>3</sub>N<sub>4</sub> 作為電荷捕捉層(電荷儲存層)，再疊上 100Å 的 TEOS Oxide 再乾氧緻密化(densify)，然後疊上 611°C、2000Å Poly Gate，經過繁複的步驟之後，鍍上鋁-矽-銅(Al-Si-Cu)，蝕刻出金屬電極之

後，就完成了實驗，簡略的實驗流程如表(3-1)，圖(3-1)即完成的元件示意圖。

電性量測使用 HP 系統 4156C 及 41501A 脈波產生器，使用 ICS 界面，一開始會量不同區域元件的  $I_D$ - $V_G$ 、 $I_D$ - $V_D$  圖(3-2)確定元件確實可作用，再來就是確定可以完成寫入\抹除的動作圖(3-3)即兩者臨界電壓的差可開多大，在以  $I_D = 10^{-6}A$  為準的情況下至少差為 1.8V，大於抹除態的臨界電壓 2 倍之多，已足以分辨兩者之不同，電性量測結果將在下節作分析說明。

### 3-3 電性分析

$V_{th}$  是取使  $I_D$  電流為  $10^{-6}A$  的  $V_G$  值；讀取時  $V_D = 0.1V$ ，讀取的  $V_G$  則視當時所預估的  $V_{th}$  來調整，盡可能減少在讀取時發生的寫入\抹除現象，例如：評估寫入後  $V_{th} = 3$  時，則將讀取電壓設定在  $V_G = 2\sim 4V$ ，而不是  $V_G = 0\sim 4V$ 。

#### 3-3.1 寫入\抹除參數定量量測、比較

圖(3-4)，為寫入電壓與時間關係圖(Program speed)，(3-4) (a)是以  $V_G = V_D$  的偏壓方式來寫入，熱電子能量與水平電場有關，等同於電子是否能穿隧到電荷捕捉層中與水平電場有關也與閘極正電壓的吸引力有關，由圖(3-4)可以看出當增加  $V_G$  或  $V_D$  偏壓時，寫入速度就會加快，但請注意圖(3-4) (c) 圓圈標示，當  $V_D$  比  $V_G$  還大時，寫入速度就不一定比較快或沒有明顯差距，

是因為 CHE 同時受到  $V_G$  與  $V_D$  的吸引，所以當  $V_D$  增大水平電場增加，相對的對 CHE 的吸引也變大所以寫入速度就可能下降，使用相同的  $V_G$ 、調變  $V_D$ (不比  $V_G$  大為原則)，可以看出當  $V_D$  愈大表示水平電場愈大，相同時間下臨界電壓偏移( $V_{th}$  shift)會比較大，同理在固定電壓下不同的通道長度 [23]，如圖(3-5)(a)所示，比較圖(3-5)(a)與圖(3-5)(b)，圖(3-5)(b)是  $V_G = V_D$  下量測不同通道長度的結果，在通道長度  $0.4\mu m \sim 0.9\mu m$  結果完全相反，推測是通道長度雖然電場會較小，但是電子能量是經過電場及電場所作用的距離加乘關係，所以造成此結果。選擇寫入  $V_G = V_D = 7.6V$ 、

$T = 0.01$  秒，就會有至少  $1.5V$  的臨界電壓偏移，已足夠是記憶體元件做可靠的”0”、”1”判別。



圖(3-6)為抹除速度量測結果，當偏壓差愈大時能帶偏移就愈大，更多的電子跑到傳導帶就產生更多的電洞，就會有較多的正電荷被牽引到電荷儲存層與電子中和，所以抹除速度較快，圖(3-6)(a)是固定  $V_G$ 、改變  $V_D$  的量測結果， $V_D$  小表示汲極端能帶偏移扭曲程度較小(參考圖(2-6)(a))，從價帶跑到傳導帶的電子愈少，即所產生的電洞愈少，所以被閘極牽引跑到電荷捕捉層的電洞也愈少，抹除速度就愈慢，圖中藍色曲線為  $V_G = -7V$ 、 $V_D = 7V$ ，在抹除時間  $0.001 \sim 0.01$  秒之間有飽和的現象發生，這對元件的操作是好的，假如把抹除時間設定在  $0.001$  秒，因為元件製作完成的特性不會完全相同，那麼可能有的元件無法被抹除，若把時間定在  $0.01$  或  $0.1$  秒，則會

有較充足的時間來抹除，且在抹除之後元件的臨界電壓也可在合理的區域之內；圖(3-6)(b)是使取相同的偏壓值和、去改變  $V_G$ 、 $V_D$  值，發現抹除速度  $V_G = -7V$ 、 $V_D = 3V$  比  $V_G = -3V$ 、 $V_D = 7V$  來的慢很多，表示汲極端的能帶偏移扭曲為抹除速度關鍵的主要影響。因為能帶關係，所以使用氮化矽電荷捕捉層的 SONOS 會有過抹除的情形發生[24]。

經過寫入\抹除速度的測試之後，選擇寫入參數為  $V_G=V_D=7.6V$ 、 $T = 0.01$  秒，抹除參數為  $V_G = -7V$ 、 $V_D = 7V$ 、 $T = 0.01$  秒。

### 3-3.2 Retention 與 Endurance

本實驗目的就在於能夠有較好的 Retention 與 Endurance，所以特別做了另外兩個對照組，一為乾氧成長而成的穿隧氧化層(只通  $O_2$ ) (sample42); 另一為通  $N_2O$  氧化成長穿隧氧化層(sample 43)，所以其穿隧氧化層散佈著氮原化合物，圖(3-7)(a)顯示出本實驗 SiON 穿隧氧化層(sample38)SONOS 元件 Retention 比一般乾氧長成的穿隧氧化層好，最好的是  $N_2O$  氧化成的穿隧氧化層，在經過一萬秒的測試之後， $V_{th}$  Window 會有 sample38 = 5%、與 sample42 = 18%不等的衰退，為何在圖(3-7)(a)只有兩點，因為 sample42 在 retention 量測的過程中出現有的臨界電壓值比一開始寫入後的臨界電壓值大，可以猜測出是在讀取時，有一些電子載子被注入到電荷捕捉層中。圖(3-7)(b)是 sample38 的 Retention 圖，估計在十年後( $10^8$  秒)寫入\抹除狀態臨

界電壓差仍有 1.8V，還是可明顯的判別兩者得不同；圖(3-8)是 sample38 經過十萬次的 Endurance 測試後再測量其 Retention，雖再一萬秒後仍有 90% 的臨界電壓差，但在五千秒到一萬秒時臨界電壓 window 縮小弧度突然變大，所以難估計出在十年之後的情。

，圖(3-9)(a)顯示出三者的 Endurance 特性，可以很明顯看出 sample38 的特性遠比其他兩個好很多，甚至在十萬次寫入\抹除後臨界電壓差都還有 1.5V 以上的差距，圖中可看出寫入情況的臨界電壓有些微變大的趨勢，其一是穿隧層永久性的電荷捕捉，且不足以阻擋下次寫入時往電荷捕捉層跑的電子；其二可能是在讀取的過程中有部分電子被注入到電荷捕捉層中，所以做了圖(3-9)(b)的量測，雖然在 100 次讀取後臨界電壓值漂移了 0.378V，比寫入\抹除十萬次後的 0.62 漂移還小，所以應該還有其他原因使寫入後的臨界電壓往上漂移，由[25]圖(3-10)模擬出寫入\抹除的載子密度分佈圖，因為電子注入與電洞注入位置有些微差距，所以有些被捕捉的電子沒被中和到，在下次寫入時有足夠量的電子再加上之前沒被中和的電子，所以使寫入狀態的臨界電壓值有增加的趨勢，圖(2-2)、圖(2-6)(b)示意圖可看出本實驗所使用的量測方法電子、電洞注入的位置是有差距的，圖(3-11)所顯現的是在量完十萬次的寫入\抹除後在經過 65 次的讀取，看是否讀取會使臨界電壓偏移，結果是只有 0.06V 的偏移，顯示出量測時讀取使抹除態的臨界電壓偏移是可以忽略的。

### 3-3.3 溫度對特性的影響

既然已經比較出三種 sample 的 Retention 與 Endurance 特性，所以認為 sample38 是比較可以接受的記憶體元件，那就再來看看溫度對 sample38 的影響，圖(3-12)顯示出，在高溫中寫入速度是較差的，那是因為高溫中晶格震動較劇烈，對通道電子產生較強烈的散射作用，電子從源及到汲極的加速過程中受到較大的晶格散射作用，其所獲得的能量就會較低，熱電子能量變低則能穿越穿隧層的機會就變低，所以在相同的偏壓、時間下，會表現出寫入後較低的臨界電壓值。

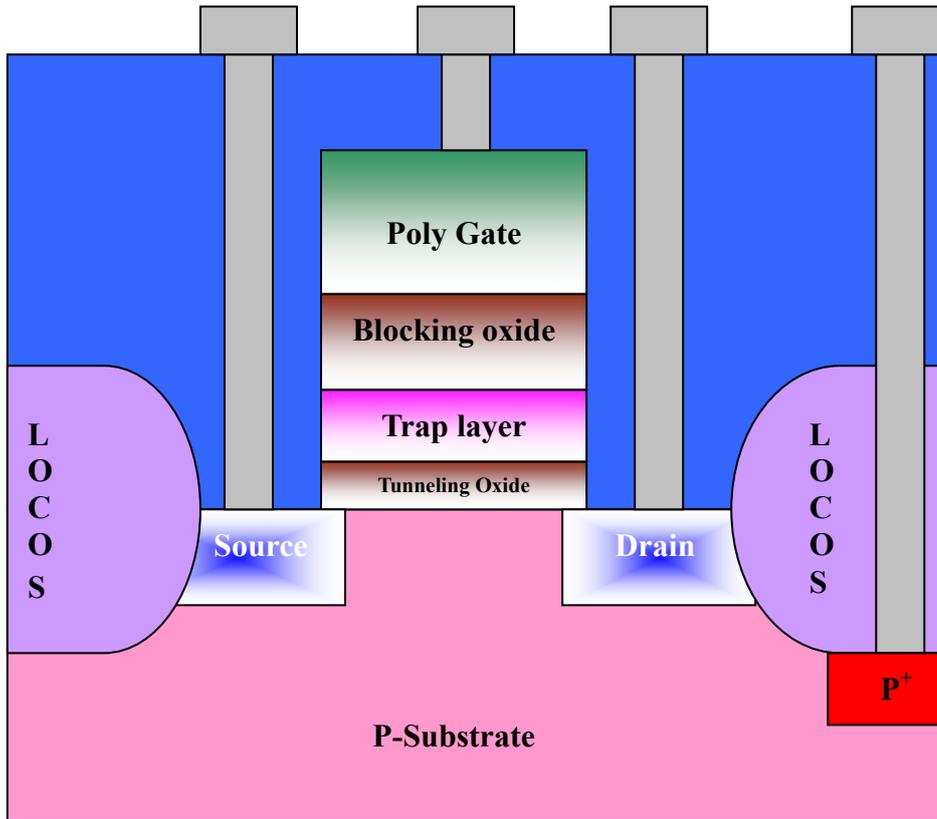
圖(3-13)是不同溫度量測之下的 Retention 表現，可以看出隨著溫度增加 Retention 會變差[26]-[28]，從圖中外差估計最差的況下也都保留著 70%的臨界電壓約 1.4V，而抹除態的臨界電壓為 0.5V，所以仍可以明顯的判別資料是”0”或”1”。

圖(3-14)是在 75°C 時的 Endurance 量測，在高溫環境中還是能夠有很好的 Endurance 特性，其寫入態的臨界電壓從一開始到最後一點總共漂移了約 0.6V 與圖(3-9)(a)在常溫量測時差不多，所以在高溫中用 sample38 的記憶體元件也是能夠有很好的 Endurance 特性，目前看來抹除態的臨界電壓比較沒什麼問題，寫入態的臨界電壓是否會一直變大呢？應該是一個值得研究的課題。

表(3-1) 簡略表示實驗過程及穿隧氧化層量測厚度。

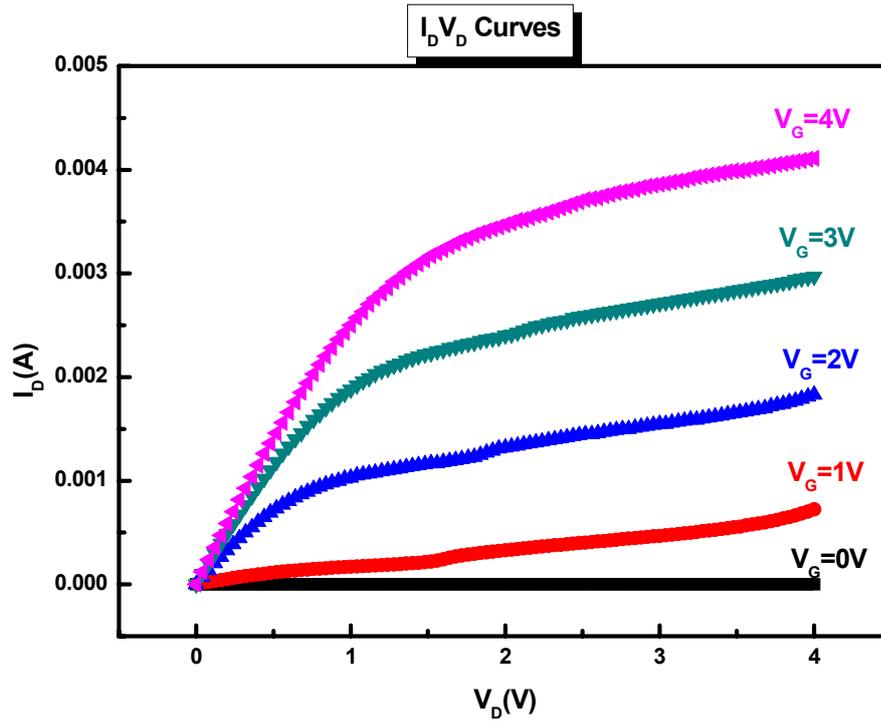
Process	Sample	38	39	40	41	42	43						
<b>LOCOS:</b>		V											
P-Well implant BF <sub>2</sub> ,E13,70KeV													
Well Drive-in 1700 Å, 1100 °C													
Channel Stop Implant BF <sub>2</sub> , 4E13,120 KeV													
Field Oxide 5500 A, 980 °C													
Vt Implant BF <sub>2</sub> , 4E12, 40 KeV													
APT Implant B, 5E12, 35 KeV													
<b>LOCOS END</b>		V											
<b>Tunneling Oxide</b>								A	A	A	A	B	C
<b>Trap Layer 780°C (Å)</b>								50	50	80	80	50	50
<b>Re-oxidation</b>									v				
Blocking Oxide(CVD TEOS) 100Å													
<b>Densify(緻密化) 923°C 14min30sec</b>											v		
Poly Gate 611°C 2000Å													
Gate dimension(吃完 tunneling oxide)													
S/D Implant As,5E15,20KeV,T:0													
Substrate Ohm Contact Area Etch													
P <sup>+</sup> Substrate Implant BF <sub>2</sub> ,5E15,40KeV													
RTA Actuation 950°C 30sec													
CVD TEOS SiO <sub>2</sub> Passivation 5000Å													
Contact Hole Etch(剩 300Å 用 BOE)													
Al-Si-Cu Sputtering 9000Å													
Metal Etch													
Alloy 400°C 30min 通 N <sub>2</sub>													
<b>END</b>													
<b>A:</b> H <sub>2</sub> O <sub>2</sub> 浸泡 20min, 爐管 780°C 通 NH <sub>3</sub> 氮化, 爐管 923°C 通 O <sub>2</sub> 氧化, 預計長成 30Å													
<b>B:</b> 爐管 923°C 通 O <sub>2</sub> 氧化, 預計長成 30Å													
<b>C:</b> 爐管 923°C 通 N <sub>2</sub> O 氧化, 預計長成 30Å													

	N&1200 光學量測之厚度
<b>A</b>	<b>18Å (recipe NN_SiO<sub>2</sub>)</b>
<b>B</b>	<b>39Å (recipe NN_SiO<sub>2</sub>)</b>
<b>C</b>	<b>34Å (recipe NN_SiO<sub>2</sub>)</b>

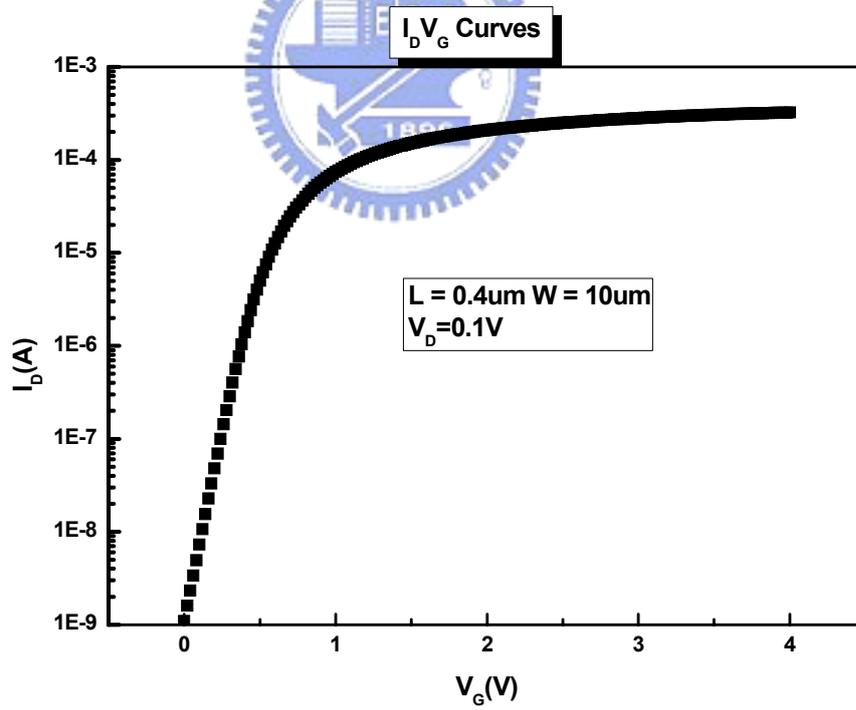


圖(3-1) 實驗完成，元件切面示意圖。



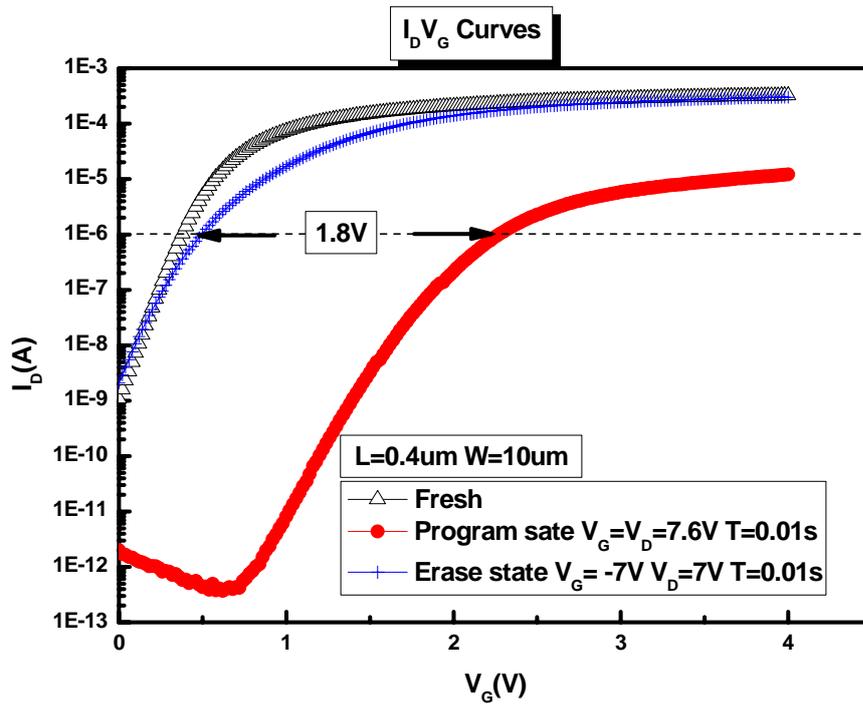


(b)  $I_D$ - $V_D$  圖 (Body Floating)。

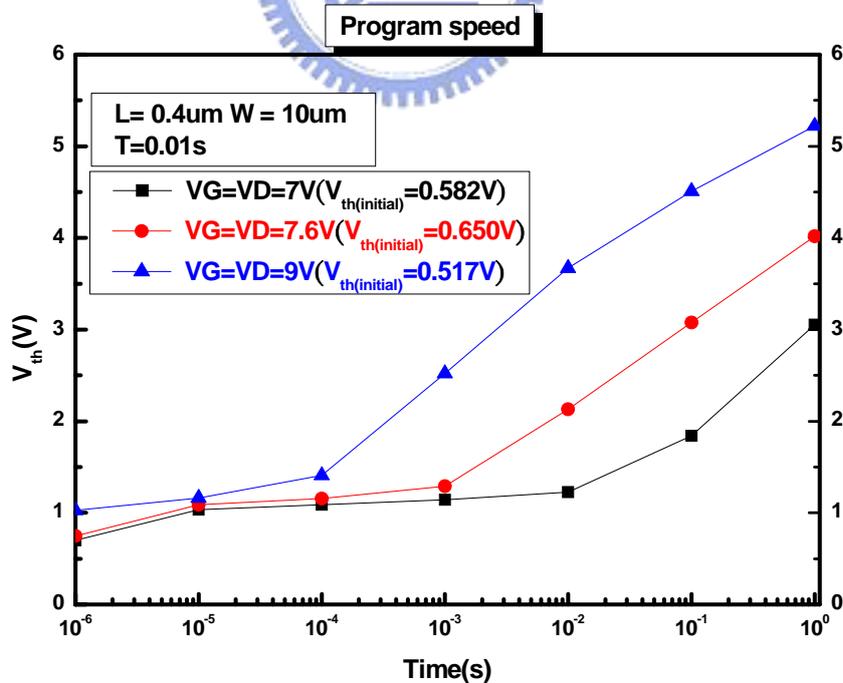


(a)  $I_D$ - $V_G$  圖

圖(3-2) 元件的  $I_D$ - $V_G$ 、 $I_D$ - $V_D$  圖。

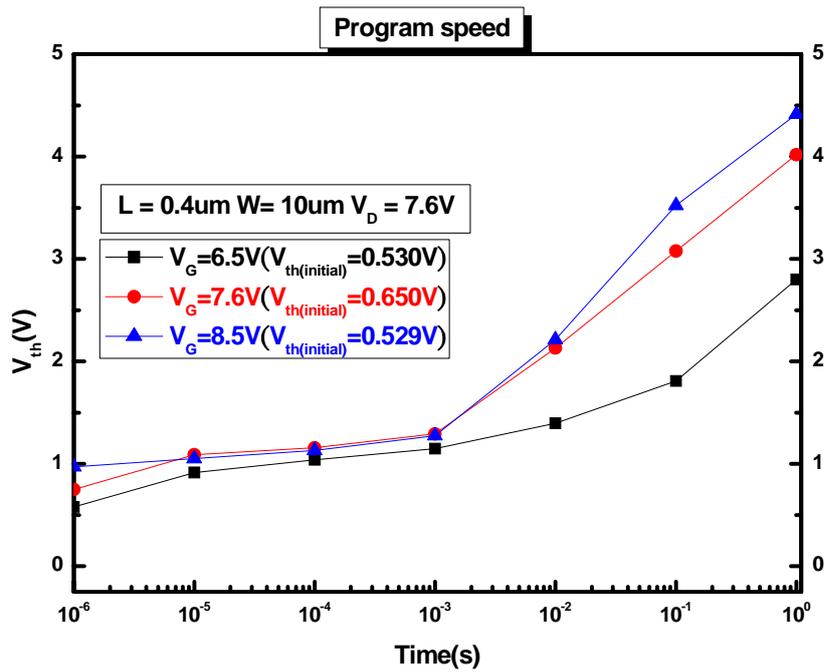


圖(3-3)  $I_D$ - $V_G$  圖，在寫入之後，大約有 1.8V 的臨界電壓差距(1.8V Window)，抹除態的 IV 曲線幾乎與原來的曲線重疊。

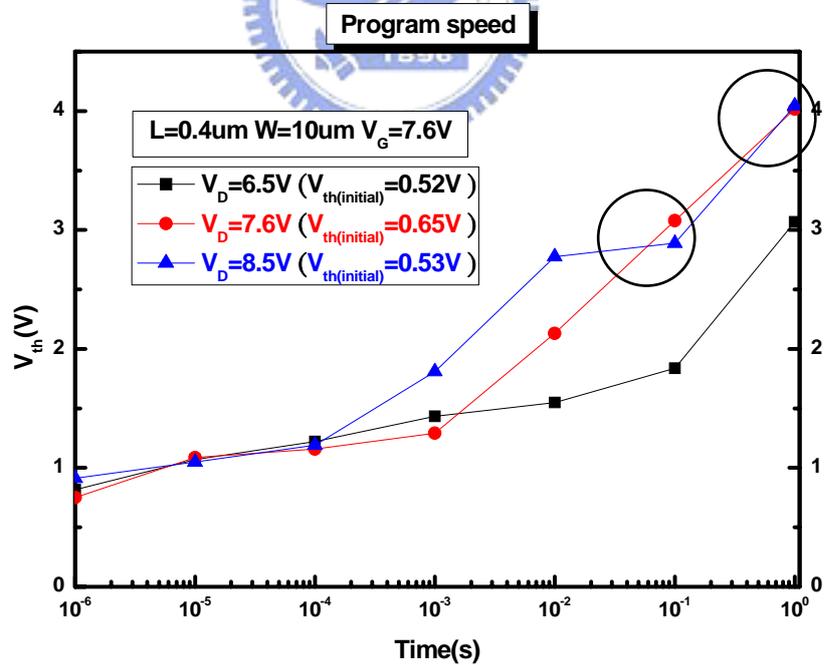


(a) 寫入速度：不同偏壓大小的量測結果。

圖(3-4) 寫入速度量測結果。

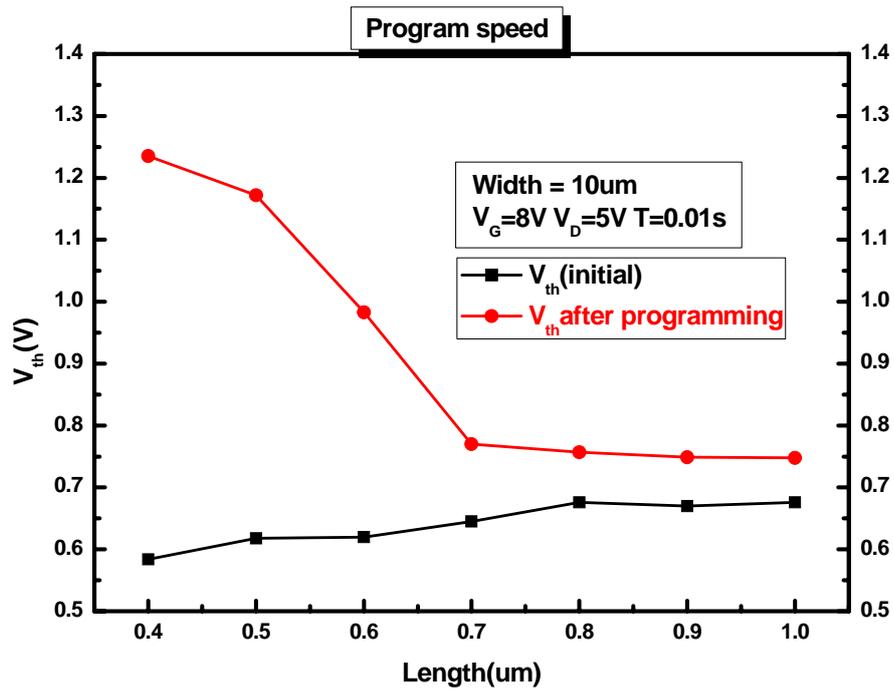


(b) 寫入速度：固定  $V_D$ 、改變  $V_G$ 。

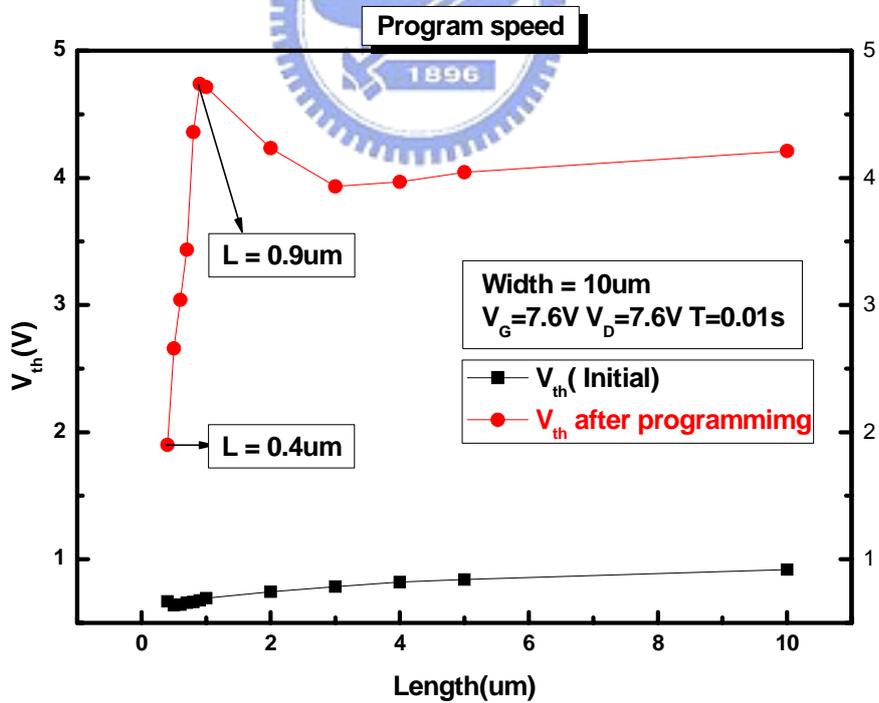


(c) 寫入速度：固定  $V_G$ 、改變  $V_D$ 。

圖(3-4) 寫入速度量測結果。

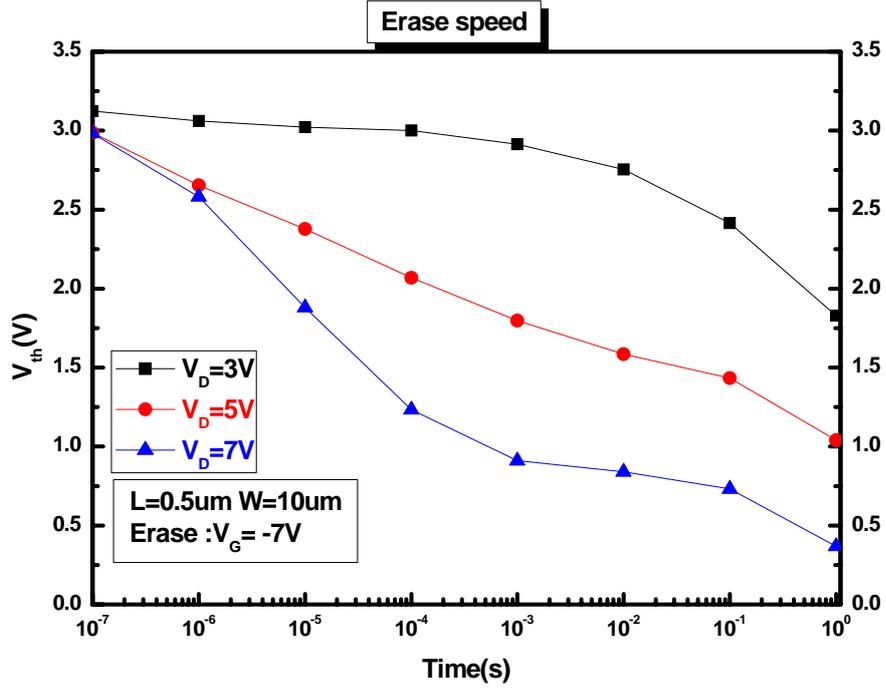


(a) 寫入速度：偏壓、通道寬度固定，量測不同通道長度的結果。

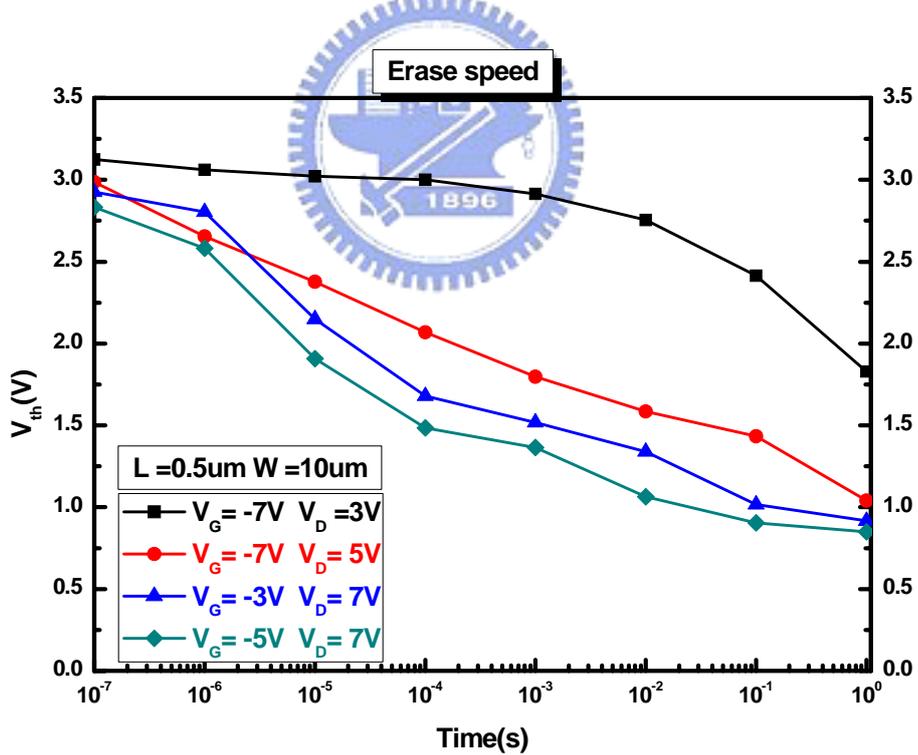


(b)寫入速度：偏壓、通道寬度固定，量測不同通道長度的結果。  
 $L = 0.4、0.5、0.6、0.7、0.8、0.9、1、2、3、4、5、10\mu\text{m}$ 。

圖(3-5)量測不同通道長度的寫入速度。

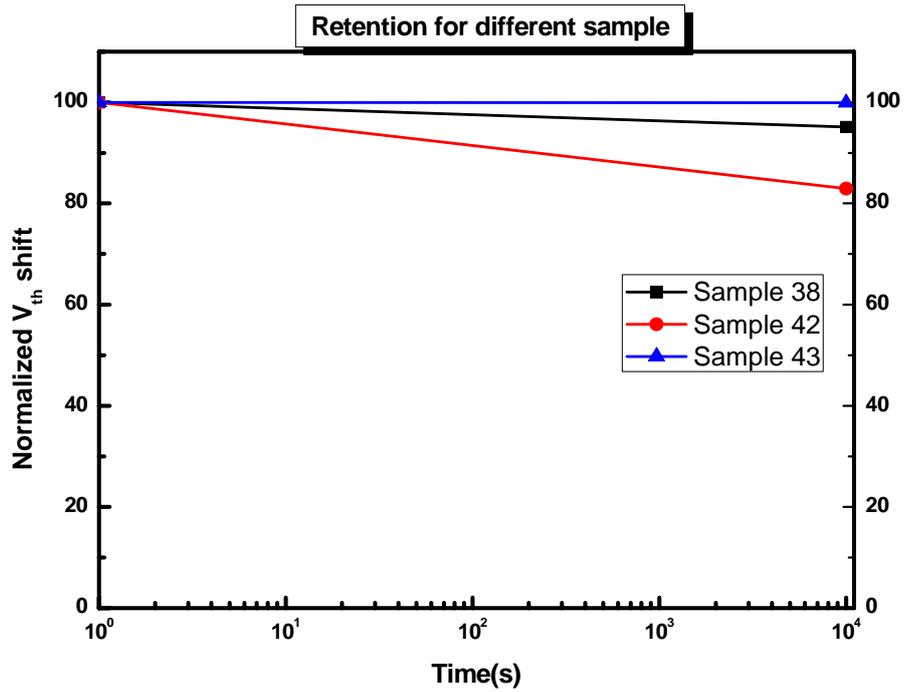


(a) 抹除速度量測結果， $V_G$  固定、調變  $V_D$ 。

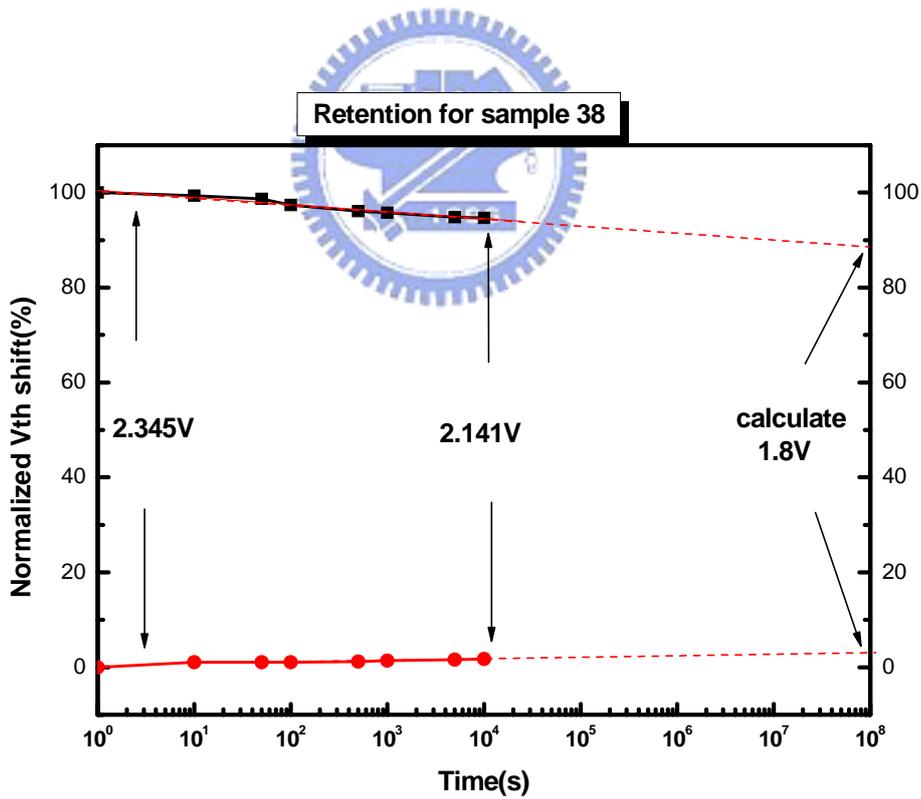


(b) 抹除速度量測結果，調變  $V_G$  或  $V_D$  的比較。

圖(3-6) 抹除速度量測結果。

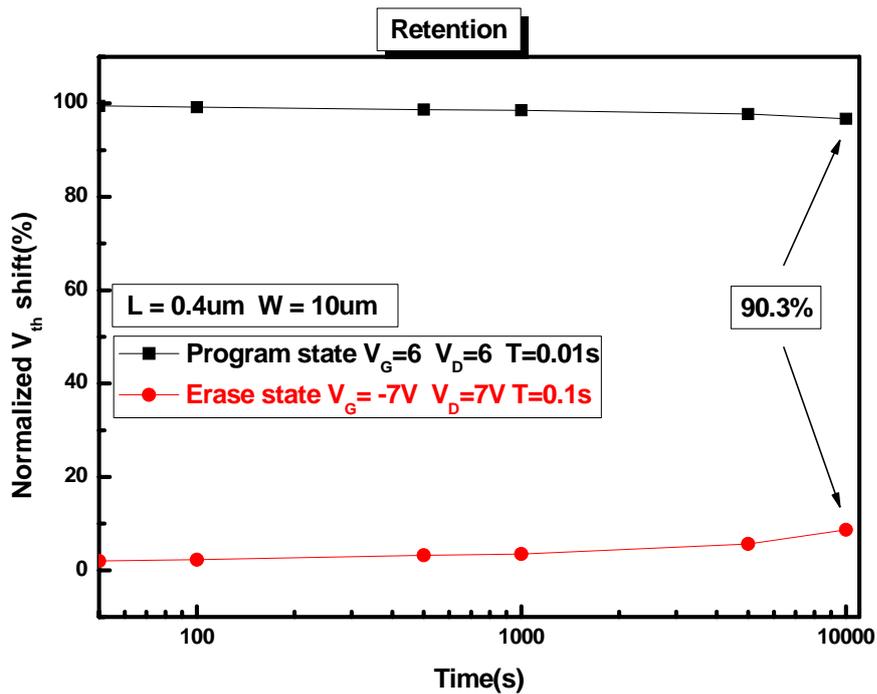


(a) 不同穿隧層的 Retentionru 量測結果。

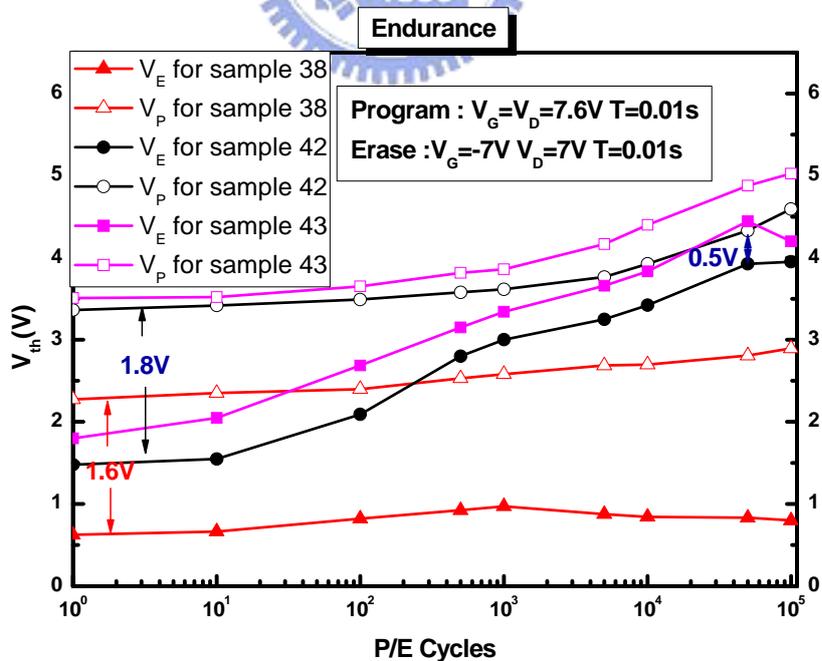


(b) Sample38 的 Retention 量測結果。

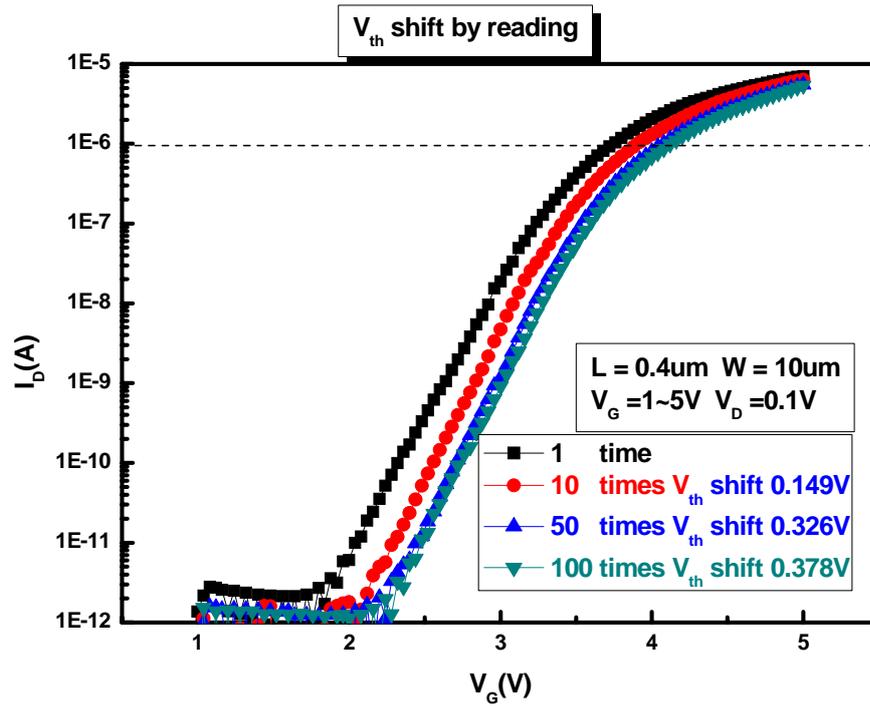
圖(3-7)Sample 38：氮化處理的穿隧層，  
 Sample 42：乾氧氧化的穿隧層，  
 Sample 43：N<sub>2</sub>O 氧化的穿隧層。



圖(3-8) Sample 38(氮化處理的穿隧層)，經過十萬次 Endurance 量測後，再測量其 Retention。

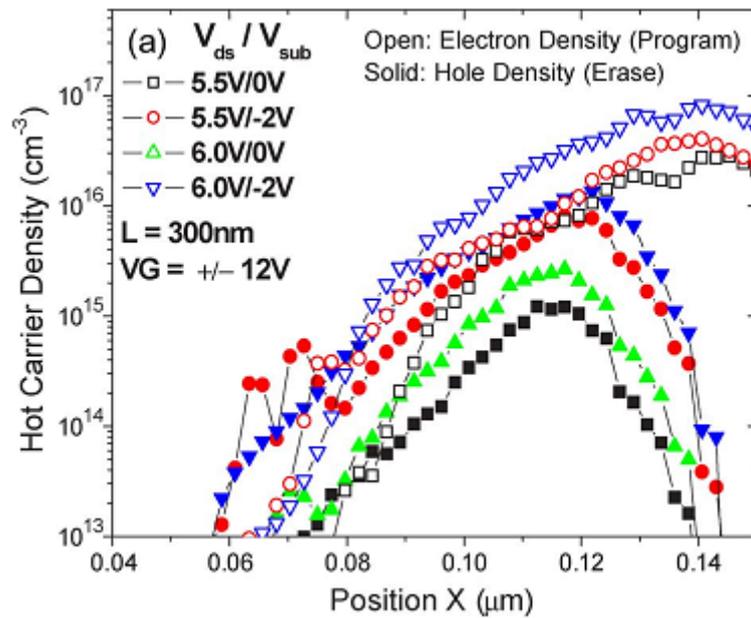


(a) Endurance : 不同的穿隧層材料  
 Sample 38 : 氮化處理的穿隧層  
 Sample 42 : 乾氧氧化的穿隧層  
 Sample 43 :  $N_2O$  氧化的穿隧層

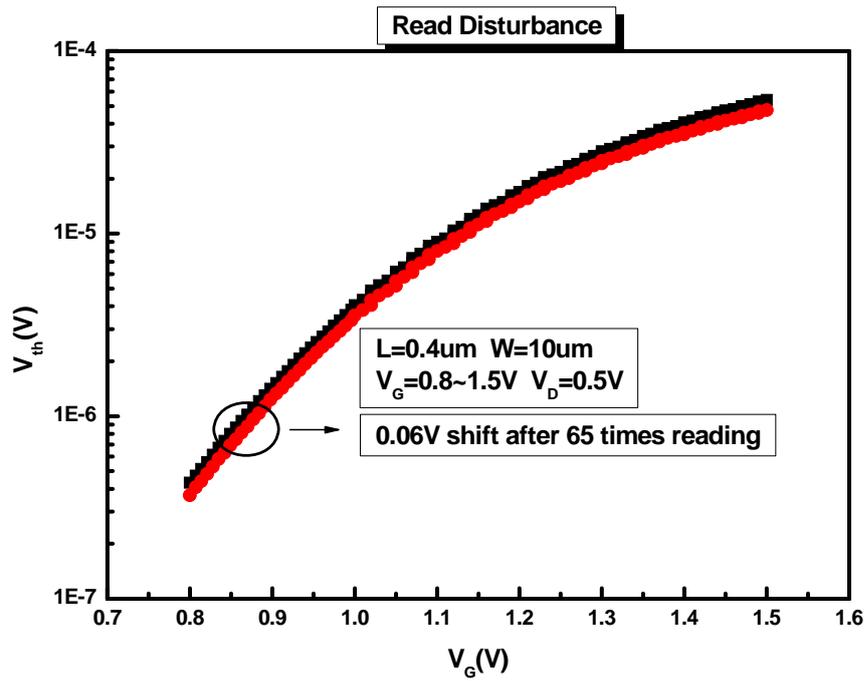


(b)經過 10 萬次寫抹後，在寫入態讀取百次，顯示出的結果。

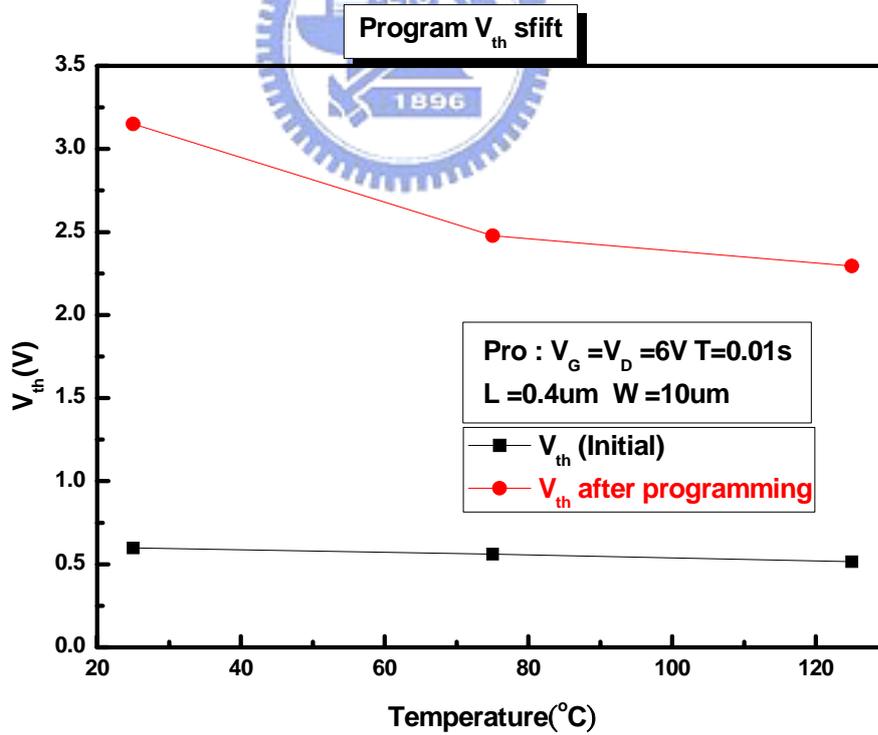
圖(3-9) Endurance 量測。



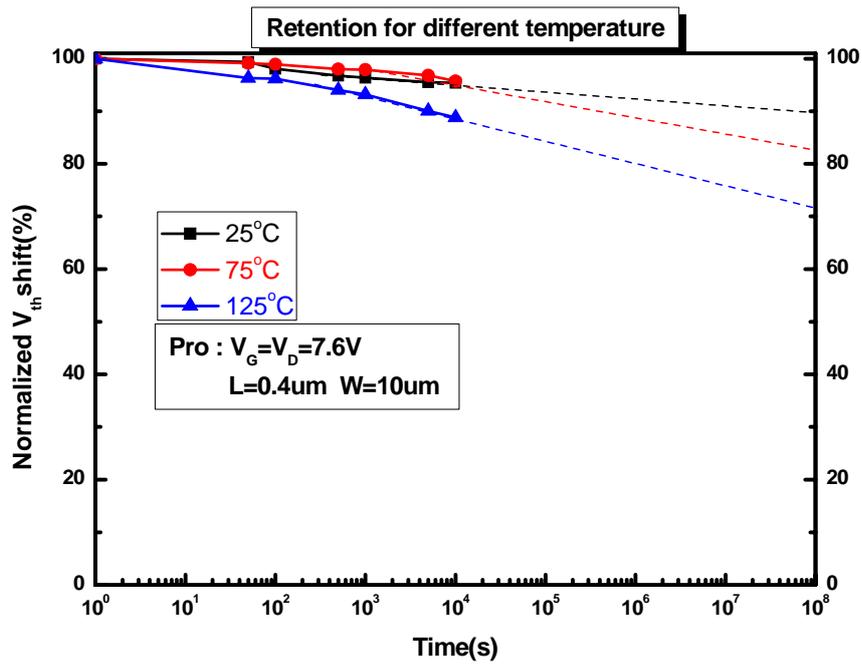
圖(3-10) 寫入\抹除載子分佈圖。



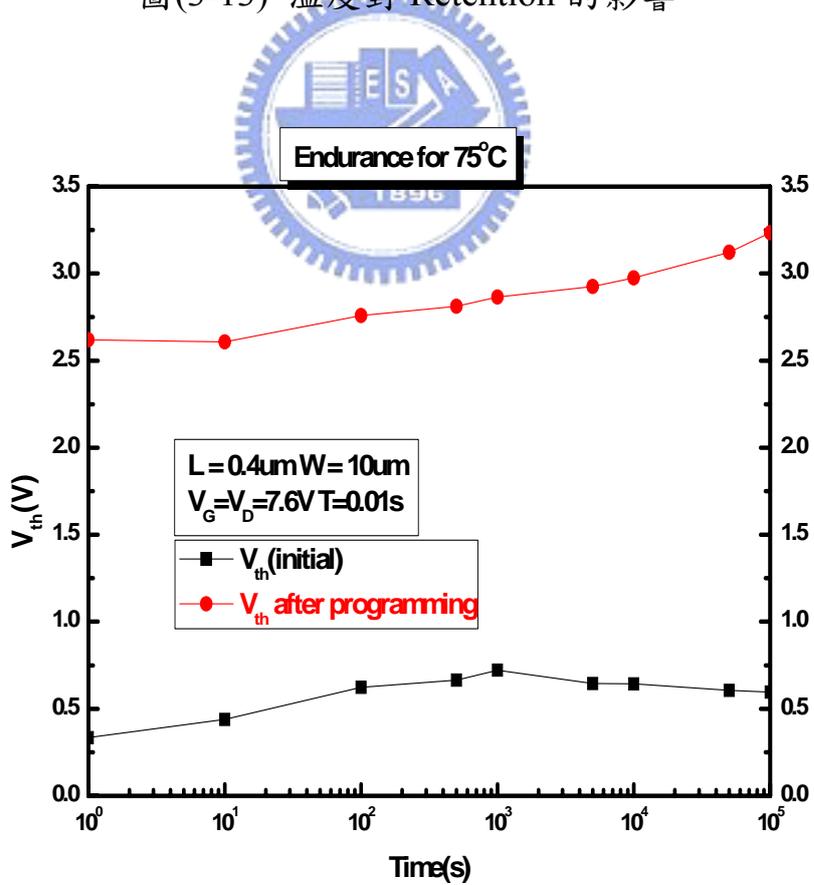
圖(3-11) 抹除的狀態下，經過 65 次讀取，臨界電壓飄移程度。



圖(3-12) 溫度對寫入的影響。



圖(3-13) 溫度對 Retention 的影響。



圖(3-14) 環境 75°C 量測 Endurance 結果。

## 第四章 變異(Variation)

### 4-1 前言-變異的重要影響

若要長  $1000\text{\AA}$  的薄膜，不均勻度為  $5\text{\AA}$ ，變異為 0.5%；長  $100\text{\AA}$  的薄膜，不均勻度也是  $5\text{\AA}$  的話，變異就是 5%了，就目前來看，隨著元件的微縮化，各參數間的變異，例如薄膜厚度、微影製程、離子佈值...等等，都會使同一個製程參數、同一批出產的元件產生不同程度的電性差別，以 SRAM 來說(請參照表 4-1 及 4-2)[29]當臨界電壓出現變異，使 SRAM 內的元件無法匹配，則會使 SRAM 在讀、寫時出現錯誤或使原資料被改變，所以出現 8T、10TSRAM 來維持其可靠度，以表(4-2)，45nm 製程  $4\sigma$  的電路設計來說則需要 68K 預備電路(fuses)，這是非常佔面積且不切實際的，就連  $5\sigma$  的電路設計都讓人無法接受，所以元件微縮下的元件變異是非常值得研究的，雖然我實驗元件做出來的最小線寬是  $0.35\mu\text{m}$ ，但在量測的過程中也是會顯現出可見的變異，就以圖(3-5)來說，不同通道長度在相同偏壓、相同時間下所得到的臨界電壓有很大的差別，那如果是更小的線寬呢？

或許我做實驗時所發現的變異在企業界早就克服，就如同我前章所說的，可以讓其他作實驗的人做個參考，使他們能夠事半功倍。

## 4-2 實驗變異探討

### 4-2.1 爐管(NDL 10 級)

爐管是做實驗時常用到的，薄膜長的不均勻也是眾所皆知，在做實驗之前為確保能得到所需的厚度，一定都會作測試，一般來說靠近管口的晶片成長\沉積出來會較薄，如果要沉積很薄的薄膜可真要好好測試，而且四吋的晶片會比六吋的厚。

本實驗的浸泡雙氧水在氮氣氮化、再氧化，氮化的溫度高會矽晶片上氮含量多，所再氧化所得的厚度會較薄，以 750°C、780°C 氮話來比較，在 923°C 經過 10 分 15 秒的再氧化後，所得厚度相差 18Å。

在作 TEOS 沉積氧化矽時，工程師提供兩種程式，因為要切換管路所以稱它們為大管、小管，小管比較適合沉積 100Å 以下的氧化矽，然而從大管切換成小管時，第一次沉積出來的薄膜會比想像中多出很多、可能倍增，應該是大管工作完後管路中還殘留 TEOS，以致在小管第一次沉積時會得到較厚的厚度，如果不知道的人一定會請工程師縮短沉積時間，這樣整個小管的程式可真正說是錯了。

### 4-2.2 TEL 5000 氧化矽乾式蝕刻(NDL 100 級)

有人可能會擔心蝕刻 1 秒、2 秒、3 秒到底有沒有作用，所以時間會多下幾秒，經過我的測試其實是有的，表(4-3)表示出蝕刻時間與蝕刻率值，

使用的程式是 03 蝕刻 TEOS 沉積程的氧化矽，值得注意的是，當蝕刻時間很長，蝕刻率就會下降。

#### 4-2.3 通道變異所造成的影響

圖(3-5)(b)顯示出寫入態的臨界電壓值與通道長度(0.9 $\mu\text{m}$  以下)有明顯的關係，如果真的，那在微縮化之下通道長度變異更大要如何精準寫入呢？或者只能使用別的寫入方法(例如:不使元件進入飽和狀態)。

#### 4-3 量測上的變異

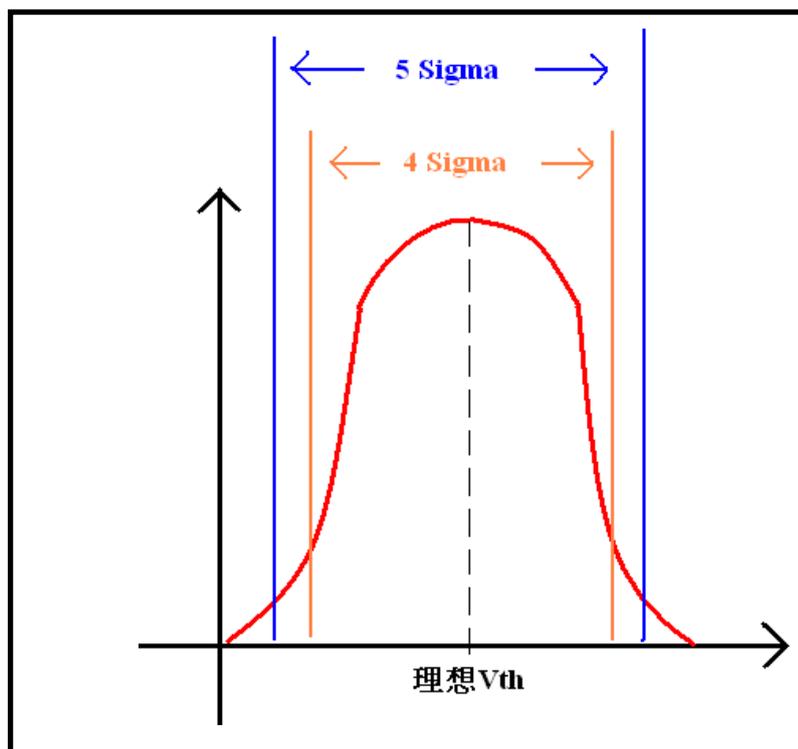
在量測寫入\讀取時，會使用脈波，4156 本身有一個 Sample mode 偏壓功能，可以決定偏壓要加多久，時間可以小到 1 毫秒，但是經過與使 41501 脈波產生器的寫入做比較(圖(4-2))，確實有明顯的差異，一般在量測時都是使用 41501 脈波產生器。

表(4-1)SRAM 在不同世代下，元件  $V_{th}$  所需的變異忍受度。

製程世代	確保 SRAM 正常工作 $V_{th}$ 需忍受的變異度
250nm	3% of $V_{DD}$
90nm	20% of $V_{DD}$
65nm	30% of $V_{DD}$

表(4-2)不同設計條件的 SRAM 可靠度。

電路設計條件(45nm)	一百萬個單元可能損壞數(個)
4 $\sigma$ design(4 Sigma)	33 fixes/1M cells
5 $\sigma$ design(5 Sigma)	0.6 fixes/1M cells

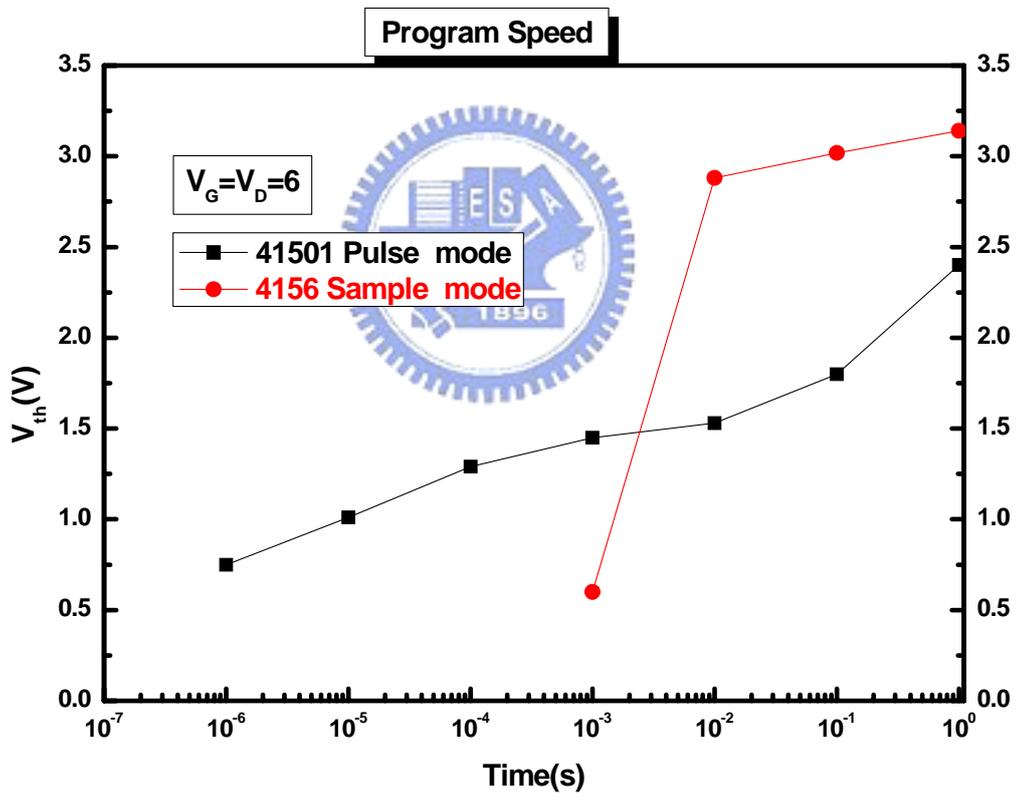


圖(4-1)不同設計條件的 SRAM 可靠度。

( $\pm 4\sigma$  或  $\pm 5\sigma$  內的變異度都可以正常工作)

表(4-3)TEL 5000 蝕刻率與蝕刻時間關係圖。

蝕刻時間(秒)	蝕刻率( $\text{\AA}/\text{sec}$ )
1	83
2	102
3	110
6	110
12	110
30	105
42	96



圖(4-2) 相同偏壓之下，使用不同偏壓模式的寫入速度比較圖。

## 第五章 結論與檢討

經由實驗、量測結果證實，先經過雙氧水浸泡、再氮氣氮化、然後使用乾式氧化得到的穿隧氧化層確實能有較好的資料儲存能力與操作次數，這在實際應用上應該是可行的，隨著元件微縮化，SONOS 看到更多契機，或許 MRAM、PCM 會快速成熟，導致 SONOS 沒有發揮的空間，但有備無患，研究不只是內容，研究過程如何努力、如何解決問題也是很重要的。

本實驗的重點是氮的含量及分布，所以就會影響氮的含量及分布的因子做不同參數調變找出其最佳化是接續研究的課題，也要就精確的分析來佐證理想與實際情況的是否有所差距，所以歸納出下列再研究重點。

本實驗還有多多需要研究的課題：

1. 氮化溫度及時間、氮氣通氣量、穿隧層成長的厚度對氮含量及分布會有所不同，最好使其最佳化。
2. 電荷捕捉層的  $\text{SiN}_3$  再氧化的時間比較。
3. 穿隧層的厚度趨勢，如何在寫入速度、抹除速度、資料儲存時間、可操作次數之間取得最好的平衡。
4. 薄厚厚度、氮的分部曲線應該要經過更精確的物性分析(例如：TEM、SIMS)。
5. 降低在其他元件工作時所受到的擾亂。

若有人繼續研究，希望我的經驗、提議，對他是有幫助的。

## 參考文獻(References)

- [1] 呂正欽、柯勝民，97年度記憶體產業發展展望，經濟部工業局電子資訊組，民國97年。
- [2] D. Kahng and S. M. Sze, “A floating gate and its application to memory devices”, Bell Syst. Tech. J., 46, 1288, 1967
- [3] Paolo Cappelletti, Carla Golla, Piero Olivo, Enrico Zanoni, “Flash Memory” KLUWER ACADEMIC PUBLISHERS, 2000
- [4] 崔秉鉞，2007年計測實驗上課講義，民國96年。
- [5] 呂函庭-旺宏電子前瞻技術實驗室專案經理，NAND Flash之創新技術「BE-SONOS」，DIGITIMES，2006。
- [6] S. Tiwari, F. Rana, K. Chan, H. Hanafi, C. Wei, and D. Buchanan, “Volatile and non-volatile memories in silicon with nano-crystal storage”, IEEE Int. Electron Devices Meeting Tech. Dig., 521, 1995.
- [7] J. J. Welser, S. Tiwari, S. Rishton, K. Y. Lee, and Y. Lee, “Room temperature operation of a quantum-dot flash memory”, IEEE Electron Device Lett., 18, 278, 1997.
- [8] Y. C. King, T. J. King, and C. Hu, “MOS memory using germanium nanocrystals formed by thermal oxidation of Si<sub>1-x</sub>Gex”, IEEE Int. Electron Devices Meeting, 6-9 Dec. 1998. Page(s):115 – 118.
- [9] Singh, Jawar Mathew, Jimson Mohanty, Saraju P. Pradhan, Dhiraj K “A nano-CMOS process variation induced read failure tolerant SRAM cell”, Circuits and Systems, 2008. ISCAS 2008. IEEE International, Publication Date: 18-21 May 2008.

- [10] Giraud, B.; Amara, A, “Read Stability and Write Ability Tradeoff for 6T SRAM Cells in Double-Gate CMOS”, Electronic Design, Test and Applications, 2008. DELTA 2008. 4th IEEE International , 23-25 Page(s):201 - 204Jan. 2008.
- [11] Ken Takeuchi, Toshiba, 2006 (from ISSCC2008) , 黃威老師-嵌入式記憶體電路上課講義 , 97 年。
- [12] Tehrani, S “Status and Outlook of MRAM Memory Technology (Invited)”, Electron Devices Meeting, 2006. IEDM '06. International , 11-13 Dec. Page(s):1 – 4, 2006.
- [13] M. Hosomi, H. Yamagishi\*, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano, “A novel nonvolatile with transfer memory spin torque magnetization”, IEDM Technical Digest P.459 ,2005.
- [14] Klostermann, U.K.; Angerbauer, M.; Griming, U.; Kreupl, F.; Ruhrig, M.; Dahmani", F.; Kund, M.; Miiller, G; “ A Perpendicular Spin Torque Switching based MRAM for the 28 nm Technology”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International,10-12 Dec. Page(s):187 – 190, 2007.
- [15] W.S. Chen , C.M. Lee , D.S. Chao , Y.C. Chen , F. Chen , C.W. Chen , P.H. Yen , M.J. Chen , W.H. Wang, T.C. Hsiao , J.T. Yeh , S.H. Chiou , M.Y. Liu , T.C. Wang , L.L. Chein , C.M. Huang , N.T. Shih , L.S. Tu , D. Huang , T.H. Yu , M.J. Kao , and M.-J. Tsai, “A Novel Cross-Spacer Phase Change Memory with Ultra-Small Lithography Independent Contact Area ” ,Electron Devices Meeting, 2007. IEDM 2007. IEEE International , 10-12 Dec. Page(s):319 – 322 ,2007.

- [16] M.L. Ostraat, J.W. De Blauwe, M.L. Green, L.D. Bell, M.L. Brongersma, J. Casperson, R.C. Flagan, and H.A. Atwater, “Synthesis and characterization of aerosol silicon nanocrystal nonvolatile floating-gate memory device”, Appl. Phys. Lett, vol. 79, pp.433-435, 2001
- [17] Kuo-Hong Wu; Hua-Ching Chien; Chih-Chiang Chan; Tung-Sheng Chen; Chin-Hsing Kao; “SONOS device with tapered bandgap nitride layer”, Electron Devices, IEEE Transactions on Volume 52, Issue 5, Page(s):987 – 992, May 2005.
- [18] Hang-Ting Lue; Szu-Yu Wang; Erh-Kun Lai; Yen-Hao Shih; Sheng-Chih Lai; Ling-Wu Yang; Kuang-Chao Chen; Ku, J.; Kuang-Yeu Hsieh; Liu, R.; Chih-Yuan Lu; “BE-SONOS: A bandgap engineered SONOS with excellent performance and reliability”, Electron Devices Meeting, 5-7 Dec. 2005 Page(s):547 - 550, 2005.
- [19] 黃調元，記憶體元件與製程上課講義，民國 96 年。
- [20] J. Bu and M. H. White. Aerospace Conference Proceedings, 2002. IEEE , Vol. 5 , pp. 2383, 2002.
- [21] R. Bez, E. Camerlenghi, A. Modelli, A. Visconti, “Introduction to Flash Memory”, In Proc. Of the IEEE, vol. 91, no. 4, pp. 489-502, 2003
- [22] Wen-Jer Tsai, Nian-Kai Zous, Tahui Wang, Ku, Y.-H.J., Chih-Yuan Lu, “A novel operation method to avoid overerasure in a scaled trapping-nitride localized charge storage flash memory cell and its application for multilevel programming”, Electron Devices, IEEE, Volume: 53, Issue: 4 page(s): 808- 814,2006.
- [23] Bez R., Cantarelli D. and Serra S. “The channel hoe electron programming of a floating gate MOSFET : an analytical study”, 12<sup>th</sup> Nonvolatile

Semiconductor Memory Workshop , Monterey , California(USA),1992.

- [24] Yan Ny Tan, Wai Kin Chim, Wee Kiong Choi, Moon Sig Joo, Tsu Hau Ng and Byung Jin Cho, “High-K HfAlO Charge Trapping Layer in SONOS-type Nonvolatile Memory Device for High Speed Operation”, Electron Devices Meeting, 2004. IEDM Technical Digest. Page(s):889 – 892, Dec. 2004.
- [25] Gang Zhang, Santanu Kumar Samanta, Pawan Kishore Singh, Fa-Jun Ma, Min-Tae Yoo, Yonghan Roh, and Jong Yoo, “Partial Crystallization of HfO<sub>2</sub> for Two-Bit/Four-Level SONOS-Type Flash Memory” Electron Devices, IEEE Volume 54, Issue 12, Dec. 2007 Page(s):3177 - 3185 ,2007.
- [26] T.S. Chen, K.H. Wu, H. Chung, and C.H. Kao, “Performance improvement of SONOS memory by bandgap engineer of charge-trapping layer”, IEEE Electron Device Lett., vol.25 ,no.4,pp.208-207, Apr. 2002.
- [27] T. Sugizaki, M. Kobayashi, H. Minakata, M. Yamaguchi, Y. Tamura, Y. Sugiyama, H. Tanaka, T.Nakaanishi, and Y. Nara, “New 2-bit/Tr MONOS type flash memory using Al<sub>2</sub>O<sub>3</sub> as charge trapping layer”, in Proc. IEEE Non-Volatile Semiconductor Memory Workshop,pp. 60-61 Feb. 2003.
- [28] Barbara De Salvo, Gerard Ghibaudo, Georges Pananakakis, Gills Reimbold, Francois Mondond, Bernard Guillaumot, and Philippe Candelier, “Experimental and theoretical investigation of nonvolatile momory data-retention”, IEEE Trans. Electron Devices, vol. 46, no.7, pp.1518-1524,jul., 1999.

- [29] 莊景德, “High-Performance SRAM in Nanoscale CMOS-Design Challenges and Techniques – by Ching-Te Chuang , Saibal Mukhopadhyay , Jae-Joon Kim , Keunwoo Kim , and Rahul Rao(IBM T.J. Watson Research CenterYorktown Heights , NY 10598 , U.S.A.)” - 記憶體積體電路 課程講義(授課老師:莊景德 老師), 民國 97 年
- [30] Chien-Hung Yeh “New Advanced Process of Ultrathin Oxynitride on the Characteristics of nMOSFET ” NCTU ,2007.



## 個人簡歷

姓名：黃信富

性別：男

生日：民國 71 年 4 月 1 日

籍貫：台灣省台南縣

學歷：國立台灣海洋大學電機工程學系 (89.9-93.6)

國立交通大學電機學院微電子奈米科技產業研發碩士班

(95.9-97.6)

碩士論文題目：

高含氮量氧化層於氮化矽快閃記憶體元件製作與特性研究

Characteristic and Investigation of Robust  
Oxynitride Film to SONOS Flash Memory