

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文

全差動三角積分調變器

應用於生醫音頻前端電路

The Fully Differential Sigma Delta Modulator
for Biomedical Audio Front-End Circuit

研究生：鄭子俞

指導教授：蘇朝琴 教授

中華民國九十七年十月

全差動三角積分調變器應用於生醫音頻前端電路

The Fully Differential Sigma Delta Modulator for Biomedical Audio Front-End Circuit

研究生：鄭子俞

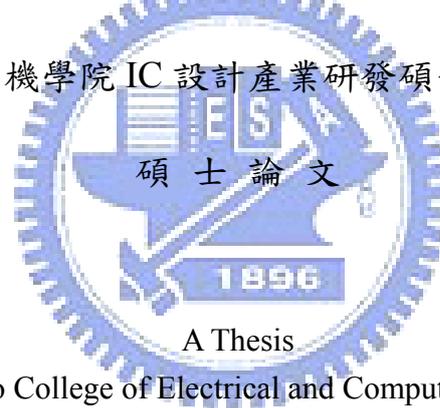
Student : Zih Yu Cheng

指導教授：蘇朝琴 教授

Advisor : Chau Chin Su

國立交通大學

電機學院 IC 設計產業研發碩士班



碩士論文

A Thesis

Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in

Industrial Technology R & D Master Program on
IC Design

October 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十月

全差動三角積分調變器應用於生醫音頻前端電路

研究生：鄭子俞

指導教授：蘇朝琴 教授

國立交通大學電機學院產業研發碩士班

摘 要

本論文使用了反相放大器取代一般全差動放大器，實現一個高動態範圍、低電壓、低面積且低功率的全差動三角積分調變器。由於電子心脈聽診器或是助聽器這類產品多是攜帶式且利用電池提供供應電源，所以低電壓、低面積與低功率消耗為主要的需求。

我們的架構中，利用反相放大器搭配由相位產生器生成的四個互不相重疊相位進行切換，分別處理差動訊號。利用取樣保持電路將積分器訊號分別保存在電容之中，最後使用動態比較器及門對差動輸出訊號作比較。

此晶片使用 TSMC 0.18 μm 製程來實現，晶片面積包含腳位約 0.35mm²，達到低面積的需求。預定使用一般的電池提供供應電源約 1.2V，設定電路的取樣頻率約為 2.56MHz，系統訊號頻寬 20kHz。可以得到其動態範圍 93dB，最高 SNR 約 87dB，最高 SNDR 約 81dB，消耗功率約 141 μW 。

索引詞彙 — 全差動三角積分調變器、反相放大器、高動態範圍

The Fully Differential Sigma Delta Modulator for Biomedical Audio Front-End Circuit

Student: Zih Yu Cheng

Advisor: Chau Chin Su

Industrial Technology R & D Master Program on IC Design
National Chiao Tung University

Abstract

In this thesis, we use inverter amplifiers to replace fully differential ones to implement a high dynamic range fully differential sigma delta modulator. Because the electron stethoscope and hearing aids are portable and using batteries to provide supply voltage, low-voltage and low power consumption are the key design consideration.

In our structure, we use tri-state inverter amplifiers and four nonoverlapping phases to deal with the differential input signals. A sample and hold circuit used to separate the differential output signal of the integrator. Finally, we use a dynamic comparator and latch to compose the quantizer.

This chip is designed in TSMC $0.18\ \mu\text{m}$ CMOS process, and the chip area is about 0.35mm^2 . Our design is in the biomedical audio frequency, from 20Hz to 20 kHz. The power supply voltage is 1.2V, and the sampling frequency is 2.56MHz. The sigma delta modulator has a SNR of 87dB, a SNDR of 81dB, a dynamic range of 93dB. It consumes $144.36\ \mu\text{W}$ of power.

Index Terms – fully differential sigma-delta modulator, inverter amplifier, high dynamic range

誌謝

首先要感謝的是我的指導教授 蘇朝琴教授，這兩年辛勤且耐心的教導，無論是在專業領域的知識與技術，抑或是生活上為人處事的道理，都讓我獲益良多。

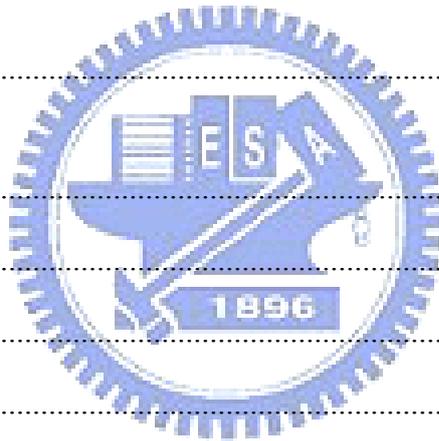
接下來要感謝的是博士班學長們：丸子學長、盈杰學長、仁乾學長、煜輝學長、鴻文學長在我遇到研究上的困難時，給予我熱心的指導。還有實驗室碩士班學長姊們：小馬、方董、議賢、村鑫、小潘潘、存遠、教主、snoopy，解決我在課業與研究上的疑惑。實驗室的同學們與學弟們：雅婷、碩廷、孔哥、挺毅、洲銘、于昇、家齊，在課業上互相討論，生活上互相照顧與幫助。還要感謝助理雅雯和上容，對我的照顧及幫忙。此外還要感謝我的室友們，在最後幾個月提供我一個棲身之所，讓我可以安心完成學業。

還要感謝我的父母，讓我這兩年沒有後顧之憂的完成學業，並且在我沒有自信的時候，一直鼓勵著我。最後還有姊姊、哥哥、嫂嫂和 Latte 的關懷與陪伴。謝謝大家一起陪我走過這兩年。

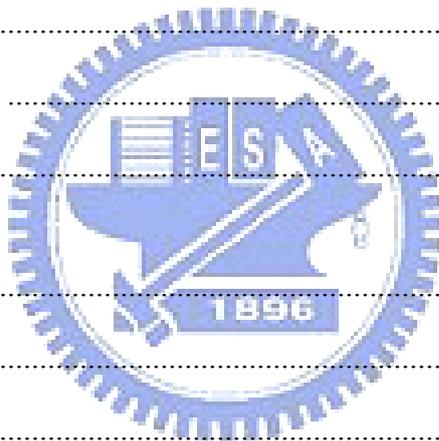


目錄

中文摘要	iii
英文摘要	iv
誌謝	v
目錄	vi
圖目錄	viii
表目錄	xi
第一章 緒論	1
1.1 研究動機	1
1.2 基本概念	2
1.3 論文架構	4
第二章 三角積分調變器的基本概念	5
2.1 本章簡介	5
2.2 三角積分調變器	6
2.3 低階三角積分調變器	12
2.4 高階三角積分調變器	16
2.5 本章結論	17
第三章 全差動三角積分調變器之設計考量	19
3.1 本章簡介	19



3.2 系統架構及設計規格考量	20
3.3 數值積分法	22
3.4 切換式電容積分電路	24
3.5 本章結論	30
第四章 全差動三角積分調變器 應用於生醫音頻前端電路	31
4.1 本章簡介	31
4.2 反相放大器組成之全差動積分器	32
4.3 反相放大器	35
4.4 相位產生器	40
4.5 量化器	42
4.6 模擬結果及佈局圖	45
4.7 本章結論	48
第五章 結論	49
5.1 規格比較	49
5.2 論文總結	51
參考文獻	52



圖目錄

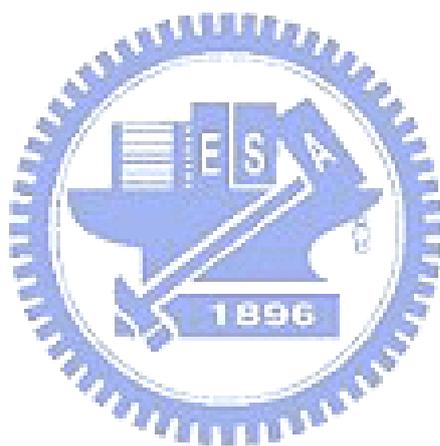
圖 1-1 人耳可接收音頻範圍示意圖.....	3
圖 1-2 生醫音訊系統示意圖.....	3
圖 2-1 取樣次數與量化誤差比較圖.....	6
圖 2-2 訊號經類比數位轉換生成量化誤差示意圖.....	6
圖 2-3 量化器及其線性模組化.....	7
圖 2-4 量化誤差等效頻譜圖.....	8
圖 2-5 熱雜訊等效模組及頻譜圖.....	9
圖 2-6 一般 RC 電路之熱雜訊等效模組.....	10
圖 2-7 動態範圍示意圖.....	12
圖 2-8 一階三角積分調變器方塊圖及 z 轉換等效圖.....	13
圖 2-9 二階三角積分調變器 z 平面系統圖.....	15
圖 2-10 各階三角積分調變器雜訊移頻能力比較圖.....	17
圖 3-1 單迴路三角積分調變器示意圖.....	20
圖 3-2 系統模擬之零極點圖及 Log scale 頻譜圖.....	20
圖 3-3 輸入訊號 5.625KHz 之系統模擬輸出頻譜圖.....	21
圖 3-4 變更系統中之放大器增益對應 SNR 圖.....	21
圖 3-5 系統之動態範圍圖.....	21
圖 3-6 數值積分法時域等效示意圖.....	22
圖 3-7 正向積分等效之 S 平面與 Z 平面之對應圖.....	22
圖 3-8 反向積分等效之 S 平面與 Z 平面之對應圖.....	23
圖 3-9 雙線性積分等效之 S 平面與 Z 平面之對應圖.....	23
圖 3-10 切換式電容電路之阻抗等效.....	24
圖 3-11 無延遲開關式切換電容積分器.....	24
圖 3-12 非反相開關式切換電容積分器.....	25

圖 3 - 13 全差動電容切換積分電路.....	27
圖 3 - 14 CMOS 開關電路圖	28
圖 3 - 15 時脈回饋中等效雜散電容效應.....	29
圖 4 - 1 本文中之積分器電路架構.....	32
圖 4 - 2 本電路輸出點 V_o 之波形.....	32
圖 4 - 3 本電路輸出點 V_{op} 、 V_{on} 之波形	33
圖 4 - 4 積分器相位切換圖.....	33
圖 4 - 5 本論文電路架構之單端積分器.....	33
圖 4 - 6 積分器相位切換分解圖.....	34
圖 4 - 7 反相放大器及其等效圖.....	35
圖 4 - 8 反相放大器之轉換曲線.....	36
圖 4 - 9 輸入級裝置設計電路圖及模擬圖.....	36
圖 4 - 10 放大器之電晶體大小訂定流程圖.....	37
圖 4 - 11 放大器 Post-layout 模擬增益、相位圖.....	38
圖 4 - 12 反相放大器 PSRR+、PSRR- 模擬圖.....	38
圖 4 - 13 相位產生器.....	40
圖 4 - 14 相位示意圖.....	41
圖 4 - 16 相位產生器之 Post-layout 模擬圖.....	41
圖 4 - 16 相位產生器之 Post-layout 模擬細部圖.....	41
圖 4 - 17 取樣保持電路與量化器的區塊示意圖.....	42
圖 4 - 18 動態比較器及 SR 正反器.....	42
圖 4 - 19 比較器運作相位示意圖.....	43
圖 4 - 20 量化器模擬波形.....	43
圖 4 - 21 整體架構圖.....	44
圖 4 - 22 電路佈局圖.....	45

圖 4 - 23 三角積分調變器 Post-simulation 之結果..... 46

圖 4 - 24 截取訊號頻寬之模擬圖..... 47

圖 4 - 25 三角積分調變器之動態範圍圖..... 47



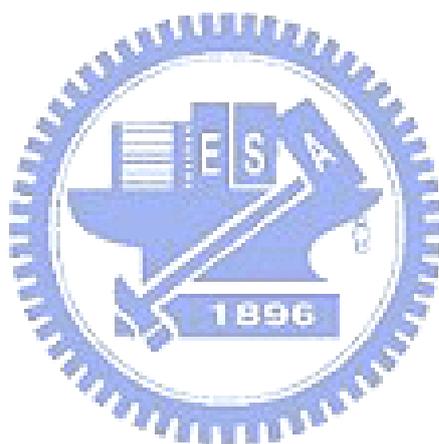
表目錄

表 4-1 放大器模擬規格表.....	39
表 4-2 不同製程變異下佈局模擬結果.....	47
表 4-3 電路規格表.....	48
表 5-1 規格比較表.....	50



第一章

緒論



1.1 研究動機

在人類生活文明與現代化的催化之下，人們的生活更為忙碌，壓力也隨之提升。而且長期缺乏運動，飲食精緻化的情形下，許多病變隨之產生，使得平常身體的自我檢測變得更為重要，為了使這些醫療產品大眾化，勢必要做成手持式並由電池提供電源的簡易電子產品，如：電子聽診器、肺音量測器…等。讓消費者能夠方便使用，在家就可以初步量測自身之心音與肺音。因應這樣的需求，其動態範圍、功率及面積都成為這類電子產品重要的設計要點。產品在經過接收器接收訊號之後，對訊號進行分析前，訊號由類比轉成數位訊號以便處理的過程中，對照應用之需求，通常會選用三角積分調變器 (Sigma-Delta Modulator)。三角積分調變器的基本觀念，早在 1960 年代就被提出，然而直到近年製程技術大幅提升，晶片製作成本大為降低之後，此技術才得以普遍使用。三

角積分調變器中，需要用到的電路為比較器、切換式電容電路、放大器、積分器、相位產生器…等。其中在積分器的部份，在早期多是使用電阻的方式組合而成。這樣的方式所耗的面積極大，成本較高。且容易因電阻間互不相匹配而降低效能，因此目前多是利用開關式電容 (Switch-capacitor) 等效替代傳統電阻式的積分器之使用。

一般在生醫應用調變器的方面，通常預估消耗功率大多控制在數百個微米以下，功率的消耗主要在於放大器的部份。在調變器的放大器選用上，一般會使用全差動 (Fully differential) 的裝置，得到相對的輸出值，再行比較。這樣可以互相抵消雜訊，進而提高解析度。但為達到一定的效能，必須消耗較大的功率。於是本專題之晶片，便是利用反相器 (Inverter) 做為放大器之用。利用三角積分調變器的過取樣 (Over-sampling) 特性，相對於取樣頻率而言輸入頻率極小，取樣得到的訊號時間極相近，可視為無相位的誤差。利用相位產生器產生四個互不重疊 (Non-overlapping) 的相位，兩兩為一組分別對差動輸入訊號進行處理，達到全差動的效果。

1.2 基本概念

本論文主要是處理生醫音訊一類的訊號，我們要探討的是心音及肺音量測，或是應用在助聽器方面的電路系統。因此在本節中，希望對這類訊號做一些初步的理解。一般在心肺音頻方面，頻率約在 20Hz 至 1KHz 之間。在心音[1]方面一般正常人的心音主要分為第一心音及第二心音。第一心音主要因房室瓣關閉所發出的聲音，而第二心音主要是因動脈瓣 (包含主動脈瓣及肺動脈瓣) 關閉所發出的聲音。若這些心音發生大小不一、不規則、聲音間隔不固定、出現第三心音 (心室快速充血時所發出的聲音) 或第四心音 (心房收縮所發出的聲音)，甚至是出現心雜音 (血流不順時發生) 的情形，那麼可能心臟方面出現病變。在產品應用時，可偵測一般正常的心音範本做為對照組，再與量測到的心音做比較，檢測是否有異常的現象。

在一般人耳的聽覺方面，如圖 1-1 中，一般定義 0 Hz 至 500 Hz 為低頻，500 Hz 至 2 KHz 為中頻，2 KHz 至 20 KHz 為高頻，人耳可聽的範圍約由 20 Hz 到 20 KHz，又

在中低音量時，對中頻最為敏感，再來為高頻，最後才是低頻。聽力的損失，主要是發生不正常的聲音感受性，動態範圍減低，頻率解析度減低，辨別聲源能力減低等。依據個人在各程頻率對音量需求的大小來定義，若以殘障鑑定標準，可分為：輕度聽障、中度聽障及重度聽障；而一般聽力損失程度仍可細分為：正常、輕度、中度、中重度、重度、極重度等六級。若是聽損是屬於輕度，因仍可聽到一般說話聲，故不需勉強配戴助聽器，重要會議或課堂上，只需調整好座位或事先作好協調工作即可，一般而言，中度以上聽力損失者，才需配戴助聽器，以協助其有更好的生活適應。

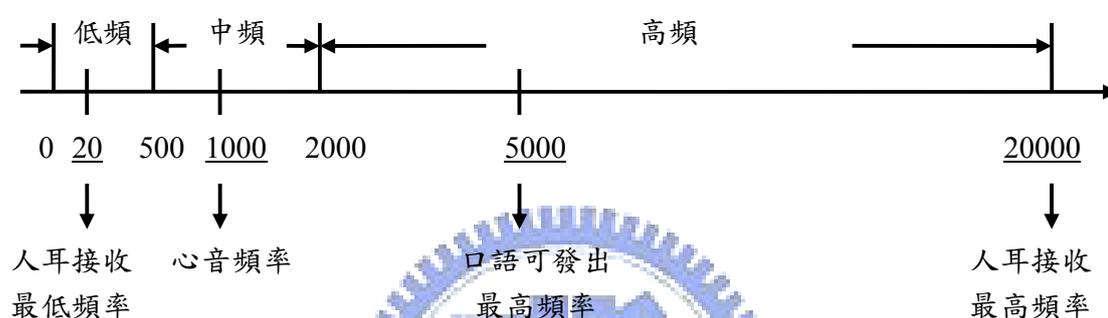


圖 1-1 人耳可接收音頻範圍示意圖

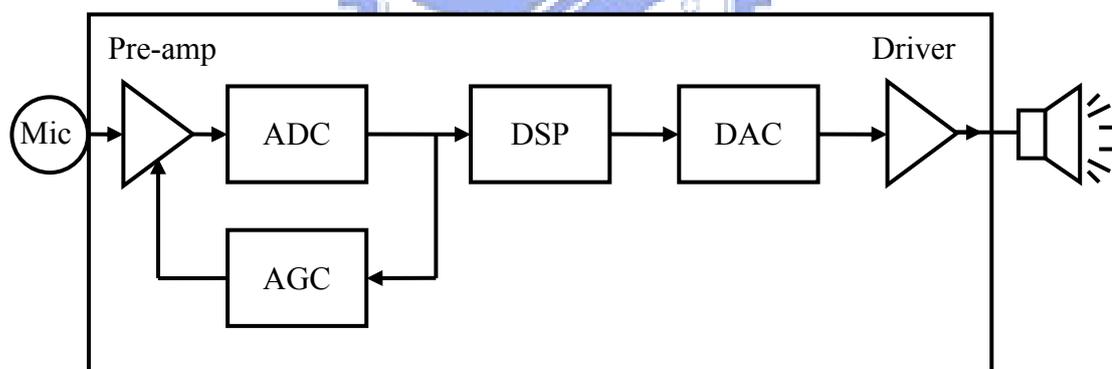


圖 1-2 生醫音訊系統示意圖

由上面的介紹中，我們可以發現生醫訊號的頻率，遠小於其他高速傳輸的訊號。圖 1-2 中，為生醫音訊系統的主要塊狀圖。我們所製作的部份，是類比數位轉換器當中的三角積分調變器。在類比數位轉換器的選用上，我們會選擇三角積分轉換器的原因，主要是其應用在慢速的訊號轉換上，可以得到較高的解析度。比起其他種轉換器，更適用於生醫系統之中。因此我們針對這樣的需求選用了三角積分調變器作為我們的轉換器，並且製作出高動態範圍、低功率、低面積、低電壓之系統電路。

1.3 論文架構

本論文主要分為五個章節，第一章針對我們的動機及應用面做簡易的介紹。接下來的文中，將在第二章針對系統圖裡面的類比數位轉換器做基本架構介紹，其中主要選用三角積分調變器為主要架構。在文中會了解到調變器的運作機制，以及電路當中必定產生的誤差，並對簡單調變器架構的誤差進行分析。

第三章則對製作品片的系統面進行分析。文中包含了論文中晶片區塊圖的呈現，及其數學模組的推演，並且利用 MATLAB / SIMULINK 進行系統參數的確認。經過幾番模擬後，針對最後確定的系統參數之區塊進行性能的模擬分析，確保符合規格需求。第四章則探討晶片中的細部電路，其中包含相位產生器、積分器、放大器及量化器等電路。並且呈現模擬結果，以確保適用於本電路架構之中。最後在第五章中，參考其他論文中的性能指標 (FOM)，針對本文中的晶片模擬結果數據與其他期刊論文進行比較，並對本論文作總結。



第二章

三角積分調變器的基本概念



2.1 本章簡介

在本章中將會了解到三角積分調變器的運作機制。當取樣頻率改變時，對量化雜訊的影響，以及高階調變器與低階雜訊轉換方程式的不同處。2.2 節主要對於類比數位轉換器必定會遇到的量化雜訊做分析探討，找尋可能減緩該項雜訊的方法，並對一般性能表示的方法作定義。2.3 節及 2.4 節則對低階及高階的單迴路三角積分調變器做分析。在 2.4 節會推導出單迴路三角積分調變器雜訊轉換方程式的一般式，並且繪出一階到三階雜訊轉換方程式對應頻率的曲線圖，可從中觀察出調變器的階數對各個頻段的影響。最後在 2.5 節中，將針對為何選用論文中的三階轉換器做解釋，並在下個章節中，對文中使用的轉換器作系統模擬。

2.2 三角積分調變器 (Sigma Delta Modulator)

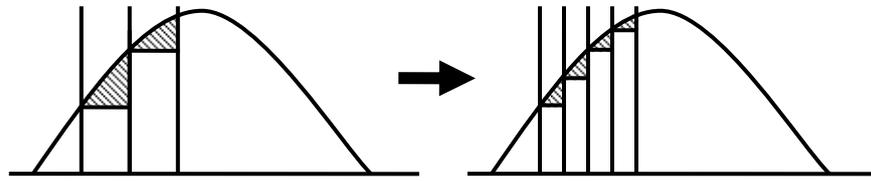


圖 2-1 取樣次數與量化誤差比較圖

三角積分調變器，早在 1960 年代即被提出。由於製程技術剛起步，因此若要完成一個簡單的調變器，對當時的技術而言，勢必得花費相當高的成本。所以該項技術直到近年，隨著製程技術的成熟，才再被深入探討、研究，大量運用在電子產品上。其運作方式是利用頻率較高的相位，對較低頻的輸入訊號做取樣，取樣後經積分器及量化器處理。得到一組輸出訊號，再將該輸出訊號與後一次的輸入訊號相減，得到一組量化誤差值。利用相位的切換，令量化誤差回授至輸入端，並與輸入訊號一同進入積分器中做處理，經過每一次的累積相減。最後在訊號頻率內，量化誤差大量減少。如圖 2-1 所示，若取樣次數增加，量化誤差也因訊號被切割較細且減少許多，並集中至高頻之中，使得系統頻寬中的量化誤差下降，訊號量化雜訊比上升。以下針對三角積分調變器可能發生的雜訊及操作機制做數學模組化分析，並且對表示三角積分調變器的性能指標定義做簡單的介紹。

● 量化誤差

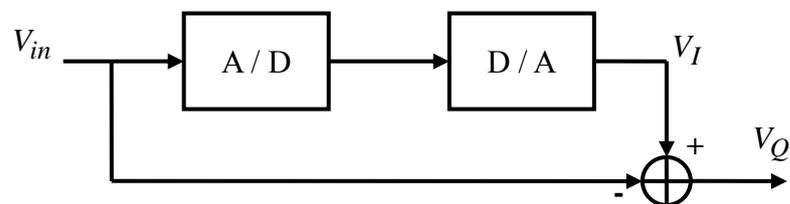


圖 2-2 訊號經類比數位轉換生成量化誤差示意圖

如圖 2-2 當輸入訊號經過類比數位轉換器及數位類比轉換器轉換後，不論電路是

否為理想，在量化的過程中必定會發生與原始輸入訊號不同的情形。而訊號與量化之差值 V_Q ，通稱為量化誤差 (Quantization error)。

$$V_Q = V_I - V_{in} \quad (2.1)$$

以下為量化誤差的深入分析：

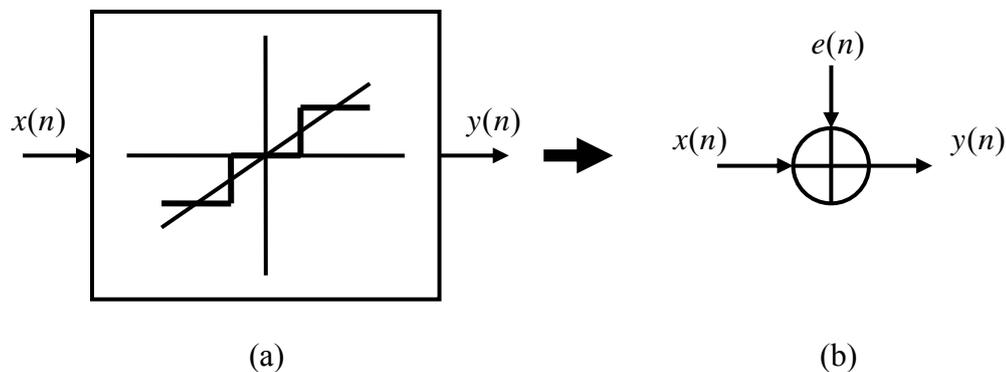


圖 2-3 量化器及其線性模組化

圖 2-3 (a) 為量化器的示意圖，圖 2-3 (b) 為其線性模組化圖。其中模組化的方式，是將量化誤差視為外來的雜訊，圖中以 $e(n)$ 表之。假設 $e(n)$ 與其他因素形成的雜訊無關，彼此相互獨立，並定義其範圍在 $\pm V_{LSB}/2$ 之間。在觀察該雜訊時，若是直接相加後平均，雜訊彼此存在正負關係，最後得到的加總結果趨近於零，無法正確判斷雜訊大小，因此通常會將其做方均根 (Root Mean Square, rms) 的處理以便觀察。

其中 V_{LSB} 的定義，來自於數位類比轉換器， N 位元的 D/A 轉換器之輸出值，可表示為：

$$V_{out} = V_{ref} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{ref} B_{in} \quad (2.2)$$

數位訊號經 D/A 轉換為類比訊號時，其輸出訊號的參考標地為 V_{ref} ，每經過 $1/2^N$ 的參考電壓，即變換一個位元。通常定義最小的轉換位元電壓為最低有效位元 (Least significant bit, LSB)。

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (2.3)$$

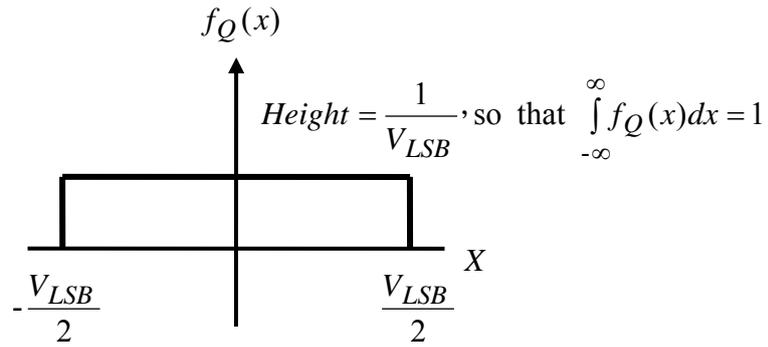


圖 2-4 量化誤差等效頻譜圖 [2]

依據圖 2-4 之等效圖，可推得量化誤差之平均值，

$$V_{Q(avg)} = \int_{-\infty}^{\infty} x \cdot f_Q(x) dx = \frac{1}{V_{LSB}} \left(\int_{-V_{LSB}/2}^{V_{LSB}/2} x dx \right) = 0 \quad (2.4)$$

此平均值，無法正確表達量化雜訊對系統的影響，因此下列將雜訊消耗量做方均根：

$$V_{Q(rms)} = \left[\int_{-\infty}^{\infty} x^2 \cdot f_Q(x) dx \right]^{1/2} = \left[\frac{1}{V_{LSB}} \left(\int_{-V_{LSB}/2}^{V_{LSB}/2} x^2 dx \right) \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.5)$$

對於調變器而言，欲了解該調變器的性能是否達到預定的規格，主要是觀察其訊號與雜訊比 (Signal-to-Noise Ratio, SNR)。若輸入為正弦波 (Sinusoidal waveform)，則正弦波之方均根值經推算後為 $V_{ref}/(2\sqrt{2})$ ，SNR 推導如下：

$$SNR = 20 \cdot \log \left(\frac{V_{in(rms)}}{V_{Q(rms)}} \right) = 20 \cdot \log \left(\frac{V_{ref}/2\sqrt{2}}{V_{LSB}/\sqrt{12}} \right) = 20 \cdot \log \left(\sqrt{\frac{3}{2}} \cdot 2^N \right) \quad (2.6)$$

$$SNR = 6.02N + 1.76 \text{ dB} \quad (2.7)$$

● 超取樣

三角積分調變器提高訊雜比的主要方法，為超取樣 (Over-sampling) 及雜訊移頻 (Noise Shaping)。其中超取樣主要是分散量化雜訊，使訊號頻率內的雜訊減少。雜訊移頻則是將雜訊推離訊號頻率至高頻，最後再由數位低通濾波器將高頻濾除。以下將對超取樣做介紹。

超取樣轉換器 (Over-sampling converters)，是在對某一有限頻段之應用需求時被使

用。主要是其取樣頻率操作在大於有限頻段 (f_0) 的兩倍的情形下，取樣頻率將量化誤差切割多段，並且使集中到高频，使得訊號頻段達成較高的 SNR。

定義超取樣比率 (Over-sampling ratio, OSR)，如下

$$OSR \equiv \frac{f_s}{2 \cdot f_0} \quad (2.8)$$

假設輸入為正弦波，則其最大峰值可寫成 $2^N \left(\frac{\Delta}{2}\right)$ ，依此輸入，可得訊號功率 P_s 為：

$$P_s = \left(\frac{\Delta \cdot 2^N}{2\sqrt{2}}\right)^2 = \frac{\Delta^2 \cdot 2^{2N}}{8} \quad (2.9)$$

而量化雜訊經過移頻之後，在我們需要的頻段之中，該雜訊功率可被減化為：

$$P_e = \int_{-f_s/2}^{f_s/2} S_e^2(f) |H(f)|^2 df = \int_{-f_0}^{f_0} K_x^2 df = \frac{\Delta^2}{12} \cdot \frac{1}{f_s} (2f_0) = \frac{\Delta^2}{12} \left(\frac{1}{OSR}\right) \quad (2.10)$$

由 (2.10) 可看出，當 OSR 每增加兩倍，雜訊的功率就會變減半，我們可計算最大 SNR：

$$SNR_{\max} = 10 \cdot \log\left(\frac{P_s}{P_e}\right) = 10 \cdot \log\left(\frac{3}{2} \cdot 2^{2N}\right) + 10 \log(OSR) \quad (2.11)$$

訊號經過 N-位元的量化器得到最大 SNR 可表示為：

$$SNR_{\max} = 6.02N + 1.76 + 10 \log(OSR) \quad (2.12)$$

因此當 OSR 愈大，則 SNR 愈大。但當 OSR 過大，相對於取樣頻率也加大，在後面 3.4 中將會介紹取樣頻率對輸出訊號可能發生的增益影響。當取樣頻率過大，可能導致訊號失真，因此在 OSR 的選用上，必須依照電路的限制作適當的調配。

● 熱雜訊

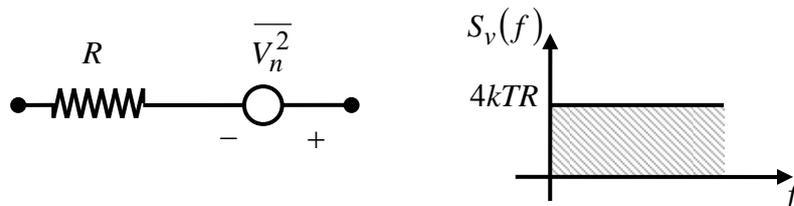


圖 2-5 熱雜訊等效模組及頻譜圖

熱雜訊 (Thermal noise) [3]對三角積分器的 SNR 影響亦極為嚴重，可能會加重其訊

號失真的情形，下面針對熱雜訊做介紹。一般在導體中，平均電流為零時，當中電子在絕對溫度大於零的情況下隨機運動，進而引發導體跨壓的變動，出現一組常數化的雜訊現象。圖 2-5 為熱雜訊的等效模組，在單一電阻下，將熱雜訊視為一外加的雜訊 $\overline{V_n^2}$ ，此熱雜訊利用頻域表之，可表示成：

$$S_v(f) = 4kTR, \quad f \geq 0 \quad (2.13)$$

其中 $k = 1.38 \times 10^{-23} \text{ J/K}$ ，為波茲曼常數 (Boltzmann constant)， T 為絕對溫度，

$S_v(f)$ 單位為 V^2/Hz 。以下考慮一般 RC 電路的熱雜訊，並計算其雜訊頻譜：

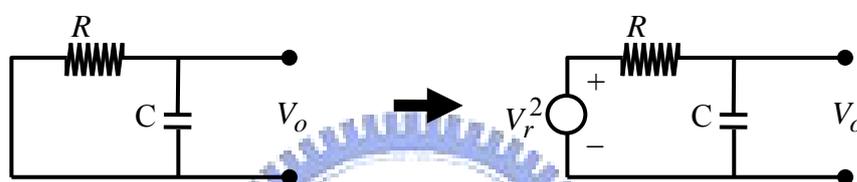


圖 2-6 一般 RC 電路之熱雜訊等效模組

利用 V_r 模組化 R 所生成的熱雜訊，則其轉換方程式可寫成：

$$\frac{V_o(s)}{V_r} = \frac{1}{RCs + 1} \quad (2.14)$$

則輸出的雜訊功率頻譜數學式，經推算後可寫成：

$$S_o(f) = S_r(f) \left| \frac{V_o(j\omega)}{V_r} \right|^2 = 4kTR \cdot \frac{1}{4\pi^2 R^2 C^2 f^2 + 1} \quad (2.15)$$

計算熱雜訊的總功率：

$$P_{n,o} = \int_0^{\infty} S_o(f) df \quad (2.16)$$

參照積分公式 $\int \frac{1}{x^2 + 1} dx = \tan^{-1} x$ ，則可改寫成：

$$P_{n,o} = \frac{kT}{C} \quad (2.17)$$

由 (2.17) 可觀察出，熱雜訊主要與溫度及電容存在關係，因此若希望熱雜訊變小時，可適當加大電容值，以降低熱雜訊的影響。我們亦是在不變更電容比例的情形下，加大

電容值，以降低熱雜訊對電路效能的影響。

● 性能指標

為了更了解電路之性能優劣，下面針對論文中表示該電路的性能指標，包含訊號雜訊比、訊號雜訊和失真比、有效位元數、動態範圍…等作定義及解釋，以便在設計過程中能夠辨別設計出的電路是否符合需求。

➤ 訊號雜訊比 (Signal-to-noise ratio, SNR)

訊號雜訊比是指系統中的訊號功率對上雜訊功率的比例。用在三角積分調變器上，通常是取其輸出點的數值做分析，經過快速傅利葉轉換 (Fast-Fourier Transform, FFT) 運算，利用漢尼窗 (Hanning Window) 做加權得到的值。而其中的雜訊來源，主要來自所有轉換過程中可能發生的雜訊，當中不包含諧波失真 (Harmonic Distortion)。SNR 的峰值亦表示著系統的效能。

$$SNR = \frac{P_{signal}}{P_{noise}} = \left(\frac{A_{signal}}{A_{noise}} \right)^2 \quad (2.18)$$

其中 P 為平均功率，A 為訊號及雜訊振幅作方均根運算。

又可表示為

$$SNR(dB) = 10 \log \left(\frac{P_{signal}}{P_{noise}} \right) = 20 \log \left(\frac{A_{signal}}{A_{noise}} \right) \quad (2.19)$$

又假如輸入訊號為正弦波，則

$$SNR = 6.02N + 1.76 \text{ (dB)} \quad (2.20)$$

➤ 訊號雜訊和失真比 (Signal-to-noise plus distortion ratio, SNDR)

訊號雜訊和失真比與訊號雜訊比相似，但在雜訊功率中包含了所有的雜訊，諧波失真也受到考慮。最大 SNDR 對三角積分調變器效能的好壞，是一個重要的指標。

$$SNDR(dB) = 10 \log \left(\frac{P_{signal}}{P_{noise+HD}} \right) = 20 \log \left(\frac{A_{signal}}{A_{noise+HD}} \right) \quad (2.21)$$

➤ **有效位元數 (Effective number of bits, ENOB)**

為最簡易判別轉換器優劣的方式，有效位元數被定義為類比訊號轉換成數位訊號時的位階對照，通常是以二進位表示。

$$ENOB = \frac{SNDR - 1.76(dB)}{6.02} \quad (2.22)$$

➤ **動態範圍 (Dynamic Range, DR)**

改變輸入訊號振幅之輸入功率，對應出不同的 SNR 或 SNDR，可以繪出如圖 2-7 之曲線。而動態範圍的定義即為最大 SNR 或 SNDR 時的輸入功率值與 SNR 或 SNDR 的值為零時的輸入功率值之差，即為其動態範圍，如圖上 X 軸的虛線標示之範圍。

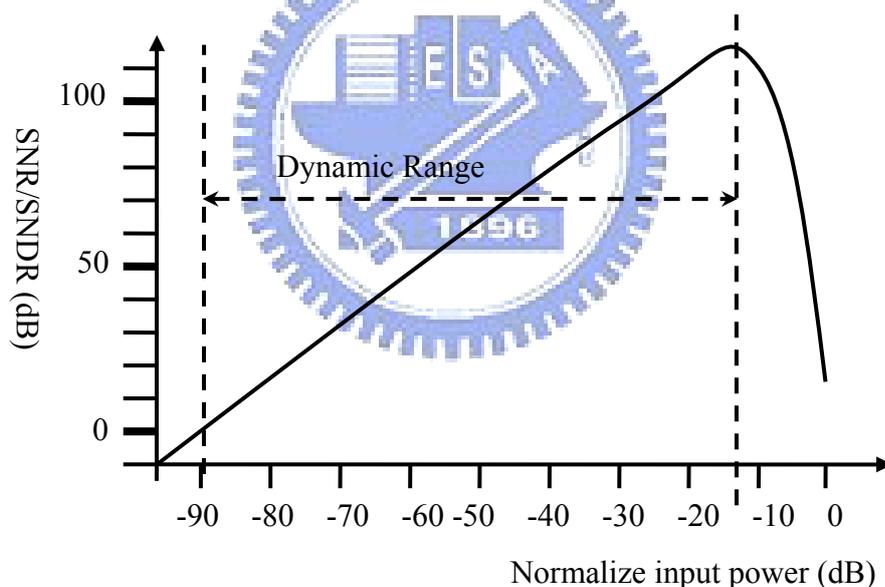


圖 2-7 動態範圍示意圖

2.3 低階三角積分調變器

三角積分調變器的階數影響著其效能高低，由電路複雜度而言，低階調變器相對於高階而言，架構簡單，設計起來也較為容易。但是對應所需的應用，可能無法符合規格，然而簡單的電路卻是我們在製作複雜架構的基礎，下面我們就是利用最簡單的一階及二

階構造做深入解析。

● 一階三角積分調變器^[3]

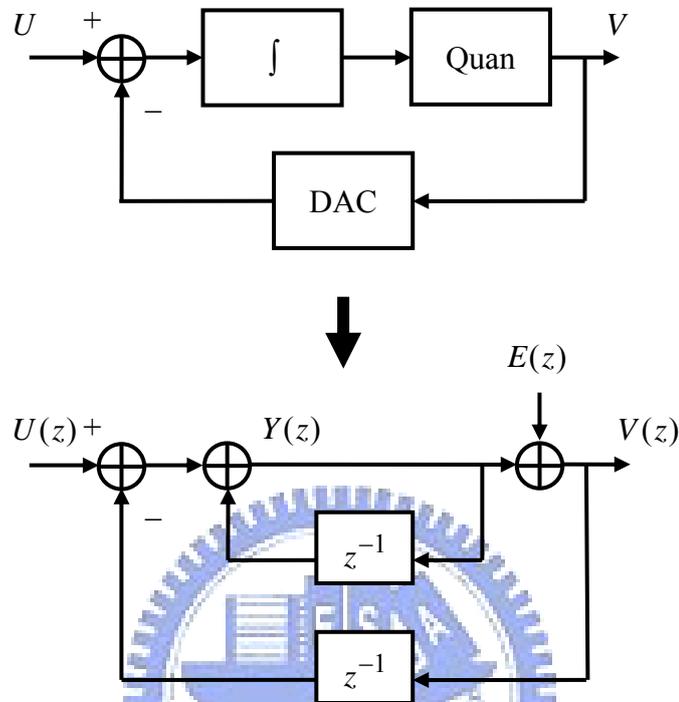


圖 2 - 8 一階三角積分調變器方塊圖及 z 轉換等效圖

三角積分調變器的另一項機制，即為雜訊移頻 (Noise Shaping)，在本章節中該項對雜訊的處理方法，將被討論並且模組化。

考慮圖2-8的線性模組，當中有兩個互相獨立的輸入，分別為主要訊號輸入及等效雜訊的輸入，分別可表示成訊號轉換方程式 (Signal transfer function, STF) 及雜訊轉換方程式 (Noise transfer function, NTF)

$$S_{TF}(z) \equiv \frac{Y(z)}{U(z)} = \frac{H(z)}{1+H(z)} \quad (2.23)$$

$$N_{TF}(z) \equiv \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} \quad (2.24)$$

又由圖中，可看出 STF 與 NTF 彼此獨立，則系統的輸出可寫成

$$Y(z) = STF(z) \cdot U(z) + NTF(z) \cdot E(z) \quad (2.25)$$

$$= \frac{H(z)}{1+H(z)} U(z) + \frac{1}{1+H(z)} E(z) \quad (2.26)$$

一階三角積分調變器，為該架構中，最為簡易之情形，因此一般用來了解調變器的基本特性，該架構包含了積分器、量化器及單一位元的數位類比轉換器。

以下對照圖2-8的z轉換區塊圖作推演，

$$Y(z) = z^{-1}Y(z) + U(z) - z^{-1}V(z) \quad (2.27)$$

$$V(z) = Y(z) + E(z) \quad (2.28)$$

$$V(z) = \frac{1}{1-z^{-1}}U(z) - \frac{z^{-1}}{1-z^{-1}}V(z) + E(z) \quad (2.29)$$

$$V(z) = U(z) + (1-z^{-1})E(z) \quad (2.30)$$

對照 (2.25)，則訊號轉換方程式為 $STF(z) = 1$ ，雜訊轉換方程式為 $NTF(z) = 1 - z^{-1}$ 。

下面針對雜訊轉換方程式做推導，由z轉換公式可知 $z = e^{j\omega T} = e^{j2\pi f / f_s}$ 雜訊轉換方程式可改寫成：

$$NTF(f) = 1 - e^{-j2\pi f / f_s} = \frac{e^{j\pi f / f_s} - e^{-j\pi f / f_s}}{2j} \cdot 2j \cdot e^{-j\pi f / f_s} \quad (2.31)$$

$$NTF(f) = \sin\left(\frac{\pi f}{f_s}\right) \cdot 2j \cdot e^{-j\pi f / f_s} \quad (2.32)$$

在此計算雜訊的功率：

$$P_e = \int_{-f_B}^{f_B} S_e^2(f) |NTF(f)|^2 df = \int_{-f_B}^{f_B} \left(\frac{\Delta^2}{12}\right) \cdot \frac{1}{f_s} \left[2 \cdot \sin\left(\frac{\pi f}{f_s}\right)\right]^2 df \quad (2.33)$$

假設輸入為一正弦訊號，其峰值的振幅大小為M，由訊號轉換方程式可推導出訊號輸出訊號功率為 $\frac{M^2}{2}$ ，結合超取樣定理，將 (2.8) 代入，得

$$\left. \begin{aligned} P_e &= \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{OSR}\right)^3 \\ P_s &= \frac{M^2}{2} \end{aligned} \right\} \Rightarrow SNR = \frac{P_e}{P_s} = \frac{36M^2(OSR)^3}{2\pi^2\Delta^2} \quad (2.34)$$

由 (2.34) 可看出，當超取樣係數每增加兩倍，訊雜比即可增加9dB。

● 二階三角積分調變器^[3]

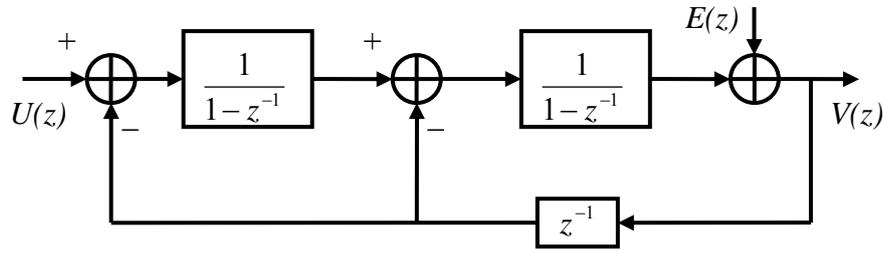


圖 2 - 9 二階三角積分調變器 z 平面系統圖

二階三角積分調變器主要由一階延伸而來，如圖 2 - 9 所示，該調變器的數學模組為：

$$V(z) = E(z) + \frac{1}{1-z^{-1}} \left[-z^{-1}V(z) + \frac{1}{1-z^{-1}} (-z^{-1}V(z) + U(z)) \right] \quad (2.35)$$

$$V(z) = \frac{(1-z^{-1})^2 E(z) - \left[(1-z^{-1})z^{-1} + z^{-1} \right] \cdot V(z) + U(z)}{(1-z^{-1})^2} \quad (2.36)$$

$$\Rightarrow V(z) = U(z) + (1-z^{-1})^2 E(z) \quad (2.37)$$

$$\Rightarrow STF(z) = 1, \quad NTF(z) = (1-z^{-1})^2 \quad (2.38)$$

$$\Rightarrow NTF(z) = \left(2 \sin \left(\frac{\pi f}{f_s} \right) \right)^2 \quad (2.39)$$

$$\left. \begin{aligned} P_e &= \frac{\Delta^2 \pi^4}{60} \left(\frac{1}{OSR} \right)^5 \\ P_s &= \frac{M^2}{2} \end{aligned} \right\} \Rightarrow SNR = \frac{60M^2(OSR)^5}{2\pi^4\Delta^2} \quad (2.40)$$

由 (2.40) 可看出，當超取樣係數 OSR 每增加兩倍，訊雜比即可提升 15dB。

低階的三角積分調變器，其構造較為簡易，然而在一階時，在適當的 OSR 之下，無法使系統效能達到需求；在二階的系統中，雖然可能達到所需的效能，然而在電路系統的設計製作中，可能發生 HD₃ 的非線性雜訊，使得效能降低，若欲達到較高的效能，必須使用多迴路的調變器，或是再增加階數，進而達到所需的效能。然而設計成多迴路系統，將會增加電路的複雜度，可能使得功率消耗大增，或是各個迴路雜訊彼此互相加成

影響，設計難度更為提升。因此在本論文中，使用了單迴路三階三角積分調變器來實踐我們的電路。

2.4 高階三角積分調變器

我們從上一節的方程式推演中，看出了OSR對效能的影響，並且在隨著階數的上升，效能提升的幅度亦跟著上升。在本節中，對高階調變器的訊號及雜訊轉換方程式作推導，其推導方式與低階相類似，如此一來可寫出L階調變器的輸出點一般式：

$$Y(z) = U(z) \cdot z^{-L} + E(z) \cdot (1 - z^{-1})^L \quad (2.41)$$

因此可得 $STF(z) = z^{-L}$ ， $NTF(z) = (1 - z^{-1})^L$ ，則可推得量化誤差的功率：

$$P_Q = \int_{-f_B/2}^{f_B/2} S_Q(f) \cdot |H(f)|^2 df = \int_{-f_B}^{f_B} \left(\frac{\Delta^2}{12} \cdot \frac{1}{f_S} \right) \cdot \left(2 \sin \left(\frac{\pi f}{f_S} \right) \right)^{2L} df \quad (2.42)$$

$$P_Q \cong \frac{2^{2L} \cdot \Delta^2}{12} \cdot \frac{1}{f_S} \int_{-f_B}^{f_B} \left(\frac{\pi f}{f_S} \right) df = \left(\frac{\Delta^2}{12} \right) \left(\frac{\pi^{2L}}{2L+1} \right) \left(\frac{2f_B}{f_S} \right)^{2L+1} \quad (2.43)$$

$$P_Q = \frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{OSR} \right)^{2L+1} \quad (2.44)$$

可以推得L階的調變器的最大SNR

$$SNR = 10 \log \left(\frac{P_S}{P_Q} \right) = 10 \log \left(\frac{\frac{\Delta^2 2^{2N}}{8}}{\frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{OSR} \right)^{2L+1}} \right) \quad (2.45)$$

$$= 10 \log(2^{2N}) + 10 \log\left(\frac{3}{2}\right) + 10 \log\left(\frac{2L+1}{\pi^{2L}}\right) + 10 \log(OSR^{2L+1}) \quad (2.46)$$

$$= 6.02N + 1.76 + 10 \log\left(\frac{2L+1}{\pi^{2L}}\right) + (20L+10) \log(OSR) \quad (2.47)$$

因此由 (2.47) 可觀察出，在L階的三角積分調變器之下，每增加兩倍的OSR，SNR就會增加 (6L+3) dB

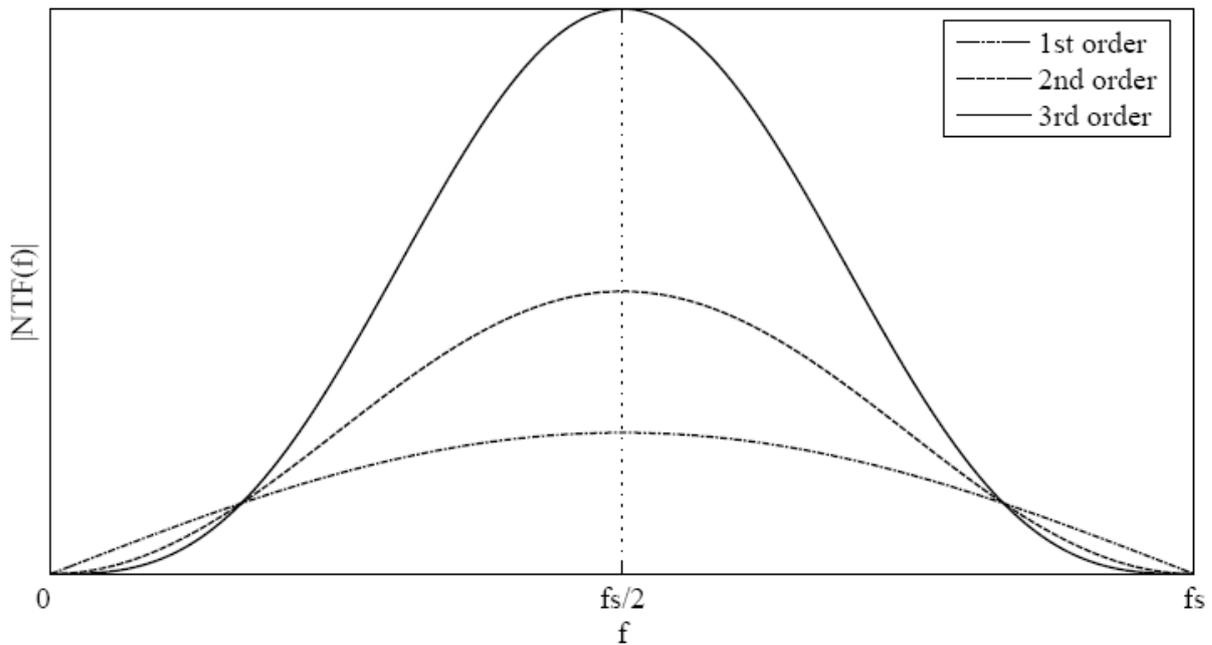


圖 2-10 各階三角積分調變器雜訊移頻能力比較圖

圖 2-10 分別為一階、二階及三階的雜訊轉換方程式對應到頻率的曲線圖。當階數愈高時，在訊號頻域裡的雜訊幾乎為零，量化雜訊幾乎集中到一半的取樣頻率之內。

然而要設計高階的調變器，還必須考慮到其穩定性。一個系統是否穩定，可參考轉換方程式中的極點是否落入 Z 平面的單位圓，除了可以穩固系統的穩定性外，還可以有效的將系統發揮，達到較好的性能。在大部份的例子中，多是調整系統參數，一方面使得量化雜訊降到最低，另一方面使系統達到穩定。而另一個影響電路穩定性的，就是輸入訊號的振幅大小。由於輸入訊號必須經過每個積分器，又在每個積分器，波形都會因超取樣的頻率影響，乘上一增益，所以當振幅過大，超過系統臨界點時，其輸出將會不受約束地放大，造成系統不穩定。因此在設計調變器時，輸入訊號大小，亦是設計重點之一。

2.5 本章結論

一般的類比數位轉換器，多利用尼奎斯特 (Nyquist) 的方式去對訊號做取樣的動作。其取樣頻率只用到訊號頻寬的兩倍，則訊號頻寬內的解析度很難提高。生醫音頻訊號相對於其他訊號而言，其頻率相對很低，因此使用三角積分調變器，利用超取樣的方

式，其取樣頻率也是相對低頻，又可將音頻訊號頻段內的量化雜訊降到最低。三角積分調變器又分成單迴路 (Single-loop) 及多迴路系統 (Muti-loop)，兩相比較之下，多迴路可將訊號頻率內的量化雜訊處理到較少的狀態。然而多迴路的設計問題，相較於單迴路系統而言更為複雜，包含線性度(Linearity)、偏置誤差 (Offset error) 及增益誤差 (Gain error) 等問題需要處理，對於每個迴路都必須做縝密的考量，且在功率的消耗上勢必較一般單一迴路來得高。為了簡化問題，在此選用單迴路的調變器做為主要的架構，考慮到低階的調變器的SNR可能不足，在此選用三階單迴路全差動三角積分調變器。



第三章

全差動三角積分調變器之設計考量



3.1 本章簡介

本章將針對三角積分器的系統架構做介紹，數學積分模組的近似、推演及積分器的等效推演等。在 3.2 節中，我們將利用 MATLAB 對論文中的系統架構係數做確認。利用 SIMULINK 架設區塊圖，輸入正弦波，截取其中之輸入及輸出的訊號數據後，再送入 MATLAB 作運算，可以看到該架構內部電路為理想時所呈現效能，確立我們的系統架構符合需求。3.3 節中會簡單介紹數學模組上的積分在 s 平面及 z 平面的等效轉換，推導出尤拉積分公式。3.4 節則思考如何選用開關式電容積分器組合出積分器的樣式，並且將其做數學模組化，以確定與 3.3 節中的尤拉正向積分公式一致。3.5 節則為本章總結。

3.2 系統架構及設計規格考量

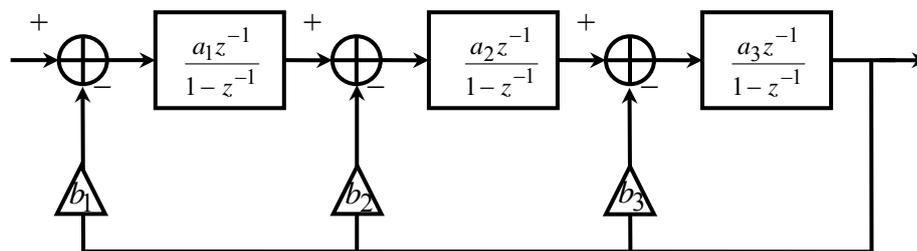


圖 3 - 1 單迴路三角積分調變器示意圖

圖 3 - 1 為一般單迴路三階三角積分調變器的示意圖。該架構對於低電壓、低功率的設計而言，為較好的選擇。為了確立系統架構，在這邊我們利用 MATLAB 軟體進行系統模擬。經過了幾番推演模擬之後，得到一組係數 0.2、0.4、0.5 組成之架構可達到我們的規格要求。圖 3 - 2(a)為利用該架構求出的零極點圖，另外圖 3 - 2(b)及 3 - 3 均是預設取樣頻率為 2.56MHz，輸入訊號頻率 5.625kHz，得到的系統模擬輸出頻譜圖，送入 MATLAB 作 FFT 運算，其中 3 - 2(b)為頻率圖 x 座標取 Log 規格，可以看出該三階系統的移頻能力，又圖 3 - 3 為 x 座標取線性規格，則該系統最終可得到訊雜比 86.47dB。

圖 3 - 3 是將系統中的放大器增益，以有限值的方式另設變數，代入方塊圖之中，利用 MATLAB 對其加以運算，繪出增益與訊雜比的對應圖。由圖中可看出，在放大器增益大於 40dB 時，系統的訊雜比即可達到穩定狀態，在此決定了本電路中的放大器增益大小。圖 3 - 4 為其動態範圍圖，該理想系統動態範圍約可達 92dB。

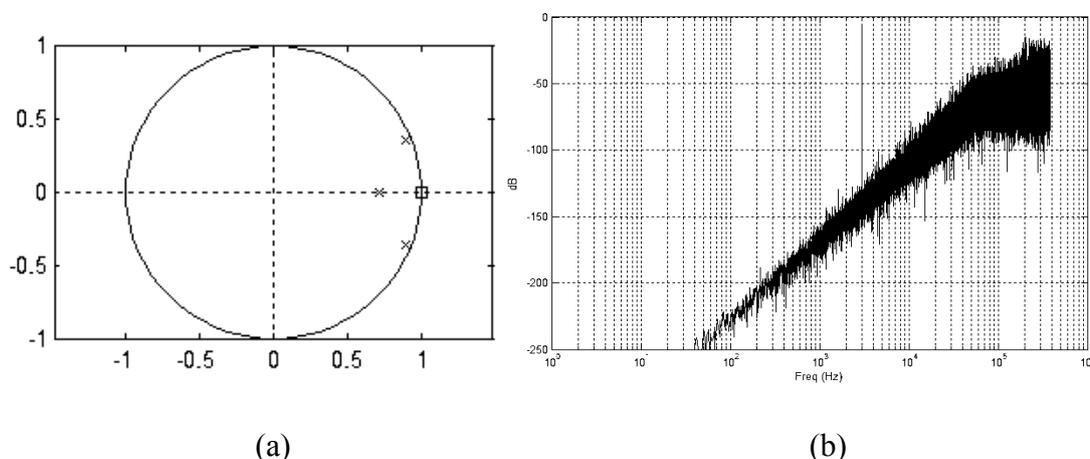


圖 3 - 2 系統模擬之零極點圖及 Log scale 頻譜圖

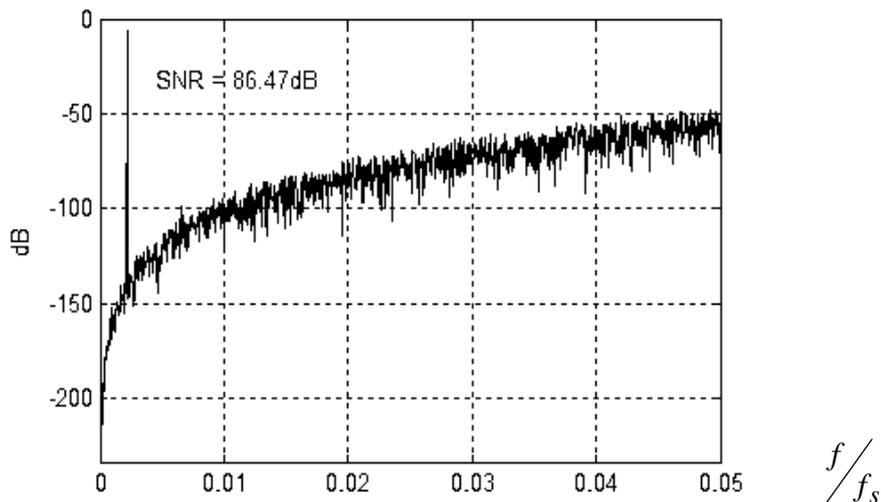


圖 3 - 3 輸入訊號 5.625KHz 之系統模擬輸出頻譜圖

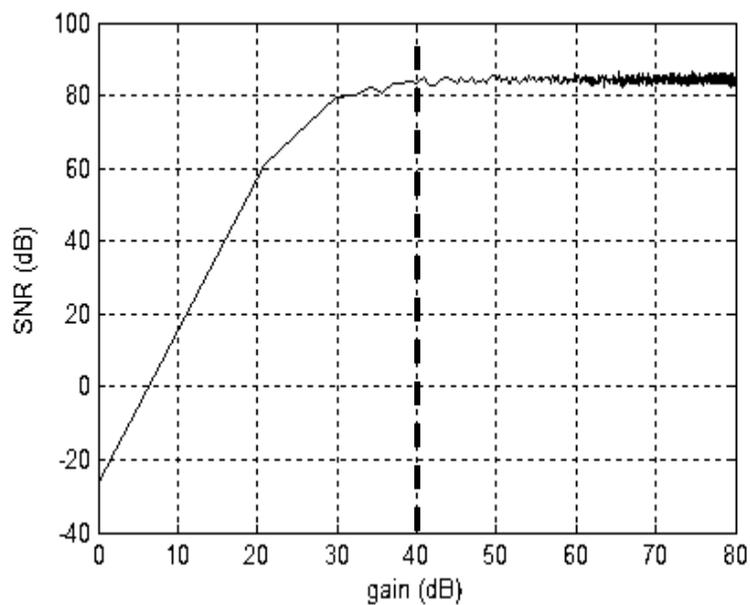


圖 3 - 4 變更系統中之放大器增益對應 SNR 圖

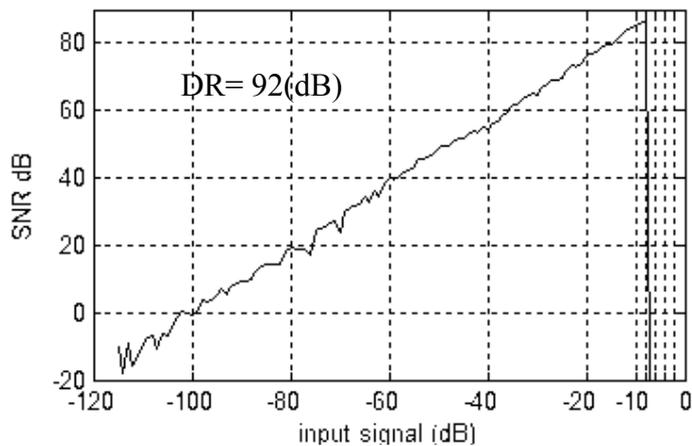


圖 3 - 5 系統之動態範圍圖

3.3 數值積分法 (Numerical Integrator)

確立了系統參數之後，接下必須確定我們積分器的部份，在電路的確立之前，先了解其一般式的樣式，在數值分析上，積分器的等效方式，主要是利用尤拉公式 (Euler Formula) 進行等效，其中又分三種，分別為正向 (Forward)、反向 (Backward) 及雙線性 (Bilinear)。如圖 3-5 所示，(a)、(b)、(c) 依序為正向、反向、雙線性的等效取點方式，分別是取該段訊號時域的前置點、後置點以及前後兩點以下的面積。

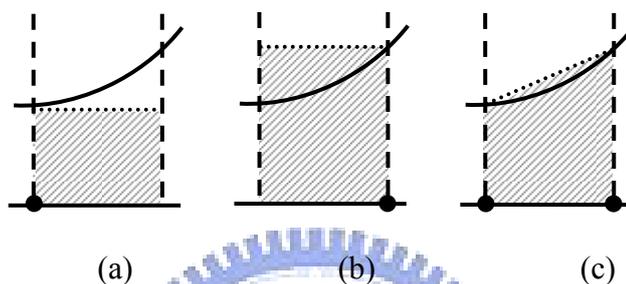


圖 3-6 數值積分法時域等效示意圖

■ 正向 (Forward)

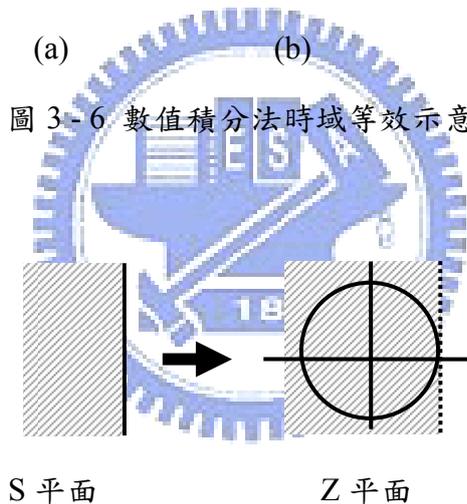


圖 3-7 正向積分等效之 S 平面與 Z 平面之對應圖

自 S 平面的穩定系統經過正向對應到 Z 平面之中，如圖 3-6 所示，其中包含了單位圓以外不穩定的部份，其數學式可表示為 $H(z) = H_c(s) \Big|_{s=\frac{z-1}{T}}$ ，其中 $z = 1 + sT$ ，對數

值積分而言 $\frac{1}{s} = \frac{T}{z-1}$ ，設取樣時間 T 為 1，則

$$\frac{1}{s} = \frac{z^{-1}}{1-z^{-1}} \tag{3.1}$$

■ 反向 (Backward)

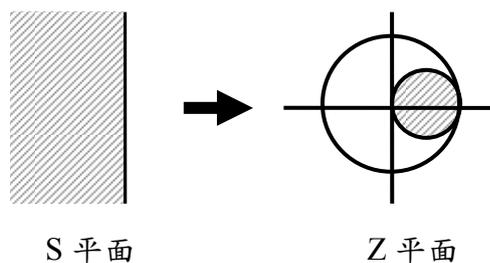


圖 3-8 反向積分等效之 S 平面與 Z 平面之對應圖

反向由 S 平面對應到 Z 平面，如圖 3 - 7 所示，只佔單位圓內的一部份，數學式可寫成 $H(z) = H_c(s) \Big|_{s=\frac{1-z^{-1}}{T}}$ ，又 $z = \frac{1}{1-Ts}$ ，對數值積分而言 $\frac{1}{s} = \frac{1}{1-Tz^{-1}}$ ，設取樣時間 T 為 1，則

$$\frac{1}{s} = \frac{1}{1-z^{-1}} \tag{3.2}$$

■ 雙線性 (Bilinear)

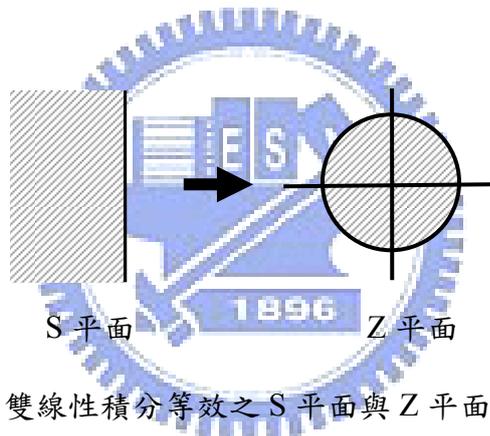


圖 3-9 雙線性積分等效之 S 平面與 Z 平面之對應圖

在雙線性的平面對應，可由 S 平面較為精準地對應到 Z 平面，但相對其電路的實現

上會較為複雜，數學可寫成 $H(z) = H_c(s) \Big|_{s=\frac{2}{T} \left(\frac{1-z^{-1}}{1+z^{-1}} \right)}$ ， $z = \frac{1 + \frac{T}{2}s}{1 - \frac{T}{2}s}$ ，對數值積分而言：

$$\frac{1}{s} = \frac{T}{2} \left(\frac{1+z^{-1}}{1-z^{-1}} \right) \tag{3.3}$$

對於不同的等效方式，在電路的實現上，亦會有不同的實現方法，各種的複雜度不盡相同，在下個章節當中，將會看到不同等效方式的實現。

3.4 切換式電容積分電路

(Switched-capacitor integrator circuit)

了解積分器的一般式，下面對積分器的電路再行了解。製作積分器的方式一般可以有電阻電容及切換式電容等方法；然而電阻電容式，會佔據太大的面積，且電阻在製程的製作上容易出現不相匹配的情形，降低電路效能，因此在此利用切換式電容的方式來實踐我們的積分器。

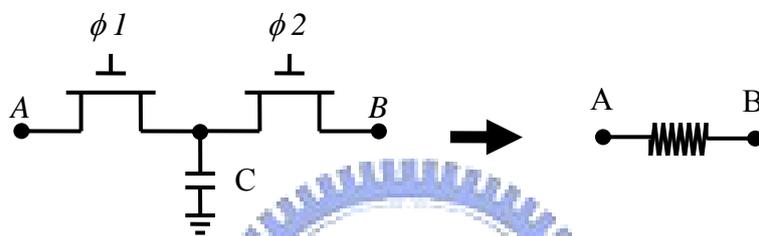


圖 3 - 10 切換式電容電路之阻抗等效

在積分電路中的開關式切換電容電路中，主要是利用開關切換搭配電容內的電荷流動形成阻抗，等效為電阻的角色，用以取代電阻電容式積分中的電阻。圖 3 - 9 中，當 A、B 存在壓差時，經過開關的切換，在電容中將存在電荷 $\Delta Q = C_1(V_A - V_B)$ ，又電流的基本

公式 $I = \frac{Q}{t} = \frac{V}{R}$ ，則：

$$R_{eq} = \frac{T}{C} = \frac{1}{C \cdot f_s} \tag{3.4}$$

● 單端積分電路

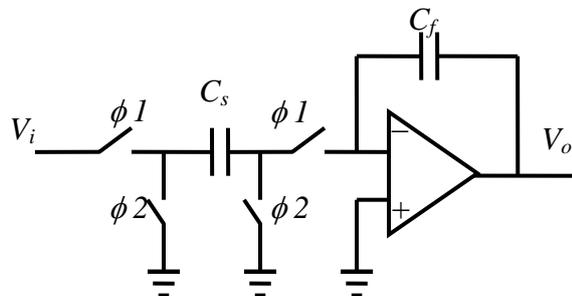


圖 3 - 11 無延遲開關式切換電容積分器 (Delay-free SC integrator)

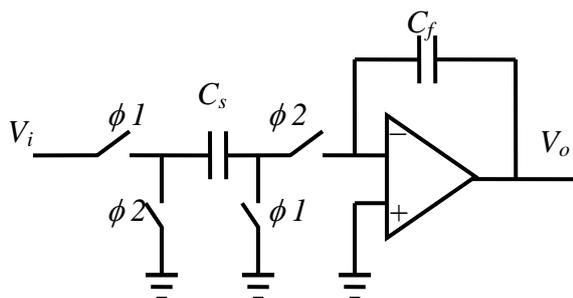


圖 3 - 12 非反相開關式切換電容積分器 (Noninverting SC integrator)

圖 3 - 10、3 - 11 均為低敏感寄生效應積分器 (Parasitic Insensitive Integrator)，圖 3 - 10 為無延遲的切換式電容積分器，當 $\phi 2$ 開通時，電容 C_f 不充電，因此可寫出下列式：

$$C_f V_o(nT - T/2) = C_f V_o(nT - T) \quad (3.5)$$

當 $\phi 1$ 開通後，輸入訊號對著 C_s 做充電，達 $C_s V_i(nT)$ ，如此一來，即可對兩個相位的電荷，寫出相對關係：

$$C_f V_o(nT) = C_f V_o(nT - T/2) - C_s V_i(nT) \quad (3.6)$$

將 (3.5) 代入 (3.6) 中，可變換為

$$C_f V_o(n) = C_f V_o(n-1) - C_s V_i(n) \quad (3.7)$$

上式經過 z 轉換，可化簡為

$$H(z) \equiv \frac{V_o(z)}{V_i(z)} = -\frac{C_s}{C_f} \frac{1}{1-z^{-1}} \quad (3.8)$$

對照 (3.2)，可看出，該電路的轉換方程式可利用該式組合而成，也就是實現了尤拉反相積分公式。

圖 3 - 11 中，在 $\phi 1$ 為高電壓，開關導通時，則 C_s 被充入 $C_s V_i(nT - T)$ 的電荷。又當 $\phi 2$ 的開關導通後， C_s 反轉對 C_f 放電，在此可以寫出一組電荷等效方程式：

$$C_s \cdot V_i(nT - T) + C_f \cdot V_o(nT - T) = C_f \cdot V_o(nT - \frac{T}{2}) \quad (3.9)$$

又電荷在 C_f 在時間 (nT) 與在 $(nT - \frac{T}{2})$ 的電荷保存量相同，因此 (3.9) 可改寫

$$\text{成：} \quad C_s \cdot V_i(nT - T) + C_f \cdot V_o(nT - T) = C_f \cdot V_o(nT) \quad (3.10)$$

(3.10) 等效到 z 平面中可寫成 $C_s \cdot z^{-1} \cdot V_i(z) + C_f \cdot z^{-1} \cdot V_o(z) = C_f \cdot V_o(z)$ ，經化簡後可得其轉換方程式：

$$\frac{V_o(z)}{V_i(z)} = \frac{C_s}{C_f} \frac{z^{-1}}{1 - z^{-1}} \quad (3.11)$$

對照 (3.1)，當 $C_s=C_f$ 時，兩式相等，等同於尤拉正向積分公式。

當訊號頻寬的頻率，遠小於取樣頻率時，轉換方程式中會出現一個增益係數 K_I ，這個增益值將反應在輸出訊號之中，因此在設計積分器時，必須考慮該項因素，以免輸入訊號過大導致失真。以下將對此係數做推導：

延續 (3.11)，可改寫成

$$H(z) = \left(\frac{C_s}{C_f} \right) \frac{z^{-1/2}}{z^{1/2} - z^{-1/2}} \quad (3.12)$$

$$z = e^{j\omega T} = \cos(\omega T) + j \cdot \sin(\omega T) \quad (3.13)$$

$$\omega = 2\pi \cdot f_o \quad (3.14)$$

$$T = \frac{1}{f_s} \quad (3.15)$$

由 (3.13) 可推出 (3.16)、(3.17)

$$z^{1/2} = \cos\left(\frac{\omega T}{2}\right) + j \cdot \sin\left(\frac{\omega T}{2}\right) \quad (3.16)$$

$$z^{-1/2} = \cos\left(\frac{\omega T}{2}\right) - j \cdot \sin\left(\frac{\omega T}{2}\right) \quad (3.17)$$

將(3.15)、(3.16)、(3.17)一同代入 (3.12)，得

$$H(z) = \left(\frac{C_s}{C_f} \right) \cdot \frac{z^{-1/2}}{2j \cdot \sin\left(\frac{\omega}{2f_s}\right)} \quad (3.18)$$

在極值定理中， $\lim_{x \rightarrow 0} \frac{\sin x}{x} = 1$ ，當 $x \rightarrow 0 \Rightarrow \sin x \cong x$ ，其中 $\frac{\omega}{f_s} \ll 1$ ，

則
$$\sin\left(\frac{\omega}{2f_s}\right) = \frac{\omega}{2} \cdot f_s \quad (3.19)$$

代入 (3.18)，則

$$H(z) = \left(\frac{C_s}{C_f} \right) \cdot \frac{z^{-1/2}}{j\omega} \cdot f_s \quad (3.20)$$

又 $z^{-1/2}$ 在數值中，是代表一個延遲的動作，因此予以忽略。於是即可推得該積分器存在一增益常數

$$K_I = \left(\frac{C_s}{C_f} \right) \cdot f_s \quad (3.21)$$

在此假設一輸入積分器的訊號為正弦波 $\sin(\omega t)$ ，經過積分後得

$$\int \sin(\omega t) dt = -\frac{1}{\omega} \cos(\omega t) \quad (3.22)$$

考慮超取樣定理，結合 (3.21)、(3.22)，可得輸出：

$$V_o = -\left(\frac{C_s}{C_f} \right) \cdot \frac{1}{\omega} \cdot f_s = -\left(\frac{C_s}{C_f} \right) \cdot \frac{f_s}{2\pi f_i} \cdot \cos(\omega t) \quad (3.23)$$

● 全差動積分電路^[4] (Fully Differential Integrator)

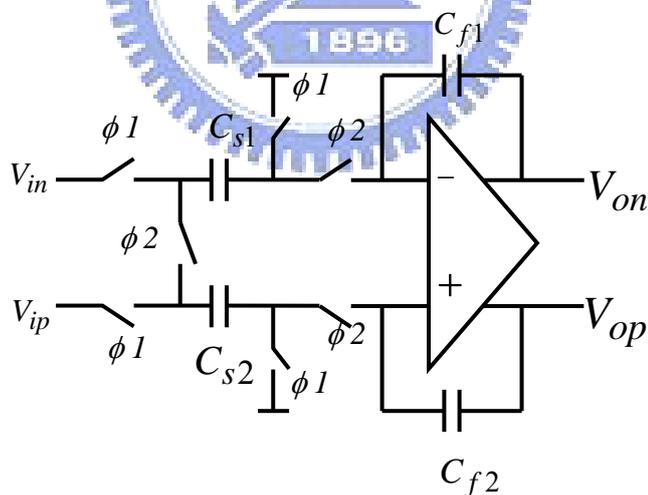


圖 3 - 13 全差動電容切換積分電路

圖3 - 12為一全差動電容切換積分電路，假設 $C_{s1}=C_{s2}=C_s$ 且 $C_{f1}=C_{f2}=C_f$ ，我們定義 V_{in} 、 V_{ip} 為輸入電壓， V_{on} 、 V_{op} 為輸出電壓， $N(t)$ 為時脈滲入效應 (Clock Feed Through) 造成之雜訊，依據時脈變化，可寫出等效電荷方程式：

$$V_{op}(nT - \frac{T}{2}) = V_{op}(nT - T) + \frac{1}{2} \cdot \frac{C_s}{C_f} [V_{ip}(nT - T) - V_{in}(nT - T)] + N(nT - T) \quad (3.24)$$

$$V_{on}(nT - \frac{T}{2}) = V_{on}(nT - T) - \frac{1}{2} \cdot \frac{C_s}{C_f} [V_{ip}(nT - T) - V_{in}(nT - T)] + N(nT - T) \quad (3.25)$$

令 $V_{op}(xt) - V_{on}(xt) = V_{out}(xt)$, $V_{ip}(xt) - V_{in}(xt) = V_{in}(xt)$, $C_s = C_f$,

$$\xrightarrow{\text{式(3.11)-式(3.12)}} V_{out}(nT - \frac{T}{2}) = V_{out}(nT - T) + V_{in}(nT - T) \quad (3.26)$$

$$\xrightarrow{z\text{轉換}} \frac{V_{out}(z)}{V_{in}(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (3.27)$$

對照 (3.11) 在單端積分電路不考慮時脈滲入效應時，其方程式相等，因此一般設計時通常會使用全差動的積分電路取代單端積分電路，利用相互抵消的方式，消除時脈滲入效應，使電路效能提升。

● 開關設計考量

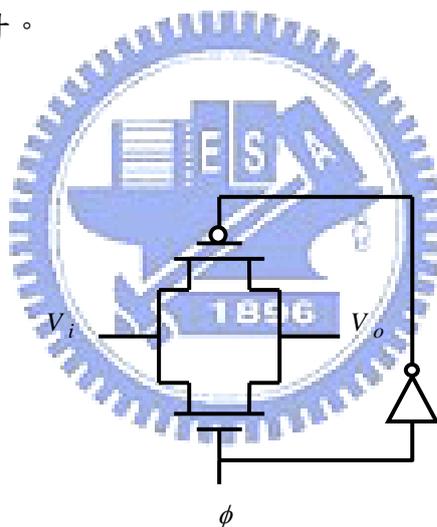


圖 3 - 14 CMOS 開關電路圖

在一般切換式電容電路之中需要用到許多的開關裝置，因此開關的大小、電荷注入效應 (Charge injection) 及時脈回饋 (Clock feedthrough) 等因素，都會直接影響到我們的電路。我們主要是利用 CMOS 開關來實現我們切換式電容的電路如圖3 - 14所示。下面將針對兩個因子做了解。

➤ 時脈回饋 [5]

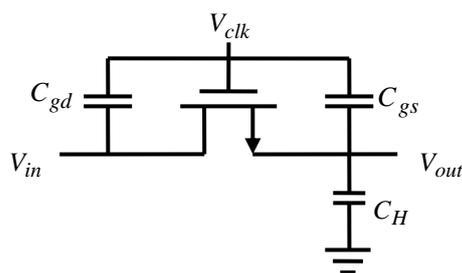


圖3 - 15 時脈回饋中等效雜散電容效應

一般在 NMOS 開關之中會存在一個雜散電容的效應，分別為 C_{gs} 及 C_{gd} ，如圖 3 - 13 所示，此雜散電容將直接影響 V_{in} 及 V_{out} 的電壓值。在 V_{out} 中會出現一為輸入無關的誤差 ΔV ，

$$\Delta V = V_{clk} \cdot \frac{W \cdot C_{ov}}{W \cdot C_{ov} + C_H} \quad (3.28)$$

其中 C_{ov} 為電晶體中閘極 (Gate) 和汲極 (Drain)、閘極和源極 (Source) 間彼此相重疊所生成的單位寬度 (W) 電容值和。這樣的誤差將使得訊號產生諧波失真，進而影響到我們電路的解析度。然而對於一般的 CMOS 開關而言，由於 CMOS 需要互補式的相位差進行切換，因此可適當的調整 NMOS 及 PMOS 的長寬大小，讓彼此間的雜散電容誤差可相抵消，降低時脈回饋造成的影響。另外，亦可適當的加大電路的負載電容，降低雜散電容的比例。

➤ 電荷注入效應 [5]

當 NMOS 開關導通時，因通道反轉而生成的電荷必須被排除，形成了電荷注入效應，一部份的電荷流入了負載電容之中，使輸出產生誤差，解析度降低。為了減低這個效應對電路的影響，可以在開關與負載電容間加入合適的假元件 (Dummy device)，做成假冒式開關 (Dummy switch)。而在 CMOS 開關中，PMOS 及 NMOS 所排除的電荷為相反的極性，因此無法完全消除，但相較於單純的 MOS 開關而言是有改善的。另外在我們設計的電路架構中，主要是利用全差動的方式處理差動

訊號，亦可抵消電荷注入效應的影響。

3.5 本章結論

本章節中，利用了 MATLAB 確認了我們的系統參數值，分別為 0.2、0.4、0.5，使得系統的規格得以符合我們的需求。確立了我們的系統參數後，接著所需考慮的部份，即是如何實踐積分器的部份，由於一般電容電阻式組成積分器，其面積可能過大，又可能因電阻互不匹配而形成更大的雜訊，因此我們選用了切換式電容積分器，並對其數學一般式作推導，對可能發生的增益或雜訊更深入的理解。



第四章

全差動三角積分調變器

應用於生醫音頻前端電路



4.1 本章簡介

在本章節中，將針對實現之架構進行細部電路的介紹。首先在 4.2 節裡，會對三角積分調變器中的積分器電路進行了解，並且推導其數學式，證明該架構足以取代並且等同於一般積分器。在 4.3 到 4.5 節，將仔細的探討內部電路，如放大器、相位產生器以及量化器等。4.3 節中除了分析反相放大器的特性外，還提出了一設計流程，方便放大器的設計。4.4 節中四個互不相重疊的相位產生器將被介紹。4.5 節裡則會了解到動態量化器的組成方式包含動態比較器的相位運作方式。4.6 節則是電路經過佈局後模擬結果的呈現。4.7 節則針對本章作一個簡單的結論。

4.2 反相放大器組成之全差動積分器

在本電路架構中的積分器，主要是利用數位架構中的反相器作為放大器，搭配四個互不相重疊的相位切換，處理差動的輸入訊號，最後再利用取樣保持電路裝置，濾出積分的差動輸出訊號，達成全差動的效果，如圖 4-1 所示。

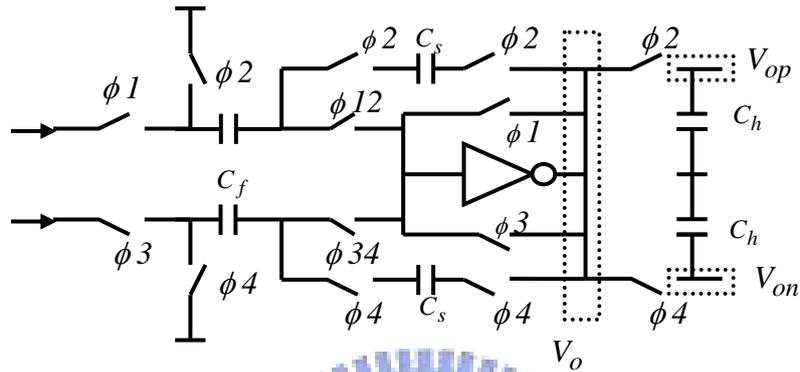


圖 4-1 本文中之積分器電路架構

圖 4-1 的積分器架構，可視作兩組單端積分器組成之全差動架構，當中放大器的部份共用，當電路發生共模雜訊時，共用的放大器仍然控制在同一點，其中 ϕ_{12} 及 ϕ_{34} 為處理正負端訊號的分水嶺。圖 4-2、4-3 是對本積分電路作初步的模擬，圖 4-2 為正弦訊號經過積分器。在尚未經過取樣保持電路前的波形前，受相位的取樣影響，其顯現出來的波形猶如駐波。在經過取樣保持電路後，如圖 4-3 即可明顯看出其積分的波形，即出現正弦波形經過積分後的樣子。

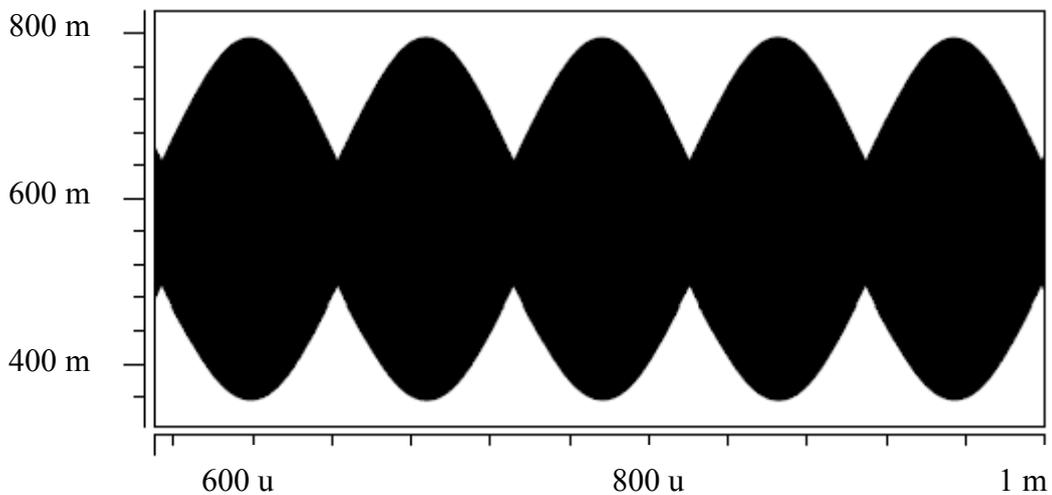


圖 4-2 本電路輸出點 V_o 之波形

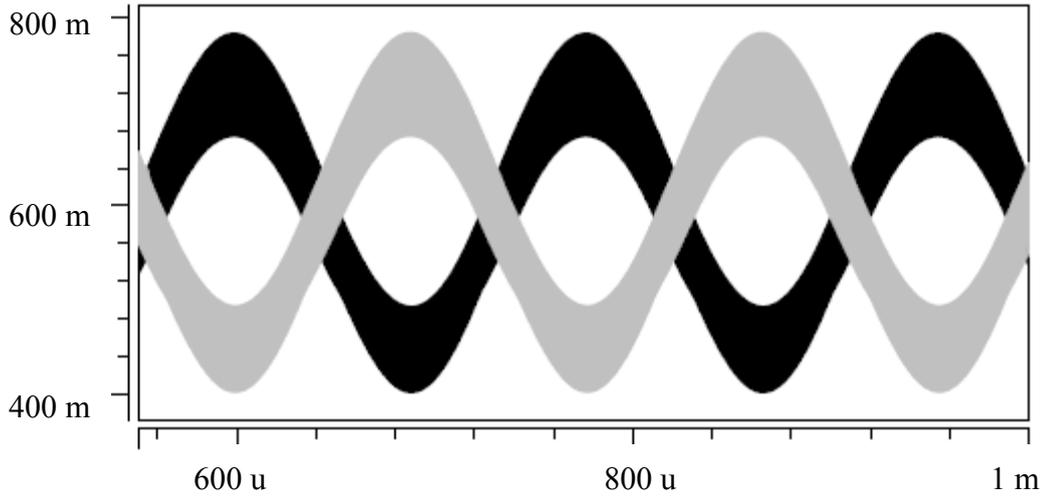


圖 4-3 本電路輸出點 V_{op} 、 V_{on} 之波形

圖 4-4 表示出在不同相位，積分器處理差動訊號時，電路的運作方式。當相位進入 ϕ_{12} 、 ϕ_1 、 ϕ_2 時對正端訊號做處理， ϕ_{34} 、 ϕ_3 、 ϕ_4 時對負端訊號做處理，其中由圖中可看出反相放大器的部份是共用的，最後再利用取樣保持電路將電荷保存在電容之中備用。下面將積分器化簡，視為一組單端積分器，如圖 4-5 所示，之後針對該單端積分器做數學推導。假設放大器之增益為有限值 A ， V_{off} 為直流偏差電壓，在運算過程中，即可發現直流偏差電壓會互相抵消。

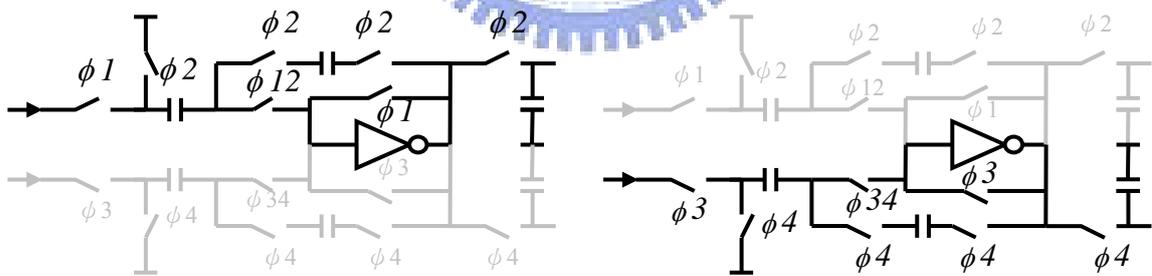


圖 4-4 積分器相位切換圖

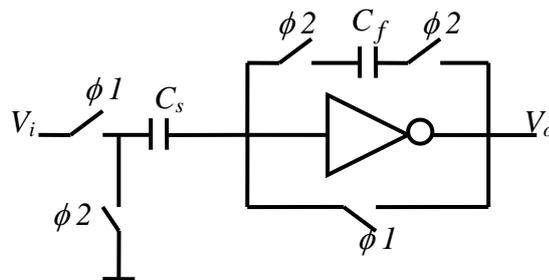


圖 4-5 本論文電路架構之單端積分器

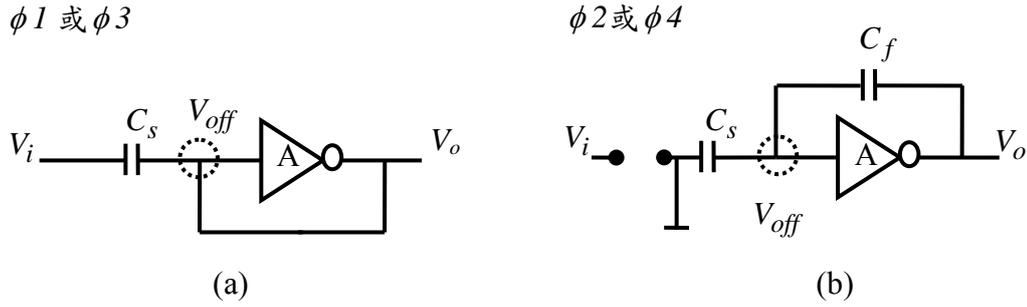


圖 4-6 積分器相位切換分解圖

圖 4-6 為單端積分器分別在相位切換時的示意圖，設放大器增益為 A ，並且在放大器的輸入端預設一偏差電壓 V_{off} 。如圖 4-6 (a)，當相位進入到 $\phi 1$ 或 $\phi 3$ 時，電路進入重整狀態，在 C_s 中會累積 $[V_i(n-1) - V_{off}] \cdot C_s$ 的電荷，又在 C_f 中則累積

$V_o(n-1) \cdot C_f - (V_{off} - \frac{V_o(n-1)}{A}) \cdot C_f$ ，則總電荷可寫成：

$$[V_i(n-1) - V_{off}] \cdot C_s + [V_o(n-1) - (V_{off} - \frac{V_o(n-1)}{A})] \cdot C_f \quad (4.1)$$

當相位進入到 $\phi 2$ 或 $\phi 4$ 時，電路的切換結果如圖 4-6 (b)，進入積分相位，則總電荷值為：

$$[0 - (V_{off} - \frac{V_o(n)}{A})] \cdot C_s + [V_o(n) - (V_{off} - \frac{V_o(n)}{A})] \cdot C_f \quad (4.2)$$

由電荷守恆定律可知 (4.1) = (4.2)，則

$$\frac{V_o(z)}{V_i(z)} = \frac{\frac{C_s}{C_f} \cdot \frac{A}{1+A} \cdot z^{-1}}{\frac{C_s}{C_f} + 1 - z^{-1}} \quad (4.3)$$

當放大器的增益趨近於無限大，則：

$$\frac{V_o(z)}{V_i(z)} = \frac{C_s}{C_f} \cdot \frac{z^{-1}}{1 - z^{-1}} \quad (4.4)$$

這第三章積分電路的 (3.11) 相符合。

4.3 反相放大器 (Inverter amplifier)

取代一般的全差動放大器，本論文中積分器電路所使用的是數位架構中之雙層反相放大器 (Tri-state inverter)。如圖 4 - 7 所示，讓 M_{bp} 、 M_{bn} 工作在三極管區 (Triode region)，做為 M_p 及 M_n 的源極退化 (Source degeneration) 裝置，用來穩定放大器的電流不受溫度變化形成的熱雜訊影響而改變電流值，使放大器的輸出得以固定在適當的共模點。

圖 4 - 8 為反相放大器在不同製程變異下所呈現的轉換曲線，雖然其線性度不如一般放大器來得好，但依然存在一段範圍使反相放大器正常運作。我們希望將其輸入訊號準位調整到可運作的共模點之上，於是在輸入的部份，我們設置了一組交流耦合電路 (AC couple circuit)，如圖所示 4 - 9。用 R、C 組成兩組高通濾波器，利用一組反相放大器輸入、輸出相接得到可使用的共模準位，並接到兩個電阻中間，使系統的輸入訊號能夠精確地控制在正常運作的準位之上，使放大器能正確運作。

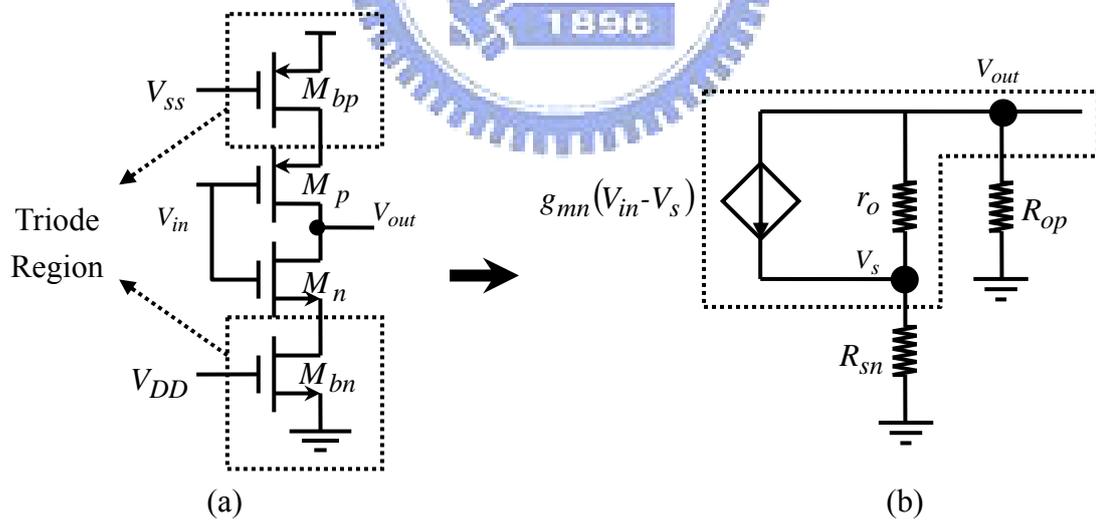


圖 4 - 7 反相放大器及其等效圖

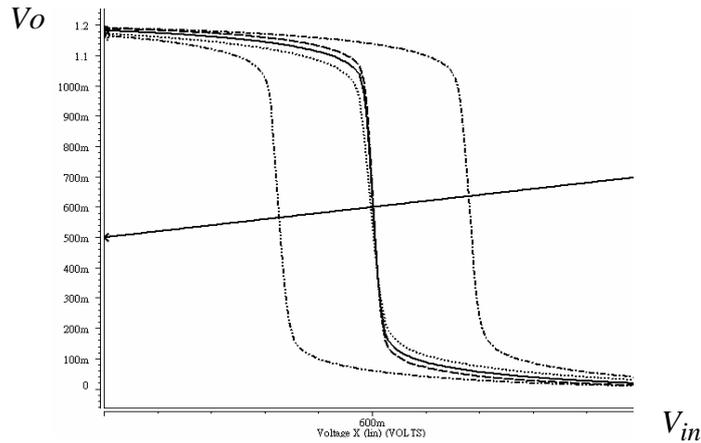


圖 4-8 反相放大器之轉換曲線

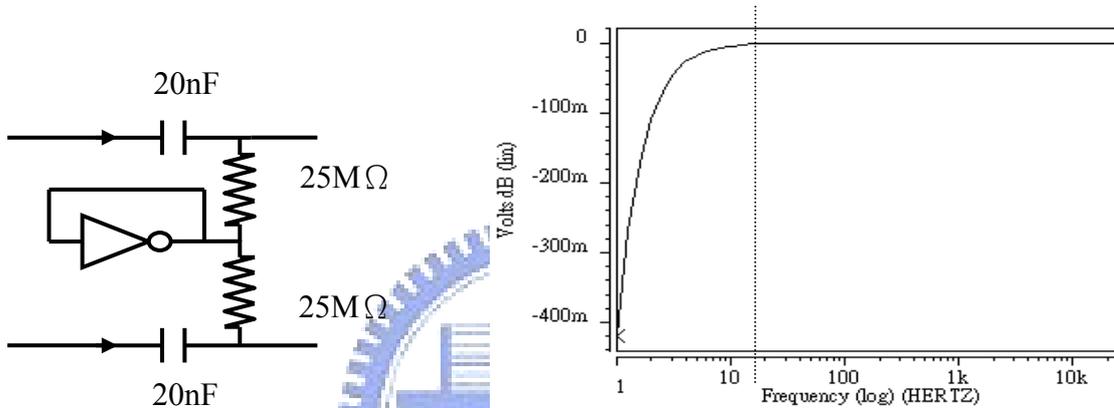


圖 4-9 輸入級裝置設計電路圖及模擬圖

圖 4-7 (b) 為反相放大器及其以 N 型電晶體為放大主體的小訊號等效電路圖，其中 g_{mn} 為 NMOS 的轉換電導。以下為放大器之增益推導。由 N 型電晶體為放大主體，看向其汲極，可將上方的電晶體等效為汲極阻抗， $R_{OP} = r_{op} + R_{dp} + g_{mp} \cdot r_{op} \cdot R_{dp}$ 。同理由 P 型電晶體看向其汲極可得其等效阻抗為 $R_{ON} = r_{on} + R_{dn} + g_{mn} \cdot r_{on} \cdot R_{dn}$ 。依據等效電路，以超節點的方式參照克西荷夫等效定律 (Kerchief's Law)，推得下列數學式：

$$\frac{V_{out}}{R_{OP}} + \frac{V_s}{R_{sn}} = 0 \Rightarrow V_s = -\frac{R_{sn}}{R_{OP}} \cdot V_{out} \quad (4.5)$$

$$\frac{V_{out} - V_s}{r_{on}} + g_{mn}(V_{in} - V_s) = \frac{V_s}{R_{sn}} \quad (4.6)$$

$$A_{vn} = \frac{V_{outn}}{V_{in}} = \frac{-g_{mn} \cdot r_{on} \cdot R_{OP}}{R_{sn}(1 + g_{mn} \cdot r_{on}) + r_{on} + R_{OP}} \quad (4.7)$$

同理，對 P 型而言：

$$A_{vp} = \frac{V_{outp}}{V_{in}} = \frac{-g_{mp} \cdot r_{op} \cdot R_{ON}}{R_{sp}(1 + g_{mp} \cdot r_{op}) + r_{op} + R_{ON}} \quad (4.8)$$

再利用疊代定理，可得

$$A_v = \frac{V_{out}}{V_{in}} = \frac{-g_{mp} \cdot r_{op} \cdot R_{ON}}{R_{sp}(1 + g_{mp} \cdot r_{op}) + r_{op} + R_{ON}} + \frac{-g_{mn} \cdot r_{on} \cdot R_{OP}}{R_{sn}(1 + g_{mn} \cdot r_{on}) + r_{on} + R_{OP}} \quad (4.9)$$

其中 R_{sn} 及 R_{sp} 分別為 M_{bn} 及 M_{bp} 操作在三極管區的等效電阻，搭配此公式及應用所需的放大增益頻寬 (Gain Bandwidth)，可計算出放大器的 $\frac{W}{L}$ 值，經過調整後，則可得出每個電晶體的尺寸大小，下面針對放大器的電晶體大小的實際計算方法得出一流程圖。反相放大器中的電晶體大小，依照所需的放大增益頻寬，對照與 g_m 、負載電容的關係，計算出符合增益、頻寬之放大器的大小。

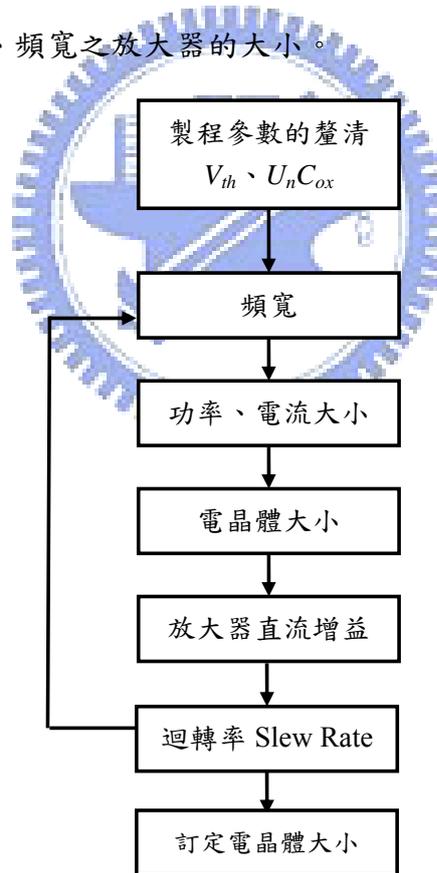


圖 4-10 放大器之電晶體大小訂定流程圖

圖 4-10 為計算放大器之電晶體尺寸大小訂定的流程圖。首先對使用的製程參數做了解，找出電晶體的臨界電壓及參數值，再依據設計電路之應用，得出所需的頻寬。

由頻寬與 g_m 及負載電容之間的關係，設定好可能的負載電容大小並套入，即可計算出 g_m 的值。由於 g_m 和電晶體的電流值與製程參數彼此相關聯，所以在最後就可推算出符合需求的電晶體長寬比值。

$$\omega_t = \frac{g_m}{C_L} = A_v \cdot \omega_0 = A_v \cdot 2\pi \cdot f_0 \quad (4.10)$$

$$g_m = \sqrt{2I_D \cdot K} = \mu C_{ox} \frac{W}{L} \cdot V_{ov}^2 \quad (4.11)$$

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} \cdot V_{ov}^2, \quad V_{ov} = V_{gs} - V_{th} \quad (4.12)$$

$$\Rightarrow \frac{W}{L} = \frac{A_v \cdot 2\pi f_0 \cdot C_L}{\mu C_{ox} (V_{gs} - V_{th})} \quad (4.13)$$

反相放大器的輸出最大振幅：

$$\text{Output swing} = 2 \times \left[\frac{V_{DD}}{2} - \max(|V_{DS(p-tri)}|, V_{DS(n-tri)}) \right] \quad (4.14)$$

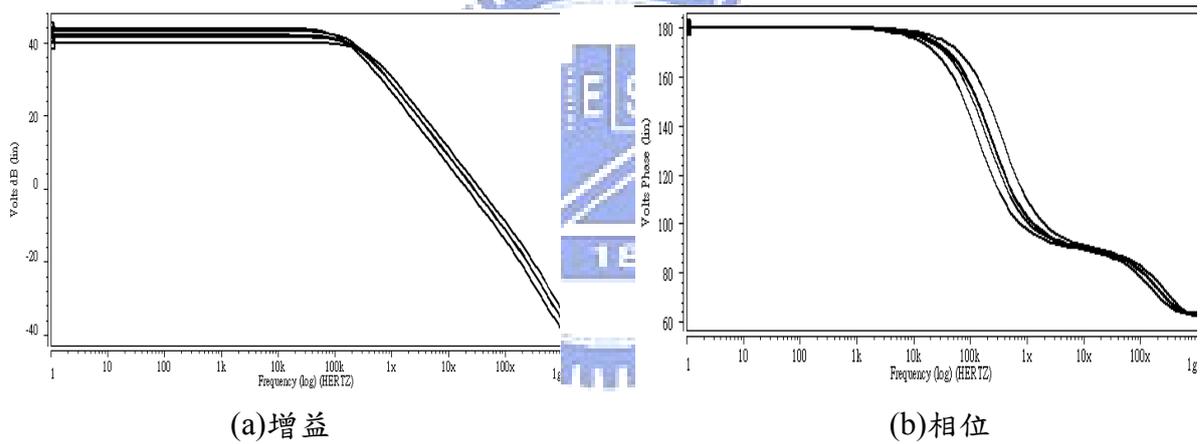


圖 4 - 11 放大器 Post-layout 模擬增益、相位圖

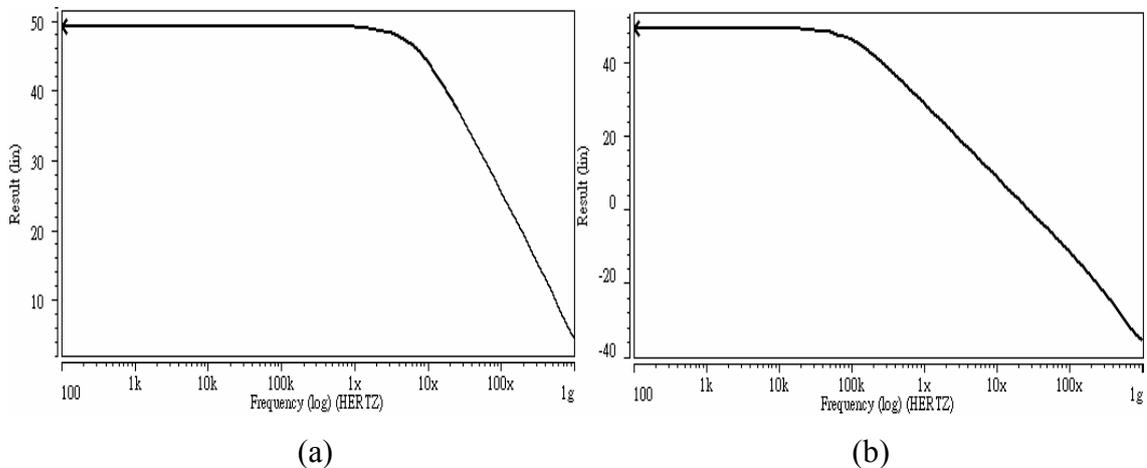


圖 4 - 12 反相放大器 PSRR+、PSRR- 模擬圖

實際放大器經電路模擬、佈局後的結果，如圖 4 - 11 所示，為放大器的 Post-layout 模擬圖。其增益達到 40dB，相位邊限 (Phase margin) 約 87 度，增益帶寬 (Gain Bandwidth) 也都達到調變器取樣頻率 (2.56MHz) 的 10 倍以上。而 PSRR 模擬如圖 4 - 12 所示，圖 4 - 12(a)為對 V_{DD} 所做的 PSRR 模擬結果為 46.1dB。圖 4 - 12(b)為對 V_{SS} 所做的 PSRR 模擬結果為 45.9dB。這樣的結果雖然不比其它一般放大器要來得好，但是仍為可接受的範圍，且因為使用在攜帶型的應用上，是使用電池來提供電源，有較乾淨之電源。表 4 - 1 為反相放大器，在各個製程變異下，在負載電容 3pF 的情形下，得到的模擬值。

表 4 - 1 放大器模擬規格表

	Gain (dB)	PM (°)	PSRR+ (dB)	PSRR- (dB)	BW (K-Hz)	Gain BW (M-Hz)	Power (μ W)
TT	43.20	87.67	49.22	49.23	196.11	28.53	35.13
SF	41.53	87.75	46.1	45.9	235.98	28.33	35.60
FS	42.02	87.75	47.18	47.94	226.41	28.75	34.83
FF	39.99	87.83	48.4	47.7	361.54	36.37	52.69
SS	43.88	87.72	49.82	49.99	135.77	21.33	22.55

(@負載電容 3pF)

4.4 相位產生器 (Clock generator)

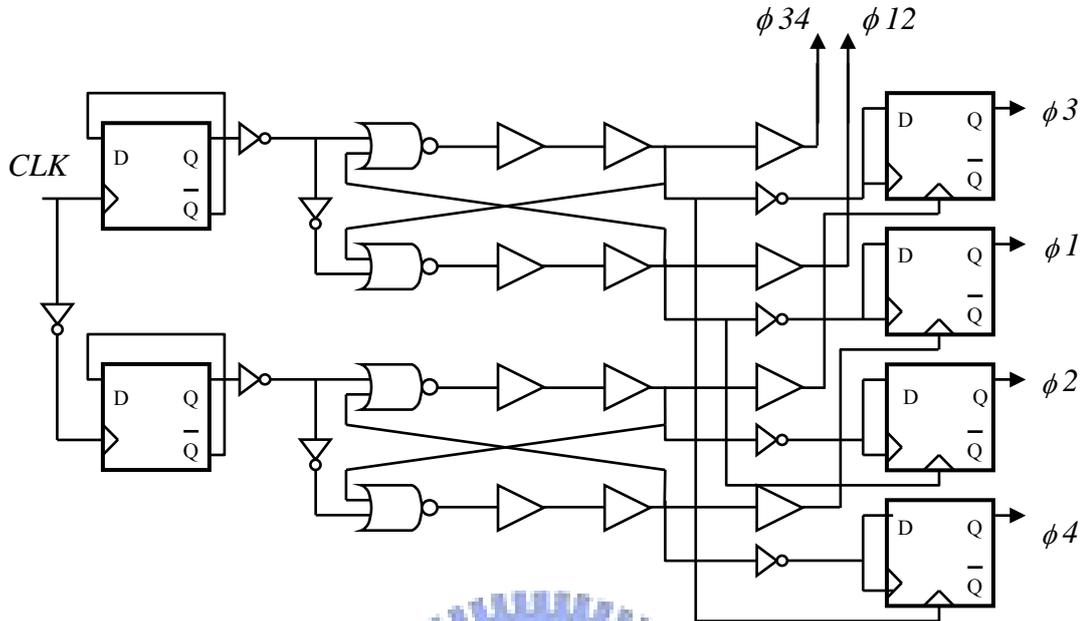


圖 4 - 13 相位產生器

應用於本架構積分電路之相位產生器，由於真正相位運作的時間，為正常取樣時間的一半，因此在初始頻率的輸入相位 CLK ，必須為取樣頻率的兩倍。我們的相位產生器架構如圖 4 - 13 所示，由前方的 D 型正反器、反相器、反或閘 (NOR gate) 及緩衝器使 CLK 經過除頻，得到兩組互不重疊的取樣頻率相位，再利用四組有歸零 (Reset) 裝置的 D 型正反器將所需相位切出，可得到如圖 4 - 14 (a) 之相位圖。圖 4 - 14 (b) 簡單表示 $\phi 1$ 到 $\phi 4$ 彼此之間的一個時間差 τ ，即相位互不重疊 (Nonoverlapping) 的效果。又 $\phi 12$ 、 $\phi 34$ 的時間內，必須分別含蓋 $\phi 1$ 、 $\phi 2$ 及 $\phi 3$ 、 $\phi 4$ ，如圖 4 - 14 (c) 所示，否則時間內操作不完全，將造成電路系統發生不穩定的狀況。圖 4 - 15、4 - 16 是相位產生器經過佈局後模擬的結果，由圖 4 - 15 粗略觀察，可看出符合四個相位的需求。圖 4 - 16 為細部相位觀察，可以看到 $\phi 2$ 在 $\phi 12$ 負緣時間之內完成，同理 $\phi 4$ 亦在 $\phi 34$ 的負緣時間內完成，且 $\phi 1$ 、 $\phi 2$ 及 $\phi 3$ 、 $\phi 4$ 等四個相位不相重疊，完全符合我們的需求。

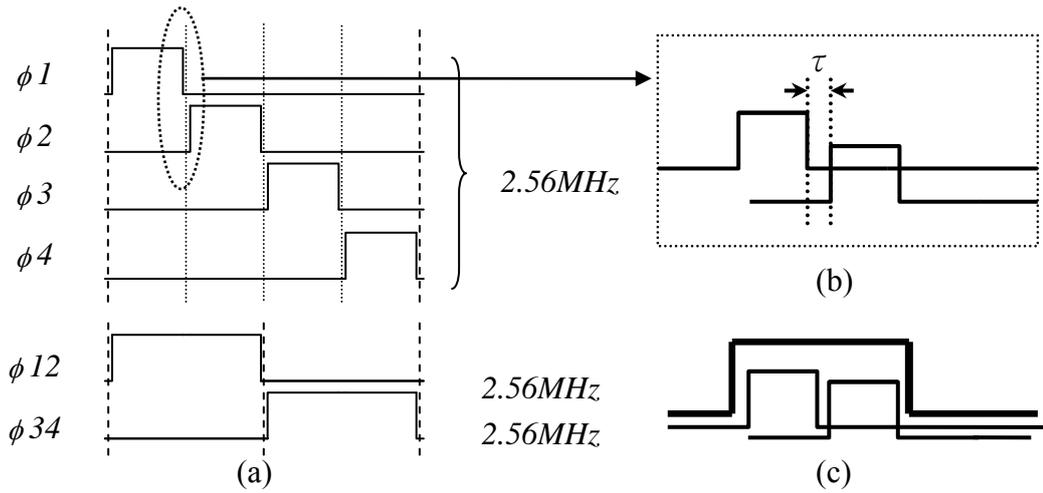


圖 4-14 相位示意圖

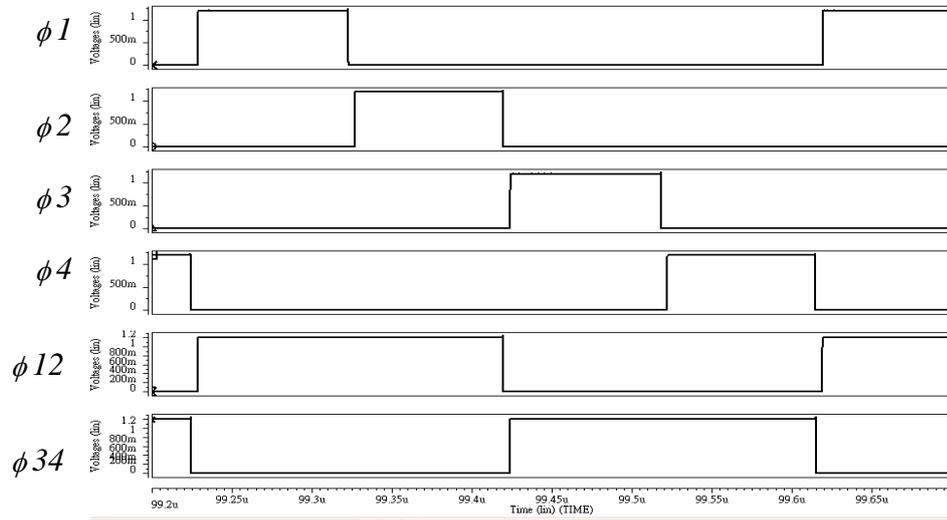


圖 4-15 相位產生器之 Post-layout 模擬圖

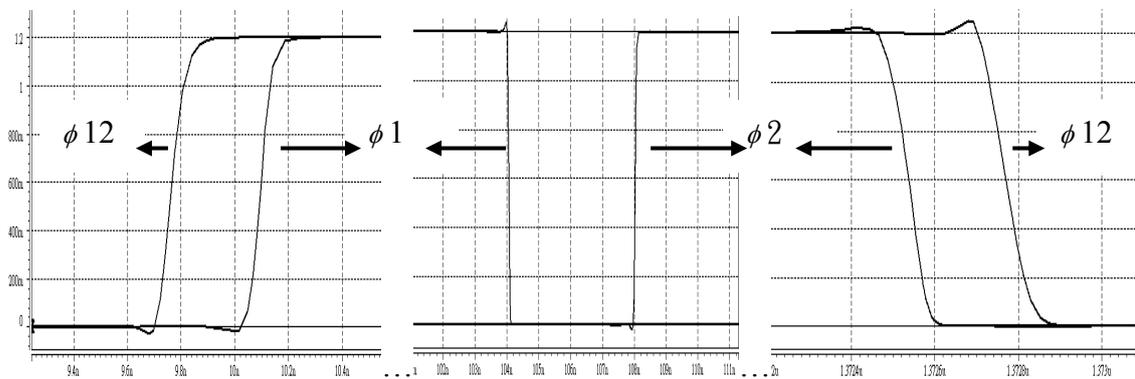


圖 4-16 相位產生器之 Post-layout 模擬細部圖

4.5 量化器 (Quantizer)

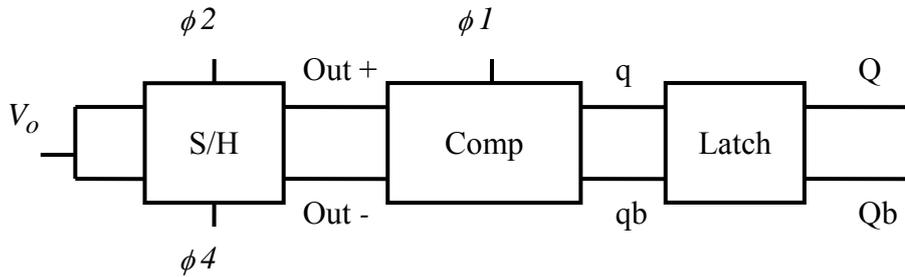


圖4-17 取樣保持電路與量化器的區塊示意圖

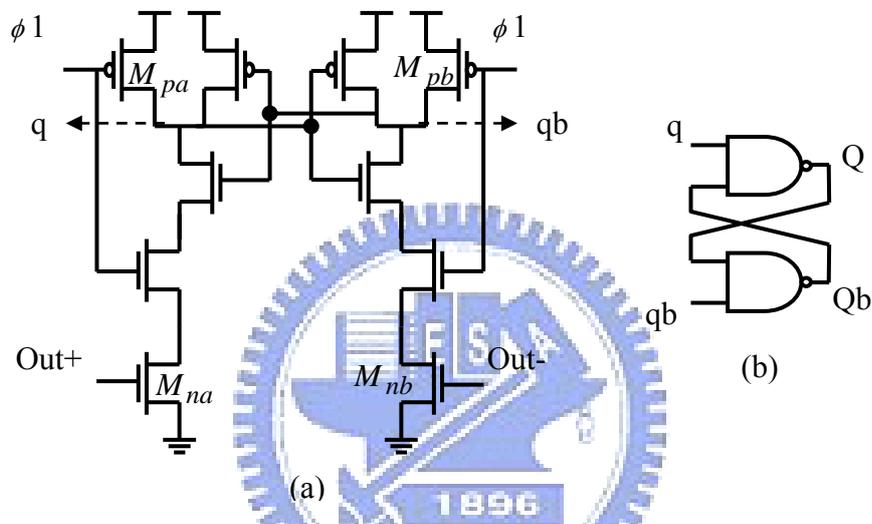


圖 4-18 動態比較器及 SR 正反器

本晶片中所使用的 1 位元量化器，主要是利用動態比較器及數位正反器所組合而成。圖 4-17 為本晶片中第三階最後的電路區塊示意圖，在最後一組積分器，經過該取樣保持電路分流之後，進入到一組動態比較器，比較之後得到一組數位訊號，再經由數位正反器將訊號穩定輸出。其中動態的比較器的優點是在運作時，只消耗動態功率，適合用在低功率的架構之中，架構如圖 4-18 (a)，可視為兩個背對背的反相器相接。當相位 ϕ_1 為低電位時， q 及 q_b 透過 M_{pa} 、 M_{pb} 充電到 V_{DD} 。當 ϕ_1 進入高電位時，電路進入比較的時態，開始比較經取樣保持電路存在電荷之中的電位。節點 q 或 q_b 透過 M_{na} 、 M_{nb} 放電，當 q 及 q_b 落入臨界電壓，則電位即被鎖定。圖 4-19 為比較器運作的時脈圖，在 ϕ_1 時對前一個時脈中的 ϕ_2 、 ϕ_4 取樣到的電位差做比較。圖 4-20 為設輸入為一理想的正弦波對量化器進行模擬，進而觀察是否符合量化器的需求。

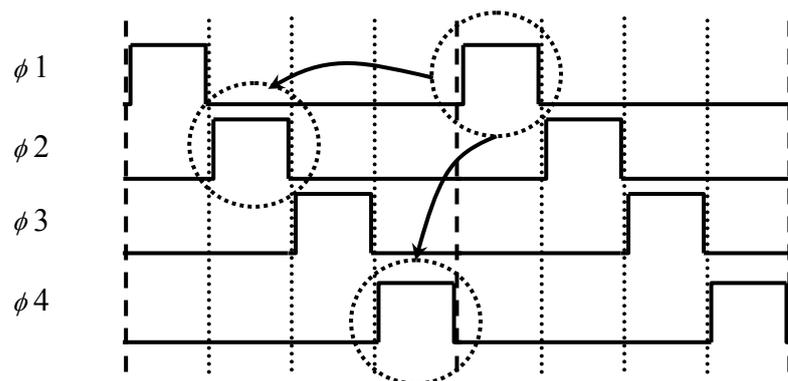


圖 4 - 19 比較器運作相位示意圖

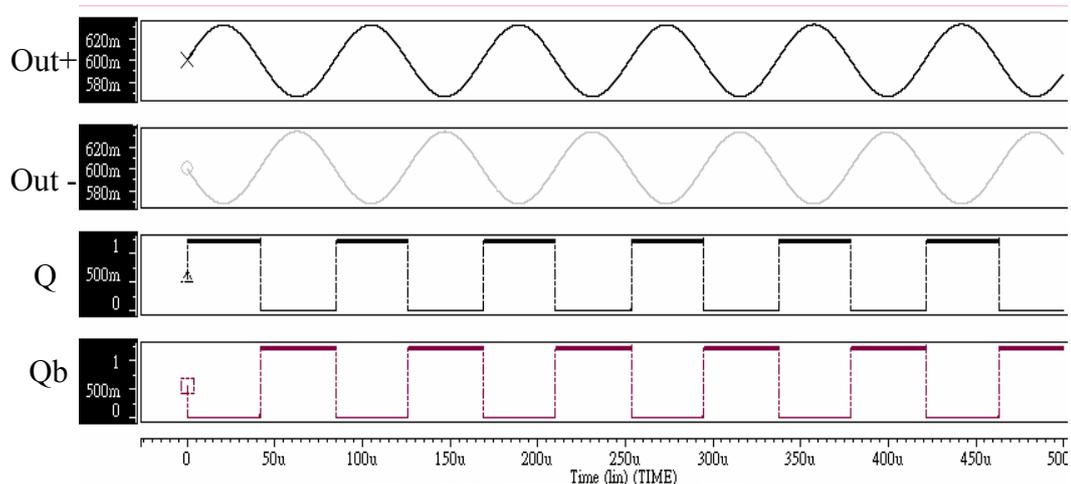


圖 4 - 20 量化器模擬波形

4.6 模擬結果及佈局圖

圖 4-21 為我們的整體電路架構圖，當中包含了由 4.2 節到 4.5 節中所介紹的電路構造，在電容的部份依照我們在系統模擬的係數作調配。本章節為電路最終的實踐結果，經過初步模擬後，利用 Laker 佈局，使用 TSMC 0.18 μm 製程提供的 DRC、LVS 規則作 Calibre 驗證，確認佈局無誤。再利用 PEX 作電路粹取的動作，當中包含金屬層間的寄生效應，然後送入 Hspice 作模擬，下面將呈現其模擬結果。

● 晶片佈局圖

使用了 TSMC 0.18 製程來實現我們的電路，如圖 4-22 所示。晶片佈局圖 (Chip layout) 包含腳位的總面積為 0.35 mm^2 ($740\ \mu\text{m} \times 470\ \mu\text{m}$)，總共有 16 個腳位。此晶片包含了三組切換式電容積分器、相位產生器以及一個量化器，在電容的佈局上，我們是使用 MIM 電容繪製。在佈局圖空白面積上，我們放入了去耦電容 (Decoupled capacitors)，平均分配給兩組供電源使用，目的是為了讓供電源的雜訊能夠降低。

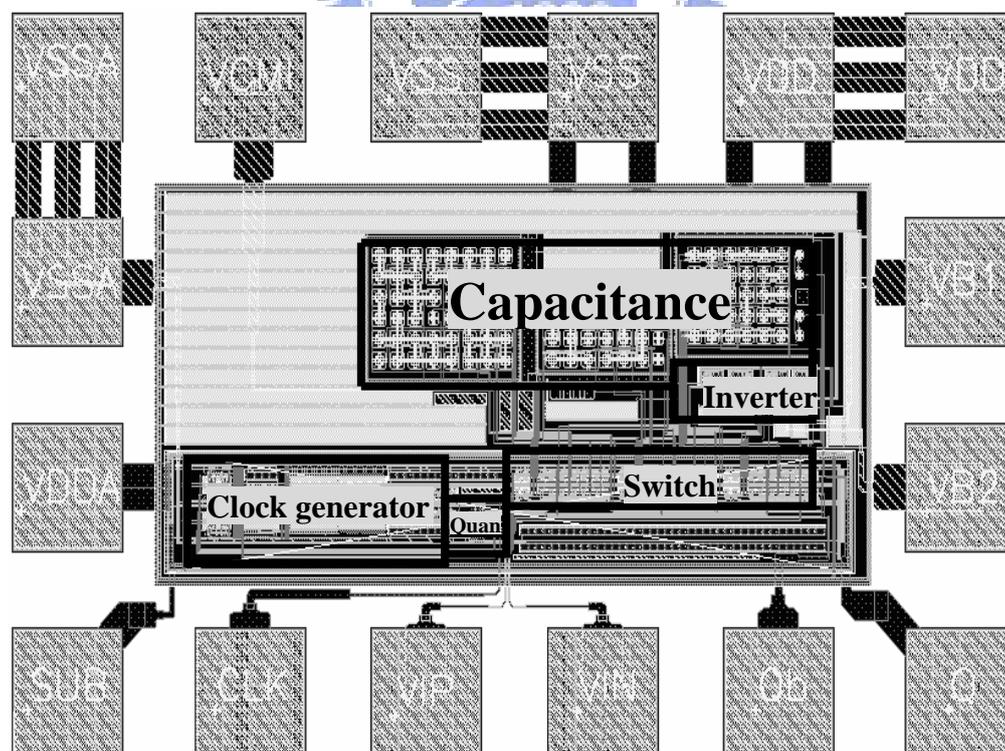


圖 4-22 電路佈局圖

● 佈局後之模擬結果

下面分別對輸入訊號為 5.625KHz 以及 11.875KHz 之情形下對 SNDR 進行模擬，如表 4-2 所示，為三角積分調變器經佈局後在不同製程變異下之模擬結果。圖 4-23 及圖 4-24 均為調變器的頻譜圖，由圖 4-23 可以觀察出本電路的雜訊移頻的能力，而圖 4-24 為截取訊號頻寬之模擬圖。圖 4-25 是變更不同的輸入振幅在輸入訊號頻率 5.625kHz 時，對 SNDR 進行模擬，進而觀察出其動態範圍約為 93dB。表 4-3 為電路的規格表，其中包含基本設定，如取樣頻率、系統頻寬以及供應電源等，經過模擬後得到了 Peak SNR 87.21dB、Peak SNDR 81.36dB 以及功率消耗值約 141.46 μ W，電路佈局包含腳位佈局總面積 0.35 mm²。其中在 SNR 的部份，Post-sim 的結果較系統中的模擬來得大一些些，在此推測的因素，有可能是在電容的佈局時，在拉線時產生的一些寄生效應，改變了一點點電容彼此間的比例，使得 Noise Shaping 的能力上升了一些。而動態範圍的部份，則是因為量化的結果經由電容的回授，在電容的部份必須適當調整比例，使輸入訊號不受到量化的數位訊號影響太多，而最後調整的結果，使得我們的動態範圍較系統模擬結果來得高一點。

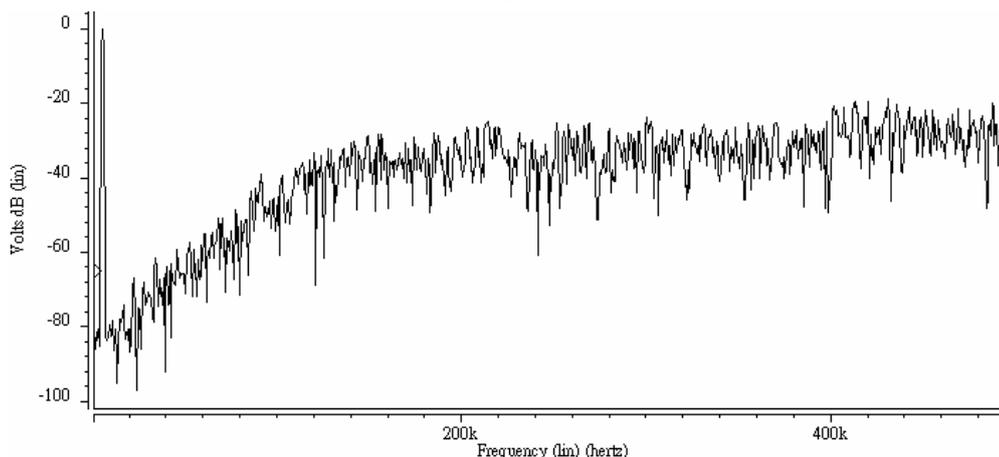


圖 4-23 三角積分調變器 Post-simulation 之結果

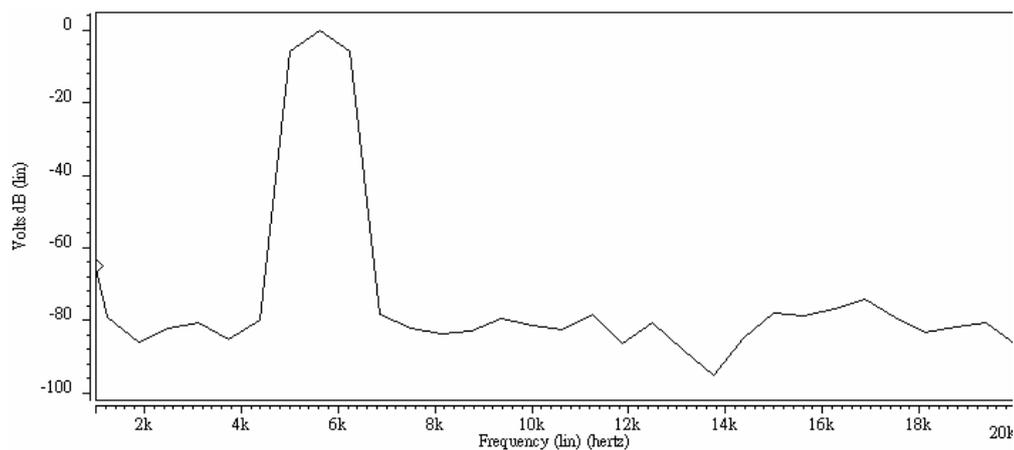


圖 4 - 24 截取訊號頻寬之模擬圖

表 4 - 2 不同製程變異下佈局模擬結果

	TT	FF	SF	FS	SS
SNR (dB)	87.21	75.94	79.97	72.31	70.51
SNDR (dB)@5.625 KHz	63.86	66.98	66.47	54.19	54.86
ENOB (bits)	11	11	11	9	9
SNDR (dB)@11.875KHz	81.36	72.78	72.72	70.66	70.67
ENOB (bits)	14	12	12	12	12
Power (μ W)	141.46	211.64	101.39	125.01	91.56

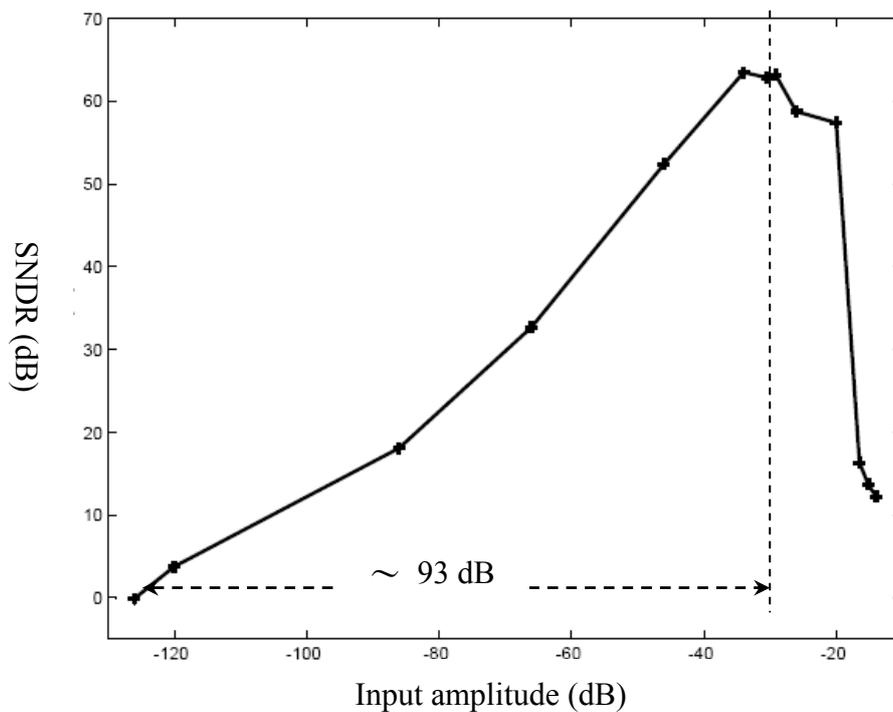


圖 4 - 25 三角積分調變器之動態範圍圖

表 4-3 電路規格表

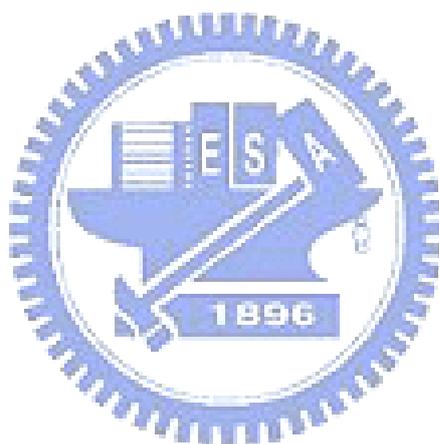
Spec.	Post- sim	Unit
System Bandwidth	20	kHz
Sampling Frequency	2.56	MHz
Supply Voltage	1.2	V
Peak SNR @5.625KHz	87.21	dB
Peak SNDR @5.625KHz	63.86	dB
Peak SNDR @11.875KHz	81.36	dB
Dynamic Range	93	dB
Power Consumption	141.46	μ W
Chip/core area	0.47*0.74 / 0.255*0.535	mm ²
Technology	0.18	μ m(TSMC)

4.7 本章結論

本章主要是介紹了一個利用數位反相器架構作為放大器，搭配相位的切換，進而處理差動的輸入訊號，達到全差動效果的一個三角積分調變器。使用 TSMC 0.18 μ m 製程來實現該架構，其供應電壓為 1.2V，模擬值 Peak SNR 87.21dB、Peak SNDR 81.36dB 以及功率消耗值約 141.46 μ W，電路佈局面積 0.35 mm²。

第五章

結論



5.1 規格比較

為了更清楚與其他論文做比較，在此引用 JSSC2002[6] F. Gerfers, M. Ortmanns, and Y. Manoli 期刊論文當中的性能指標 (Figure of merit) 作為比較依據，公式如下：

$$\begin{aligned}
 FOM^{[6]} &= \frac{\text{Resolution} \times \text{Bandwidth}}{\text{Power} \times \text{Area}} \\
 &= \frac{10^{(DR[dB]-1.78dB)/20} \times BW}{P \times A}
 \end{aligned} \tag{5.1}$$

(5.1) 中包含了系統電路的動態範圍乘上頻寬，再除去功率及面積。由於各篇論文中的電路都製作在不同的製程之中，因此在此不考慮面積之因素。又各篇的輸入頻率各不相同進而會影響到解析度，所以在此利用動態範圍作比較。因此重新得到一個 FOM 公式如下：

$$\begin{aligned}
 FOM &= \frac{\text{Dynamic Range} \times \text{Bandwidth}}{\text{Power}} \\
 &= \frac{10^{(DR[dB]-1.78dB)/20} \times BW}{P}
 \end{aligned}
 \tag{5.2}$$

這樣的考慮，是希望其動態範圍與頻寬愈高愈好，同時功率的耗損愈少愈好，因此 FOM 的值愈大，表示電路特性愈好。表 5-1 是與其他期刊論文作比較。其他期刊論文中的架構，在放大器的部份主要多是選用全差動放大器，而我們是利用反相放大器組合而成。其中在動態範圍方面，比其他都來得好一些，而本電路架構性能指標的數值方面也都能夠與其他論文相媲美。

表 5-1 規格比較表

	This work	[7] JSSC 2004	[8] JSSC 2003	[6] JSSC 2002	[9] JSSC 2001
Sampling frequency	2.56MHz	4MHz	2.4MHz	1.024MHz	5MHz
System Bandwidth	20KHz	20KHz	25KHz	8KHz	25KHz
OSR	64	100	48	64	100
Supply voltage	1.2V	1V	1.5	0.7V	1
Peak SNR	87.21 dB	85dB	73dB	70dB	87dB
Power	141.46 μ W	140 μ W	135 μ W	80 μ W	950 μ W
Dynamic Range	93 dB	88dB	80dB	75dB	88dB
Technology	0.18 μ m	90nm	0.5 μ m	0.18 μ m	0.35 μ m
FOM [$\times 10^{12}$]	5.14	2.92	1.51	0.46	0.54

5.2 論文總結

本論文實現了一個高動態範圍的全差動三角積分調變器，主要是使用反相放大器去實現這個單迴路的全差動三角積分調變器，搭配四個互不相重疊相位的轉換，進而處理差動訊號，最後使用動態比較器對差動輸出訊號作比較，以達到全差動的特性。我們主要是設計應用在生醫的音訊系統之中，例如：心音、肺音的量測或助聽器之上。

本論文晶片中，欲利用一般的充電電池提供供應電源約 1.2V，在此使用 TSMC 0.18 μm 的製程，設計出該電路之晶片面積約 0.35mm^2 ，達到低面積的需求。我們預設電路的取樣頻率約為 2.56MHz，系統訊號頻寬 20kHz，可以得到其動態範圍 93dB，最高 SNR 約 87dB，最高 SNDR 約 81dB，消耗功率約 $141\mu\text{W}$ 。



參考文獻

- [1] 蘇河名醫師 林慶正講師 “由「我的心聲」談現代高科技產物 -心臟超音波” 中華民國九十一年二月一日 高醫醫訊月刊第二十一卷第九期。
- [2] D. Johns and K.W. Martin, *Analog Integrated Circuits*, Wiley, New York, 1997.
- [3] R. Schreier and Gabor C. Temes, *Understanding Delta-Sigma Data Converters*, Wiley, New York, 2005.
- [4] J.S. Chiang, and C.W. Hu “The Design of a Delta-Sigma Modulator with Low Clock Feedthrough Noise, Op-amp Gain Compensation, and More Correctly Transferring Charges between Capacitors,” *Circuits and Systems, 1997. ISCAS'97.* , Vol.3, pp.2016 - 2019, 9-12 June 1997.
- [5] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGRAW-HILL International Edition, 2001.
- [6] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel, and R. Thewes, “A 0.7-V MOSFET-only switched-opamp modulator in standard digital CMOS technology,” *IEEE Journal of Solid-State Circuits*, vol. 37, pp.1662–1669, Dec. 2002.
- [7] Y. Libin, M.S.J. Steyaert, and W. Sansen, “A 1-V 140- μ W 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS,” *IEEE Journal of Solid-State Circuits*, Vol.39, Issue 11, pp.1809 - 1818, Nov. 2004.
- [8] F. Gerfers, M. Ortmanns, and Y. Manoli, “A 1.5-V 12-bit Power-Efficient Continuous-Time Third-Order $\Sigma \Delta$ Modulator,” *IEEE Journal of Solid-State Circuits*, Vol.38, Issue 8, pp.1343 - 1352, Aug. 2003.
- [9] M. Dessouky and A. Kaiser, “Very low-voltage digital-audiomodulator with 88-dB dynamic range using local switch-bootstrapping,” *IEEE J. Solid-State Circuits*, vol. 36, pp. 349 - 355, Mar. 2001.

- [10] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschirotto, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators" *Circuits and Systems I: Fundamental Theory and Applications, IEEE*, vol.50, no.3, pp.352 - 362 , Mar 2003.
- [11] S. Rabbii, and Bruce A. Wooley, "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8 μ m CMOS", *IEEE Journal of Solid-State Circuits*, vol. SC-32, pp.783-796, June 1997.
- [12] V. Peluso, M.S.J. Steyaert, and W. Sansen, "A 1.5-V-100- μ W $\Delta\Sigma$ Modulator with 12-b Dynamic Range using the Switched-opamp Technique," *IEEE Journal of Solid-State Circuits*, Vol.32, Issue 7, pp.943 - 952, July 1997.
- [13] C.C. Enz, and G.C. Temes, "Circuit Techniques for Reducing the Effects of Amplifier Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization," *Proceedings of the IEEE* Vol.84, Issue 11, pp.1584 - 1614, Nov. 1996.
- [14] H. Neuteboom, B.M.J. Kup, and M. Janssens, "A DSP-based Hearing Instrument IC," *IEEE Journal of Solid-State Circuits*, Vol.32, Issue 11, pp.1790 - 1806, Nov. 1997.
- [15] J. M. de la Rose, S. Escalera, B. Perez-Verdu, F. Medeiro, O. Guerra, R. del Rio, and A. Rodriguez-Vazquez, "A CMOS 110-dB @40-kS/s Programmable-Gain Chopper-Stabilized Third-Order 2-1 Cascade Sigma-Delta Modulator for Low-Power High-Linearity Automotive Sensor ASICs," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 11, pp. 2246-2264, Nov 2005.
- [16] T. Tille, J. Sauerbrey, M. Mauthe, and D. Schmitt-Landsiedel, "Design of low-voltage MOSFET-only $\Sigma\Delta$ modulators in standard digital CMOS technology," *Circuits and Systems I: Regular Papers, IEEE Transactions*, Vol.51, Issue 1, pp.96 - 109, Jan 2004.