

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

針對半導體製程金屬層良率提昇研究



研究生：黃景裕

指導教授：張翼教授

中華民國九十九年七月

針對半導體製程金屬層良率提昇研究

Metal layer yield improvement for semiconductor process

研 究 生：黃景裕
指 導 教 授：張翼

Student : Ching-Yu Huang
Advisor : Edward Yi Chang

國 立 交 通 大 學

工學院半導體材料與製程設備學程

碩 士 論 文

A Thesis
Submitted to Degree Program of Semiconductor Material and Process Equipment
College of Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master of Science
in

Semiconductor Material and Process Equipment

June 2010

Hsinchu, Taiwan, Republic of China

中華民國 九十九 年 七 月

國立交通大學工學院半導體材料與製程設備學程

摘 要

矽晶圓成熟的技術與低廉的價格，造就了蓬勃的消費性電子產業，但隨著元件線寬不斷縮小下，半導體製程技術越趨困難，已無法用一致化的程式來面對多元化的產品，因此需要更多的儀器分析與實驗，來為每個產品進行微調！

本公司的產品便深受其害，良率無法達到量產的標準，於是便利用了SEM與SIMS分析，找出下列的問題：

1. 接觸窗與下方的金屬對準不良
2. 鈷金屬矽化物出現缺陷與阻值過高
3. 接觸窗蝕刻程式無法共用，有些產品蝕刻不足導致短路，有些蝕刻過頭導致電化學效應，讓金屬層下方的接觸窗遭到侵蝕

針對上述的問題我們進行了一連串的實驗與分析，亦找到一些方法來改善這個現象，下列是我們採取的方法：

1. 使用曝光較為精準的Scanner 機台來取代Stepper。
2. 使用新的錐狀金屬蝕刻程式，將金屬層蝕刻為錐狀，可以完整覆蓋下方的接觸窗
3. 使用PE SiH₄機台來取代LPTEOS機台，讓鈷金屬矽化物不會有缺陷的產生。
4. 改變鈷金屬矽化物的回火溫度，讓其阻值更低。
5. 改變金屬窗蝕刻程式，讓不同厚度的產品都可使用，不致於讓厚度較厚的產品沒有蝕刻開來，而造成短路，也不會讓厚度較薄的產品蝕刻過頭，導致金屬層下方的接觸窗掏空。

針對不同的產品設計與特性，便會有不同的改善良率的方法，讓我們不斷的努力研究，讓電子產品更加進步與便宜。

Metal layer yield improvement for semiconductor process

student : Ching-Yu Huang

Advisors : Dr. Edward Yi Chang

Dr. Bau-Tong Dai

Dr. Chang Li

Department (Institute) of Master Degree Program of Semiconductor Material
and Processing Equipment

National Chiao Tung University

ABSTRACT

The mature technology and inexpensive price of Silicon wafer makes electrical consumer industrial become popular. But the technology of semiconductor process becomes more difficult with the device width becomes smaller. Therefore, we can't use the same recipe on various products. We need more instruments for analysis and experiments. And use the results to optimize the recipe for each product.

Our company's product has suffered this issue and yield can't meet the criteria of production. Hence, we used SEM and SIMS to analyze and found below issues.

1. Metal via and under layer metal line un-landing
2. Defect occurred and resistance too high on cobalt silicide
3. We can't use the same metal via etching recipe for all products. Some products may encounter short issue due to etch not enough. Some products may induce electrochemistry effect with over etch. And this caused the metal via under metal be damaged.

We did a series of experiments and analysis for above issues and found some methods to improve them. The methods are listed as below:

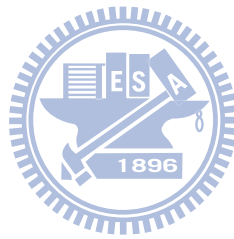
1. Use scanner which has more accurate exposure ability instead stepper.
2. Use taper metal etching recipe and this can fully cover the metal via under metal layer.
3. Use PE SiH₄ tool to replace LPTEOS tool and this can make defect not occur of cobalt silicide.
4. Change anneal temperature of cobalt silicide to reduce resistance.
5. Change metal etching recipe to let the products with different metal thickness can use the same recipe. And it won't cause short issue when metal is thicker. When metal is thinner, it won't cause metal via under metal layer be damaged.

For diverse product designs and characteristics, it will have different methods to improve yield. Let us keep putting efforts on research and make electrical products more progress and cheaper.

誌 謝

首先衷心感謝指導教授張翼教授，在兩年的研究生涯學習期間的不斷教導與提攜，老師孜孜不倦的研究精神及平易近人的處世態度，令我如沐春風，更是我日後努力學習的方向。對於指導德業日進的恩師，謹在此獻上無比的敬意與謝意。再來，感謝本校NDL與聯華電子提供良好的實驗環境以及實驗設備，使得這次研究能夠順利進行。求學研究期間承蒙半導體專班各位同仁間的鼓勵與支持，尤其是聯華電子的唐松年經理在論文與實驗上的協助，在此致上我最誠懇的感謝。非常慶幸有如此多的貴人相助，要感謝的人太多太多，名字無法一一列出，謹奉上最真心的感激與祝福。

最後是感謝父母親的給予的關懷與期望，是我維繫學業信心的原動力。如果沒有她們在生活上和精神上的支持，以及不斷的鼓勵，我不會有今日的成果，在此獻上最高的敬意。

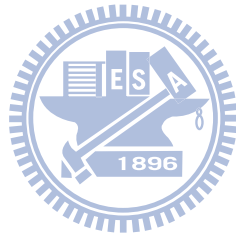


目 錄

中文提要	iii
英文提要	iv
誌謝	v
目錄	vi
表目錄	vii
圖目錄	viii
一、	緒 論	1
1.1	前言.....	1
1.2	研究動機與目的.....	2
二、	半導體製程.....	3
2.1	半導體製程簡介.....	3
2.2	材料分析機台簡介.....	10
2.2.1	二次離子質譜儀 SIMS	10
2.2.2	掃描式電子顯微鏡.....	13
三、	產品良率提昇與驗證.....	16
3.1	產品低良率的現況.....	16
3.2	使用分析儀器 SEM & SIMS 來找尋失效原因	18
3.3	針對對準不良進行分析與改善.....	20
3.4	尋找其他失效原因 (I) - 改變金屬矽化物沈積方式與回火溫度.....	22
3.5	尋找其他失效原因 (II) - 鈷金屬矽化物沈積搭配曝光機台的實驗.....	29
3.6	尋找其他失效原因 (III) - 錐狀金屬蝕刻.....	35
3.7	M1 錐狀金屬蝕刻的程式最佳化	41
3.8	M2~M5 錐狀金屬蝕刻的程式最佳化	44
3.9	產品程式最佳化.....	46
3.10	產品平均失效時間驗證.....	52
四、	結論與展望.....	54
參考文獻	55

目錄表

表3.2-1	Mbist失效die的座標與記錄.....	18
表3.2-2	定位後不僅可得知失效在哪個SRAM，亦可知道失效迴圈座標...	19
表3.9.1	各種蝕刻程式的Metal Vial AEI CD 值.....	50
表3.9.2	種蝕刻程式的Metal Via2~5 AEI CD 值	50
表3.10.1	使用錐狀金屬搭配不同的CD都能有不錯的良率.....	52



圖目錄

圖2.1-1 鍍Oxide 與SiN	3
圖2.1-2 架構STI層	4
圖2.1-2 填補STI層	4
圖2.1-4 去除STI上的SiN	4
圖2.1-5 離子植入產生N井與P 井區域	5
圖2.1-6 長出Poly層	5
圖2.1-7 蝕刻出Poly層	6
圖2.1-8 離子植入產生 PLDD與NLDD	6
圖2.1-9 產生源極與汲極	6
圖2.1-10 產生Co-salicide	7
圖2.1-11 長出ILD層	7
圖2.1-12 長出contact與M1層	7
圖2.1-13 長出IMD1層	8
圖2.1-14 利用鎢當插塞形成MVIA1層，並長出M2	8
圖2.1-15 長完護層的完成圖	8
圖2.1-16 長完護層的剖面與結構圖	9
圖2.2-1 二次離子質譜儀的基本工作原理與架構	11
圖2.2-2 為一個典型SiGe異質介面雙極性電晶體(HBT)的摻雜與分佈圖。 PN結的位置、P型和N型摻雜的元素、濃度及分佈在圖中一覽無遺，同時顯示出Ge的組成比。	12
圖2.2-3 為一個典型SiGe異質介面雙極性電晶體(HBT)的摻雜與分佈圖。 是對一個失效雷射元件的分析結果。在表面2mm內發現了過渡金屬元素的污染，其濃度在表面高達 10^{18} atoms/cm ³ ，足以導致元件的失效。這種濃度的雜質污染一般只能用SIMS來進行分析，因為它需要很高的靈敏度。而且SIMS能夠顯示污染在樣品中的分佈情形，對於找出污染源提供了直接的證據	12
圖2.2-4 電子顯微鏡的原理	13
圖2.2-5 電子顯微鏡量測的範圍	14
圖3.1-1 產品11~3月的良率	16
圖3.1-2 產品經過CP測試後，得到1~25片的良率圖	17
圖3.2-1 IP vendor 提供的SRAM bit map	18
圖3.2-2 產品Floor plan	19
圖3.2-3 失效IC的SEM剖面圖	19
圖3.3-1 失效IC的剖面圖比對GDS 設計圖	20
圖3.3-2 失效IC的剖面圖可發現金屬層有空洞	20
圖3.3-3 Sacner 與Setpper機台的split table與良率	21
圖3.3-4 使用Scanner的晶圓CP測試圖形	21

圖3.3-5	使用Stepper的晶圓CP測試圖形	21
圖3.3-6	使用Scanner的晶圓CP測試良率比Stepper高	21
圖3.4-1	由Scanner與Stepper的良率疊圖可以發現，使用Stepper容易產生邊緣die失效現象	22
圖3.4-2	由SEM照片可以發現鈷金屬矽化物有許多的缺陷	23
圖3.4-3	失效IC的TEM剖面圖	23
圖3.4-4	失效IC的SIMS成分分析圖，主成分為鎢	24
圖3.4-5	LPTEOS沈積出來的薄膜，在溝槽區的厚度比金屬層上的厚，而PE SiH ₄ 機台沈積出來的薄膜厚度較為一致，且在溝槽區的位置，容易產生孔洞，故亦容易蝕刻乾淨	24
圖3.4-6	鈷金屬矽化物與Scanner/Stepper的Split table與良率	25
圖3.4-7	使用PE SiH ₄ 機台時對MBIST有明顯改善的效果	25
圖3.4-8	Split 四種條件良率的box chart	25
圖3.4-9	Split 四種條件主要失效項目ATPG與MBIST的box chart	26
圖3.4-10	由晶圓量測的阻值來看，在相同的CD尺寸下，使用RTP2 800°C的阻值比850°C較低	26
圖3.4-11	使用LPTEOS機台沈積出來的鈷金屬矽化物，可以發現邊緣有些許的缺陷	27
圖3.4-12	使用PE SiH ₄ 機台沈積出來的鈷金屬矽化物，沒有發現缺陷	27
圖3.4-13	RTP2 850°C 可以看到鈷金屬矽化物有缺陷	28
圖3.4-14	RTP2 800°C 看不到鈷金屬矽化物有缺陷，且平整度亦比850°C佳	28
圖3.5-1	鈷金屬矽化物搭配M1~MVIA5 Scanner/Stepper的Split table與良率	29
圖3.5-2	由四種split 條件的良率，可以看到改變金屬矽化物參數對MBIST有蠻大的效果，但M1~MVIA5是否改為Scanner，影響並不大	30
圖3.5-3	Co-salicide 與Scanner split 良率box chart	31
圖3.5-4	Co-salicide 與Scanner split MBIST失效良box chart	31
圖3.5-5	Co-salicide 與Scanner split ATPG失效良率box chart	32
圖3.5-6	由Gate Oxide的八個測試程式中，可以看到新的co-salicide程式沒有影響Gate Oxide 的品質	33
圖3.5-7	使用新舊Co-Salicide程式的產品來畫Shmoo，結果並無差異	34
圖3.6-1	金屬蝕刻的split tabl	35
圖3.6-2	金屬蝕刻split 的CP良率圖	35
圖3.6-3	新蝕刻程式讓光阻產生Polymer來保護Metal，可讓金屬蝕刻成錐狀	35
圖3.6-4	金屬蝕刻split 的CP良率與失效bin box chart	36

圖3.6-5	新的蝕刻程式可以得到更低的金屬片電阻	36
圖3.6-6	舊蝕刻程式在M1 AEI CD值	37
圖3.6-7	新蝕刻程式在M1 AEI CD值	37
圖3.6-8	舊蝕刻程式在M2 AEI CD值	37
圖3.6-9	新蝕刻程式在M2 AEI CD值	37
圖3.6-10	新的錐狀蝕刻程式不會影響IMD1 填充能力	38
圖3.6-11	新的錐狀蝕刻程式不會影響IMD2 填充能力	38
圖3.6-12	使用新的錐狀金屬程式的M1剖面圖	39
圖3.6-13	使用新的錐狀金屬程式的M2剖面圖	39
圖3.6-14	由M1 WAT的當級與下一級測試結果看來，並沒有短路的現象	40
圖3.6-15	由M2~M5 WAT的當級與下一級測試結果看來，並無短路的現象	40
圖3.7-1	新的金屬蝕刻程式搭配M1~M5 CD window 確認的split table	41
圖3.7-2	新的金屬蝕刻程式搭配M1~M5 CD window 確認的良率圖	42
圖3.7-3	當M1 CD尺寸在0.21um時，良率與穩定性最好，但低於0.2um時，良率便會有明顯的降低	42
圖3.7-4	M1 CD 越小時，片電阻越大，且CD在0.2um時，片電阻會急遽增加	43
圖3.7-5	CD 0.2um時，失效IC的區域	43
圖3.7-6	CD 0.24um時，失效IC的區域	43
圖3.8-1	M2~M5 CD split 搭配新的金屬蝕刻程式的良率表	44
圖3.8-2	當CD小於0.28um時，良率便很明顯的降低，且Bin 5 MBIST失效率不斷的提升	44
圖3.8-3	M2~M5 CD 0.26/0.25/0.24um 的良率圖，當CD小於0.26時，邊緣的die失效率便會提昇	45
圖3.8-4	隨著M2~M5 CD越來越小，金屬的阻值亦隨著等差級數越來越大，但當CD小於0.26um時，在VIA的阻值會有很異常的變大	45
圖3.9-1	量測舊的曝光程式CD，平均值只有0.292um	46
圖3.9-2	產品為正常厚度8.5K時，蝕刻程式ME1+ME2+SE便可以蝕刻到理想的位置	47
圖3.9-3	當厚度增加為10k時，若只靠蝕刻程式ME1+ME2+SE，便無法蝕刻過Oxide，便需要增加蝕刻OE來達到理想的位置	48
圖3.9-4	當厚度為7k時，蝕刻程式為ME1+ME2+OE+SE，亦不會蝕刻超過金屬層，而導致金屬層下面的Via被掏空	48
圖3.9-5	改變ME2與OE蝕刻時間的搭配組合，可以找出最佳的程式	49
圖3.9-6	良率的box chart 與失效bin的比例	49
圖3.9-7	量測各種蝕刻程式的阻值，ME2 110 +OE 40 sec的組合阻值最低	51

圖3.9-8 增加OE後，AEI CD都有明顯的變大51
圖3.10-1不同條件的錐狀金屬M1與M2 的平均失效時間52
圖3.10-2把失效的區域疊圖起來時，已無發現邊緣一圈容易低良率.....53



第一章 緒論

1-1 前言

資訊革命所帶來的影響，不但使人類生活更便捷與舒適，同時變化與競爭也更加的激烈。由於市場的競爭，導致資訊產品的發展朝向多功能發展，把多個電子產品結合為一，並在產品外觀體積上卻要求愈來愈輕薄短小。為了因應市場的需求，產品核心的主要元件如IC，其體積也跟著日趨縮小，功能卻更加強大。

半導體工業的製造方法是在四價矽半導體上製造電子元件，而電子元件之完成則由精密複雜的積體電路(Integrated Circuit, 簡稱 IC)所組成；IC之製作過程是應用晶片氧化層成長、微影技術、蝕刻、清洗、雜質擴散、離子植入及薄膜沉積等技術，所須製程多達幾百個步驟。隨著電子資訊產品朝輕薄短小化的方向發展，半導體製造方法亦朝著高密度及自動化生產的方向前進；而 IC 製造技術的發展趨勢，大致仍朝向下列的方向發展：

1. 努力讓晶圓直徑變大，以解省成本
 2. 元件線幅盡量縮小
 3. 製造步驟不斷增加
 4. 製程步驟特殊化以提供更好的產品特性
- 但以上的步驟卻造成的良率控制越來越因難。



1.2 研究動機與目的

半導體(Semiconductor)產業，隨著功能要求日愈強大，線路及元件密度在單位面積內愈趨複雜，相對其製程亦日趨精密複雜。半導體的製造主要可分長晶過程、晶圓製造(Fabrication)過程、封裝過程、測試過程，在此四階段過程中以晶圓製造最為複雜，其步驟常超過數百道，每一道程序都必須要詳加的監控，有可能因其中某一道程序出問題，便會浪費昂貴的原料與時間，增加製造的成本。因此，各晶圓廠莫不汲汲營營於製程的控制，期望利用各種製程控制的手法以達到確保製程良率的穩定。

半導體的產製過程中，晶圓從原料的投入到完成步驟，都有完整的控制及紀錄。一般半導體製程分析及控制方法，在生產過程中便利用線上所蒐集得來的資料做隨時的監控，並採取適當的措施以維持製程於某一品質，常用者有統計製程監控(SPC)。在製造結束後，議會設計一連串的測試程式，如晶圓圖分析、晶圓允收測試(WAT)等，來卻產品的品質與一致性。線上的即時監控資料及事後檢測數據，對半導體製程整體品質的提升及穩定有相當大的助益。單就線上的工程資料做即時監控，對缺陷的反應有其困難點，因為每一製程要達到初步可測量成果可能必須經過幾道手續，基本上每個量測值都存在有累積效應，另外就算所有量測值都在允許範圍內，其結果也可能因某些步驟的交互作用而受影響。

且因為隨製程微縮技術的快速演進，其製程缺陷容許界限視窗愈來愈窄，憑著晶圓廠的測試項目與區塊，常常無法明確的顯露產品瑕疵所在，故更需要透過儀器來進行分析，敝人在公司負責的產品便常常有低良率的問題，本研究的目的希望透過晶圓廠的監控資料與一連串的實驗，與儀器的分析，找出問題的所在與解決方法！

第二章 半導體製程

2.1 半導體製程簡介

晶圓製造的過程是很複雜的，其所累積的工程資料是非常多的，就讓我來做個簡介。晶圓製造過程主要是將電子電路及其元件放置於矽晶圓上，接著晶圓經過適當的清洗，然後利用雷射刻上編號，接下來再將其置入加熱爐中加熱，利用爐內的含氧環境生成二氧化矽，接著利用化學氣相沈積的方式，於剛長成的二氧化矽上沈積一層氮化矽。然後將晶圓塗佈一層光阻於其上，再將光罩上的電子電路圖案移至光阻上，再利用蝕刻的方法將未被遮蔽的氮化矽給予去除，最後植入離子於未被腐蝕的部分，並除去光阻劑，此時在晶圓上已建立了初步的元件及線路，接下來製作金屬線路，以使各元件能互通。一般我們將晶圓製造過程大略分為四大模組，即是薄膜、黃光、蝕刻、擴散，晶圓上每一層大多要經過這四大步驟來完成，茲分別敘述如下：

Brief Process Flow - First Layer (Diffusion)

- 1.1. Wafer Start P-type 15-25 OHM-CM
- 1.2. PAD Oxidation (stress buffer)
- 1.3. SiN (Nitrid) Deposition
- 1.4. Diffusion Lithography :
Active Photo :
 - 1.4.1 P.R. coating
 - 1.4.2 Stepper Exposure
 - 1.4.3 Development

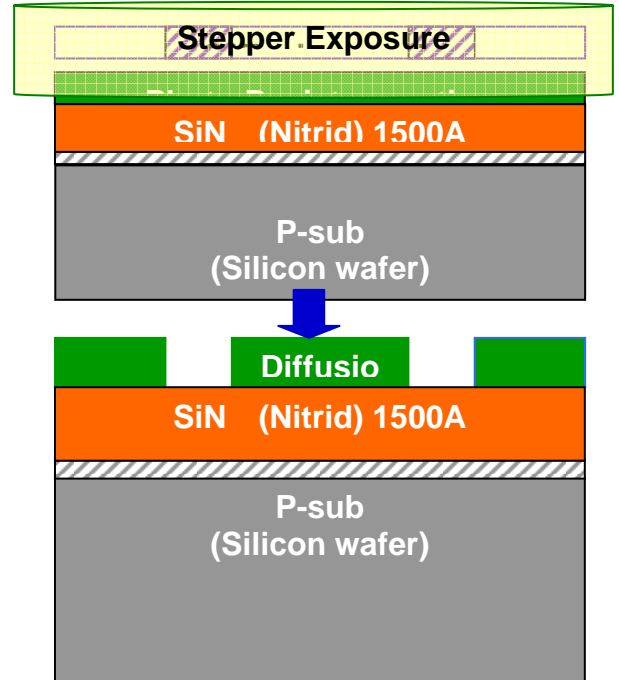


圖 2.1-1 鍍 Oxide 與 SiN

1.5. Trench (STI) Plasma Etching

1.7.1 SiN Etching

1.7.2 Silicon Etching

1.6. Photo Resistor remove

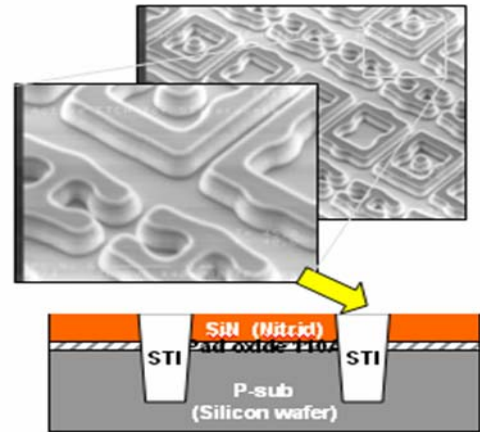


圖 2.1-2 架構 STI 層

1.7. APCVD STI refill

1.7.1 Liner Oxide Growth

1.7.2 APCVD Oxide deposition

1.7.3 STI Furnace 1000C Densify

1.8. STI CMP

1.8.1 STI RM Photo

1.8.2 STI RM Etch

1.8.3 STI CMP

1.8.4 BLANKET STI etch

1.8.5 PR STRIP

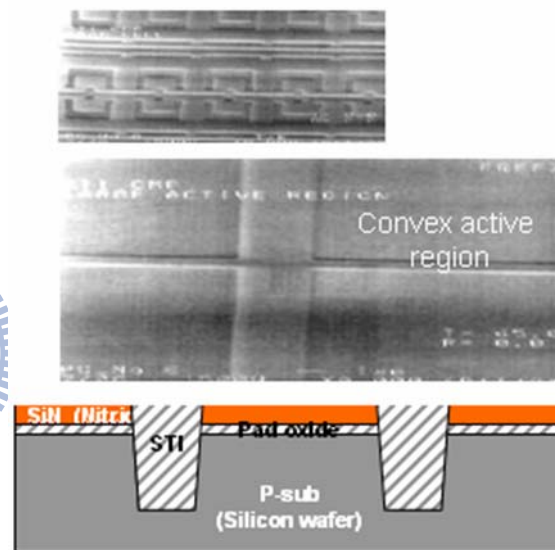
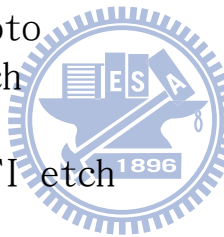


圖 2.1-3 填補 STI 層

1.9. SiN remove

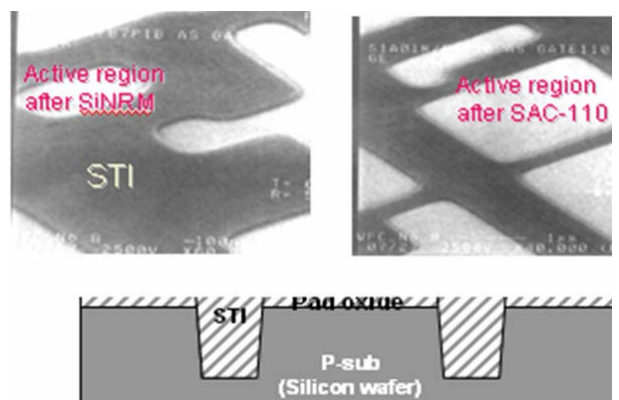


圖 2.1-4 去除 STI 上的 SiN

Brief Process Flow - Well formation

2.1 N-WELL Formation :

- 2.1.1 SAC OX
- 2.1.2 N-WELL Photo
- 2.1.3 N-WELL implant

- IMP1
- IMP2
- IMP3
- PAPT IMP

2.2 P-WELL Formation :

- 2.2.1 P-WELL Photo
- 2.2.2 P-WELL implant

- IMP1
- IMP2
- IMP3
- VTN IMP

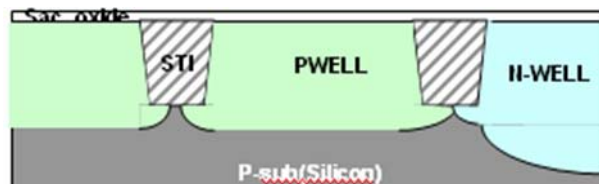


圖 2.1-5 離子植入產生 N 井與 P 井區域



Brief Process Flow - Gate Oxide and POLY

3 Gate Oxide Formation :

- 3.1 Thick Gate Oxide Growth
- 3.2 TG Photo
- 3.3 Gate Oxide remove & PR Strip
- 3.4 Thin Gate Oxide Growth

4. Poly Growth

- 4.1 Gate Poly Depo
- 4.2 N+POLY Photo
- 4.3 N+POLY implant and PR Strip

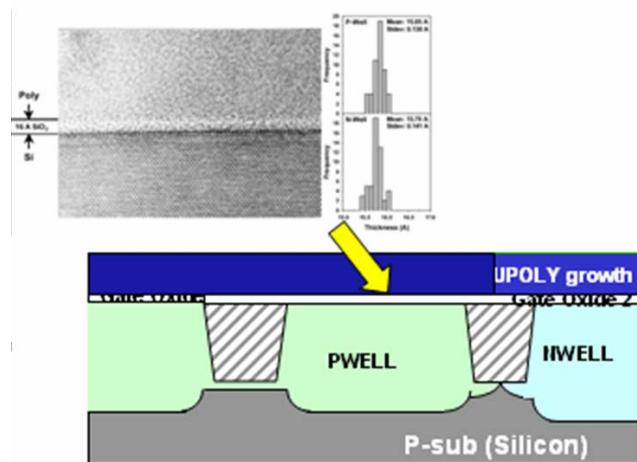


圖 2.1-6 長出 Poly 層

Brief Process Flow - Gate Engineering

5 Poly Gate Formation :

- 5.1 Poly annealing
- 5.2 Gate Poly Photo
- 5.3 Gate Poly etching
- 5.4 PR STRIP
- 5.5 LDD OXIDE

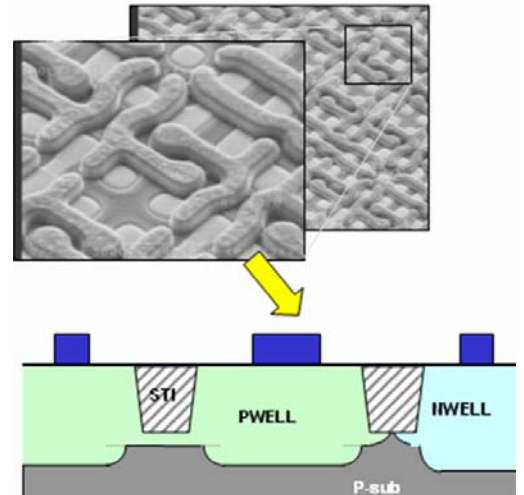


圖 2.1-7 蝕刻出 Poly 層

6.LDD (Light Dope Drain) implant

- 6.1 LV PLDD Photo & IMP
- 6.2 HV PLDD Photo & IMP
- 6.3 HV NLDD Photo & IMP
- 6.4 LV NLDD Photo & IMP

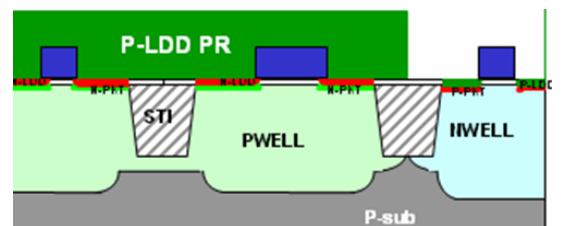
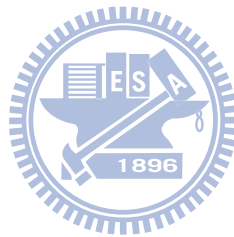


圖 2.1-8 離子植入產生 PLDD 與 NLDD

Brief Process Flow - Drain Engineering

7 Spacer Formation :

- 7.1 TEOS Dep
- 7.2 SIN Spacer Dep
- 7.3 SIN Spacer Etch
- 7.4 P-ESD Photo
- 7.5 P-ESD IMP

8. S/D Formation

- 8.1 N+ S/D Photo
- 8.2 P+ S/D Photo
- 8.3 S/D RTA Anneal

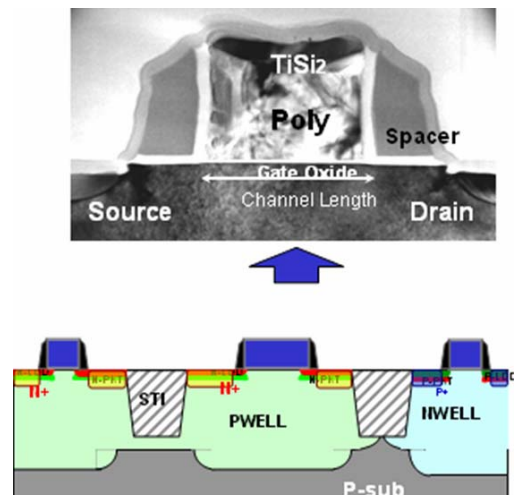


圖 2.1-9 產生源極與汲極

Brief Process Flow - ILD Passivation

9. Salicide Formation :

- 9.1 SAB TEOS Cap Oxide dep.
- 9.2 SAB (Salicide-Block) Photo
- 9.3 SAB Etch
- Pr strip
- 9.4 Pre SALICIDE DIP
- 9.5 Ti/Co sputtering
- 9.6 Salicidation RTP C49 annealing
- 9.7 CO-Sale TIN-CO Remove
- 9.8 Salicidation RTP C54 annealing

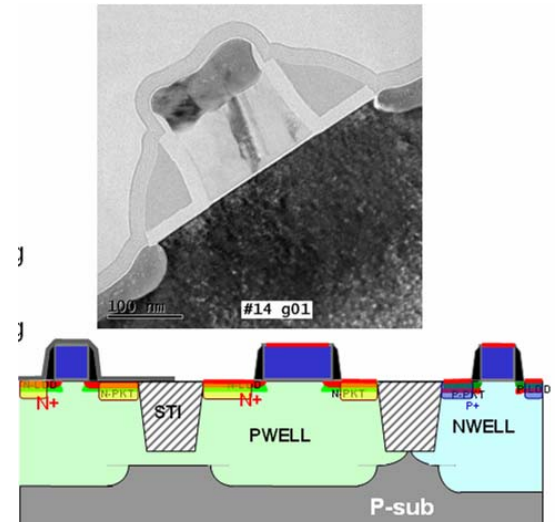


圖 2.1-10 產生 Co-salicide

10. ILD Passivation

- 10.1 CO-SiN Liner deposition (Moisture and sodium block)
- 10.2 AP-USG deposition (Gap filling and P trap)
- 10.3 TEOS-PSG deposition
- 10.4 ILD CMP

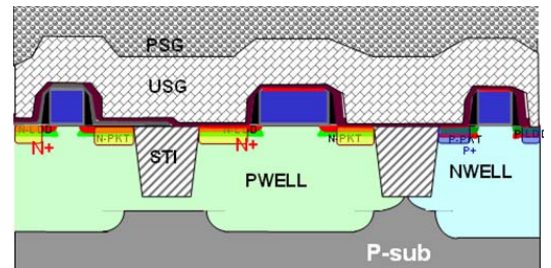
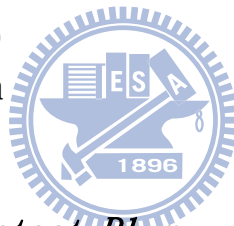


圖 2.1-11 長出 ILD 層

Brief Process Flow - Contact Plug

11. Contact Plug Formation :

- 11.1 Contact Photo
- 11.2 Contact Plasma Etching
- 11.3 Plasma PR strip & Organic PR strip
- 11.4 Barrier layer deposition (Ti + TiN for well contact)
- 11.5 WCVD Filling
- 11.6 PLGO WCOMP
- 11.7 Met1 Ti/TiN Sputter (Ti + TiN for Metal adhesion)
- 11.8 Met1 Sputter
- 11.9 Met1 PESION Dep

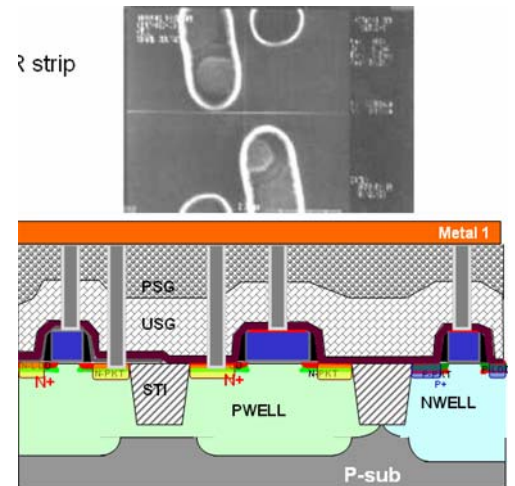


圖 2.1-12 長出 contact 與 M1 層

Brief Process Flow - Backend routine (Aluminum line)

12. IMD deposition

- 12.1 Met1 Photo
- 12.2 Met1 Etch
- 12.3 HDP-Oxide deposition
(Gap filling)
- 12.4 PE-Oxide Deposition
(Planarization and uniformity)
- 12.3 IMD CMP
- 12.4 IMD1 Peteos CAP

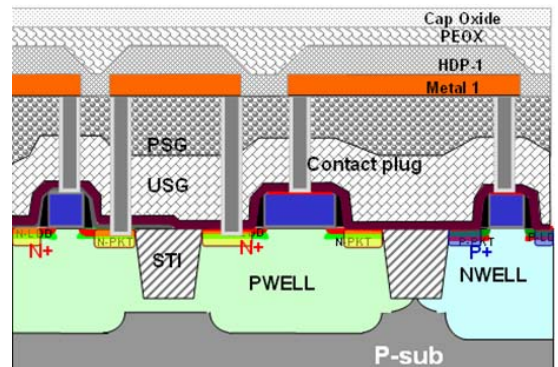


圖 2.1-13 長出 IMD1 層

13. MVIA plug formation

- 13.1 MVIA1 Photo
- 13.2 MVIA Etching and PR strip
- 13.3 Glue Layer deposition
(Ti + TiN for plug adhesion)
- 13.4 WCVD filling
- 13.5 PLG1 WCMP
- 13.6 Metal Liner deposition
(Ti + TiN for Metal adhesion)
- 13.7 Met2 Sputter
- 13.8 Met2 PESION Dep

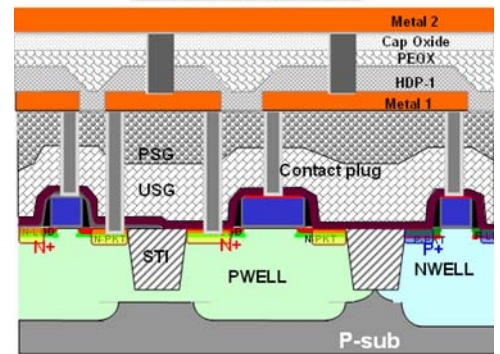


圖 2.1-14 利用鎢當插塞形成 MVIA1 層，並長出 M2

Brief Process Flow - Backend routine

14. PSV formation

- 14.1 PSV HDP Dep
- 14.2 PSV PSG Dep
- 14.3 PSV PESIN Dep
- 14.4 PSV Photo
- 14.5 PSV Etch
- 14.6 ALLOY
- 14.7 WAT
- 14.8 QC Inspection

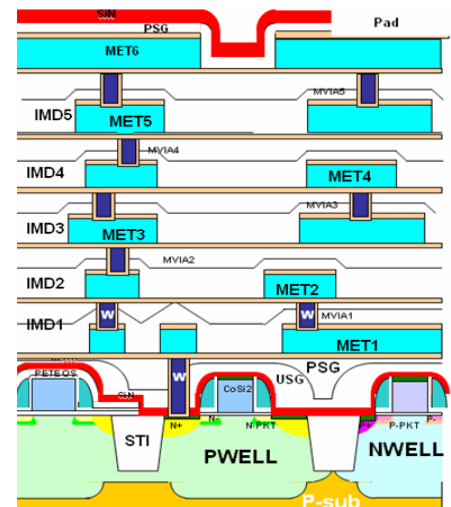


圖 2.1-15 長完護層的完成圖

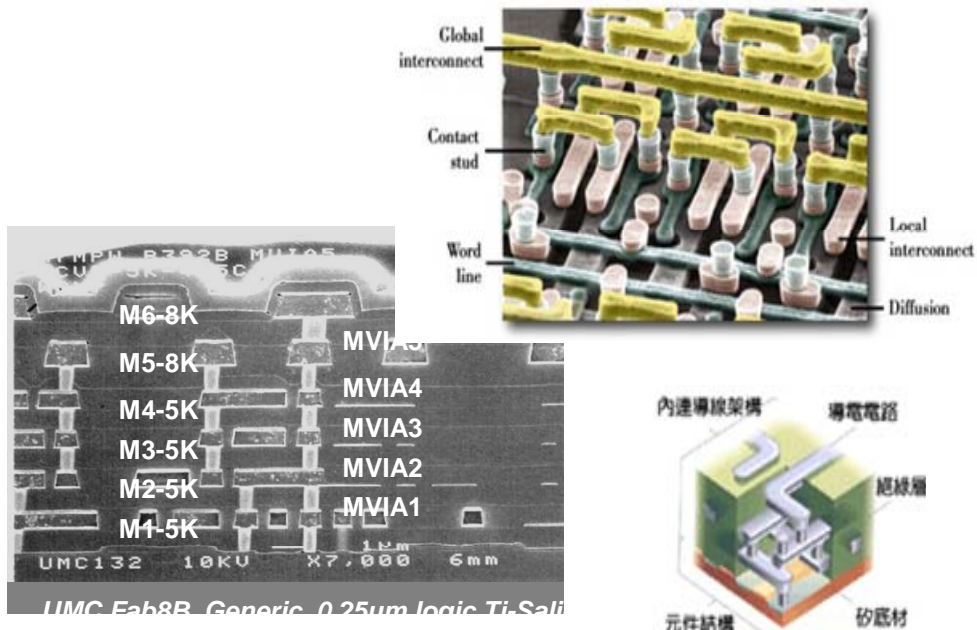
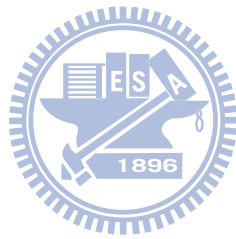


圖 2.1-16 長完護層的剖面與結構圖



2.2 材料分析機台簡介

一般固體或薄膜表面的分析儀器，若以其功能加以區分，可分為下列三大類：(1) 表面形態分析儀器：觀察材料的表面形態為主，如光學顯微鏡 (OM)、掃描電子顯微鏡 (SEM) 等，可以觀察表面的平坦度、均勻性及表面各種缺陷、晶粒界面、加工缺陷等顯微組織。(2) 晶體結構分析儀器：如 X 光射線繞射儀、低能電子繞射儀等，可用以分析粉末或固體之結晶構造、瞭解其晶格常數及用以觀察晶體成長中之單結晶基板及薄膜表面的原子排列。(3) 元素 (或組成) 分析儀器：主要應用於分析表面定性及定量的組成，歐傑電子分析儀 (AES)、二次離子質譜儀 (SIMS) 等。其特點係可鑑定存在於固體表面，亦可獲得表面縱深方向。

2.2.1 二次離子質譜儀 SIMS

二次離子質譜儀 (SIMS) 若以激發入射源來分類，係以不同離子源入射試片表面，在離子束之照射下產生不同的二次粒子輸出，如圖 2.2-1 所示。離子束之輸入與電子束之輸入最大不同點在於前者具有較大的動態，因此撞擊至表面時將造成相當的濺射 (sputtering)，同時造成表面的改變或破壞。

二次離子質譜儀具有高靈敏度的雜質偵測能力，幾乎對所有元素的偵測極限可達百萬分之一原子密度 (ppma)，對於部份元素的偵測極限甚至可達十億分之一原子密度 (ppba) 的優越分析能力，而被廣泛的應用於材料分析上，在微電子元件的發展上更扮演了不可或缺的角色。

二次離子質譜儀係將具有足夠能量的一次離子 (primary ions) 撞擊到試樣的表面，經與固體作用後，然後將表面的原子或分子撞擊出來，呈離子狀態的二次離子 (secondary ions)，收集至質譜儀 (mass spectrometer)，經質譜之分析，而達到試品表面成份元素之定性及定量分析之研究。另外，由於一次入射離子可以適當的聚焦至微小點，並且可掃描試片表面，因此方可利用 SIMS 作顯微影像分析之觀察。二次離子質譜儀主要用來分析固體表面及表面以下 30 微米 (mm) 深度內的區域和部份液體樣品的表面。此技術乃以一帶能量 (0.5-20 kV) 的離子束撞擊試片表面，產生離子化的二次粒子，再用質量分析儀加以偵測。

SIMS 儀器視其應用之不同而有各種不同的型式，其基本構造可分為下列四大部份：(1) 照射激發用的一次離子束的離子槍；(2) 以能量選擇由試品產生的二次離子能量過濾器；(3) 進行質量選擇的質譜儀；及 (4) 放大、檢測經質量選擇後的二次離子檢測輸出信號。

二次離子質譜儀分析的優點如下：(1) 偵測極限可達 ppm，甚至到 ppb

等級；(2) 週期表上所有元素均可偵測；(3) 可以區分同位素；(4) 可分析不導電試片；(5) 縱深解析度一般為 10 ~ 20 nm，最佳達 2 ~ 5 nm；(6) 由分子離子的相對含量可得到化學狀態的訊息；(7) 側向解析度受一次離子束大小和二次離子束聚焦系統影響，在 20 nm ~ 1mm；(8) 可用標準品及 RSP 值作定量等。二次離子質譜儀分析的主要缺點如下：(1) 亦受質量因素干擾；(2) 離子產率受基質影響；(3) 離子產率變化大，可達 10^6 的差異；(4) 需要各種標準品來作定量；(5) 需要平坦的表面進行分析；及 (6) 屬破壞性分析技術等。

SIMS 之應用很廣，例如偵測表面污染、氧化、還原、吸附、腐蝕、觸媒效應、表面處理等動態分析之表面研究工作，尤其可作微量元素分佈，因此在材料、化學、物理、冶金及電子方面之發展，使用者很多。SIMS 不但可作表面及整體之分析，又可直接作影像觀察，其靈敏度及解析能力甚高，由最小的氫至原子量很大的元素均可偵測，尤其對於同位素的分析更是有效。常見的研究應用領域包括：(1) 表面研究：利用 SIMS 影像可以觀察試片表面所含有之元素，圖 2.2-2 由適當的縱面元素之分析，可以瞭解污染之深度。如圖 2.2-3 (2) 縱深元素分佈：SIMS 之縱深解析力 $< 50\text{\AA}$ ，而靈敏度 $< 10^{17}$ atoms/cm³，可利用 SIMS 研究經擴散及離子佈植後之不純物或同位素之縱深分佈情形。(3) 結合離子佈植技術在 IC 或其他半導體元件之應用。

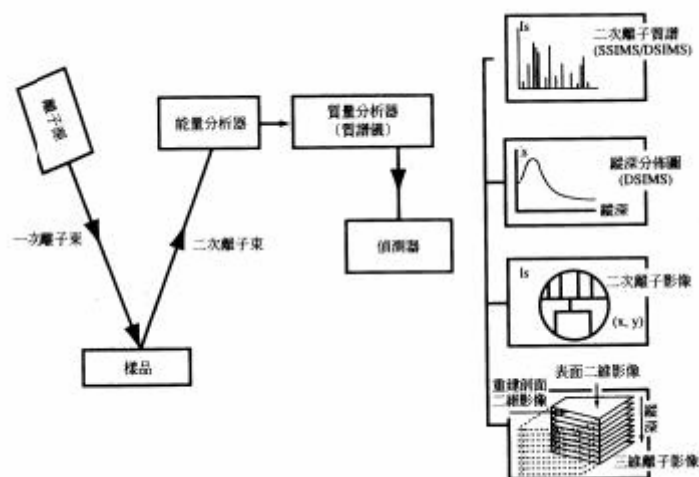


圖 2.2-1 二次離子質譜儀的基本工作原理與架構

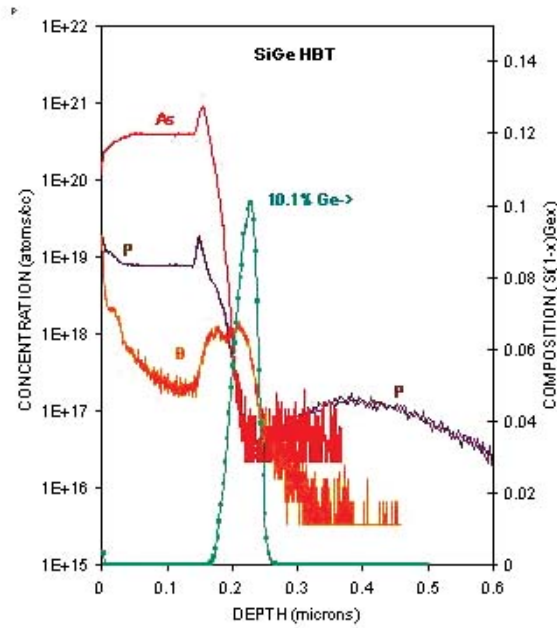


圖 2.2-2 為一個典型 SiGe 異質介面雙極性電晶體(HBT)的摻雜與分佈圖。PN 結的位置、P 型和 N 型摻雜的元素、濃度及分佈在圖中一覽無遺。同時顯示出 Ge 的組成比。

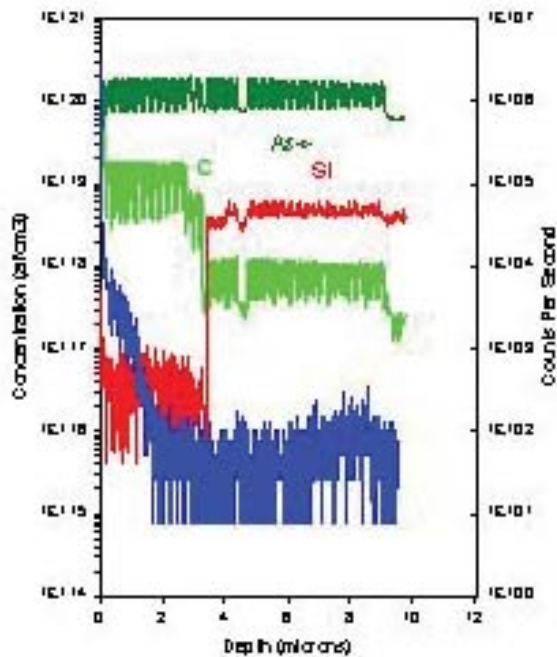


圖 2.2-3 為一個典型 SiGe 異質介面雙極性電晶體(HBT)的摻雜與分佈圖。是對一個失效雷射元件的分析結果。在表面 2mm 內發現了過渡金屬元素的污染，其濃度在表面高達 10^{18} atoms/cm³，足以導致元件的失效。這種濃度的雜質污染一般只能用 SIMS 來進行分析，因為它需要很高的靈敏度。而且 SIMS 能夠顯示污染在樣品中的分佈情形，對於找出污染源提供了直接的證據

2.2.2 掃描式電子顯微鏡

電子顯微鏡主要是利用高加速電壓之入射電子束打擊在試片後，產生相關二次訊號來分析各種特性，可參閱圖 2.2-4，一般的二次訊號包括直射電子、散射電子、二次電子、背向散射電子、Auger 電子及 X 射線等。電子顯微鏡的發展以穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 為最早，在 1931 年即已提出；掃描式電子顯微鏡 (SEM: Scanning Electron Microscope) 則在 1935 年提出。由於早期發展的 SEM 解析度未臻理想，影像處理及訊號處理技術無法突破，一直到 1965 年以後，SEM 才正式普獲研究學者的青睞。此後 SEM 的發展相當快速，不但機台性能的大幅提高，且各項材料分析附件日益增多，應用的範圍也不斷地擴大，幾乎包含各個研究領域，目前應用在材料、機械、電機、電子材料、冶金、地質、礦物、生物醫學、化學、物理等方面最多。

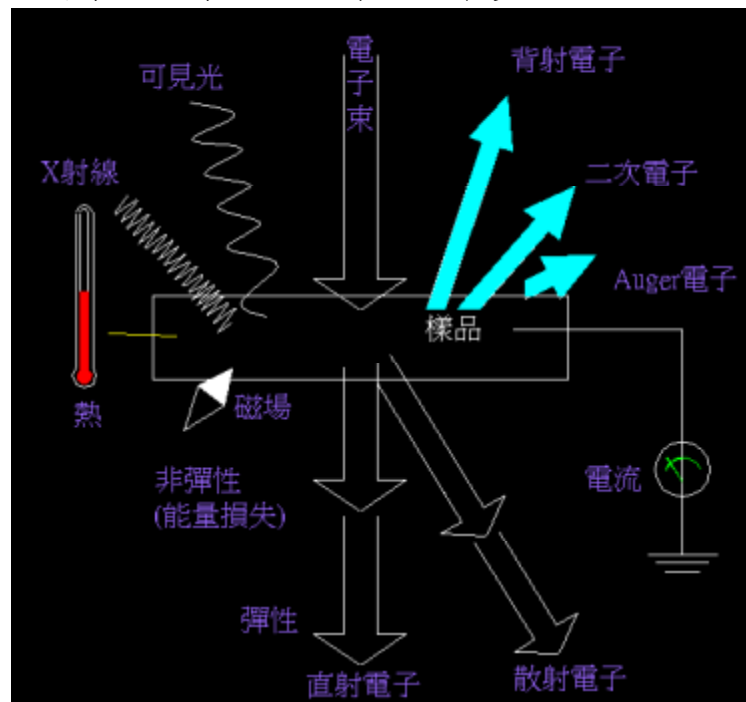


圖 2.2-4 電子顯微鏡的原理

範圍	巨觀	微觀	次微觀	晶格	原子
可觀測到之現象	縮孔 裂紋 粗夾雜物 枝狀結構 鑄造組織 破裂表面	共析組織 夾雜物 析出物 破裂物	細析出物 晶界析出物 副晶界	空孔 差排 疊積缺層	原子排列
解析度	cm	mm	um	>10nm	>0.1nm
成像倍	1	~50	10 ³	10 ⁵	10 ⁶
儀器					

圖 2.2-5 電子顯微鏡量測的範圍

近年來 TEM 及 SEM 的功能日新月異，TEM 主要發展方向為：

- (一) 高電壓：增加電子穿透試片的能力，可觀察較厚、較具代表性的試片
臨場觀察(in-situ observalion) 輻射損傷；減少波長散怖像差
(chromatic aberration)；增加分辨率等。
- (二) 高分辨率：最佳解像能為點與點間 0.18 nm、線與線間 0.14nm。美國
於 1983 年成立國家電子顯微鏡中心，其中 1000 keV 之原子分辨電子顯微
鏡 (atomic resolution electron microscope, AREM) 其點與點間之分辨
率達 0.17nm，可直接觀察晶體中的原子。
- (三) 分析裝置：如附加電子能量分析儀 (electron analyzer, EA) 可鑑
定微區域的化學組成。

(四)場發射電子光源：具高亮度及契合性，電子束可小至 1 nm。除適用於微區域成份分析外，更有潛力發展三度空間全像術(holography)。

在 SEM 方面，一方面增高分辨率，同時加上各種如 X 光探測微分析儀 (X-ray probe micro-analyzer, XPMA) 等之分析儀器，以辨別物質表面的結構及化學成分等。

近年來將 TEM 與 SEM 結合為一，取二者之長所製成的掃描穿透式電子顯微鏡(scanning transmission electron microscope, STEM) 亦漸普及。STEM 附加各種分析儀器，如 XPMA、EA 等，亦稱為分析電子顯微鏡(analytical electron Microscope)。



第三章 產品良率提昇與驗證

3.1 產品低良率的現況

根據下列圖表，我們可以發現公司產品的良率很差，平均良率只有 68.9%，主要失效的測試項目為 Bin5 Mbist 14.4% 與 Bin 6 ATPG 9.1%，依照這麼低的良率，根本無法達到量產的標準，故我們便需要努力去找出失效的原因與改善措施，來增加產品的競爭性。

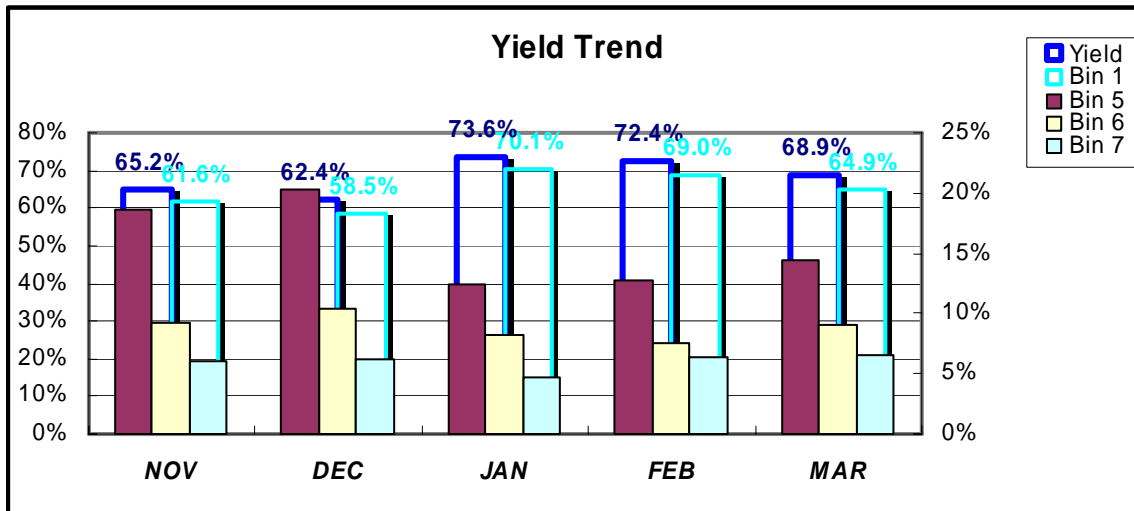


圖 3.1-1 產品 11~3 月的良率一直在 75% 以下

以下簡介一下 Mbist 與 ATPG

Mbist 是一種嵌入式記憶體的可測試設計技術，它將元件的測試結構置於該元件內部。BIST 結構可以測試多種類型的電路，包括隨機邏輯元件和規整的電路結構如數據通道、記憶體等。BIST 電路視其應用對象不同其實存在顯著差異，但任何類型的 BIST 都有共同的用途。BIST 結構可以針對目標電路自動產生各種測試向量，並對輸出響應進行比較。目標電路的類型也呈現多樣化特徵，它可以是整個晶片設計，也可以是設計模組或設計模組中的某個結構。此外，測試向量產生以及輸出比較電路也可能存在差異。MBIST 結構中還可以包括故障的自動診斷功能，方便了故障定位和開發針對性的測試向量。

ATPG 自動測試圖樣產生 (Automatic test pattern generation, ATPG) 系統是一種工具，產生資料給製造出來後的數字電路作測試使用。測試超大型積體電路，要達到非常高的錯誤涵蓋率 (en:Fault coverage) 是非常困難的工作，因為它的複雜度很高。故針對組合邏輯 (Combinatorial logic) 和循序邏輯 (Sequential logic) 的電路測試，必須要使用不同的 ATPG 方法。

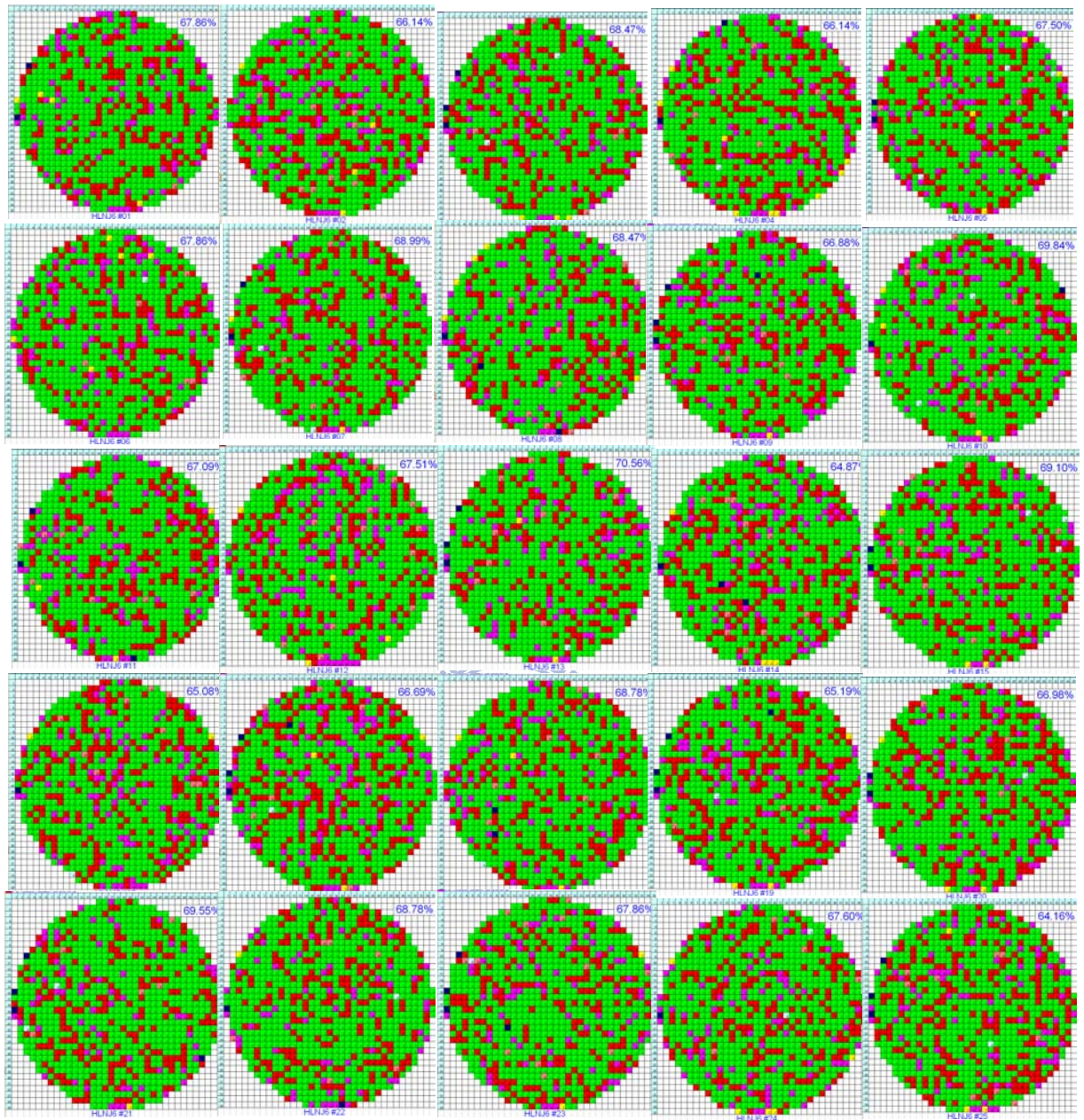


圖3.1-2 產品經過CP測試後，由1~25片的良率圖中可以發現Bin 5與Bin6為低良率的主因

Mbist1				
512x22x2	SY208016N02			
G1_MEM5	IO	X	Y	
123,132	12	90	3	
124,131	15	48	1	
119,133	18	102	1	
129,137	23	113	2	
120,125	41	64	3	

表3.2-2 定位後不僅可得知失效在哪個SRAM，亦可知道失效迴圈座標

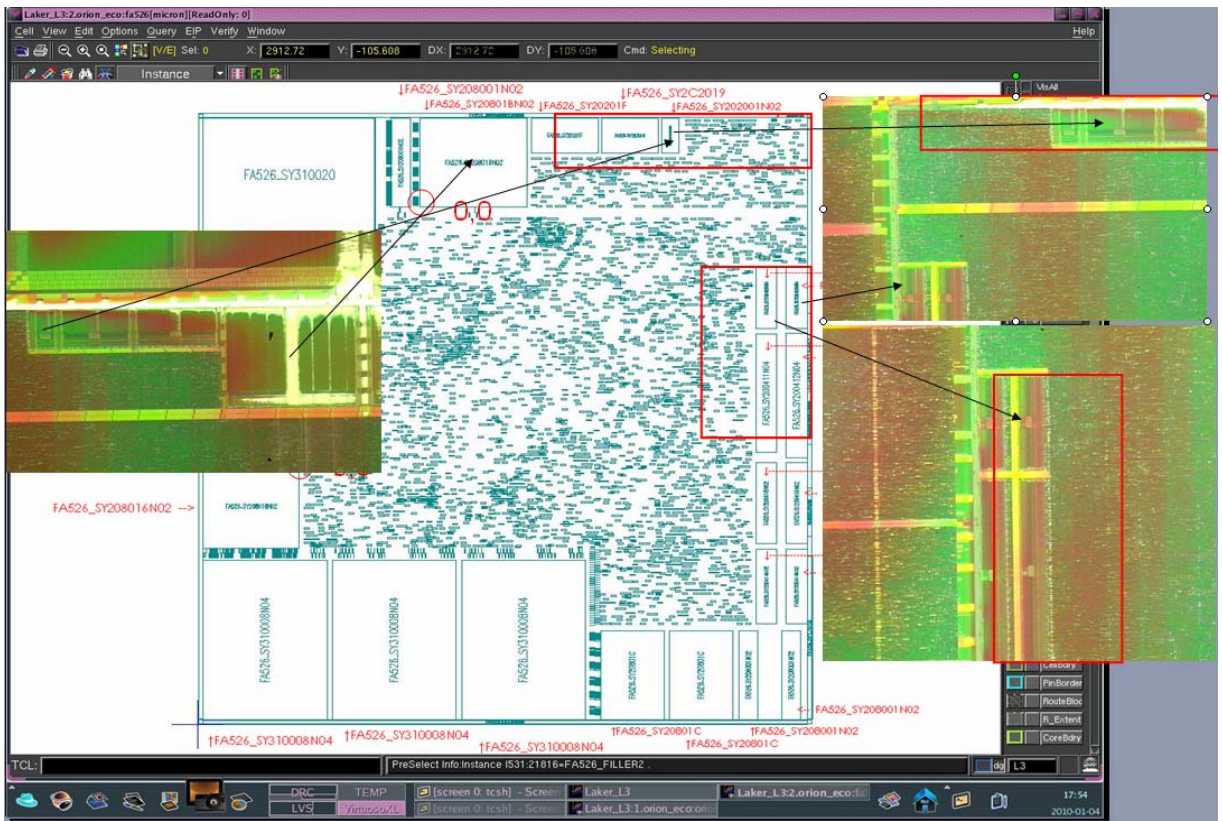


圖 3.2-2 產品 Flood plan

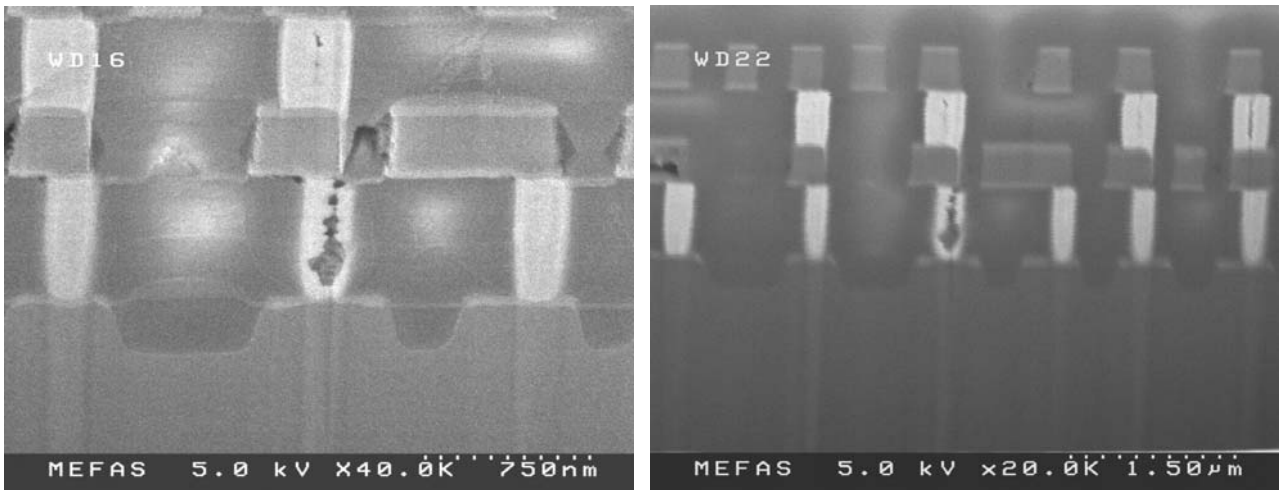


圖 3.2-3 失效 IC 的 SEM 剖面圖

3.3 針對對準不良進行分析與改善

當我們把SEM照片與GDS圖片相疊合如圖 3.3-1，便可以發現Contact 與 Metal 1 誤差約 0.1 μm ，因為這個偏差，容易導致金屬層底下的 contact 或 via 被腐蝕，針對這個問題，我們直覺得聯想到是曝光不良而導致的，於是我們便針對曝光機台進行實驗。

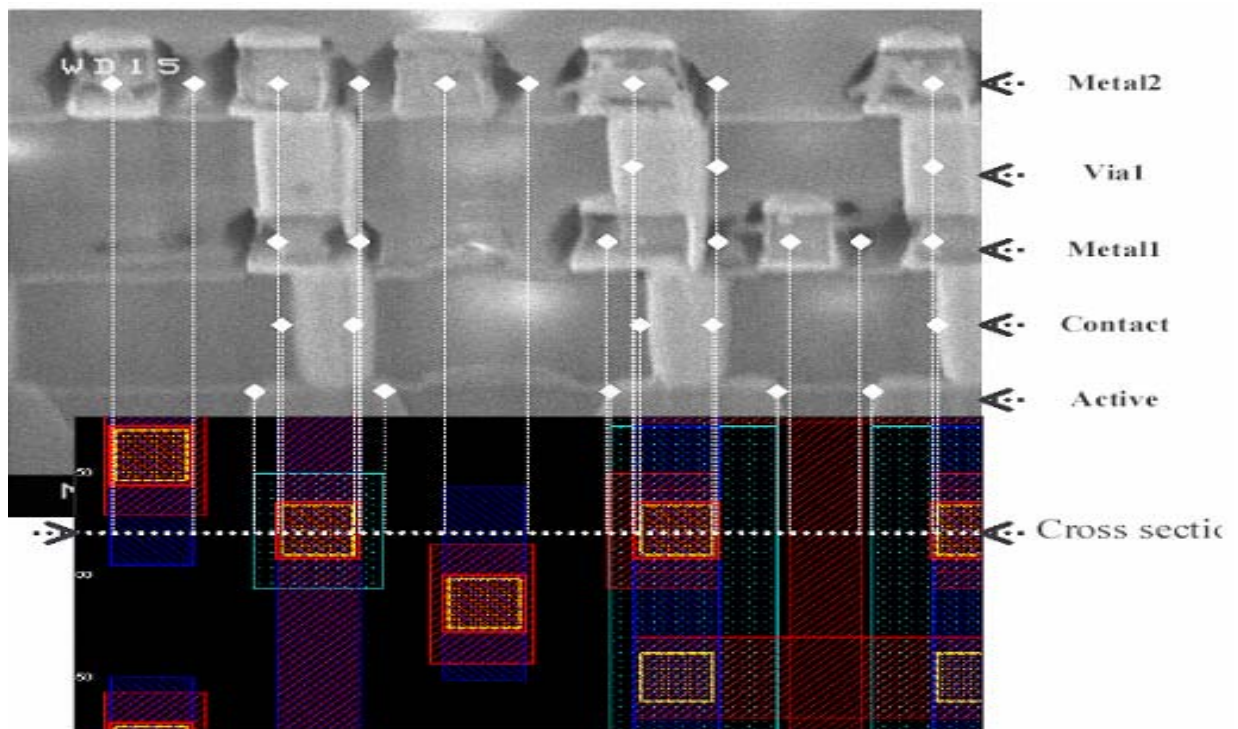


圖 3.3-1 失效 IC 的剖面圖比對 GDS 設計圖

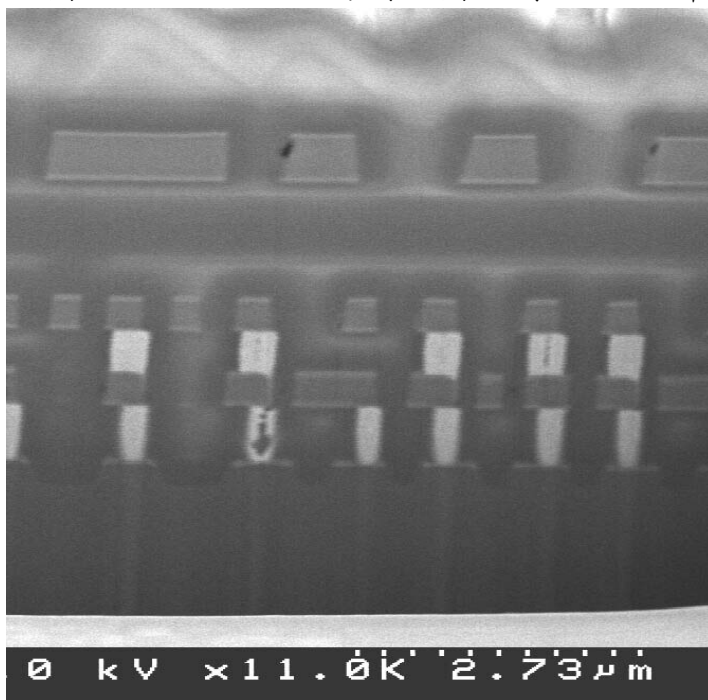


圖 3.3-2 失效 IC 的剖面圖可發現金屬層有空洞

我們拿了 6 片晶圓來進行實驗，Via1 全部都是用 Scanner 機台，但在 Via2~Via5 時，#21~24 仍使用 Scanner，#20, 25 便改為 Stepper，由圖 3.3-3~3.3-6 可以明顯發現，全程使用 Scanner 的晶圓有比較高且穩定的良率。

看來這個方法可以改善良率，但仍無法達到我們預期穩定的良率，看來仍存在其他失效的原因。

Step	Condition	21	22	23	24	20	25
Via1 Photo	Scanner	√	√	√	√	√	√
Via2~Via5 Photo	Sacanner	√	√	√	√		
	Stepper					√	√
	Yield	89.1%	83.0%	89.4%	88.8%	82.4%	67.0%
	Yield Avg	87.6%				74.7%	
	Bin 1	86.7%	79.5%	86.5%	88.0%	79.4%	62.4%
	Bin 2	2.4%	3.5%	3.0%	0.9%	3.0%	4.6%
	Bin 3	0.4%	0.7%	0.5%	0.6%	0.4%	0.4%
	Bin 5	3.4%	5.0%	3.4%	4.8%	6.3%	14.7%
	Bin 6	5.7%	8.3%	4.2%	3.9%	8.3%	14.0%
	Bin 7	1.5%	2.7%	2.2%	1.9%	2.6%	3.9%

圖 3.3-3 Sacnner 與 Setpper 機台的 split table 與良率

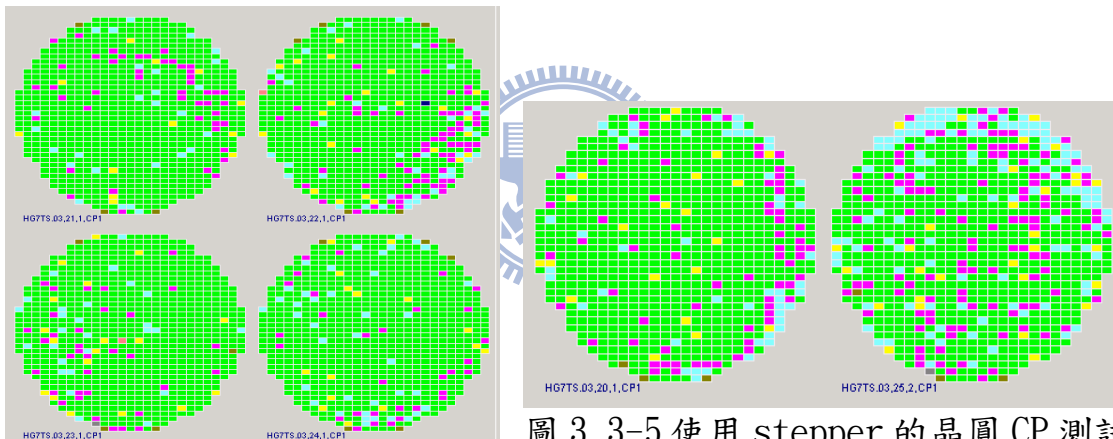


圖 3.3-5 使用 stepper 的晶圓 CP 測試圖形

圖 3.3-4 使用 Scanner 的晶圓 CP 測試圖形

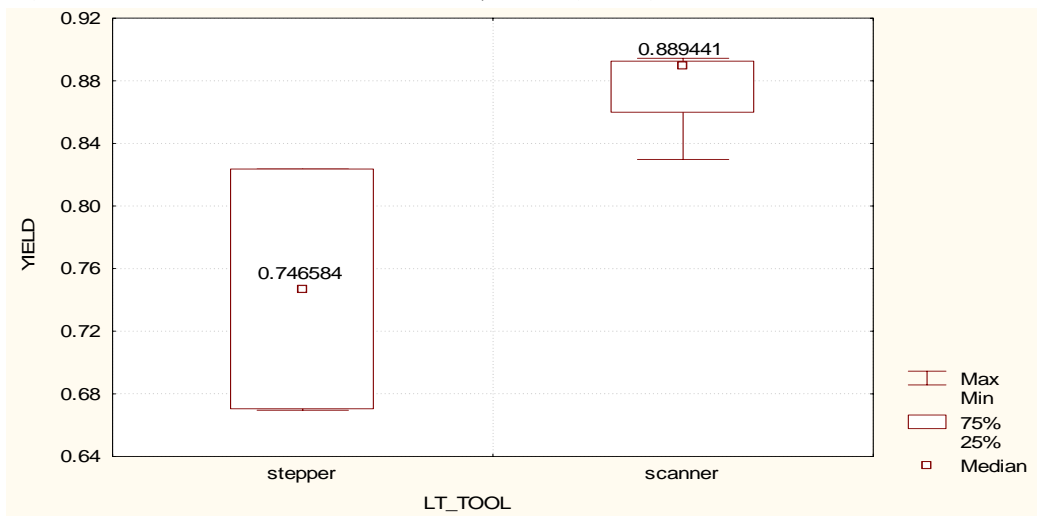


圖 3.3-6 使用 Scanner 的晶圓 CP 測試良率比 Stepper 高

3.4 尋找其他失效原因 (I) 改變金屬矽化物沈積方式與回火溫度

由圖3.4-1 們可以發現，使用scanner的光罩與機台可以提昇晶圓邊緣的良率，但這距離量產良率還有一段差距，故我們仍需繼續進行下一個提昇良率的實驗。

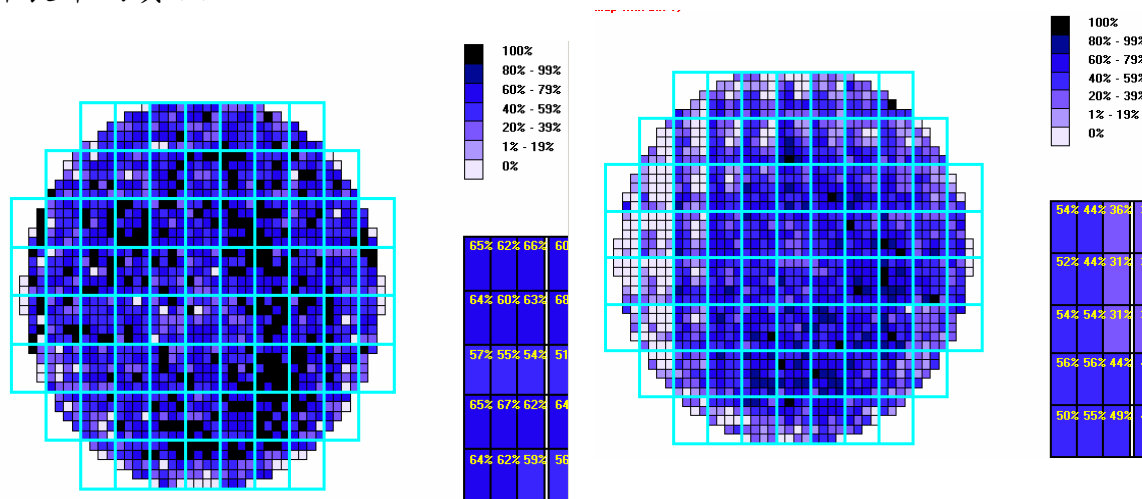


圖 3.4-1 由 Scanner 與 Stepper 的良率疊圖可以發現，使用 Stepper 容易產生邊緣 die 失效的現象

因為前兩大失效測試項目為MBIST 與ATPG，且由晶圓測試結果看來，有發現金屬矽化物有阻值偏高的現象，故我們懷疑低良率與金屬矽化物 (salicide)有關，於是便針對金屬矽化物區域進行SEM量測，由圖3.4-2 SEM照片與3.4-3 TEM照片中，我們可以看到鈷金屬矽化物邊緣有許多的缺陷，經由SIMS成分分析，如圖3.4-4，我們在鈷金屬矽化物中找到了含量很高的鎢，更加證實我們的看法，是鈷金屬矽化物沒有長好，導致Via填入鎢插塞時，鑽進了鈷金屬矽化物中，於是我們便進行金屬矽化物的改善實驗：針對金屬矽化物的沈積，原來使用的是LP-TEOS的機台，因為這種機台的沈積外觀較為平整，容易導致溝槽區薄膜厚度過厚[6]，而不易蝕刻乾淨，如圖3.4-5，故我們選擇了兩種機台PE SiH₄與LP-TEOS[7]，想藉由沈積率較一致的PE SiH₄，沈積出均勻厚度的薄膜，讓溝槽區需要產生金屬矽化物的位置，容易被蝕刻出來，而生成完整的鈷金屬矽化物；並選擇兩種快速熱回火的溫度，試著改變Co-Salicide的相變化，而產生品質好的二矽化鈷 (CoSi₂)，進而降低阻值；並搭配MVIA1 Scanner與Stepper機台的實驗，會選擇MVIA1的原因是因為這裡的SRAM 堆疊的VIA數量最多，可以讓實驗效果更為明顯！

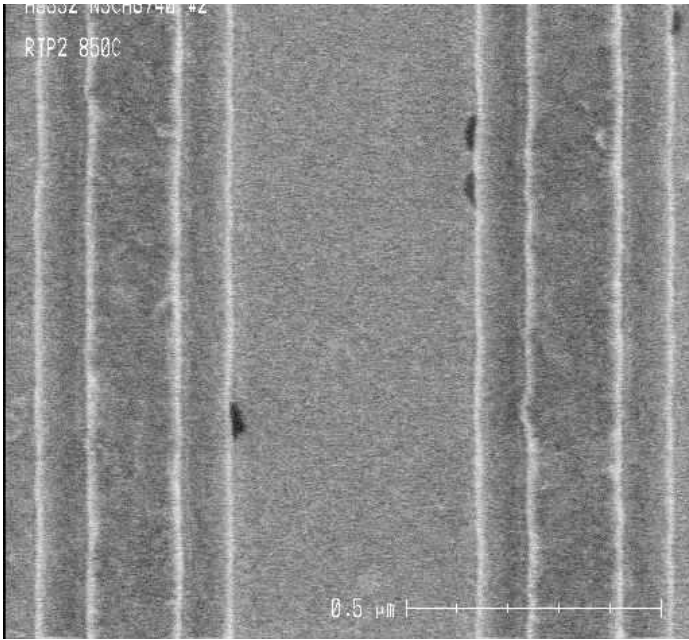


圖3.4-2 由SEM照片可以發現鈷金屬矽化物有許多的缺陷

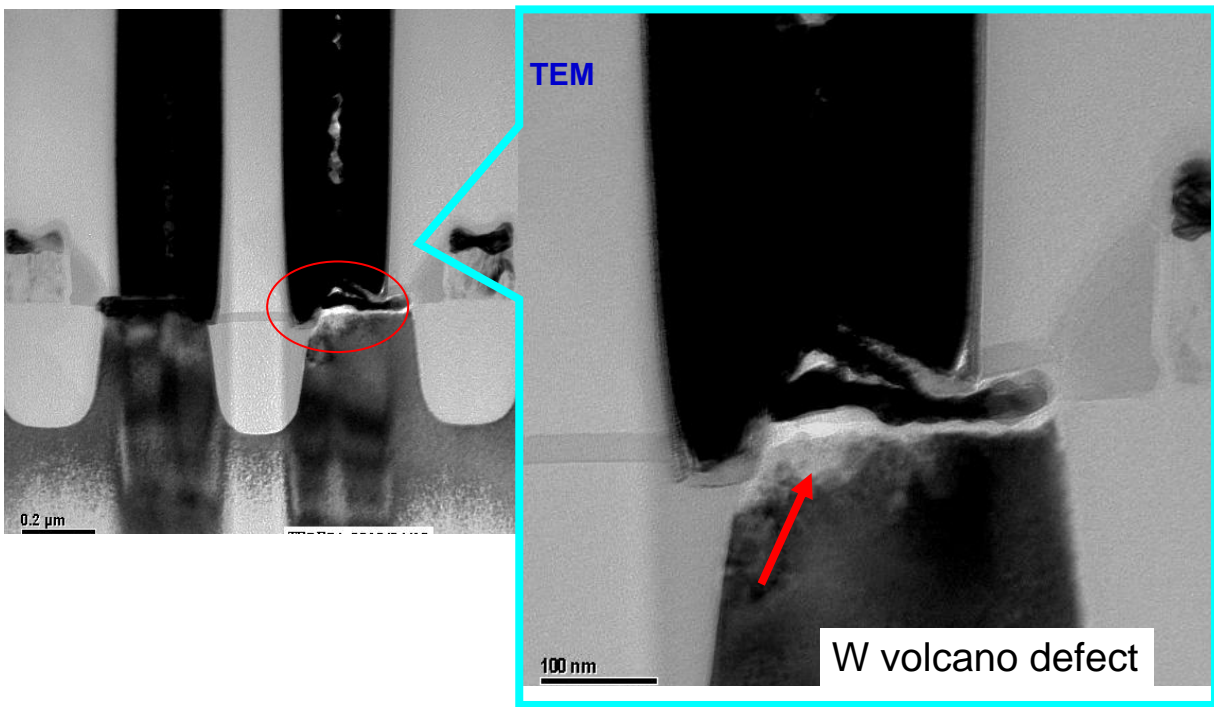


圖3.4-3失效IC的TEM剖面圖

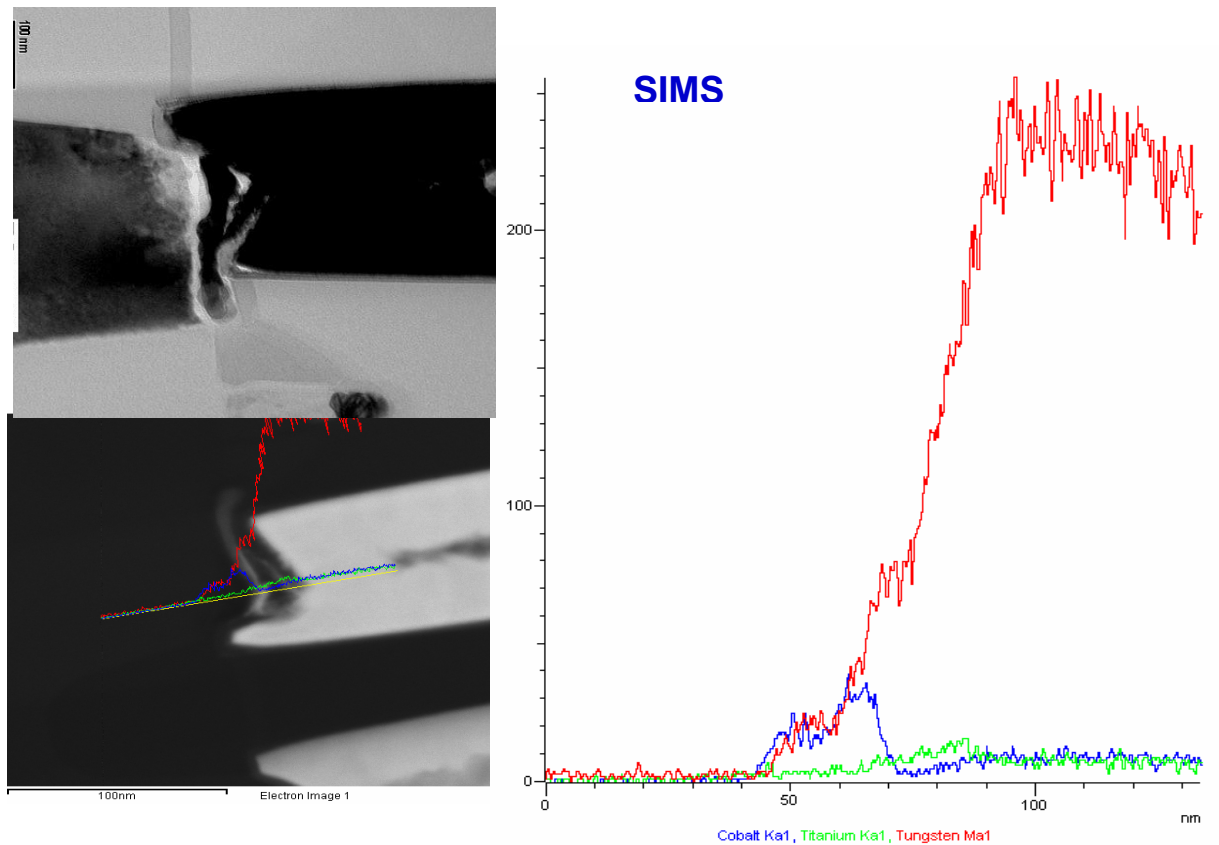


圖 3.4-4 失效 IC 的 SIMS 成分分析圖

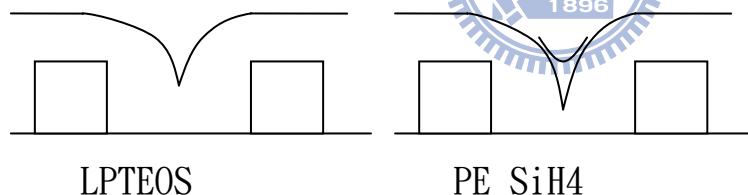


圖3.4-5 LPTEOS沈積出來的薄膜，在溝槽區的厚度比金屬層上的厚，而PE SiH4的機台沈積出來的薄膜厚度較為一致，且在溝槽區的位置，容易產生孔洞，故容易蝕刻乾淨

由實驗的結果如圖3.4-6，可以看到使用PE SiH4的機台搭配Co RTP 800°C時，有最佳的良率如圖3.4-7與3.4-8，且由失效的bin來看，如圖3.4-9，改變機台為PE SiH4與RTP2 溫度為800°C，對改善失效 bin MBIST有很大的效果；且由圖3.4-10中使用800°C RTP時，其阻值亦會降低。

由圖3.4-11與3.4-12 SEM的照片，我們可以發現使用PE SiH4的機台時，能生成品質較佳的鈷金屬矽化物，也比較沒有缺陷產生；且將RTP2的溫度降低為800°C時[8]，由圖3.4-13與3.4-14中，可以發現薄膜的粗糙度也變小了，這便是良率提升的原因了。

STEP	CONDITION	1	2	3	4	22	23	24	25	5	6	7	8	18	19	20	21	9	10	11	12	13	14	15	16	17
SAB TEOS	LP TEOS BASE OX (STD)																	X	X	X	X	X	X	X	X	X
	PE SiH4 BASE OX	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X									
Co RTP2	850C STD									X	X	X	X	X	X	X	X	X	X	X	X					
	800C	X	X	X	X	X	X	X	X														X	X	X	X
MVIA1 PHOTO	5K66A1 (stepper)																									
	4U66A1 (scanner)	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V
Yield		87%	82%	88%	66%	87%	92%	93%	90%	83%	88%	81%	91%	90%	88%	86%	86%	76%	75%	79%	82%	89%	88%	84%	80%	91%
Average Yield		88.3%								86.6%								77.8%				86.4%				
MBIST (Bin5) Failure Rate		4%	3%	2%	4%	3%	3%	2%	3%	8%	4%	9%	2%	3%	8%	4%	8%	14%	7%	14%	12%	3%	4%	5%	6%	2%
Average MBIST (Bin 5) Failure Rate		3.0%								5.6%								11.8%				4.2%				
ATPG (Bin 6) Failure Rate		4%	6%	4%	20%	7%	2%	3%	3%	5%	3%	4%	3%	4%	2%	7%	3%	4%	14%	3%	2%	5%	4%	7%	11%	3%
Average ATPG (Bin 6) Failure Rate		4.1%								4.0%								5.8%				6.0%				

圖3.4-6 鈷金屬矽化物與Scanner/Stepper的Split table與良率

PEOX 800C RTP2 PEOX 850C LP-TEOS 850C RTP2 LP-TEOS 800C RTP2

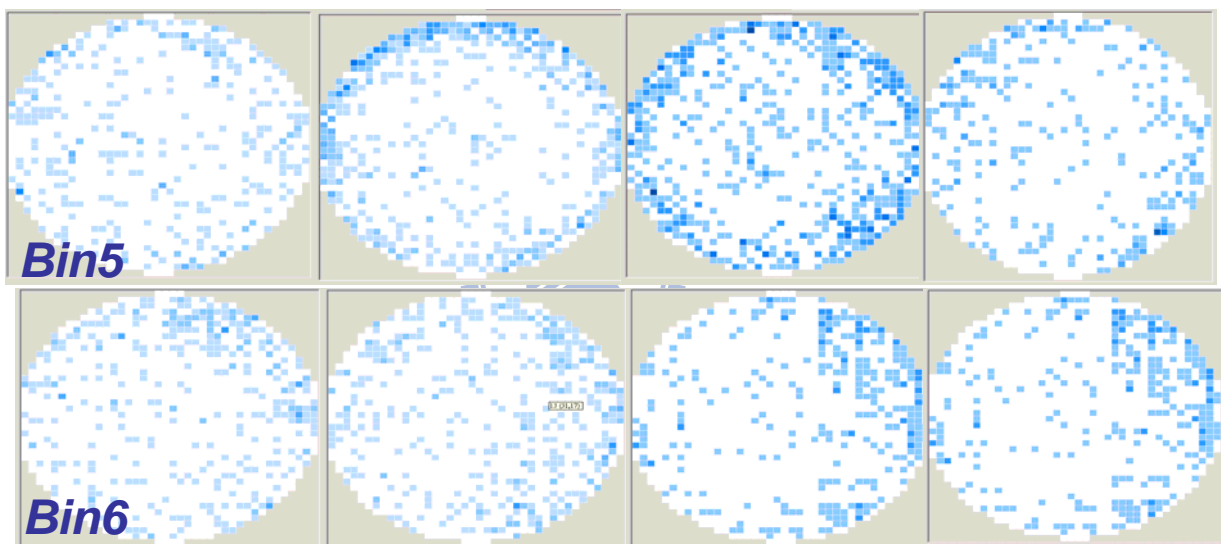


圖3.4-7 使用PE SiH4 機台時對MBIST有明顯改善的效果

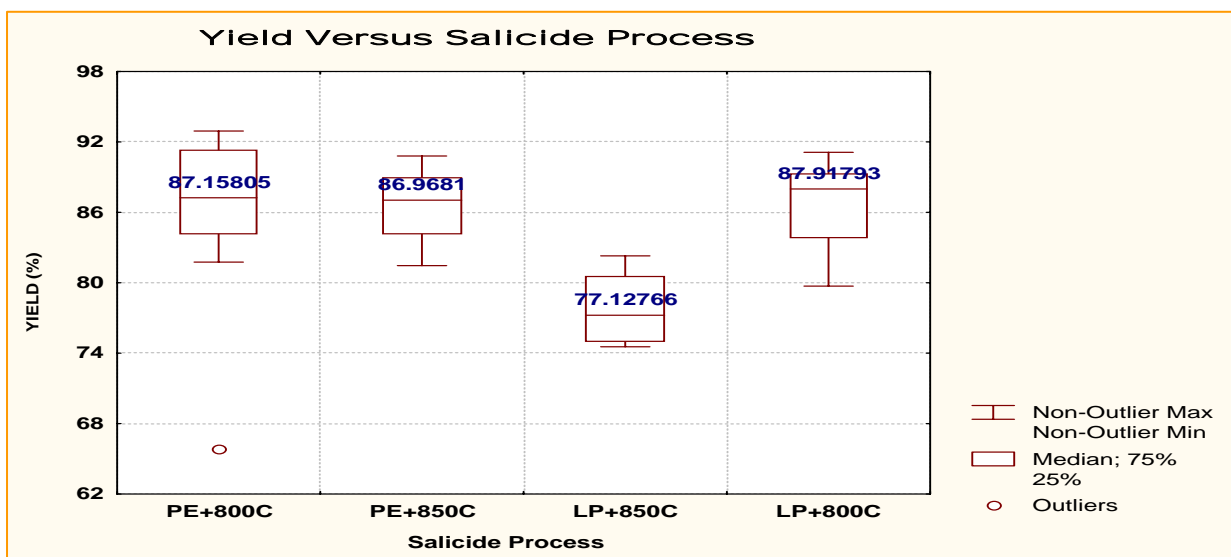


圖3.4-8 Split 四種條件良率的box chart

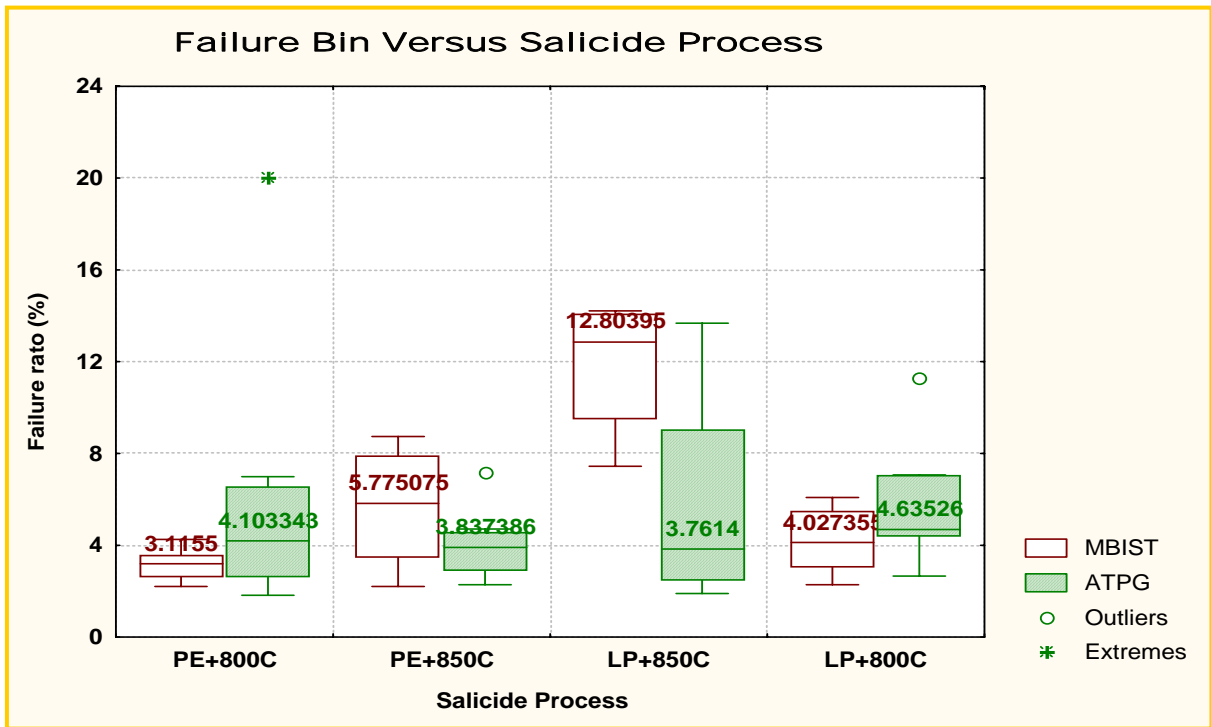


圖3.4-9 Split 四種條件主要失效項目ATPG與MBIST的box chart

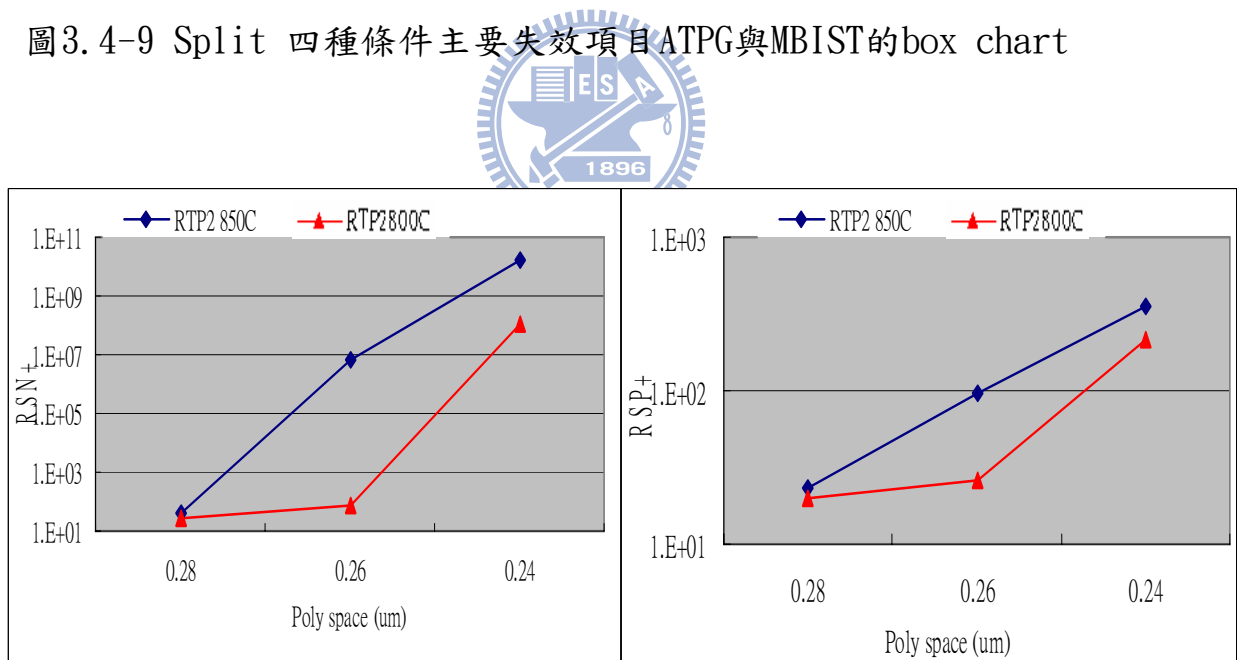


圖 3.4-10 由晶圓量測的阻值來看，在相同的 CD 尺寸下，使用 RTP2 800°C 的阻值比 850°C 較低

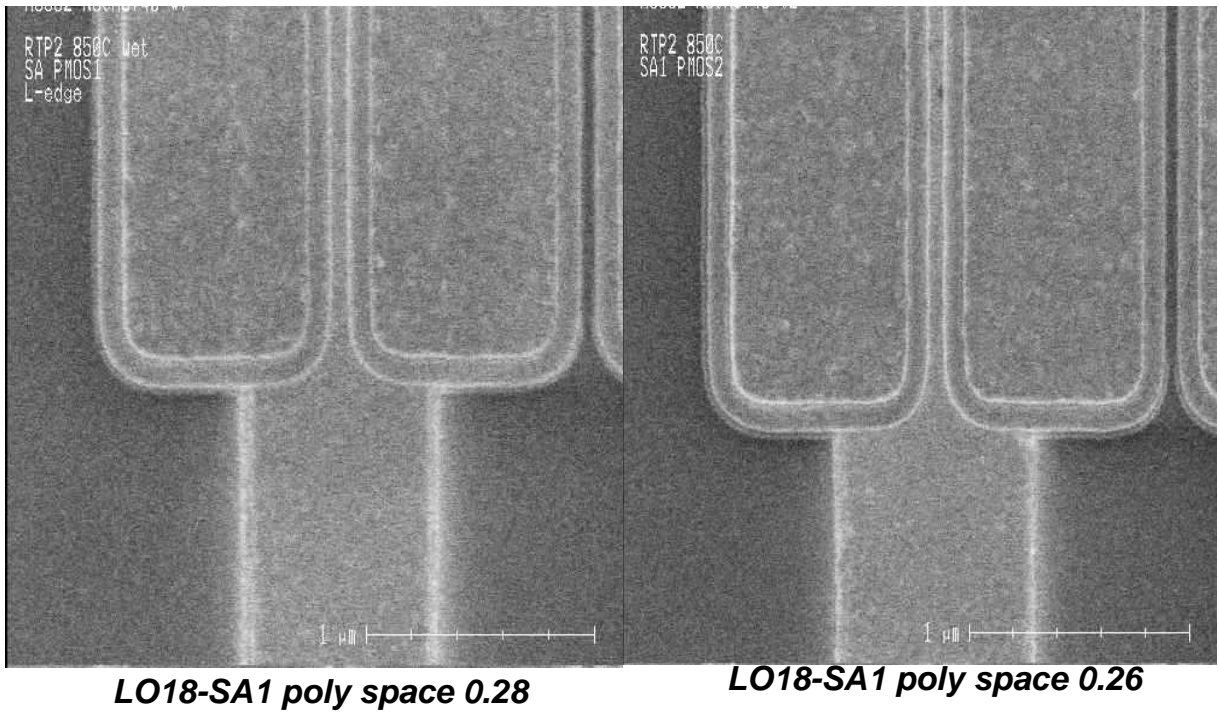


圖 3.4-11 使用 LPTEOS 機台沈積出來的鈷金屬矽化物，可以發現邊緣有些許的缺陷。

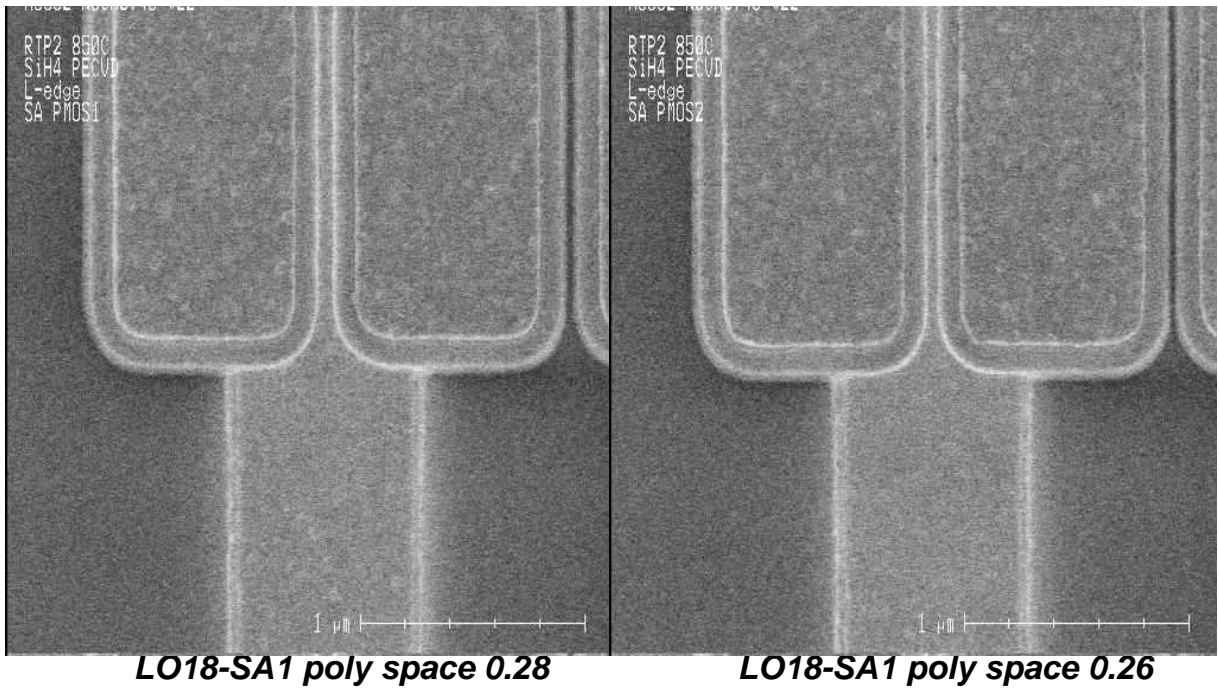


圖 3.4-12 使用 PE SiH4 機台沈積出來的鈷金屬矽化物，沒有發現缺陷

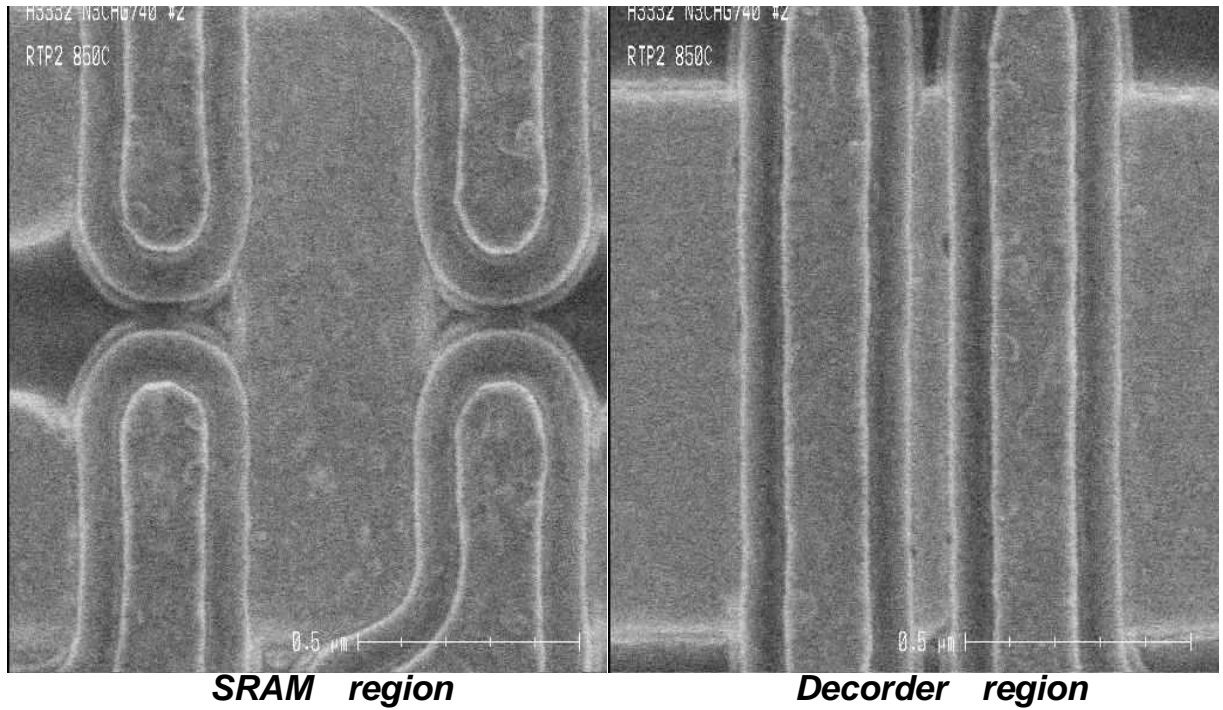


圖 3.4-13 RTP2 850°C 可以看到鈷金屬矽化物有缺陷

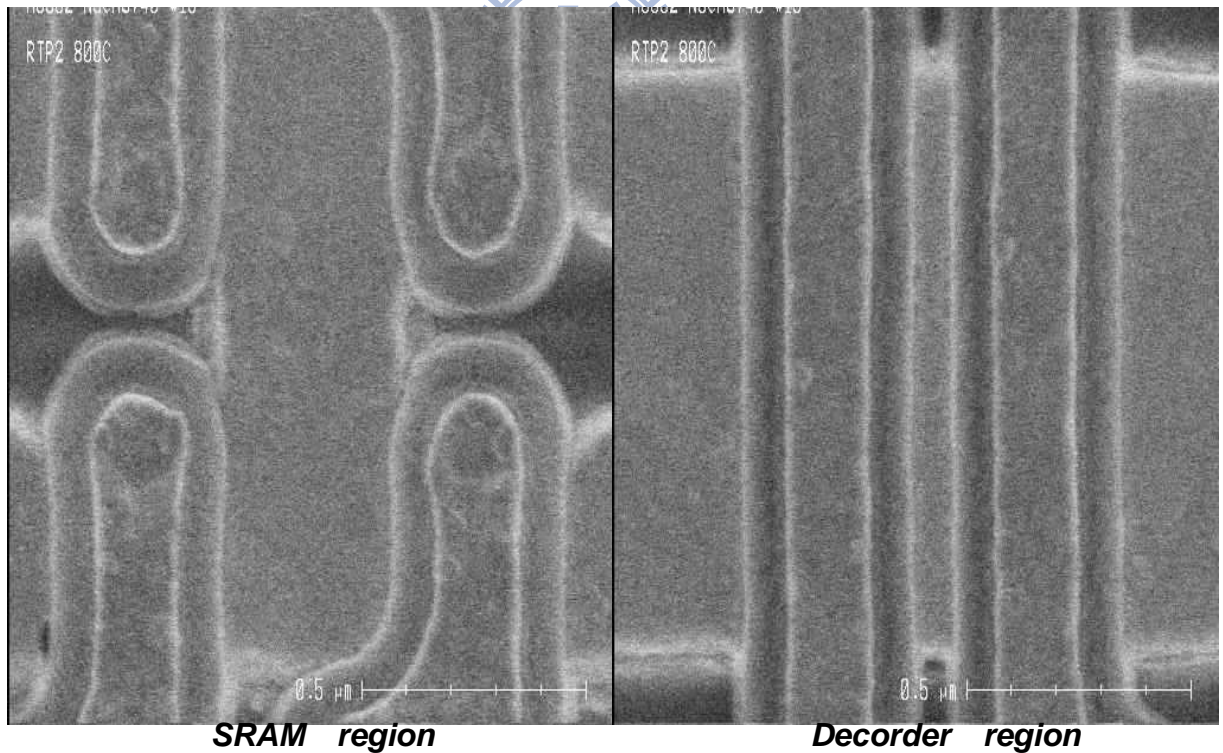


圖 3.4-14 RTP2 800°C 看不到鈷金屬矽化物有缺陷，且平整度亦比 850°C 佳

3.5 尋找其他失效原因 (II) 鈷金屬矽化物沈積搭配曝光機台的實驗

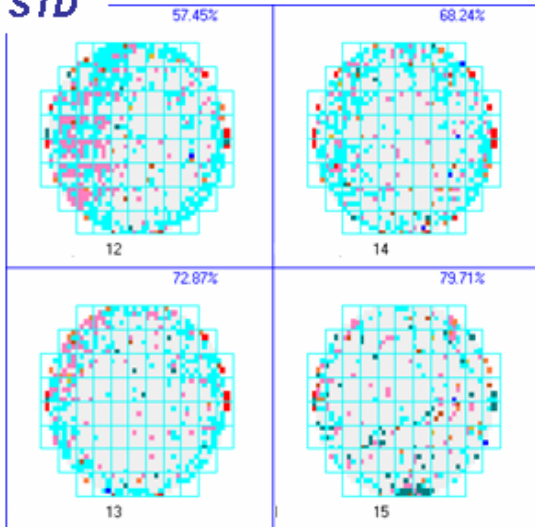
由前面的兩個實驗都有看到改善的效果，於是我們便加緊平行展開，將整個後段製程都改為 Scanner 機台，並搭配新舊程式的金屬矽化物的實驗，以期得到更佳的结果！

由圖 3.5-1 的測試數據與 3.5-2 良率圖來看，不論是使用 Scanner 或 Stepper，PE SiH4 機台搭配 RTP2 800°C 時，都能得到很好且穩定的良率，如圖 3.5-4 亦有效的減少 Mbist 的失效；但如圖 3.5-5 中看來，改變鈷金屬矽化物對失效模式 ATPG，並無多大的效益。

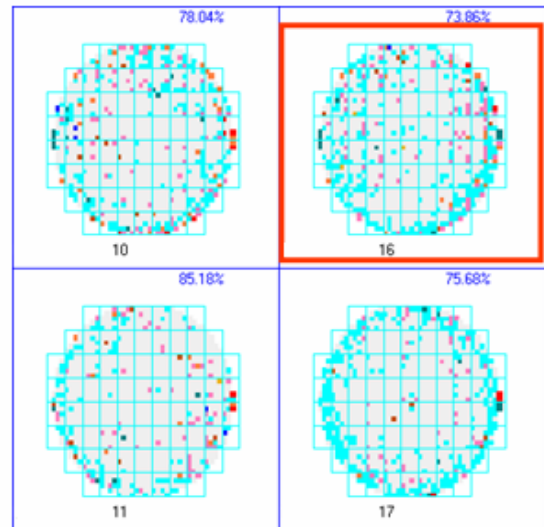
STEP	CONDITION	5	6	7	18	19	24	25	8	9	20	21	22	23	10	11	16	17	12	13	14	15
SAB TEOS	LP TEOS BASE OX (STD)														√	√	√	√	√	√	√	√
	PE SiH4 BASE OX	√	√	√	√	√	√	√	√	√	√	√	√	√								
Co RTP2	850C STD														√	√	√	√	√	√	√	√
	800C	√	√	√	√	√	√	√	√	√	√	√	√	√								
	4U66A1 (scanner)	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√
MET2-MVIA5 PHOTO	5Z67A1 (stepper)								√	√	√	√	√	√					√	√	√	√
	4Z67A1 (scanner)	√	√	√	√	√	√	√							√	√	√	√				
		New salicide + M1-MVIA5 scanner								new salicide + M1-MVIA1 scanner					old salicide + M1-MVIA5 scanner			old salicide + M1-MVIA1 scanner				
	WAFER	5	6	7	18	19	24	25	8	9	20	21	22	23	10	11	16	17	12	13	14	15
	YIELD	87.5	84.3	87.2	83.6	89.8	86.2	88.2	85.3	87.1	84.7	83.1	90.5	85.3	78	85.2	73.9	75.7	57.4	72.9	68.2	79.7
	AVG YIELD	86.70								86.01					78.19			69.57				
	Bin_7 (MBIST)	3.88	2.43	4.94	1.44	5.09	3.65	4.71	6.99	3.04	7.29	3.72	3.72	7.83	12.5	8.13	17	19.5	26.4	17	21.8	7.67
	AVG MBIST failure rate	3.73								5.43					14.29			18.20				
	Bin_C (ATPG)	6.53	8.21	5.47	9.73	3.8	6.53	4.64	5.55	6.84	5.85	10.3	2.96	5.02	5.02	4.56	5.85	3.65	13.2	7.14	5.47	5.4
	AVG ATPG failure rate	6.42								6.08					4.77			7.79				

圖 3.5-1 鈷金屬矽化物搭配 M1-MVIA5 Scanner/Stepper 的 Split table 與良率

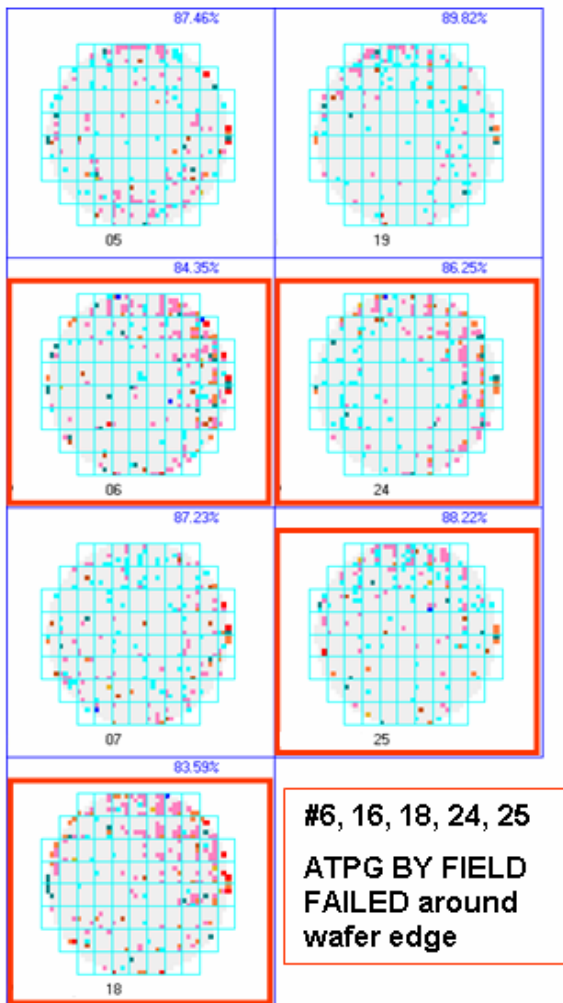
STD



LP SAB OX + RTP2 850C + M1-MVIA5 SCANNER MASK



PE SAB OX + RTP2 800C + M1-MVIA5 SCANNER MASK



PE SAB OX + RTP2 800C + M1-MVIA1 SCANNER MASK

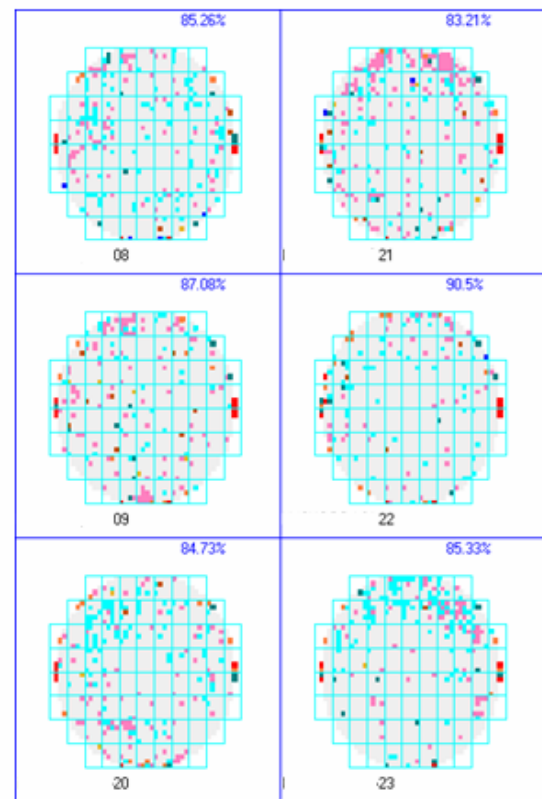


圖 3.5-2 由四種 split 條件的良率，可以看到改變金屬矽化物參數對 MBIST 有蠻大的效果，但 M1~MVIA5 是否改為 Scanner，影響並不大

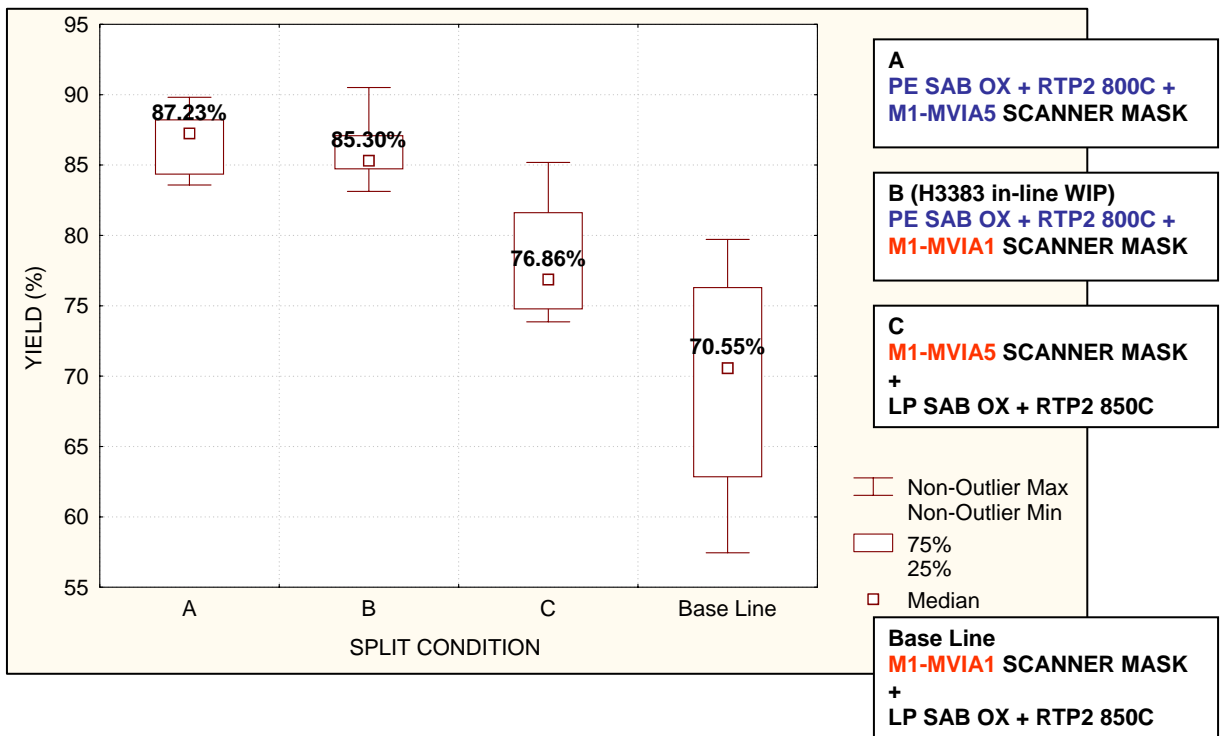


圖 3.5-3 Co-salicide 與 Scanner split 良率 box chart

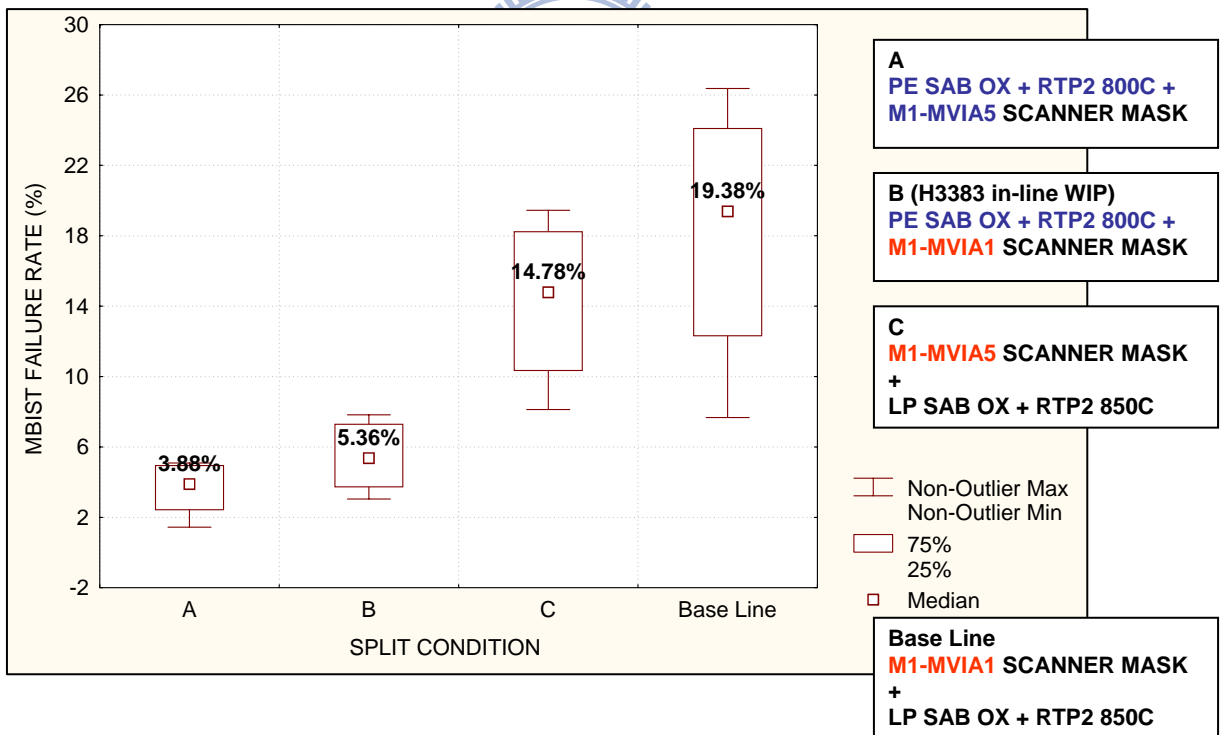


圖 3.5-4 Co-salicide 與 Scanner split MBIST 失效良率 box chart

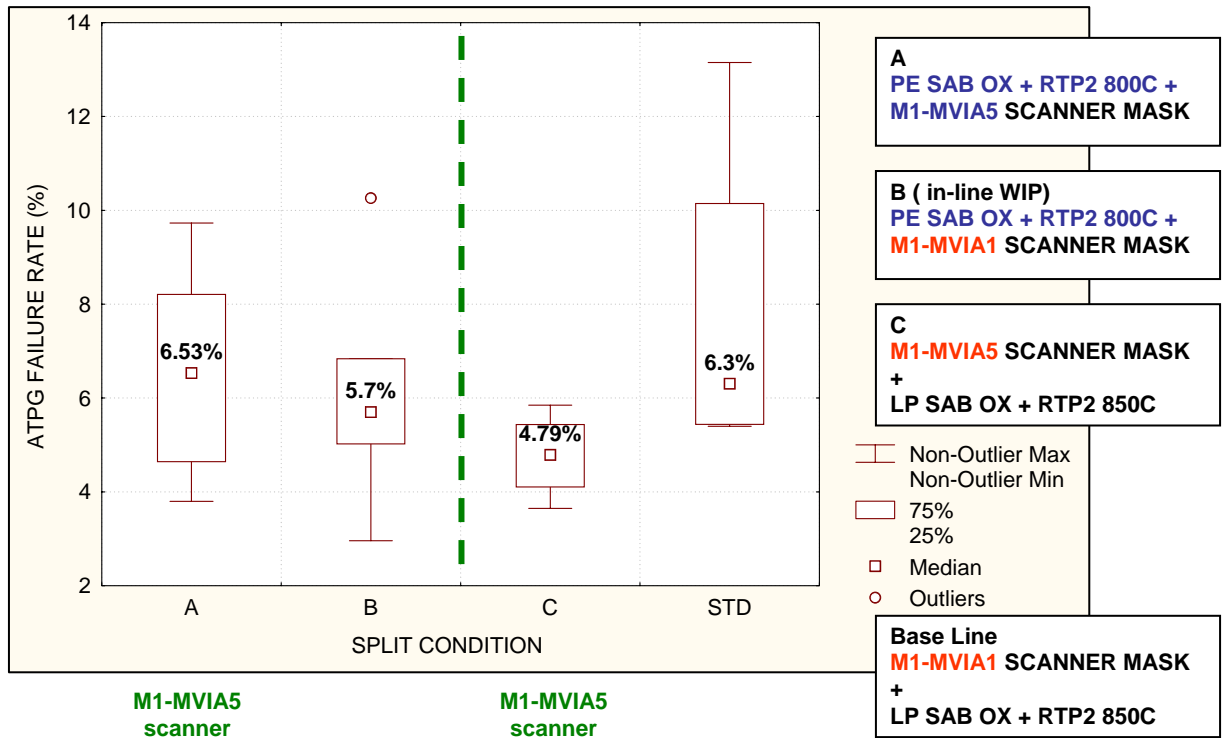


圖 3.5-5 Co-salicide 與 Scanner split ATPG 失效良率 box chart

但是鈷金屬矽化物是一道非常重要的製程，尤其 PE SiH₄ 的機台有高強度的電漿，我們擔心電漿會影響到 Gate Oxide 的性質[9~11]，而產生可靠度的問題，且更改製程參數是否會造成產品特性的改變，亦是我們非常擔心的。所以我們便設計了八組 Testkey 來進行驗證，由圖 3.5-6 的測試結果看來，改變金屬矽化物的製程參數，並沒有改變閘極多晶矽層 (Poly-Gate) 的可靠度。我們改變了不同的電壓與電流，來找出程式可以過關的區域，由圖 3.5-7 FT Shmoo [12] 結果來看，而新舊程式的過關區域是一樣的，代表新舊程式並不會影響到產品的特性，不會導致量產測試時，發生低良率的現象！

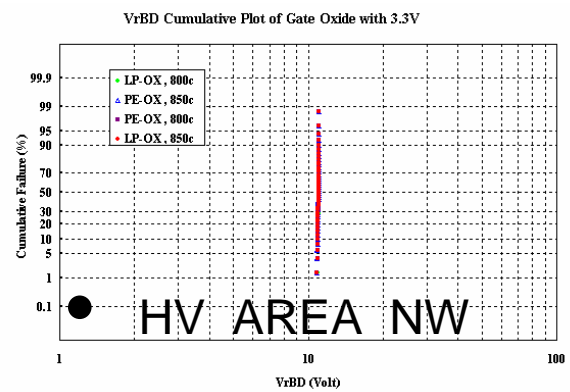
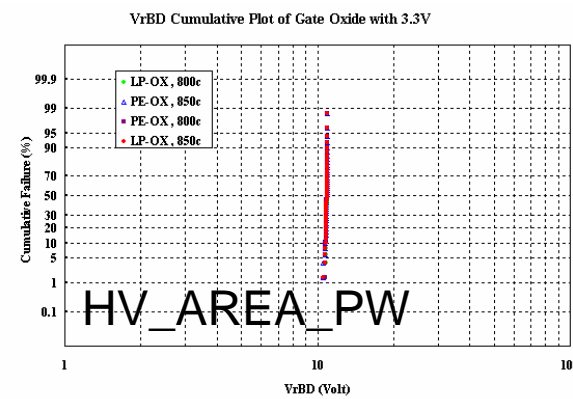
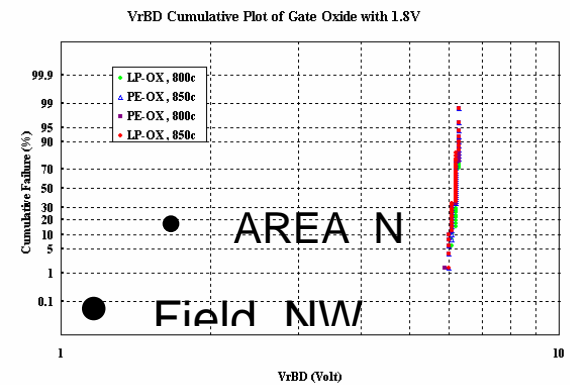
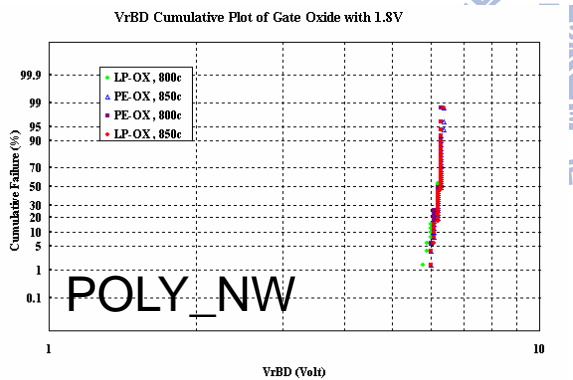
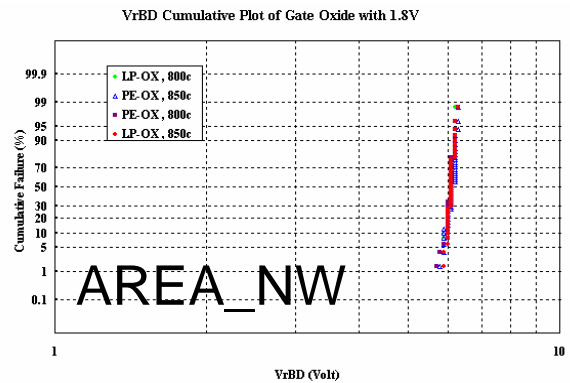
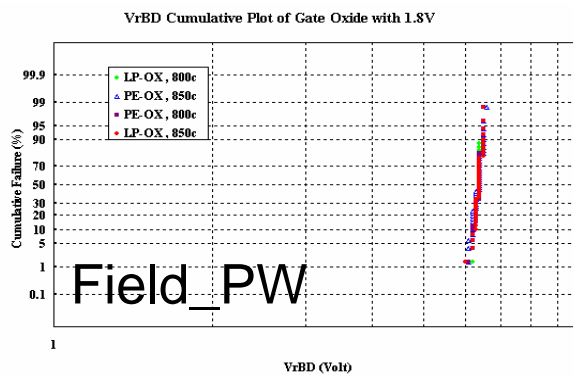
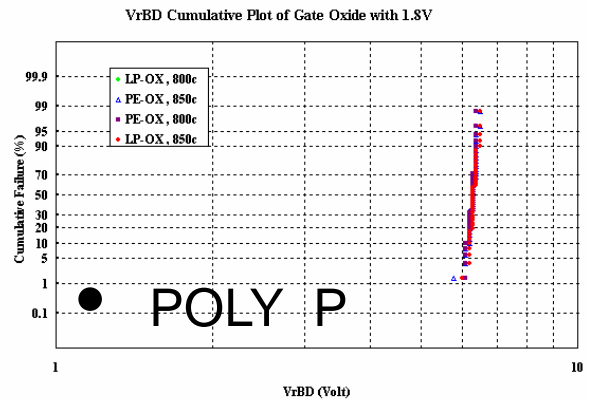
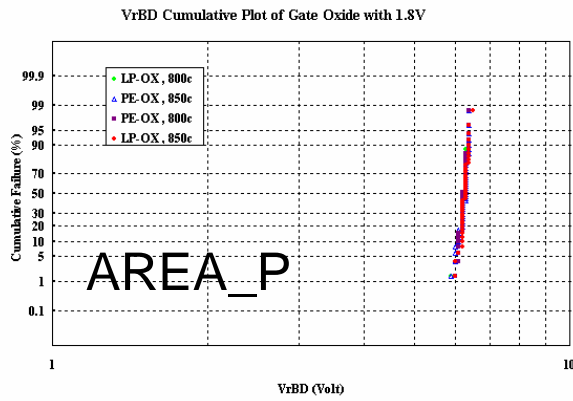
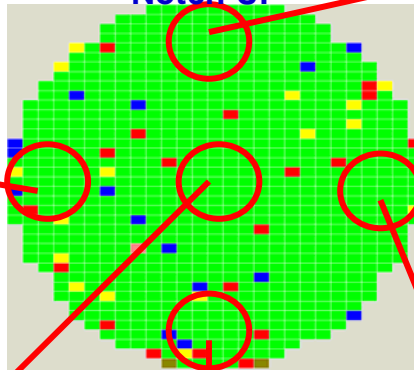
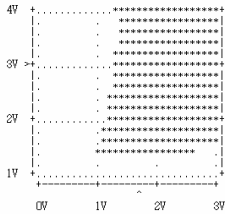


圖 3.5-6 由 Gate Oxide 的八個測試程式中，可以看到新的 co-salicide 程式沒有影響 Gate Oxide 的品質

New Co-salicide with full

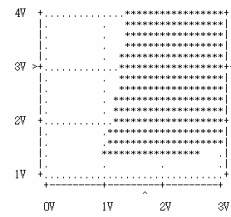
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:22:45
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



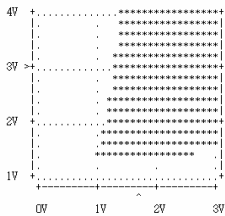
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:19:29
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



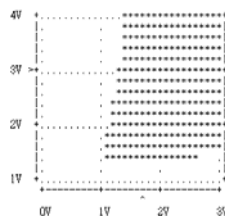
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:35:36
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



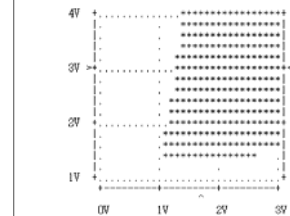
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:41:40
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



```

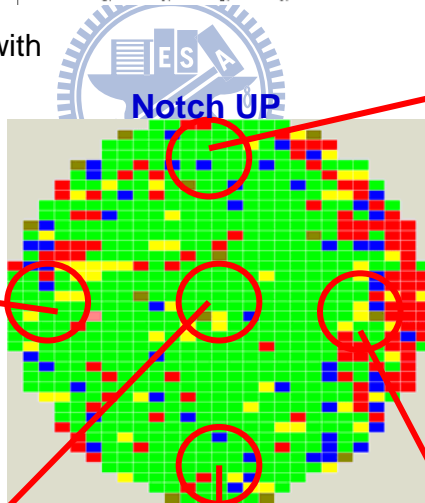
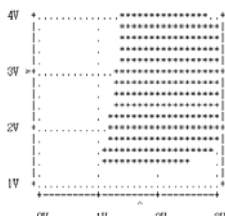
=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:39:52
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



Old Co-salicide with

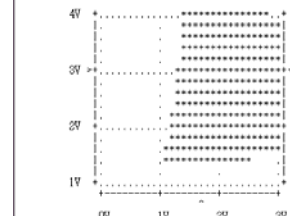
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:59:52
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



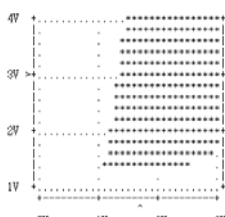
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:56:20
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



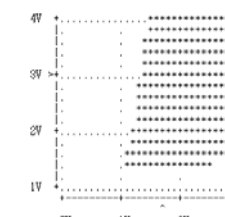
```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 15:01:18
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 15:03:49
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```



```

=====Shmoo Plot===== Version 2.2
Name: kevinl
Title:
Part:
Sample Number:
Result Pins: *
Test:
Date: Mon Apr 12 14:58:03
Lot Number:
vector(632 - 419679)
X-axis:
ps 1( 1.700 ) Delta: 100mV
Y-axis:
ps 2( 3.000 ) Delta: 200mV
    
```

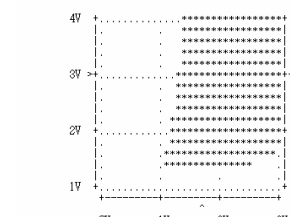


圖 3.5-7 將使用新舊 Co-Salicide 程式的產品來畫 Shmoo，結果並無差異

3.6 尋找其他失效原因 (III) 錐狀金屬蝕刻

進行了許多實驗，但還是良率仍維持在 86% 左右，看來還有其他的失效原因需要尋找，由前述的 Scanner 實驗，可以看到對良率有提昇的效果，但全部後段都改為 Scanner，良率雖有提昇，Scanner 機台是非常昂貴的，無法大量使用，因此我們需要找尋有效又便宜的方法，讓金屬層與 Via 層有更佳的覆蓋性。

由之前的 SEM 照片可以發現金屬層無法完全包覆 Via 層，於是我們嘗試著改變金屬層的蝕刻參數，試著產生底部比上端大的錐狀金屬[12]，看是否能夠提供較佳的包覆性。

由下列實驗數據來看，新的蝕刻參數能將良率提昇至 90% 以上，其原理很簡單，利用新的蝕刻程式來讓光阻被蝕刻時產生 Polymer，因 Polymer 有很高的粘性，會累積在金屬的表面，且 polymer 會不斷的生成，便可以持續產生金屬的保護層，減少金屬被蝕刻的機會，而產生錐狀的金屬，來保護下方的 Via 層，因此便可以提昇產品的良率。

		20	25	21	22	23	24
Backend scanner masks		N/A	N/A	N/A	N/A	N/A	N/A
M1 Etch	AN36-H2O-ONLY			V	V	V	V
	Std	V	V				
M2 Etch	AN36-H2O-ONLY				V	V	V
	Std	V	V	V			
EKC	1690" (Std)	V	V				
	1400"			V	V	V	V
	Yield	61.0	71.3	76.4	90.2	93.5	90.8
	Bin1	57.4	68.1	73.8	89.7	92.3	89.8

圖 3.6-1 金屬蝕刻的 split table

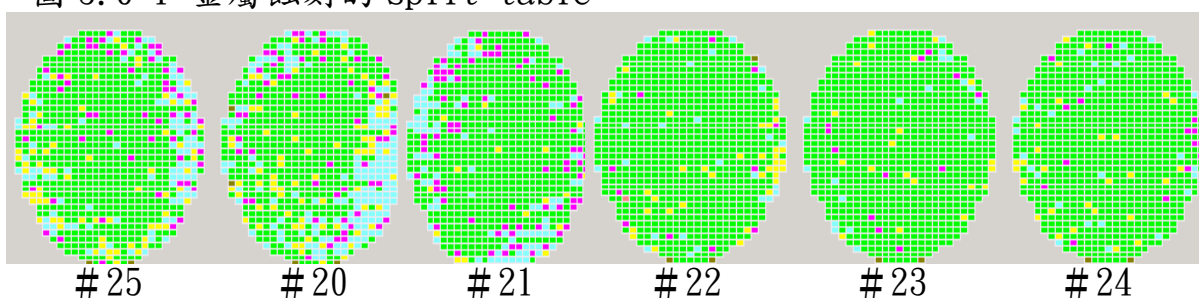


圖 3.6-2 金屬蝕刻 split 的 CP 良率圖

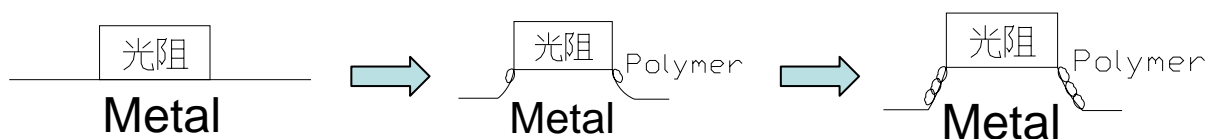


圖 3.6-3 新蝕刻程式讓光阻產生 Polymer 來保護 Metal，可讓金屬蝕刻成錐狀

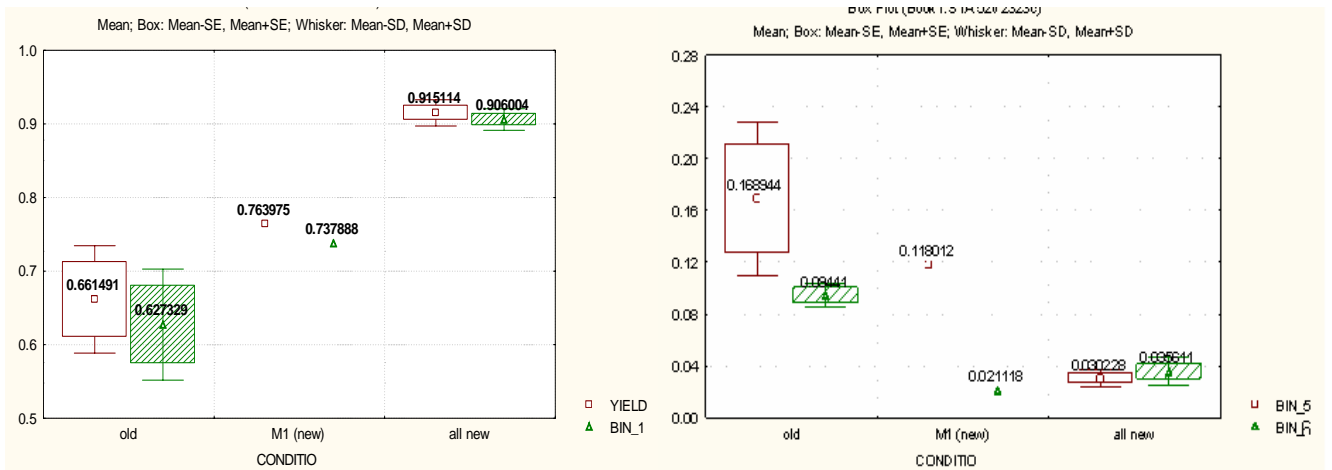


圖 3.6-4 金屬蝕刻 split 的 CP 良率與失效 bin box chart

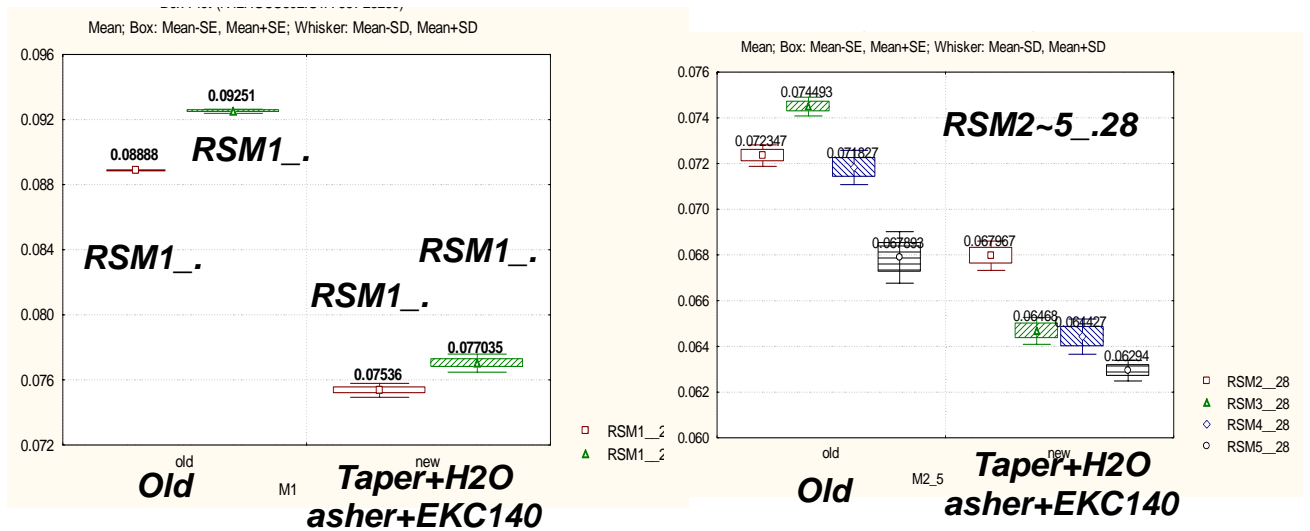
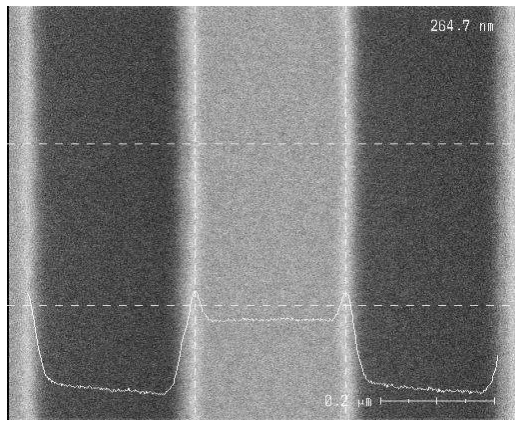
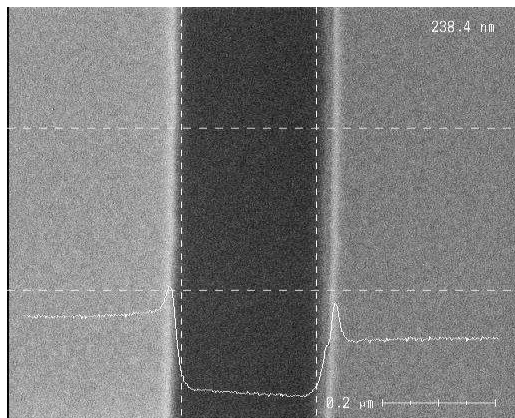
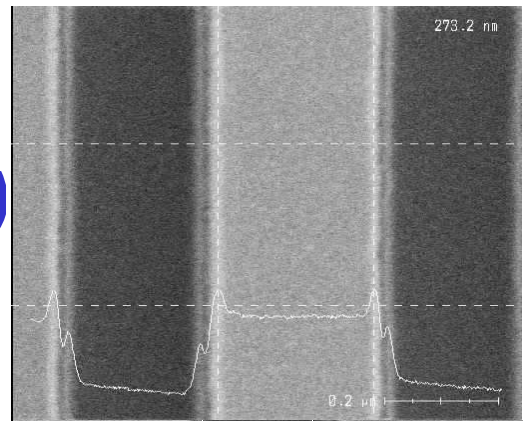


圖 3.6-5 新的蝕刻程式可以得到更低的金屬片電阻



(DL)



(CS)

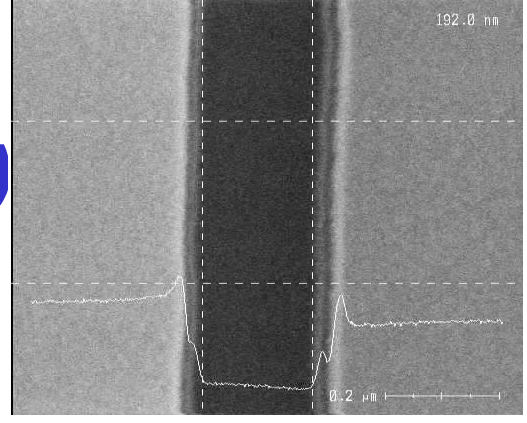
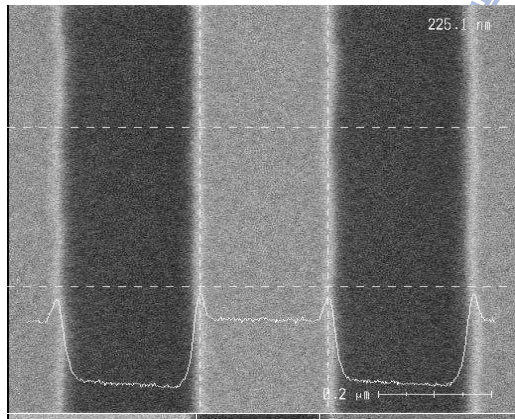
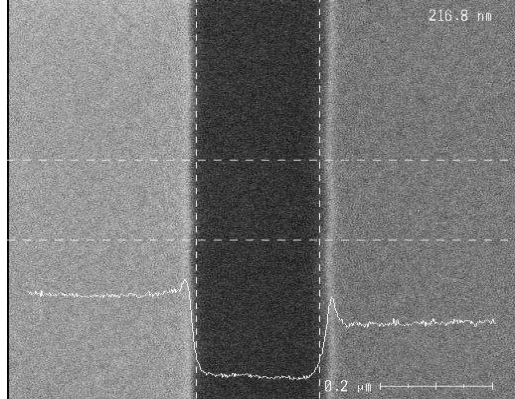
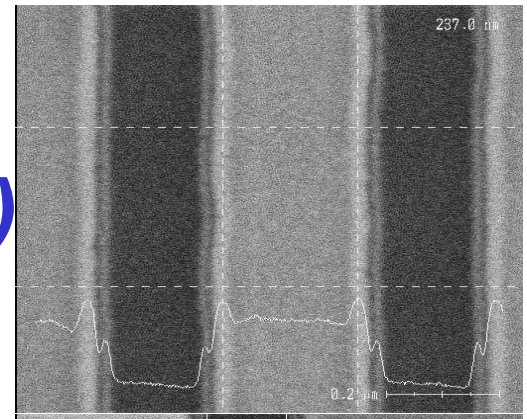


圖 3.6-6 舊蝕刻程式在 M1 AEI CD 值 圖 3.6-7 新蝕刻程式在 M1 AEI CD 值



(DL)



(CS)

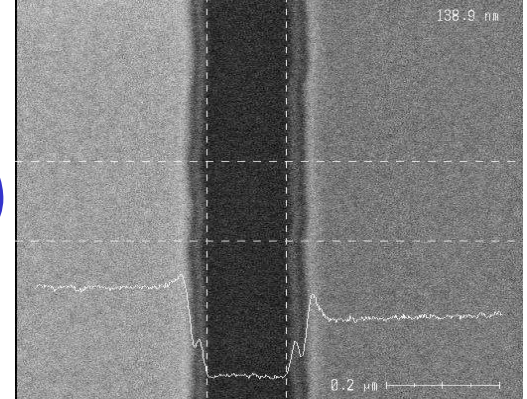


圖 3.6-8 舊蝕刻程式在 M2 AEI CD 值 圖 3.6-9 新蝕刻程式在 M2 AEI CD 值
由圖 3.6-9 中可以看到使用新蝕刻程式，金屬旁都會出現白邊，便是錐狀金屬的證明。

由圖 3.6-10 與 3.6-11 可以看到，當我們把金屬蝕刻成錐狀時，並不會影響介電層在密集區的填充能力。

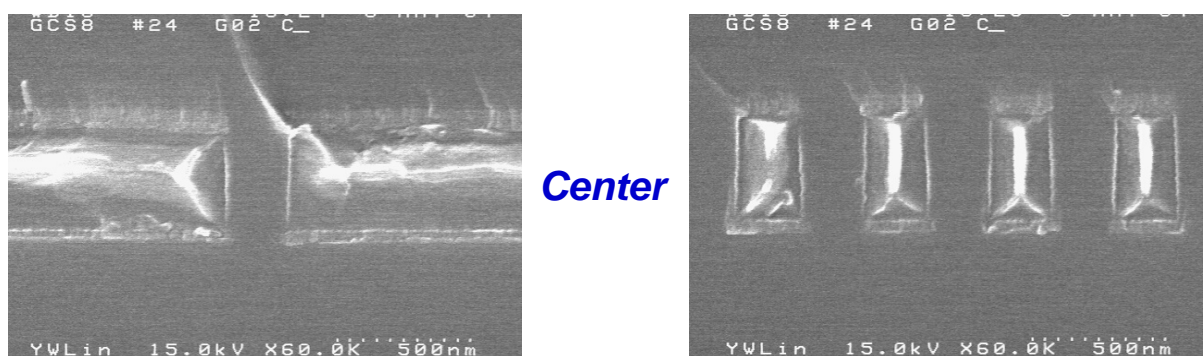


圖 3.6-10 新的錐狀金屬蝕刻程式不會影響 IMD1 填充能力

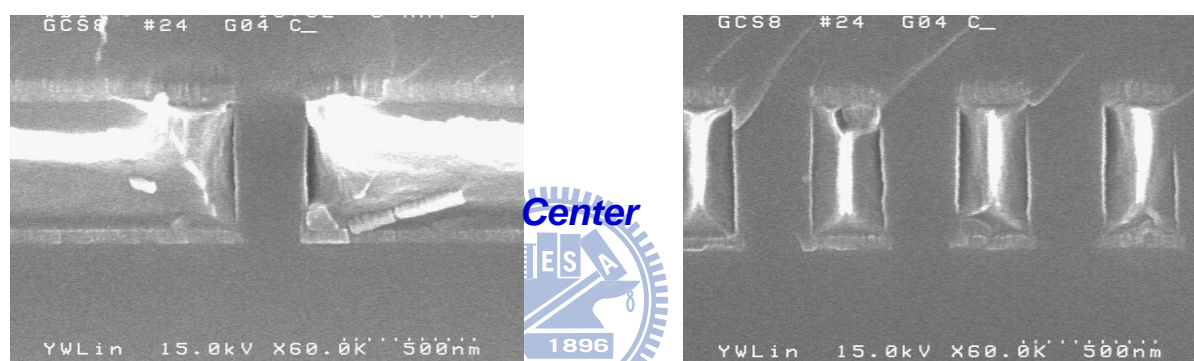


圖 3.6-11 新的錐狀金屬蝕刻程式不會影響 IMD2 填充能力

由剖面圖 3.6-12 與 3.6-13 中可以看到，下面的金屬尺寸比上方多了 0.06 μm ，角度約為 87° ，如此錐狀金屬層便可以保護更下方的 contact，不致於在 Via 層蝕刻時受到傷害！

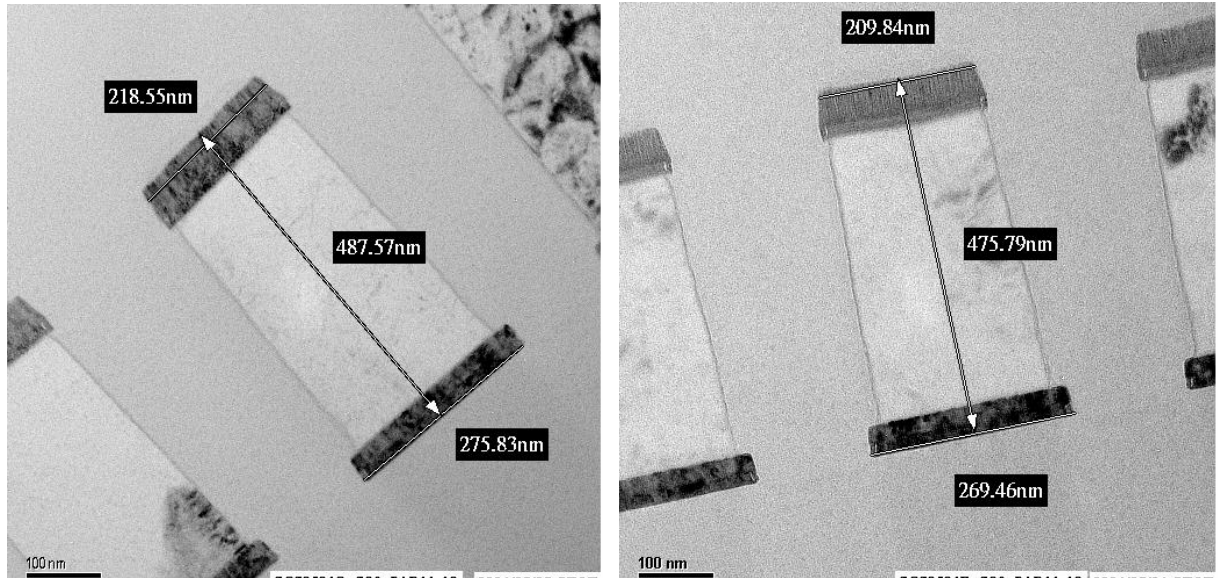


圖 3.6-12 使用新的錐狀金屬程式的 M1 剖面圖

Center

Edge

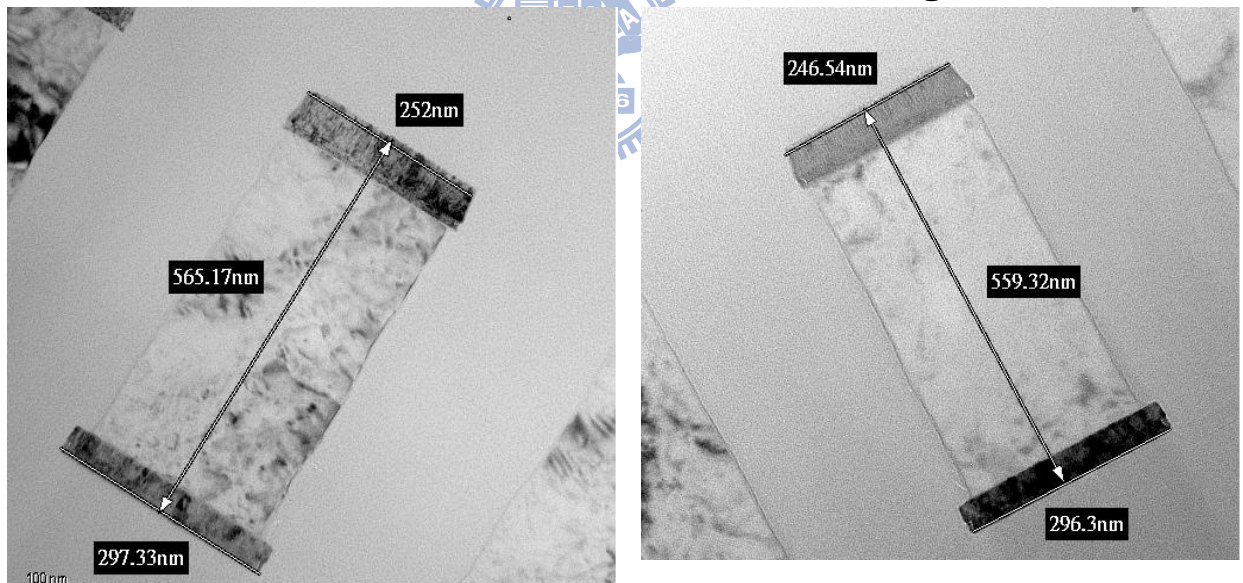


圖 3.6-13 使用新的錐狀金屬程式的 M2 剖面圖

但我們將金屬蝕刻為錐狀後，我們擔心下面的金屬較大，會讓金屬間的空間變小，而導致短路的現象，故我們便去設計 testkey，並進行量測，由圖 3.6-14 與 3.6-15 中 M1 與 M2 的漏電流量測值中，我們並沒有發現短路的現象，便讓我們對新的錐狀金屬蝕刻程式更加放心！

IBRM1_24

IBRM1_24 #21

		4E-13	
	3E-13		
8E-13		3E-13	
	1E-12		
		1E-12	
	6E-13		
9E-13		2E-12	
	2E-12		
		2E-12	

	1E-12		
	1E-12	1E-12	
	1E-12		1E-12
	2E-12		
		3E-12	
	1E-12		3E-13
		9E-13	
	4E-13		

IBRM1_24 #22

		4E-13	
	8E-14		
5E-13		1E-12	
	1E-12		
		2E-12	
	1E-12		
1E-12		6E-13	
	1E-12		
		1E-13	

		3E-13	
	9E-14		
2E-12		7E-13	7E-13
		7E-13	
5E-14			
		7E-13	
3E-12		2E-12	5E-13
		2E-12	
		3E-14	

IBRM1_24 #23

		9E-13	
	5E-13		
7E-13		6E-14	
	9E-13		
		7E-14	
	8E-13		
6E-13		2E-12	
	6E-13		
		9E-13	

	3E-12		
	2E-13	1E-12	
	2E-13		1E-12
		2E-12	
	3E-13		
		6E-13	
	8E-13		5E-13
		9E-13	
	3E-13		

IBRM1_24 #24

		5E-13	
	5E-13		
3E-13		2E-12	
	4E-13		
		4E-13	
	7E-13		
3E-13		1E-12	
	9E-13		
		3E-13	

		2E-13	
	7E-13		
3E-13		2E-13	
		1E-13	
	8E-14		
		1E-12	
9E-13		4E-13	
		3E-13	
	1E-12		

IBRM1_22

IBRM1_24_1 #21

		9E-13	
	2E-12		
3E-13		1E-12	
	2E-13		
		1E-12	
	1E-12		
7E-14		1E-13	
	3E-13		
		3E-13	

	7E-14		
	2E-12	1E-12	
	2E-12		1E-12
	2E-12		
		7E-13	
	3E-12		4E-14
		3E-13	
	2E-13		

IBRM1_24_1 #22

		1E-12	2E-13
	7E-13		4E-12
		5E-13	
		3E-13	2E-13
	2E-13		6E-13
		2E-13	
		2E-13	

		2E-13	
		3E-13	
7E-13			
		3E-13	
		3E-13	
		5E-13	
		1E-13	
	3E-12		2E-12
		2E-13	
		3E-13	

IBRM1_24_1 #23

		1E-12	
	2E-13		
4E-13		4E-13	
	1E-12		
		9E-15	
	9E-13		
7E-13		1E-12	
	5E-14		
		8E-13	

	2E-12		
	2E-12	6E-14	
	2E-12		2E-12
	6E-13		
	6E-13		
		9E-13	
	7E-14		3E-13
		1E-12	
	2E-12		

IBRM1_24_1 #24

		2E-13	6E-13
	2E-13		
	6E-14		8E-13
		9E-13	
		2E-13	
	3E-13		5E-15
		1E-12	1E-12
		1E-12	
		8E-13	

		7E-13	
		6E-13	
3E-13			6E-13
		4E-13	
		6E-13	
		5E-13	
	2E-12		7E-13
		1E-12	
		5E-13	

圖 3.6-14 由 M1 WAT 的當級與下一級測試結果看來，並沒有短路的現象

IBRM3_28

IBRM3_28 #22

		5E-13	
	3E-13		
5E-13		2E-12	
	4E-13		
		5E-13	
	2E-12		
5E-14		2E-12	
	6E-13		
		1E-12	

	9E-14		
	2E-12	1E-12	
	2E-12		1E-12
	9E-13		2E-12
		2E-14	
	6E-12		4E-13
		4E-12	
	4E-13		

IBRM3_28 #23

		7E-12	
	1E-11		
1E-12		6E-13	
	2E-13		
		3E-13	
	9E-13		
1E-12		1E-12	
	3E-13		
		3E-12	

		2E-12	
	2E-13		
9E-13		4E-13	
		8E-13	
	6E-13		
		2E-13	
	4E-13		1E-12
		2E-12	
	8E-13		

IBRM3_28 #24

		7E-13	
	5E-14		
2E-12		3E-13	
		2E-12	
		1E-12	
	1E-12		
3E-13		1E-13	
		1E-12	
		2E-12	

		1E-13	
		1E-12	
9E-13			3E-13
		8E-13	
		1E-13	
		8E-13	
	7E-13		1E-12
		8E-13	
		1E-13	

IBRM3_26

IBRM3_26 #22

		7E-13	
	1E-12		
4E-13		5E-13	
	6E-13		
		1E-12	
	8E-14		
9E-13		9E-13	
	7E-13		
		3E-13	

	5E-13		
	3E-13		
4E-12		1E-12	
		1E-12	
	1E-12		
		3E-13	
	1E-12		6E-13
		9E-12	
	2E-13		

IBRM3_26 #23

		5E-12	
	3E-14		
5E-13		9E-13	
	3E-13		
		5E-13	
	3E-13		
9E-13		6E-14	
	3E-13		
		7E-14	

		2E-12	
	1E-13		
2E-12		3E-13	
		3E-13	
	1E-12		
		1E-13	
	2E-13		1E-12
		6E-13	
	2E-13		

IBRM3_26 #24

		2E-12	
	3E-14		
3E-13		7E-13	
		2E-13	
		1E-12	
	8E-13		
2E-13		2E-12	
	5E-14		
		6E-13	

		2E-13	
		7E-13	
4E-13			9E-13
		1E-13	
		6E-14	
		4E-14	
	1E-12		1E-13
		4E-13	
		6E-13	

圖 3.6-15 由 M2~M5 WAT 的當級與下一級測試結果看來，並無短路的現象

3.7 M1錐狀金屬蝕刻的程式最佳化

由之前的實驗，可以看到改變金屬蝕刻的程式，對良率的提升很有幫助，但是否這個程式便可得到最佳的良率呢？是我們比較質疑的，故我們需要再多做實驗，來證明與修正程式！

我們刻意將M2 至MVia5改用stepper，使用比較差的曝光機台，來驗證新的金屬蝕刻程式的能力。由前十片晶圓來驗證M1的蝕刻程式，後八片來驗證M2~M5的程式。

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
M1 ADI CD	0.21			v	v														
	0.22					v	v												
	0.23	v	v									v	v	v	v	v	v	v	v
	0.24							v	v										
	0.2									v	v								
M1 Etch	25-SN-4K-40	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v
M2-5 ADI CD	0.25											v	v						
	0.26												v	v					
	0.27	v	v	v	v	v	v	v	v	v	v								
	0.28															v	v		
	0.24																	v	v
M2-5 Etch	25-SN-5K-40	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v
EKC	1400"	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v

圖 3.7-1 新的金屬蝕刻程式搭配 M1~M5 CD window 確認的 split table

由圖 3.7-2 與 3.7-3 中，可以看到當 M1 CD 越來越小時，其良率亦隨著攀升，尤其 CD 為 0.21 時，其良率是最高的；但當 CD 為 0.2 時，良率反而降到 87%，這個現象是很奇怪的，如圖 3.7-4 當我們去分析片電阻時發現，CD 為 0.2 時，片電阻比 CD 為 0.21 增加了 10%，這會導致我們的 CPU 產品無法跑到該有的速度，這便是導致低良率的原因之一；且當初是使用 0.23 的規格來製作光罩，故 CD 0.2 離當初光罩製作的規格有點遠，再搭配上曝光效果較差的 Stepper 機台，便衍生出邊緣低良率的現象一點都不奇怪了。

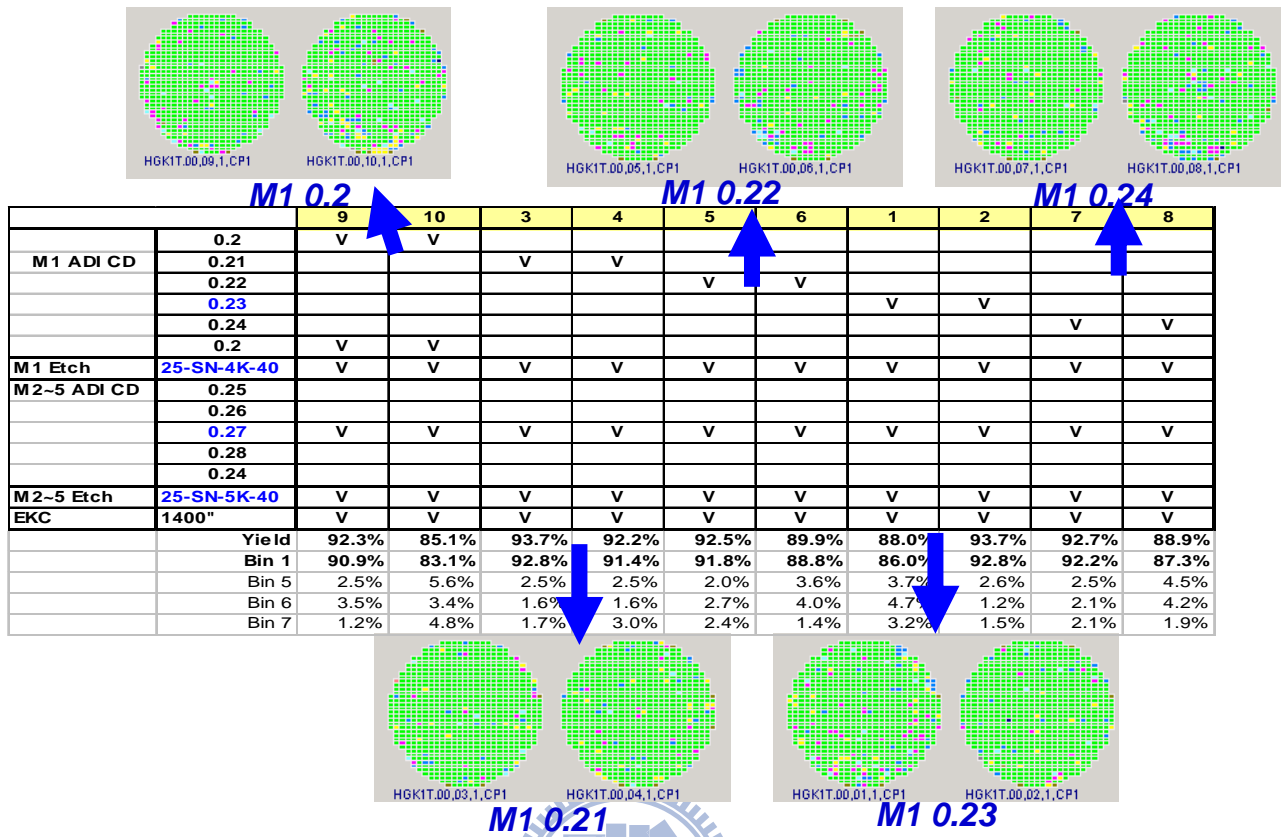


圖 3.7-2 新的金屬蝕刻程式搭配 M1~M5 CD window 確認的良率圖

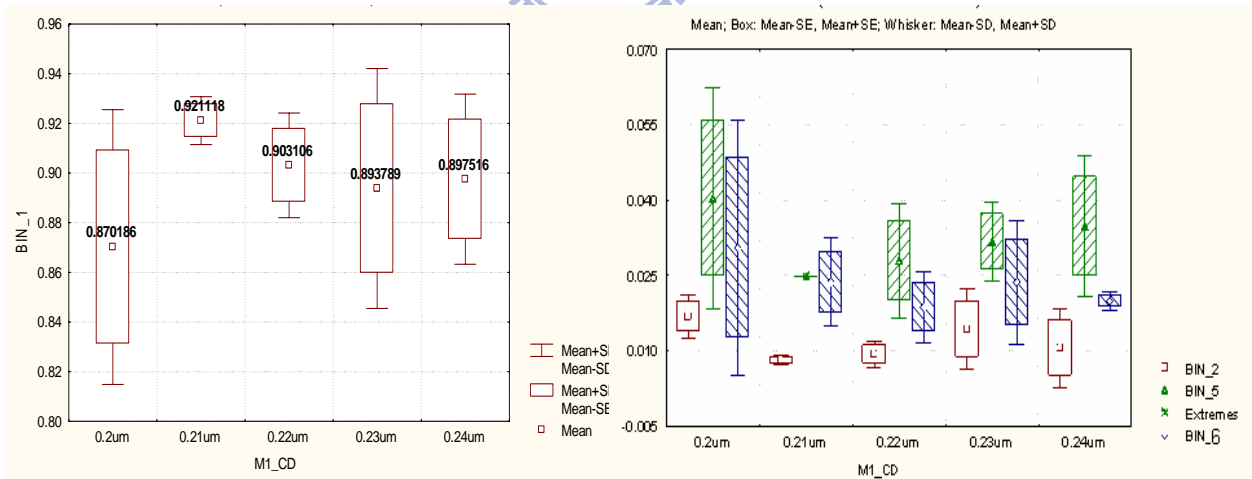


圖 3.7-3 當 M1 CD 尺寸在 0.21um 時，良率與穩定性最好，但低於 0.2um 時，良率便會有明顯的降低

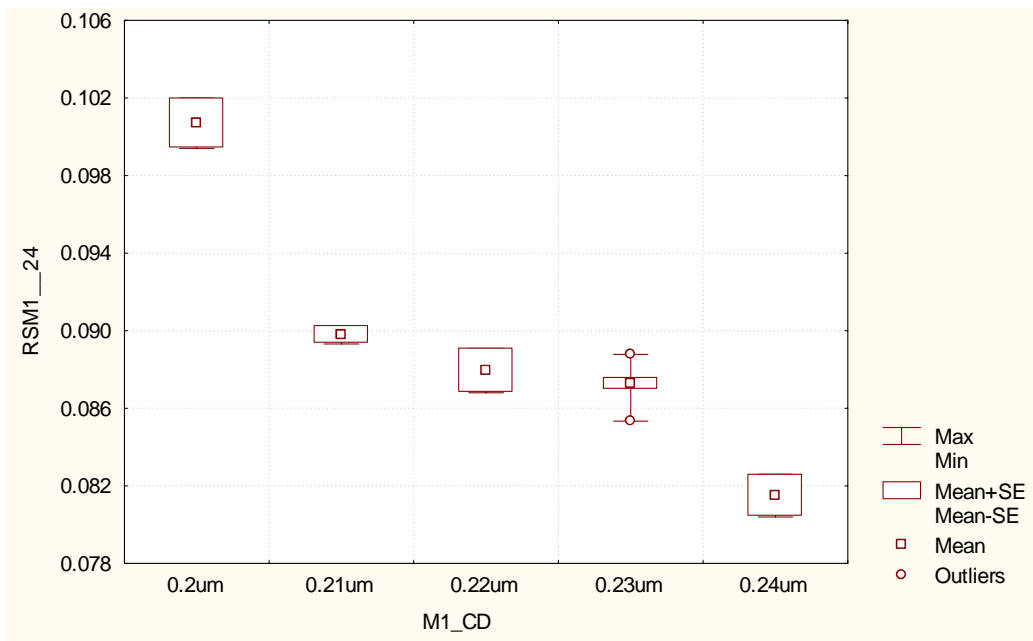


圖 3.7-4 M1 CD 越小時，片電阻越大，且 CD 在 0.2um 時，片電阻會急遽增加

由電性量測來看，M1 CD 越大，則片電阻便越小，由圖 3.7-4 可以發現 M1 CD 位於 0.21 um 時，仍是最穩定的！由圖 3.7-5 當 M1 CD 為 0.2um 時，晶圓邊緣容易變為失效！

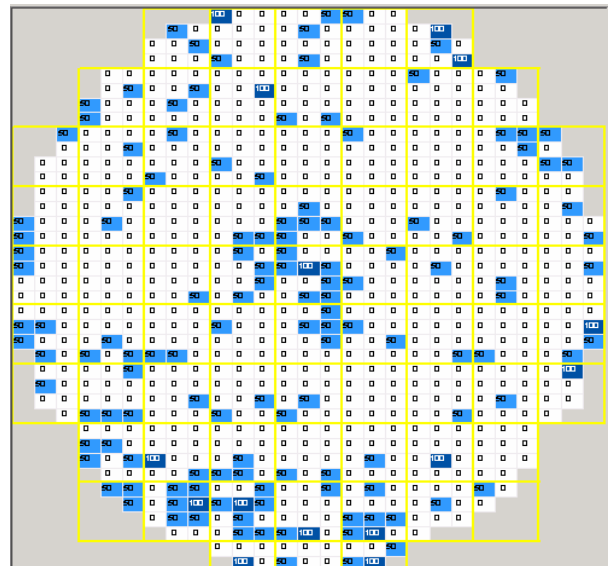
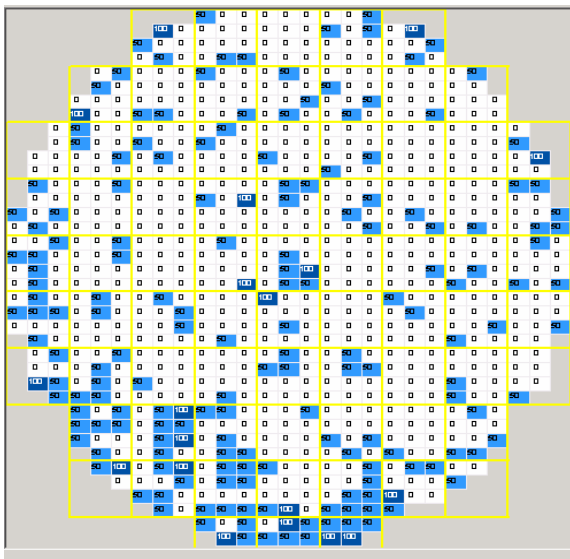


圖 3.7-5 CD 0.2um 時，失效 IC 的區域 圖 3.7-6 CD 0.24um 時，失效 IC 的區域

3.8 M2~M5 錐狀金屬蝕刻的程式最佳化

在第 3.7 章，我們做了 M1 CD split，並找出良率最佳的 CD 與範圍，於是我們開始平行展開到 M2~M5，原本的 M2~M5 CD spec 是 0.27um，我們將其上下延伸至 0.24~0.28um，希望能找出最佳的 CD 規格來搭配新的金屬蝕刻程式。

由圖 3.8-1 中可以看到，當 M2~M5 CD 為 0.28um 時，良率最佳，但當 CD 為 0.26um 時，良率便開始降低，尤其邊緣有明顯的低良率現象！

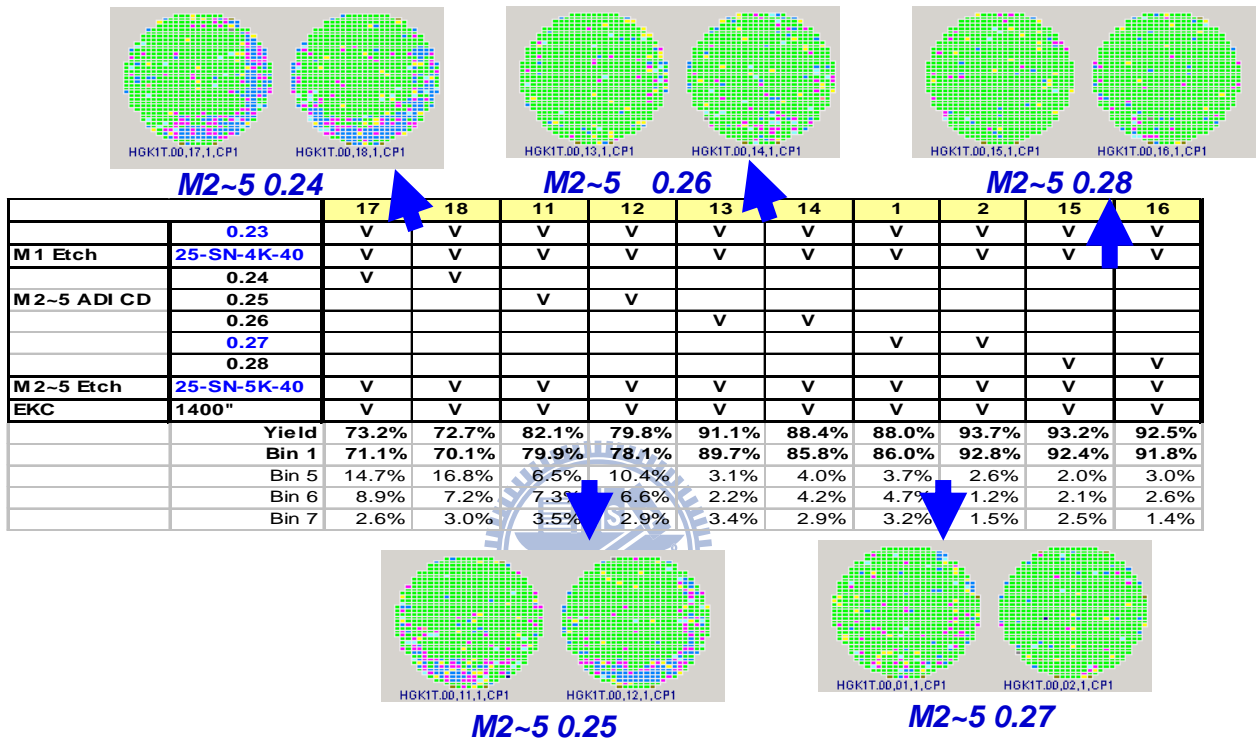


圖 3.8-1 M2~M5 CD split 搭配新的金屬蝕刻程式的良率表

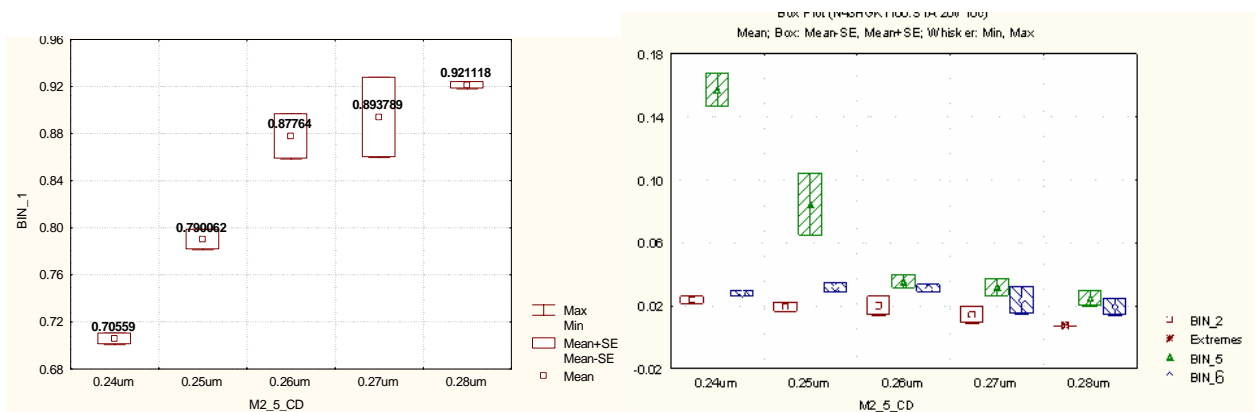
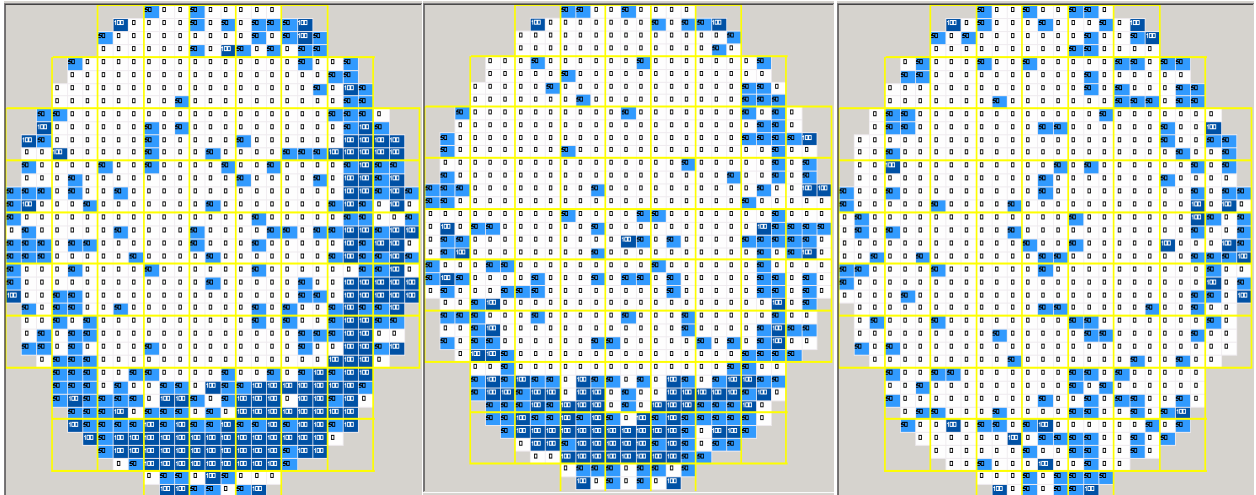


圖 3.8-2 當 CD 小於 0.28um 時，良率便很明顯的降低，且 Bin 5 MBist 失效率不斷的提升



**M2-5 0.24 fail
bins composite**

**M2-5 0.25 fail
bins composite**

**M2-5 0.26 fail
bins composite**

圖 3.8-3 M2~M5 CD 0.26/0.25/0.24um 的良率圖，當 CD 小於 0.26 時，邊緣的 die 失效率便會提昇

如圖 3.8-3 邊緣的失效模式，我們發現較小的 CD 會導致金屬層無法完整的覆蓋下方的 VIA 層，而導致下層的 VIA 裸露出來，導致上層 VIA 蝕刻時，會腐蝕到金屬層底部的 VIA 層，而導致邊緣低良率的結果！

如圖 3.8-4 由電性角度來看，較大的 CD 也可以有較低的片電阻，亦是我們所想要的！

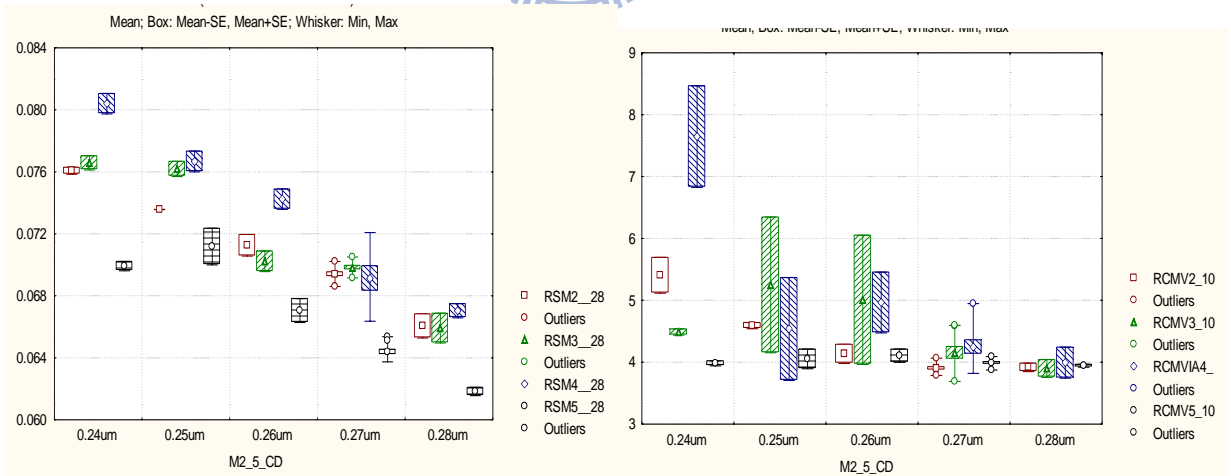


圖 3.8-4 隨著 M2~M5 CD 越來越小，金屬的阻值亦隨著等差級數越來越大，但當 CD 小於 0.26um 時，在 VIA 的阻值會有很異常的變大

3.9 產品程式最佳化

經過上面幾個實驗，我們已經將良率回報預期的90%以上，讓我們非常好奇的是，為何蝕刻程式對產品的良率有這麼大的改善效果，於是我們便針對蝕刻程式去進行原因分析。

我們去量測了一個低良率的晶圓，發現中心點的對位是很準的，整個 VIA 都落在下一層的金屬上，但邊緣的 IC，只有局部落在金屬上，這便是為何邊緣都會有發生低良率的原因，也是為何當我們使用較佳的曝光機台 Scanner，能夠對良率有提昇效果的原因。

但畢竟 Scanner 機台是比 Stepper 昂貴許多，我們還是需要去找出方法，來讓便宜的 Stepper 機台也能有好良率。既然我們無法改變對位不良的現象，但我們可以想辦法來改變 Via 蝕刻程式，讓不論產品的厚度為何，都能落在我們想要的範圍內，減少金屬層底下的 Via 層被腐蝕的發生。

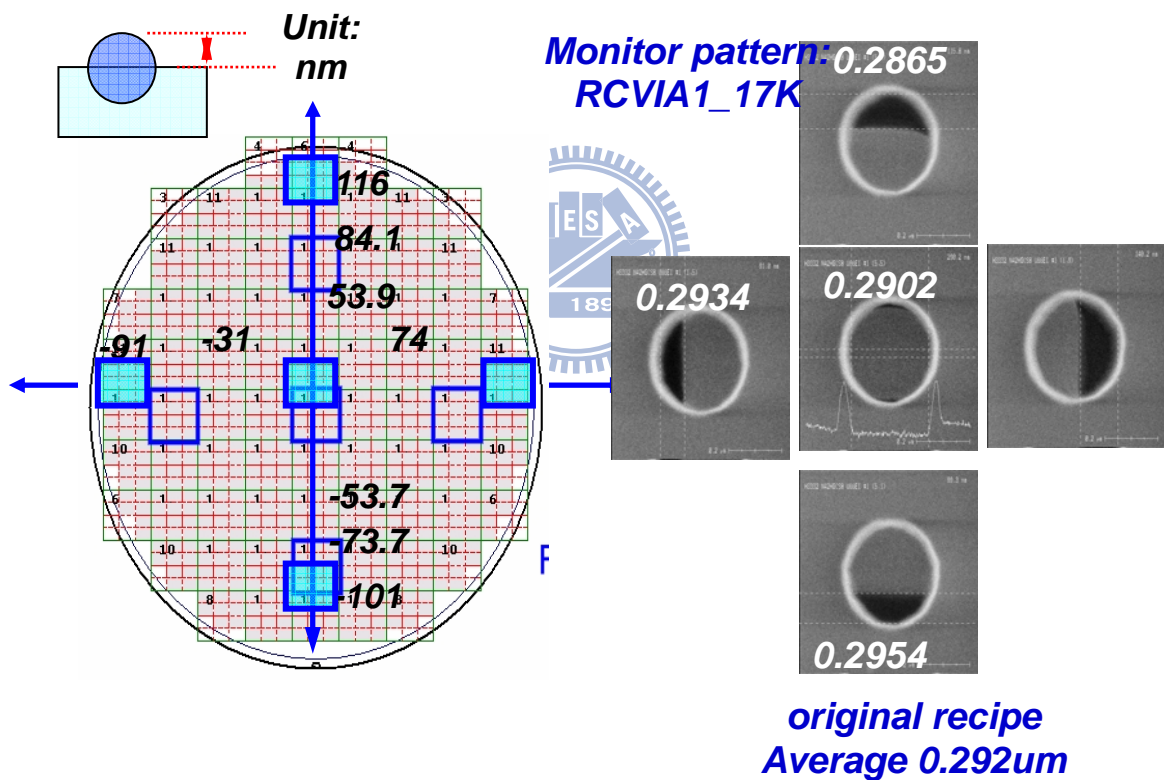


圖 3.9-1 量測舊的曝光程式 CD，平均值只有 0.292um

圖 3.9-2 是一般常見厚度 8.5K 時，經過了有較佳蝕刻率的 ME1 將大多數的 PE-TEOS Oxide 蝕刻掉，在使用較慢蝕刻率的 ME2 將剩餘的 PE-TEOS Oxide 與下層的 USG & SRO 都蝕刻掉，剩下一些些的 SRO 與下層的 PE OX & SION，便利用最慢蝕刻率的 SE 將其蝕刻乾淨，此時便能露出下層的矽，當我們鍍上鈷時，便能產生低阻值的鈷金屬矽化物！

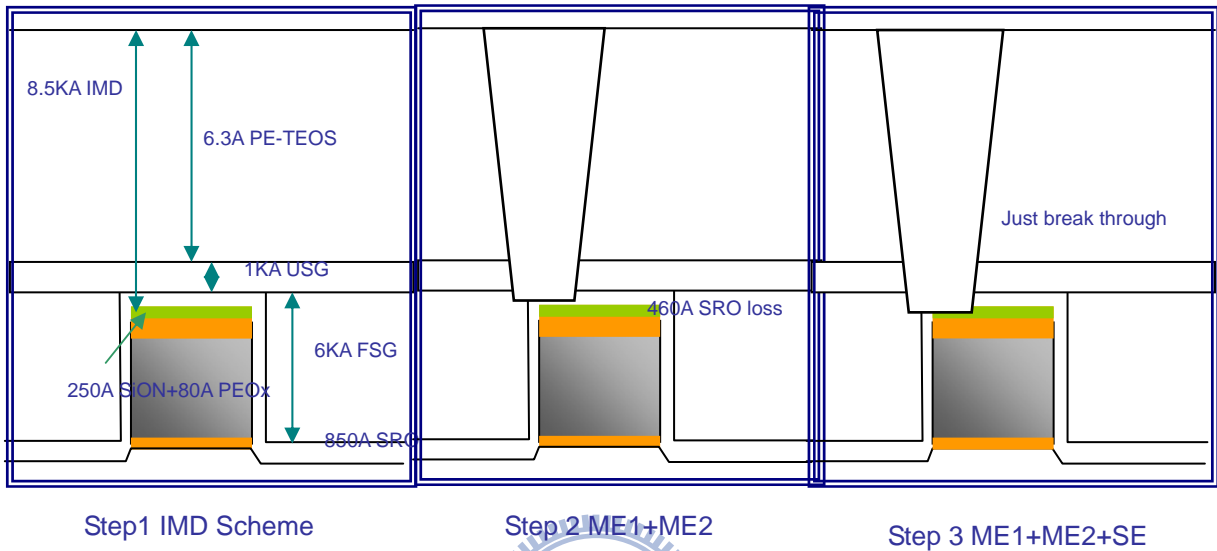
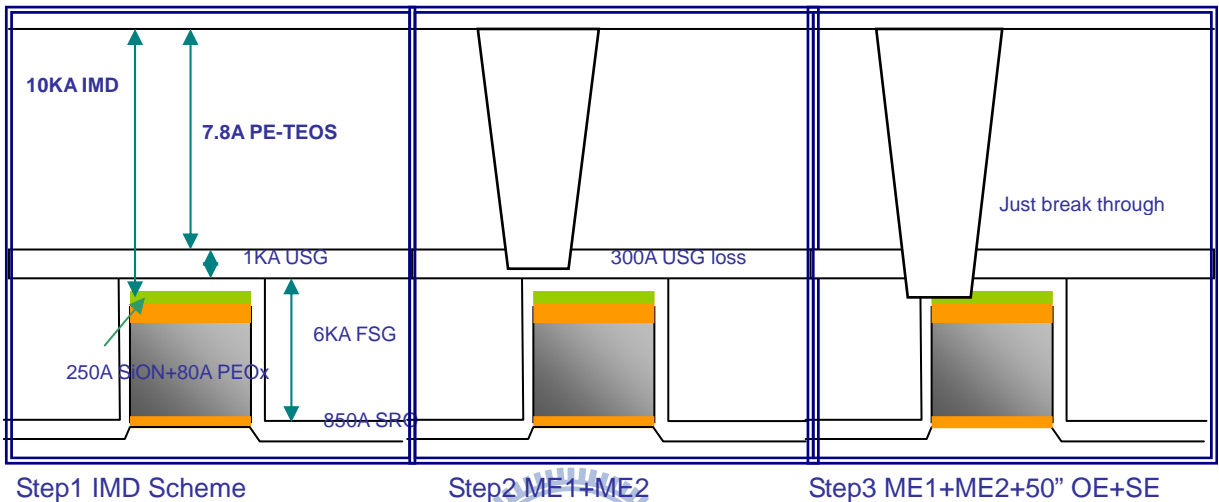


圖 3.9-2 產品為正常厚度 8.5K 時，蝕刻程式 ME1+ME2+SE 便可以蝕刻到理想的位置

但不是每個產品的厚度都是標準的 8.5K，所以我們要設想到其他的狀況，來設計一支新的蝕刻程式，讓較厚與較薄的產品都可以使用！

圖 3.9-3 為當產品有較厚 IMD 層時，如步驟二中看到的，容易常常沒有蝕刻到位，導致不會產生低阻值的鈷金屬矽化物；故我們除了原本的快蝕刻率的 ME1、慢蝕刻率的 ME2 與最慢蝕刻率的 SE，我們增加了一道蝕刻率與 ME2 相似的 OE 來幫忙，如此便可以蝕刻到矽的位置。

圖 3.9-3 當厚度增加為 10k 時，若只靠蝕刻程式 ME1+ME2+SE，便無法蝕



刻過 Oxide，便需要增加蝕刻 OE 來達到理想的位置

但我們擔心增加了這道 OE 時，會導致使用較薄 IMD 的產品，會有蝕刻過頭的現象，如此的話亦會產生低良率的現象。如圖 3.9-4 其 IMD 厚度只有 7K，遠低於標準產品的 8.5K，當我們增加了 OE 時，我們無法避免蝕刻過頭的現象，但我們能控制其蝕刻的終點不會超過底部的金屬層，這樣便不會蝕刻到金屬下層的 VIA，導致 VIA 被掏空，而導致低良率！

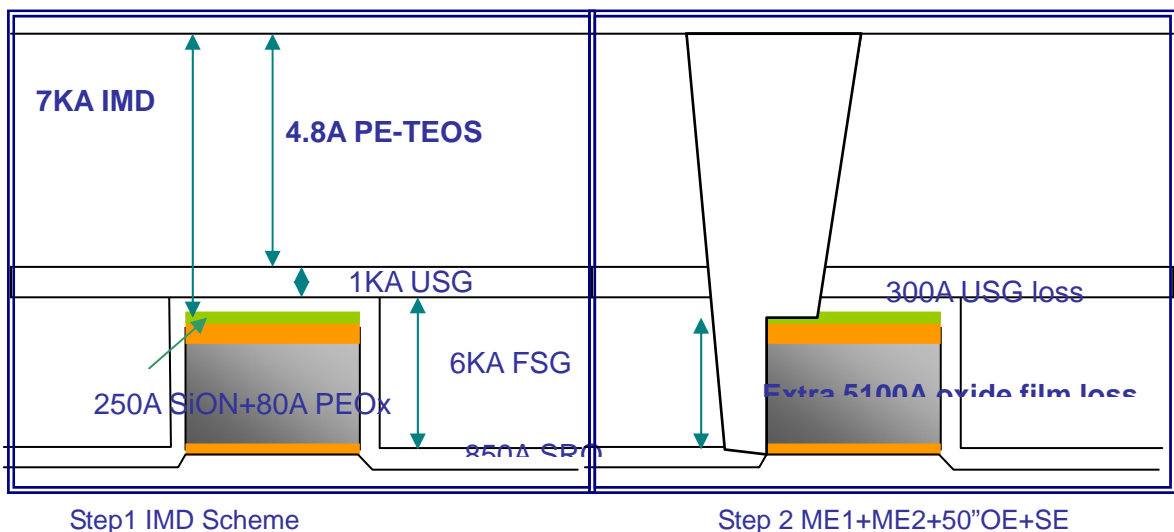


圖 3.9-4 當厚度為 7k 時，蝕刻程式為 ME1+ME2+OE+SE，亦不會蝕刻超過金屬層，而導致金屬層下面的 Via 被掏空

我們將 ME2 與 OE 的蝕刻時間做了一些改變，以期望得到最佳的蝕刻程式。由圖可以看到 ME2 110 秒搭配 OE 40 秒時，其良率是最好的，

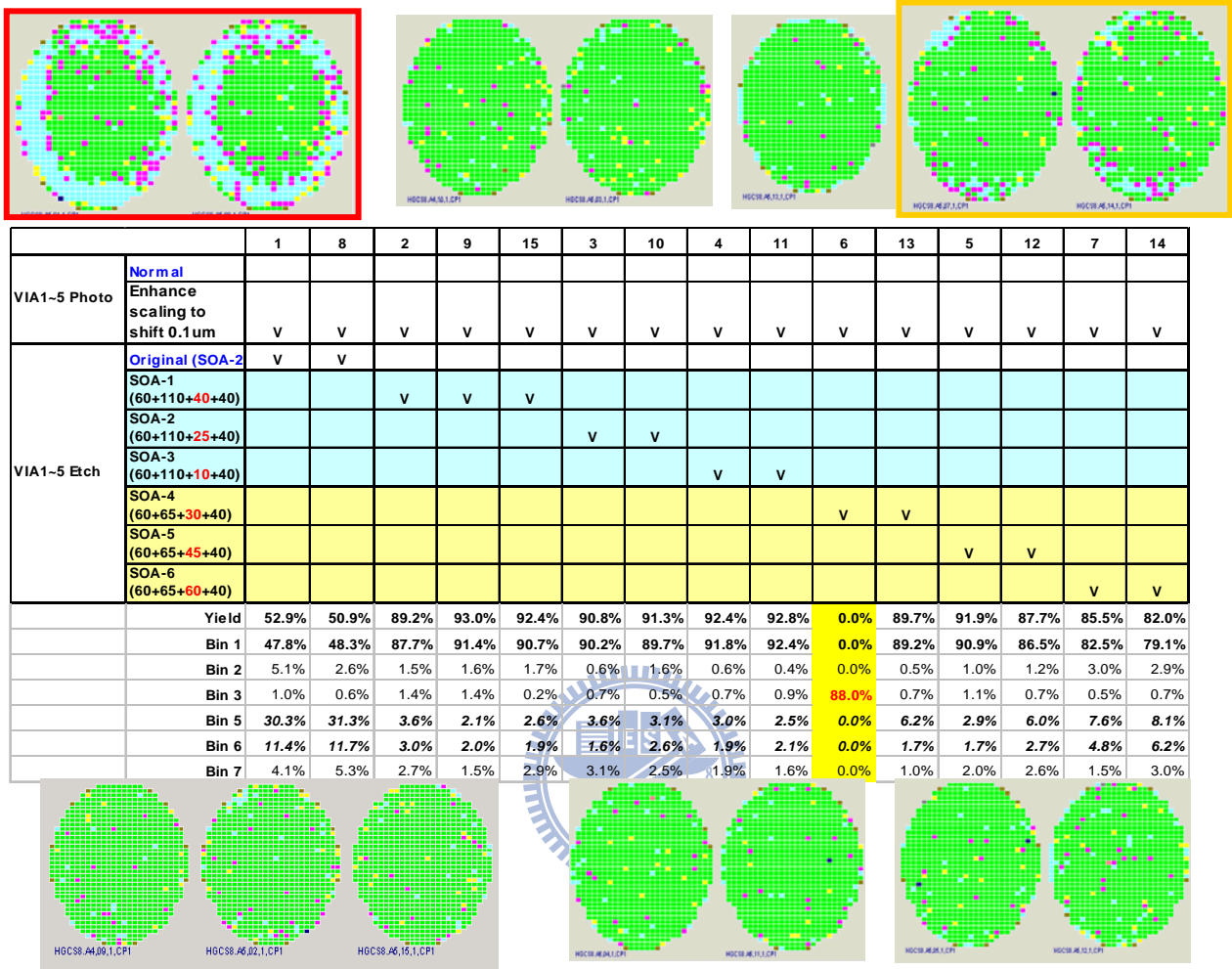


圖 3.9-5 改變 ME2 與 OE 蝕刻時間的搭配組合，可以找出最佳的程式

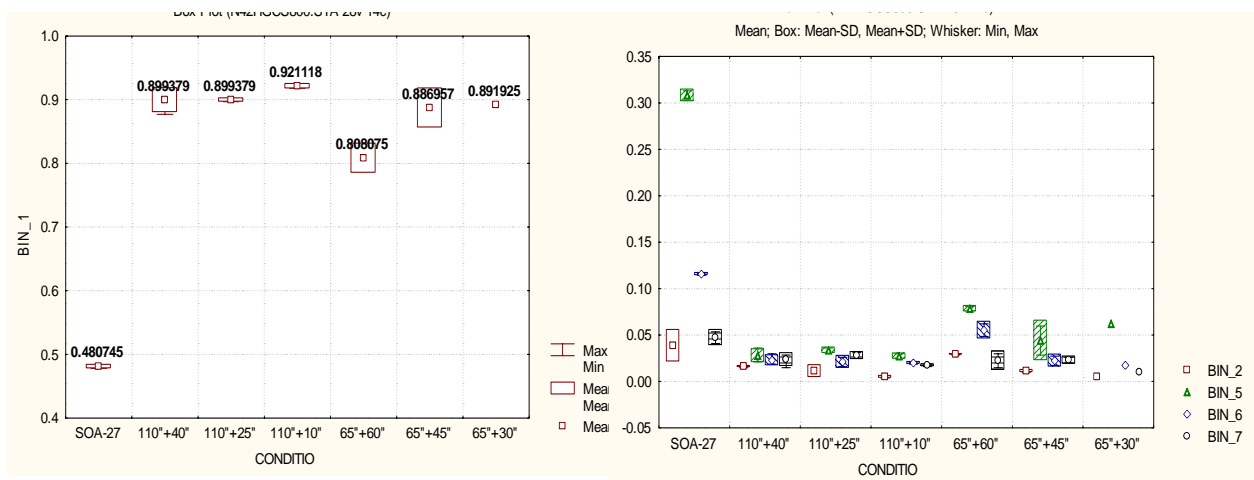


圖 3.9-6 良率的 box chart 與失效 bin 的比例

我們量測蝕刻程式的晶圓，發現 ME2 為 110 秒時，其 Metal via1 AEI CD 最大，ME2 為 65 秒時次之，使用原來的程式時 AEI CD 最小，而且 OE 的時間不會影響到 AEI CD! 而且不只連 Metal via 1 有這樣的現象，連 via 2~5 都有同樣的現象！由圖亦可以發現 ME2 為 110 秒時，阻值遠低於原來的程式！我們將良率較高的兩個程式，進行 CD 的量測，由圖中可以證明 ME2 為 110 秒時，其 CD 遠大於 ME2 為 65 秒的程式！
 由上述實驗看來，ME2 110 秒搭配 OE 40 秒可以得到最佳的良率與阻值！

Recipe	Average	SITE-1	SITE-2	SITE-3	SITE-4	SITE-5
Original recipe SOA27	0.28334	0.2741	0.2822	0.2928	0.2803	0.2873
SOA 1 (60+110+40+40)	0.30348	0.2942	0.2973	0.3185	0.3024	0.305
SOA 2 (60+110+25+40)	0.3063	0.3021	0.3056	0.3168	0.3007	0.3063
SOA 3 (60+110+10+40)	0.30488	0.3026	0.3019	0.3071	0.3076	0.3052
SOA 4 (60+65+45+40)	0.2909	0.2843	0.2975	0.3058	0.2772	0.2897
SOA 5 (60+65+30+40)	0.29384	0.288	0.2905	0.3078	0.2921	0.2908
SOA 6 (60+65+60+40)	0.29478	0.2885	0.2931	0.308	0.29	0.2943

表 3.9-1 各種蝕刻程式的 Metal Vial AEI CD 值

Recipe	VIA2 AEI CD	VIA3 AEI CD	VIA4 AEI CD	VIA5 AEI CD
Original recipe SOA27	0.28506	0.29142	0.29584	0.29542
SOA 1 (60+110+40+40)	0.3027	0.30028	0.30462	0.30264
SOA 2 (60+110+25+40)	0.30276	0.30676	0.30836	0.306
SOA 3 (60+110+10+40)	0.30386	0.30894	0.30786	0.31052
SOA 4 (60+65+45+40)	0.29556	0.30156	0.30616	0.30114
SOA 5 (60+65+30+40)	0.29858	0.29728	0.30534	0.30784
SOA 6 (60+65+60+40)	0.29684	0.3004	0.30816	0.30274

表 3.9-2 各種蝕刻程式的 Metal Via2~5 AEI CD 值

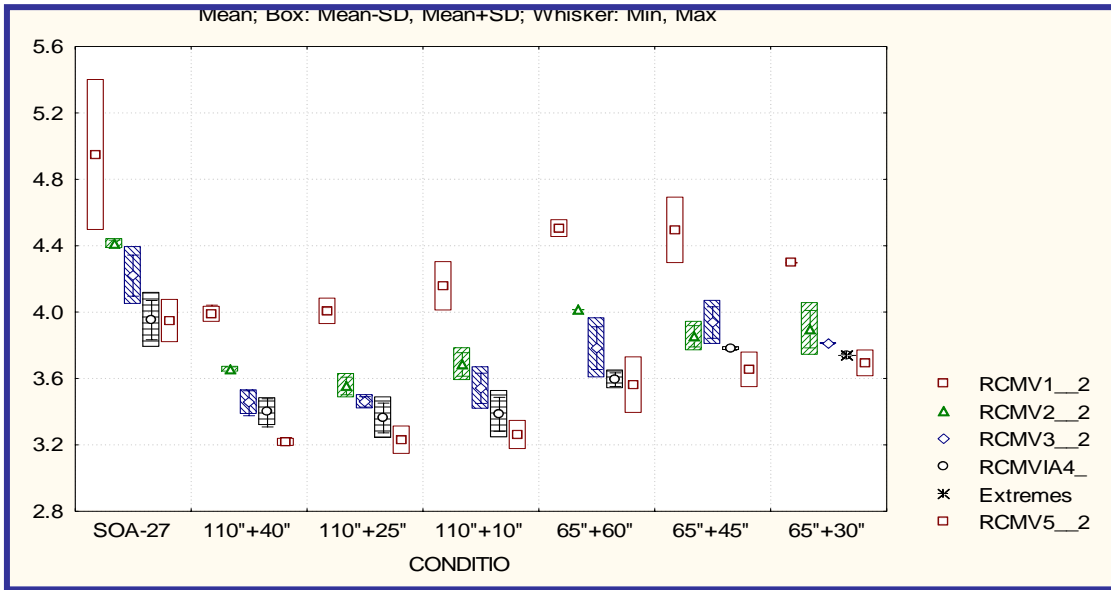


圖 3.9-7 量測各種蝕刻程式的阻值，ME2 110 +OE 40 sec 的組合阻值最低

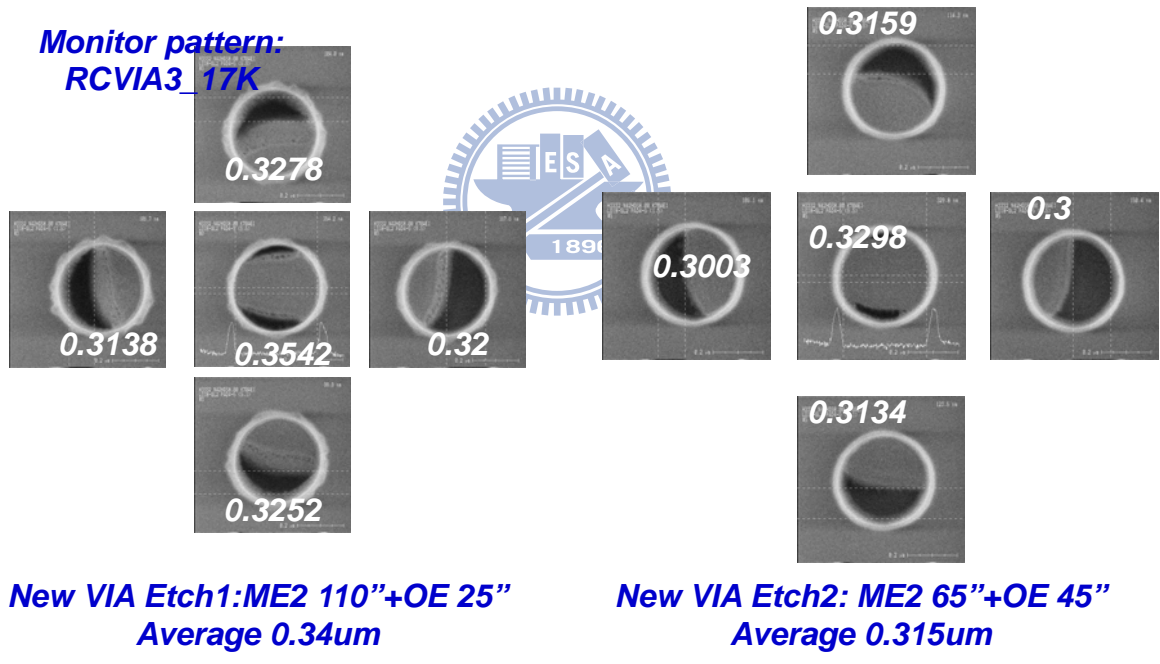


圖 3.9-8 增加 OE 後，AEI CD 都有明顯的變大

3.10 產品平均失效時間驗證

前面我們做了許多的實驗，並將程式修正到達到可以量產的良率，但我們仍須確認產品的壽命問題，畢竟電子產品的壽命會影響公司的商譽。

我們拿這個實驗的產品去量測平均失效時間 (MTTF)，由圖 3.10-1 中可以看到，使用新的 Via 蝕刻程式搭配錐狀金屬，能夠讓失效時間更長，並且我們將所有失效 IC 的位置，疊圖在一起如圖 3.10-2，亦無發現以往晶圓邊緣容易失效的現象，代表產品整體更健康。

		2	3	4	5	6	7	8	9	10	11	13	14	15	16	17	18	19	22	23	24	25
M1 CD	0.22																v	v				
	0.23	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v						
	0.24																		v	v	v	v
M2~4 CD	0.25																	v	v			
	0.27	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v						
M1 taper	TAPER																					
	STD	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v
M2~4 taper	TAPER																					
	STD	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v
Organic PR Strip	reduce time																					
	STD	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v
	Wafer ID	2	3	4	5	6	7	8	9	10	11	13	14	15	16	17	18	19	22	23	24	25
	Yield	90.9%	93.1%	94.2%	95.4%	94.3%	93.4%	94.1%	93.7%	93.1%	92.2%	93.4%	94.2%	93.8%	92.5%	93.6%	93.0%	90.3%	94.8%	95.2%	93.9%	93.8%
	Bin 6	6.6%	4.7%	3.8%	3.1%	4.1%	4.6%	3.9%	4.8%	4.9%	5.2%	4.5%	4.1%	4.1%	4.8%	4.0%	4.6%	6.6%	3.8%	3.4%	4.0%	4.5%
	Bin 5	0.8%	0.9%	0.9%	0.6%	0.6%	0.8%	0.9%	0.7%	1.1%	1.2%	1.0%	0.6%	0.9%	1.1%	1.2%	1.0%	1.7%	0.6%	0.5%	0.8%	0.5%
	Bin 14	0.2%	0.1%	0.1%	0.1%	0.0%	0.1%	0.0%	0.1%	0.1%	0.0%	0.1%	0.1%	0.0%	0.2%	0.1%	0.3%	0.1%	0.1%	0.1%	0.3%	0.1%

表 3.10-1 使用錐狀金屬搭配不同的 CD 都能有不錯的良率

STD: Metal1~4 STD CD
EXP1: M1 Taper
EXP2: M1~M4 Taper
EXP3: Taper + M1 CD 0.22 & M2~M4 CD 0.25
EXP4: Taper + M1 CD 0.24 & M2~M4 CD 0.29

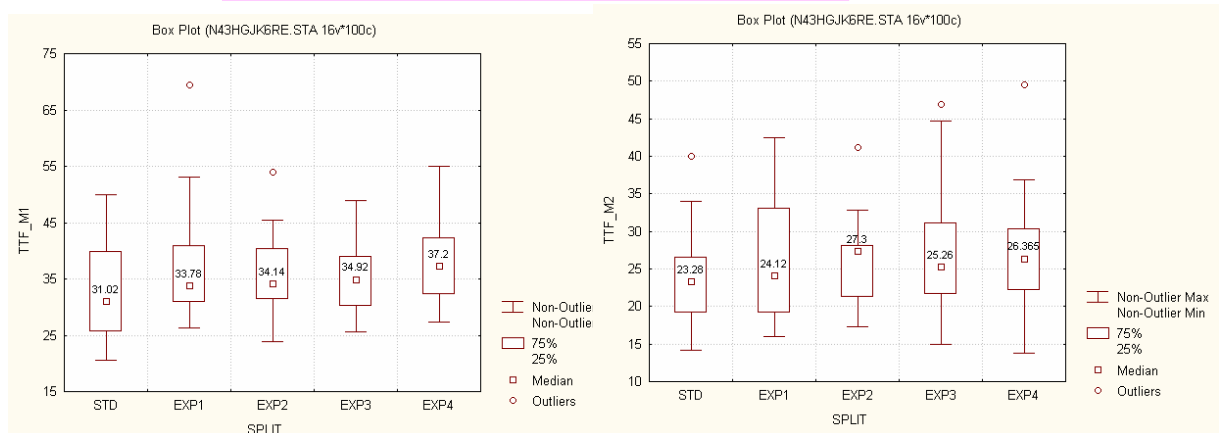


圖 3.10-1 不同條件的錐狀金屬 M1 與 M2 的平均失效時間

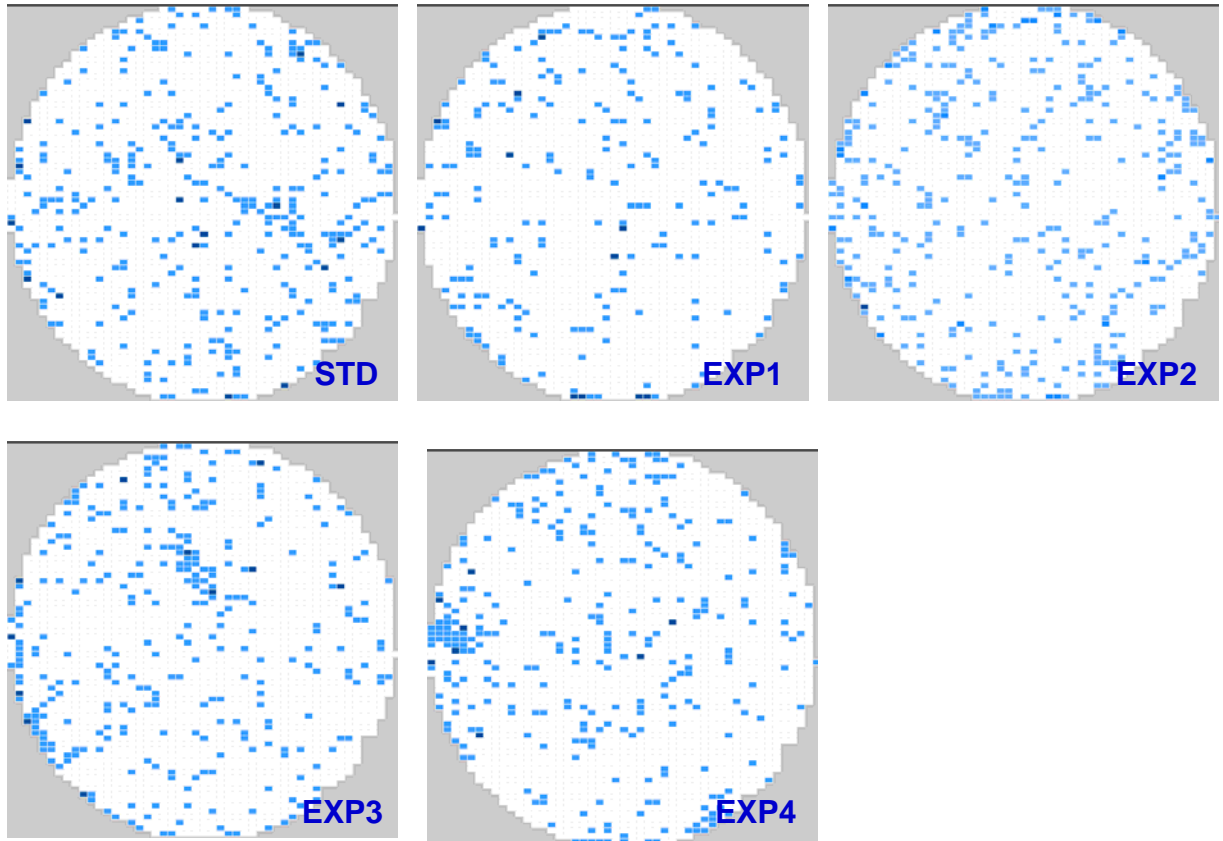


圖 3.10-2 把失效的區域疊圖起來時，已無發現邊緣一圈容易低良率



第四章 結論與展望

由前幾章可以看到，我們花了許多的時間與下了許多的實驗，但我們是幸運的，能夠將產品良率由 60% 提升到 90%，畢竟每個產品的特性都會隨著製程與設計有所不同，故並無法套著一定的公式，將每顆產品的良率都提升到很高！這次我們找到的問題如下：

1. 接觸窗與下方的金屬對準不良。
2. 鈷金屬矽化物出現缺陷與阻值過高。
3. 接觸窗蝕刻程式無法共用，有些較厚的產品蝕刻不足，導致短路，有些較薄的產品蝕刻過頭，導致電化學效應，讓金屬層下方的接觸窗遭到侵蝕。

針對上述的問題我們進行了一連串的實驗與分析，亦找到一些方法來改善這個現象，下列是我們採取的方法：

1. 使用曝光較為精準的Scanner 機台來取代Stepper。
2. 使用新的錐狀金屬蝕刻程式，將金屬層蝕刻為錐狀，可以完整覆蓋下方的接觸窗。
3. 使用PE SiH₄機台來取代LPTEOS機台，讓鈷金屬矽化物不會有缺陷的產生。
4. 改變鈷金屬矽化物的回火溫度，讓其阻值更低。
5. 改變金屬窗蝕刻程式，讓不同厚度的產品都可使用，不致於讓厚度較厚的產品沒有蝕刻開來，而造成短路，也不會讓厚度較薄的產品蝕刻過頭，導致金屬層下方的接觸窗掏空。

半導體的製程是非常複雜的，往往因為一個參數改變，影響的層面便很廣，雖然半導體機台與量測儀器的進步，讓許多以往很困難的製程減化許多，但隨著線徑不斷的縮小，讓製程複雜的更加令人難以親近，因此，我們更須花費更多的時間去鑽研與研究，畢竟科技始終於人性，期望能帶給人們更多的幸福，！

參考文獻資料

- [1] Randal S. Collica, Member, IEEE, Jill P. Card, Member, IEEE, and William Martin, "RAM Bitmap Shape Recognition and Sorting Using Neural Networks"
- [2] J. Khare, D. B. I. Feltham, and W. Maly, "Accurate estimations of defect-related yield loss in reconfigurable VLSI circuits," IEEE J Solid-State Circuits, vol. 28, no. 2, pp. 146-156, Feb. 1993.
- [3] S. Kikuda, H. Miyamoto, S. Mori, M. Niino, and M. Yamada, "Optimized redundancy selection based on failure-related yield model for 64-Mbit DRAM and beyond," IEEE J. Solid-State Circuits vol. 26, no. 11, pp. 1550-1555. Nov. 1991.
- [4] R. Mayer, S. Lopez, and D. Bakker, "Correlating defects to bit map failures using automated patterned wafer inspection systems," presented at the UltraClean Manufacturing Symposium, Feb. 1992
- [5] C. H. Strapper, "On yield, fault distributions, and clustering of particles," IBM J. Res. Dev., vol. 30, no. 3, pp. 326-338, May 1986.
- [6] R.G. Heideman¹, A. Melloni², M. Hoekman¹, A. Borreman¹, A. Leinsel and F. Morichetti² "Low loss, high contrast optical waveguides based on CMOS compatible LPCVD processing: technology and experimental results" Proceedings Symposium IEEE/LEOS Benelux Chapter, 2005, Mons
- [7] T. Hattori, J. Ruzyllo, R. Novak, P. Mertens, P. Besson, "Cleaning and Surface Conditioning Technology in Semiconductor Device Manufacturing 11" pp. 353-357
- [8] Kyunghae Kim, Suresh Kumar Dhungel, Utpal Gangopadhyay, Jinsu Yoo, Choi Won Seoka and Junsin Yi "A novel approach for co-firing optimization in RTP for the fabrication of large area mc-Si solar cell" 2006
- [9] Chenming Hu "Gate Oxide Scaling Limits and Projection" IEEE Trans. Electron Dev., 1996
- [10] S Fang, JP McVittie , "Thin-oxide damage from gate charging during plasma processing"- IEEE Electron Device Letters, 1992
- [11] S. V. Hattangady, H. Niimi, and G. Lucovsky "Controlled nitrogen incorporation at the gate oxide surface" Appl. Phys. Lett. 66, 3495 (1995)

- [12] Hewlett-Packard Development Company, L.P. "System and method for generating a shmoo plot by avoiding testing in failing regions November" 16, 2004
- [13] N.Ranganathan, Liao Ebin, Linn Linn, Lee Wen Sheng Vincent, O.K.Navas, V.Kripesh and N.Balasubramanian, "Integration of High Aspect Ratio Tapered Silicon Via for Through-Silicon Interconnection" IEEE 2008

