

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

高壓積體電路之可靠性驗證與改良

Reliability Verification and Improvement of High
Voltage Integrated Circuit (HVIC)

研究生：曾恕鵬

指導教授：張 翼 博士

共同指導教授：張 立 博士

中華民國九十九年十一月

高壓積體電路之可靠性驗證與改良
Reliability Verification and Improvement of High
Voltage Integrated Circuit (HVIC)

研究生：曾恕鵬

Student: Allan, Su-Peng Tseng

指導教授：張 翼 博士

Advisor: Dr. Edward Yi Chang

共同指導教授：張 立 博士

Co-Advisor: Dr. Li Chang

國立交通大學

工學院半導體材料與製程設備學程

碩士論文

A Thesis Submitted to Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Semiconductor Material and Process Equipment

Nov. 2010

Hsinchu, Taiwan, Republic of China

中華民國 九十九 年 十 一 月

高壓積體電路之可靠性驗證與改良

研究生:曾恕鵬

指導教授:張翼 博士

共同指導教授:張立 博士

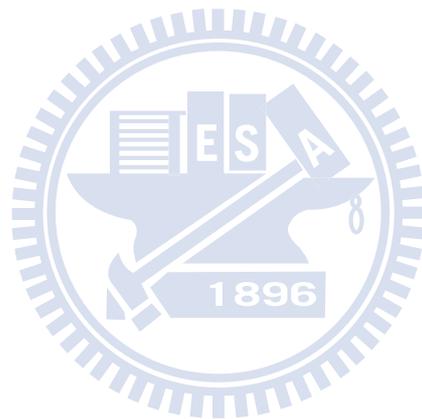
國立交通大學工學院半導體材料與製程設備學程

摘要

高壓電源管理積體電路,近年來被廣泛使用在白光發光二極體,液晶顯示器驅動器和汽車電子等領域.在高效能高可靠度的要求下,採用BCD晶片製程(BCD: Bipolar, CMOS and LDMOS)是目前最普遍的.在低成本的考量下,每一個晶片儘可能縮小,封裝也使用成本最低廉的封裝型態(例如SOP, SOT等等).所以如何提供適足的散熱功能,充份的靜電防治能力變成不可或缺的工作.在高壓製程部份,近幾年研究及應用的資訊更為熱絡.但是都較局限於元件與製程的範圍.對於產品層級,系統層級的可靠性研究與應用的論文卻很少見.

本論文是以高壓電源管理積體電路為樣本,研究低壓,高壓及高電流(例如LVNMOS, HVNMOS, LDNMOS)元件的特性對此產品的影響,及探討適當的高溫操作壽命試驗(HOLT)的方法,並研究此產品系統層級的ESD的可靠度.本論文的實驗結果顯示在ESD保護部份,修改元件結構,製程及修改封裝打線型態後,充分提升了產品層級抗ESD能力.在高溫操作壽

命試驗部份,找到使用 85°C 提高 2V 的電壓為加速因子可以有效的進行高壓高電流 IC 的可靠度試驗. 在系統層級的 ESD 保護部份,確認了對過載電性衝擊(Over Electrical Stress), 必須做適當的隔離. 對 LED 陽極的焊點與 LED 散熱板的隔離空間進行研究, 確認了隔離空間 $\geq 4\text{mm}$ 是必須的.



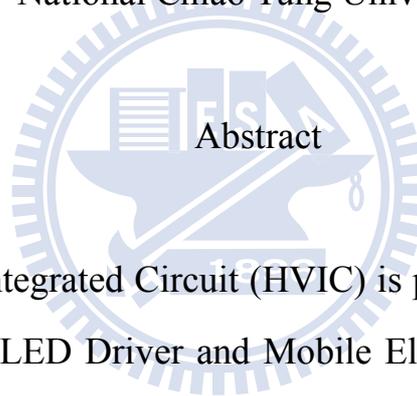
Reliability Verification and Improvement of High Voltage Integrated Circuit (HVIC)

Student : Allan Tseng

Advisor : Dr. Edward Y. Chang

Co- Advisor : Dr. Li. Chang

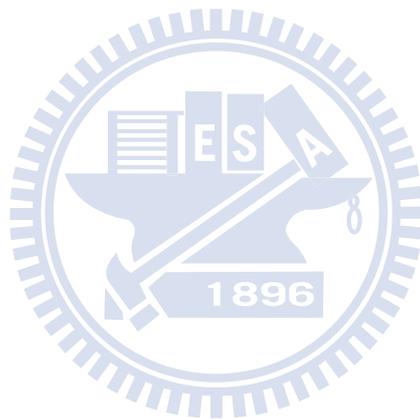
Semiconductor Material and Process Equipment Program of
College of Engineering
National Chiao Tung University



High Voltage Integrated Circuit (HVIC) is popularly used in the fields of LCD controller, white LED Driver and Mobile Electronics at present. For high reliability consideration, the complex process as BCD (bipolar, CMOS and LDMOS) process is introduced worldwide. For cost down purpose, the chip size is reduced as small as possible and the low cost package solutions as SOP, SOT...etc are selected. So the key works in this study are to get enough power dissipation with high ESD robustness in the compact space. This thesis uses a 42V 1A BCB HVIC to study the ESD robustness at product level and system level, and also studies the methodology of High Temperature Operating Life (HTOL) test for the high power management IC.

Some specific results are (1) Significantly upgrade Product Level ESD robustness by way of changed device structure (Channel Length), skipped LDD

process and wire bonding type of package. (2) After the experiments, we find HV IC performance, the reasonable experiment temperature is 85°C. To get enough accelerated factor, the accelerated factor of high voltage up is easy to handle with no extra cost in the new experiments. (3) Dynamic resistance of board level ESD protector will impact the internal circuit when the extra huge power is discharged. So the isolated space (between LED Anode soldered point and LED heat sink) is studied and verified. 4mm space can pass SL ESD 8KV test which is the minimum distance requirement in system level ESD.



誌 謝

要感謝許多人的幫忙，才能使本論文能夠如期的完成。首先要感謝我的指導教授張翼博士,張立博士，在我碩士班的學習與研究過程中，帶領我進入半導體元件物理,積體電路製程及材料的領域，並提供充分的訓練. 游欽宏博士在半導體製程設備的解惑及賴振民博士在半導體蝕刻工程的教導,使我的論文研究及試驗分析有了良好的基礎.

其次我要感謝陳克弦學長在 Hetero-junction Bipolar Transistor (HBT)實驗製程上提供寶貴的經驗以及建議,讓我學會了銅製程及 HBT Device. 雖然後來沒來得及以此為題,但畢竟多學會了許多技能。

另外我也要感謝宜特及閎康各實驗室的工程人員在設備及廠務方面的協助與關懷，否則反反復復的高溫操作壽命試驗(HTOL Test), 靜電破壞試驗(ESD Test), 系統層級的靜電破壞試驗(ESD Test),以及綿密的故障分析,將無法有效的進行以及時找到解決的方案. 還有要感謝專班吳雅玲小姐在行政方面的協助及專班同學藍文正的士氣提振.

於此感謝我的父母親,姊妹,弟弟和兒女的關懷與支持, 使延宕多年的學業得以續航. 最後要特別感謝我太太范慧玲的包容與鼓勵，使我無後顧之憂，能夠專心順利完成學業. 願這份榮耀與您們分享。

目 錄

中文摘要.....	I
英文摘要	III
誌謝	V
目錄.....	VI
表目錄.....	VIII
圖目錄.....	X
第一章 緒論.....	1
1.1 前言.....	1
1.2 研究動機.....	2
1.3 論文架構	2
第二章 論文的研討.....	4
2.1 HVIC 的重要元件	4
2.2 靜電保護電路與靜電放電保護機制	6
2.3 靜電放電模型	8
2.4 系統層級靜電放電 (SLESD) 測試規範 IEC6100-4-2 介紹.....	10

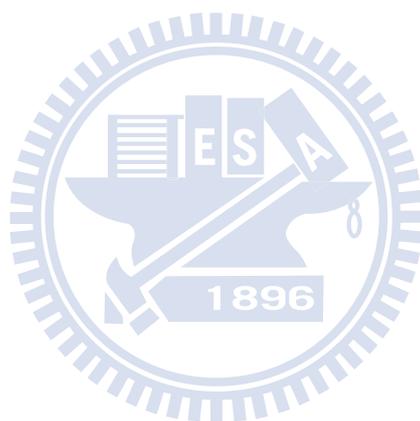
第三章 產品可靠度驗證.....	25
3.1 標準產品驗證執行.....	25
3.2 標準產品驗證執行.....	25
3.3 檢討驗證結果和採取的行動.....	29
第四章 故障分析與製程變更.....	32
4.1 ESD MM EN Pin 不良的分析與改善.....	32
4.2 LX Pin 不良原因分析與改善.....	34
4.3 HTOL test 檢討改良.....	38
4.4 分析 SLESD 驗證失效和改善.....	41
第五章 驗證最佳化的產品.....	63
5.1 選擇一個最佳化的高壓積體電路.....	63
5.2 最終產品可靠度驗證結果.....	64
第六章 特殊的成果和待續的工作.....	65
6.1 特殊的成果.....	65
6.2 待續的工作.....	66
參考文獻.....	67

表目錄

表 2.1 ESD 產生器的重要特性摘要.....	11
表 2.2 靜電放電測試電壓層摘錄.....	12
表 3.1 HBM, MM 模式詳細的定義或參考規範.....	26
表 3.2 LATCH UP 測試的定義和參考規範.....	27
表 3.3 HTOL 測試的定義和參考規範摘錄	27
表 3.4 SLESD 相關測試定義和參考規範摘錄.....	28
表 3.5 驗證結果和採取的行動.....	29
表 4.1 元件主要的參數摘錄.....	34
表 4.2 原有的元件主要製程.....	36
表 4.3 為 $R_{d on}$ 的量測摘錄.....	37
表 4.4 ESD MM 承受力與 $R_{d on}$ 的比較.....	37
表 4.5 3 種型式封裝打線的 ESD MM 承受力.....	38
表 4.6 試驗溫度 85, 95, 105 和 115°C 的實驗結果.....	39
表 4.7 新 HTOL 測試的結果摘錄.....	40
表 4.8 SLESD 試驗過程中的監控電流.....	41
表 4.9 採用限流線, 消散電容和抑壓端子試驗結果.....	43

表4.10 SLESD的衝擊電流峰值.....44

表 4.11 不同間距,消散電容的試驗結果.....45



圖目錄

圖 1.1(a)–1.1(d)所示為靜電衝擊的模擬,通常有4種方式:(a) positive- to-VSS (PS-mode), (b) negative-to-VSS (NS-mode), (c) positive-to-VDD (PD-mode), and (d) negative-to-VDD (ND-mode).	3
圖 2.1傳統的低壓 MOS (Low Voltage MOS)的剖面圖.....	14
圖 2.2 (a),(b) 分別為對稱式 和不對稱式 Active Gap DENMOS (AGDEMOS) 電晶體.....	14
圖 2.3 (a),(b) 分別為對稱與不對稱 F-G DENMOS. Field-GAP 被置於Drain 與 Gate 之間用以增強 VDS, 並平均化 Ecrit.....	15
圖 2.4 (a),(b) 分別為 field-gap 和 active-gap LDMOOS 的剖面圖.....	16
圖 2.5 顯示一個典型的 EDS 保護電路.....	17
圖 2.6 (a) 顯示 NMOS 的剖面圖 , 並附加了寄生的NPN BJT . 圖 2.6 (b) 為寄生的NPN BJT電壓-電流變化圖.....	17
圖 2.7 為多指狀的 NMOS 的上視圖(a)及剖面圖(b).....	18
圖 2.8 顯示明顯不均勻的啟動(turn-on) 現象 . 這些圖像是以EMMI (Emission Microscope Inspection) 及 TLP (Transmission Line Pulse) 共同測定.....	19

圖2.9 HBM 靜電放電路徑示意圖.....	20
圖2.10 MIL-STD-883C method 3015.7 HBM 的等效電路, MM mode的差異 在 $R_{MM} = 0\Omega$	20
圖 2.11 HBM 模型, 0Ω 負載時之放電波形.....	21
圖 2.12 機器放電模型等效圖, 工業測試標準EIAJ-IC-121 method 20 等效電 路圖	21
圖 2.13 MM 模型, 在 0Ω 負載時之放電波形.....	22
圖 2.14 元件放電路徑示意圖	22
圖 2.15 CDM 之放電波形	23
圖 2.16 ESD 產生器示意圖	23
圖 2.17 放電頭的外觀及重要的尺寸	24
圖 2.18 一個簡單的桌上型設備測試架設置.....	24
圖 3.1a 本實驗所用的高壓積體電路是一個 8 腳 SOP 封裝的產品.....	30
圖 3.1b 包括 HVNMOS, LVNMOS 和 LDNMOS 主要的元件被標示 .	30
圖 3.2 HVIC H9730 HTOL test 電路圖	31
圖 3.3 SL ESD test 測試點如紅圈所標示.....	31
圖 4.1 EN Pin 的靜電衝擊示意圖	46
圖 4.2良好的IC, 隨同失效的樣品一起進行 I-V 曲線分析結果.....	46

圖 4.3 不良 IC 被進行拆蓋(de-capsulated)後.....	47
圖 4.4 在 LV NMOS ESD protector 0.1V 發現故障點.....	47
圖 4.5 (a)~(d) 失效的晶片被進行逐層去除和 PVC (passive voltage contract) 的分析, 發現在 poly~contact 有異常現象如圖 4.5(c) (d) 所示.....	48
圖 4.6 SEM 的檢視中發現受損的裂痕和破洞如圖所示.....	48
圖 4.7 所示的 LVNMOS 剖面圖, 等效電路圖	49
圖 4.8 ESD MM 衝擊, 這些測試數據被摘要如圖所示	49
圖 4.9 LX Pin 到地的靜電衝擊連結方式.....	50
圖 4.10 一個良好的IC, 隨同兩個失效的樣品進行 I-V 曲線分析結果 ...	50
圖 4.11 不良 IC 被進行拆蓋(de-capsulated)後沒有受損痕跡被找到.....	51
圖 4.12 受熱而改變的故障點. 在 LDNMOS 如圖所示.....	51
圖 4.13 metal 1和metal 2等層次都沒有發現受損的結構如圖(a)和(b).....	52
圖 4.14 在SEM 的檢視中發現受損的裂痕和破洞如圖(a)~(d)所示	52
圖 4.15 LVNMOS 剖面圖, 等效電路圖 HVLD MOS被ESD 擊穿	53
圖 4.16 實驗驗證的結果 , 當增長 CL 至 0.65 μm / 無 LDD 時 ESD MM 的承受力提昇至 325	53
圖 4.17 (a)~(c) 所示 , 3 種封裝打線的結構型式分別為 (a) 2 wires x 2 lead (b) 2 wires short to 2 leads (c) 1 lead x 4 wires	54

圖 4.18 測試線路和 device under test card (DUCT) 顯示如圖(a),(b)所示...	55
圖 4.19 DUTCs 被燒燬如圖所示 , 並聞到塑膠的焦味	56
圖 4.20 趨勢所示 , CAP-OUT-46V-85°C 和 GAP-IN-46-85°C 這兩組是比較好的實驗組 , 因為它們可以排除被動元件的不確定因素	56
圖 4.21 SLESD 試驗的電路和測試點 1,2,3,4 &5	57
圖 4.22 有關 SLESD 衝擊監控, LED 的亮度逐次變暗立即被停止衝擊.....	57
圖 4.23 失效 IC 與 良品進行直流電流分析它們的電流電壓(I-v)圖.....	58
圖 4.24 發現了燒壞的痕跡 , 這個位置是在 HVNMOS Drain to Source	58
圖 4.25 損軌跡的剖面示意圖	59
圖 4.26 TLP test (transient line pulse)執行的結果如顯示 HVNMOS 可以承受 2.11A x 70V	59
圖 4.27 限流線, 消散電容 和抑壓端子都分別安置在 I sense Pin	60
圖 4.28 累積的能量一次衝放, 它成形的電流峰值將超過 60A	60
圖 4.29 瞬間電壓 , 電流被量測如圖所示.....	61
圖 4.30 間距的示意圖 Space of LED heat sink to Soldered point of LED.....	61
圖 4.31 SLESD 的承受力隨電容值加大而變大 , 但電容值大於 0.1 μ F 以後這種效果就不再了.....	62

第一章緒論

1.1 前言

靜電放電 (ESD) 一直都是半導體產品的問題, 在高壓積體電路問題更為突顯. 複雜的 BCD (BJT, CMOS, DMOS) 晶圓製程常被用來製造高壓積體電路. 靜電放電的商用規格機器放電模式 (Machine- Model) 為大於等於 200V, 因此晶片的輸入, 輸出端以及電源端加強靜電承受能力是必須的. [1 - 2] 靜電衝擊的模擬通常有 Positive to Vss(PS - mode), Negative to Vss(NS - mode), Positive to VDD (PD - mode) 及 Negative to VDD(ND - mode) 等 4 種方式, 連結狀況如圖 1.1(a) - 1.1(d)所示.

高壓積體電路經常被要求去連結不同電壓準位. 為了靜電破壞避免漏電流及熱載子退化 (Hot carrier degen- eration) 造成可靠度的問題, 特殊保護電路被設計在晶片上 [3 - 4] . 使用雙載子電晶體會 (Bipolar Junction Transistor), 高壓 NMOS 用來保護積體電路避免靜電破壞 (ESD). 使用高壓 LDMOS (Lateral Drain MOS) 做切換開關是必須的, 所以複雜的 (BJT, CMOS, DMOS) 晶片製程已經被普遍使用. [5 - 8]

1.2 研究動機

許多論文研究元件層級的靜電，熱衝擊的承受能力。在元件結構製程都有充份的討論以及研究成果。但極少直接使用積體電路進行試驗的。本論文將以產品層級研討高壓積體電路的靜電放電的承受力，高溫壽命試驗以及系統層級 (System Level) 的靜電放電的承受力。

1.3 論文架構

本論文分為六個章節，第一章為緒論，摘要說明高壓積體電路面臨的可靠度問題及研究解決的情形。第二章為論文研究，將說明本論文引用的技術及試驗驗證方法。第三章為 HVIC 標準的可靠度驗證，透過此方法找出此產品可靠度不良的項次。第四章則針對不良項次進行深入的故障分析，找出不良的真因，然後進行製程變更 (Engineering Change) 找出最佳的製程。第五章則針對理想的 HVIC 進行最終的可靠度驗證。第六章則摘要主要的成果及待澄清的事項。

圖目錄

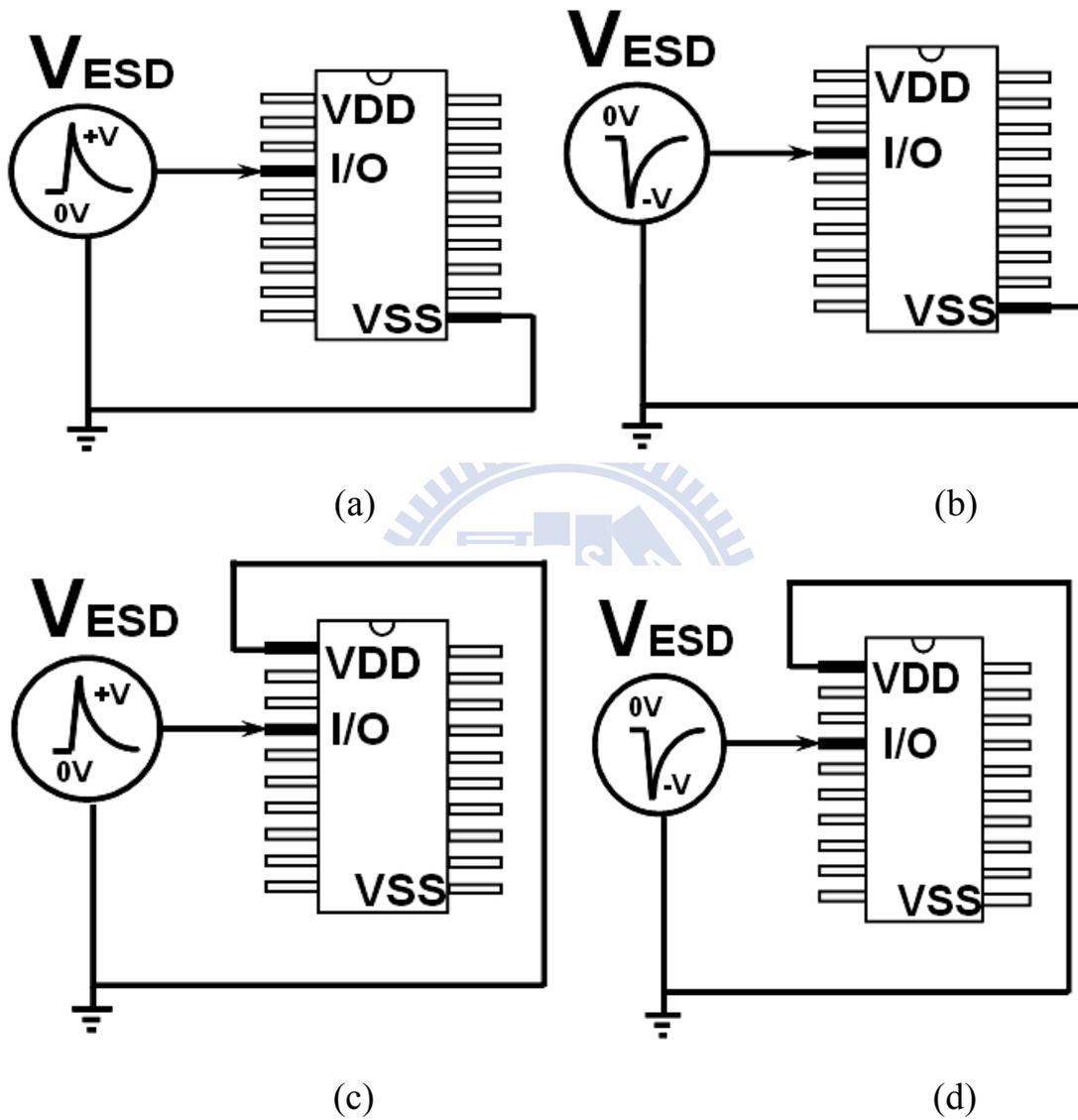


圖1.1(a)–1.1(d)所示為靜電衝擊的模擬，通常有4種方式：

(a) positive-to-VSS (PS-mode), (b) negative-to-VSS (NS-mode), (c) positive-to-VDD (PD-mode), and (d) negative-to-VDD (ND-mode).

第二章 論文的研討

對可靠度的挑戰，有許多保護元件被用在 HVIC，例如 DEMOS (Drain Extended MOS)，DDDMOS (Double Drain Diffused MOS) 和 LDMOS (Lateral Drain MOS)，但是考慮到充分的產品能力和適當的成本，找尋較簡易的製程以製造有競爭力（成本與功能）的產品是企業生存的基本要件。本章就針對比較可用的元件及驗證方法作進一步的討論。

2.1 HVIC 的重要元件

傳統的低壓 MOS (Low Voltage MOS) 它的剖面圖如圖 2.1 所示，已無法完全滿足 HVIC 的需求。它是被以最小的體積設計來以最小的工作能量控管數位信號。通道長度 (channel-Length) 及閘極氧化層厚度 (Gate-Oxide-Thickness) 被儘量縮小以獲取高密度，高速度的積體電路。更先進的 CMOS 製程期望汲極電壓 (VDS) 降低到 2V 以下，因此閘極氧化層厚度也被要求降至 100 Å (10 nm) 以下。對於穿透 (punch-through) 及雪崩 (Avalanche Breakdown) 的衝擊承受能力也大為降低。所以加入新的結構以強化元件的承受力是必須的。

在汲極 (Drain) 與閘極 (Gate) 之間加入輕植入 (light Doped) n-type

gap 可提昇汲極電壓(V_{ds})。這樣做可以避免當 Drain to gate 間距放大時, E_{crit} (critical electric field) 的問題寄生的 NPN BJT 好壞會影響 E_{crit} 變化從 3 到 5 MV/cm [9]。關於 Active Gap DENMOS 被畫製如圖 2.2, 圖 2.2 (a),(b) 分別為對稱式和不對稱式 Active Gap DENMOS (AGDEMOS)。由於這種對稱式 AG DENMOS 電晶體很方便設計製造, 所以吸引了許多傳輸閘 (transmission gate) 的設計者採用它。這 A-G DENMOS 的受壓能力在 5V 至 30 V 之間, 且擁有一小 R_{on-sp} (specific on state resistance) 的特質。當 V_{DS} 電壓大於 30 V 時就必須考慮使用 Field-Gap DENMOS (F-G DENMOS)。F-G DENMOS 的剖面圖被畫製如圖 2.3, 圖 2.3 (a),(b) 分別為對稱與不對稱 F-G DENMOS。Field-GAP 被置於 Drain 與 Gate 之間用以增強 V_{DS} , 並平均化 E_{crit} 。應用 RESURF (reduce surface field) 的概念。加強 low-doped-region 可使正負電荷達到平衡, 進而提昇 E_{crit} 的能力。

相較於 DEMOS, LDMOS (lateral diffused MOS) 的製造程序需增加光罩, 離子植入以完成源極端的通道植入 (channel doping) 與橫向擴散體。這個 LDMOS 的通道長度 (channel length) 比 DEMOS 的通道長度的十分之一還小。這表示它的面積可以縮得很小。它的導通電壓大約在 2 到 3 V, 但是在高電壓積體電路是可以被接受的。圖 2.4(a),(b) 分別為 field-gap 和 active-gap LDMOS 的剖面圖。這個閘

極被延伸超過厚場氧化層 (thick-field-oxide) 以提供場效極板 (Field plate) 用以消除介面曲轉效應 (junction curvature effects) [10-11]. 一般的用法 DEMOS 被用於高壓低電流裝置, LDMOS 被用於高壓高電流裝置. 其它高壓元件準垂直式 DMOS (quasi-vertical DMOS), IGBT (insulated gate bipolar junction transistor) 和超接面 DMOS (super junction DMOS) 由於它們的製作太複雜, 不易相容於高壓積體電路中, 所以在此沒有做討論.

2.2 靜電保護電路與靜電放電保護機制

靜電放電 (ESD) 的發生在於物體與它周遭環境的互動. 當靜電累積充足後會找到途徑瞬間導入地表, 這個放電就像一個短暫電流 (current impulse) [12]. 圖 2.5 顯示一個典型的 ESD 保護電路. 它被設計來保護內部電路 [13] 在輸入端, mp1/mn1 的閘極被連結到 VDD/VSS 以避免與內部電路相接. 由於輸出端的緩衝元件 PMOS/NMOS (Mp2/Mn2) 體積夠大, 所以可以直接用作自我保護元件. 一個大面積 NMOS / Mn3 被放在 VDD 到 VSS 之間, 以限制電源壓差, 靜電感知電路被連結在 Mn3 的閘極以協助 Mn3 快速啟動, 並且疏散靜電放電. 為了說明元件保護機制, 圖 2.6 (a) 顯示 NMOS 的剖面圖, 並附加了寄生的 NPN BJT. 此 NMOS 的 N+ Drain, P-substrate 和 N+

source 共同組成一個寄生 n-p-n BJT。這個 n-p-n BJT。這個 n-p-n 當靜電放電衝擊 NMOS 時，這個寄生的 n-p-n BJT 可以快速的啟動。承受大電流以限制 ESD 電壓，進而保護內部電路。在圖 2.6 (b), V_{t1} 和 I_{t1} 分別為寄生 BJT 的觸發電壓 (Trigger Voltage)，當加壓至 V_{t1} 時雪崩 (avalanche effective) 發生在 Drain-substrate 介面，產生大量的電子電洞對電子流向汲極形成 I_{sub} 電進入負電阻區， V_{DS} , I_D 都同時上升，一直到達 I_{t2}/V_{t2} ，此點稱作二次崩潰點 (second breakdown point)。這個時後此 NMOS 可能永遠失效了 [12]。

多指狀的 NMOS ESD 保護裝置，經常會有啟動 (turn on) 不一致的問題，這種現象受寄生的 n-p-n 的 R_{sub} (substrate resistance) 不一致的影響。圖 2.7 為多指狀的 NMOS 的上視圖及剖面圖，由於中心的 n-p-n BJT 的 R_{sub} 阻值大於其它位置的 BJT，所以靜電放電衝擊時，這兩個 BJT 率先被啟動。ESD 過載電壓被拉至 NMOS snapback holding voltage, 進而提昇至二次崩潰電壓 (second breakdown voltage V_{t2})。假若其它觸發電壓 (trigger voltage V_{t1}) 大於 V_{t2} 二次崩潰電壓 (V_{t2})，那其它的 NMOS 將無法被正常觸發，啟動靜電消散的功能。因而造成中央的 NMOS 被靜電放電損壞。[14] 圖 2.8 顯示明顯不均勻的啟動 (turn-on) 現象。這些圖像是以 EMMI (Emission Microscope Inspection) 及 TLP (Transmission Line Pulse) 共同測定的，因此只改元件的尺寸市不容易提昇 IC 的靜電防護能力，為了解

決這個問題 gate-couple 或 substrate-triggered 等技術都被提出以降低觸發電壓 (trigger voltage)，使用多指狀的每一個 NMOS 能被一致的啟動。 [15-18]

2.3 靜電放電模型

ESD 發生的原因大都是摩擦累積電荷，根據靜電產生的原因與破壞機制的不同，可將其歸類為四種模式[19]：

1. 人體放電模型 (Human-Body Model, HBM)
2. 機器放電模型 (Machine Model, MM)
3. 元件放電模型 (Charged-Device Model, CDM)

以下針對靜電放電模型做詳細的介紹與比較：

2.2.1 人體放電模型 (Human-Body Model, HBM)

人體放電模式中的靜電來源是來自人體。當在乾燥的空氣環境下，人體的靜電電荷累積高達 35kV [20]。人們因上述原因在人體累積一定量的靜電電荷，當不小心碰觸到電子元件產品時，靜電電荷會從人體經由電子元件產品的 pin 腳而排除，而此放電過程會短到數百毫微秒 (ns) 的時間，在這麼短時間所產生的瞬間電流，會把電子元件給燒毀。圖 2.9 HBM 靜電放電路徑示意圖

現今各國用來判定 ESD 可靠度的標準，是依據 ESD 工業測試的標準 MIL-STD883E Method 3015.7 [21-23] 所訂定的測試規範。圖 2.10

顯示其等效電路圖，其中人體的等效電容為 100pF，人體等效放電電阻為 1.5k Ω 。此電路的工作原理由 HIGH VOLTAGE SUPPLY 經由電阻 R1 對電容（100pF）充電，模擬靜電累積情況，再經由開關轉換，由電容（100pF）對 1.5k Ω 放電到待測物。圖 2.11 顯示 HBM 模型，0 Ω 負載時之放電波形。

2.2.2 機器放電模型（Machine Model, MM）[24]

顧名思義機器是由金屬材質所製造，在晶圓廠與測試機台也不例外；當金屬材質與其他材料摩擦會累積靜電電荷，此時金屬與電子元件接觸時即產生一個靜電放電路徑，如圖 2.12 所示。其工作原理由 HIGH VOLTAGE SUPPLY 經由電阻 R1 對電容（100pF）充電，模擬靜電累積情況，再經由開關轉換，由電容（100pF）對待測物進行靜電放電。圖 2.13 為 MM 模型，在 0 Ω 負載時之放電波形。

因為放電路徑是由金屬導體組成，故其電阻值趨近於 0 Ω ，所以機器放電模式的放電時間比人體放電模式更短，在數微秒到數十微秒會有數十安培靜電電流產生。機器放電測試標準是依據 EIAJ-IC-121 method 20 測試規範。

2.2.3 元件放電模型（Charged-Device Model, CDM）[25]

元件放電模式是指元件因為其他因素在 IC 內部累積靜電電荷，在累積靜電電荷過程中 IC 並沒有損傷。當累積靜電電荷 IC 的 pin 腳碰觸到有利的放電路徑，靜電電荷便經由 IC 的 pin 腳而流到

地，而造成放電現象。圖 2.14 為元件放電路徑示意圖。圖 2.15 為 CDM 的放電波形。

2.4 系統層級靜電放電 (SLESD) 測試規範 IEC6100-4-2 介紹 [26]

2.4.1 背景說明

ESD 干擾經常造成電子系統重置 (reset)，或遺失資料，或停機，因此顧客通常會要求供應商確保電子系統在生產和使用端能承受 ESD 干擾。設計者也依照規範去確認他的產品可以符合製造及應用的環境。許多國際大公司都要求他的產品必須通過規範 IEC6100-4-2 的驗證。

2.4.2 總論 (Overview)

這個規範在規定電子設備對靜電放電的承受力及測試方法，並且定義測試環境及架設的方式，目的在於確立共同的靜電驗證準則。本規範將定義：

靜電放電產生器的特性 (Characteristic of ESD generator)

測試層次 (Range of test levels)

測試架設定 (Test set-up)

測試程序 (Test procedure)

測試結果的確認 (Evaluation of test results)

2.4.3 靜電放電產生器的特性

為了能正確的測定設備對 ESD 的承受層次，靜電放電產生器不能有輻

射 (Radio) 或傳導 (conducted) 干擾影響待測的設備 (Equipment Under Test), 所以儲能電容, 限流電阻和放電開關都被放置在最近放電頭的位置。ESD 產生器如圖 2.16 所示, 放電頭的外觀如圖 2.17 所示。ESD 產生器的重要特性摘要如表 2.1。

表 2.1 ESD 產生器的重要特性摘要

Energy storage capacitance ($C_s + C_d$)	150 pF +/- 10 %
Discharge resistance (Rd)	330 Ω +/- 10 %
Charging resistance (RC)	Between 50 MΩ and 100 MΩ
Output voltage (note 1)	Up to 8 kV (nominal) for contact discharge Up to 15 kV (nominal) for air discharge
Tolerance of output voltage indication	+/- 5%
Polarity of output voltage	Positive and negative (switch able)
Holding time	At least 5 sec
Discharge, mode of operation (note 2)	Single discharge (time between successive discharges at least 1sec)
Wave shape of discharge current	See Fig. 2.17
NOTE 1 Open circuit voltage measured at the energy storage capacitor.	
NOTE 2 The generator hold be able to generate at a repetition rate of at least 20 discharges per second for exploratory purposes only.	

2.4.4 測試層次

靜電放電測試電壓層被摘錄如表 2.2。表中 1a 標示的是接觸放電型的電壓準位。表中 1b 標示的是空氣放電型 (Air Discharge)。通常都採用接觸放電型作驗證，空氣型只用於測試點不方便接觸，只是被列在一起，並不表示他們有一定關連性。

表 2.2 靜電放電測試電壓層摘錄

1a – Contact Discharge		1b – Air Discharge	
Level	Test Voltage (kV)	Level	Test Voltage (kV)
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
X ¹⁾	Special	X ¹⁾	Special

¹⁾ “X” is an open level. The level has to be specified in the dedicated equipment specification. If higher voltages than those shown are specified, special test equipment may be needed.

2.4.5 測試架設

這個架設包括待測測試設備，ESD 產生器，桌面及所需的輔助設施，接觸型的被架於放電至導電板，而空氣型的測試設備被架於隔離板上，總體的安排需與製造者討論後確定，一個簡單的桌上型設備測試架設

置於圖 2.18 供參考。

2.4.6 測試程序

為了減少環境對測試的影響，主要的控制條件摘錄如下：

環境溫度：15 度 C 至 35 度 C

相對濕度：30% 至 60 %

大氣壓力：86kpa 至 106 kpa

2.4.7 測試結果的確認

靜電放電測可能造成設備損毀，退化，功能異常，判定是否合格的方式，需設計製造者與採購者測試前議定，測試時在以此準則判定。



圖目錄

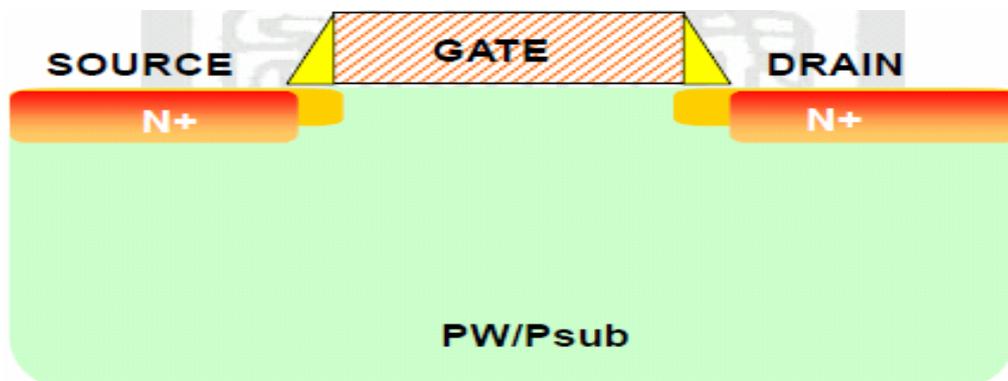
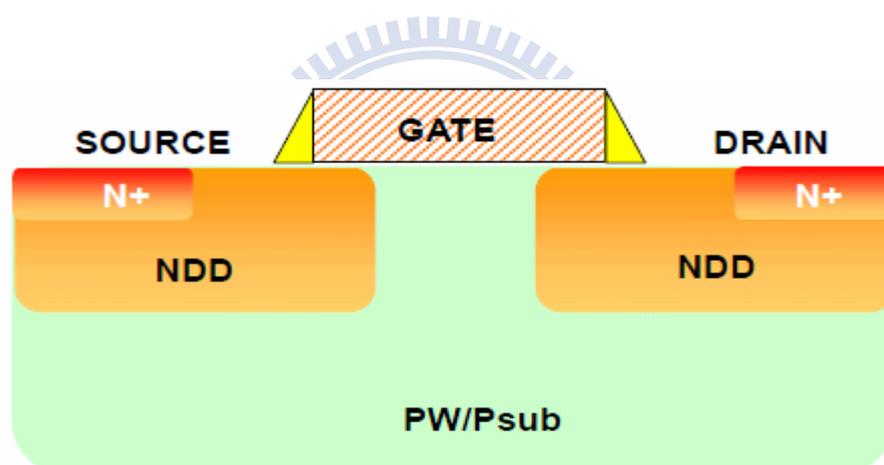
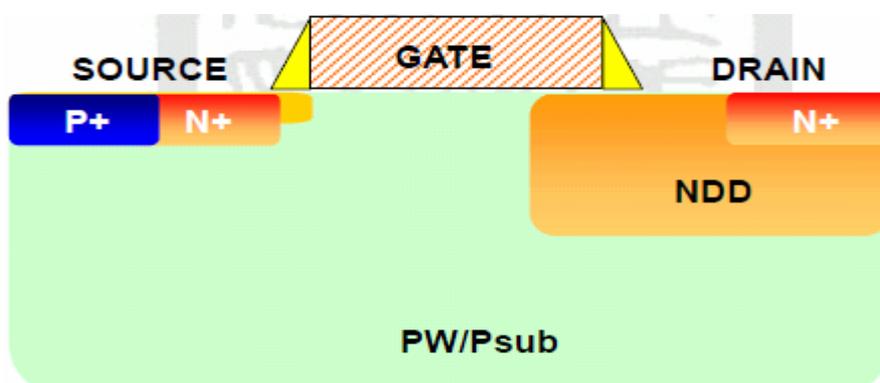


圖 2.1 傳統的低壓 MOS (Low Voltage MOS)的剖面圖

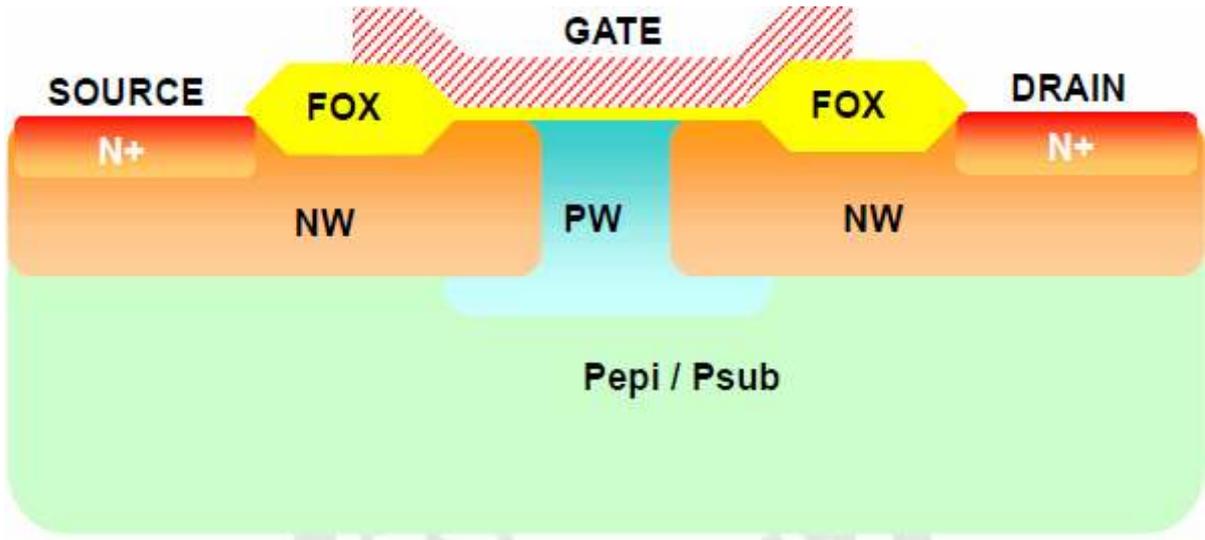


(a)

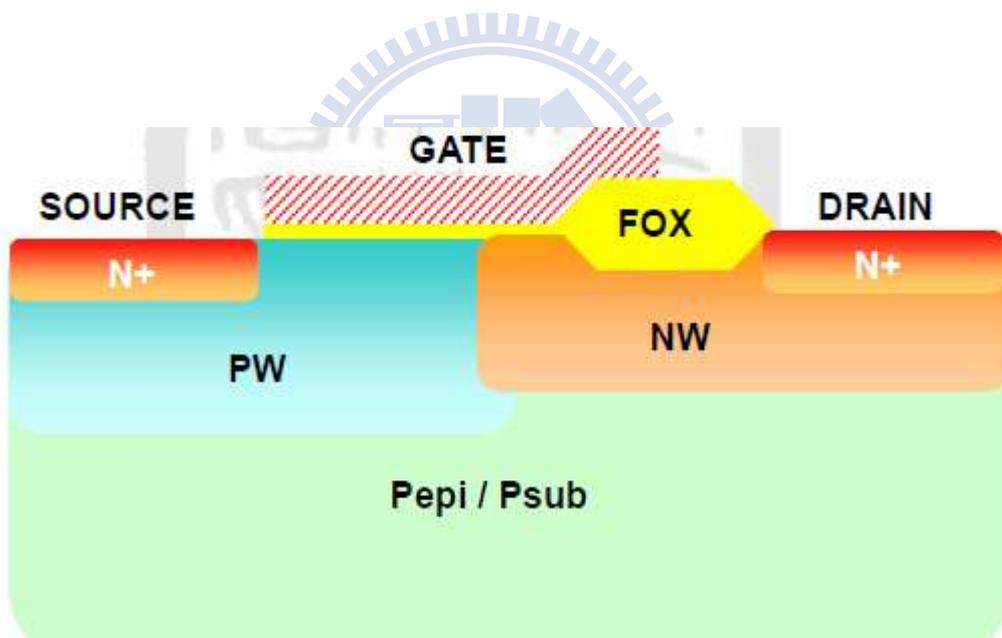


(b)

圖 2.2 (a) ,(b) 分別為對稱式 和不對稱式 Active Gap DENMOS 電晶體

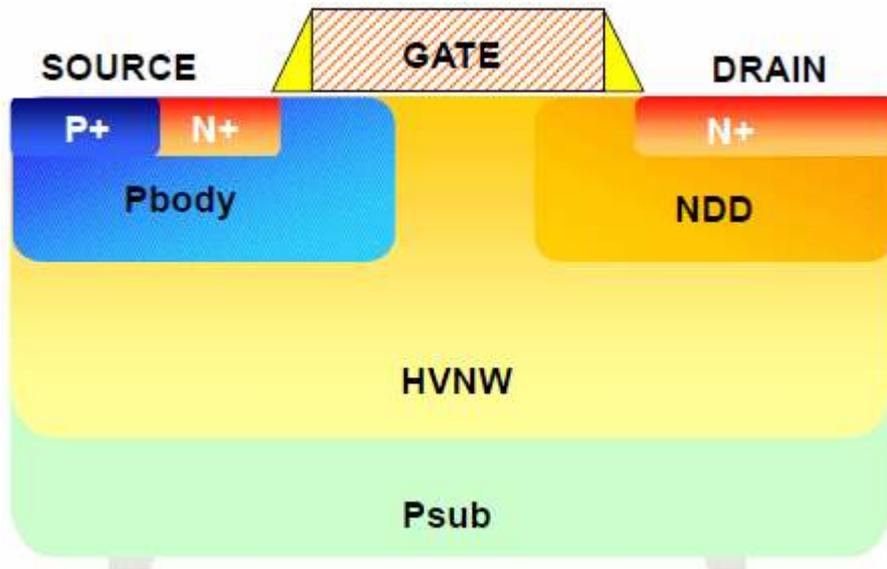


(a)

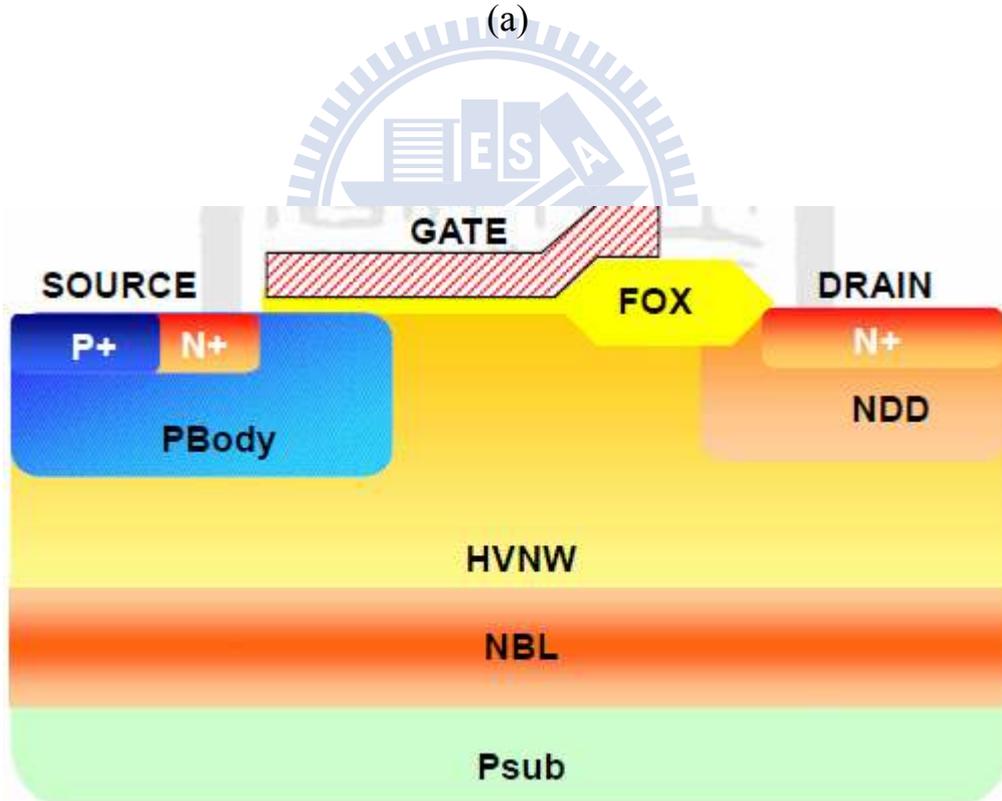


(b)

圖 2.3 (a),(b) 分別為對稱與不對稱 F-G DENMOS. Field-GAP 被置於 Drain 與 Gate 之間用以增強 VDS, 並平均化 Ecrit.



(a)



(b)

圖 2.4(a),(b) 分別為 field-gap 和 active-gap LDMOS 的剖面圖。

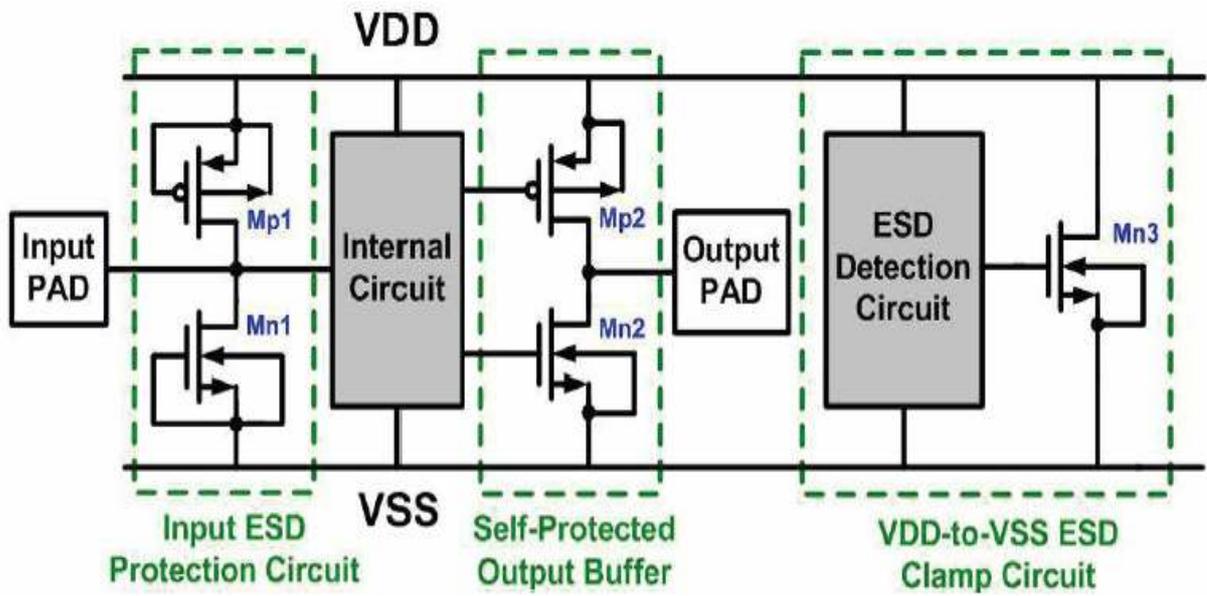
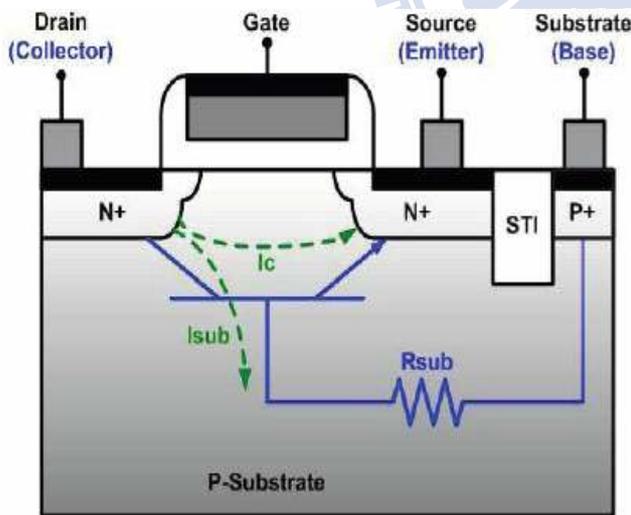
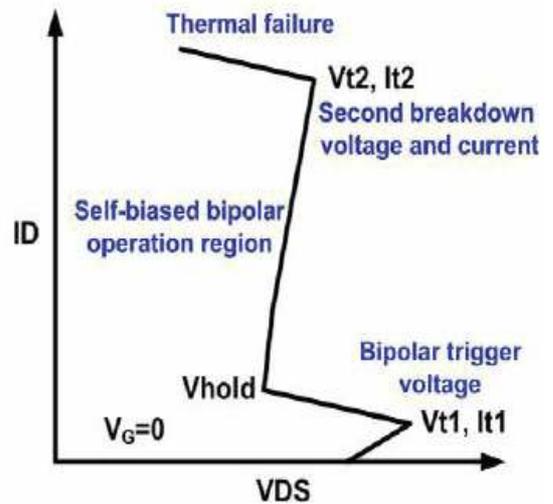


圖 2.5 顯示一個典型的 EDS 保護電路

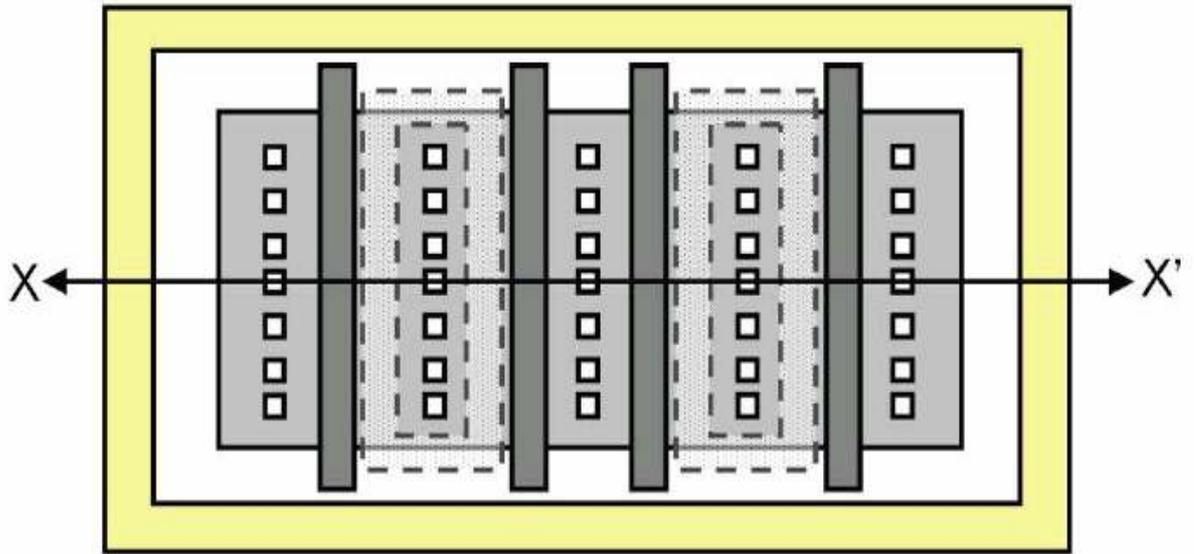


(a)

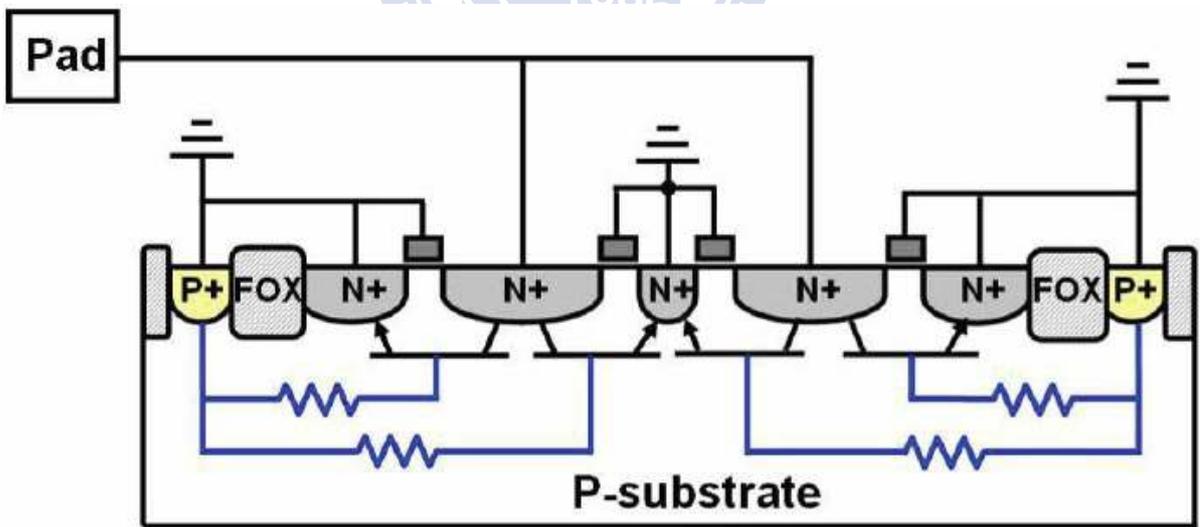


(b)

圖 2.6 (a) 顯示 NMOS 的剖面圖，並附加了寄生的 NPN BJT。圖 2.6 (b) 為寄生的 NPN BJT 電壓-電流變化圖。



(a)



(b)

圖 2.7 為多指狀的 NMOS 的上視圖(a)及剖面圖(b).

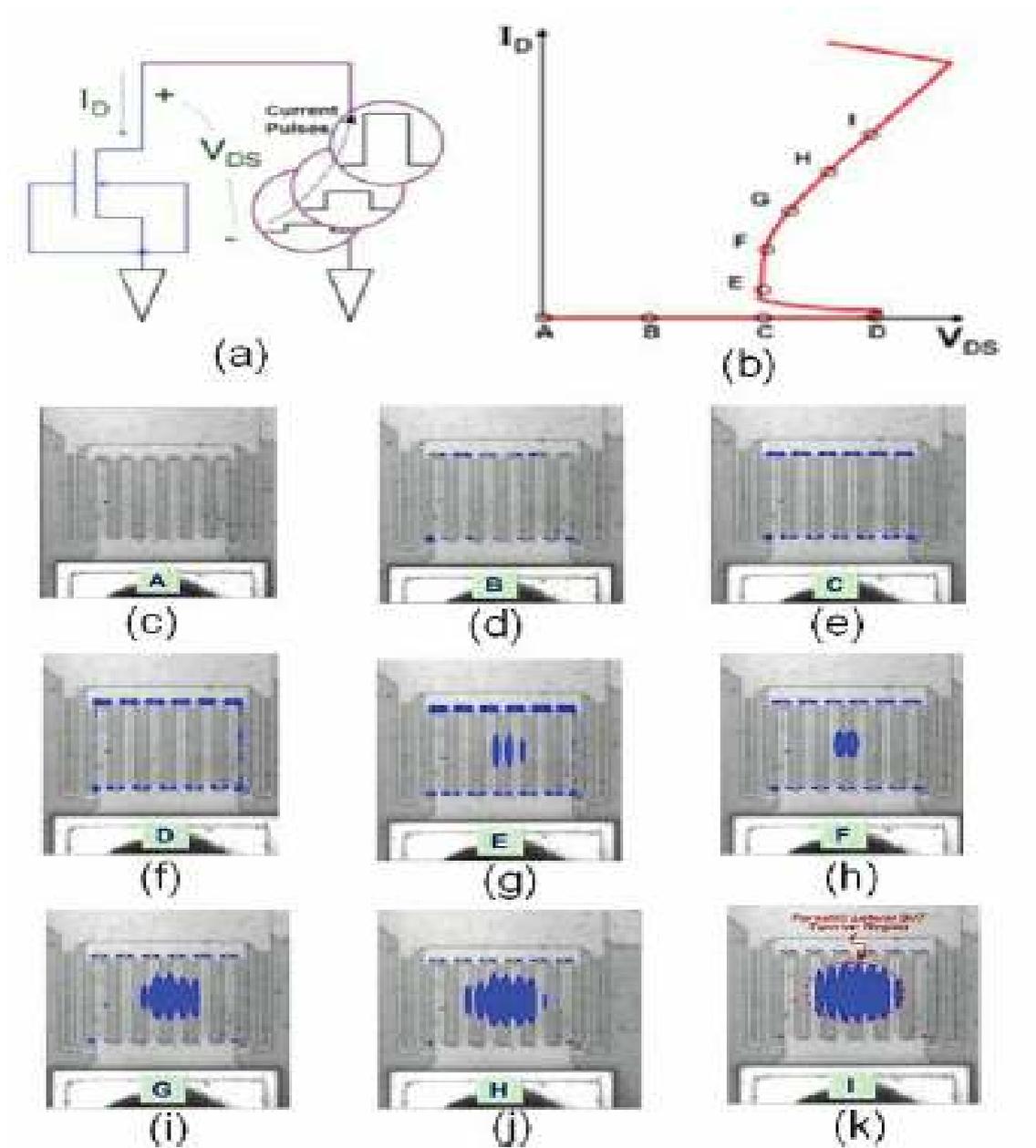


圖 2.8 顯示明顯不均勻的啟動(turn-on) 現象 . 這些圖像是以 EMMI (Emission Microscope Inspection) 及 TLP (Transmission Line Pulse) 共同測定的 (a) The measurement setup. (b) The corresponding I-V curve of a gate-ground NMOS. (c)- (f) The hot spots in the gate-grounded NMOS before it enters into snapback resign. (g)-(k) The hot spots in the gate-grounded NMOS after it enters into snapback.

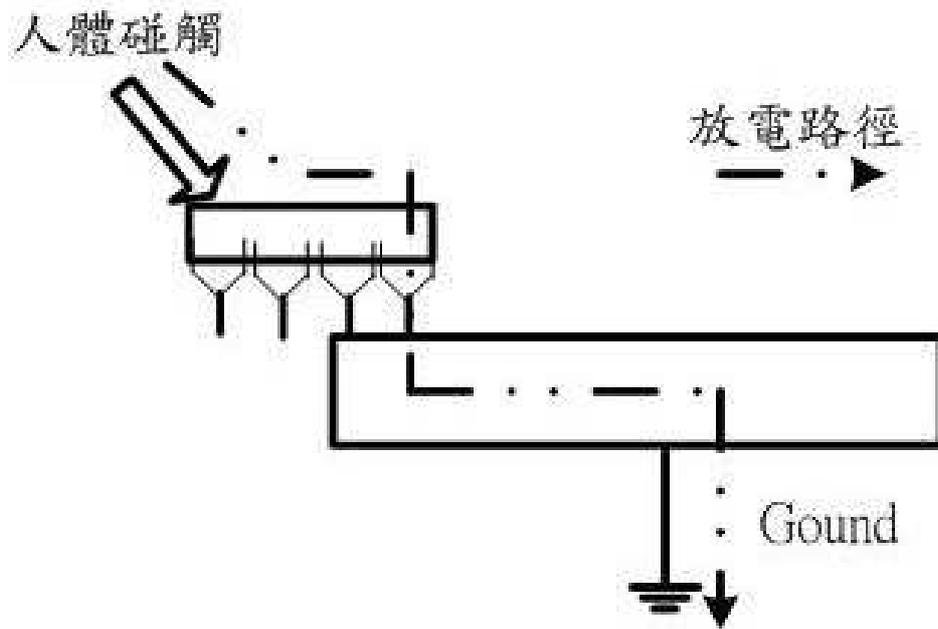


圖 2.9 HBM 靜電放電路徑示意圖

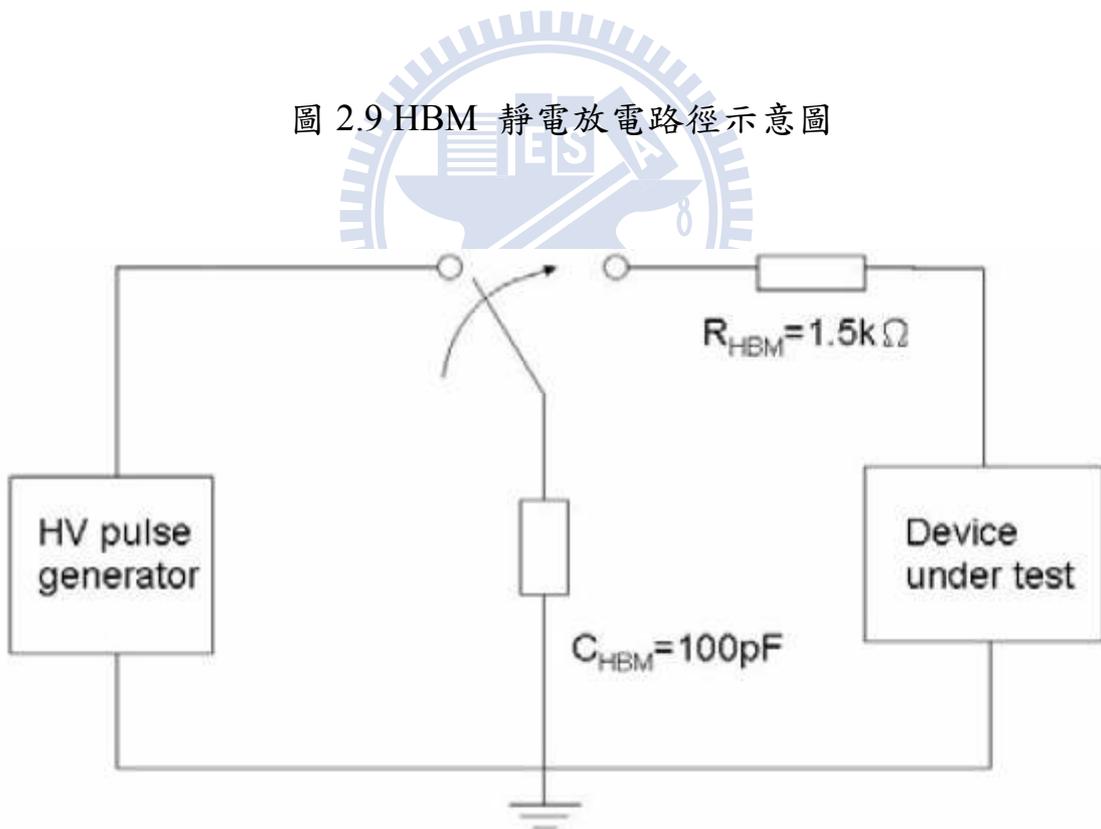


圖 2.10 MIL-STD-883C method 3015.7 HBM 的等效電路，MM mode 的差異在 $R_{MM} = 0\Omega$.

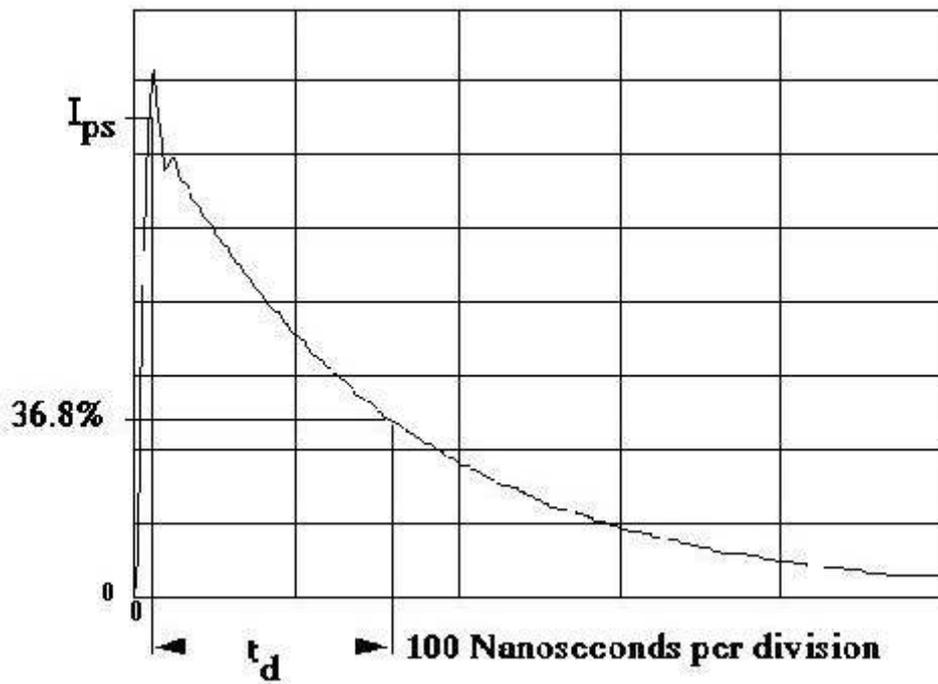


圖 2.11 HBM 模型， 0Ω 負載時之放電波形

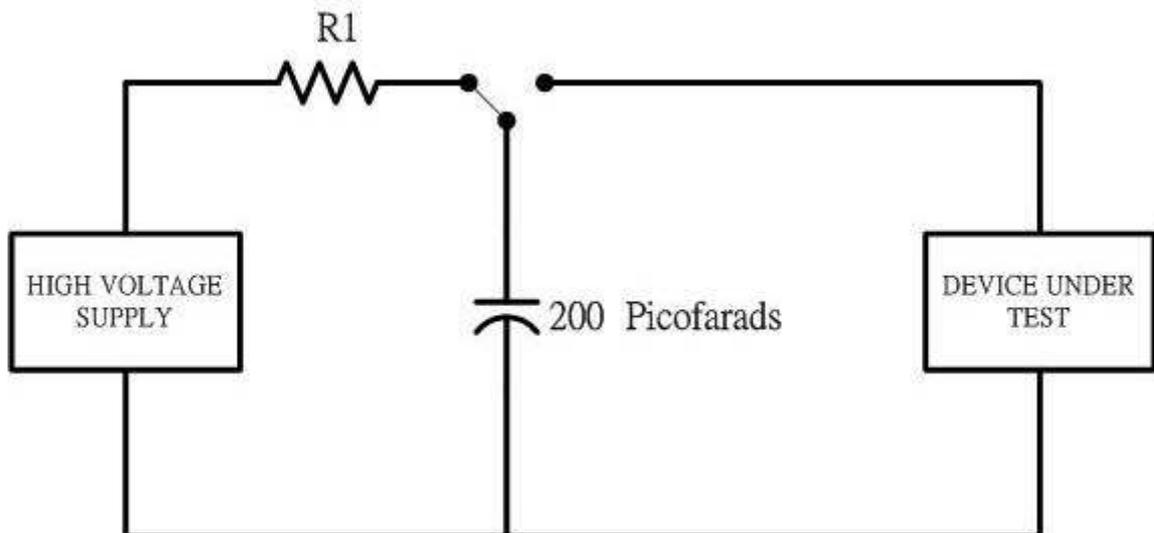


圖 2.12 機器放電模型等效圖，工業測試標準 EIAJ-IC-121 method 20
等效電路圖

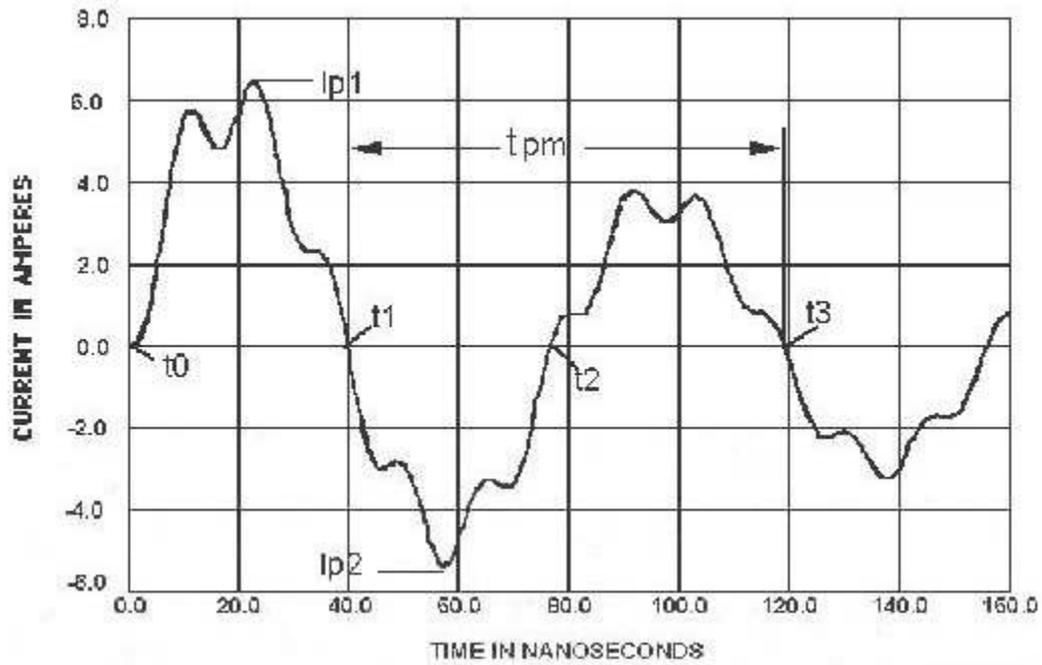


圖 2.13 MM 模型, 在 0Ω 負載時之放電波形.

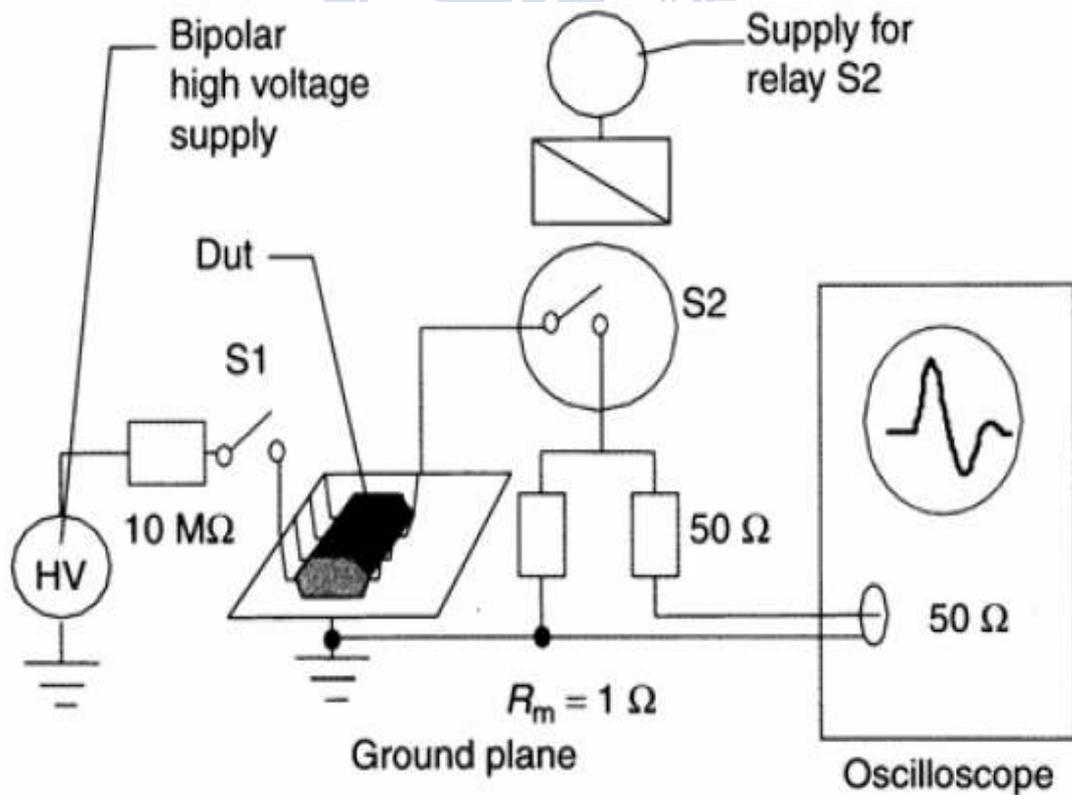


圖 2.14 元件放電路徑示意圖.

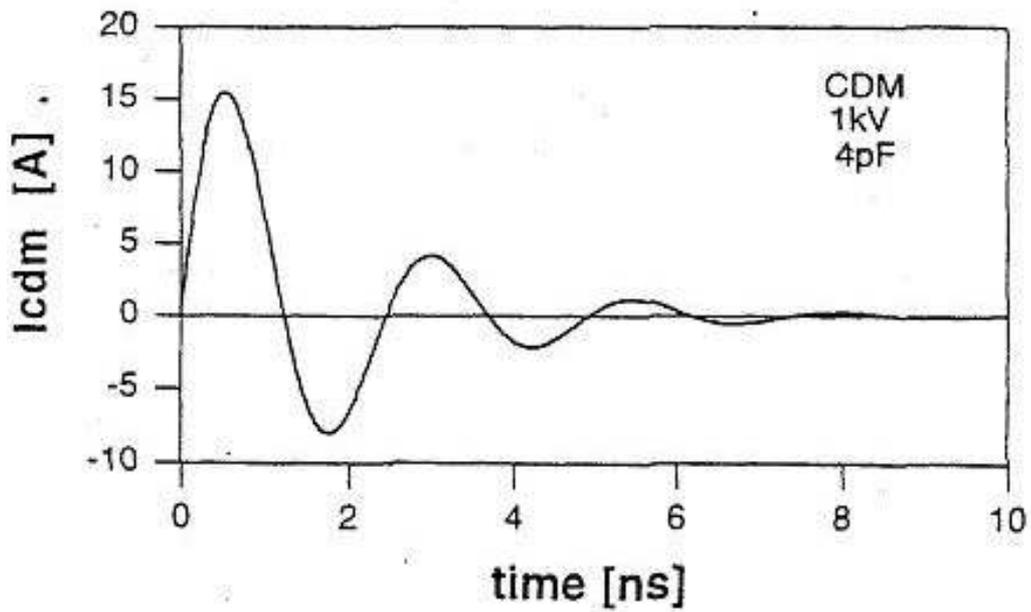


圖 2.15 CDM 之放電波形.

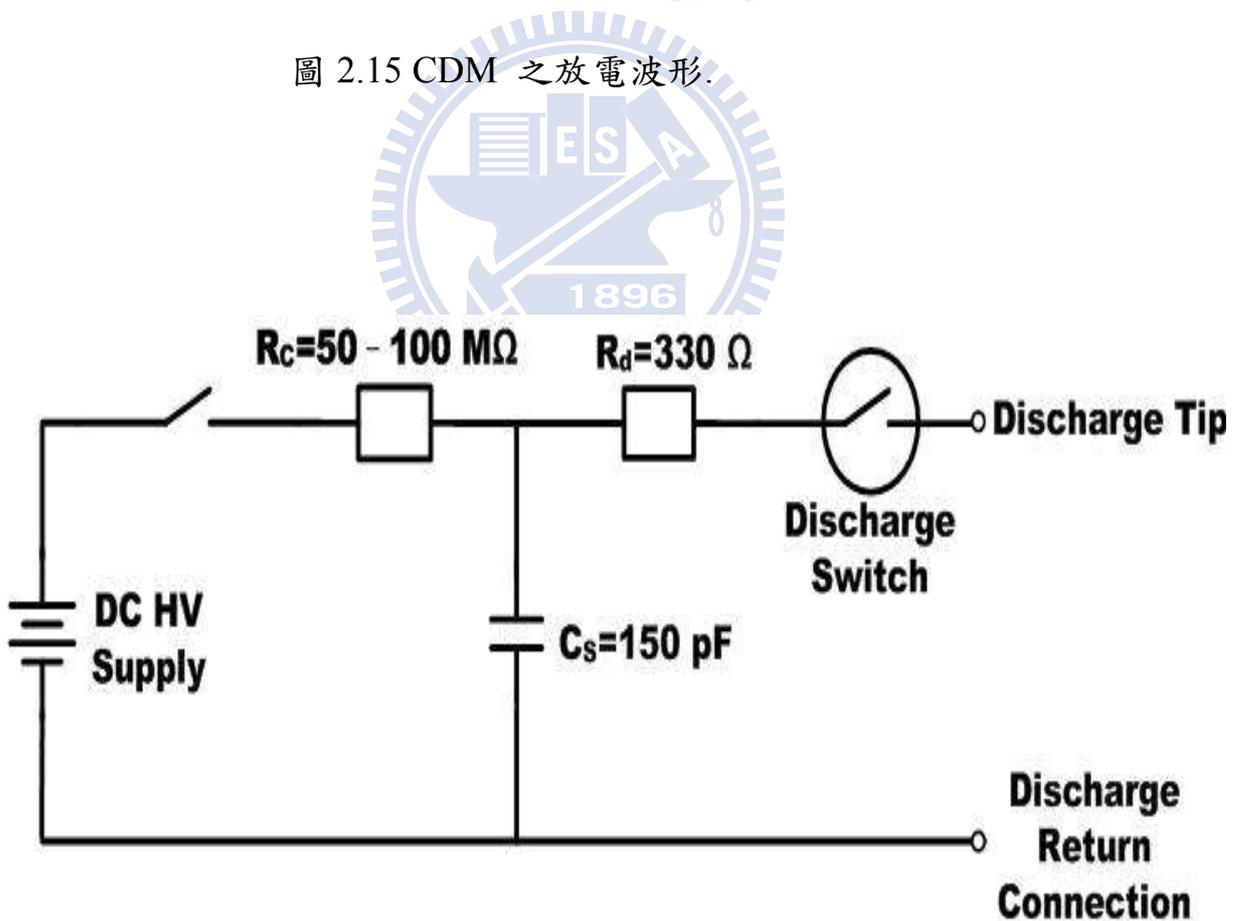


圖 2.16 ESD 產生器示意圖

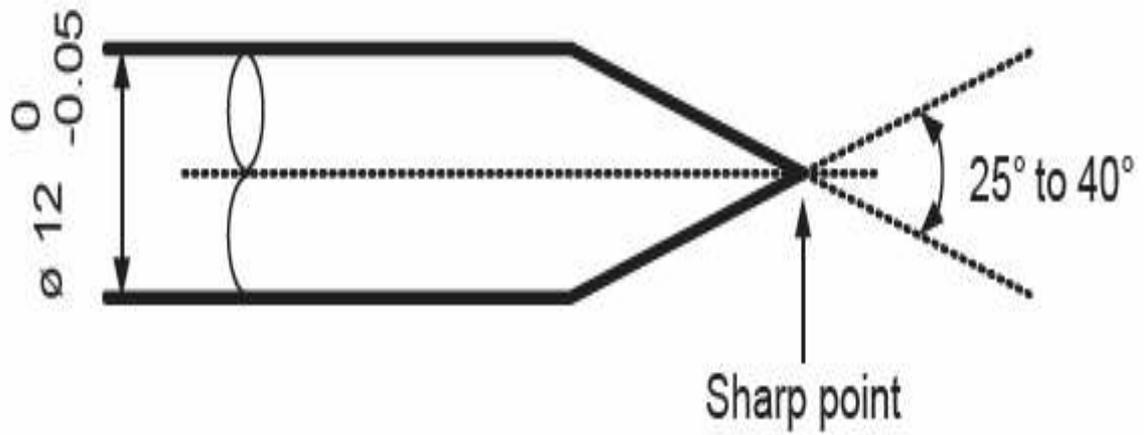


圖 2.17 放電頭的外觀及重要的尺寸..

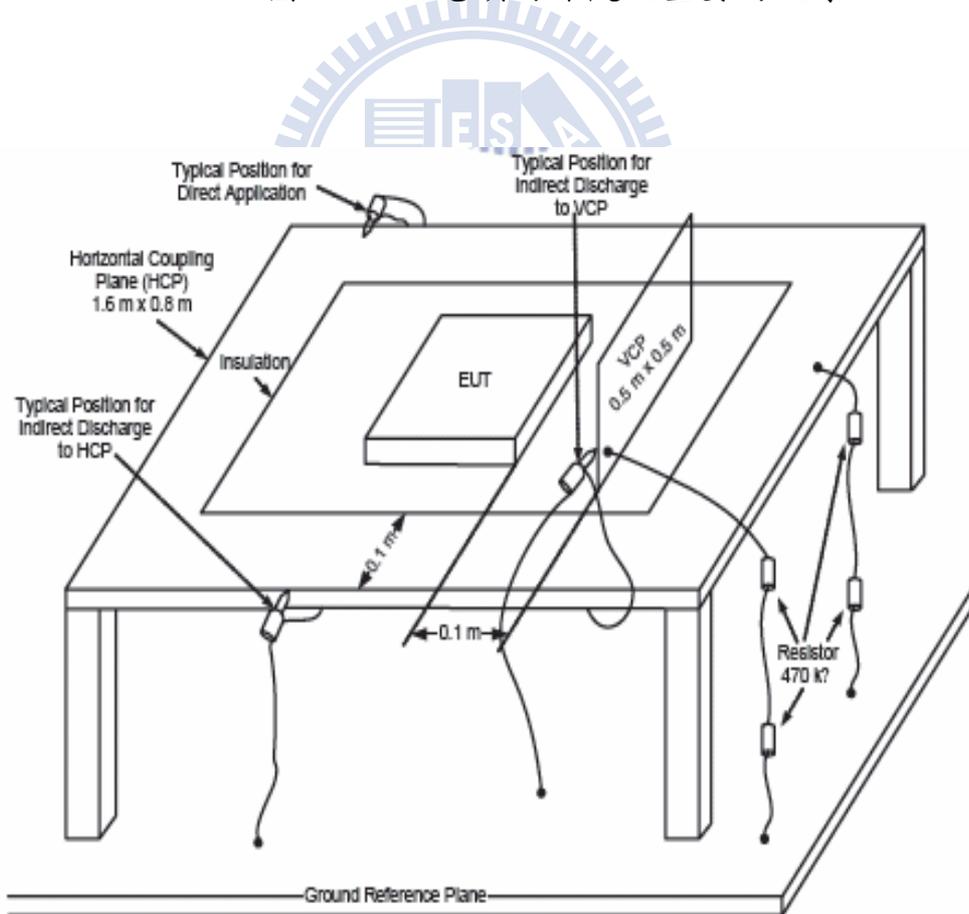


圖 2.18 一個簡單的桌上型設備測試架設置.

第三章 產品可靠度驗證

一個高壓積體電路 (HVIC) 的驗證需考量產品功能，可靠度及使用安全，所以本論文的產品驗證將包括 ESD/HBM, ESD/MM, LATCH UP, HTOLT 和 SLESD 等測試，以確保它符合銷售市場的要求。

3.1 高壓積體電路的結構

本實驗所用的高壓積體電路是一個 8 腳 SOP 封裝的產品 [27] 各相關的腳的配置如圖 3.1a。它是由 0.6 微米 BCD (bipolar, CMOS, DMOS) 晶圓製作的。主要的使用元件有 LVNMOS, HVNMOS 及電源開關用的 LDNMOS。此 LDNMOS 必須承受 42V/1000mA 以上的電源衝擊在 -40 度 C 到 85 度 C 的工作環境，輸出電流仍維持在 ±5% 以內，所有元件包括 HVNMOS, LVNMOS 和 LDNMOS 必須承受在生產過程和應用時的 ESD 衝擊，主要的元件被標示如圖 3.1b 供參考 [28]。

3.2 標準產品驗證執行

這個章節主要在說明可靠度試驗的架設與量測

3.2.1 靜電放電 (ESD) 測試

ESD test 旨在確定產品承受靜電放電衝擊造成失效，或衰退的能力，在此採用較普遍的 HBM, MM 兩種模式較詳細的定義或參考規範被摘

錄如表 3.1 .

表 3.1HBM , MM 模式詳細的定義或參考規範

Test Items	Test Method				Pass Criteria
	Reference Standard	Test Conditions	Sampling	Measure	
HBM	MIL-STD-883F- 3015.7	R=1.5K Ω , C=100pF Zap \pm 500V to \pm 8KV, Step 500V	3ea x 6 conditions	Voltage shift< 30% at 1uA leak	Pass \pm 2000V Class2
MM	EIA/JESD22-A115	R=0 Ω , C=200pF Zap \pm 50V to \pm 800V, Step 25V	3ea x 6 conditions	Voltage shift< 30% at 1uA leak	Pass \pm 200V ClassM2

Notes:

1. Test Equipment: Thermo Keytek Zapmaster C
2. Lab. Environment: Test temp.: 25 \pm 5 $^{\circ}$ C, Test Humidity: 55 \pm 5 %RH

3.3.2 栓鎖測試 (Latch – up test)

Latch up 測試是用來確定產品是否有受雜訊電流干擾而造成低壓高電流的現象，並檢視發生的干擾電流的準位，此測試的定義和參考規範如表 3.2 所示。

表 3.2 Latch up 測試的定義和參考規範.

Test Items	Test Method				Pass Criteria
	Reference Standard	Test Conditions	Sampling	Measure	
Latch-up	JEIA/JESD78 March 1997	IT:50~200mA(±), step:50mA(±)	3ea x 3 conditions	< 1.4 x I _{nominal} current	Pass± 200mA Class3

Notes: 1. Test Equipment: Thermo Keytek Zapmaster MK-2-1

2. Lab. Environment: Test temp.: 25±5 °C, Test Humidity: 55±5 %RH

3.3.3 高溫操作壽命測試 (High- Temperature Operating Life Test) [29]

HTOL test 旨在確認積體電路在長期使用時是否會發生失效，並檢視它的壽命， HTOL test 電路如圖 Fig. 3.2. 測試的定義和參考規範摘錄如表

3.3 .

表 3.3 HTOL 測試的定義和參考規範摘錄

Test Items	Test Method				Pass Criteria
	Reference Standard	Test Conditions	Sampling	Measure	
HTOL	JESD22- A108	Voltage: Vin (43V), Current:1000mA, Temp.=115°C, Aging:1000 hours	45EAs x 1 condition	< 1.1 x I _{nominal} current	Pass: 0 sample failed; LTPD5%

Notes:

1. Test Equipment: TERCHY CK290-2 High Temperature Oven.
2. Lab. Environment: Temperature: 25 ± 5 °C, Humidity: 55 ± 15 %RH
3. Test Procedure:
 - 3.1 Check DUT card's mapping whether matching Burn-In Circuit
Circuit was shown as 3.2. (DUTC: Device under Test card)
 - 3.2 Check out IC sample's quantities and mark with number.
 - 3.3 Put DUTCs into oven till up to test condition, and then start test.
 - 3.4 Monitor current status every day
 - 3.5 Take out the samples for the function test at 168,500,1000hrs

3.3.4 系統層級靜電放電測試 (System Level ESD test)

SLESD 被用來確認系統電子產品是會因為環境的靜電雜訊造成失效或故障。並檢視其承受能力，相關測試定義和參考規範被摘錄如表 3.4。

SL ESD test 測試點如圖 3.3 紅圓圈所標示。

表 3.4 SLESD 相關測試定義和參考規範摘錄

Test Items	Test Method				Pass Criteria
	Reference Standard	Test Conditions	Sampling	Measure	
System Level ESD Test	IEC 61000-4-2	R=330Ω, C=150pF, Zap ±500V to ± 8KV, Step 500V	3ea x 2 conditions	Voltage shift< 30% at 1um leak	Pass ±4000V Class2

Notes:

1. Test Equipment: Thermo Keytek MINIZAP MZ-15/EC ESD

SIMULATOR.

2. Lab. Environment: Test temperature: 23 ± 3 °C, Test Humidity: 55 ± 3 %RH

3. Test Procedure: Discharge to each point for 10 times from $\pm 500V$ up to $\pm 8KV$. Discharge interval is 1 second.

3.3 檢討驗證結果和採取的行動

這些驗證被依規定的程序在定義正確的實驗室完成。很不幸的只有 ESD/HBM 和 Latch up 兩項通過檢證。其它三項 ESD/MM 因 LVNMOS, HVNDMOS 失效, HTOLT 因電容與 PCB 板燒燬及 SLESD 因 LED 被墊板失效被判不合格。相關的不良現象和採取的動
被摘錄如表 3.5

表 3.5 驗證結果和採取的行動

Reliability Items	Pass (P) Fail (F)	Fail (F) Status	Root Cause per Failure Analysis	Actions
ESD Human Body Mode Test MIL-STD- 883C Method 3015.7	P	NA	NA	NA
ESD Machine Mode Test EIAJ-IC-121 Method 20	F1/F2	F1: LVNMOS (EN Pin) Failed at 175V to Ground. F2: HVNDMOS (LX Pins) failed at 100V to Vss	LVNMOS: Drain short to ground ; HVNDMOS: Drain short to ground	LVNMOS Analysis; HVNDMOS Analysis
Latch Up Test JEIA/LESD78	P	NA	NA	NA
HOLT: 43V, 115°C, 45EAs, 1000Hrs JESD22-A108	F3	F3: 3 IC Burned out at 668Hrs HTOLT	Capacitor wear out induced Burn In Board Burn Out	Operating Temp. and Filter Cap. Analysis
System Level ESD Test ESD 61000-4-2	F4	F4: Failed at $\geq 4KV$ by Zapped at LED heat sink	Electrostatic Couple Discharge due to short distance btw. LED Anode to substrate	Analysis Filter Cap. and Gap of LED Anode to LED substrate

圖目錄

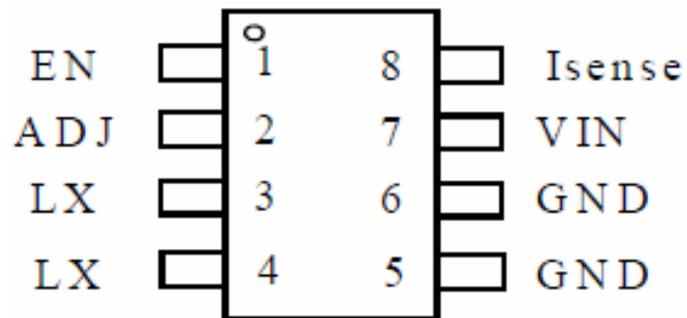


圖 3.1a 本實驗所用的高壓積體電路是一個 8 腳 SOP 封裝的產品

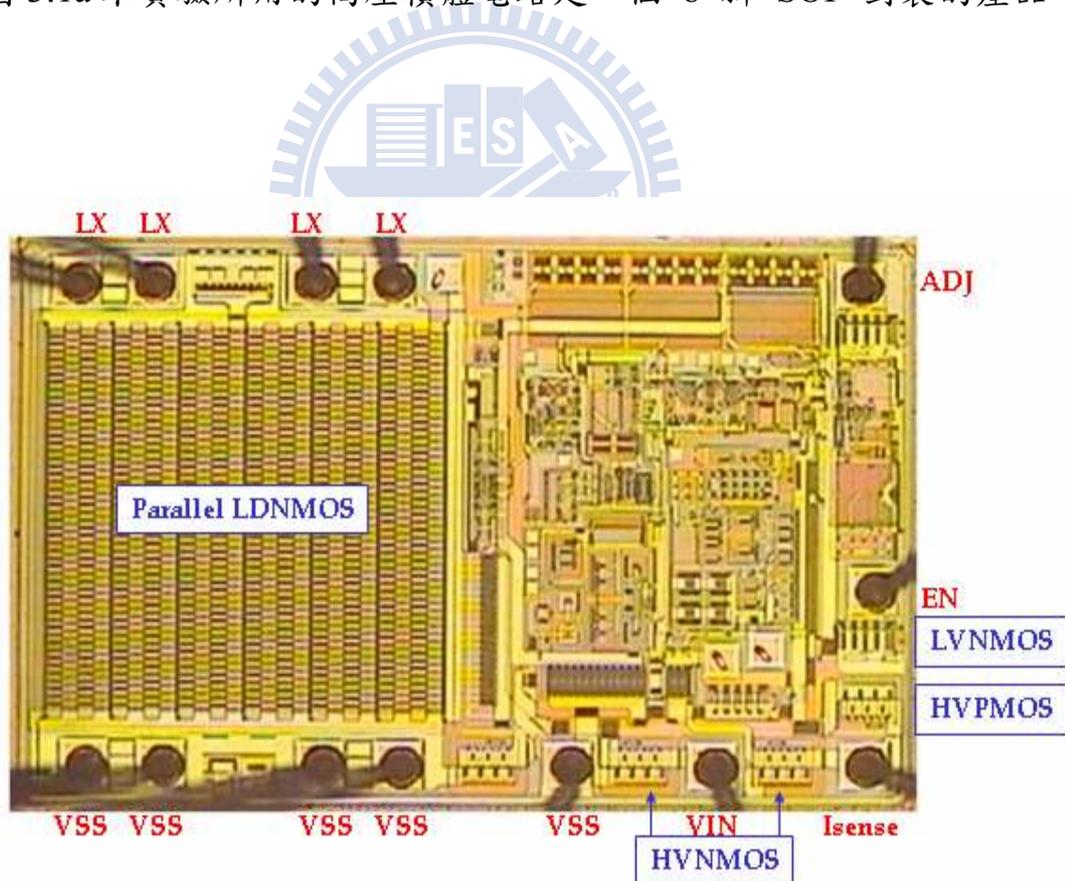


圖 3.1b 包括 HVNMOS , LVNMOS 和 LDNMOS 主要的元件被標

示

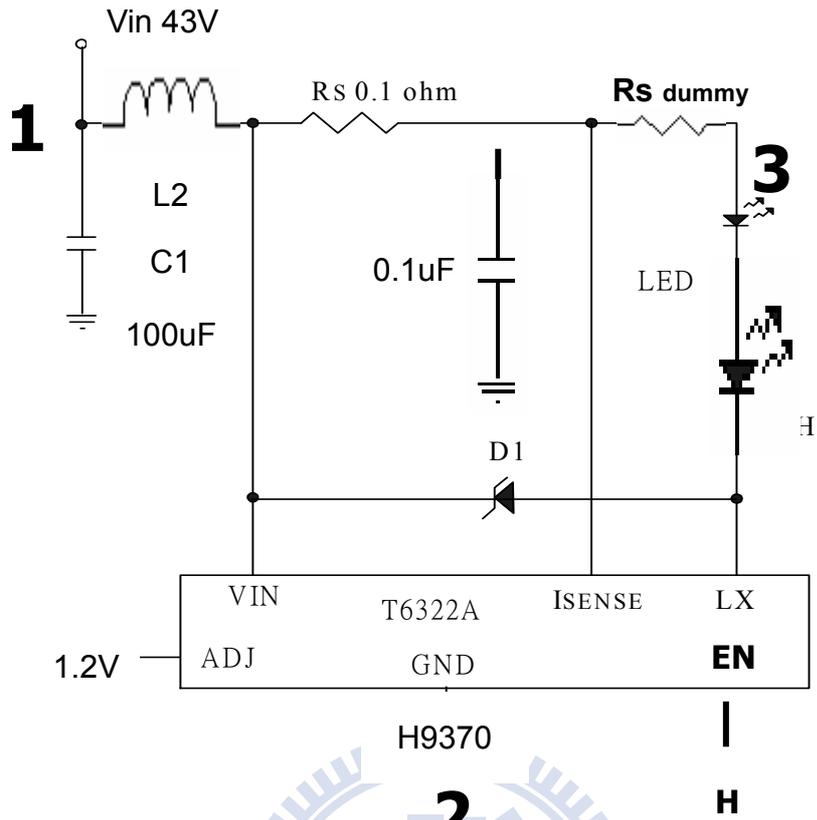


圖 Fig. 3.2 HVIC H9730 HTOL test 電路圖 .

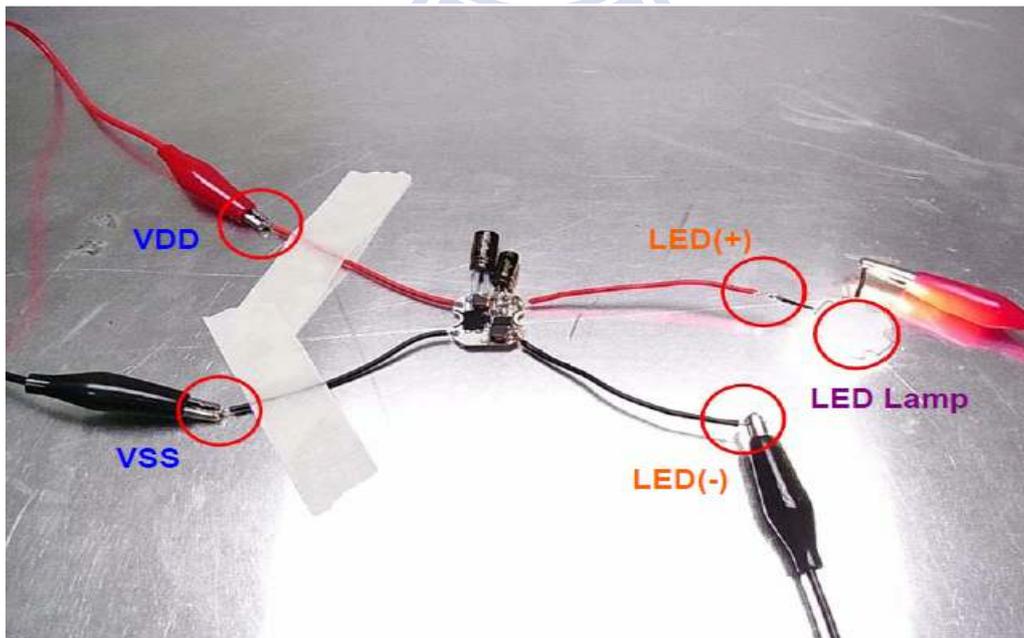


圖 Fig. 3.3 SL ESD test 測試點如紅圈所標示

第四章 故障分析與製程變更

本章節將依照可靠度驗證的結果，針對 ESD/MM,HTOL 和 SLESD 等失效的部份進行深入的故障分析，找到可能的成因，並規劃實驗驗證他們。最後透過製程的改良與驗證方法的澄清，找到理想的高壓積體電路的組合。

4.1 ESD MM EN Pin 不良的分析與改善

4.1.1 背景資訊

經 ESD MM test 之後，發現兩個樣品在 175V 靜電衝擊時失效，依測量資訊得為 EN Pin 漏電流變異超出規格(漏電流 $1\mu\text{A}$ 時, 電壓 shift >30%)。對 EN Pin 的靜電衝擊示意如圖 4.1 所示。

4.1.2 故障分析

- (a) 使用裸眼對 IC 的外觀作詳細的檢視，並沒有發現任何外觀的不良現象。
- (b) 取一個良好的 IC，隨同這兩個失效的樣品一起進行 I-V 曲線分析，結果如圖 4.2 所示。比較良品與失效品的測試結果，失效品在 0.8 伏特時就有明顯的漏電流發生。這種現象疑似靜電破壞造成。
- (c) 為了確認不良原因及位置，不良 IC 被進行拆蓋 (de-capsulated) 後如圖 4.3 所示。經 500 倍的顯微鏡目視檢查並沒有任何受損

痕跡被找到。

(d) 為了找到失效的構因，這些拆蓋後的樣品被置入 OBIRCH (optical beam induce resistance change) 系統，依據受傷的電阻會因受熱而改變推論尋找這個故障點。在 $V_{in}:0.1V$ 發現故障點如圖 4.4 所示。

(e) 為了確認失效的物理結構，失效的晶片被進行逐層去除 (layer by layer removing) 和 PVC (passive voltage contract) 的分析程序，這個過程被摘要拍攝如圖 4.5 (a)~(d) 所示。在 metal 1, metal 2 和 poly line 等層次都沒有發現受損的結構，當使用 PVC 比對良品與失效樣品時，發現在 poly~contact 有異常現象如圖 4.5(c)(d)所示，將這個樣品去除 poly contact 之後，在 SEM 的檢視中發現受損的裂痕和破洞如圖 4.6 所示。

(f) 參考圖 4.7 所示的 LVNMOS 剖面圖，等效電路圖，可以推定是多指狀的 LVNMOS 啟動不均勻，造成中央的 LVNMOS 被 ESD MM 175v 擊穿，NP 二極體後失去原有功能。[30, 31]

4.1.3 進行製程變更驗證

有許多元件或製程，例如GGNMOS, SST-GGNMOS (Self- Substrate-triggered GGNMOS) 或放大尺寸都有機會克服此問題，但考慮到成本的因素，我們採用極小的 channel width(CW) $30\mu m$ 配合 channel length (CL), LDD(Low Doped Drain)製程進行評估。此元件主要的參數

被摘錄如表 4.1，實驗驗證被規劃如下 Group 1 和 Group2 所述。

Group 1: with LDD and CL (μm) = 0.55, 0.60, 0.65, 0.70 and 0.75.

Group 2: w/o LDD and CL (μm) distributes same as Group 1.

表 4.1 元件主要的參數摘錄

Channel Width	Channel length	LDD	Layout pattern	MM ESD Test criteria, results
30um	0.6um	1×10^{13} Dose/ cm ²	Smart current flow	Pass = > 200V, Failed 175V

4.1.4 工程變更的驗證

經標準的 ESD MM 衝擊，這些測試數據被摘要如圖 4.8 所示，這個結果顯示 CL 的增長，可以有效的提昇元件的 ESD 承受力。而 LDD 製程會降低元件的 ESD 承受能力。當 $CL \leq 0.6\mu\text{m}$ 時會更加的明顯，這個差異在 100V 上下。

4.2 LX Pin 不良原因分析與改善

4.2.1 背景資訊

經 ESD MM 驗證有兩個樣品在 75V 靜電衝擊時失效，失效是因為 LX Pin 到地，無法承受靜電衝擊，導致電壓位移超出規格 30%，LX Pin 到地的靜電衝擊連結如圖 4.9 所示。

4.2.2 故障分析

(a) 使用裸眼對故障的 IC 外觀作詳細的檢視，並沒有發現任何外觀

的不良現象。

- (b) 取一個良好的 IC，隨同這兩個失效的樣品一起進行 I-V 曲線分析，結果如圖 4.10 所示。比較良品與失效品的測試結果，失效品在 0.7, 0.79 伏特時就有明顯的漏電流發生。這種現象疑似靜電破壞造成。
- (c) 為了確認不良原因及位置，不良 IC 被進行拆蓋(de-capsulated) 後如圖 4.11 所示。經 500 倍的顯微鏡目視檢查並沒有任何受損痕跡被找到。
- (d) 為了找到失效的構因，這些拆蓋後的樣品被置入 OBIRCH (optical beam induce resistance change) 系統，依據受傷的電阻會因受熱而改變推論尋找這個故障點。在 $V_{in}:0.1V$ 發現 LDNMOS 的故障點如圖 4.12 所示。
- (e) 為了確認失效的物理結構，失效的晶片被進行逐層去除 (layer by layer removing) 的分析程序，這個過程被摘要拍攝如圖 4.13, 14 所示。在 metal 1 和 metal 2 等層次都沒有發現受損的結構如圖 4.13(a) 和(b) 所示，將這個樣品去除 metal 2 層之後，在 SEM 的檢視中發現受損的裂痕和破洞如圖 4.14 (a)~(d)所示。
- (f) 參考圖 4.15 所示的 LVNMOS 剖面圖，等效電路圖，可以推定是並聯 HVLD MOS 啟動不均勻，造成中央的 HVLD MOS 被 ESD MM 75V 擊穿，NP 二極體後失去原有功能。[57, 58]

4.2.3 實驗規劃

圖 2.3 及 圖 2.4 所示分別為 symmetric / asymmetric field gap DEMOS transistor, active gap DEMOS transistor . 它們都有機會改善 LDNMOS 的故障 , 但他們將大幅度的修改原有的製程 , 本實驗將依據原有的元件製程如表 4.2 所示進行調製 , 原有的 power switch LDNMOS 已經占了晶粒面積 50% 左右 , 所以只能在不加大面積的條件下 , 調變通到長度與 LDD 製程, 兩組實驗安排如下 :

G(1) : W/LDD and CL(μm) : 由 0.45 , 0.5 , 0.55 , 0.60 及 0.65 μm .

G(2) : CL 變化同 G(1) 只是去除 LDD 製程 .

表 4.2 原有的元件主要製程

Channel Width	Channel length	LDD	Layout pattern	MM ESD Test criteria , results
100 μm	0.45 μm	$1 \times 10^{13} \text{ D./cm}^2$	Smart current flow, 220 x LD NMOS	Pass = > 200V, Fail at 75V

4.2.4 確認變更的成效

圖 4.16 為實驗驗證的結果 , 當增長 CL 至 0.65 μm / 無 LDD 時 ESD MM 的承受力提昇至 325v . 此實驗確認 ESD MM 的承受力與 CL 成正比 . 去除 LDD 製程有助於靜電承受力的提昇 , 尤其在 CL 小於 0.5 μm 時更為顯著 , 差異值在 100v 以上 .

單看靜電放電承受力，共用 5 組元件可以符合大於 200v esd mm 的要求。但是 power switch 需要最低的 Rd on 電阻以獲得最小的散熱要求。表 4.3 為 Rd on 的量測摘錄，當 CL 加強時 Rd on 也明顯上升。若要滿足 $Rd\ on \leq 0.525$ 的規格，綜合 ESD MM 承受力與 Rd on 的比較如表 4.4。依表 4.4 的歸納根本找不到合乎標準的元件組合。

表 4.3 為 Rd on 的量測摘錄

Group	Channel Length 0.45um	Channel Length 0.50um	Channel Length 0.55um	Channel Length 0.60um	Channel Length 0.65um
1: with LDD Rd on Ω	0.45	0.50	0.55	0.65	0.75
2: w/O LDD Rd on Ω	0.6	0.7	0.75	0.85	1.05

表 4.4 ESD MM 承受力與 Rd on 的比較

Group	Channel Length 0.45um	Channel Length 0.50um	Channel Length 0.55um	Channel Length 0.60um	Channel Length 0.65um
1: with LDD Rd on $\Omega/Volt$	0.45/50	0.50/100	0.55/175	0.65/250	0.75/325
2: w/O LDD Rd on $\Omega/Volt$	0.6/175	0.7/200	0.75/250	0.85/275	1.05/375

檢討 LDNMOS 的故障位置，他們都鄰近 ESD 進入的區塊，所以設計了改變封裝打線的結構如圖 4.17 (a)~(c) 所示，3 種型式分別為 (a) 2 wires x 2 lead (b) 2 wires short to 2 leads (c) 1 lead x 4 wires。經驗證確認 type (c) lead x 4 wires 的打線結構可以獲得 275 v ESD MM 的承受力，這試驗的結果摘錄如表 4.5。

表 4.5 3 種型式封裝打線的 ESD MM 承受力

Package type	(a) 2 Leads x 2 wires	(b) 2 wires short to 2 Leads	(c) 1 lead x 4 wires
ESD MM Test Results (V)	50	100	275

4.3 HTOL test 檢討改良

4.3.1 背景資訊

HTLO test 被安排以 45 個樣品， $V_{in} = 43\text{ V}$ ，負載電流 = 1000 mA 和 115°C 的工作環境溫度進行試驗。測試線路和 device under test card (DUCT) 顯示如圖 4.18 (a),(b) 所示，合格條件為 LTPD 5% / 1000 Hrs 和 MTTF 10 年。每天定時檢視試驗的狀態。當試驗至 144 hrs 時，發現 3 個 DUTCs 被燒燬如圖 4.19 所示，並聞到塑膠的焦味。

4.3.2 故障分析

(a) 檢視樣品的外觀，I sense 漏波電容及 HVIC H9370 被燒燬如圖 4.19 (a),(b) 所示。

(b) 依燒燬的路徑元件，推定是 I sense 漏波電容燒燬後失去吸收瞬大電流功能，導致 I sense 無法正確的回饋電流的變化。因此 H9370 不會正常的開關，最後因無法承受大電流造成的熱力而燒燬。

(c) 為了澄清燒燬的次序與成因，一組依試驗溫度 85, 95, 105 和 115°C 附加濾波電容和 Vin 43v 的實驗被執行，它的結果如表 4.6 所示。DUTCs 依舊仍在 95°C / 616 Hrs, 105°C / 368 Hrs 和 115°C / 144 Hrs 被燒燬。只有 85°C / 1480 Hrs 這組才能清楚看到試驗的結果，它沒有電容燒燬的情形，可以明確看見 IC 的失效。

表 4.6 試驗溫度 85, 95, 105 和 115°C 的實驗結果

Operating Temp. °C	85	95	105	115
Stress Voltage (V)	43	43	43	43
Burn Out Time (hrs)	1480	616	368	144
Failure Status	1 IC burned	2 DUTCs Burned	2 DUTCs Burned	3 DUTCs Burned
Filter Capacitor In Oven, or Out of	IN	IN	IN	IN

4.3.3 再次的試驗驗證

85°C / 43v / 1480 Hrs 的組合，它的加速因子對 85°C / 43V 的產品而言只有 1V，所以提昇電壓應力至 46v，且隔離濾波電容的試驗被規劃執行。

新 HTOL 測試的結果被摘錄如表 4.7 所示，依照 G(1),G(2) 的資料分析，在 85°C/95°C 時是失效於 HVIC H9370，而在 105°C 和 115 °C 時則是失效於 PCB 的過載。依 G(3),G(4) 的資料分析，當溫度在 95 °C 以上因受濾波電容的影響，都發生 DUTC 電容燒燬的狀況，而 G(3) 因為 Vin 較高，所以發生故障的時間都較 G(4) 早些。

依照趨勢圖 4.20 所示，CAP-OUT-46V-85°C 和 GAP-IN-46-85°C 這兩組是比較好的實驗組，因為它們可以排除被動元件的不確定因素 [32,33].

表 4.7 新 HTOL 測試的結果摘錄

Operating Temp. °C	85	95	105	115	Remark
G(1)Burn Out Time (hrs)	1440	1068	828	448	Vin =46V, Filter Cap. out of Oven
G(2)Burn Out Time (hrs)	1500	1110	844	500	Vin =43.0V, Filter Cap. out of Oven
Failure Status	IC burned	IC burned	DUCTs Burned	DUCTs Burned	DUCTs Burned: means not only IC burnt
G(3)Burn Out Time (hrs)	1368	512	388	128	Vin =46.0V, Filter Cap. in Oven
G(4)Burn Out Time (hrs)	1480	616	368	144	Vin =43.0V, Filter Cap. in Oven
Failure Status	IC burned	DUCTs Burned	DUCTs Burned	DUCTs Burned	DUCTs Burned: means not only IC burnt

4.4 分析 SLESD 驗證失效和改善

4.4.1 背景資訊

依據 SLESD 試驗結論，三組樣品第一到第四測試點都通過規格 +8KV 的要求，但是第五測試點失效於 +4KV 的測試，這個第五測試點在 LED 的散熱墊板上，試驗的電路和測試點如圖 4.21.

4.4.2 故障分析

(a) SLESD 試驗過程中，當 LED 散熱墊板被+4kv 的 ESD 衝擊時，LED 的亮度逐次變暗，監控的電流也變小了，同時也聞到 IC 燒焦的氣味，用手觸 IC 發現它已發燙，為了保持可以分析的狀況，此 SLESD 衝擊立即被停止，有關監控的情況可參考圖 4.22, 監控電流也被整理如表 4.8 .

表 4.8 SLESD 試驗過程中的監控電流

Sample No.	I-LED (ma) before Zapped	I-LED (ma) After + 4KV Zapped	I-LED (ma) After - 4KV Zapped	Failed Status
1	685	586	550	IC was hot; LED lost lighting
2	678	615	428	IC was hot, LED getting dark
3	679	350	150	IC was cracked, LED got dark

- (b) 取 2 顆失效 IC 與 1 顆良品進行直流電流分析，它們的電流-電壓(I-v)圖如圖 4.23 所示，圖上可清楚的看到失效的 IC 在 $V=2.7V$ 時就出現明確的漏電流，而對照用的 IC 則沒有。這種情況很像 ESD 損害了 IC 的保護電路。
- (c) 為了找到故障點，去除封膠後在 200 倍顯微鏡下發現了燒壞的痕跡，這個位置是在 HVNMOS Drain to Source 如圖 4.24 所示。受損軌跡的剖面示意圖如圖 4.25 所示。
- (d) 為了確認此 HVNMOS 的 ESD 承受力，TLP test (transient line pulse) 也被執行了，它的結果如圖 4.26 顯示 HVNMOS 可以承受 $2.11A \times 70V$ 的能量在 100ns 時間內，這個能力相當於 3165V /ESD HBM。且符合工業界規範 EIA/JESD22 - A114-A. class 2 $\geq 2000v$ 的要求。
- (e) 既然晶粒本身符合 IC 的使用規範，所以我們試圖以 board level 的防制方法去解決這個失效問題。採用限流線 (ferrite core)，消散電容 (decouple capacitor) 和抑壓端子 (transient voltage suppressor) 都分別安置在 I sense Pin。如圖 4.27 所示。這個安排方式與試驗結果被摘錄如表 4.9。Group 0 沒有加任何 ESD 外部保護元件，HVIC H9370 的承受力只有 1kv，加上消散電容的效果最佳可達 4kv。但是同時加上 3 個保護元件也不會提昇它的靜電承受力。

根據以上的分析，消散電容有最佳的靜電抑止能力，所以改變電容值進行驗證，它的結果分別 0.22uf/4kv, 0.47uf/2kv, 1.0uf/1kv 和 0.047uf/ 2kv，所以這個變更是失效的。為什麼會有這個現象呢？依照 littelfuse 2009 年的論文 “selecting an appropriate ESD device issue” 的論述。當電容值由 0.1 μ f 提昇至 1 μ f 時，動態電阻 (dynamic resistance) 將由 1 提昇至 3 Ω 。當衝擊電壓 4kV 時，HVIC 感受的電壓將由原有的 15V 提昇至 60V ($60v=15v+15 \times 3 \Omega$)，所以加了過大的電容反而造成 HVIC 的傷害。SLESD 的衝擊電流峰值被摘錄表 4.10 供參考。

表 4.9 採用限流線，消散電容和抑壓端子試驗結果

Sample No.	Ferrite-Bead 45V	Decouple-Capacitor 0.1uF 50V	Transient Voltage Suppressor 45V	Failed Status
0				IC was hot with bad smell, LED lost lighting at +1KV
1	Yes			IC was hot with bad smell, LED lost lighting at +2KV
2		Yes		IC was hot with bad smell, LED lost lighting at +4KV
3			Yes	IC was hot with bad smell, LED lost lighting at +2KV
4	Yes	Yes	Yes	IC was hot with bad smell, LED lost lighting at +4KV

表 4.10 SLESD 的衝擊電流峰值

IEC Level	Voltage (kV)	Peak Current $\pm 10\%$ (A)	Current @ 30ns (A)	Current @ 60ns (A)
1	2	7.5	4	2
2	4	15	8	4
3	6	22.5	12	6
4	8	30	16	8

(f) 比較 point 4 與 point 5 的測試結果，point 4 可以承受 ESD8kV (30A peak current)，為什麼同一路徑的 point 5 確無法通過 4kV (15A) 的脈沖，後來發現它是失效於重複衝擊數次後才造成 HVIC 失效，(註: SLESD 是連續衝擊 10 次，每次間隔為 1 秒)。這種失效模式符合“small pad zapping model”的現象，當連續靜電放電累積在 LED 的散熱墊板上，消散於空氣的速度不足，直到它無法負荷就將這累積的能量一次衝放到 LED 的陽極上 (point 4)。它成形的電流峰值將超過 60A 如圖 4.28 所示 [34]，這種巨大的電能衝擊持續約 100 ns。因此造成 HVNMOS Drain to Source 的燒燬。

4.4.3 試驗規劃

如 4.1.3 (a) 所論述，以壓抑，消散衝擊是無法有效控制這巨大的瞬間能量。我們試著思考用隔離的方法，有一個重大的突破就是 LED 陽

極到 LED 散熱墊板的間距是最顯著的因子。因為更換間距不同的 LED 可以改變模組的靜電承受力，於是採用不同間距且配屬不同消散電容的試驗組合被規劃如表 4.11。共有 5 個組別。這個間距的示意圖如圖 4.29 所示，這個瞬電壓，電流被量測如圖 4.30 所示。

表 4.11 不同間距,消散電容的試驗結果

Space between LED Anode soldering point and heat sink.	I sense Pin Filtered Capacitor (uF)				
	0	0.047	0.1	0.47	1
G(1) 2mm	0	0.047	0.1	0.47	1
G(2) 3mm	0	0.047	0.1	0.47	1
G(2) 4mm	0	0.047	0.1	0.47	1
G(2) 5mm	0	0.047	0.1	0.47	1
G(2) 6mm	0	0.047	0.1	0.47	1

4.4.4 工程變更的確認

5 組試驗後，這些數據被劃製如圖 4.31，SLESD 的承受力隨電容值加大而變大，但電容值大於 $0.1 \mu\text{F}$ 以後這種效果就不再了。間距對 SLESD 的承受力更加顯著，當間距 $\geq 6\text{mm}$ 就不受是否有加裝消散電容的影響。當間距 $\geq 4 \text{mm}$ 且配製 $0.1 \mu\text{F}$ 的電容這個組就可符合工業上的基本要求 SLESD 8kV 的靜電承受力。

圖目錄

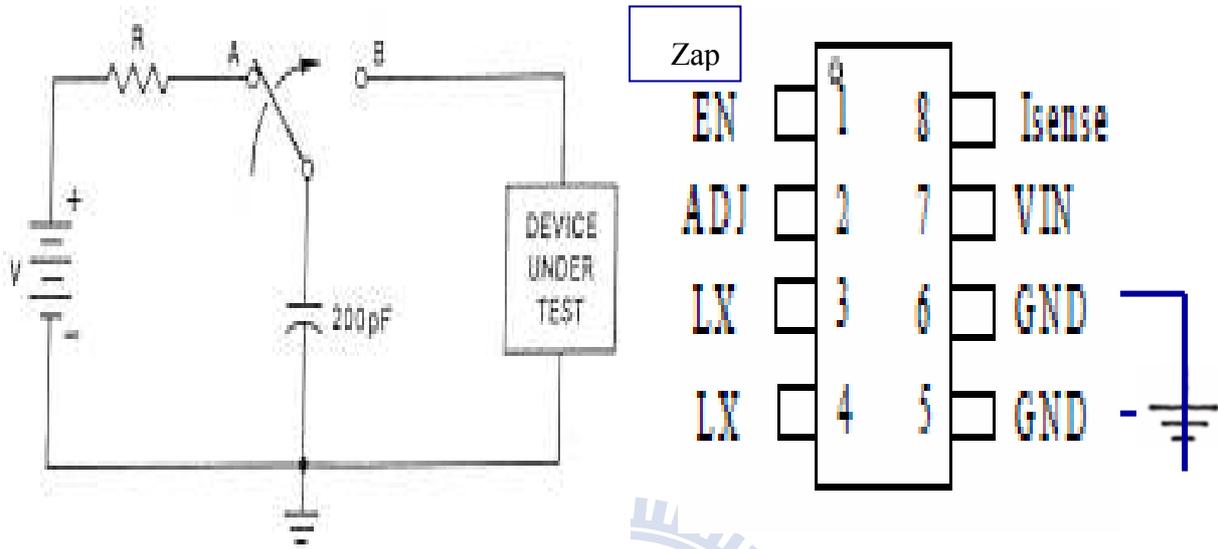


圖 4.1 EN Pin 的靜電衝擊示意圖

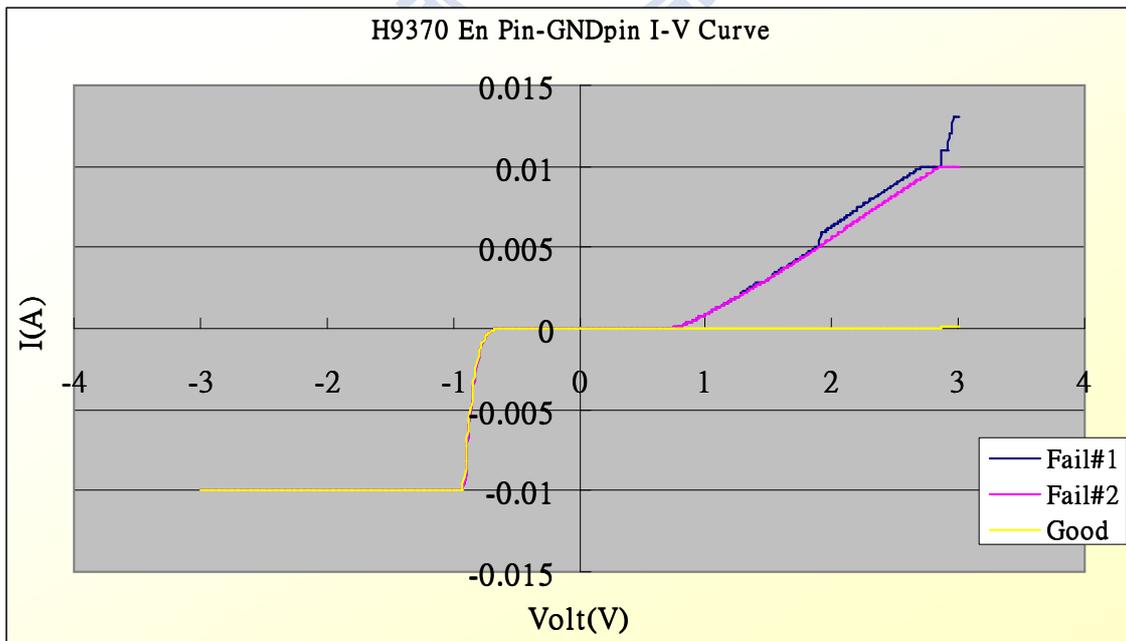


圖 4.2 良好的 IC，隨同失效的樣品一起進行 I-V 曲線分析結果

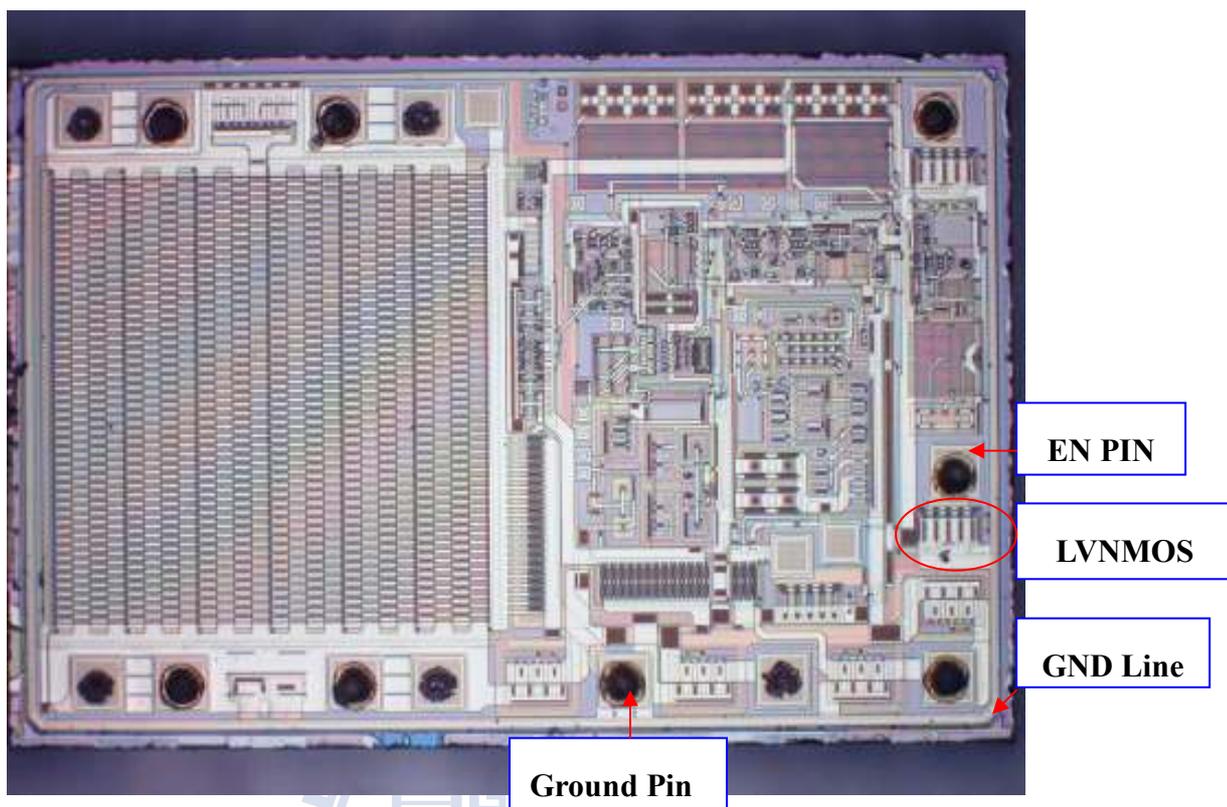


圖 4.3 不良 IC 被進行拆蓋 (de-capsulated) 後。

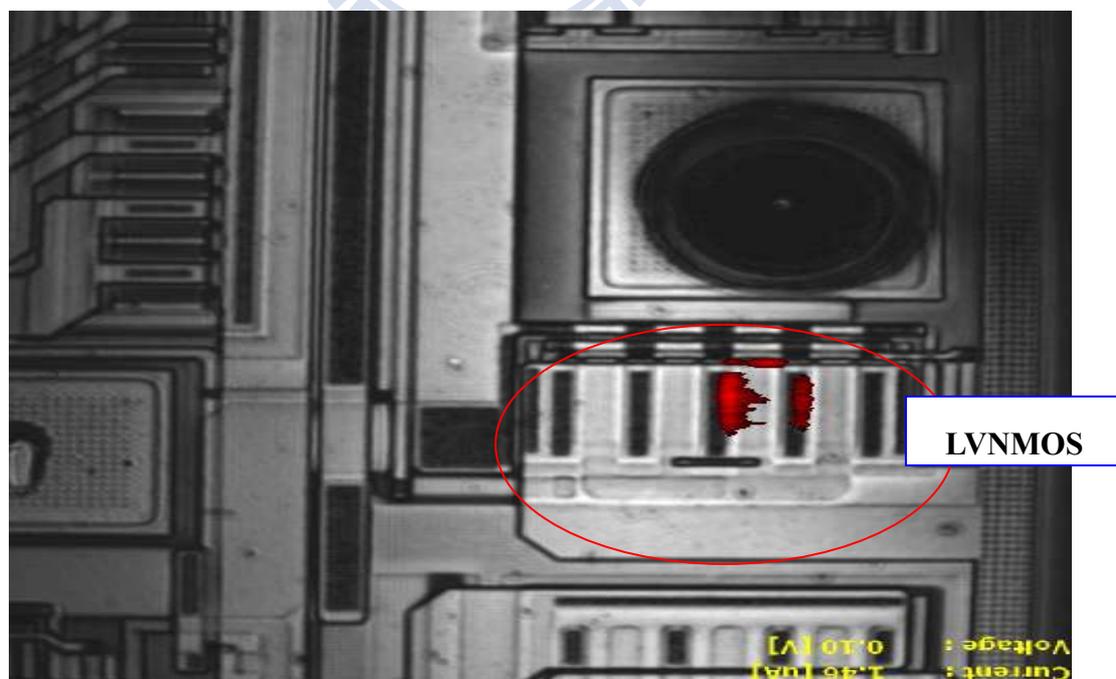


圖 4.4 在 LV NMOS ESD protector 0.1V 發現故障點

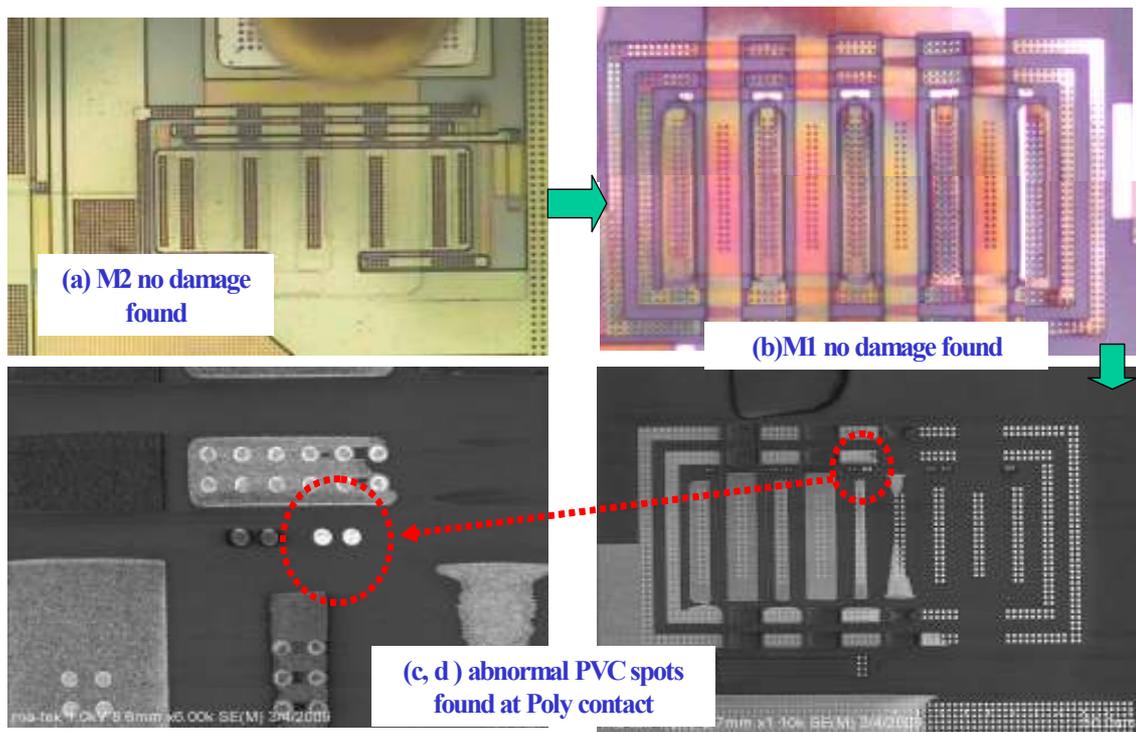


圖4.5 (a)~(d) 失效的晶片被進行逐層去除和 PVC (passive voltage contract) 的分析，發現在 poly~contact 有異常現象如圖 4.5(c)(d)所示

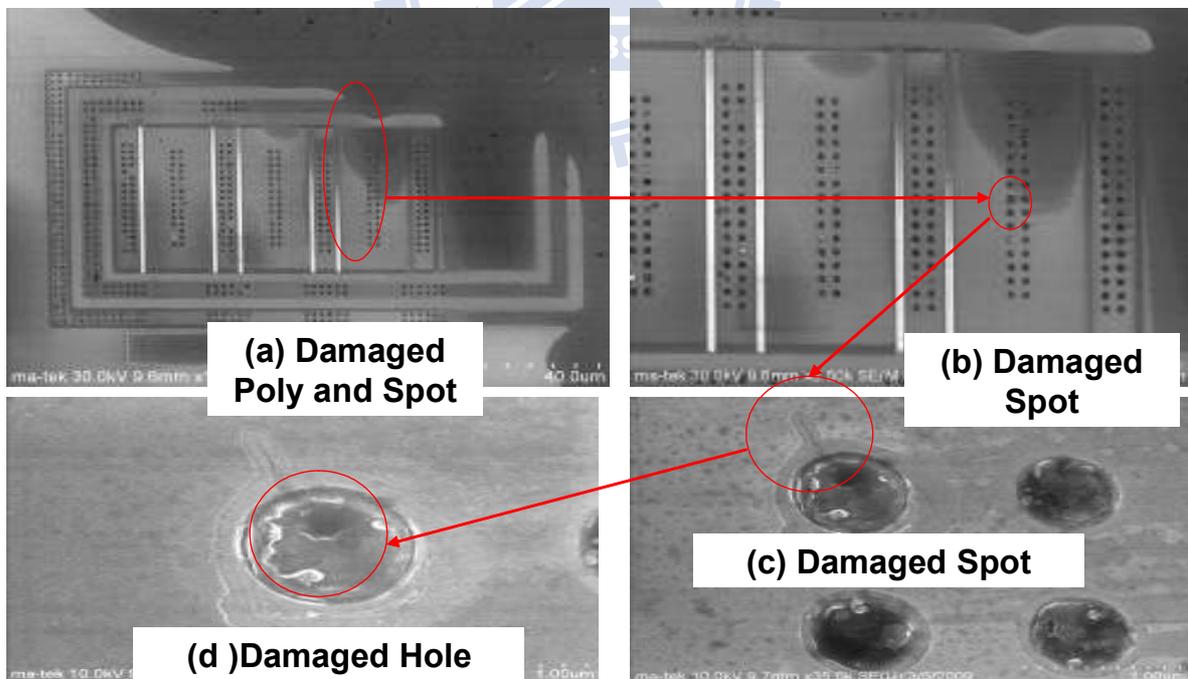


圖 4.6 SEM 的檢視中發現受損的裂痕和破洞如圖所示

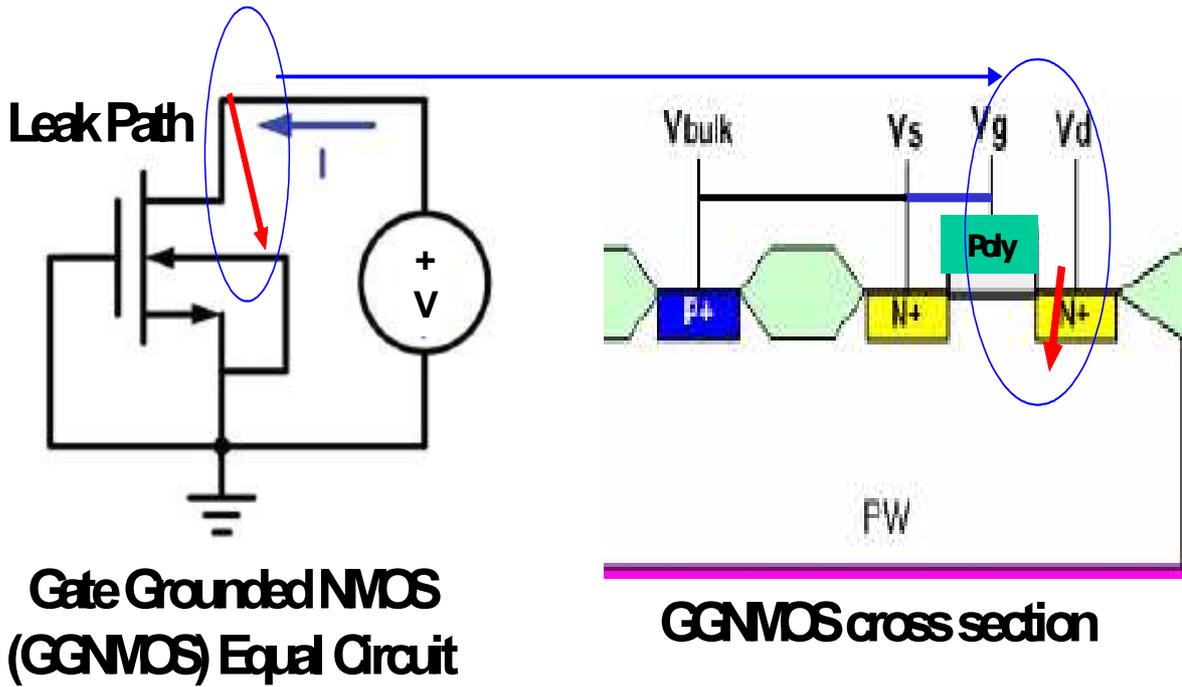


圖 4.7 所示的 LVNMOS 剖面圖，等效電路圖。

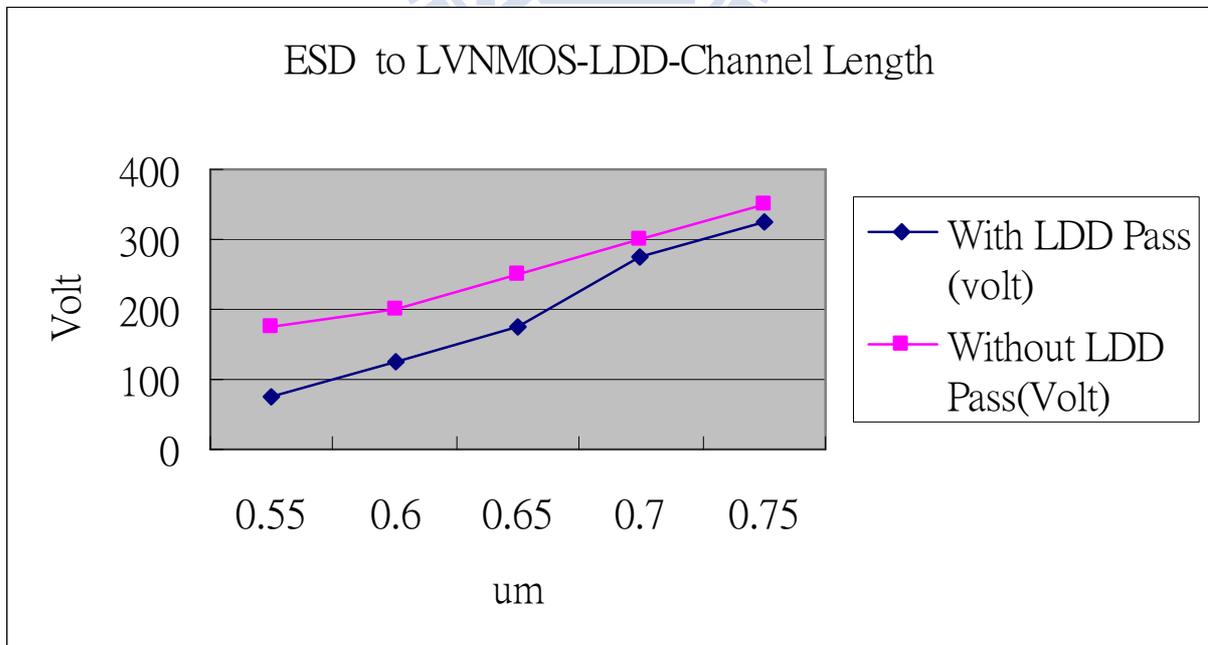


圖 4.8 ESD MM 衝擊，這些測試數據被摘要如圖所示

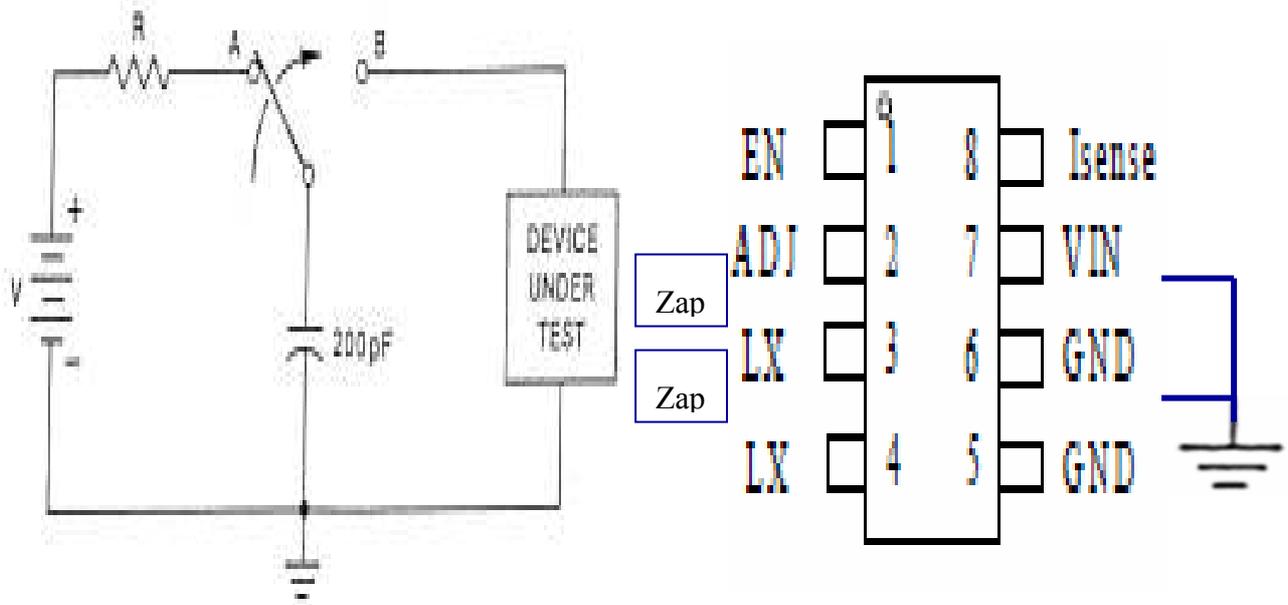


圖 4.9 LX Pin 到地的靜電衝擊連結方式

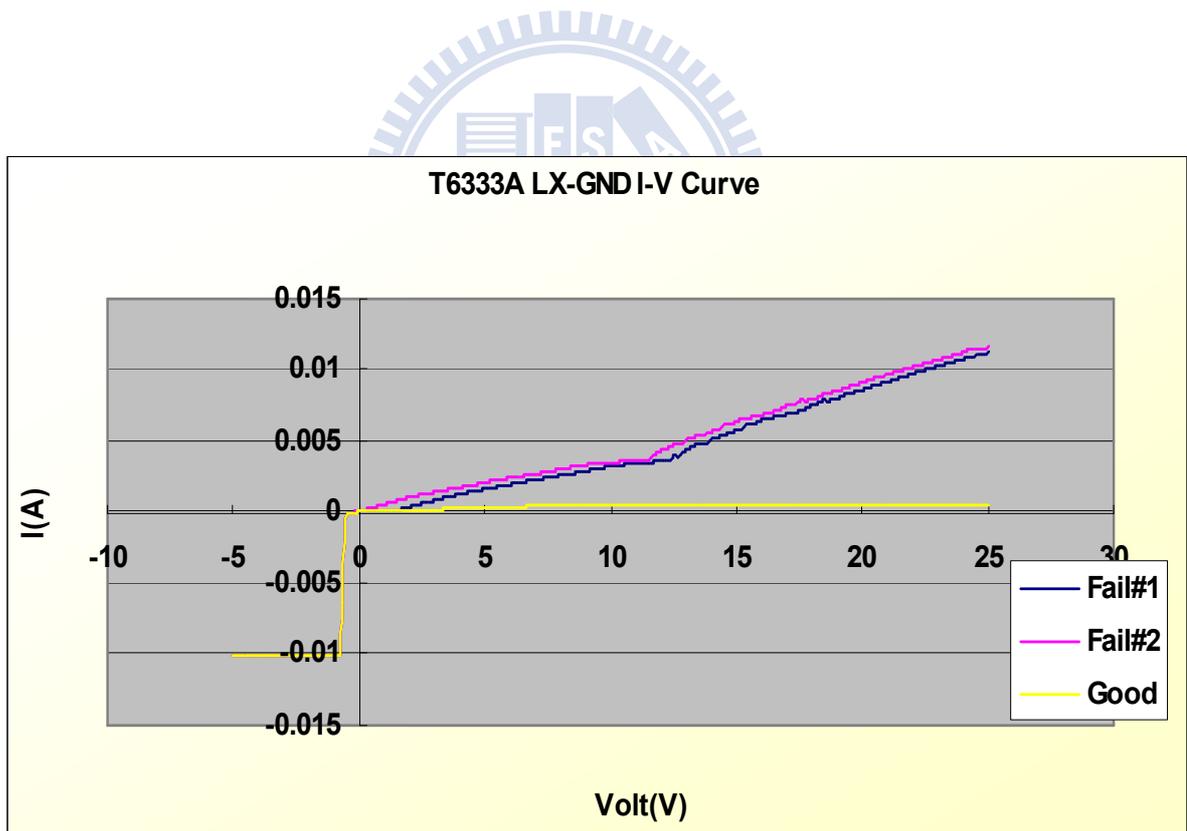


圖 4.10 一個良好的 IC，隨同兩個失效的樣品進行 I-V 曲線分析結果。

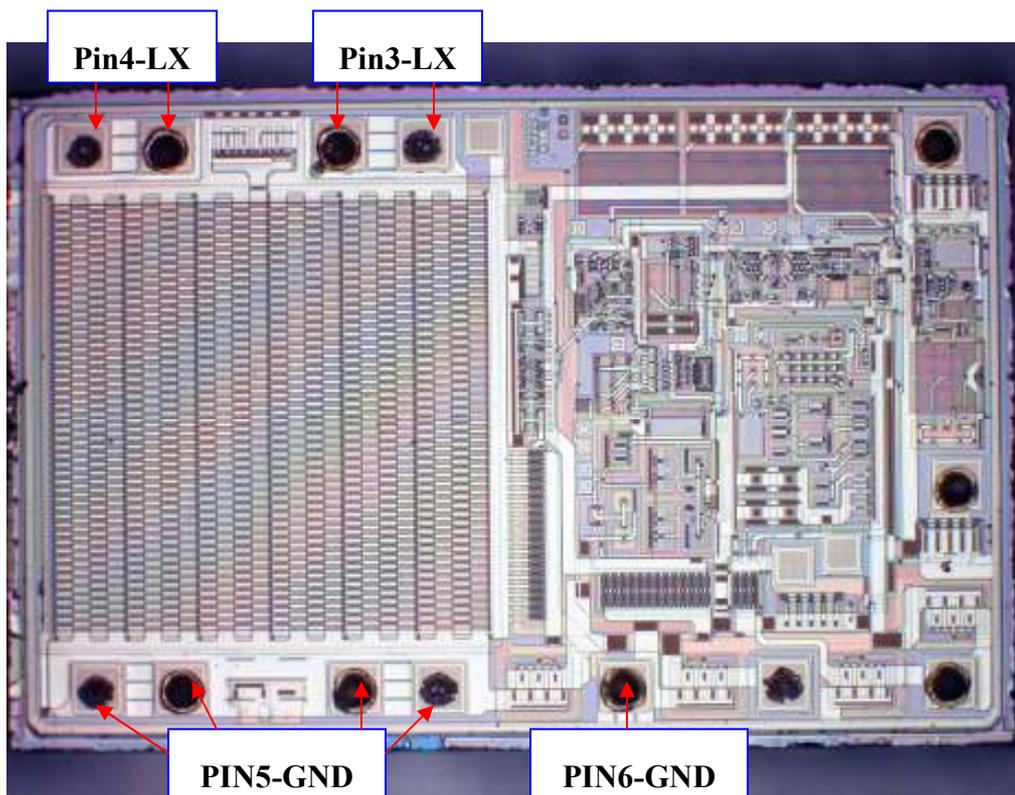


圖 4.11 不良 IC 被進行拆蓋(de-capsulated)後沒有受損痕跡被找到

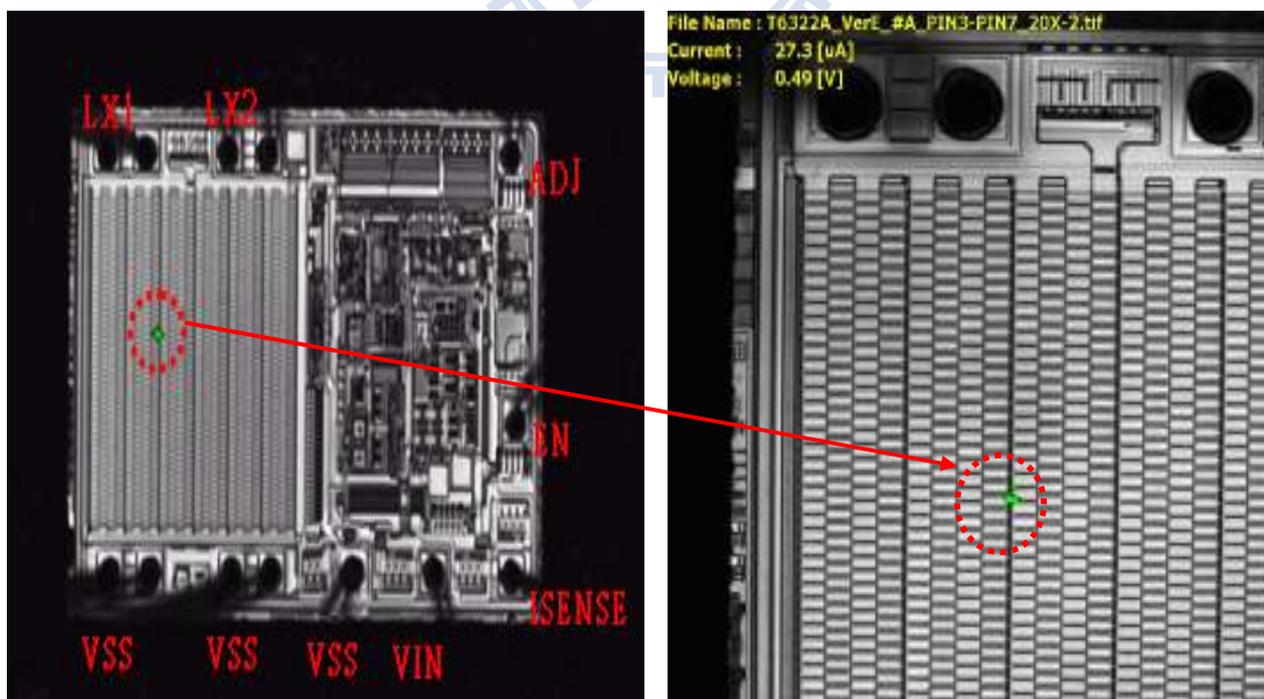


圖 4.12 受熱而改變的故障點。在 LDNMOS 如圖所示。

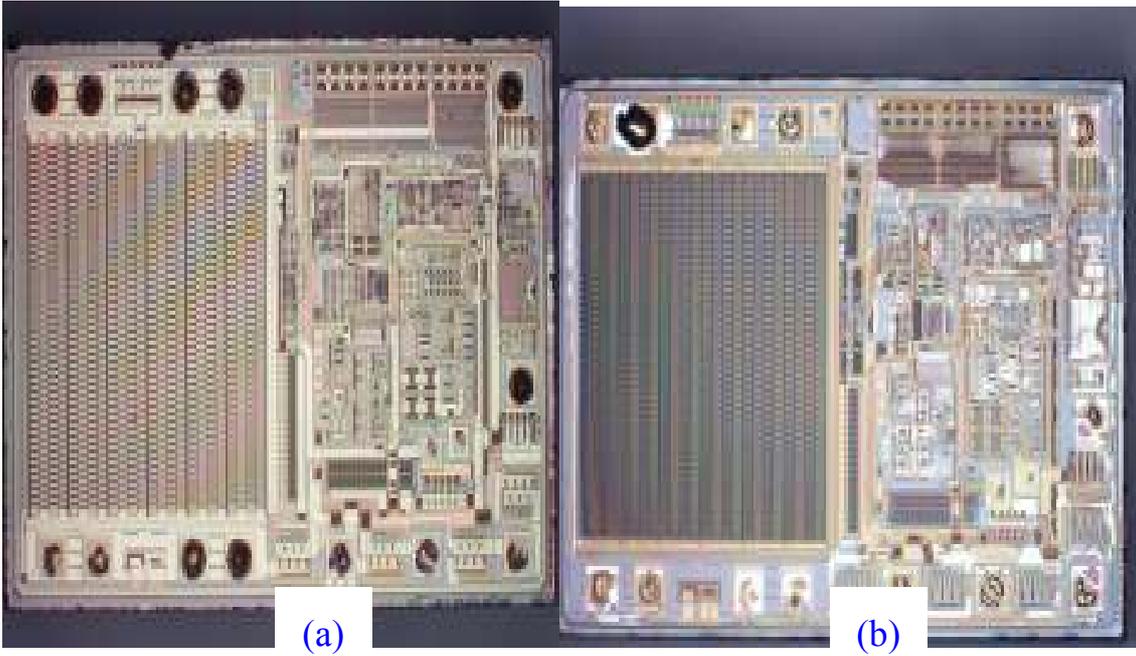


圖4.13 在metal 1和metal 2 等層次都沒有發現受損的結構如圖(a)和(b)所示

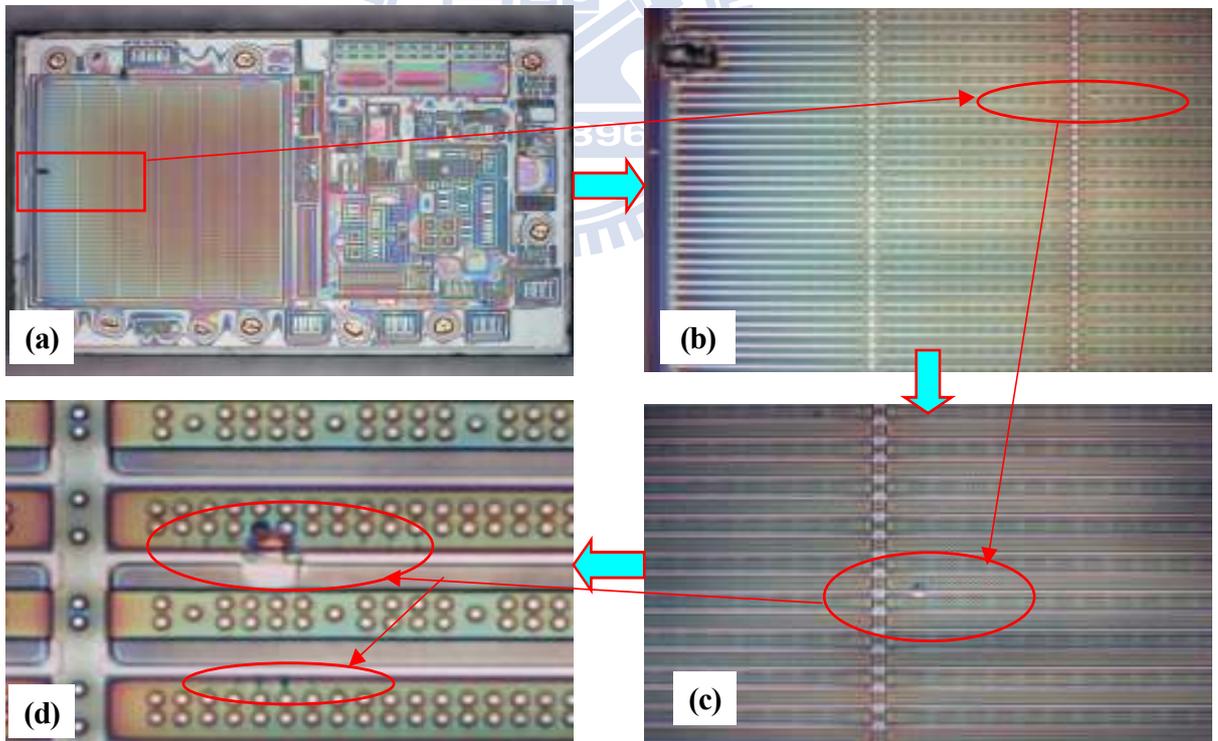
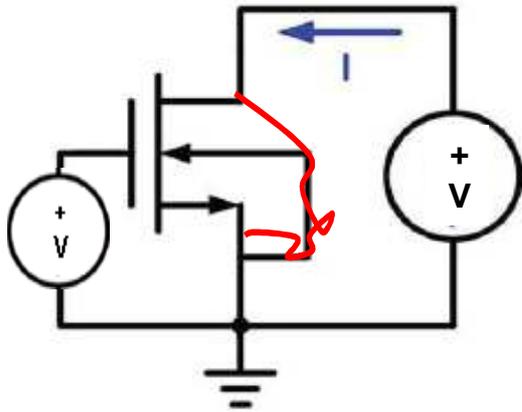
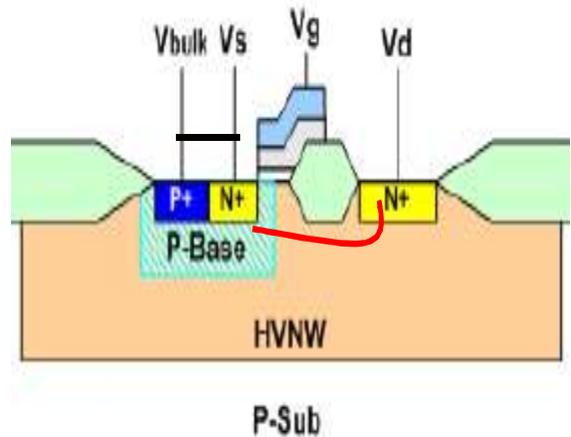


圖 4.14 在 SEM 的檢視中發現受損的裂痕和破洞如圖(a)~(d)所示



**Damaged spot in LDMOS
Equal Circuit**



**Damaged spot at
LDMOS cross section**

圖 4.15 LVNMOS 剖面圖，等效電路圖 HVLD MOS 被 ESD 擊穿

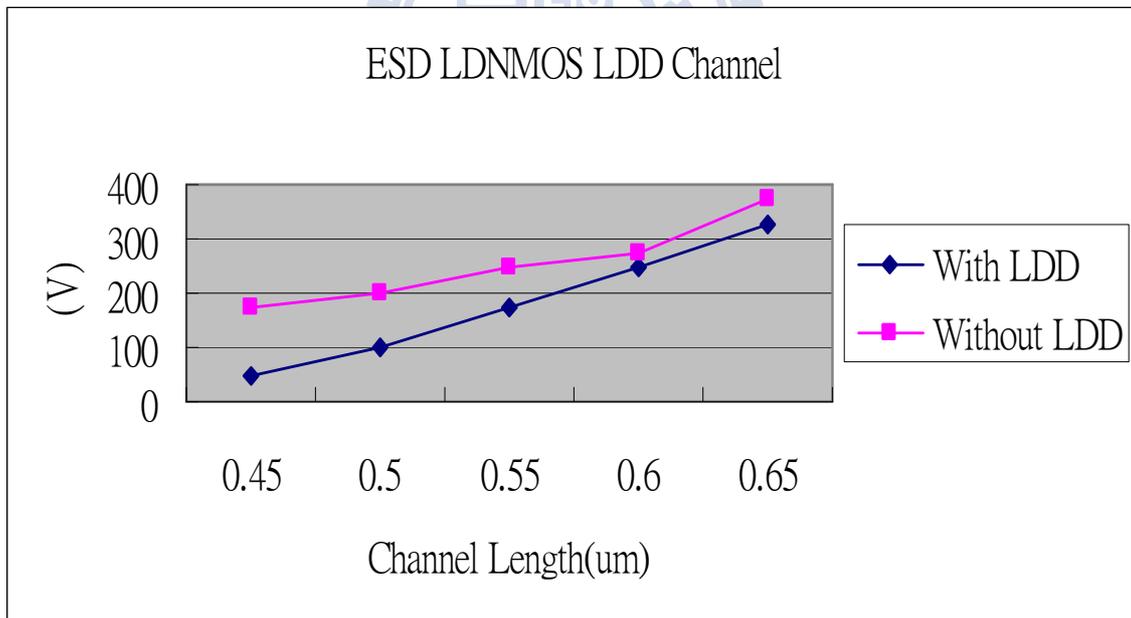
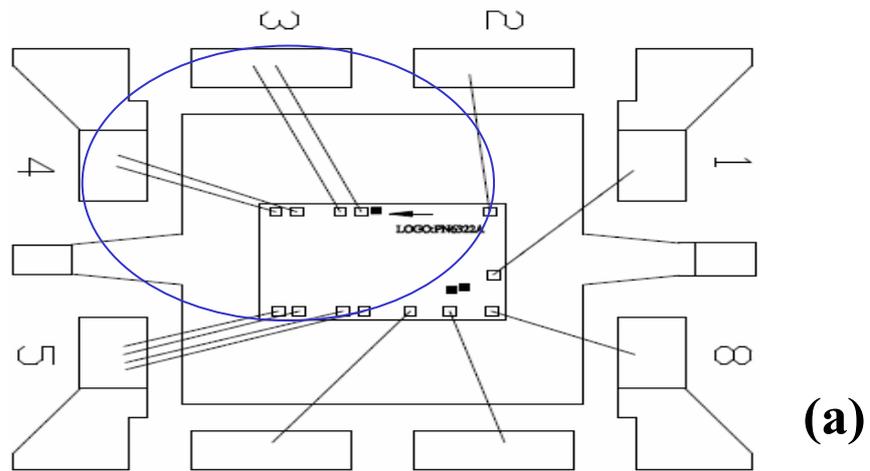
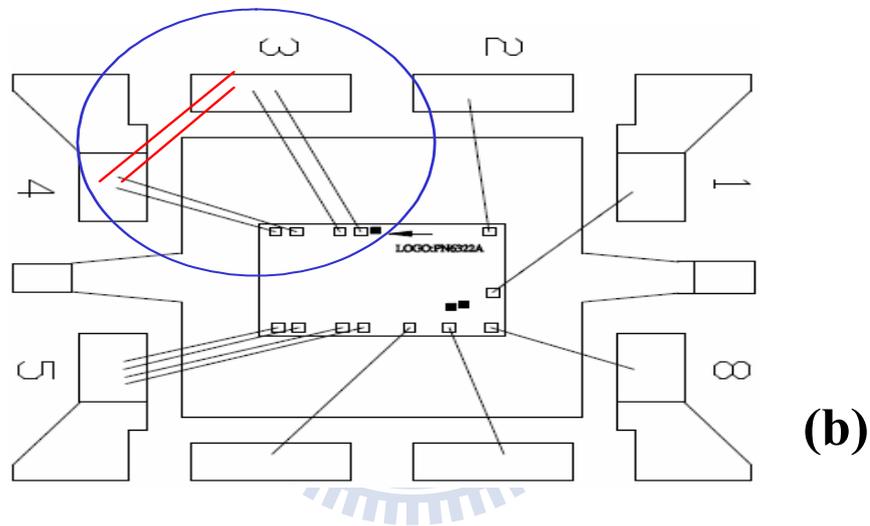


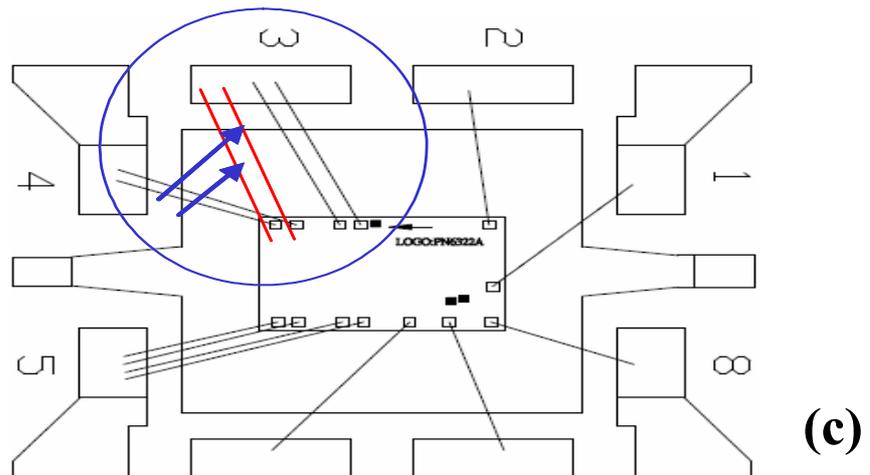
圖 4.16 實驗驗證的結果，當增長 CL 至 0.65 μm / 無 LDD 時 ESD MM 的承受力提昇至 325v.



(a)

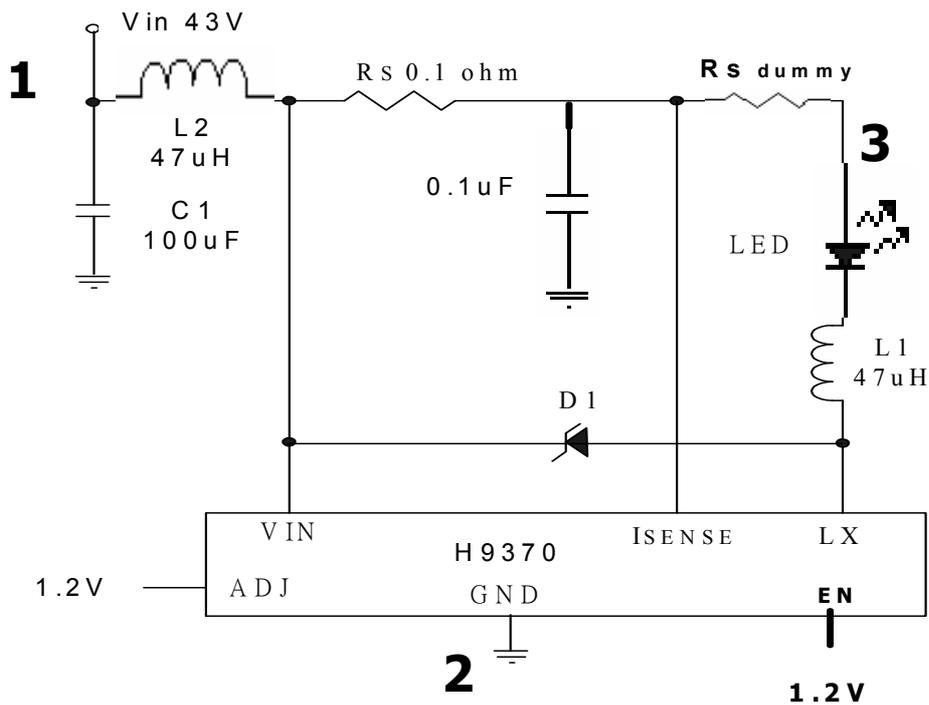


(b)

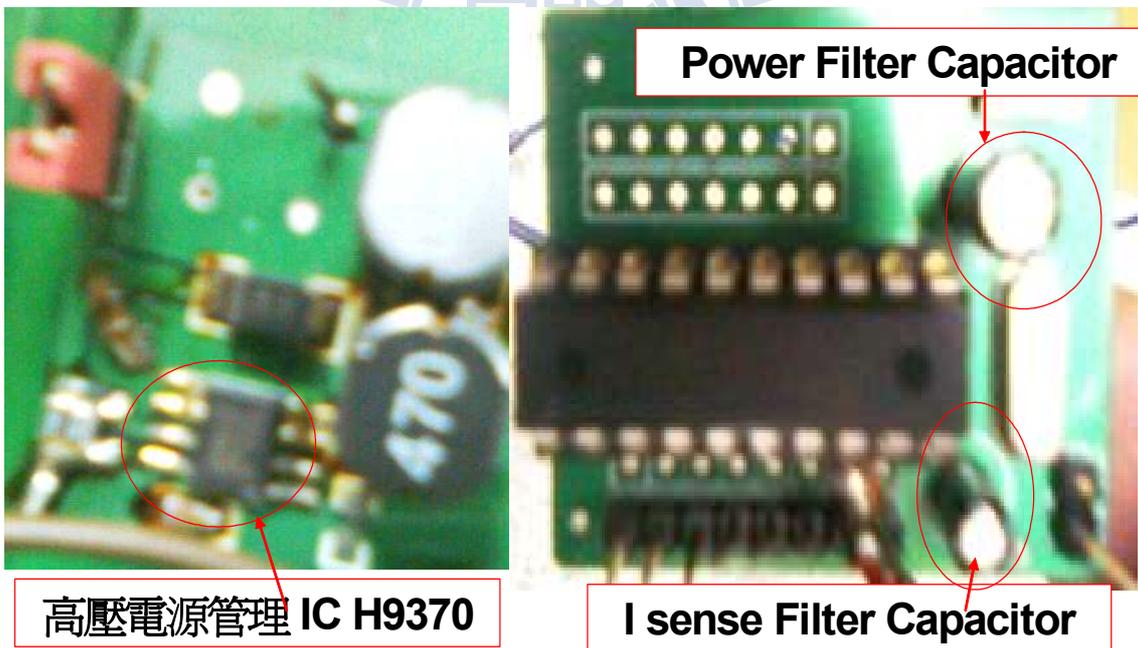


(c)

如圖 4.17 (a)~(c) 所示 , 3 種封裝打線的結構型式分別為 (a) 2 wires x 2 lead (b) 2 wires short to 2 leads (c) 1 lead x 4 wires .



(a)



(b)

圖 4.18 測試線路和 device under test card (DUCT) 顯示如圖(a),(b)所示

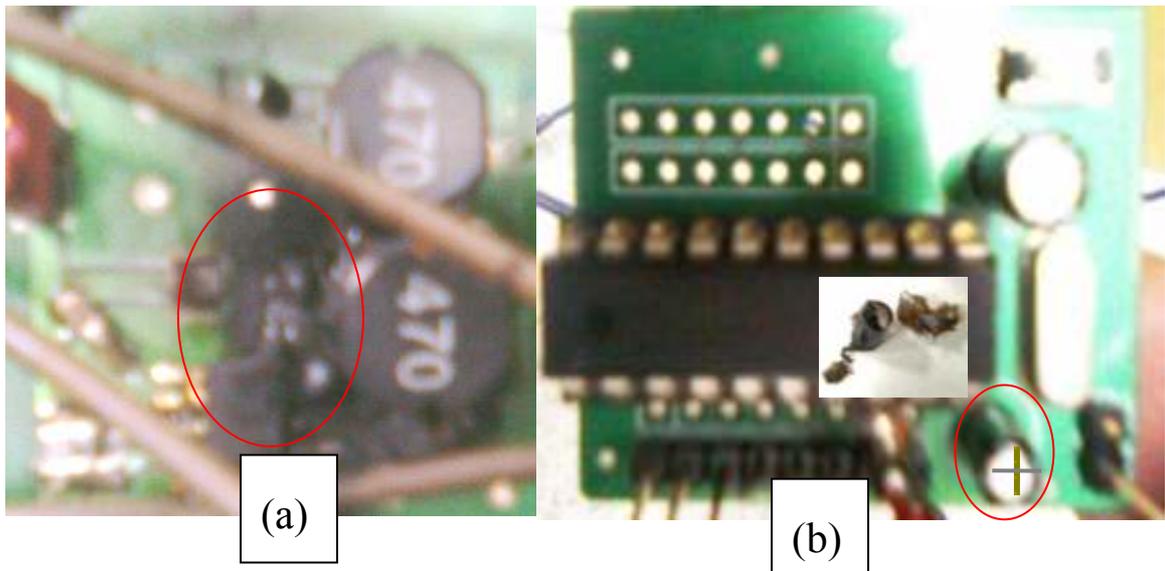


圖 4.19 DUTCs 被燒燬如圖所示，並聞到塑膠的焦味。

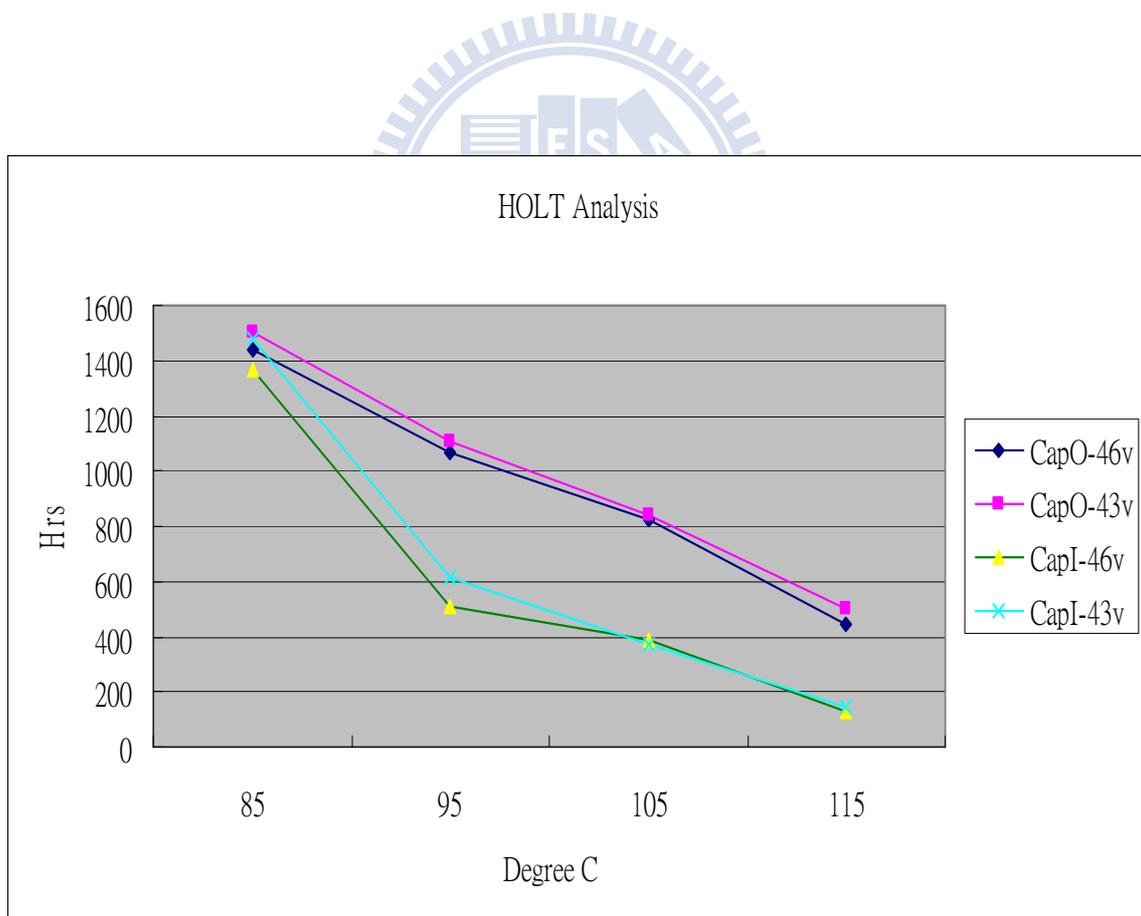


圖 4.20 趨勢所示，CAP-OUT-46V-85°C和 GAP-IN-46-85°C這兩組是比較好的實驗組，因為它們可以排除被動元件的不確定因素

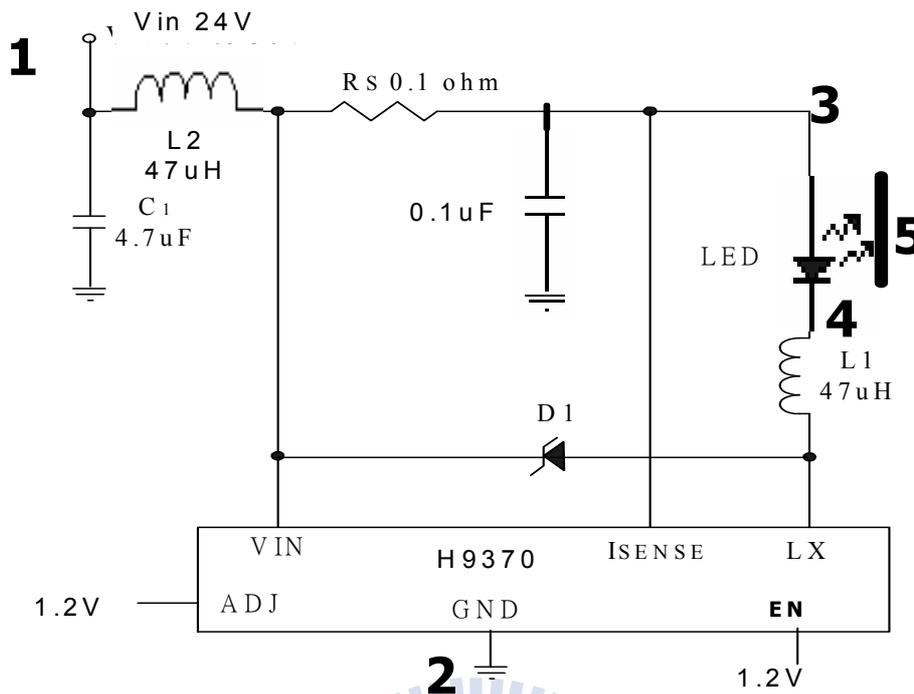


圖 4.21 SLESD 試驗的電路和測試點 1,2,3,4 &5.

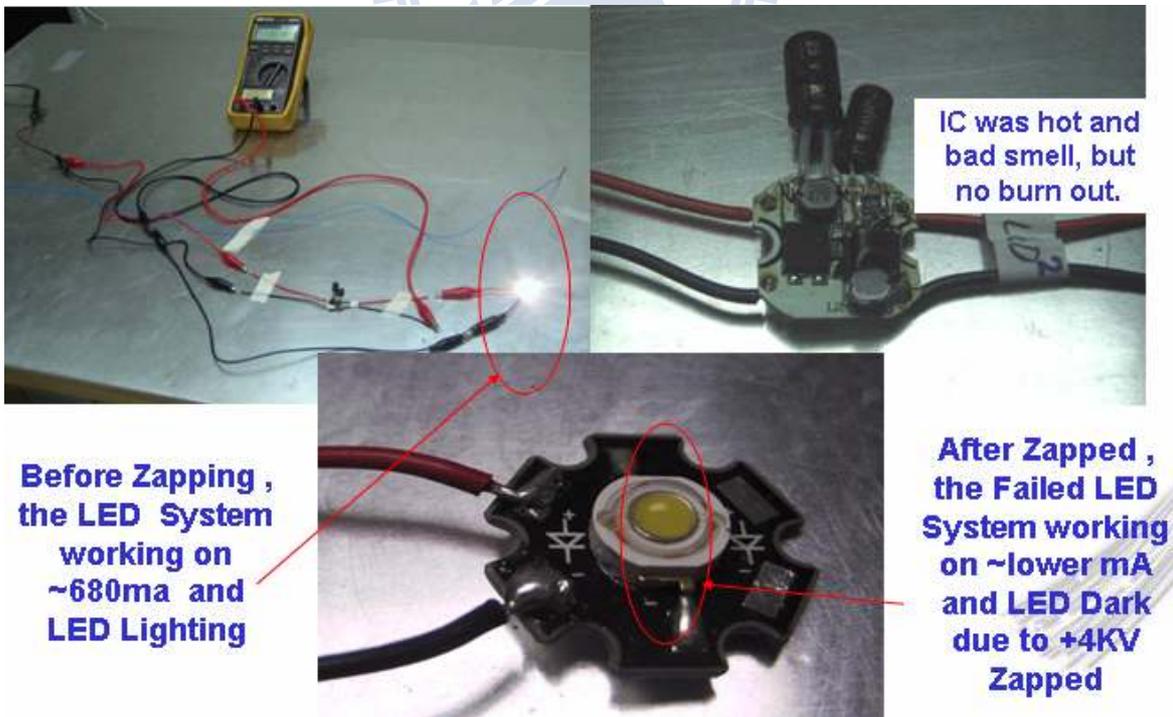


圖 4.22 有關 SLESD 衝擊監控, LED 的亮度逐次變暗立即被停止衝擊

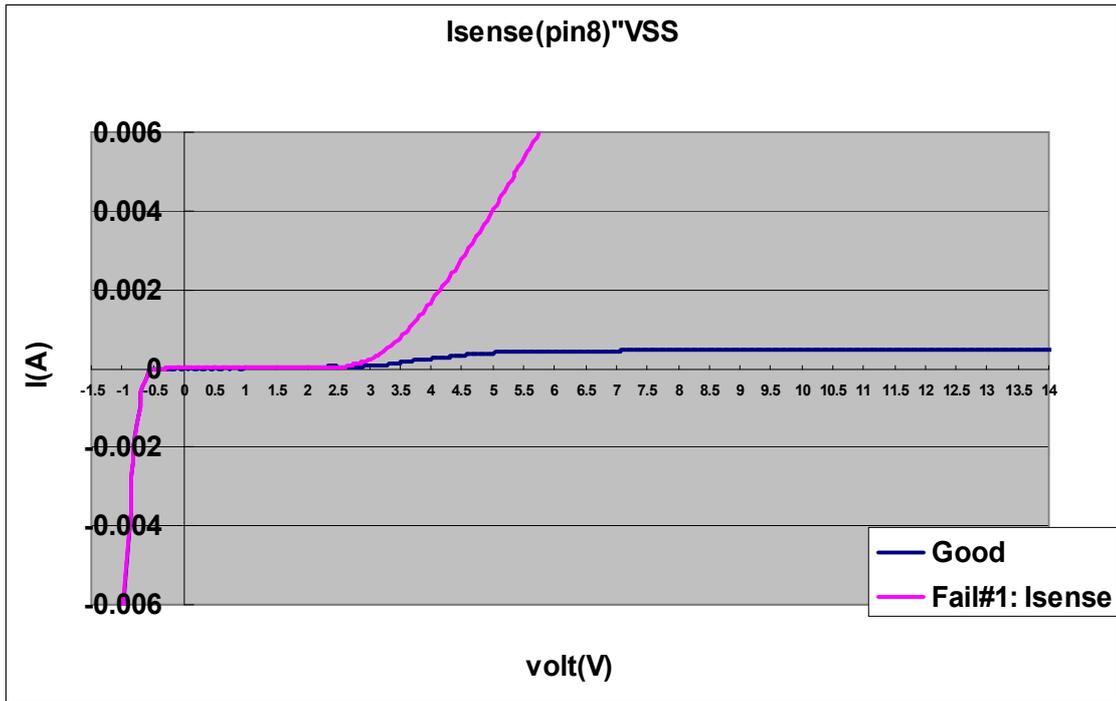


圖 4.23 失效 IC 與 良品進行直流電流分析它們的電流電壓(I-v)圖

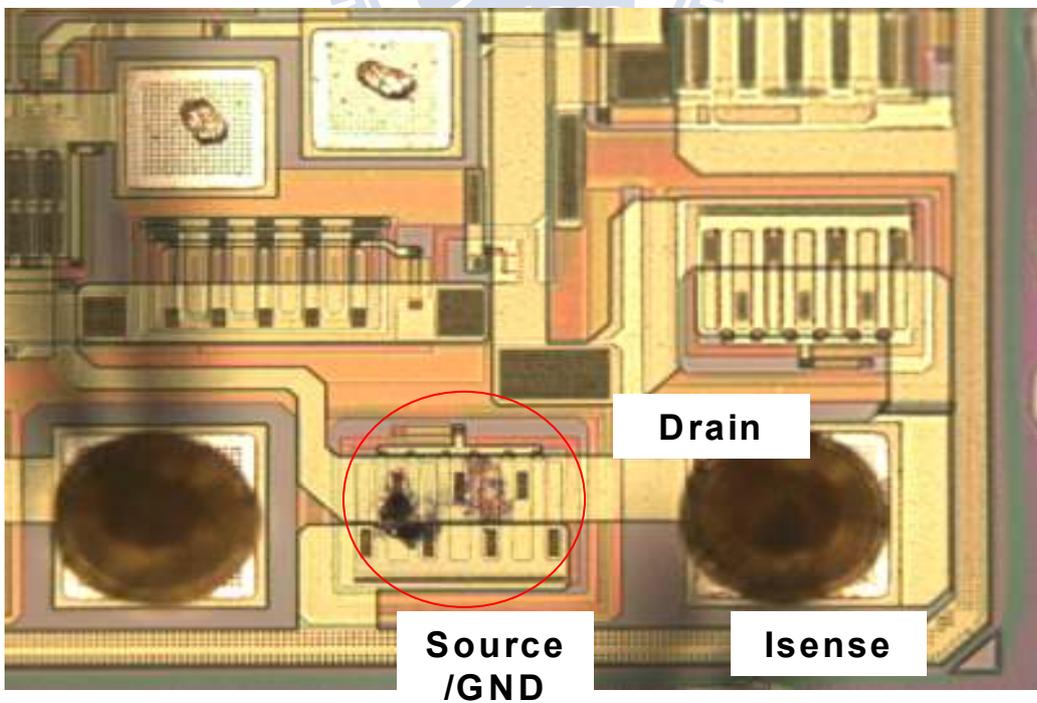


圖 4.24 發現了燒壞的痕跡，這個位置是在 HVNMOS Drain to Source

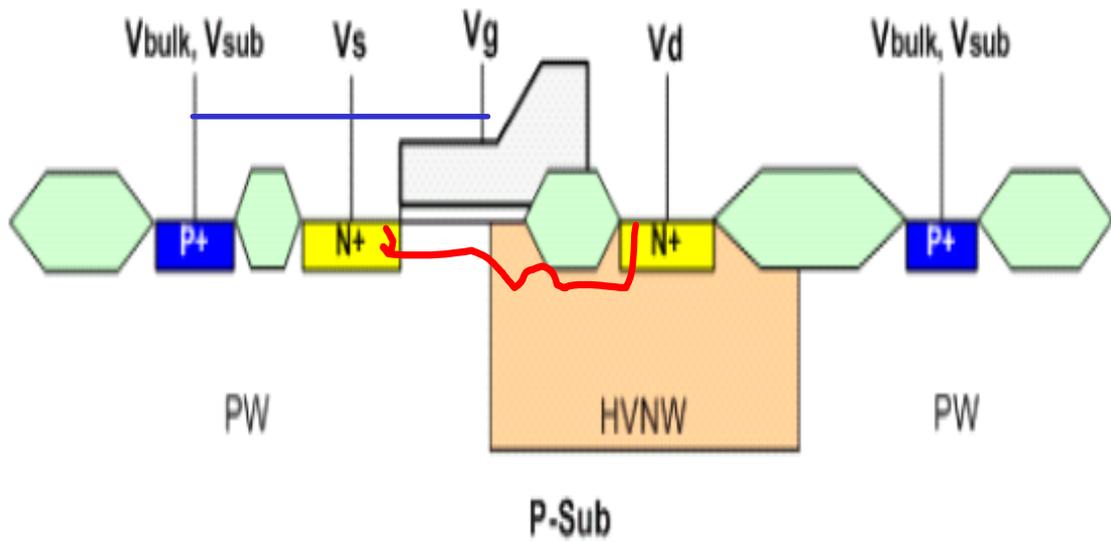


圖 4.25 損軌跡的剖面示意圖

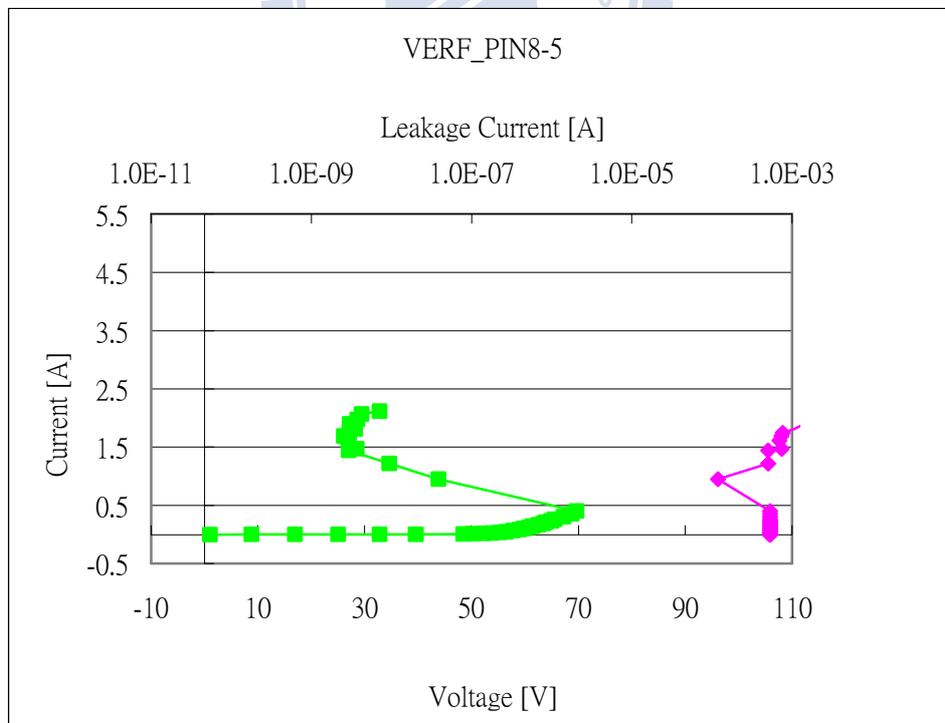


圖 4.26 TLP test (transient line pulse) 執行的結果如顯示 HVNMOS

可以承受 2.11Ax 70V

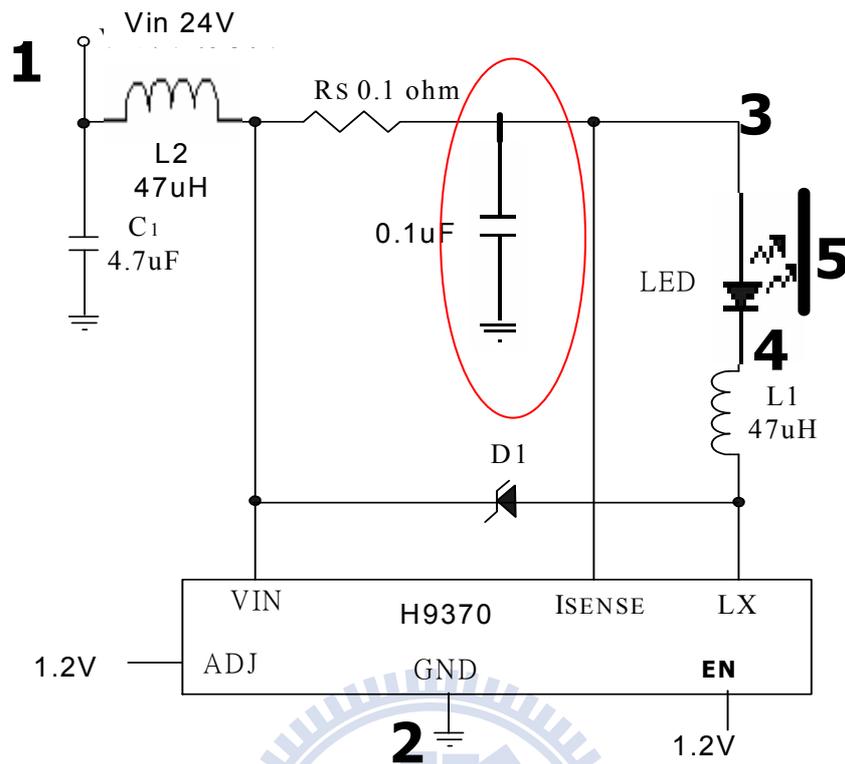


圖 4.27 限流線，消散電容 和抑壓端子都分別安置在 I sense Pin .

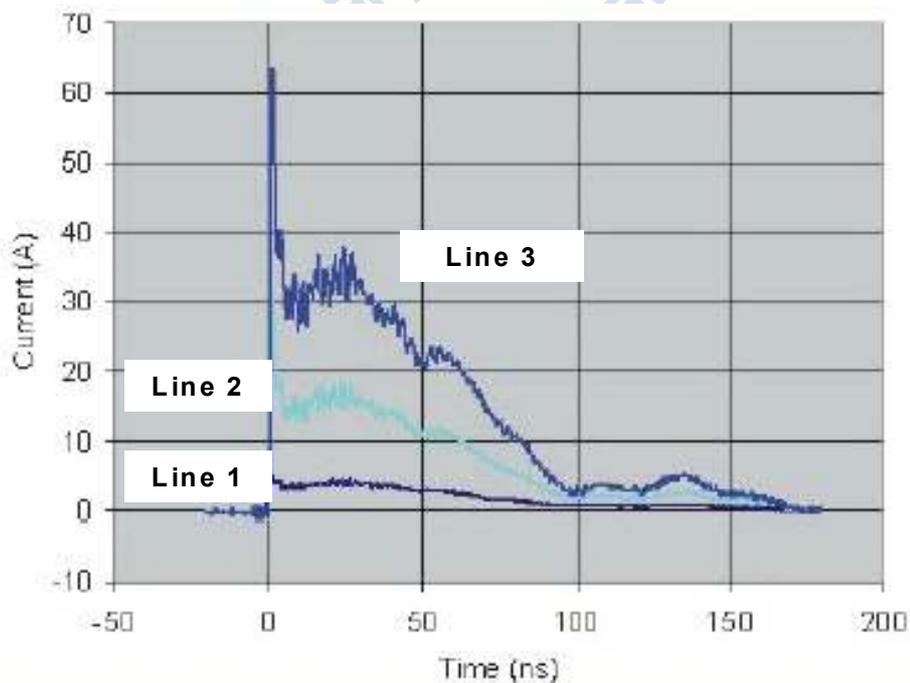


圖 4.28 累積的能量一次衝放，它成形的電流峰值將超過 60A

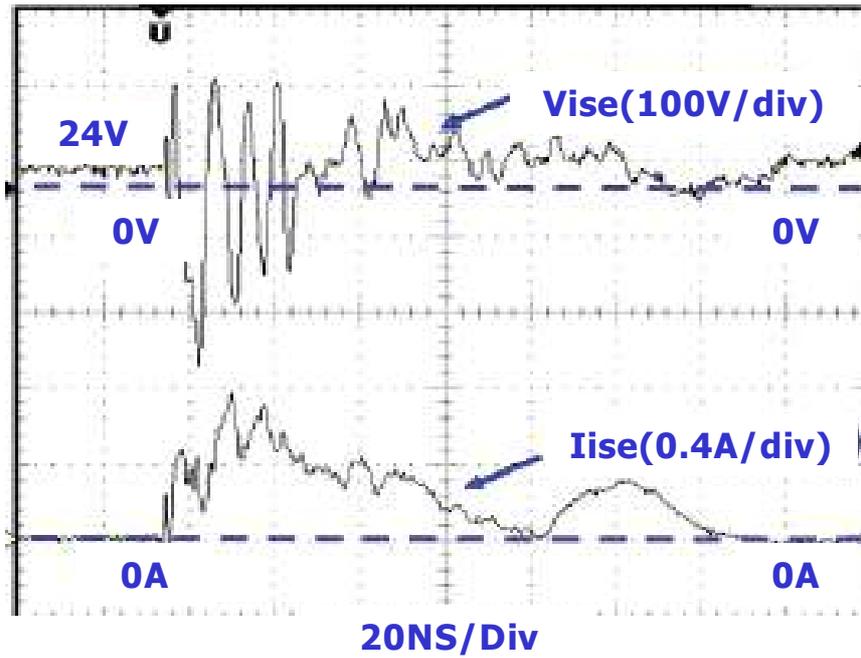


圖 4.29 瞬間電壓，電流被量測如圖所示。

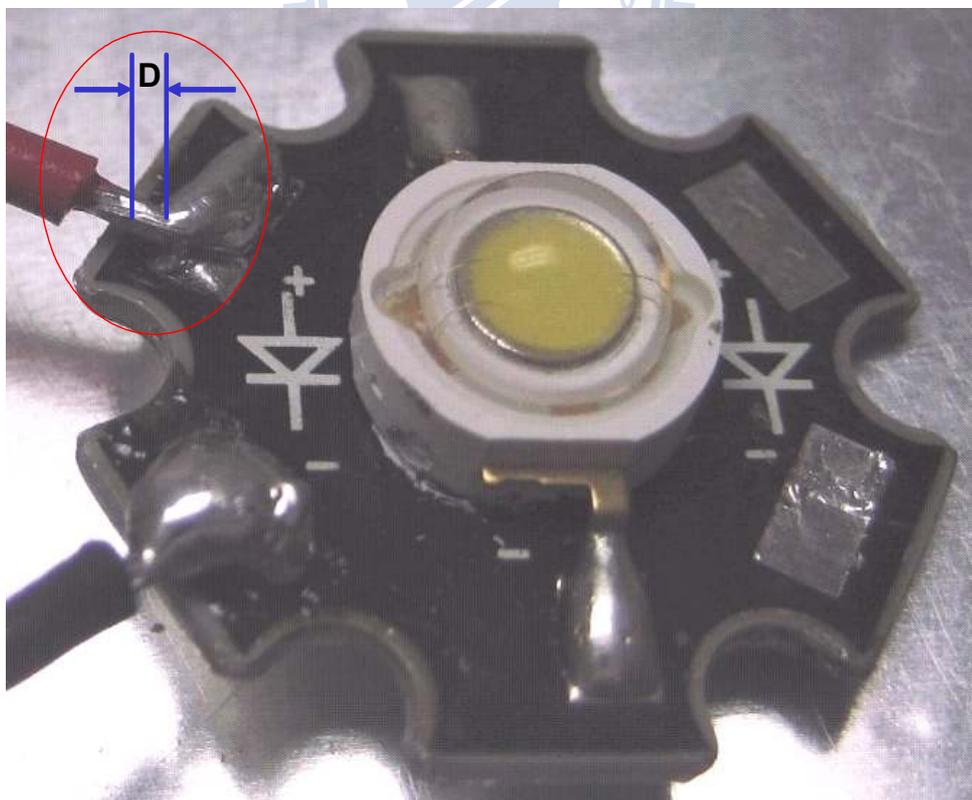


圖 4.30 間距的示意圖 Space of LED heat sink to Soldered point of LED.

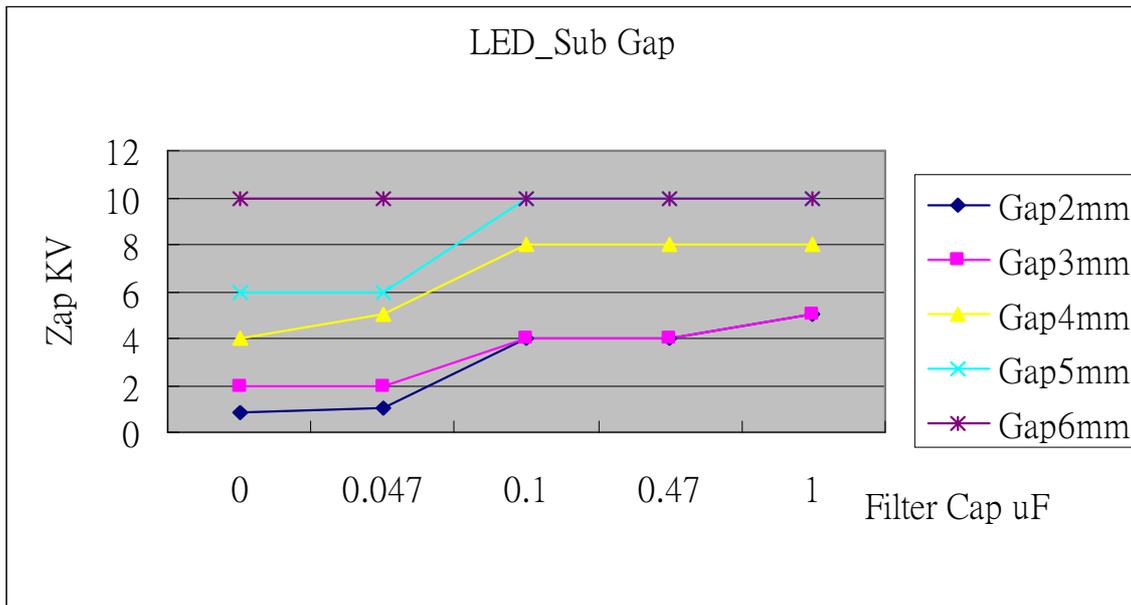


圖 4.31 SLESD 的承受力隨電容值加大而變大，但電容值大於 $0.1 \mu\text{F}$ 以後這種效果就不再了



第五章 驗證最佳化的產品

故障分析和實驗試做，針對驗證失效項目在第四章已被充份的討論，並且找出了方法可有效改善靜電放電承受力及高溫壽命試驗，第五章將對最佳化的產品進行完整可靠度驗證。

5.1 選擇一個最佳化的高壓積體電路

我們選擇了最適切的製程元件及驗證方法被摘錄如下：

LVNMOS 部分：依照章節 4.1 的結果，LVNMOS 沒有高 $R_{d\ on}$ 的顧慮所以選用了 0.7 微米通道不含 LDD 製程的元件。

HVNMOS 部分：依照章節 4.2 的結果，由於考慮 $R_{d\ on}$ 的問題，就只能選用 0.55 微米通道長度元件配上 package type (c) 的包裝可以使 ESD 承受力維持在 275 V 以上。

HTOLT 部分：依照章節 4.3 的結果，G(1)/85°C, G(1)/95°C 和 G(3)/85°C 可以符合 1000 VHTOL test，但是 G(1)/95°C 的崩應時數只有 1068 Hrs 太接近 1000 Hrs 了，為了更貼近客戶的使用我們採用 G(3)/85°C 這一組，因為它允許電容放在 oven 內。

SLESD test 部分：依照章節 4.4 的結果，採用間距 (LED anode soldering point to led heat sink) $\geq 4\text{mm}$ ，附加 0.1 μF 濾波電容的方法，可以有效的阻絕超大的瞬間靜電放電。使 HVIC 可以承受 \geq

8kv 的 SLESD 測試.

其它的測試項目 : ESD/HBM 和 Latch up , 沒有改變任何的生產及測試條件 .

5.2 最終產品可靠度驗證結果

最佳化的高壓積體電路 , 經標準的 ESD MM, ESD HBM, Latch up, HTOL test 和 SLESD 驗證 , 並檢測它們的功能退化 , 或失效狀況後, 確認此積體電路符合規範的要求 . 驗證結果被摘錄如表 5.1 . 檢驗結果顯示 EN Pin 的 ESD MM 承受力達 275V , LX Pin 的 ESD MM 承受力達 325 V , 在 SLESD 模式驗證中顯示該組合可承受 +8kv 靜電放電 . 以及採用 85 °C / 46V HTOL test 可以確認這個積體電路的 MTTF 達 322 年 且沒有 PCB, 電容燒燬的困擾 .

表 5.1 最佳化的高壓積體電路驗證結果

Reliability Items	Pass (P) Fail (F)	Pass (P) Status	New test method / New Structure	Pass requirements
ESD Human Body Mode Test MIL-STD-883C Method 3015.7	P	Pass: => +- 2000V	NA	Pass: => +- 2000V
ESD Machine Mode Test EIAJ-IC-121 Method 20	F to P	LVNMOS (En Pins) passed at 275V , HVNDMOS (LX Pins) passed at 325V	LVNMOS: Channel Length = 0.7um without LDD ; HVNDMOS: 4 wires bonded in 1 Lead frame SOP package	Pass: => +- 200V
Latch Up Test JEIA/LES78	P	Pass: =>+- 200MA	NA	Pass: =>+- 200MA
HOLT2: 45.5V, 90°C, T6333 45Eas, 1000Hrs JESD22-A108	F to P	Passed: 45.5V, 85 °C, 1000Hrs and 45Eas HTOLT MTTF:322 Yrs	Method: 45.5V, 85 °C and Filter Capacitor in Oven	MTTF => 10 yrs when operating Temperature = < 85 °C
System Level ESD Test ESD 61000-4-2	F to P	Pass +/- => 8 KV by Zapped at LED heat sink and others 4 Points	Space of LED Anode soldering point to LED Heat sink >= 4 mm	Pass: contact mode >= + - 8 KV LED substrate

第六章 特殊的成果和待續的工作

6.1 特殊的成果

在本論文的研討中，ESD 保護元件被進行製程改善，電源開關用的 LDNMOS 被引用適當的封裝打線，並且討論 HTOL test 的方法以及系統靜電放電的問題，在此列出 4 項特別的成果。

- (1) 多指狀的 LVNMOS 經由詳細的故障分析，發現故障點在中央手指的部份 [35-37]，經製程的調變找到通道寬度 $30\ \mu\text{m}$ / 通道寬度 $0.75\ \mu\text{m}$ / 非 LDD process 的元件可以滿足要求，採用通道寬度 $30\ \mu\text{m}$ 的元件是一個很大的挑戰。
- (2) 多指狀並排的 HVNMOS 的故障位置，沒有在特定的位置。但分析歸納它是偏電場較早發生的區域。實驗中採用 CL $0.65\ \mu\text{m}$ / 非 LDD process 的元件，ESD 承受力達 375 V MM，因為 Rd on 過大只能用於電流小於 200mA 的應用，經封裝型式的改變，使 LDNMOS 在 ESD 衝擊下可以均勻的承受電場的改變，如此原來的元件的 ESD MM 承受力被拉昇到 375v. [38]
- (3) HTOL test：經適當的實驗安排，確認了被動元件在高壓積體 HTOL 測試中有決定性的影響，排除他們的影響，或降低驗證溫度至 85°C 才能清晰看到實驗的真實面貌。
- (4) 在 SLESD 驗證中，確認了保護元件有動態電阻的問題，當外來

的瞬間電流過大時，經由動態電阻提昇的電壓降會造成 HVIC 的燒燬，經由 LED 背板至 LED anode 間距的研討，確認了隔離瞬間電流是最佳方法。使用間距 4 mm 配加 0.1 μ F 濾波電容的組合便可提昇 SLESD 的承受力到 +8kV 以上。

6.2 待續的工作

hvic 的可靠度驗證過程有一些作法，或推得數據並不完善。在此提 3 個項次提供有志於此研究者參考。

(1) 封裝形態會影響 ESD MM 的承受力，它的形成被比較為電場集中的速度問題。對接點電阻，路徑，電場均度需要有假設的物理模式，並進行實驗驗證才算完整。

(2) 積體電路的壽命推估驗證，以往的作法都採用溫度，電壓兩個加速因子。本驗證使用電壓單一因子，其實驗結論供定性一定是對的，其精準度需有更多的驗證作比較。

(3) 本論文的試驗雖找到 SLESD 防制的方法，但是晶片，PCB，次系統對 ESD 承受力的分工並沒有被清楚的討論。希望會有跨 chip level, board level 及 system level 的論述或組織能深入的討論，而獲得一致的作法

參考文獻

- [1] S. Voldman, ESD Physics and Devices, John Wiley & Sons, Ltd., England, 2004.
- [2] ANSI/ESD STM5.2-1999 Electrostatic Discharge Sensitivity Testing Machine Model (MM) Component Level; EIAJ-IC-121 method.
- [3] T. Furukawa, D. Turner, S. Mittl, M. Maloney, R. Serafin, W. Clark, J. Bialas, L. Longenbach, and J. Howard, “Accelerated gate-oxide breakdown in mixed-voltage I/O circuits,” in Proc. IEEE Int. Reliability Physics Symp., 1997, pp. 169–173.
- [4] E. Takeda and N. Suzuki, “An empirical model for device degradation due to hot-carrier injection,” IEEE Electron Device Lett., vol. 4, no. 4, pp. 111–113, Apr. 1983.
- [5] C. Duvvury, F. Carvajal, C. Jones, and D. Briggs, “Lateral DMOS design for ESD robustness,” in IEDM Tech. Dig., 1997, pp. 375–378.
- [6] C. Duvvury, J. Rodriguez, C. Jones, and M. Smayling, “Device integration for ESD robustness of high voltage power MOSFETs,” in IEDM Tech. Dig., 1994, pp. 407–410.
- [7] M.-D. Ker and K.-H. Lin, “The impact of low-holding-voltage issue in high-voltage CMOS technology and the design of latchup-free power-rail ESD clamp circuit for LCD driver ICs,” IEEE J. Solid-State Circuits, vol. 40, no. 8, pp. 1751–1759, Aug. 2005.

- [8] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in Proc. IEEE Int. Reliability Physics Symp., 2001, pp. 253–258.
- [9] P.Hower, "Safe Operating Area-A New frontier in LDMOS Design," Proc.ISPSD '02, pp.1-8,2002.
- [10] J.Apels, H. Vaes, J Verhoeven, "High Voltage Thin Layer Devices (RESURF DEVICES)", IEDM Tech. Digest, pp.238-241,1979.
- [11] M.Imam, M.Quddus, J. Adams, Z. Hossain, "Efficacy of Charge Sharing in Reshaping the Surface Electric Field in High Voltage Lateral RESURF Devices," IEEE Trans. Electron Devices, 51, pp.141-148,2004.
- [12] A.Amerasekera and C.Duvvury, ESD in Silicon Integrated Circuits, 2nd Edition, New York: Wiley, 2002.
- [13] M.-D Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI," IEEE Trans. Electron Devices, vol. 46, pp.173-183, Jan. 1999.
- [14] T.-Y. Chen and M.D. Ker, "Investigation of the gate-driven effect and substrate-triggered effect on ESD robustness of CMOS devices," IEEE Trans. Device and Material Reliability, vol. 1, pp.190-203,Dec.2001.
- [15] M.D. Ker, C.-Y.Wu, T. Cheng, and H.-H. Chang, "Capacitor-coupled ESD protection circuit for deep-submicron low-voltage CMOS ASIC," IEEE Trans. VLSI Systems, vol. 4,pp.307-321,Sept.1996.

- [16] C.Duvvury and C. Diaz, "Dynamic gate coupling of NMOS for efficient output ESD protection," in Proc. IEEE Int. Reliability Physics Symp., 1992, pp. 141-150.
- [17] C.-N. Wu and M.D. Ker, "ESD protection circuit for output pad with well-coupled field-oxide device in 0.5-um CMOS technology," IEEE Trans. Electron Devices, vol.44, pp. 503-505, Mar. 1997.
- [18] C.Duvvury, S. Ramaswamy, A. Amerasekera, R.A. Cline, B.H. Andresen, and V. Gupta, "Substrate pump NMOS for ESD protection applications," in Proc. EOS/ESD Symp., 2000, pp. 7-17.
- [19] Ajith Amerasekera, Charvaka Duvvury, "ESD in Silicon Integrated Circuits", John Wiley & Sons, 1996.
- [20] R. zezulka, "ESD basics" 1993 EOS/ESD Tutorial Notes., pp-A-1-A-28, Sept. 1993.
- [21] MIL-STD-883C method 3015.7 "Military Standard Test Methods and Proc. For Microelectronics", Dept. of Defense, Washington, D. C., U.S.A., 1989.
- [22] JEDEC, "Electrostatic discharge (ESD) sensitivity testing human body model," JEDEC Standard JESD22-A114-B, 2000.
- [23] Japanese Electronic and Information Technology Industries Association, "EJAJ ED-4701/300-2, Environmental and endurance test methods for semiconductor devices," Tokyo, Japan, 2004.
- [24] JEDEC Solid State Technology Association, "JESD22-A115-A: Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM)," 1997.
- [25] Automotive Electronics Council, Charged Device Model Electrostatic Discharge Test; AEC-Q100-011 Rev A, 2001.

- [26] IEC INTERNATIONAL STANDARD 61000 Electromagnetic compatibility (EMC) – Part 4-2: Testing and measurement techniques -Electrostatic discharge immunity test
- [27] Pulse Width Modulation (PWM) Control 42V/ 1A Step-Down Converter
- [28] TSMC 0.6um CMOS HIGH VOLTAGE MIXED MODE BASED BCD 2P-3M POLYCID E 40V/30V/15V/5V DESIGN RULE
- [29] JESD22-A108-B Temperature, Bias, and Operating Life. (From JEDEC Board Ballots JCB-99-89 and JCB-99-89A, formulated under the cognizance of JC-14.1 Committee on Reliability Test Methods for Packaged Devices.)
- [30] J.-H. Lee, J.-R. Shih, Y.-H. Wu, and T.-C. Ong, “The failure mechanism of high voltage tolerance IO buffer under ESD,” in Proc. IEEE Int. Reliability Physics Symp., 2003, pp. 269–276.
- [31] C.-Y. Huang, W.-F. Chen, S.-Y. Chuan, F.-C. Chiu, J.-C. Tseng, I.-C. Lin, C.-J. Chao, L.-Y. Leu, and M.-D. Ker, “Design optimization of ESD protection and latch up prevention for a serial I/O IC, ” Microelectronic Reliability., vol. 44, no. 2, pp. 213–221, Feb. 2004.
- [32] E. Takeda, C. Y. Yang, A. Miura-Hamada, “Hot-Carrier Effects in MOS Devices, ” Academic Press, (1995).
- [33] T. H. Ning, “Hot-carrier emission currents in n-channel IGFET's,” Int. Electron Device Meet. Tech. Dig., pp.144-147 (1977).
- [34] EE Times-India. ” Is IEC 61000-4-2 ESD test reliable? ” Issued by Robert Ashton in 2010

- [35] C. Duvvury, D. Briggs, J. Rodrigues, F. Carvajal, A. Young, D. Redwine, and M. Smayling, "Efficient npn operation in high voltage NMOSFET for ESD robustness," in IEDM Tech. Dig., 1995, pp. 345–348.
- [36] C. Duvvury, J. Rodriguez, C. Jones, and M. Smayling, "Device integration for ESD robustness of high voltage power MOSFETs," in IEDM Tech. Dig., 1994, pp. 407–410.
- [37] J.-H. Lee, J.-R. Shih, C.-S. Tang, K.-C. Liu, Y.-H. Wu, R.-Y. Shiue, T.-C. Ong, Y.-K. Peng, and J.-T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology," in Proc. IEEE Int. Reliability Physics Symp., 2002, pp.156–161.
- [38] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in Proc. IEEE Int. Reliability Physics Symp., 2001, pp. 253–258.

