

國立交通大學

機械工程學系

博士論文

設計、製作及測試 CMOS 製程相容之

微機電邏輯閘

Design, Fabricate, and Test CMOS Process-Compatible

MEMS Logic Gates

博士生：蔡俊胤

指導教授：陳宗麟 博士

中華民國一百年八月

設計、製作及測試 CMOS 製程相容之微機電邏輯閘

Design, Fabricate, and Test CMOS
Process-Compatible MEMS Logic Gates

研究生：蔡俊胤

Student : Chun-Yin Tsai

指導教授：陳宗麟 博士

Advisor : Dr. Tsung-Lin Chen

國立交通大學



A Dissertation

Submitted to Department of Mechanical Engineering

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Doctor of Philosophy

in

Mechanical Engineering

August 2011

Hsinchu, Taiwan, Republic of China

中華民國一百年八月

設計、製作及測試 CMOS 製程相容之微機電邏輯閘

研究生：蔡俊胤

指導教授：陳宗麟 博士

國立交通大學機械工程學系（研究所）博士班

摘要

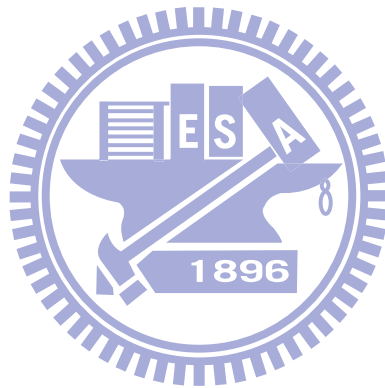
本論文提出了設計，製作和測試一種創新型的微機電邏輯閘。此元件結合了微機械開關(MEMS Switch)的優點與 IC 邏輯閘的布林代數(Boolean Algebra)運算功能，所以可預期此元件將比現存的微機械開關更廣泛的被使用。目前微機電邏輯閘的設計並不多，且大部分採用 MOS-like 的機構來完成，意即其設計需要四個以上具備 MOS 功能的微機械結構，才能完成一 NAND 閘或 NOR 閘的邏輯功能，本論文所提出的元件設計只需透過不同的電壓配置方式，即可利用單一的機械結構表現出 NAND 閘或 NOR 閘的邏輯功能，因此能改善製作良率及減少佈局面積(layout)浪費等問題。

為了要實現此一微機電邏輯閘，元件的製程設計必須符合其特殊的結構設計需求，包括：金屬-金屬接觸、在一平坦的懸浮機構上實現多重電性、低溫製程溫度(<400 °C)、與 CMOS 製程整合能力。因此，本研究提出以二種不同的製程來設計、製作此一新式的微機電邏輯閘。此兩種製程分別為自行研發的製程及專業製程代工廠所提供的 CMOS-MEMS 製程。由於製程中薄膜的殘留應力可能使得結構產生彎曲變形，使得所設計的元件的邏輯功能失效。因此，在自行研發的製程設計中，我們提出了一個新式 in situ 薄膜應力校正法來幫助並校正元件製程的開發；而在 CMOS-MEMS 製程設計中，我們則是透過選取不同金屬及氧化層，來實現一個平坦的懸浮結構。

在利用自行研發的製程中，所設計的元件尺寸為長 250 μm ，寬 100 μm 及 3.97 μm 的間隙。根據實驗的結果，此元件可在切換頻率為 100 Hz，驅動電壓大小為 25/-25V 下，實現 NAND 即 NOR 邏輯功能。此外，本論文亦量測了元件許多的特性，包含了元件的

切换能量耗損、元件開關在導通及不導通狀態時的電阻值、元件的壽命與元件的共振頻率。

在 CMOS-MEMS 製程中，我們研究了不同的溼蝕刻液來去除犧牲層。所設計的元件尺寸為長 $260\ \mu\text{m}$ ，寬 $110\ \mu\text{m}$ 及 $1.5\ \mu\text{m}$ 的間隙。從實驗的結果可發現，此元件能在驅動電壓為 $10/0\ \text{V}$ 下，位移 $90\ \text{nm}$ 且其共振頻率為 $36\ \text{kHz}$ 。由於金屬鎢栓(tungsten plugs)的結構遭受破壞，因此目前元件只能透過光學觀察的方式來驗證其邏輯功能。



Design, Fabricate, and Test CMOS Process-Compatible MEMS Logic Gates

Student: Chun-Yin Tsai

Advisor: Dr. Tsung-Lin Chen

Department of Mechanical Engineering
National Chiao Tung University

Abstract

This paper presents the design, fabrication and calibration of a novel MEMS logic gate that can perform Boolean algebra as well as logic devices composed of solid-state transistors. This MEMS logic gate design inherits all the advantages from MEMS switches and thus is expected to have more applications than MEMS switches. Unlike existing designs, the proposed design can perform either NAND gate or NOR gate functions using the same mechanical structure, but different electrical interconnects. Thus, this design can significantly reduce the layout area consumption and improve the yield fabrication of devices.

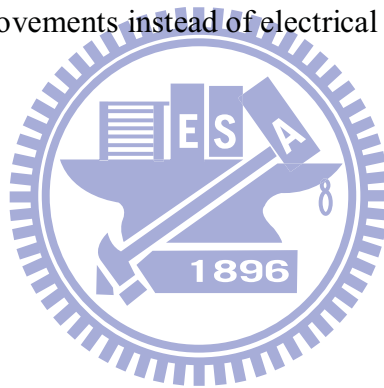
In order to accomplish those universal gates, the proposed design should fulfill three requirements on the fabrication process: two voltage levels carried on a suspended plate, metal-to-metal contact between shuttle electrodes and fixed electrodes, and a low process temperature ($<400\text{ }^{\circ}\text{C}$). Hence this study proposed two kinds of process designs to achieve the MEMS logic gate, including the in-house developed process design and the foundry service CMOS-MEMS process design.

However, the residual stress in this fabricated device is substantial which could impair the functionality of the device. Therefore, a novel in situ film stress calibration method is proposed to assist the development of the in-house developed process. Also, different

combinations of oxide-metal films and post-CMOS process are investigated to achieve a non-warping suspended structure layer in the foundry service CMOS-MEMS process.

In the in-house developed process design, the fabricated device is $250\ \mu\text{m}$ long, $100\ \mu\text{m}$ wide and of $3.97\ \mu\text{m}$ gap. Experimental results show that the device can operate at $25/-25\ \text{V}$ and $100\ \text{Hz}$, and achieve the proposed logic functions. In addition, several properties of this device are experimentally evaluated, including power consumption, on/off resistance, lifetime and resonant frequency.

In the foundry CMOS-MEMS process design, the experimental results show that this device can be actuated by $10/0\ \text{V}$ with a moving distance $90\ \text{nm}$. The resonant frequency is measured at $36\ \text{kHz}$. Due to the damage of the tungsten plugs, the logic function can only be verified by its mechanical movements instead of electrical readouts for now.



誌謝

首先，我想要感謝我的指導教授陳宗麟老師，感謝老師您這六年來的照顧與指導，從老師您身上學習到許多研究的態度與熱血之精神使我獲益良多，即將踏出學校，面對新的挑戰，我會秉持這樣的態度與精神持續努力。在此對老師致以最深的感謝。

其次，感謝電控所趙昌博老師，您學問淵博且無比親切、在我求學的過程中，從不吝給予鼓勵及幫忙，是我尊重及學習的榜樣。感謝雲科大機械所劉建惟老師，您提攜後進的長者風範，以及豐富的微機電知識及實務經驗，讓我每與您談話後總是收穫滿滿；感謝交大機械系徐文祥教授、交大電控系邱一副教授、清大動機系饒達仁教授及清大工科系蘇育全副教授對我論文的指正與寶貴的建議。同時亦要感謝國家奈米元件實驗室、國家晶片系統中心及交大半導體中心所提供的設備及資源，使論文得以順利完成。

埋首於製程的日子是非常單調又辛苦的，過程中時常遭遇到許多困難及挑戰，感謝南科實驗室的宗憲、躍馨、彥傑、及坤成學弟們、李彥希工程師，因為有你們的陪伴與我一起奮鬥搶機台作實驗，才能讓我一直保持著熱情及意志力苦撐過去這段時間，而這一切，唯有經歷過的人才知箇中滋味。

在交大研究生生活中，MSCL 中一起打拼的伙伴無疑是精神上最大的支柱，感謝建字大學長，學長的領導者風範及成功的人生經驗一直是我學習的目標，在求學的階段，學長一方面不斷的督促我們努力研究，另一方面又適時給予我們關心及鼓勵，讓我銘記在心。齡元學弟，你的聰明才智與努力所打拚出來的成果是 MSCL 研究室的珍貴財產，在我遇到問題時，你總是可以提供我一些不同的思考邏輯及寶貴的建議，使我獲益良多，這六年的情誼，真心的就最感謝你了。感謝實驗室的學弟正暘、哲維、健彰、瑞虔、士維、奕帆、承懋、柏翔、泓輝、修銓及鎮宇，因為有你們的幫忙及搞笑，讓原本單調的日子增添了許多樂趣。我會很想念你們的。還有太多人無法一一列舉，但我仍對我所關心及所有幫助過我的人抱持著感恩的心。

最後，我要感謝我的家人，謝謝奶奶、爸爸及媽媽你們的用心為我打造最好的成長及教育環境，讓我無後顧之憂。這些年來看著你們白髮多了不少，你們辛苦了！我也要

感謝我的女友羽玲的相伴，體諒並包容我因壓力而產生的情緒反應，讓我可以堅持著我們的初衷，一起努力著。還有我最愛的弟妹，雅婷與俊猷，謝謝你們的貼心與懂事，最喜歡家人聚在一起聊天說笑的日子，讓我無論在外受到多大的挫折與失敗，都能回到一個溫暖的家並將一切不順遂歸零，重新出發。

最後我要感謝上天，讓我三生有幸能遇到這些人生中的貴人們，使得我的博士班生涯更加豐富及圓滿。感謝上天!!



目錄

中文摘要.....	I
英文摘要.....	III
誌謝.....	V
目錄.....	VII
圖目錄.....	X
表目錄.....	XVI
一、緒論.....	1
1.1 研究動機.....	1
1.2 微機電開關.....	4
1.3 微機械邏輯閘.....	7
1.4 薄膜殘餘應力.....	13
1.4.1 薄膜應力的種類和影響.....	14
1.4.2 薄膜殘餘應力量測技術.....	14
1.5 金屬-金屬接觸製程.....	21
1.6 CMOS-MEMS 之相容製程探討.....	24
1.6.1 TSMC 0.35 μm 2P4M CMOS MEMS 製程介紹.....	24
1.7 研究方法與目標.....	27
1.8 本文架構.....	29
二、微機電邏輯閘之設計.....	30
2.1 微機電邏輯閘工作原理.....	30
2.1.1 三層式的微機電邏輯閘.....	30
2.1.2 雙層式的微機電邏輯閘.....	33
2.2 雙層式微機電邏輯閘之設計與模擬.....	36
2.2.1 微機電邏輯閘的動態分析.....	36

2.2.2 邏輯閘的狀態轉換(state transition)分析.....	39
2.2.3 邏輯閘的凸塊(dimple)結構設計.....	41
2.3 小結.....	42
三、邏輯閘之應力補償消除設計.....	43
3.1 自行研發製程之應力補償消除設計.....	43
3.1.1 三層複合懸臂樑之撓曲理論.....	44
3.1.2 In situ 薄膜應力校正法.....	46
3.1.3 應力校準之實驗結果.....	49
3.2 TSMC CMOS-MEMS 應力補償消除設計.....	51
3.3 小結.....	52
四、微機電邏輯閘之模擬分析.....	53
4.1 微機電邏輯閘之設計模擬流程.....	53
4.1.1 元件的關鍵尺寸設計及數值模擬分析.....	53
4.1.2 模態分析(modal analysis).....	55
4.1.3 元件的邏輯功能(logic functions)模擬.....	56
4.1.4 殘留應力對懸浮平板所造成之彎曲形變模擬.....	58
4.2 小結.....	59
五、微機電邏輯閘之製作.....	61
5.1 自行研發的製程設計.....	61
5.1.1 微機電邏輯閘製作流程：自行研發.....	61
5.1.2 製程結果及討論.....	65
5.2 微機電邏輯閘製作流程：TSMC 0.35 μm 2P4M.....	76
5.2.1 TSMC 0.35 μm 2P4M 製程步驟流程.....	77
5.2.2 製程結果及討論.....	82
5.3 小結.....	86

六、量測結果與討論.....	87
6.1 自行開發製程製作之元件特性量測.....	87
6.1.1 金屬接觸元件之結構觀測.....	87
6.1.2 金屬接觸元件之動態特性量測.....	90
6.1.3 元件之邏輯訊號量測.....	90
6.1.4 金屬接觸元件之能量耗損量測.....	93
6.1.5 金屬接觸元件之開關壽命(life time)量測.....	95
6.2 TSMC 0.35 μm 2P4M 製作之元件特性量測.....	98
6.2.1 元件結構觀測.....	98
6.2.2 元件動態特性量測.....	101
6.3 小結.....	103
七、結論.....	104
7.1 研究成果.....	104
7.2 未來工作.....	105



圖目錄

圖 1.1 在 CMOS 製程技術推演藍圖中，MOS 元件之工作電壓(V_{DD})、臨界電壓(V_{TH})及靜態功率損耗(Leakage power)關係圖	2
圖 1.2 汲極電流與閘極電壓的對數標度(logarithmic scale)關係圖	2
圖 1.3 側向驅動的雙閘極式微機械開關 (a) SEM 上視圖 (b)元件結構尺寸	3
圖 1.4 在電源開控(power gating)之電路結構中，利用微機械邏輯閘取代原本配置於其中的 sleep transistors，並將此電源開控電路(含微機械邏輯閘)整合於電源管理系統中 [4]	4
圖 1.5 微機電開關之操作原理示意圖(a) 電阻式開關 (b) 電容式開關	5
圖 1.6 (a) RSC 接觸式微機械開關 (b)RSC 微機械開關運作模式	6
圖 1.7 (a) Raython 電容式微機械開關 (b) 電容式微機械開關切換模式	6
圖 1.8 基本邏輯閘符號	8
圖 1.9 基本邏輯閘電路組合及連接方式	9
圖 1.10 Hirata 等人[14]所提出的微機電邏輯閘元件	10
圖 1.11 S.W Lee 等人[6]所設計的兩種 MOS-like 元件示意圖	10
圖 1.12 N. Sinha 等人[1]提出利用壓電材料來製作微機電邏輯閘 (a) 3-D 元件之電極配置示意圖(b) 元件操作原理及制動方向。	11
圖 1.13 Rhesa, Nathanael[15]等人提出平板式微機械開關結構設計 (a) MOS-like 元件之電極配置示意圖 (b)元件作動至斷路狀態剖面圖 (c)元件作動至通路狀態剖面圖。	12
圖 1.14 (a) 蹺蹺板(seesaw)式微機械開關及電極配置示意圖 (b) 元件剖面圖及其切換開關方式[17]。	12
圖 1.15 微機電邏輯閘之 SEM 圖(a) 利用氮化矽(silicon nitride)製作元件隔離層(b) 利用離子佈植法製作元件隔離層 [18]。	13
圖 1.16 薄膜應力之量測機制[25]	15

圖 1.17 微橋狀結構懸浮後所產生的扭曲現象 [26].....	16
圖 1.18 T 型微檢測結構在蝕刻底材後，殘餘應力被釋放後所產生之形變圖 [29]	17
圖 1.19 薄膜應力之量測機制 [30], [31].....	18
圖 1.20 微懸臂樑在釋放出殘餘應力後，主要會產生兩種形變：(a) 邊界旋轉 及(b) 彎曲變形[28].....	19
圖 1.21 W. Fang 等人[32]所提出的雙層結構法： (a)基礎微檢測樑的起始總形變，(b)去除邊界旋轉後可得一基礎微檢測樑的純彎曲形變，(c)去除邊界旋轉後，可得雙層結構的純彎曲形變。	20
圖 1.22 Min 等人[33]所提出的雙層結構法(a) 結構釋放後，基礎微檢測樑之起始總形變 (b) 結構釋放後，雙層微檢測樑之總形變。	20
圖 1.23 (a)具氧化薄膜之接觸電阻機制[34] (b)接觸表面經一段時間的操作後，表面接觸面積增加[35].....	22
圖 1.24 微開關之可靠度測試[40], [41]	23
圖 1.25 (a) 陣列式的球型凸塊結構 SEM 圖 (b)元件操作一段時間後，其接觸埠的凸塊結構表面產生 wire-like 的突出物 (c)元件開關作動失效時，其凸塊結構的表面材料有剝離或破裂的現象[43]。	23
圖 1.26 TSMC 2P4M 0.35 μm 的標準 CMOS 製程.....	25
圖 1.27 CIC 所提供的標準後製程(Standard-Post Process).....	26
圖 2.1 三層式靜電致動結構的微機械邏輯開元件設計概念圖	30
圖 2.2 體型微加工技術所製作出的微機電邏輯開[45]	33
圖 2.3 微機電邏輯開元件 (a) NOR 邏輯開電壓配置 (b) 3D 原型(Prototype)，含絕緣層示意圖	35
圖 2.4 NOR 開及 NAND 開的偏壓配置示意圖	35
圖 2.5 雙層式微機械元件之扭轉結構設計：(a) 3-D 示意圖 (b) 側面圖	37

圖 2.6 雙層式微機電 NOR 閘，其靜電扭矩與彈性恢復扭矩之關係圖。如圖所示，靜電扭矩大小為正值時，吸附平板的靜電扭矩會使平板做順時針方向旋轉；相反的，靜電扭矩大小為負值時，平板則是做逆時針方向的旋轉運動。.....	40
圖 3.1 三明治結構的應力分佈圖：(a) 側面結構示意圖 (b)剖面結構示意圖.....	45
圖 3.2 三種類型的懸臂樑式檢測結構。結構 1 由材料 b(material b)及 nominally clamped boundary 所組成。結構 2 由材料 a、材料 b(material a、material b)及挾鉗型邊界 (clamped boundary)所組成。結構 3 由材料 a、材料 b、材料 c(material a、material b、material c)及挾鉗型邊界所組成。.....	47
圖 3.3 (a) 三種檢測結構的彎曲形變量 (b) 放大結構 1 部分區塊的彎曲形變.....	50
圖 3.4 在原本的二氧化矽-金/鋁雙層結構上，沉積 $0.3 \mu\text{m}$ 的金屬鋁，由模擬結果發現，可獲得近乎平坦無彎曲現象的測試懸臂樑結構(端點處彎曲量 $< 0.035 \mu\text{m}$)。.....	51
圖 3.5 Type 1~3 元件，其材料組成示意圖.....	52
圖 4.1 有限元素法之元件模態分析 (a)第一共振頻發生在 40.28 kHz ；(b)第二共振頻發生在 89.29 kHz	55
圖 4.2 利用有限分析軟體(CoventorWare)建立出相對應的 3D 微機械邏輯。輸入的電壓訊號組合變化為 $(0,0) \Leftrightarrow (1,1) \Leftrightarrow (1,0) \Leftrightarrow (0,1)$ ，懸浮平板旋轉至預期設計的方向，即可讓元件具備 NOR 閘的邏輯訊號輸出。.....	57
圖 4.3 反接圖 4.2 的偏壓配置後，依序四種數位訊號組合 $((0,0) \Leftrightarrow (1,1) \Leftrightarrow (1,0) \Leftrightarrow (0,1))$ ，懸浮平板之對應的旋轉方向，亦可讓元件具備 NAND 閘的邏輯訊號輸出。.....	57
圖 4.4 有限元素軟體模擬平板結構的彎曲形變，其端點處的最大彎曲量為 $0.75 \mu\text{m}$ 。.....	59
圖 5.1 低溫金屬接觸的製程步驟.....	64
圖 5.2 利用杯子(cap)填充之接點.....	64
圖 5.3 沉積速率與 $[\text{N}_2\text{O}/\text{SiH}_4]$ 的比值關係圖[54].....	66
圖 5.4 殘留應力與 $[\text{N}_2\text{O}/\text{SiH}_4]$ 的比值關係圖[55].....	66
圖 5.5 射頻功率與薄膜應力之關係[56].....	67

圖 5.6 金屬剝離法製程流程示意圖 (a) 曝光 (b)反轉軟烤及二次曝光 (c)顯影 (d) 蒸鍍金屬薄膜 (e) lift off.....	68
圖 5.7 (a)在溼式蝕刻的釋放製程完成後，元件發生吸附(stiction)現象(b)針對元件之局部區域放大，可觀測到被吸附的區塊已浮貼在基底上。	69
圖 5.8 測試 ICP 機台的等向性乾式蝕刻掏空能力之測試結構製作流程圖	70
圖 5.9 等向性乾式蝕刻掏空製程測試結果 (a) 蝕刻前結構的上視圖， (b)蝕刻後結構的上視圖，可發現原先測試結構下方非晶矽犧牲層(深咖啡色方塊區域 Area_A)，因側向蝕刻的關係，已被掏空殆盡(呈現透明區塊)。此外，不同大小的接觸窗口其側向蝕刻深度(L_c)幾乎一致，因此判斷無微負載現象產生。	72
圖 5.10 等向性乾蝕刻製程，機台底切能力可達 $20 \mu m$ 。Silicon substrate 上方之阻擋層為乾氧化層(Selectivity of α -Si / SiO ₂ : >150:1).....	72
圖 5.11 結構 1 的檢測懸臂樑之製作流程.....	74
圖 5.12 (a)未設計突出光阻層時，懸臂樑固定邊界處底下的犧牲層容易遭受到蝕刻氣體之攻擊而產生凹陷的圖像 (b)有設計突出的光阻層時(參圖 5.11)，蝕刻氣體不易直接攻擊懸臂樑固定邊界處底下的犧牲層，因此無過蝕現象產生(無凹陷的圖像)..	75
圖 5.13 (a)結構 2 的檢測懸臂樑之製作流程 (b) 結構 3 的檢測懸臂樑之製作流程.....	75
圖 5.14 (a) 顯微鏡底下所觀測到釋放後的結構 2 之上視圖 (b)顯微鏡底下所觀測到釋放後的結構 3 之上視圖結構。	76
圖 5.15 Type-1 微機電邏輯閘的製程流程圖.....	80
圖 5.16 Type-2 微機電邏輯閘的製程流程圖.....	81
圖 5.17 Type-3 微機電邏輯閘剖面圖	81
圖 5.18 為利用 Pad 光罩及 RLS 光罩的微影蝕刻製程後，所呈現的 type-2 及 type-3 之元件俯視圖。如圖所示，在 metal-4 層上的保護層受到某種程度的攻擊。	82
圖 5.19 利用卡羅酸去除金屬犧牲層後，仍有矽瘤(Silicon Nodules)的微粒物質殘餘 metal-2 犧牲層上。	84

圖 5.20 透過 SEM 圖可發現，元件在經過金屬鈦及鈦化合物的溼蝕刻製程後，鑽孔溝槽 (Via trenches) 內的金屬鎢栓(tungsten plug)已完全被蝕刻殆盡。	85
圖 6.1 在自行研發製程中，未沉積最後一道鋁金屬層之微機電邏輯閘外觀及電壓配置方式.....	87
圖 6.2 在自行研發的製程中，元件尚未釋放前，其凸塊結構剖面圖.....	89
圖 6.3 在自行研發的製程中，微機電邏輯閘在釋放後的翹曲量分析 (a)三明治的平板結構，其翹曲量為 $0.86 \mu m$ (b)雙層式平板結構，其翹曲量為 $2 \mu m$	89
圖 6.4 在自行研發的製程中，微機械邏輯閘之頻率響應圖。第一共振頻約在 $39 kHz$ ，模擬值為 $42.03 kHz$ 。	90
圖 6.5 微機械邏輯閘之邏輯訊號量測架構示意圖	91
圖 6.6 NOR 閘的邏輯功能訊號量測 (a) Input: $(0,0) \leftrightarrow (1,1)$; Output: $1 \leftrightarrow 0$ (b) Input: $(0,0) \leftrightarrow (0,1)$; Output: $1 \leftrightarrow 0$ (c) Input: $(0,1) \leftrightarrow (1,1)$; Output: $0 \leftrightarrow 0$ (d) Input: $(1,0) \leftrightarrow (0,1)$; Output: $0 \leftrightarrow 0$	92
圖 6.7 NAND 閘的邏輯功能訊號量測 (a) Input: $(0,0) \leftrightarrow (1,1)$; Output: $1 \leftrightarrow 0$ (b) Input: $(0,1) \leftrightarrow (1,1)$; Output: $1 \leftrightarrow 0$ (c) Input: $(0,0) \leftrightarrow (0,1)$; Output: $1 \leftrightarrow 1$ (d) Input: $(1,0) \leftrightarrow (0,1)$; Output: $1 \leftrightarrow 1$	92
圖 6.8 (a)為測試功率損耗的電路配置圖 (b) 元件在導通時(turn on stage)的暫態電壓變化($V_r(t)$)。所量測到的上升時間 t_s 約為 $14.8 \mu s$ 。	95
圖 6.9 凸塊結構(dimple)及接觸(contact)電極在金屬對金屬接觸前後，其表面粗糙度量測結果.....	97
圖 6.10 當元件發生金屬附著(stiction)的問題時，電極表面材料會有剝離或破裂的現象。	97
圖 6.11 CMOS-MEMS 製程所製作的 type-1 微機電邏輯閘外觀及電壓配置方式	98
圖 6.12 type-1 元件的彎曲形變量(a) 經過反應離子全面乾蝕刻製程後，平板結構往下彎曲 $0.48 \mu m$ 。(b)不經過反應離子全面乾蝕刻製程後，平板結構往下彎曲 $0.785 \mu m$ 。	100

圖 6.13 經過 STS 反應離子全面乾蝕刻製程後，type-2 及 type-3 元件的彎曲量。(a) type-2 元件結構往下彎曲 $0.25 \mu m$ 。(b)type-3 元件結構往下彎曲 $1.95 \mu m$ 。..... 100

圖 6.14 LDV 量測設備 101

圖 6.15 在 CMOS-MEMS 製程中，元件的共振頻率為 $36 kHz$ 。..... 102

圖 6.16 在 COMS-MEMS 製程中，微機械邏輯閘之暫態反應圖；輸入的訊號為 $10\sin(2 \times 10^3 \pi t)V$ 及平板位移約 $90 nm$ 。..... 102



表目錄

表 1.1 各公司接觸式微機械開關的比較規格(來源：In-Stat(2005/07)) [13]	7
表 1.2 基本邏輯閘真值表	8
表 2.1 微機電 NOR 閘其輸入及輸出的電壓關係	32
表 3.1 應力檢測結構之材料參數及薄膜尺寸	49
表 4.1 利用金屬對金屬接觸的低溫製程所製作的微機電邏輯閘之關鍵尺寸	54
表 5.1 以 PECVD 法沉積二氧化矽(SiO ₂)薄膜	66
表 5.2 光阻 AZ 5214 材料參數	69
表 5.3 SF ₆ 等向性乾蝕刻的製程參數(ICP)	71
表 5.4 非等向性乾蝕刻二氧化矽之製程參數(STS,RIE)	80
表 5.5 金屬溼式蝕刻速率參數(Å/min)	84
表 6.1 在金屬對金屬接觸製程中，微機電邏輯閘其接觸性能及相關參數	96



一、緒論

1.1 研究動機

根據 International Technology Roadmap for Semiconductors (ITRS)[1]的研究報告顯示，隨著 CMOS 製程的推演下(如圖 1.1 所示)，傳統的金氧半電晶體元件(metal-oxide semiconductor field effect transistors, MOSFETs)，為了減少功率消耗(power consumption)，其工作電壓(V_{DD})有逐漸往下調降的趨勢。操作在低工作電壓下，為了保持一定的輸出電流，臨界電壓(threshold voltage(V_{TH}))也必須要跟著降低。然而，元件的「次臨界電壓」斜率 (subthreshold slope)的物理極限值在 60 mV/dec. ；意謂著操作電壓低於臨界電壓 60 mV ，汲極電流會減少 10 倍，所以當臨界電壓接近如圖 1.2 所示的關閉電壓時(turn-off voltage, $V_{GS}=0$)，由於此一物理極限之限制，元件在關閉的狀態下，仍會有一不可忽略的電流流通，此即為漏電流。此一漏電流會在一些擁有大量金氧半場效電晶體的積體電路產品，如手機、筆記型電腦等，造成額外的能量功率消耗使其產品之待機時間或操作時間受到限制。因此，研究單位努力開發一些非傳統式的半導體元件，利用其更陡峭的次臨界電壓斜率，來降低此一漏電流的問題。

微波微機械開關(RF MEMS，如圖 1.3 所示)具有低耗能、高絕緣性(high isolation)、低耗損(low insertion loss)、可批次製造等優點，且其「次臨界電壓」斜率可達到 2 mV/dec. [2]，因此非常適合導入至極低功率損耗之電源管理系統中 (ultra-low power management) [3]，然而其僅具“開/關”功能，應用上易受局限。

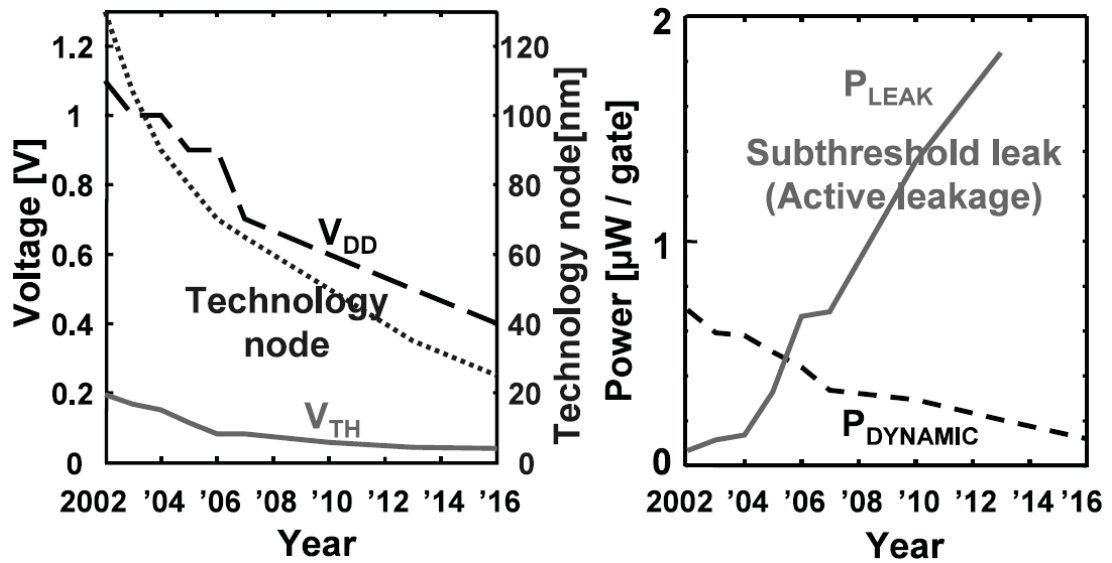


圖 1.1 在 CMOS 製程技術推演藍圖中，MOS 元件之工作電壓(V_{DD})、臨界電壓(V_{TH})及靜態功率損耗(Leakage power)關係圖

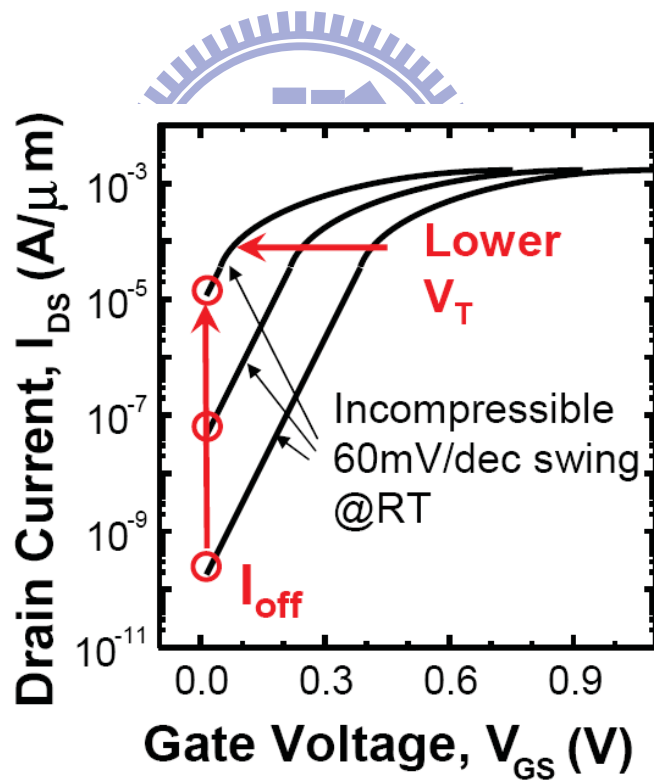


圖 1.2 汲極電流與開極電壓的對數標度(logarithmic scale)關係圖

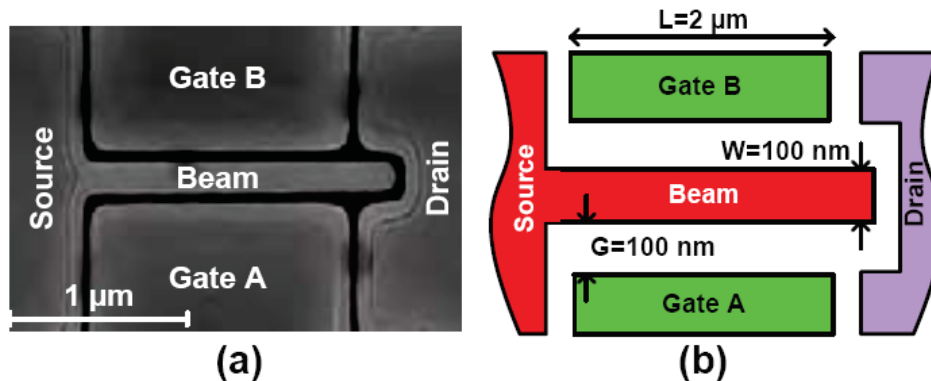


圖 1.3 側向驅動的雙閘極式微機械開關 (a) SEM 上視圖 (b)元件結構尺寸

本篇論文研發具邏輯功能之微機械開關，此元件結合微機械開關的優點與 IC 邏輯閘的布林代數(Boolean algebra)運算功能，冀望能藉由與傳統 IC 邏輯閘之輸出/輸入的相匹配，進而直接取代傳統邏輯線路中部分之 IC 邏輯閘，並導入電源管理系統(power management system)中[4]。

在電源管理系統設計中，為了要減少功率損耗，圖 1.4 的電源閘控(power gating)電路是一種常用的設計方法；此方法為利用配置於電路中的睡眠電晶體(sleep transistors)來關閉閒置的電路，以降低系統之功率消耗。然而，隨製程的演進，因為睡眠電晶體的物理極限，所以會遇到漏電流等問題以致於無法徹底關閉休息中的電路。因此，倘若將微機械邏輯閘取代原先電路中的睡眠電晶體，並藉由邏輯閘開關數位電路區塊(digital circuit blocks)；只有在數位電路區塊需要時才會被開啟，除了可以防止漏電流的發生外，亦可避免系統閒置時出現不必要的功耗浪費。

除了電源管理系統外，微機械邏輯閘的其他應用包括：(1) 全機械式電腦：微機械邏輯閘元件可以與探針式微機械記憶元件(ultra-high data density MEMS memory device)結合[5]，製作出全機械(full-mechanical)式電腦，由於全機械式電腦，不像傳統 IC 設計的電腦需要考慮環境溫度等因素，因此可直接操作在嚴峻的天候中或者是充斥著離子幅射的地方，例如外太空等[6]。(2) 微機電系統單晶片(MEMS system-on-chip, MEMS Soc)：大部分的 MEMS 元件需要搭配數位 IC 電路(on-chip digital integrated circuitry)來彰顯其功能[7]。然而，MEMS 元件與 IC 電路之間的製程技術整合，一直都存在著許多問

題。微機電邏輯閘因為具備 NAND 閘或 NOR 閘的數位邏輯功能，所以具備實現某一數位電路區塊的靈活性，如此可大幅降低實現微機電系統單晶片之困難度。

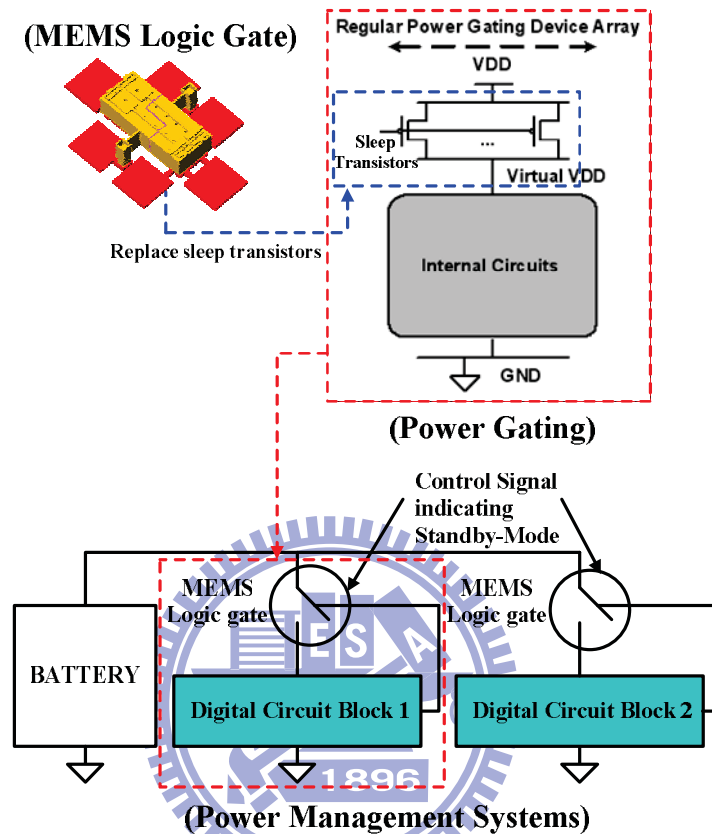


圖 1.4 在電源閘控(power gating)之電路結構中，利用微機械邏輯閘取代原本配置於其中的 sleep transistors，並將此電源閘控電路(含微機械邏輯閘)整合於電源管理系統中[4]

1.2 微機電開關

微機電開關的構想及製作成形於二十年前，Petersen 在 1979[8]年製作出第一個樑型微機電開關，係利用金當作接觸金屬，從此開啟了微機械式開關的研究大門。經過許多年來的研發之後，陸續已有一些商品化的產品出現。微機電開關若以切換機制來區分，可分為電阻式與電容式兩種型態[9]。如圖 1.5(a)所示，電阻式微開關主要是利用懸臂樑的機械動作來完成電路上開/關的切換。當輸入電壓於驅動電極時，懸臂樑會受到靜電力的作用而向下被吸附到接觸電極(contact pads)，此時原先為開路 (open circuit) 的電路

形成短路 (close circuit)。而當輸入電壓由驅動電極移除時，懸臂樑則會受到彈性恢復力的作用而離開接觸電極，形成電路之開路狀態。另一種型態為電容式微開關(如圖 1.5(b))，其上電極為空橋(bridge)式的微結構，而在下電極金屬表面加上一層介電層，利用此介電層與空氣間隙作為串聯電容來源。在微結構不作動的情況下，此串聯電容由空氣層主導，可等效為一大阻抗，此時為訊號之開路。反之，當空橋式的上電極受靜電力的作用而向下被吸附到介電層時，其電容值則由介電層主導，形成一小阻抗，如此高頻訊號會藉由上電極導出，此時訊號線路為一短路狀態。

電阻式微機械開關較為成功的案例為 1995 年由 Rockwell Scientific Company (RSC) 所提出的金屬接觸微機械開關，如圖 1.6 所示[10]。電容式型態則以 1999 年 Raytheon 公司所研發的電容式微機械開關為代表性的產品，如圖 1.7 所示[11]。而近一兩年間，由 Omron 公司所開發來的微波微機電開關則具有 10GHz 的超寬頻帶，實現了低損失，高隔離度及高開關壽命(>1 billion switch cycles)的優益性能[12]。此外，根據 In-Stat(市場調查公司)針對微機械式開關做調查發現，如表 1.1 所列[13]，有愈來愈多的知名大廠推出微機械式開關之相關產品，由此可見微機電開關已克服製程上的瓶頸，即將進入快速發展期。

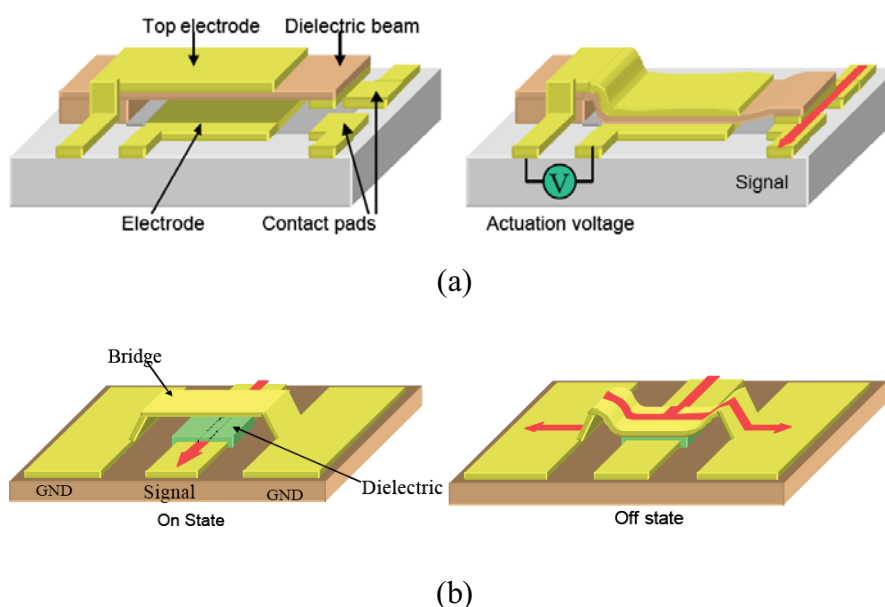
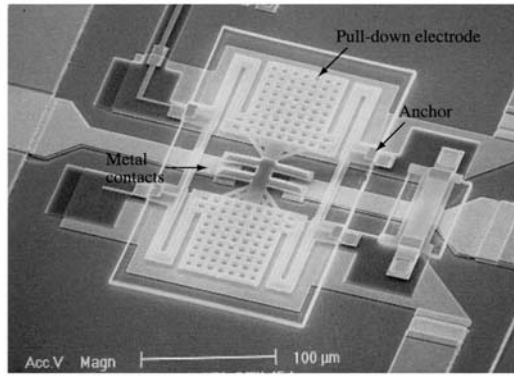
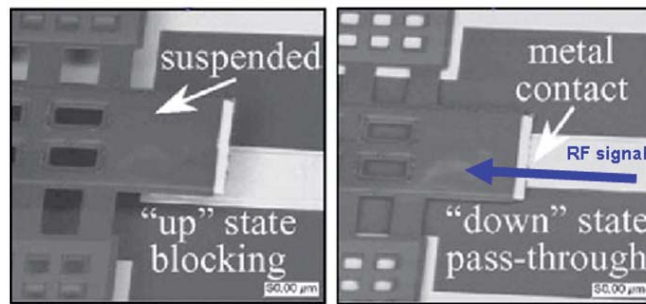


圖 1.5 微機電開關之操作原理示意圖(a) 電阻式開關 (b) 電容式開關



(a)

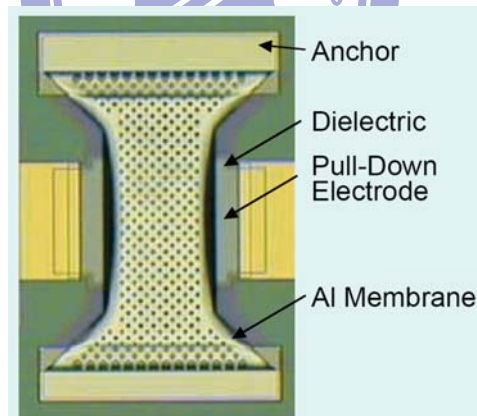


Signal OFF

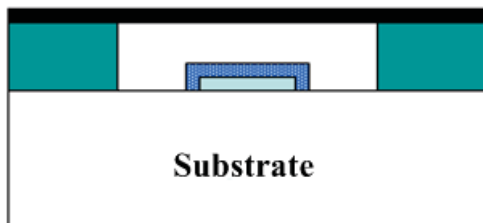
Signal ON

(b)

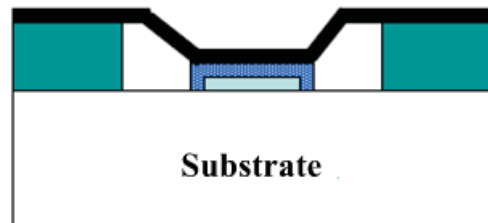
圖 1.6 (a) RSC 接觸式微機械開關 (b)RSC 微機械開關運作模式



(a)



Signal ON



Signal OFF

(b)

圖 1.7 (a) Raython 電容式微機械開關 (b) 電容式微機械開關切換模式

表 1.1 各公司接觸式微機械開關的比較規格(來源：In-Stat(2005/07)) [13]

Company	Actuation	V,I,Power (V, mA, mW)	Switch Time (μ s)	Contact Force (μ N)	Proven Lifetime (Billion Cycles)
Motorola	Electrostatic	40-50,0,0	4-6	100	>60
Radant MEMS	Electrostatic	70-80,0,0	3-6	100	>60
Omron	Electrostatic	17-20,0,0	30	1000	>1
Cronos	Thermal	5,40,200	10,00	2000- 3000	>1
Rockwell Scientific	Electrostatic	60,0,0	8-10	50-100	>1
Samsung	Electrostatic	5-8,0,0	100	50-100	>0.5
HRL	Electrostatic	20-30,0,0	30-40	50-100	>0.1
Lincoln Labs	Electrostatic	70,0,0	<1	50-100	>0.1
ST-Micro.	Thermal/ Electrostatic	5,4,0	30	50-100	>0.5
Microlab	Magnetostatic	5,100,0	50	50-150	>0.1
NEC	Electrostatic	30-50,0,0	30-40	50-100	—

1.3 微機械邏輯閘

微機械邏輯閘，顧名思義就是擁有布林邏輯運算功能的微機械元件。構成數位電路之基本邏輯閘包含下列六種：AND、OR、NAND、NOR、XOR以及NOT，其輸入/輸出關係之真值表(truth table)及其邏輯符號分別列於表1.2及圖1.8中。所有的數位邏輯電路皆可由上述六種基本邏輯功能組合所獲得。此外，上述的六種邏輯運算又可由AND、OR、NOT三種的組合加以實現，而這三種邏輯功能又可由NAND閘和NOR閘組合加以實現，其電路組合及連接方式可參考圖1.9所示。

所以只要能夠製作出具備NAND或NOR功能的邏輯閘，即可以組成各種邏輯電路，故NAND閘與NOR閘被稱之為通用型邏輯閘。

表 1.2 基本邏輯閘真值表

Input		Output					
		NOT	OR	AND	NAND	NOR	XOR
A	1	0	1	0	1	0	1
B	0	X					
A	0	1	1	0	1	0	1
B	1	X					
A	0	1	0	0	1	1	0
B	0	X					
A	1	0	1	1	0	0	0
B	1	X					

X：代表無使用到此輸出/輸入的關係

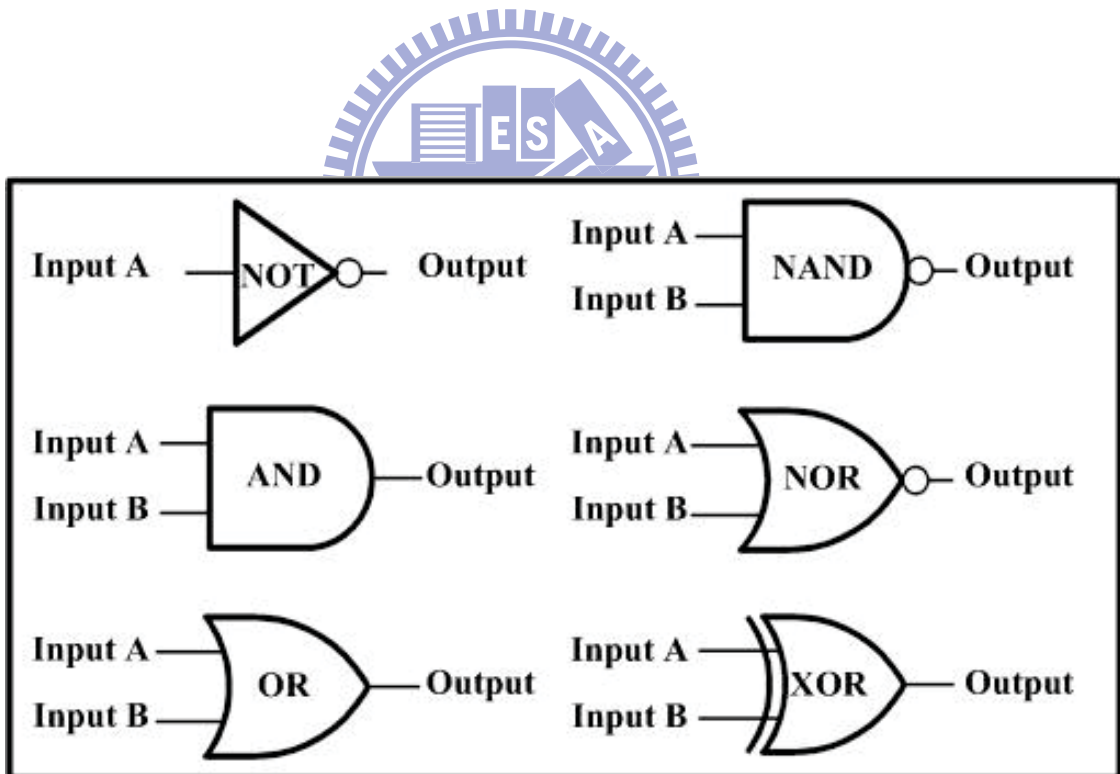


圖 1.8 基本邏輯閘符號

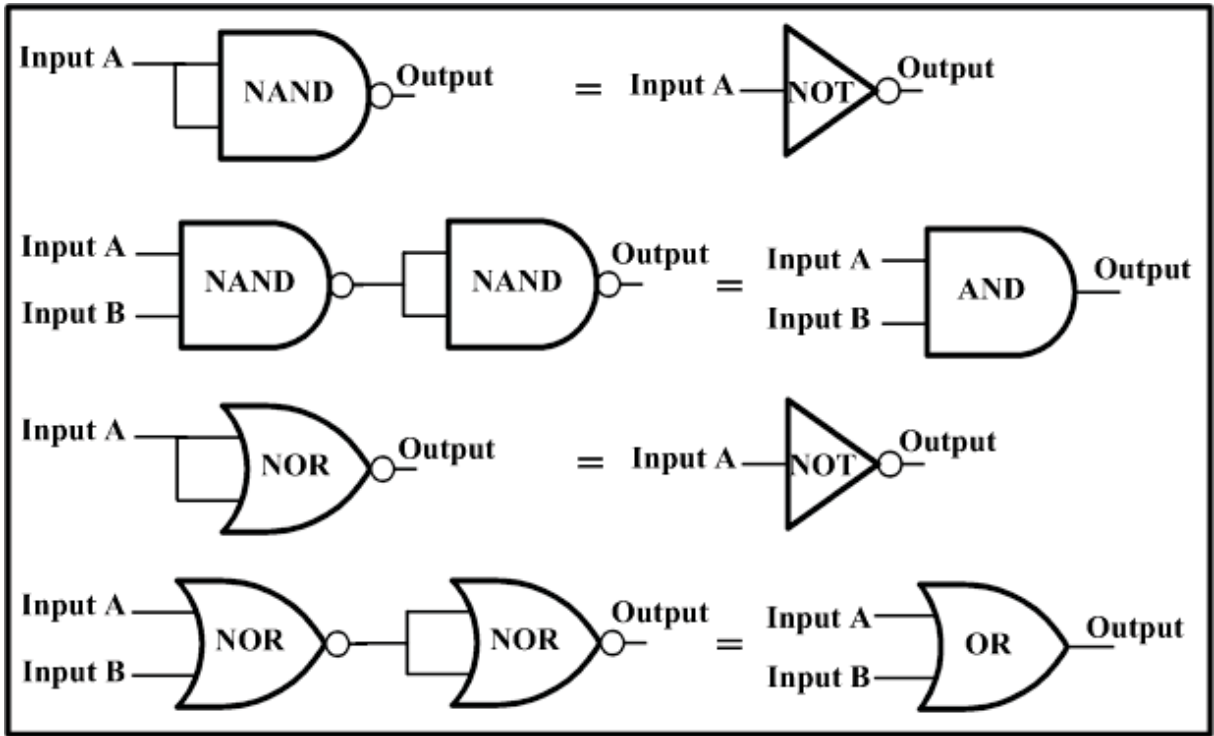


圖 1.9 基本邏輯閘電路組合及連接方式

微機械邏輯閘的概念最早是在1999年由 A. Hirata 等人[14]所提出，他們利用微機械邏輯閘取代了在電源管理(power management)系統中的微機械開關，降低了功率消耗(power consumption)。他們所設計的微機械邏輯閘如圖1.10所示，是利用相同的懸浮結構，搭配兩組不同面積大小的驅動電極，來達到“AND”閘的邏輯功能或是“OR”閘的邏輯功能。之後S.W Lee等人[6]嘗試利用微機電標準製程 PolyMUMPs 來設計製作微機械邏輯閘。他們所設計的元件是一個具MOS功能的機械電晶體(mechanical transistor)，如圖1.11所示。此機械結構配合在gate端及source端間施予不同的電壓差，即可實現類似PMOS或NMOS的開/關功能。若要達到NOR閘或者是NAND閘的邏輯功能，則需要四個以上的微結構串並聯才能達成。因此，此種作法將會有增加佈局(layout)面積、增加製程複雜度等問題。隨後，N. Sinha等人[1]，提出利用壓電材料來製作MOS-like機械式開關。如圖1.12所示，不同於一般靜電式的驅動方式，利用壓電驅動的MOS-like機械式開關可在低驅動電壓下輸出非常線性的位移量，然而為了達到所設計的機械動作，其結構需利用多層材料堆疊(stack)的方式來製作，因此在製作上會較為複雜。

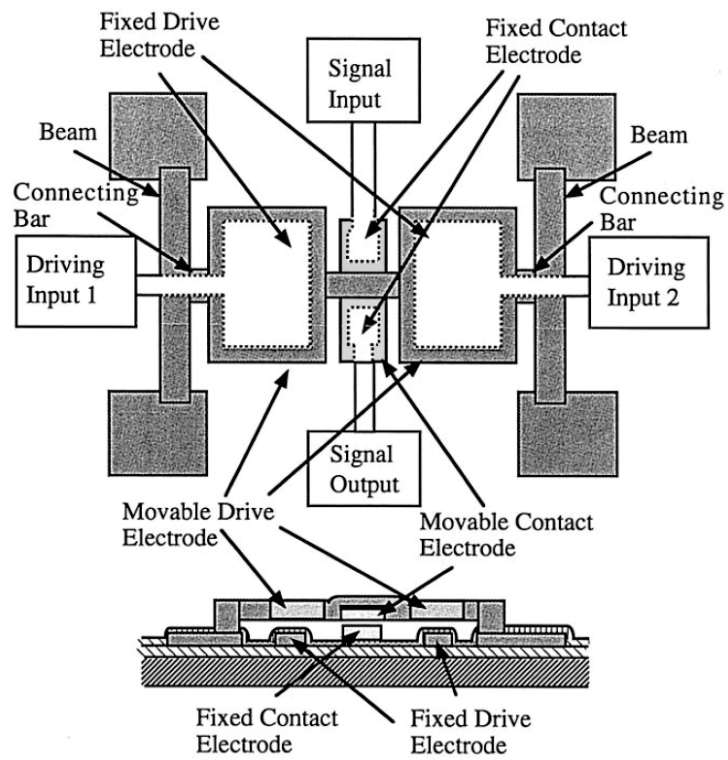


圖 1.10 Hirata 等人[14]所提出的微機電邏輯閘元件

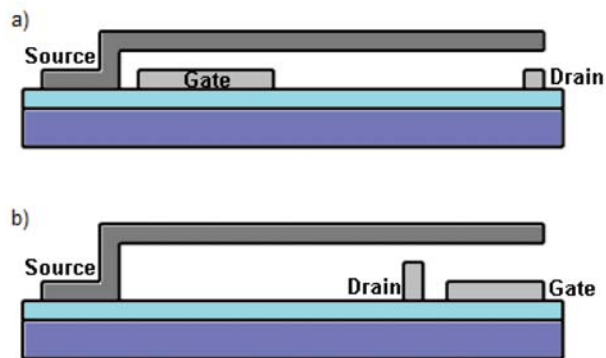


圖 1.11 S.W Lee 等人[6]所設計的兩種 MOS-like 元件示意圖

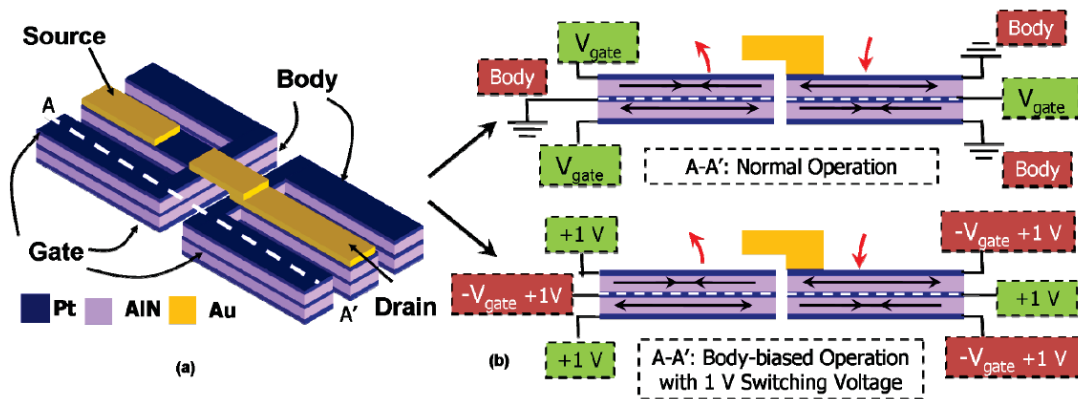


圖 1.12 N. Sinha 等人[1]提出利用壓電材料來製作微機電邏輯閘 (a) 3-D 元件之電極配置示意圖(b) 元件操作原理及制動方向。

Rhesa, Nathanael[15]等人根據文獻[6]的設計概念，進一步提出平板式微機械開關的結構設計。圖1.13為此結構的設計及電極配置方式。如圖所示，由於此結構四端皆被拘束住，因此相較於懸臂樑式的結構，其殘留應力的影響可降至最低。其設計與先前研究最大的不同點在於，此設計在元件中增加一組body-biasing的電極，利用此電極即可調節其吸附(pull-in)電壓及釋放(release)電壓[16]，使元件可以在低操作電壓下，可實現類似MOS開關功能的微機械結構。另外，藉由控制body電極的偏壓及源極(drain)的電壓，可在無需改變元件結構的尺寸條件下，利用兩顆一樣的元素實現inverter的功能。此方法需要精準的控制body的偏壓，否則會有PMOS及NMOS結構同時導通的現象發生，因此在設計上並不容易。為了解決此問題，Jaeseok, Jeon[17]等人提出一蹺蹺板結構設計(seesaw relay)，如圖1.14所示。此結構與Rhesa, Nathanael[15]或一般的微機械開關設計，其最大的不同處在於此元件的開關作動皆是利用靜電力來完成，因此不會有延遲效應的產生[16]。然而，因為此方法並未對吸附及輸出電極作針對性的設計(參考2.2小節的設計理論)，若要實現通用型的邏輯閘，一樣需要四個以上的元件才可完成，所以亦會有增加佈局面積及降低良率等問題。

有鑑於此，在先前的研究[18]，我們提出利用多晶矽製程來設計並製作如圖1.15所示的微機電邏輯閘。此微機電邏輯閘的設計概念不同於大部分文獻[6], [15], [19]所提出的仿MOS電晶體之設計方式，此元件只需利用單一的機械結構並改變其內部的配線

(electrical interconnects)方式，即可表現出NAND閘或是NOR閘的邏輯功能，因此除了能減少佈局面積的浪費外，元件將更具潛力來實現一個複雜的邏輯電路。然而，由於在先前製程中缺少了金屬對金屬接觸的設計，因此無電訊號輸出，所以我們只能利用光學觀測方式來觀察元件的動作方式並確認其邏輯功能。

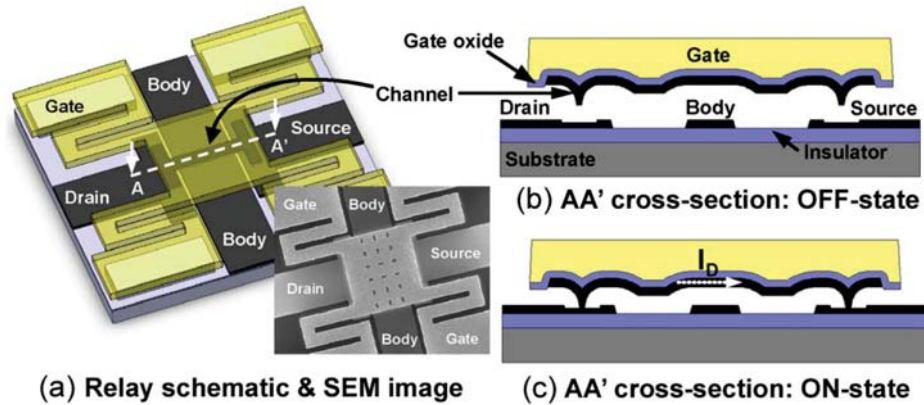


圖 1.13 Rhesa, Nathanael[15]等人提出平板式微機械開關結構設計 (a) MOS-like 元件之電極配置示意圖 (b)元件作動至斷路狀態剖面圖 (c)元件作動至通路狀態剖面圖。

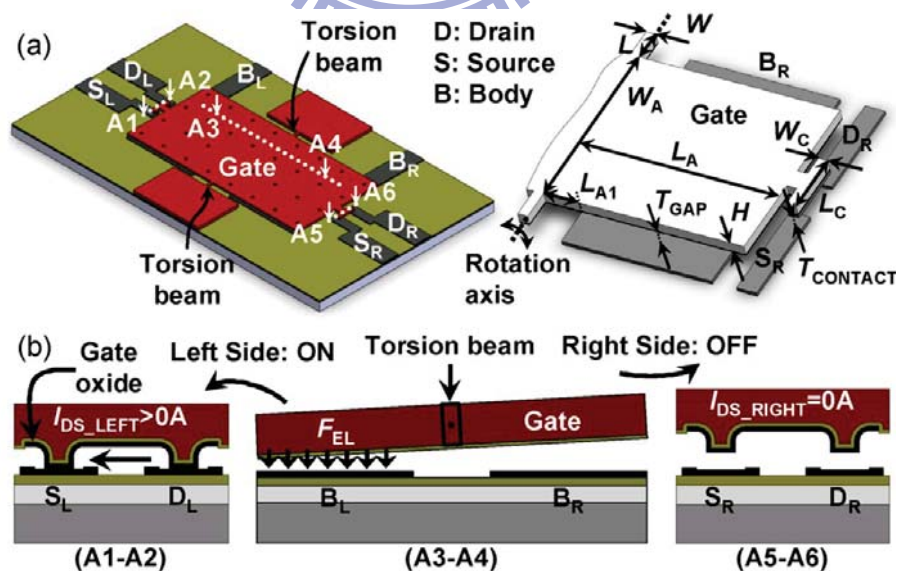


圖 1.14 (a) 蹺蹺板(seesaw)式微機械開關及電極配置示意圖 (b) 元件剖面圖及其切換開關方式[17]。

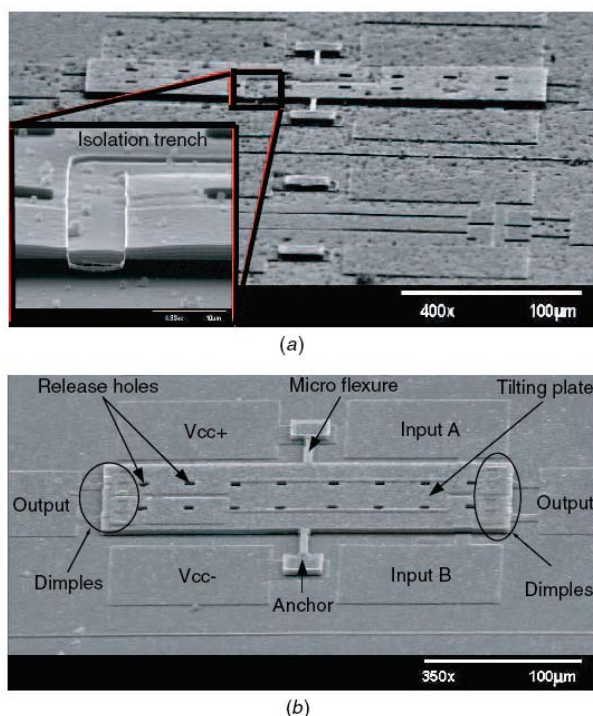


圖 1.15 微機電邏輯閘之 SEM 圖(a) 利用氮化矽(silicon nitride)製作元件隔離層(b) 利用離子佈植法製作元件隔離層[18]。

1.4 薄膜殘餘應力

在微機電系統製程中，薄膜技術是一重大關鍵。當製作的薄膜結構釋放後，會由於殘餘應力的影響而導致懸浮結構發生彎曲變形。此一現象在專業代工廠提供的 CMOS-MEMS 製程中尤為明顯，其主要原因為專業代工廠提供的 CMOS-MEMS 製程參數並未針對 MEMS 的元件設計做最佳化的調整。

在一般的微機械元件設計中，並不樂見懸浮結構因為殘留應力的影響而彎曲變形，因為此現象會影響到最初元件設計時之機械作動方式、可靠度(reliability)及動態反應特性[20-22]。此一現象在本論文所提出的邏輯閘結構設計中更為明顯。因此，本論文針對過去的眾多文獻報告中，取其中較具代表性的殘留應力量測機制作一概略性的回顧與探討，並根據以往文獻中的優缺點加以整理，然後設計出一套穩定且可靠的薄膜殘餘應力量測技術。

1.4.1 薄膜應力的種類和影響

薄膜殘餘應力(residual stress)的種類可依照其產生的原因區分為「熱應力(thermal stress)」與「本質應力(intrinsic stress)」[23]。熱應力的形成主要來自於不同薄膜層間的熱膨脹係數(thermal expansion coefficient)不同所致。本質應力則是由於薄膜在沉積的過程中，產生過多的晶界(grain boundary)及孔隙(void)等缺陷所致。假如原子所獲得的能量或沉積的溫度過低時，將使得這些缺陷無法經由再結晶(recrystallization)的方式消除，這些缺陷會造成本質應力的產生。簡言之，製程溫度較高時，殘餘應力將以熱應力為主，反之則以本質應力為主。此外，依據著作 R.W. Hoffman [24]的定義：將本質應力和熱應力合稱內應力(internal stress)。一般而言，一個好的薄膜沉積，其內應力應越小越好。

依照殘餘應力的釋放形式來區分，可將殘餘應力區分為兩種：平均應力(mean stress)及梯度應力(gradient stress)，其中平均應力還可以再細分為壓應力(compressive stress)及張應力(tensile stress)。習慣上，張應力的值定義為正號，而壓應力定義為負號。在實際的製程中，平均應力產生的原因可視為是某種薄膜的整體效應所造成，例如上述的熱應力；梯度應力生成的原因則可視為是某種沉積的薄膜的局部效應所造成，例如薄膜在沉積過程中，薄膜在厚度方向因局部溫度的差異，導致材料晶粒尺寸(grain size)沿著厚度方向產生變化，因此薄膜的殘餘應力沿這厚度方向有著線性的變化。以上諸項應力會對材料造成不同類型的破壞，例如存在張應力，薄膜本身呈現收縮趨勢，如果膜層的張應力超過薄膜的彈性限度，薄膜就會裂縫(crack)；存在壓應力下，薄膜有擴張的趨勢，當壓應力超過薄膜的彈性限度時，會導致膜層產生挫曲形變(buckling effect)。至於梯度應力則會產生一等效的彎曲力矩(bending moment)，使得微機械結構彎曲變形。

1.4.2 薄膜殘餘應力量測技術

圖 1.16 為普遍用來量測薄膜應力的商用機台[25]。其原理是利用晶片在沉積薄膜材料後，由於薄膜應力的影響，晶片的曲率半徑會隨之變化，藉此來估算其應力大小。此種量測方式，僅適合用以量測單層薄膜的薄膜應力，且必須搭配尚未使用過的晶圓。為

了改善此點，許多的研究利用微結構的變形來量測相關的薄膜應力。本論文將介紹幾種利用微結構形變特性所設計的薄膜殘餘應力量測技術。

① 後挫曲法[26]

不同長度之橋狀微結構被釋放後，薄膜內存在之壓應力被釋放，使得懸浮結構受到壓應力的作用而產生如圖 1.17 所示的挫曲(buckling)形變，藉由分析這些微橋狀結構產生挫曲形變，即可計算出薄膜的平均壓應力。然而，根據 Hutchinson 等人的分析[27]，實際的微橋狀結構，會因許多原因使其在壓應力尚未產生作用時，微橋結構就已存在“起始形變”。例如，薄膜內若還存在梯度應力、幾何結構的不規則或是邊界條件(參邊界旋轉法[28])等，如此會使得在量測時，無法正確判斷微橋狀結構產生挫曲形變之真正形變，而造成量測上產生誤差。

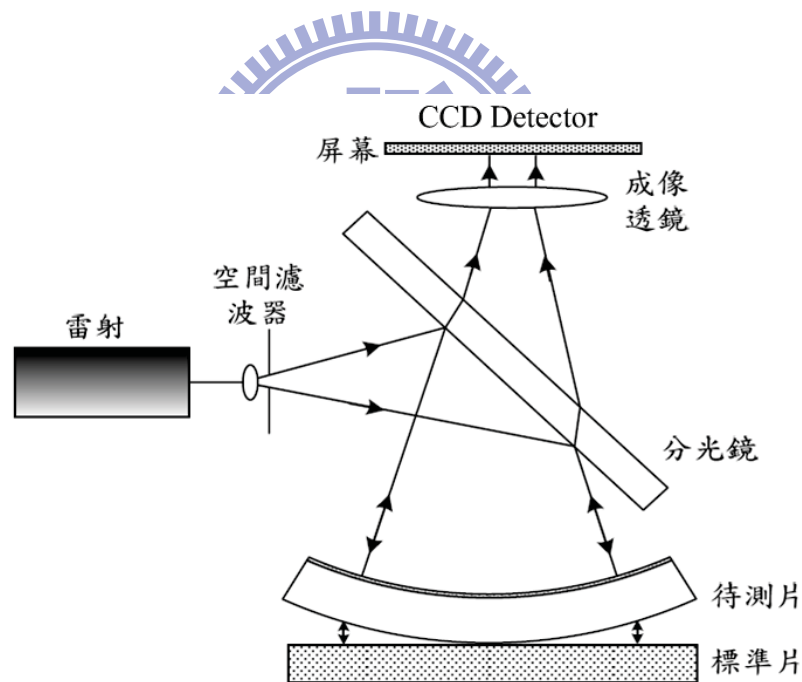


圖 1.16 薄膜應力之量測機制[25]

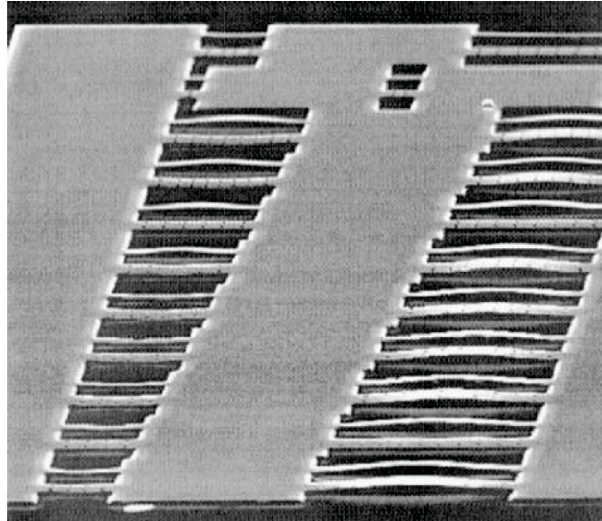


圖 1.17 微橋狀結構懸浮後所產生的挫曲現象 [26]

② T 型結構法[29]

圖 1.18 為一 T 形檢測結構，此結構是由兩根微機械樑所組合而成。如圖所示，當結構樑 A 因殘餘張應力被釋放後而收縮，此時亦帶動結構樑 B 也產生形變(δ)。本法即根據結構樑 B 的形變量(δ)來計算薄膜張應力。但由於此方法是利用同平面的形變量來決定薄膜的殘餘應力，所以需設計較大之 T 型結構，其變型量才夠明顯，足以藉由量測機台觀察得到，例如參考文獻[29]裡所採用的 T 形結構大約需要使用到 $4000\ \mu\text{m}$ 長、 $1600\ \mu\text{m}$ 寬的佈局面積。

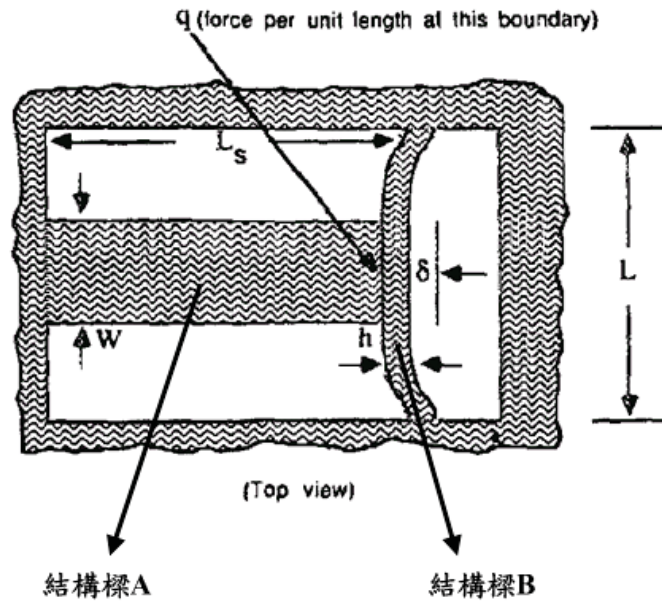


圖 1.18 T 型微檢測結構在蝕刻底材後，殘餘應力被釋放後所產生之形變圖 [29]

③ 微游標尺法[30], [31]

微游標尺法是一種同平面(in-plane)形變之量測技術，其原理為利用槓桿原理來設計一微機械結構，使其同平面之形變量放大至可量測範圍。圖 1.19 為面型微游標尺結構用來量測薄膜的殘餘應力。如圖所示，測試樑(test beam)的長度因殘餘應力的釋放而發生改變，其改變的形變量帶動微游標尺的結構旋轉一相對應的角度，藉由量測此角度即可估算出薄膜的殘餘應力及判斷薄膜為壓應力或張應力。因為此方法只需要直接量測微游標尺的旋轉角度並換算回測試樑的位移量即可量測檢測薄膜的殘餘應變，因此具有量測簡易、高製程相容性等優點。然而，此方法在量測準確性上也存在著一些問題，譬如，殘餘梯度應力的存在，會導致整個結構產生出平面的位移，而影響到測試樑之位移量的讀取值。甚至若結構產生過大的彎曲形變，可能還會使得整個設計完全失效。此外，微游標尺須要設計一巨大的連桿機構，不僅會佔據寶貴的晶片面積，同時亦會增加測試結構在懸浮時的困難度。

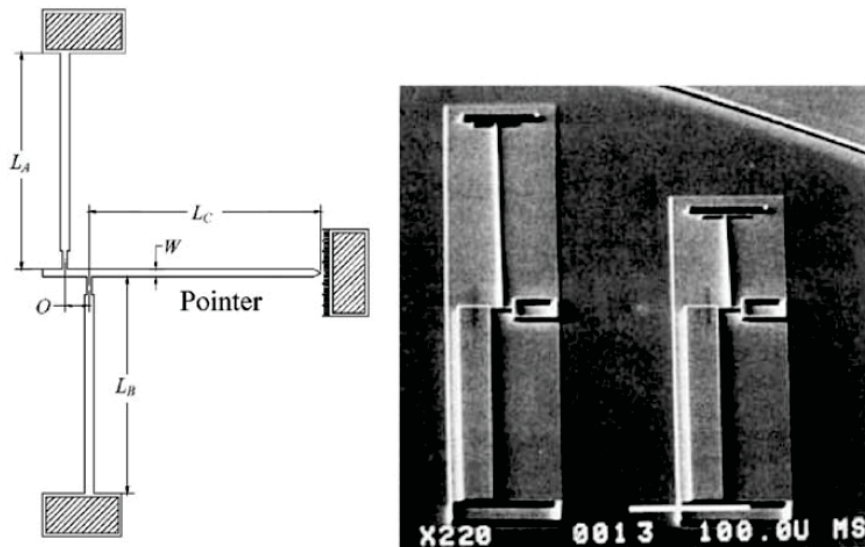


圖 1.19 薄膜應力之量測機制 [30], [31]

⑤ 邊界旋轉法[28]

在出平面式的形變之量測技術中，最常看到的機構設計，便是利用微懸臂樑來量測薄膜的殘餘應力，如 W. Fang 和 J.A. Wickert 等人提出利用單一微懸臂樑結構來量測薄膜的殘餘應力[28]。他們的設計理論主要為利用單根懸臂樑結構並搭配 nominally clamped boundary 的邊界條件之設定，如圖 1.20 所示，當微懸臂樑釋出殘餘應力後，即會在結構上發生兩種主要之形變：(1) 受平均應力的影響所產生的“邊界旋轉(參圖 1.20 (a))”及 (2) 受梯度應力影響所造成的“彎曲變形(參圖 1.20 (b))”。根據其設計理論，我們可以利用結構邊界旋轉所造成的旋轉角度(θ)並搭配其研究的有限元素法之經驗公式，即可推算出薄膜的平均應力。然後，利用其結構彎曲變形所產生的曲率半徑，來計算出薄膜的梯度應力。

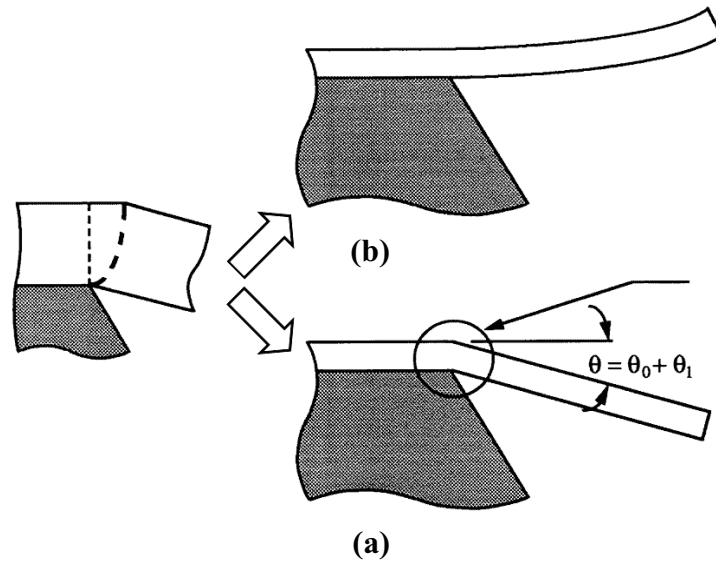


圖 1.20 微懸臂樑在釋放出殘餘應力後，主要會產生兩種形變：(a) 邊界旋轉 及(b) 彎曲變形[28]

⑥ 雙層結構法[32], [33]

當待測薄膜的厚度小於某一尺寸時，利用此薄膜所製作的微檢測結構，很容易因剛性的不足而在蝕刻或是清洗的製程中遭受到破壞，因此前面所介紹的幾種技術便不適於此種情況。所以 Fang[32]及 Min [33]等人分別提出了不同的雙層結構設計法來解決此問題。

在 W. Fang[32]所提出的雙層結構法中，其原理為先製造出如圖 1.21 所示，在邊界旋轉法裡面所使用的微懸臂樑作為基礎微檢測樑，之後再將待測的薄膜沉積在其表面，形成一雙層結構(bilayer structure)。接著透過座標轉換的方式只考慮基礎微檢測樑及雙層樑結構各別的曲率半徑和彎曲形變量之關係，即可推算出得待測薄膜的殘餘應力。然而，此方法可能會遇到一些問題，尤其是當待測薄膜是利用 CVD 的製程沉積在已懸浮的基礎微懸臂樑上，待測薄膜可能亦會鍍在其側壁或背面上而造成殘餘應力估測錯誤。因此，Min 等人[33]針對上述的問題提出利用如圖 1.22 所示的複合材料懸臂樑，in-situ 量測結構之薄膜應力。在他們的設計理論中，其主要原理為藉由計算每一層薄膜中的殘餘應力對結構所產生的彎曲力矩(bending moment)及雙層結構在釋放後，所產生的端點

形變量(tip deflection)之關係，推算出待測薄膜的殘餘應力值。此外，不同於 W. Fang[32] 所提出的雙層結構設計方式，Min 等人[33]所設計的懸臂樑結構，其邊界條件是採用挾鉗型邊界 (clamped boundary)，且結構懸浮的方式是採取讓基礎微懸臂樑在待測薄膜沉積後，才讓此雙層結構懸浮。此作法的優點是可讓雙層式微檢測結構與微機電元件是在同一製程流程下所製作完成的。因為微檢測結構與元件所受到的環境溫度及製程條件是一樣的，所以能更準確的推算出微機電元件內的殘留應力。然而，根據其設計理論，此方法的基礎微懸臂樑的殘餘應力必須事先已知，才可求得待測薄膜的殘餘應力。

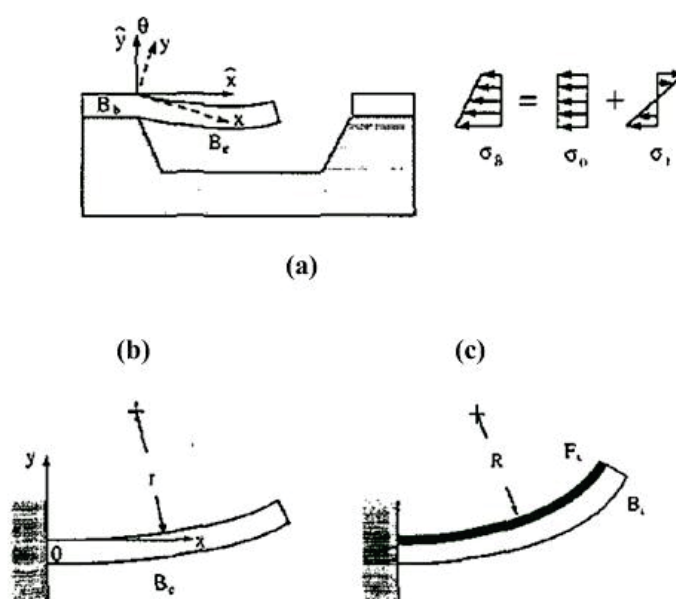


圖 1.21 W. Fang 等人[32]所提出的雙層結構法：(a)基礎微檢測樑的起始總形變，(b)去除邊界旋轉後可得一基礎微檢測樑的純彎曲形變，(c)去除邊界旋轉後，可得雙層結構的純彎曲形變。

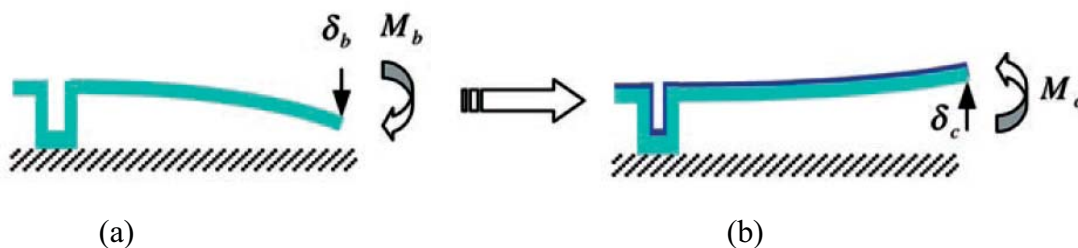


圖 1.22 Min 等人[33]所提出的雙層結構法(a) 結構釋放後，基礎微檢測樑之起始總形變 (b) 結構釋放後，雙層微檢測樑之總形變。

1.5 金屬-金屬接觸製程

本論文所提出的微機電邏輯閘是屬於電阻式微開關之延伸應用，因此元件在切換開關時，會有金屬對金屬的接觸問題。由文獻回顧得知：驅動方式、驅動力道、金屬表面的狀況、受到污染與否、材料特性乃至封裝方式等因素，都會影響金屬接觸面的性能表現。

對於開關切換之接觸問題，在 2005 年 S.T. Patton 等人[34]研究發現利用金作為接觸金屬時，由於製程上的污染或是曝露在大氣中，其金屬表面會有一層絕緣的碳化合物層(hydrocarbons)或氧化薄膜層。如圖 1.23(a)所示，此絕緣層(介電層)雖然會減少實際金屬接觸面積及增加接觸電阻值，但是對避免接觸金屬間的粘著(adhesion)現象，卻有實質上的幫助[35]。同時，研究中亦發現在低電流($<10 \mu A$)的情況下，讓金屬對金屬接觸一段時間後，其接觸面變光滑而產生極大的凡得瓦爾力(Van Der Waals force)，使得金屬對金屬接觸間產生粘著現象。隨後 H. Kam[36]等人根據 Patton 等人[34]的研究結果，提出在接觸端的金屬上再沉積一層 0.25 \AA 的二氧化鈦(TiO_2)介電薄膜層。經實驗的結果發現，此介電薄膜層可減緩微電焊(micro-welding)的現象發生[37], [38]，增加切換開關的壽命。2006 年 O. Rezvani 等人[39]提出接觸金屬表面粗糙度對接觸電阻的影響，從他們的研究中發現在微小化的金屬接觸元件，其接觸面並非一般所認為的面接觸，而是更接近點(spots)接觸，如圖 1.23(b)所示。在操作金屬對金屬接觸一段時間後，由於點接觸面積增加而會使得接觸電阻下降，且增加了金屬間的粘著力(adhesion force)。

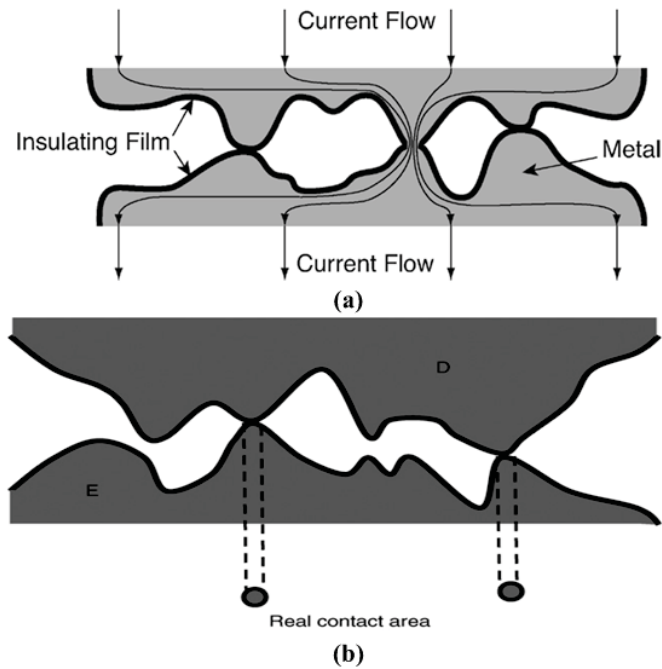


圖 1.23 (a)具氧化薄膜之接觸電阻機制[34] (b)接觸表面經一段時間的操作後，表面接觸面積增加[35]

另外，如圖 1.24 所示，針對微開關接觸電阻的可靠度來進行測試[40], [41]，由圖可知，在接觸 (contact) 10^4 次之前，因為表面粗糙度隨著接觸次數的增加而變小，因此接觸電阻逐漸變小，但約莫在接觸 10^6 次之後，由於接觸面不斷撞擊而造成材料局部硬化，使接觸電阻有漸漸上升的現象。在 2007 年 Q. Ma 等人[42]使用 Au、AuNi₅、Rh(Rhodium)、Tungsten 等材料作為開關之接觸點，從實驗的結果發現 AuNi₅ 以及 Rh 比 Au 更適合做開關之接觸點材料。在接觸端的結構設計上，L. W. Linda 等人[43]提出陣列式的球型凸塊(ball grid array, BGA)結構並探討球型凸塊結構尺寸對元件接觸可靠度的影響，根據實驗結果得知，持續不斷的讓元件作動開關，會使得某部分的陣列式的球型凸塊結構產生如圖 1.25 所示的塑性變形而影響到元件的開關壽命。但若球型凸塊結構的尺寸若可以做小到 $\leq 2\mu m$ ，則其接觸壽命可超過 10^8 次，如此可接近商用微機械開關的壽命目標。

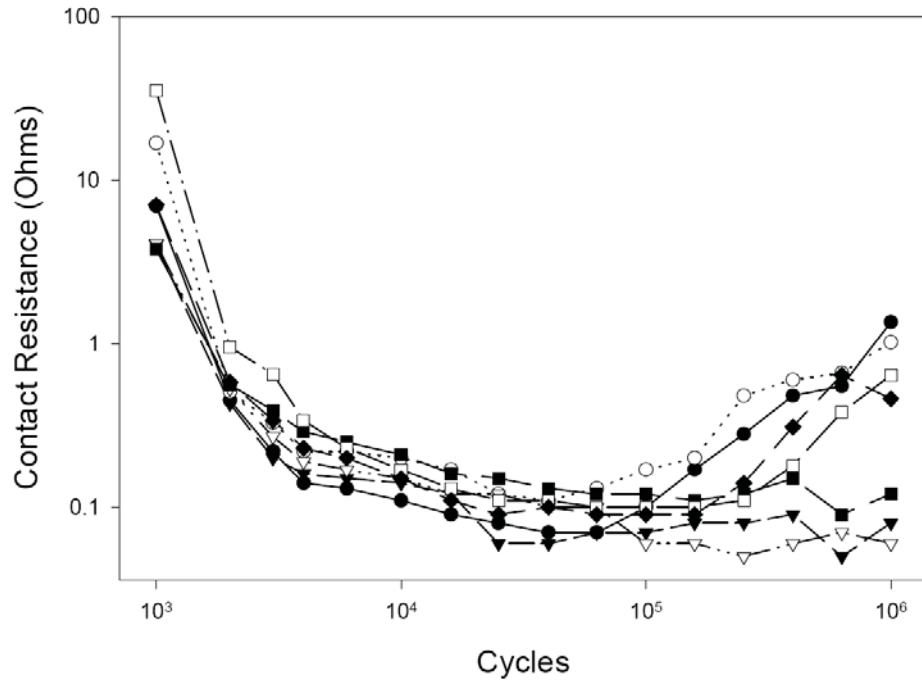


圖 1.24 微開關之可靠度測試[40], [41]

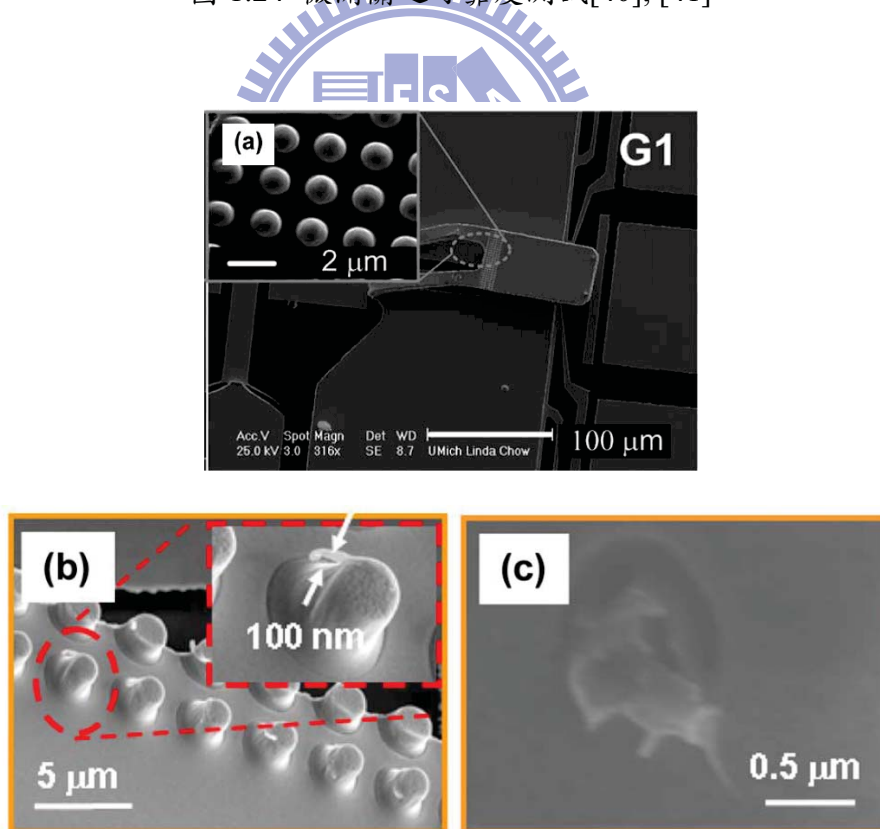


圖 1.25 (a) 陣列式的球型凸塊結構 SEM 圖 (b)元件操作一段時間後，其接觸埠的凸塊結構表面產生 wire-like 的突出物 (c)元件開關作動失效時，其凸塊結構的表面材料有剝離或破裂的現象[43]。

1.6 CMOS-MEMS 之相容製程探討

一般微機電元件的製作方式可分為兩種：其一為自行設計製程步驟及製程參數，此作法的優點是自主性較高，可針對所設計的 MEMS 元件設計出一套最佳的製作程序，但其缺點是此做法較為耗時，設計者需具備相當的製程經驗；另一種製作方式則為借助專業之積體電路代工廠(IC foundry)所提供的標準化製程方式並搭配「後製程處理程序(post-CMOS process)」來完成 MEMS 元件之設計製作。此作法的主要有兩項優點：(1) 具備 IC 電路及 MEMS 元件整合之優勢，有利於推行一包含微機電區塊(MEMS block)之全方位系統單晶片的發展，(2) 製作元件所需要的步驟可透過專業的代工廠來完成，因此可縮短元件製作時程。然而，其缺點則是微機電研究人員必須牽就現有的製程參數與製程步驟，在諸多限制的環境之中來設計所要的微機電元件。

1.6.1 TSMC 0.35 μm 2P4M CMOS MEMS 製程介紹

圖1.26為專業代工廠台灣積體電路製造公司(Taiwan Semiconductor Company, TSMC)所提供的0.35 μm CMOS 2P4M 製程。如圖所示，製程中有兩層的多晶矽(polysilicon)層、四層鋁金屬及金屬層間做為絕緣層的介電層(dielectric layer)，介電層的材料為氧化矽(silicon oxide)。若再針對每層金屬層之材料組成作細部調查，可發現其金屬層主要是由金屬鋁(aluminum)上下包覆著氮化鈦(Titanium nitride, TiN)及金屬鈦(Titanium)的一個五層結構。為了讓不同金屬層間能具有電性傳輸的功能，則需要在氧化矽層上以蝕刻的方式鑽孔形成Via，再將導電材料(金屬鎢(Tungsten))填入Via內，以形成導電的通道(即內部接合線路)。此外，鎢的上下亦包覆著氮化鈦。相關製程的材料，層級代號及相對位置，請參考圖1.26。

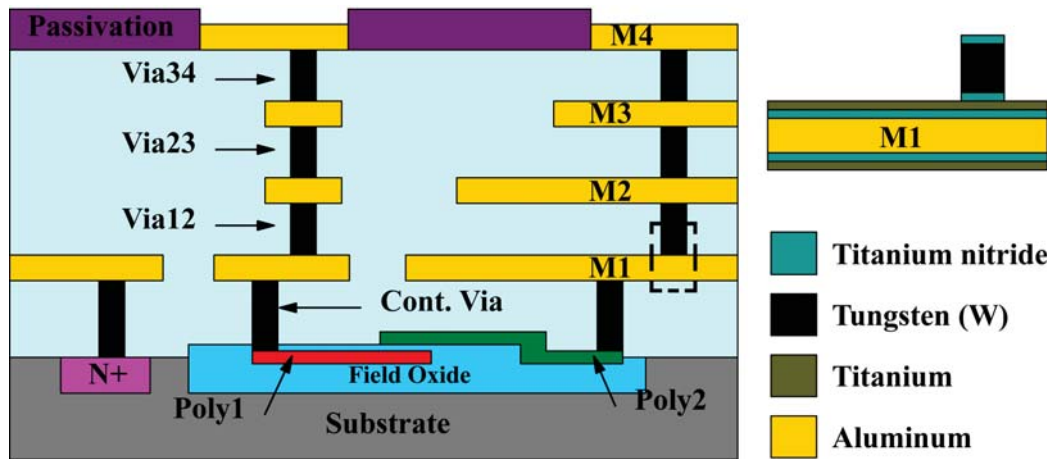


圖 1.26 TSMC 2P4M 0.35 μm 的標準 CMOS 製程

圖1.27 為CIC所提供的標準「後製程」[44]。此標準後製程主要包含兩種乾蝕刻技術，分別為非等向性(anisotropic)的「反應離子乾蝕刻製程(RIE dry etch process)」及等向性(isotropic)的乾蝕刻矽基板技術。在非等向性(anisotropic)的反應離子乾蝕刻技術中，是利用 CF_4/O_2 電漿垂直蝕刻保護層、介電層、多晶矽、場氧化層及矽基板，而金屬層則可當作此蝕刻技術的硬遮罩(hard mask)；即是蝕刻的阻擋層，因此可以利用金屬層來控制蝕刻深度或保護MEMS元件。等向性(isotropic)乾蝕刻矽基板技術，則是利用氟化物 (SF_6) 電漿，等向性蝕刻矽基板，藉由底切 (undercut) 現象使得微結構得以釋放、懸浮。

在標準後製程的晶片佈局設計流程，如圖1.27(a)所示，利用PAD光罩定義欲去除在晶片中最上層的保護層(Passivation layer)，以利後續的蝕刻製程。再利用RLS光罩定義出預作非等向性乾蝕刻或結構懸浮的區域，如圖1.27(b)所示；該區域將會被垂直蝕刻至矽基板露出或是被金屬層阻擋住為止。完成非等向性乾蝕刻的製程之後，緊接著即是等向性(isotropic)乾蝕刻矽基板的製程(圖1.27(c))，此時電漿蝕刻將會針對無氧化矽層保護的矽基板表面做等向性(isotropic)的乾蝕刻，掏空矽基板材料造成微結構懸浮，完成整個標準後製程實作。由於金屬層、氧化矽層跟矽基材的蝕刻選擇比很高，所以金屬及氧化矽層的表面結構並不會受到太嚴重的攻擊。圖1.27(c)為最後完成的懸浮結構側向剖面圖。

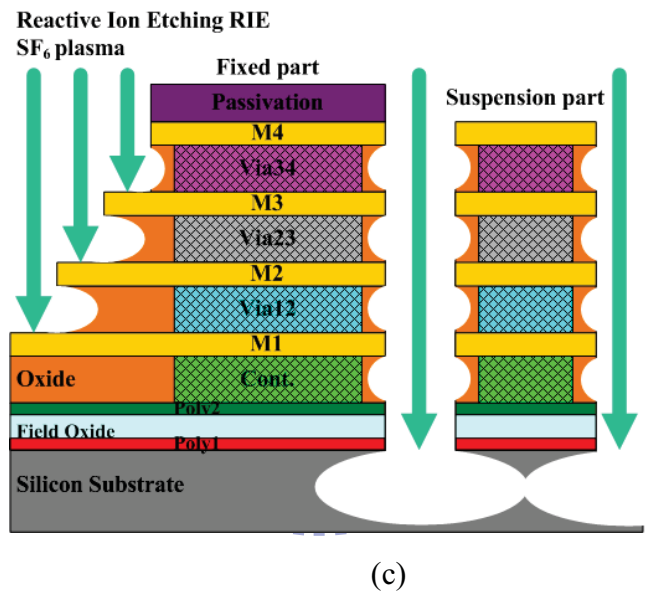
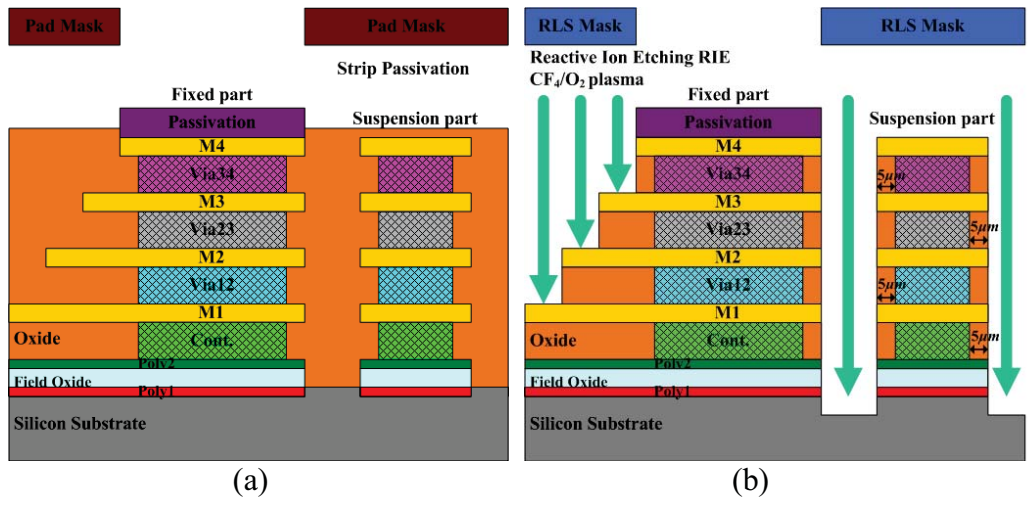


圖 1.27 CIC 所提供的標準後製程(Standard-Post Process)

1.7 研究方法與目標

根據文獻的分析結果，微機電邏輯閘比微機械開關擁有更多的優點，因此是目前在微波電路及電源管理系統中，興起的研究項目之一。然而，目前此領域中仍有許多關鍵技術需要突破，包括元件設計與製作、薄膜殘餘應力、金屬接觸之可靠度(reliability)等問題。

在元件設計與製作方面，本文所提出的創新型微機電邏輯閘，與其它文獻上的設計最大不同處在於，此元件只需改變內部配線的方式，即可利用單一的機械結構表現出 NAND 閘或 NOR 閘的數位邏輯功能，而無需再做其它額外的設計。然而，為了達到此目標，在元件製作上需滿足三個重要的關鍵設計：(1)元件內的懸浮平板需擁有雙電極、雙電壓的特性。(2)平板電極與底電極之間的訊號傳遞，須為金屬對金屬接觸。(3)低溫製程溫度($<400^{\circ}\text{C}$)。因此，元件將無法直接套用大部分現存的微機電標準製程來製作，如 MEMSCAPE 所提供的 MUMPs 製程。

為了實現微機械邏輯閘，本論文探討兩種元件製程設計，分別為自行研發的製程設計及專業製程代工廠所提供的 CMOS-MEMS 製程設計，並研究利用此二種製程在設計/製作微機電邏輯閘時遭遇到的問題及解決方法，以提供後續的研究改良之基礎。

本論文所提出的微機電邏輯閘，其訊號傳遞是採用金屬對金屬接觸的方式，因此接觸現象是本研究的重點之一。雖然根據文獻得知目前可靠度最佳的接觸金屬材料為 Rhodium(Rh)，然而此種金屬材料並不容易與 IC 製程整合，因此使用上仍有爭議。本論文調查 IC 半導體常用的金屬材料，提出金(Au)及鎢(W)來當作接觸金屬。

由於懸浮結構的彎曲現象會使得本論文所設計的微機電邏輯閘失效，因此薄膜應力的量測與校正亦是本文研究的重點之一。根據文獻結果發現懸浮結構的彎曲現象，主要與結構的邊界條件設定及結構內每層薄膜的殘餘應力有關，而薄膜應力受到製程條件的影響，又會同時具有平均應力及梯度應力。因此，在計算多層薄膜結構的彎曲形變時，必須同時考量到此兩種應力。此外，用來量測薄膜內應力的微機械檢測結構，最好能同元件製程一起被製作(in-situ fabricated)出來。另外，本論文針對兩種不同的製程設計，

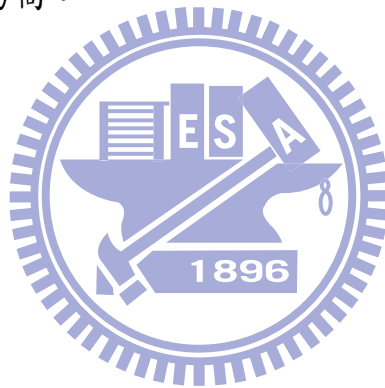
各別提出有效的方法來解決懸浮結構的彎曲現象：(1) 在自行研發的製程設計中，懸浮結構為雙層材料：介電材料及金屬材料。本研究除了調整此雙層材料的薄膜的沉積參數來降低其內應力外，在此結構上再沉積一層金屬薄膜，使之成為一三層材料的懸浮結構，並利用本論文所開發的 in situ 薄膜應力校正法來決定此金屬薄膜之“厚度”。如此一來我們就可藉由三層材料之複合結構來使得平板不致於彎曲變形。此外，此薄膜校正法是整合 W. Fang [28]及 Y.-H. Min [33]等作者之研究方法的優點。(2) 在專業製程代工廠所提供的 CMOS-MEMS 製程中，本論文研究由不同金屬及氧化層所推疊而成的平板結構，並藉由自行研發的溼蝕刻技術去除犧牲層使其懸浮，再經由實驗的結果來調查何種薄膜堆疊組合的結構其彎曲量為最小。最後，再搭配回蝕刻製程技術來微調平板的厚度，以獲得平坦最佳化的平板結構。

總結以上的討論，本研究以下列幾點做為主要的研究目標：

1. 設計出創新型微機電邏輯並開發適合此元件的製程，且製程必須具備與 CMOS 製程整合之能力。
2. 針對不同的元件製程設計，各別提出有效的方法來解決懸浮結構的彎曲現象，包含薄膜堆疊與回蝕技術及 in situ 薄膜應力校正法。
3. 進行相關實驗來量測許多元件之重要的特性，包含了元件的切換能量耗損量測、元件開關在導通及不導通狀態時的電阻值、元件的開關壽命與元件的共振頻率。

1.8 本文架構

本文包括了六大部分。本章為緒論，包括了研究動機、文獻回顧及研究目標。第二章則提出貫穿全文的微機械邏輯閘之操作原理與設計理論。第三章探討殘餘應力的量測及校正方式，並將結果應用於微機電邏輯閘的設計/製作。第四章透過模擬流程，包括元件的數值模擬分析、模態模擬、邏輯功能及狀態轉換模擬，以方便之後設計元件佈局(layout)尺寸及製程實作。第五章為微機械邏輯閘的製造，本文提出了兩種不同的製程技術來製作元件，並探討每一種製程技術所遭遇到的製程問題及解決方法，利用這些實作的經驗以作為後續元件改良之基礎。第六章呈現兩種製程所製作的微機電邏輯閘原型(prototype) 及元件的測試結果。第七章作為本研究的結論，並在結論中，提出元件設計的改進方法和未來的研究方向。



二、微機電邏輯閘之設計

2.1 微機電邏輯閘工作原理

本節中先利用較直覺的三層式的元件結構來說明邏輯閘的工作原理，隨即再將此理論應用到雙層式的元件設計並建立其元件的數學模型，以利後續的元件參數設計，如元件形狀、尺寸及驅動電壓等。

2.1.1 三層式的微機電邏輯閘

微機械邏輯閘元件的設計概念可利用如圖 2.1 的一個三層式、靜電致動結構來做說明。如圖所示，元件的上下兩層為固定電極，中間層則是一可動的懸浮結構，僅能作上/下位移。當上下層的電極分別被施加固定的 V_{cc+} 及 V_{cc-} 的直流偏壓，以及在懸浮結構層的左右兩端電極輸入 V_a 及 V_b 的電壓訊號，由於一、二與二、三層中間有不同的電壓差及上下電極間隙 (gap, d_1, d_2)，因此上下層電極會對中間懸浮結構產生大小不同，方向相反的庫倫靜電力，靜電力的合力大小將決定中間懸浮結構往上或下位移，使得懸浮結構上的輸出電極(output terminal)碰觸到上/下電極，進而輸出對應的電壓訊號。因此，如何讓懸浮結構層依照指示的致動方向來傳遞電壓訊號，使得輸入與輸出的電壓訊號間具有基本邏輯運算的關係，為此微邏輯閘的中心設計概念。

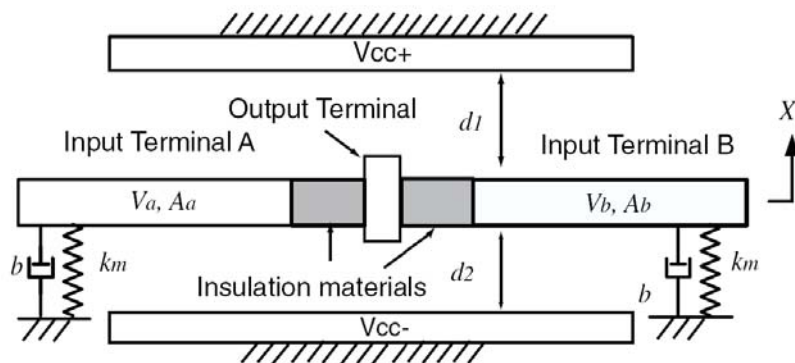


圖 2.1 三層式靜電致動結構的微機械邏輯閘元件設計概念圖

以下將詳細說明此元件的致動原理及操作方式。如圖 2.1 所示，當懸浮結構層同時受到上靜電力(F_{up})及下靜電力(F_{down})的吸引時，其結構層所受到的靜電力合力大小可由公式(2.1)得知，

$$\begin{aligned}
 m\ddot{x} + b\dot{x} + k_m x &= F_{total} = F_{up} - F_{down} \\
 &= \frac{\varepsilon A_a [(V_{cc+} - V_a)^2 + (V_{cc+} - V_b)^2]}{2d_1^2} \\
 &\quad - \frac{\varepsilon A_b [(V_{cc-} - V_a)^2 + (V_{cc-} - V_b)^2]}{2d_2^2}
 \end{aligned} \tag{2.1}$$

在此， m 代表中間懸浮結構的整體質量； b 為阻尼係數； K_m 為彈簧的彈性係數； ε 為空氣的介電常數； d_1 及 d_2 為懸浮結構層與上下電極層之間間隙 (gap)； V_a 及 V_b 分別為輸入於懸浮結構左右兩端電極的電壓訊號； A_a 及 A_b 為懸浮結構上有效力的驅動電極面積，負責在電極層之間產生對應的靜電吸引力使得懸浮結構致動。

圖 2.1 的三層式的微機電邏輯閘，若將其電極層間間隙(gap)設計成 d_1 不等於 d_2 且驅動電極面積 A_a 等於 A_b 。根據公式(2.1)，當改變在懸浮結構層左右兩端的輸入電壓訊號(V_a 及 V_b)大小，使得方向“向上”的靜電力 F_{up} 不等於方向“向下”的靜電力 F_{down} ，即可控制懸浮結構層往上或往下移動。輸入不同組電壓訊號於懸浮結構兩端之電極會有四種情況，其說明如下：Case (1) 當 $V_a = V_{cc+}$ ， $V_b = V_{cc-}$ ，在此操作模式下，其中間的懸浮結構層與上/下電極層之間的電壓差大小相同，但由於上電極層與中間的結構層之間隙大於下電極層與結構層之間隙($d_1 > d_2$)，因此造成靜電力 F_{up} 小於靜電力 F_{down} ，所以懸浮結構將會產生向下的位移，使得探針接觸到下電極進而輸出 V_{cc-} 的電壓訊號。Case (2) 當 $V_a = V_{cc+}$ ， $V_b = V_{cc+}$ ，因為上電極層與中間的結構層之間並無電壓差，所以靜電力 $F_{up}=0$ 。此時，中間懸浮結構層只會受到靜電力 F_{down} 吸引而往下移動，使得探針接觸到下電極並輸出 V_{cc-} 的電壓訊號。Case (3) 當 $V_a = V_{cc-}$ ， $V_b = V_{cc-}$ ，下電極層與中間的結構層之間並無電壓差，因此靜電力 $F_{down} = 0$ ，此時中間懸浮結構將只會受到靜電力 F_{up} 的吸引而往上移動，使得探針接觸到上電極並輸出 V_{cc+} 的電壓訊號。Case (4) 當

$V_a=V_{cc-}$, $V_b=V_{cc+}$, 此時元件的作動反應將與情況(1)相同。將此四種輸入電壓訊號與輸出電壓訊號的關係整理於表 2.1。假設 V_{cc+} 及 V_{cc-} 的電壓訊號分別代表數位訊號中的 1 及 0 時, 此元件所反應出來的輸入及輸出的電壓訊號關係(參表 1.2 的真值表)就如同一般傳統邏輯閘(由電晶體所組成)的 NOR 閘。

此外, 若將上下電極的直流偏壓相反, 即上電極電壓為 V_{cc-} , 下電極電壓為 V_{cc+} , 重複上述的操作原理, 並製作其相對應的真值表, 我們可以發現元件的輸入/輸出關係等同於一個傳統的 NAND 閘。因此, 本設計的優點之一即在於, 不需要更改機械結構設計或其他硬體設計, 僅更改直流偏壓, 便可將此元件的邏輯功能在 NOR 閘及 NAND 閘之間進行切換。

由於上述三層式靜電致動邏輯閘的結構設計, 不易利用微機電的加工技術來製作。因此 T.-L.Chen [45]將圖 2.1 的元件設計翻轉 90 度後, 利用微機電中的體型加工技術(bulk micromachining)來製作。其結構設計如圖 2.2 所示, 操作電壓為 20 V/0V。

表 2.1 微機電 NOR 閘其輸入及輸出的電壓關係

Case	V_a	V_b	Output
(1)	$V_{cc+}(1)$	$V_{cc-}(0)$	$V_{cc-}(0)$
(2)	$V_{cc+}(1)$	$V_{cc+}(1)$	$V_{cc-}(0)$
(3)	$V_{cc-}(0)$	$V_{cc-}(0)$	$V_{cc+}(1)$
(4)	$V_{cc-}(0)$	$V_{cc+}(1)$	$V_{cc-}(0)$

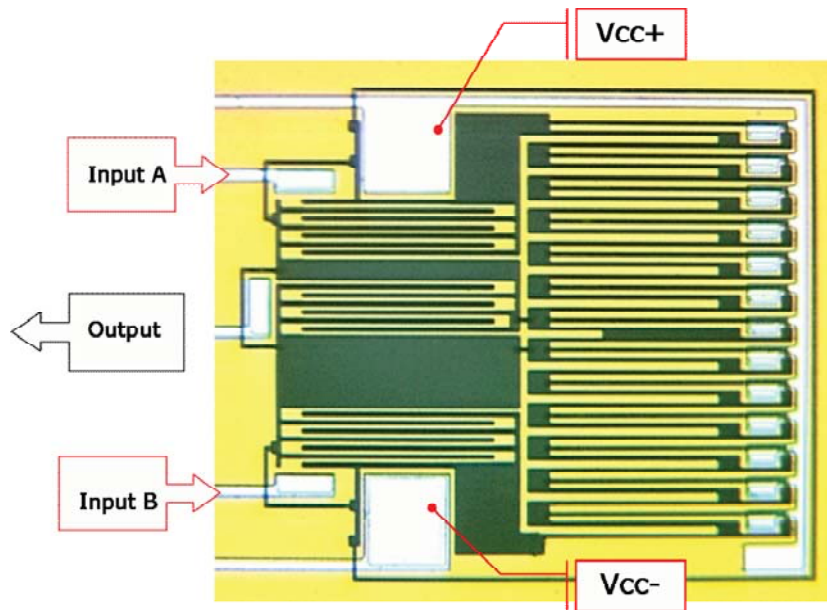


圖 2.2 體型微加工技術所製作出的微機電邏輯閘[45]

2.1.2 雙層式的微機電邏輯閘

為了簡化微機電邏輯閘的製作程序，降低操作電壓，使所設計的微機械邏輯閘更容易能與其他 IC 元件(BJT、FET)整合在一起，本研究提出了一種雙層式的微機電邏輯閘結構，並使得該結構可以利用表面微加工(surface micromachining)技術來製作。

如圖 2.3(a)所示，上層結構(黃色區塊)為一翹翹板式的平板，此結構主要是由導電性的材料所組成，如摻雜的多晶矽、金屬金(au)或複合式的材料，而該平板由中間灰色區塊的絕緣層(isolation layer)所阻隔，如此即可在平板左邊施以直流偏壓 V_{cc+} ，右邊施以直流偏壓 V_{cc-} 。平板由左右兩側的懸臂樑支撐著，此懸臂樑結構為旋轉彈簧(torsional spring)提供平板彈性恢復力(resilient force)；如圖 2.3(b)所示，下層結構(紅色區塊)則是固定的底電極，包含了三部分：(1) 施加直流偏壓(V_{cc+} , V_{cc-})的 pad 電極(pad A and pad B)、(2) 輸入電極 A 及 B (input terminal A and B)及(3) 輸出電極(output terminals)。此元件結構與一般靜電力驅動的旋轉微結構相似，利用扭轉模態(torsion mode)來進行致動，最大不同之處在於其懸浮平板結構必須攜帶兩種不同電位，亦即此平板結構的左右兩側必須機械相連但是電性分開。

本元件的操作原理如下：當分別輸入 V_{cc-} 及 V_{cc+} 的電壓訊號於 pad A 及 pad B 電極後，電壓訊號即可透過支撐結構(anchor)再透過懸臂樑，使平板兩側分別帶 V_{cc-} 及 V_{cc+} 的電壓訊號；同時又在輸入電極(input terminals A and B)施加 V_{cc-} 或 V_{cc+} 的電壓訊號後，因為底電極的驅動面積(A_l and A_r , 參圖 2.3)被刻意設計成左右兩邊尺寸不對稱，所以即使平板左右兩側與其相對應的底電極有相同的電壓差，在平板的左右兩側仍會因為驅動電極面積不同，而產生不同大小的靜電力，使得平板可朝左或右傾斜做蹺蹺板運動(see-saw motion)，並讓平板上的電極接觸到輸出電極，進而傳遞出懸浮平板上左側或右側的電壓訊號。

圖 2.4 分別為 NOR 閘與 NAND 閘的施加偏電壓的配置。根據表 2.1，依序輸入四種數位訊號組合於輸入電極 A 及輸入電極 B (input A and input B)，使得平板受到靜電力矩的作用產生扭轉運動而接觸到輸出電極，如此平板上的電壓即可藉由 output 端輸出。

此外，利用此元件搭配如圖 1.9 的配線方式，即可達到其它邏輯閘之邏輯功能，如 AND、OR 及 NOT 閘。因此相較於先前文獻的邏輯閘設計[6], [14]，本文所設計的邏輯閘除了能減少佈局面積的浪費外，元件將更具潛力來實現一個複雜的邏輯電路。

此雙層式邏輯閘設計比較 2.1.1 小節中所提出的三層式邏輯閘設計，兩者的相同處在於機械結構上皆需一個可以搭載兩個電位的懸浮結構；在相異之處則是三層式邏輯閘元件是採取調控上/下層間之間隙大小來達到邏輯運算功能，而雙層式的邏輯閘設計則是透過設計不同尺寸的驅動面積，來達到邏輯閘功能。

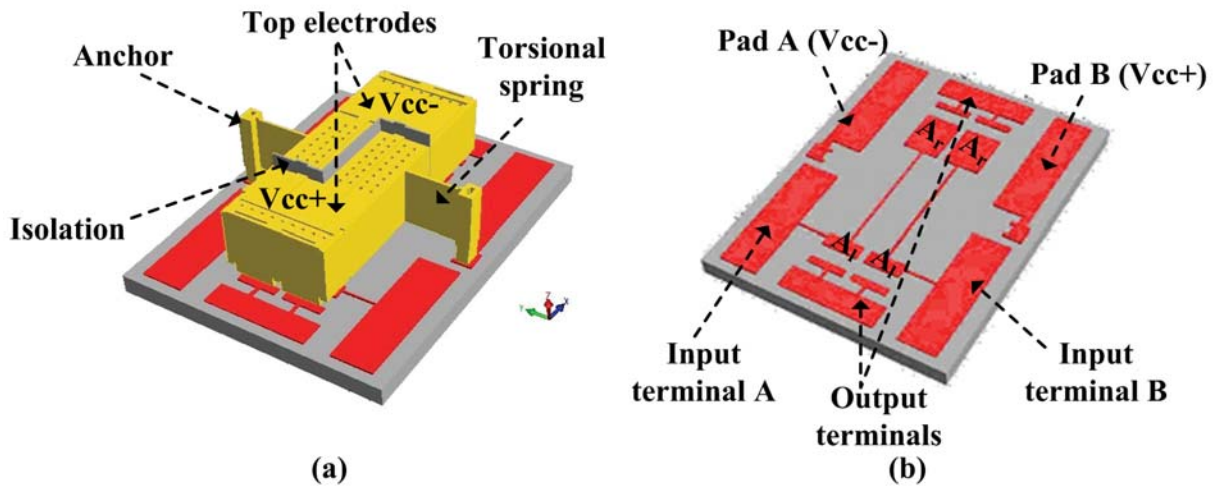


圖 2.3 微機電邏輯開元件 (a) NOR 邏輯開電壓配置 (b) 3D 原型(Prototype)，含絕緣層示意圖

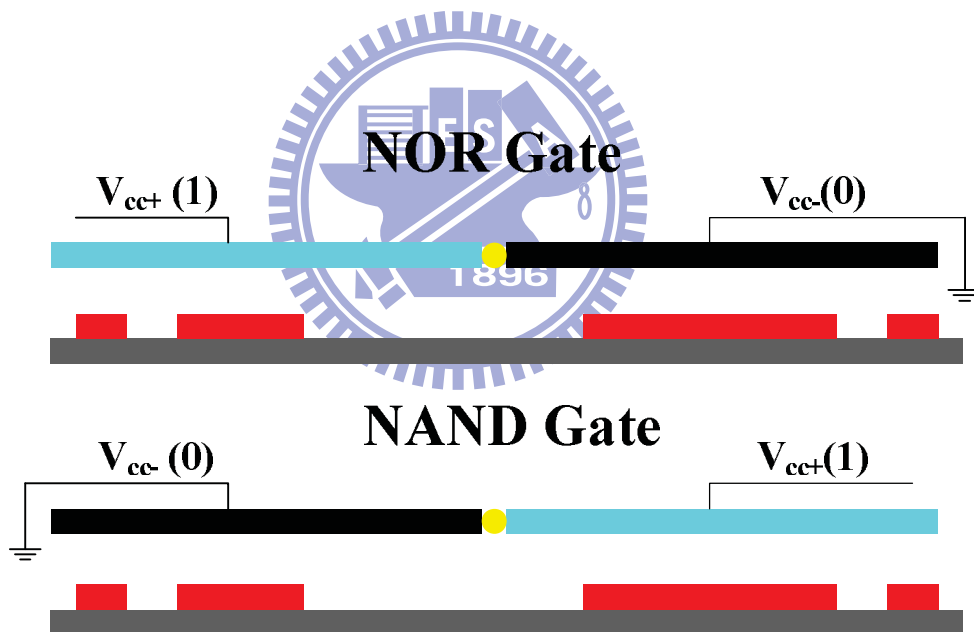


圖 2.4 NOR 開及 NAND 開的偏壓配置示意圖

2.2 雙層式微機電邏輯閘之設計與模擬

根據 2.1 節中所提出的微機電邏輯閘之操作原理可發現，設計/製作雙層式微機電邏輯閘元件的關鍵技術在於必須要確定懸浮的平板結構能夠根據所輸入的電壓組合，按照設定的方向向左或向右旋轉，並藉由電極間的接觸，傳遞出對應的輸出訊號。為了要達到上述的目標，微機電邏輯閘的吸附電壓(pull-in voltage)、結構及尺寸設計、動態響應、狀態轉換(state transition)等即顯得相當重要。因此，本小節將詳述微邏輯閘的動態分析及重要尺寸/結構設計。

2.2.1 微機電邏輯閘的動態分析

本論文所提出的雙層式元件構造，其懸浮結構是由一個平板結構被兩側細長的懸臂樑所支撐著，如圖 2.5 所示。平板受到靜電力吸引產生靜電力矩而進行扭轉(torsion)運動，支撐的懸臂樑則扮演著彈簧的角色，提供恢復力讓平板回到水平位置，因此整個系統的動態可以被模擬為一二階的動態系統，受到靜電力矩及懸臂樑提供的恢復力矩，其動態方程式可表示為：

$$I_{\theta}\ddot{\theta} + C\dot{\theta} + K_t\theta = M_R - M_L \quad (2.2)$$

在此， I_{θ} 是平板的質量慣性矩(mass moment of inertia)； C 是系統中的阻尼係數(damping coefficient)； K_t 是總彈簧的旋轉剛性(torsional stiffness)； M_R 及 M_L 分別代表在平板左右兩端所產生的靜電力矩(electrostatic torques)。

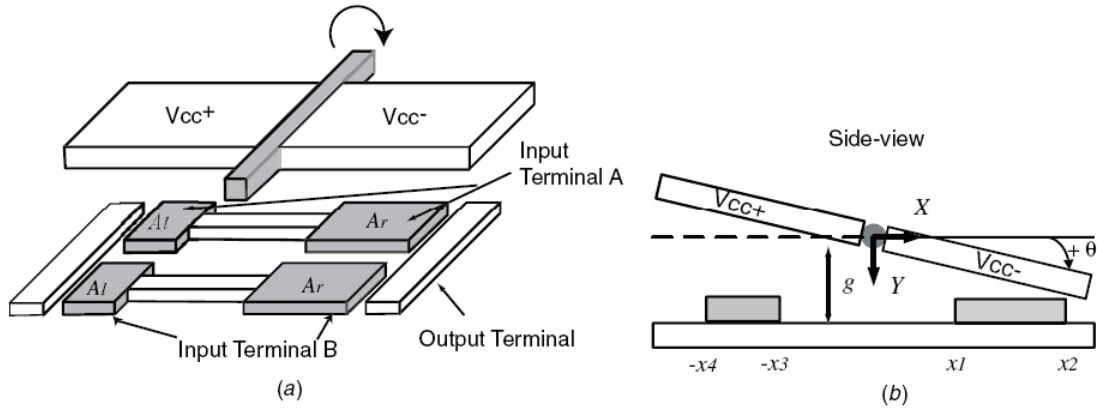


圖 2.5 雙層式微機械元件之扭轉結構設計：(a) 3-D 示意圖 (b) 側面圖

根據圖 2.5(b)所示的驅動電極位置，左右兩邊不同尺寸的下電極對懸浮結構所產生的靜電力矩可由下式獲得：

$$\begin{aligned}
 M_R &= \frac{\varepsilon\omega((V_{cc-} - V_a)^2 + (V_{cc-} - V_b)^2)}{2} \int_{x_1}^{x_2} \frac{x}{(g - x\theta)^2} dx \\
 &= V_R \times \frac{(x_2 - x_1)g\theta - (g - x_1\theta)(g - x_2\theta) \ln((g - x_1\theta)/(g - x_2\theta))}{\theta(g - x_1\theta)(g - x_2\theta)} \\
 M_L &= V_L \times \frac{(x_4 - x_3)g\theta - (g - x_3\theta)(g - x_4\theta) \ln((g - x_3\theta)/(g - x_4\theta))}{\theta(g - x_3\theta)(g - x_4\theta)}
 \end{aligned} \tag{2.3}$$

其中

$$\begin{aligned}
 V_R &= \frac{\varepsilon\omega((V_{cc-} - V_a)^2 + (V_{cc-} - V_b)^2)}{2} \\
 V_L &= \frac{\varepsilon\omega((V_{cc+} - V_a)^2 + (V_{cc+} - V_b)^2)}{2}
 \end{aligned}$$

在此， ω 代表平板的寬度； g 為電極間之間隙(gap)； x_1 、 x_2 、 x_3 及 x_4 分別代表左右兩邊的下電極板相對於平板中心的座標位置。

根據圖 2.5 的元件結構設計，平板是由兩個左右連接的懸臂樑結構所支撐，並藉由連接的懸臂樑提供彈性恢復力矩，而此連接懸臂樑在自行研發的製程中或是 CMOS-MEMS 製程中，很可能是一多層材料的複合結構。因此元件的旋轉剛性（公式 (2.2) 中的 K_t ），可以利用多層薄膜的樑受到旋轉力矩的理論來做計算[46], [47]。相關公式如下：

$$K_t = \frac{2 \sum_i^n G_i I_{pi}}{L}, \quad (2.4)$$

$$I_{pi} = t_i^3 \omega_s \left[\frac{1}{3} - 0.21 \frac{t_i}{\omega_s} \left(1 - \frac{t_i^4}{12 \omega_s^4} \right) \right] + \omega_s t_i d_i^2$$

在此， ω_s 、 t_i 、 G_i 、及 I_{pi} 分別代表多層薄膜結構內，每一層結構的寬度(width)、厚度(thickness)、剪力模數(shear modulus)及極慣性矩(polar moment of inertia)。而 d_i 的距離則為“多層”薄膜結構的截面積之中性軸位置(neutral axis)到“單層”薄膜結構的截面積之形心位置(centroidal axis)。

在平板的質量慣性扭矩(I_θ)部分，亦可利用到多層薄膜理論求得公式(2.5)。

$$I_\theta = \sum_i^n \frac{M_i (\omega_p^2 + t_i^2)}{12} + M_i d_i^2 \quad (2.5)$$

在此， ω_p 為平板之長度(length)， M_i 為各層材料的質量大小。

在無外力的情況下，微機電邏輯閘的第一模態(first mode shape)的轉動頻率為：

$$f = \frac{\omega}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{K_t}{I_\theta}} \quad (2.6)$$

此外，由於此旋轉結構採用靜電力驅動，因此元件驅動的吸附電壓 (pull-in voltage) 亦為本設計的重要參數之一。因為本元件的驅動電極位置與大小不同於傳統的微機電元件，因此我們重新推導本元件的吸附電壓。公式推導如下：

$$\frac{\partial M_R}{\partial \theta} \Big|_{\theta=\theta_s} = K_t = \frac{M_t}{\theta} = \frac{M_R}{\theta} \Big|_{\theta=\theta_s}$$

$$V_p = \frac{\theta_s^{3/2} \sqrt{(g-x_1\theta_s)(g-x_2\theta_s)} K_t}{\sqrt{\epsilon\omega} \sqrt{(x_2-x_1)g\theta_s - (g-x_1\theta_s)(g-x_2\theta_s)} \ln\left(\frac{g-x_1\theta_s}{g-x_2\theta_s}\right)} \quad (2.7)$$

在此， M_t 為懸臂樑的彈性恢復扭矩(resilient torque)； θ_s 為吸附角度(snap down angle)。

2.2.2 邏輯閘的狀態轉換(state transition)分析

狀態轉換(state transition)是用以驗證傳統 IC 邏輯閘性能的重要指標之一[48]。驗證的目的在於確認當輸入不同組合的電壓訊號於數位元件上時，元件能順利的從上一個狀態進入與輸入訊號相對應的狀態。

在此，我們針對 2.1.2 節所提出的雙層式微機電邏輯閘設計，進行狀態轉換的驗證。由於微機電邏輯閘不同訊號的輸出是藉由懸浮平板向所設定的方向旋轉，進而碰觸相對應的輸出電極，因此微機電邏輯閘的狀態轉換驗證在於確認當給予輸入電壓時，懸浮結構是否能在任意角度下朝設定方向旋轉，進而碰觸輸出電極。

為了要能夠完整的研究此狀態轉換的現象，我們把彈性恢復扭矩及靜電扭矩合併於同一張圖中，如此便能整併所有可能的輸入電壓訊號組合與平板的所有轉動角度變化之間的關係。

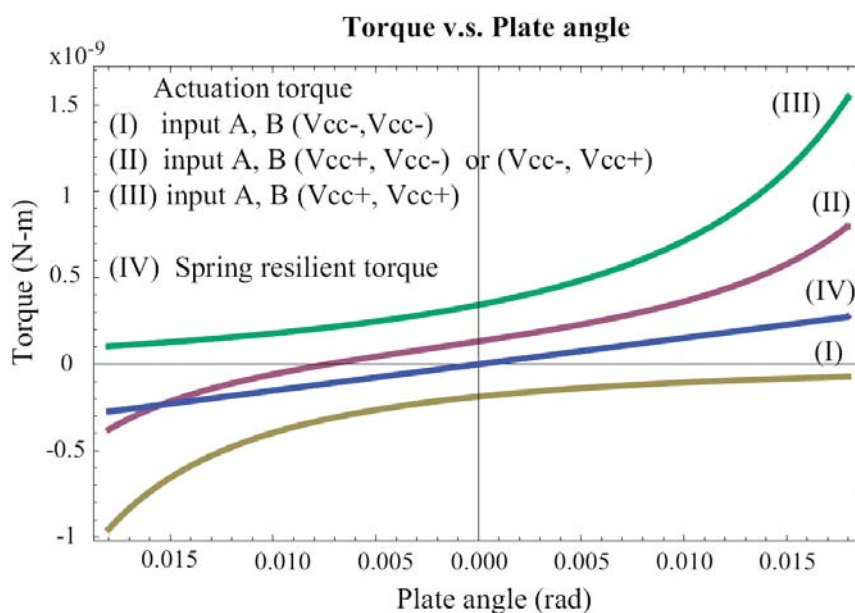


圖 2.6 雙層式微機電 NOR 閘，其靜電扭矩與彈性恢復扭矩之關係圖。如圖所示，靜電扭矩大小為正值時，吸附平板的靜電扭矩會使平板做順時針方向旋轉；相反的，靜電扭矩大小為負值時，平板則是做逆時針方向的旋轉運動。

圖 2.6 為微機電“NOR”閘之靜電與彈性恢復扭矩之關係圖，圖中縱軸為力矩，橫軸為懸浮平板的旋轉角度。如圖所示，當施加一組皆為 V_{cc+} 之電壓於輸入電極(input terminals A and B)上，即為圖中所示意的 case III 的曲線，此時在任何平板旋轉角度下，平板所受到的靜電扭矩為恆“正”，而當施加一組皆為 V_{cc-} 之電壓於輸入電極上，即為圖中 case I 的曲線，此時平板所受到的靜電扭矩為恆“負”。假設懸臂樑的彈性恢復扭矩在平板小角度的轉動下是符合虎克定律(Hooke's law)，則彈性恢復扭矩將會是一條通過原點座標的直線，其斜率大小即是懸浮平板的旋轉剛性，即圖中 case IV 的曲線。因此，若能設計適當大小的扭矩剛性，如圖 2.6 所示，使得其彈性恢復扭矩能夠介於輸入訊號為(1,1)及(0,0)的靜電扭矩之間，且無任何的交點，當輸入訊號為(1,1)時，因為此時的靜電扭矩恆大於彈性恢復扭矩，因此平板能從任意的傾斜角度(tilting angle)下順時針旋轉，直到碰觸到右邊輸出電極，進而輸出對應的訊號。同樣的道理，當輸入訊號為(0,0)時，平板亦能從任意的傾斜角度下逆時針旋轉，直到碰觸到左邊的輸出電極，進而輸出對應的訊號。

為了要達到一個“NOR”閘的邏輯功能，當輸入訊號的組合為(V_{cc+} , V_{cc-})或(V_{cc-} , V_{cc+})時，即是圖中 case II 所代表的訊號組合，其平板的作動方向是必須被設計成能從任意傾斜角度下，順時針轉動直到碰觸到右側的輸出電極。意即在任意的角度下，case II 的值必須被設計成恆大於 case IV。然而理論上這是很難做到的，因為就線性彈簧而言，其恢復力矩與角度關係為一次方關係，靜電力矩與角度約為平方關係，因此只要操作的角度夠大，case II 的靜電力矩無法恆大於 case IV 的彈性恢復力矩。所幸，我們可以藉由尺寸設計（懸浮平板的長度及上下電極層間之間隙大小），來限制懸浮平板旋轉的最大角度。如圖 2.6 所示，若能將平板的旋轉角度限制在 $\pm 0.015 \text{ rad}$ 範圍內。在此範圍內，此兩組輸入訊號((1,0)或(0,1))的靜電扭矩皆能恆大於恢復扭矩，因此，在此範圍內，平板便能作順時針轉動，進而輸出對應的訊號。限制角度的設計方法將會在 2.2.3 小節中詳細說明。

此外，值得一提的是，由於輸入訊號(1,1)與(0,0)所產生的靜電力矩與彈性恢復力矩無交點，代表輸入訊號(1,1)與(0,0)的相對應電壓大於懸浮平板的吸附電壓。因此，我們可以用吸附電壓來決定此微機電元件操作電壓的大小。

2.2.3 邏輯閘的凸塊(dimple)結構設計

懸浮平板的最大旋轉角度，是取決於“平板的長度”及平板層與底電極層之間的“間隙”。然而，只要稍微的更動這兩個參數，元件的致動特性（靜電力矩 vs. 角度曲線）將會有很大的影響。因此，若要由上述兩個參數來決定平板的最大旋轉角度，整個元件參數設計的過程會變成一個迭代的過程。意即，原本由靜電力矩曲線決定的平板最大旋轉角度將因為元件尺寸更改，造成靜電力曲線更改，進而造成最大容許旋轉角度必須隨之更改。為了避免此一狀況，我們在懸浮平板的端點設計凸塊(dimple)結構，藉由凸塊的尺寸設計，我們可以在不需要改變靜電扭矩的大小下，有效的控制或限制平板的最大旋轉角度。

此外，一般在製作懸浮可動結構時，是利用結構層與犧牲層材料之間的高蝕刻選擇比，將犧牲層去除而留下結構層，蝕刻完畢後，必須再經歷清洗與乾燥兩個步驟，微結構才可真正懸浮於基底之上，此過程則稱之為結構釋放(release)。由於清洗的動作，過程中非常容易發生結構與基底之間的沾黏(stiction)現象，導致元件在釋放後無法懸浮。因此，研究上常利用凸塊結構來減少結構與基底的接觸面積，進而改善沾黏狀況(stiction problem)的發生[38], [49]。

所以凸塊結構的設計除了可以在不改變靜電扭矩的大小下，來設定懸浮平板的最大旋轉角度，亦可助於降低結構層與基底之接觸面積，改善沾黏狀況。

2.3 小結

在本小節中 介紹了所設計的微機電邏輯閘操作原理，並建立了相關的數學模型以供後續元件設計/模擬之用。根據元件的操作原理可發現，此設計最大的挑戰在於必須確定元件內懸浮的平板能夠旋轉(扭轉)至預期所設定的方向及與輸出電極接觸(contact)，進而傳遞出對應的電訊號。為了要達到此目標，我們必須針對：包含元件上的驅動電極的形狀及尺寸，支撐彈簧的旋轉剛性，上下電極層間之間隙及驅動電壓、等參數進行設計。然而，在此必須強調一點，懸浮平板的最大旋轉角度是元件具備邏輯功能的關鍵參數。但實際在實作上，懸浮平板非常容易受到殘留應力的影響而產生非預期的彎曲現象，使得此一角度發生變化，為了要減少此一現象，我們必須對薄膜殘餘應力的效應加以校正，及利用凸塊結構的高度限制元件之操作旋轉角度。

三、邏輯閘之應力補償消除設計

如第二章所述，本元件特殊的操作需求，必須要製作出一可搭載兩個電位的懸浮結構，且在此懸浮結構上定義「上電極」，以便與下電極進行金屬對金屬接觸。在研究上通常有兩種作法來實現具金屬電極的懸浮結構：一是使用全金屬材料當作懸浮結構[42]；另一則是利用介電質材料來當作懸浮結構的骨幹，並在介電材料上沉積一層金屬薄膜作為電極[20]。二種方法相較之下，第一種製作上較為簡單，但是無法實現多重電性的特殊規格。因此，本論文採用第二種方式來實現此微機電邏輯閘。然而，若採用第二種，金屬薄膜必須沉積在一介電質平板上，形成雙層結構，且由於低溫製程的關係（必須 CMOS 製程相容），其薄膜的殘餘應力必定相當可觀，導致此雙層結構產生彎曲現象。另外，在專業製程代工廠所提供的 CMOS-MEMS 製程中，由於此製程無論在材質的選用或是製程參數的設定上，並未針對 MEMS 元件作調校，且又因為其金屬層採低溫製程的關係，所以利用金屬層薄膜堆疊出來的懸浮結構，其內部的殘餘應力亦會導致平板產生彎曲變形。此懸浮平板的彎曲變形在一般微機電元件並不樂見，在所設計的微機電邏輯閘中更為嚴重。

本研究考慮兩種微機電製程來設計/製作微機電邏輯閘，並針對此兩種不同的製程設計，各別提出有效的方法來解決懸浮結構的彎曲現象。在自行研發的製程設計中，我們提出了一個新式 in situ 薄膜應力校正法，利用此法決定結構上附加金屬層的薄膜厚度，如此即可藉由三明結構來降低懸浮結構的彎曲量(詳細設計方法，請參考 3.1 小節)；而在 CMOS-MEMS 製程設計中，我們則是透過選取不同金屬及氧化層，來實現一個平坦的懸浮結構。

3.1 自行研發製程之應力補償消除設計

根據自行研發製程，為了實現懸浮平板的多重電性特性，懸浮結構的介電層使用二氧化矽(SiO_2)，金屬層預計採用金/鋁之複合材料，二氧化矽的殘留應力是壓應力，而金

/鋁複合層的殘留應力是張應力，因此無論如何修改尺寸設計，皆無法達成一平坦的懸浮結構。因此為了獲得一平坦的懸浮結構，本文提出在此雙層結構上另外沉積一具有壓應力的材料，並利用本文所提出的 in situ 薄膜應力校正法先求得懸浮平板中每一層結構所存在的殘留應力，接著再搭配三層複合懸臂樑之撓曲理論，即可決定結構上附加金屬層的薄膜厚度，如此即能藉由三明治結構[50]來降低懸浮平板的彎曲形變量。

3.1.1 三層複合懸臂樑之撓曲理論

根據 2.1.2 小節中所提出的邏輯闡設計，懸浮平板是由兩側的懸臂樑所固定。因此殘留應力將會對懸浮的平板本身及支撐懸臂樑分別產生彎曲力矩，使得整個懸浮結構產生彎曲形變，進而改變懸浮平板的最大旋轉角度。但是由於平板兩側的支撐懸臂樑其邊界條件可視為一「固定-固定 (fixed-fixed)」懸臂樑，且其長度及寬度皆遠小於平板。根據初步的估算，支撐懸臂樑的彎曲剛性(bending stiffness)大約比平板的彎曲剛性大 20 倍。因此，由支撐懸臂樑所貢獻的彎曲形變，可以忽略不計；懸浮結構的彎曲變形主要由平板的變形來決定，因此我們可藉由探討多層材料懸臂樑的彎曲變形來估算懸浮平板結構的旋轉角度。

欲計算多層薄膜堆疊結構(multi-layer structure)因殘留應力釋放產生的彎曲形變，必須考量到結構裡每一層薄膜中所存在的平均應力及梯度應力，對整體結構所造成的一個等效彎矩(bending moment)的影響。然而，在本文中所提出的三明治結構，因為其上下兩層的薄膜厚度相較於中間結構層“薄”，所以上下層薄膜中的梯度應力對於整體結構的彎曲變形並無太大的作用，因此可以省略不計。圖 3.1(a)顯示三明治結構之截面應力分佈情況而圖 3.1(b)則為三明治結構的剖面圖。

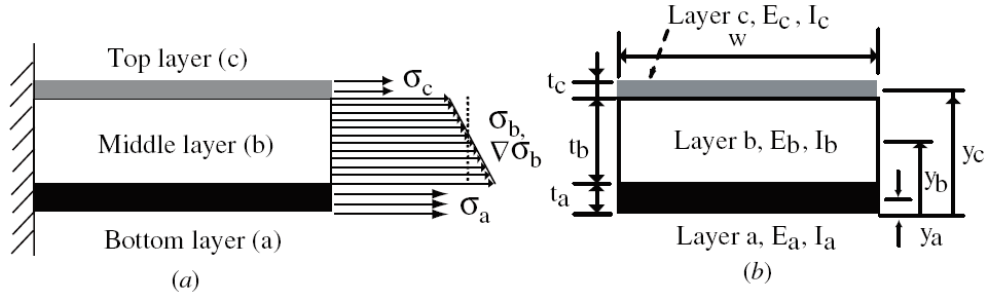


圖 3.1 三明治結構的應力分佈圖：(a) 側面結構示意圖 (b)剖面結構示意圖

因為三明治結構是由三種不同材料所組合而成的，所以本研究透過「變換截面法 (transformed section method)」，或稱「變形截面法」將整個截面結構的材料性質均一化，以便應力分析[46]。在此，本研究是假設中間層為均一化過程中的參考材料。上/下層的等效寬度則可經由自身材料與參考材料的有效彈性模數 (effective elastic modulus, \tilde{E}_i) 之比值求得，如公式(3.1)所示。

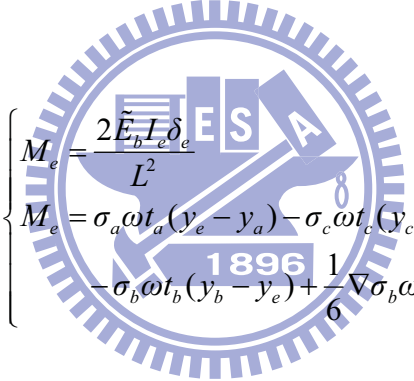
為了要推算出三明治結構的形變量，首先必須求得三層結構的中性軸 (neutral axis, y_e) 及質量慣性矩 (moment of inertia, I_e)。因為原本的結構截面已透過變換截面法被轉換成不同寬度、相同楊氏係數的單一材料結構，所以中性軸，即是在新的結構截面積 (cross-sectional area) 的質心 (centroid) 位置，由公式(3.1)可了解，中性軸推算的方式與每層材料的有效彈性模數 (\tilde{E}_i) 及其等效寬度有關。藉由平行軸理論 (parallel-axis theorem)[51]，三明治結構的質量慣性矩 (I_e) 可由公式(3.2)求得：

$$\begin{aligned} \omega_a &= \left(\frac{\tilde{E}_a}{\tilde{E}_b}\right)\omega, \quad \omega_b = \left(\frac{\tilde{E}_b}{\tilde{E}_b}\right)\omega, \quad \omega_c = \left(\frac{\tilde{E}_c}{\tilde{E}_b}\right)\omega, \\ \tilde{E}_a &= \frac{E_a}{1-\nu_a^2}, \quad \tilde{E}_b = \frac{E_b}{1-\nu_b^2}, \quad \tilde{E}_c = \frac{E_c}{1-\nu_c^2}, \\ y_e &= \frac{y_a\omega_a t_a + y_b\omega_b t_b + y_c\omega_c t_c}{\omega_a t_a + \omega_b t_b + \omega_c t_c} \end{aligned} \quad (3.1)$$

$$I_e = I_a + \omega_a t_a (y_e - y_a)^2 + I_b + \omega_b t_b (y_e - y_b)^2 + I_c + \omega_c t_c (y_e - y_c)^2 \quad (3.2)$$

在此 ω 為三明治結構的寬度， t_a 、 t_b 及 t_c 分別為每一層結構的厚度， E_a 、 E_b 及 E_c 代表著每一層結構的楊氏係數(Young's modulus)， ν_a 、 ν_b 及 ν_c 代表著每一層結構的蒲松比(Poisson's ratio)， I_a 、 I_b 和 I_c 則為每一層結構的慣性矩。

假設結構為小彎曲形變且並未發生幾何非線性(geometry nonlinear)之行為，則作用在三明治結構截面上的殘留應力所產生的彎曲力矩(bending moment)，可由公式(3.3)求得：



$$\begin{cases} M_e = \frac{2\tilde{E}_b I_c \delta_e}{L^2} \\ M_e = \sigma_a \omega t_a (y_e - y_a) - \sigma_c \omega t_c (y_c - y_e) \\ \quad - \sigma_b \omega t_b (y_b - y_e) + \frac{1}{6} \nabla \sigma_b \omega t_b^2 \end{cases} \quad (3.3)$$

在此， σ_a 、 σ_b 及 σ_c 代表每一層結構內的殘餘平均應力，而 $\nabla \sigma_b$ 則代表結構 b 內的殘餘梯度應力。

因此，若可事先知道三明治結構中每一層薄膜所存在的殘留應力大小值，再配合每層結構的材料性質參數；如楊氏係數或慣性矩等，即可藉由此連立方程式，求得此一三明治結構的彎曲形變。

3.1.2 In situ 薄膜應力校正法

由於薄膜的殘留應力與其製程條件相關，所以檢驗的殘留應力的測試元件最好能與所設計/製作的微機電元件同時被製作出來，此做法稱為 in situ 薄膜應力校正法。本論

文根據 W. Fang [28]及 Y.H. Min[33]等作者所發表的兩種殘留應力量測方式，提出了一種適用於多層複合結構的新式的 in situ 薄膜應力校正法，並用此方法來降低薄膜中殘留應力對懸浮結構的影響。

在自行研發的製程中，由於懸浮平板結構為利用三種材料層所組合而成，包含 material a~c，為了獲得每一結構層的殘留應力，依據 in situ 薄膜應力校正法，必需利用三種類型的懸臂樑式檢測結構；具有不同的材料組合及邊界條件，如圖 3.2 所繪。藉由量測其形變量來獲得殘留應力，詳細步驟說明如下：

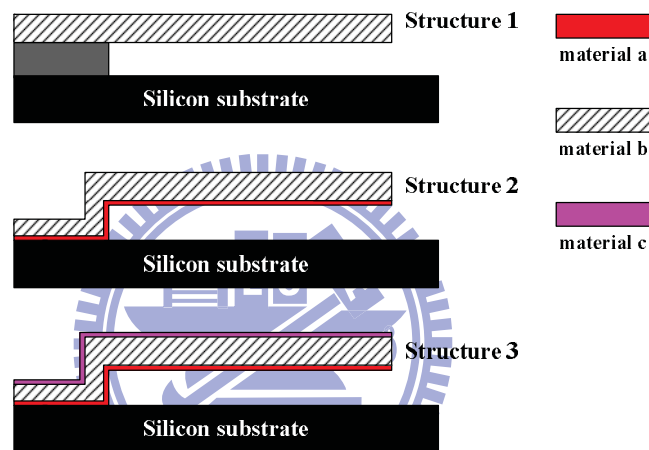


圖 3.2 三種類型的懸臂樑式檢測結構。結構 1 由材料 b(material b)及 nominally clamped boundary 所組成。結構 2 由材料 a、材料 b(material a、material b)及挾鉗型邊界 (clamped boundary)所組成。結構 3 由材料 a、材料 b、材料 c(material a、material b、material c)及挾鉗型邊界所組成。

結構 1 (Structure 1)為單一材料 b(material b)所組成的懸浮結構，其固定端的邊界條件是採用 W. Fan 等作者[28]所提出的 nominally clamped boundary；只拘束著懸臂樑與底材接觸的面。因此，在結構釋放後微懸臂樑在固定端處會產生「邊界旋轉」效應，藉由量測懸臂樑的總旋轉角度(Φ_b)及曲率半徑(ρ_b)，即可推算出單一薄膜的平均應力(mean stress)及梯度應力(stress gradient)，其公式整理如下

$$\sigma_b = \frac{\tilde{E}_b(-0.0043t_b(94.186 + (t_b - 5.465)t_b) + \rho_b\Phi_b)}{\rho_b(1.022 - 0.014t_b)(1.33 + 0.45v_b)}$$

$$\nabla\sigma_b = \frac{\tilde{E}_bt_b}{2\rho_b}$$
(3.4)

在此 ρ_b 及 Φ_b 分別代表曲率半徑(radius of curvature)和在固定端的邊界處之總旋轉角度(rotation angle)。

結構 2(Structure 2)的固定端則是設計成挾鉗型邊界(clamped boundary)，與 Y. Min 等作者[33]所提出的邊界條件設定相同。此結構 2 為兩層的複合材料，分別由材料 a 及材料 b 所組合而成，且其上層材料與結構 1 的材料一樣。當結構釋放後，其殘留應力所造成的彎曲大小，可由下列公式求得：

$$y_B = \frac{y_a\omega_a t_a + y_b\omega_b t_b}{\omega_a t_a + \omega_b t_b}$$

$$I_B = I_a + \omega_a t_a (y_B - y_a)^2 + I_b + \omega_b t_b (y_B - y_b)^2,$$

$$M_B = \sigma_a \omega t_a (y_B - y_a) - \sigma_b \omega t_b (y_b - y_B) + \frac{1}{6} \nabla \sigma_b \omega t_b^2,$$

$$M_B = \frac{2\tilde{E}_b I_B \delta_B}{L^2}$$
(3.5)

因此，藉由量測釋放後的結構 2 之彎曲形變，配合由結構 1 所量測出的殘留應力，即可推算出材料 b 的平均應力。

結構 3(Structure 3)為一三明治結構，其底部的兩層材料的組合與結構 2 相同。藉由量測釋放後的結構 3 之彎曲形變，配合由結構 1 及結構 2 所量測出的材料 a 及材料 b 的殘留應力，將其代入(3.3)公式，即可推算出材料 c 的平均應力。

3.1.3 應力校準之實驗結果

為了要 in-situ 檢測並校準邏輯閘元件中每層薄膜的殘留應力，三種類型的懸臂樑式檢測樣本(如圖 3.2 所示)必須伴隨在元件的製造過程中，一起製作完成。搭配本實驗的微機電邏輯閘設計，材料 a, b, c(material a, b, c)分別為金/鋁(au/aluminum)，二氧化矽(silicon oxide)，和金屬鋁。表 3.1 列出相關材料的性質(properties)及厚度(thickness)。

表 3.1 應力檢測結構之材料參數及薄膜尺寸

Properties	Material a (Gold/Aluminum)	Material b (Oxide)	Material c (Aluminum)
Young's modulus (GPa)	75 [52] /80[52]	75 [52]	80 [52]
Possion's ratio	0.4[53] /0.35[52]	0.3[52]	0.35 [52]
Density(kg/m ³)	19280/2700	2200	2700
Thickness (μm)	0.3	2.94	0.25
Length (μm)	125 1896	125	125
Width (μm)	100	100	100

使用非接觸式的白光干涉儀(non-contact white-light interferometer)，量測懸臂樑式檢測樣本之表面彎曲輪廓(deflection profile)。圖 3.3(a)顯示結構 1(Structure 1)的彎曲量(δ_a)為 $4.01 \mu\text{m}$ 和曲率半徑(ρ_b)為 $2.24 \times 10^{-3} \text{m}$ 和圖 3.3(b)表示結構的邊界旋轉角度(Φ_b)為 5.58mrad 。利用公式(3.4)，可求得組成結構 1 的二氧化矽薄膜，其內部的平均殘餘應力平均值約為 270 MPa 的壓應力且其梯度應力的平均值約為 $36.7 \text{MPa}/\mu\text{m}$ 。結構 2(Structure 2)的彎曲量(δ_b)為 $3.16 \mu\text{m}$ 。利用公式(3.5)，可推算出組成結構 2 的金/鋁(au/aluminum)薄膜，其內部的平均殘餘應力的平均值約為 140 MPa 的張應力。結構 3(Structure 3)的彎曲量(δ_c)為 $0.4 \mu\text{m}$ 。利用公式(3.3)，可計算出組成結構 3 的鋁(aluminum)薄膜，其內部的平均殘餘應力的平均值為 70 MPa 的壓應力。

由先前的討論得知，本邏輯閘的懸浮結構(二氧化矽介電層與金/鋁金屬層)與測試元件中的結構 2 雷同，但是其嚴重向下彎曲，可能會在無施加電壓下直接碰觸下電極，因此必須將其殘留應力作一補償。且由上述的實驗結果得知，二氧化矽為壓應力，金/鋁為張應力，因此無法由改變這兩種材料的沉積厚度來獲得一平坦的雙層懸浮結構。如欲獲得一平坦的懸浮結構，可行的作法之一是在此雙層結構上另外沉積一具有壓應力的材料，如本實驗的金屬鋁層(壓應力 70MPa)並調控其沉積厚度，藉此調節結構內部之應力分佈，減緩彎曲形變量。

在此，我們將實驗所得的此三層材料的殘留應力代入(3.1)~(3.3)公式中，可以得知在原本的二氧化矽-金/鋁雙層測試懸臂樑結構上，必需額外沉積 $0.3 \mu\text{m}$ 的金屬鋁，才能獲得一平坦無彎曲現象的結構。此外，我們將所推算出的殘餘應力及元件尺寸參數，代入有限元素軟體(ANSYS)作殘餘應力對懸臂樑結構所造成的彎曲形變分析，其模擬結果亦可得到近乎平坦無彎曲的懸臂樑結構(彎曲量 $< 0.035 \mu\text{m}$)。

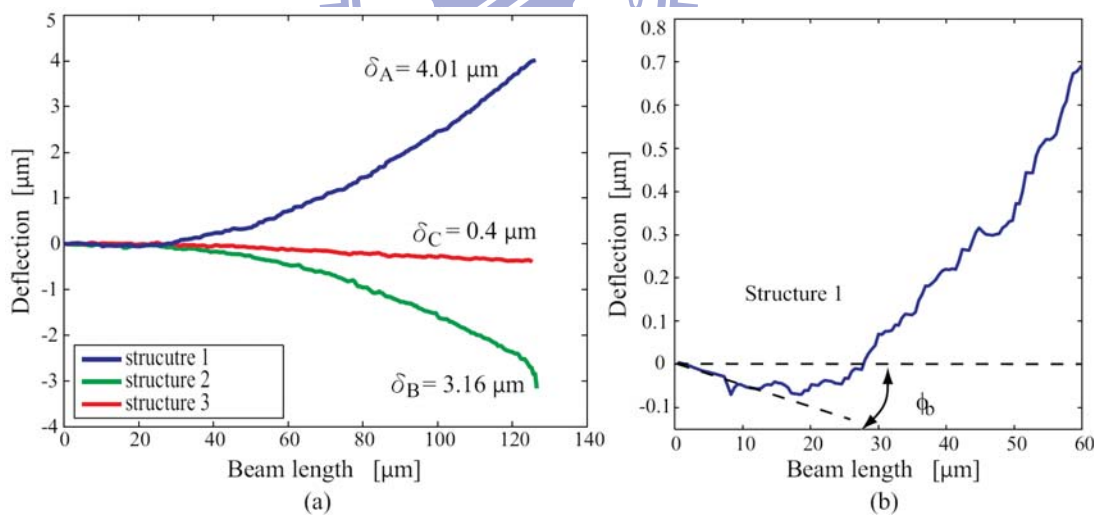


圖 3.3 (a) 三種檢測結構的彎曲形變量 (b) 放大結構 1 部分區塊的彎曲形變

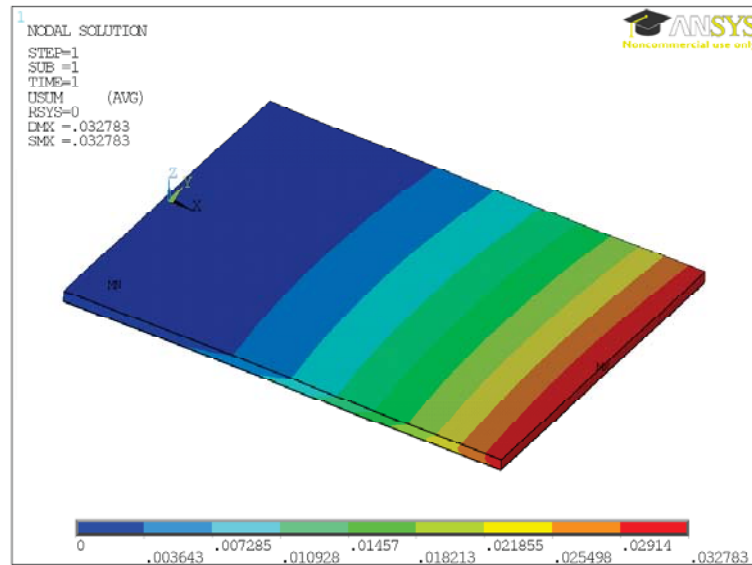


圖 3.4 在原本的二氧化矽-金/鋁雙層結構上，沉積 $0.3 \mu\text{m}$ 的金屬鋁，由模擬結果發現，可獲得近乎平坦無彎曲現象的測試懸臂樑結構(端點處彎曲量 $< 0.035 \mu\text{m}$)。

3.2 TSMC CMOS-MEMS 應力補償消除設計

利用專業代工廠所提供的 CMOS-MEMS 製程製作懸浮結構時，其結構必須由其中的金屬層及介電質層組合而成。由於無法改變每一層的製程參數及厚度，因此在自行研發製行程中所使用的 in situ 薄膜應力校正法將不適用。所以在此製程中，為了能得到一平坦的懸浮結構，本論文研究利用此製程所能提供的有限材料層(參 1.6 小節)，配置出可能的金屬/介電層組合作為懸浮結構的材料結構。最後，再搭配反應離子全面乾蝕刻的後製程技術微調平板之厚度，以獲得最佳化的平坦平板結構。

在懸浮結構的材料選擇部分，由於元件的底電極及犧牲層必須分別用到製程所提供的 metal-1 及 metal-2 層，因此懸浮結構的材料選擇只有如圖 3.5 所示的，三種可能的組合：(1)由 metal-3 層及介電層所組合而成的 type 1 元件；(2)由 metal-3 層、metal-4 層及介電層所組而成的 type 2 元件；(3)由 metal-4 層及介電層所組合而成的 type 3 元件。然而，實際在製作元件時，又因受到某些製程參數的影響，使得 type 2 及 type 3 無法製作成功，因此僅剩 type 1 元件可進行後續的乾蝕刻實驗，詳細的製程流程及實驗結果請參考 5.1.2 小節。

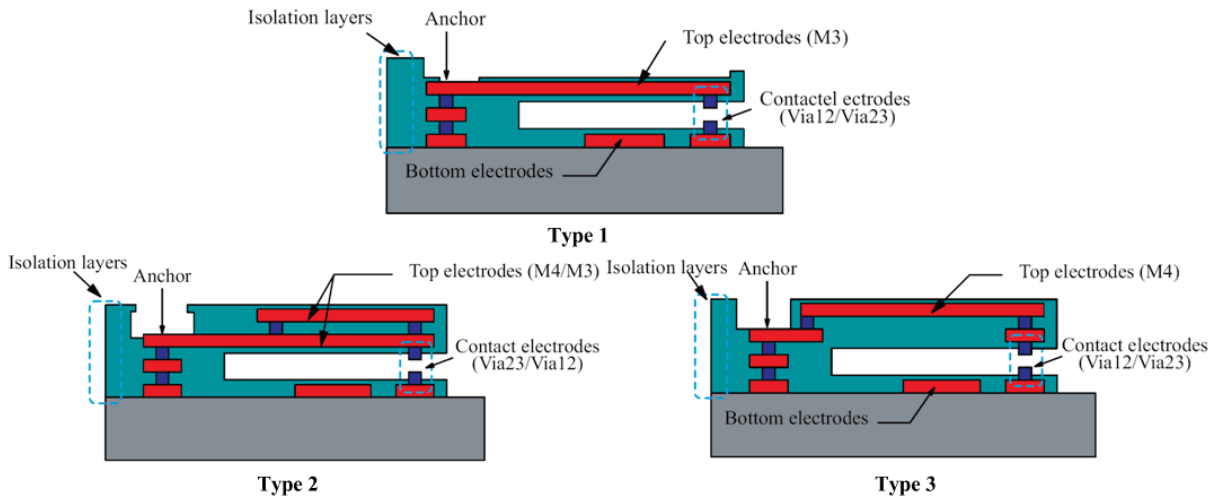


圖 3.5 Type 1~3 元件，其材料組成示意圖

3.3 小結

在本小節中，本論文針對兩種不同的製程設計，各別提出有效的方法來解決懸浮結構的彎曲現象。在自行研發的製程部分，我們利用 *in situ* 薄膜應力校正法來決定結構上附加金屬層的薄膜厚度，如此即可藉由三層式的複合材料結構來降低懸浮結構的彎曲量。在利用專業代工廠所提供的標準 CMOS-MEMS 製程部分，本論文設計出三種不同金屬及介電層的配置來組成平板結構，並搭配後製程加工技術來微調懸浮結構之整體厚度，藉此降低懸浮結構的彎曲量。

四、微機電邏輯閘之模擬分析

4.1 微機電邏輯閘之設計模擬流程

為了要驗證微機電邏輯閘的可行性，本論文利用有限元素分析(finite element analysis)軟體建構元件的3-D模型，模擬分析元件的特性，包括：共振動模態(modal shape)、共振頻率、時間響應、邏輯功能、狀態轉換、等功能。同時驗證前章節所進行的數學模型推導。

4.1.1 元件的關鍵尺寸設計及數值模擬分析

依據第二章的設計理論及考量到自行研發製程之機台能力限制，一開始設計元件尺寸時，必須先決定其上下電極層間之間隙大小為 $3\ \mu\text{m}$ 及固定平板的懸臂樑寬度為 $10\ \mu\text{m}$ 。接著根據 2.2.2 小節的狀態轉換模擬，為了讓平板可產生適當的驅動力矩與彈性恢復力矩以達到元件之邏輯功能，其它關鍵尺寸將被設計如下：懸浮平板長 $250\ \mu\text{m}$ ，寬 $100\ \mu\text{m}$ ；固定平板的懸臂樑長 $45\ \mu\text{m}$ 。

將表 4.1 之邏輯閘關鍵尺寸代入(2.7)的「吸附電壓」方程式，可求得元件在輸入訊號組為(1,1)及(0,0)時，其分別之吸附電壓為 $27.83\ \text{V}$ 及 39.29V 。因此元作之操作電壓 (V_{cc+} , V_{cc-}) 最好能設計在(25, -25)，此時元件上下電極之電壓差為($\Delta V=50\text{V}$)，因為電極電壓差大於(1,1)及(0,0)的吸附電壓，因此可確保元件在輸入訊號(1,1)及(0,0)時，皆可以正確動作無誤。

此外，根據 2.2.3 小節的凸塊結構設計，為了讓輸入訊號組合為(1,0)及(0,1)時，靜電力驅動力矩與彈性恢復力矩相等的旋轉角度($-15\times 10^{-3}\text{rad}$)不會發生，因此將凸塊高度設計為 $2\ \mu\text{m}$ ，如此會讓懸浮平板的操作角度範圍被拘束在 $\pm 8\times 10^{-3}\text{rad}$ 。因此，元件即可順利達到狀態轉換的功能。根據(2.6)公式可推算出元件的第一共振頻率為 $39.25\ \text{kHz}$ 。所設計的邏輯閘關鍵尺寸及其他重要性能響應已列於表 4.1。

表 4.1 利用金屬對金屬接觸的低溫製程所製作的微機電邏輯閘之關鍵尺寸

平板長度(Plate length)	250 μm
平板寬度(Plate width)	100 μm
平板厚度(Plate thickness)	3 μm
底電極座標位置(x_1, x_2, x_3, x_4 , 參考圖 2.5)	40 $\mu m, 100 \mu m$ -80 $\mu m, -100 \mu m$
扭轉樑(torsion beam)之寬度/長度	10 $\mu m/45 \mu m$
驅動電壓(Actuation voltages, V_{cc+}, V_{cc-})	25, -25 V
上下電極層間之間隙(Gap, (g))	3 μm
凸塊結構高度(Dimple height)	2 μm
最大操作角度(Max. operating plate angle)	$\pm 8 \times 10^{-3} \text{ rad}$
輸入電壓組為(1,1)和(0,0)的吸附電壓(Pull-in voltage)	27.83/39.29 V
預期的操作頻寬(Expected bandwidth)	40 kHz

然而，由本節的模擬結果可知，10 μm 的支撐懸臂樑的寬度及 3 μm 的上下電極的間距(gap)將會使得操作電壓過大($(V_{cc+}, V_{cc-}) = (25, -25V)$)，將無法直接與現有的 CMOS 電路直接結合。但是根據第二章的設計理論及數值模擬分析可發現，若能把支撐懸臂樑的寬度降低為 2 μm 且上下電極的間距減少為 1 μm 。此時，元件的操作電壓即可下降至 $(V_{cc+}, V_{cc-}) = (1.5, 0 V)$ ，操作頻寬約為 8 kHz。即可與現有的 IC 元件直接整合。然而，這樣的設計規格需要極為精準的製程參數控制能力。在本文中，受到製程機台的能力限制，仍決定採用 10 μm 的懸臂樑的寬度及 3 μm 的間距(gap)，方便製作元件，進行概念驗證。

4.1.2 模態分析(modal analysis)

本論文中，使用商用有限元素分析軟體 ANSYS 來做模態分析(modal analysis)，所建立的元件 3D 模型包含蝕刻孔，因為包含蝕刻孔，所以整體模型形狀較為複雜，為求精準，使用節點較多的元素 186 (element solid 186)來做分析，並改變網格大小以確認模擬結果無誤，目前使用 12933 個網格元素 (element) 數目。

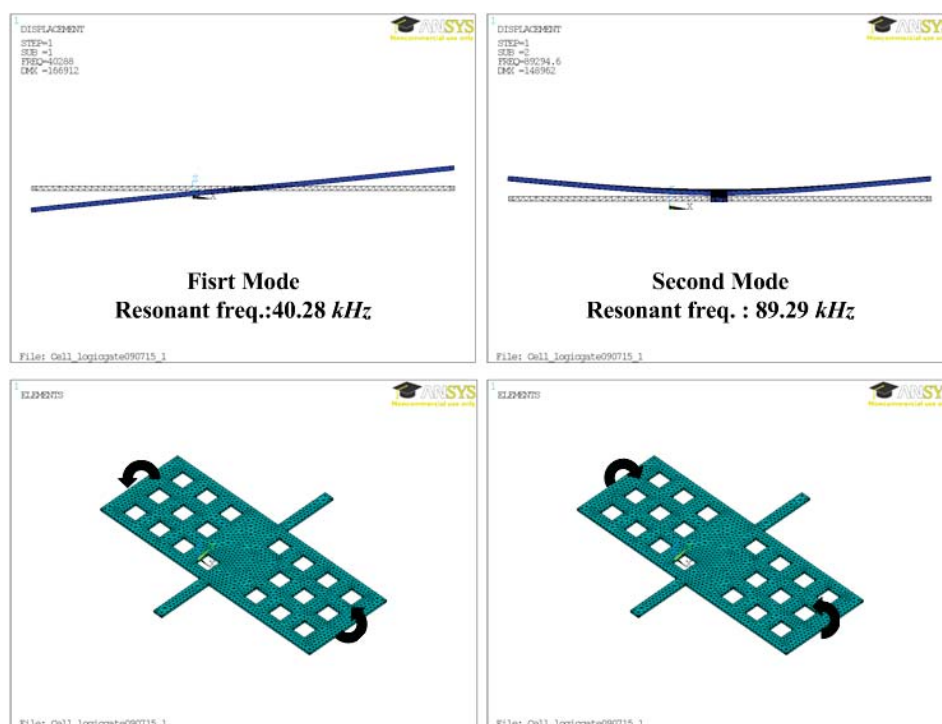


圖 4.1 有限元素法之元件模態分析 (a)第一共振頻發生在 40.28 kHz；(b)第二共振頻發生在 89.29 kHz

圖 4.1 為利用 ANSYS 軟體所建立的網格化 3-D 元件模型。如圖 4.1(a)所示，元件的第一共振頻率為 40.28 kHz，此時懸浮平板以支撐彈簧為軸心作翹翹板式的扭轉運動。如圖 4.1(b)所示，元件的第二共振頻率為 89.29 kHz，此時懸浮平板的兩側進行同步的上下振動。元件作動在自然頻率下，會發生共振的情形，過了該頻率後元件的響應會快速衰減，因此第一個自然頻率發生點限制著該元件的操作頻寬，而設計元件除了要考慮第一共振點的位置，也要讓其他方向運動的共振頻率遠離第一共振點，以避免元件作動有

耦合(coupling)的現象產生。由模擬的結果發現，此兩個共振率的位置有些接近，必須在未來的研究上加以修正。

4.1.3 元件的邏輯功能(logic functions)模擬

在本論文中，另外利用有限單元分析軟體(CoventorWare) 將原先設計好的光罩檔(mask layout)及每一層的厚度輸入於軟體中，建立起相對應的3-D微機電邏輯閘模型。利用此模型驗證在第二章節所提出的邏輯設計理論，包含元件的邏輯功能之作動方式及其狀態轉換功能。模擬的結果如圖4.2所示，當輸入訊號組合(input A, input B)為(0,0)時，懸浮的平板會做逆時針(counterclockwise)方向的轉動，進而輸出1的訊號(等同於 V_{cc+})。當輸入訊號組合為(1,1)、(1,0)及(0,1)時，懸浮的平板會做順時針(clockwise)的轉動，進而輸出訊號0 (等同於 V_{cc-})。另外，若依序施以不同的電壓組合((0,0) \leftrightarrow (1,1) \leftrightarrow (1,0) \leftrightarrow (0,1))，懸浮結構便能順利的從原來的停放角度旋轉至下一個設定的角度，此模擬結果同時可確認此結構的邏輯功能之作動方式及狀態轉移皆正確無誤，進而驗證此微機電NOR閘的可行性。

此外，只要將NOR閘的偏壓反接(V_{cc-} 及 V_{cc+})，同樣依序輸入四種數位訊號組合，如圖4.3 所示，由其對應的旋轉方式，亦可證明所設計的微機電邏輯閘能夠在不更改機械結構的狀況下，藉由更改直流偏壓的配置，而達到NAND閘的邏輯功能。

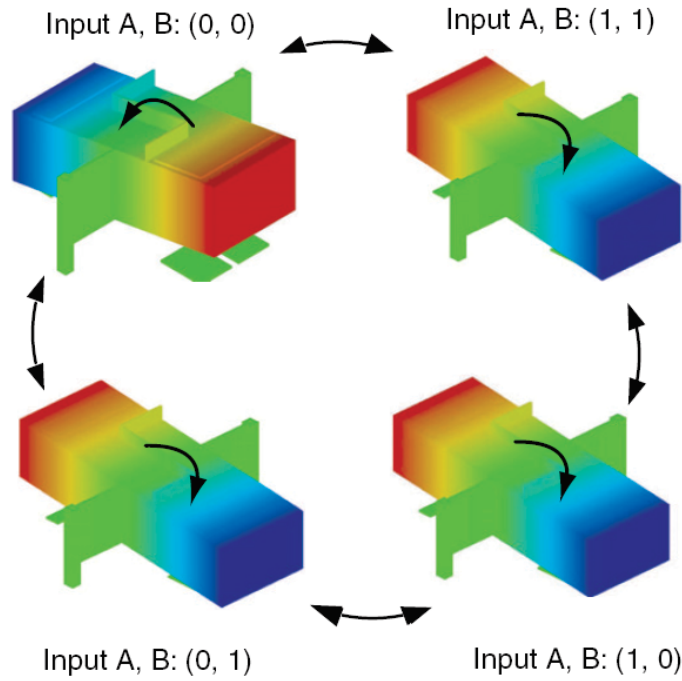


圖 4.2 利用有限分析軟體(CoventorWare)建立起相對應的 3D 微機械邏輯。輸入的電壓訊號組合變化為 $(0,0) \Leftrightarrow (1,1) \Leftrightarrow (1,0) \Leftrightarrow (0,1)$ ，懸浮平板旋轉至預期設計的方向，即可讓元件具備 NOR 閘的邏輯訊號輸出。

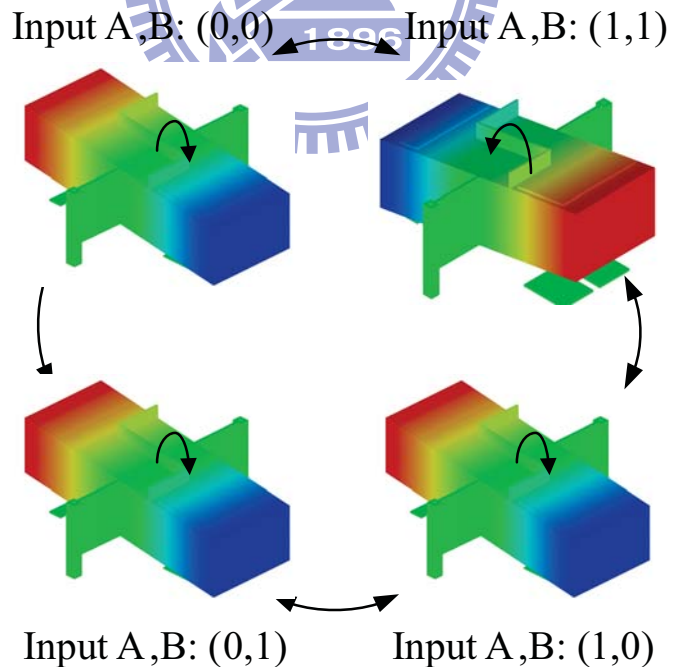


圖 4.3 反接圖 4.2 的偏壓配置後，依序四種數位訊號組合 $((0,0) \Leftrightarrow (1,1) \Leftrightarrow (1,0) \Leftrightarrow (0,1))$ ，懸浮平板之對應的旋轉方向，亦可讓元件具備 NAND 閘的邏輯訊號輸出。

4.1.4 殘留應力對懸浮平板所造成之彎曲形變模擬

根據第三章殘留應力的結論，若於測試懸臂樑結構上另外沉積鋁金屬（壓應力，70MPa），沉積厚度 $0.3\ \mu\text{m}$ ，會得到一個平坦的懸臂樑結構，因此理論上應採用 $0.3\ \mu\text{m}$ 的鋁來製作本邏輯閘元件，但是由於本實驗所使用的機台並非專業機台，其製程沉積厚度難以控制準確，所以本論文在模擬時是根據實驗結果(將於6.2.1小節詳述，參圖6.2)採用壓應力為70MPa，沉積厚度為 $0.25\ \mu\text{m}$ 的鋁來製作本邏輯閘元件。

若懸浮平板受到殘留應力而產生向上彎曲(curl up)形變，依據 2.2.2 小節的邏輯閘狀態轉換分析得知，平板的旋轉角度將會超過所設計的最大旋轉角度($\pm 15 \times 10^{-3}\ \text{rad}$)，因而讓邏輯閘的邏輯功能失效。相反的，若懸浮平板向下彎曲(bend down)形變，會讓平板在不施加操作電壓的情況下，就會與輸出電極接觸，亦會使得元件之邏輯功能失效。所以若可將平板受到殘留應力影響所造成的彎曲形變限制在平板的最大旋轉角度($\pm 15 \times 10^{-3}\ \text{rad}$)範圍內，將可確保其元件的邏輯功能不失效

在本小節中，利用表3.1的材料參數與厚度、表4.1的邏輯閘元件尺寸及實驗所得的三層材料之殘留應力(參考 3.1.3小節)，代入有限元素軟體作殘餘應力對懸浮平板結構所造成的彎曲形變分析。在分析過程中，利用有限元素分析軟體(ANSYS)所提供的“INIS”指令，把「平均應力」施加於懸浮平板中的每一層薄膜結構中；利用“SFGRAD”指令將「梯度應力」施加於懸浮平板之中間薄膜層內，如此即可預測懸浮平板的彎曲形變。模擬結果如圖4.4所示，在結構兩端點處，平板的最大彎曲形變為 $0.75\ \mu\text{m}$ ，因此會讓平板的旋轉角度減少 $6 \times 10^{-3}\ \text{rad}$ ，由於所設計的上下電極層間之間隙高度為 $3\ \mu\text{m}$ ，因此平板彎曲所造成的旋轉角度仍小於邏輯功能所要求的最大旋轉角度 $15 \times 10^{-3}\ \text{rad}$ ，因此平板微彎曲後並不會直接與輸出電極接觸，造成元件邏輯功能失效的情況發生。此模擬結果與實際平板結構懸浮後的彎曲量(參考6.2.1小節)比較約略有10%的誤差。

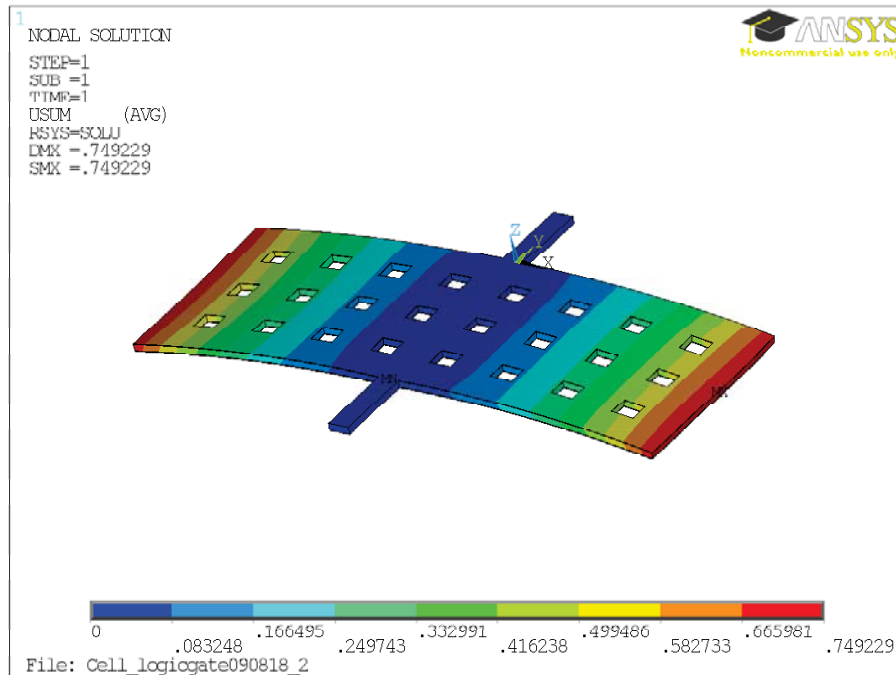


圖 4.4 有限元素軟體模擬平板結構的彎曲形變，其端點處的最大彎曲量為 $0.75 \mu\text{m}$ 。

4.2 小結

在本章節利用商用有限單元軟體ANSYS，確認所設計的微機械邏輯閘其操作頻率可達 40.28 kHz 。此外，若是所製作的懸浮結構由“鋁/二氧化矽/金鋁”的三層結構組合而成，其中厚度分別為： $0.25 \mu\text{m}/3 \mu\text{m}/0.3 \mu\text{m}$ ，模擬結果發現，懸浮平板有往下彎曲的趨勢且最大的彎曲量達到 $0.75 \mu\text{m}$ 。因為所設計的上下電極層間之間隙高度為 $3 \mu\text{m}$ ，因此彎曲量所造成的旋轉角度仍小於邏輯功能所要求的最大旋轉角度 $-15 \times 10^{-3} \text{ rad}$ ，因此平板微彎曲後並不會直接與輸出電極接觸，造成元件邏輯功能失效的情況發生。

此外，利用商用有限單元軟體Coventorware，確認所設計的微機電邏輯閘元件可操作在 $(V_{cc+}, V_{cc-}) = (25, -25\text{V})$ ，元件具有邏輯功能，且元件輸出的「狀態轉換」可正常進行。此外，透過模擬驗證，僅需要將直流偏壓的配置更改，元件即可由NOR閘的邏輯功能轉換成NAND閘的邏輯功能。

本章節同時驗證，若能把支撐懸臂樑的寬度降低為 $2 \mu\text{m}$ 且上下電極的間距減少為 $1 \mu\text{m}$ 。此時，元件的操作電壓即可下降至 $(V_{cc+}, V_{cc-}) = (1.5, 0 \text{ V})$ ，操作頻寬約為 8 kHz 。

此操作電壓即可直接與現在的IC元件進行整合，實現本微機電邏輯閘設計的設定目標。然而，這樣的設計規格需要極為精準的製程參數控制能力。受到製程機台的能力限制，本論文仍採用先前保守的設計來製作元件，方便進行元件的可行性驗證。



五、微機電邏輯閘之製作

為了要實現微機電邏輯閘，在元件的製程設計中必須盡可能符合元件的特殊需求，包括：金屬-金屬接觸、在一平坦的懸浮機構上實現多重電性、低溫製程溫度($<400\text{ }^{\circ}\text{C}$)、與CMOS製程整合能力等。因為元件對於製程能力的需求高於一般的微機電元件，所以無法直接使用一般的微機電標準製程如MUMPs、等來製作本元件。因此，在本研究中提出兩種不同製程來製作微機電邏輯閘，同時探討此兩種製程設計所遭遇到的問題及解決方法，做為日後元作設計/製作的參考依據。

5.1 自行研發的製程設計

在此製程中，為了要讓以介電質為骨幹的懸浮結構擁有金屬-金屬接觸的特性，金屬薄膜必須沉積在平板底下，形成雙層結構。由於低溫製程的關係，薄膜的殘餘應力將會導致此雙層結構產生彎曲形變。因此，為了減少結構的彎曲形變量，本論文提出在此結構上再沉積一層金屬薄膜，使其平板成為三明治結構，藉此調節結構內部的內應力。值得注意的是，縱使可以利用三明治結構來調節殘留應力的影響，每一的結構層的殘留應力仍應設法降低，否則殘留應力與製程參數的關係太過敏感，在實作的過程中，仍然很難達成一個平坦的懸浮結構。因此本章節除了說明元件的製作流程外，會另外探討薄膜沉積參數，已獲的殘留應力較小的結構層。

5.1.1 微機電邏輯閘製作流程：自行研發

在本小節研究中，將討論如何利用自行開發的微機電製程設計/製造出微機電邏輯閘。為配合NDL製程設備的規格，本實驗使用6吋P型(100)為晶圓基材(substrate)。以下將分段論述每一步驟的目地及其關鍵的製程參數設定，圖5.1為本製程的製程步驟：

步驟 1：利用金屬剝離法(Lift-off)製作底電極的金屬導線、吸附及接觸電極

在金屬剝離法製程開始之前，需要先經過預先清洗及預先沉積襯墊及絕緣層此兩個製程步驟。然後利用一般標準清洗程序(RCA clean process)，並視需要增加浸泡氫氟酸溶液，將晶片的污染物儘可能清除。接著在晶片上利用氧化擴散爐管成長沉積 2000 Å 的乾氧氧化矽層(dry oxidation layer) 及 1000 Å 的氮化矽層(silicon nitride layer)分別做為襯墊層(buffer layer)及電性絕緣層。完成上述的預先準備製程後，接著再執行金屬剝離製程。首先，在晶圓表面旋塗一層 AZ-5214 的正光阻，利用二次曝光及硬烤(hard bake)將其反轉成負光阻，之後再經過顯影步驟後定義出所需之圖案，接著使用熱蒸鍍法沉積 300 Å 鉻金屬(chromium,Cr)的黏著層，用以提高金屬與下方基材的附著性。接著再沉積 0.1 μm 的金當作導電層，最後利用金屬剝落法，得到所需的金屬導線、吸附及接觸電極，詳細的金屬剝離製程請參 5.1.2 小節。

步驟 2：沉積犧牲層作為元件之空氣間隙(air gap)

以電漿輔助化學氣相沉積系統(Plasma Enhanced Chemical Vapor Deposition, PECVD)沉積 3 μm 的非晶矽(Amorphous Silicon, α-Si)，此非晶矽會在元件釋放的過程中被移除，作為元件之上下電極間的空氣間隙，因此稱為犧牲層。接著利用電感耦合電漿式矽蝕刻系統 (ICP) 將「凸塊光罩(dimple mask)」及「深溝光罩(deep trench mask)」的圖案轉印至此犧牲層上。凸塊光罩是在犧牲層上利用非等向性乾蝕刻技術，定義出深度約 2 μm 的凹槽，而深溝渠光罩(deep trench mask)則是在犧牲層上利用同樣的蝕刻技術，定義出支撐結構的溝渠側壁形狀。在此，須注意蝕刻製程所使用的蝕刻參數，是可把凹槽之側壁蝕刻成傾斜狀，使得接觸點底部面積小於頂部的面積。圖 5.2 為犧牲層上的凹槽側壁蝕刻後之側視圖，如同杯狀(cap)，以利接下來的金屬沉積製程。

步驟 3：利用金屬剝離法(Lift-off)製作上電極的金屬導線、吸附及接觸電極

在非晶矽的犧牲層上旋塗一層 AZ-5214 的正光阻，利用此光阻的反轉特性定義出所需之區域圖樣。接著使用熱蒸鍍法分別沉積 300 Å 的鉻黏著層，0.1 μm 的金電極層及 0.2 μm

的鋁金屬導電層。在此須注意的是利用蒸鍍的方式沉積金屬時，由於其階梯覆蓋性不佳所以可能會導致側壁上的薄膜是不連續的沉積。因此為了克服此問題，除了犧牲層的凹槽側壁必須為杯狀外，沉積的厚度也必須要夠厚才行。由於機台的限制，沉積金屬金無法太厚，因此若要達到設計的電極厚度，必須再搭配其它的金屬沉積。在此步驟中，採用金屬鋁。選擇金屬鋁的原因為：鋁金屬的對氟化物之蝕刻氣體的抗腐蝕性佳，不易受到製程中氟化物氣體的攻擊破壞而造成上電極掀離的現象。所以非常適合用來增加電極厚度。最後利用金屬剝離法(lift off)，移除光阻及其上方的金屬薄膜，只留下所需的金屬導線、吸附及接觸電極，詳細的金屬剝離製程請參5.2.2小節。

步驟 4：以PECVD法沉積二氧化矽(SiO₂)薄膜來當作主微結構層

以PECVD法沉積3 μm 二氧化矽(silicon oxide, SiO₂) 的薄膜，除了當作懸浮結構的骨幹外，同時亦回填支撐樑兩側的深溝渠，如此能有效的保護電極底下的支撐樑不易受到蝕刻氣體的攻擊。

步驟 5：以濺鍍的方式沉積金屬鋁的硬式遮罩層(hard mask)

以濺鍍(sputter deposition)的方式沉積0.25 μm 的金屬鋁，此金屬薄膜除了可以幫助元件結構抵擋乾蝕刻的離子轟擊外，亦可調節微結構內部的總殘餘應力，緩解(mitigation)殘餘應力對懸浮結構所造成的彎曲形變。完成元件上的金屬硬式遮罩圖案定義後，其它如支撐彈簧結構、蝕刻孔、電極及平板形狀的圖案等亦在此步驟中被定義到二氧化矽層上。

步驟 6：以乾蝕刻製程技術掏空犧牲層釋放懸浮結構

先使用非等向性的乾蝕刻技術打開蝕刻孔，並以底(下)電極為蝕刻終止層。最後再利用等向性的乾蝕刻技術(SF₆為主要的蝕刻氣體來源)掏空犧牲層，釋放懸浮結構，完成微機電邏輯閘之元件實作。

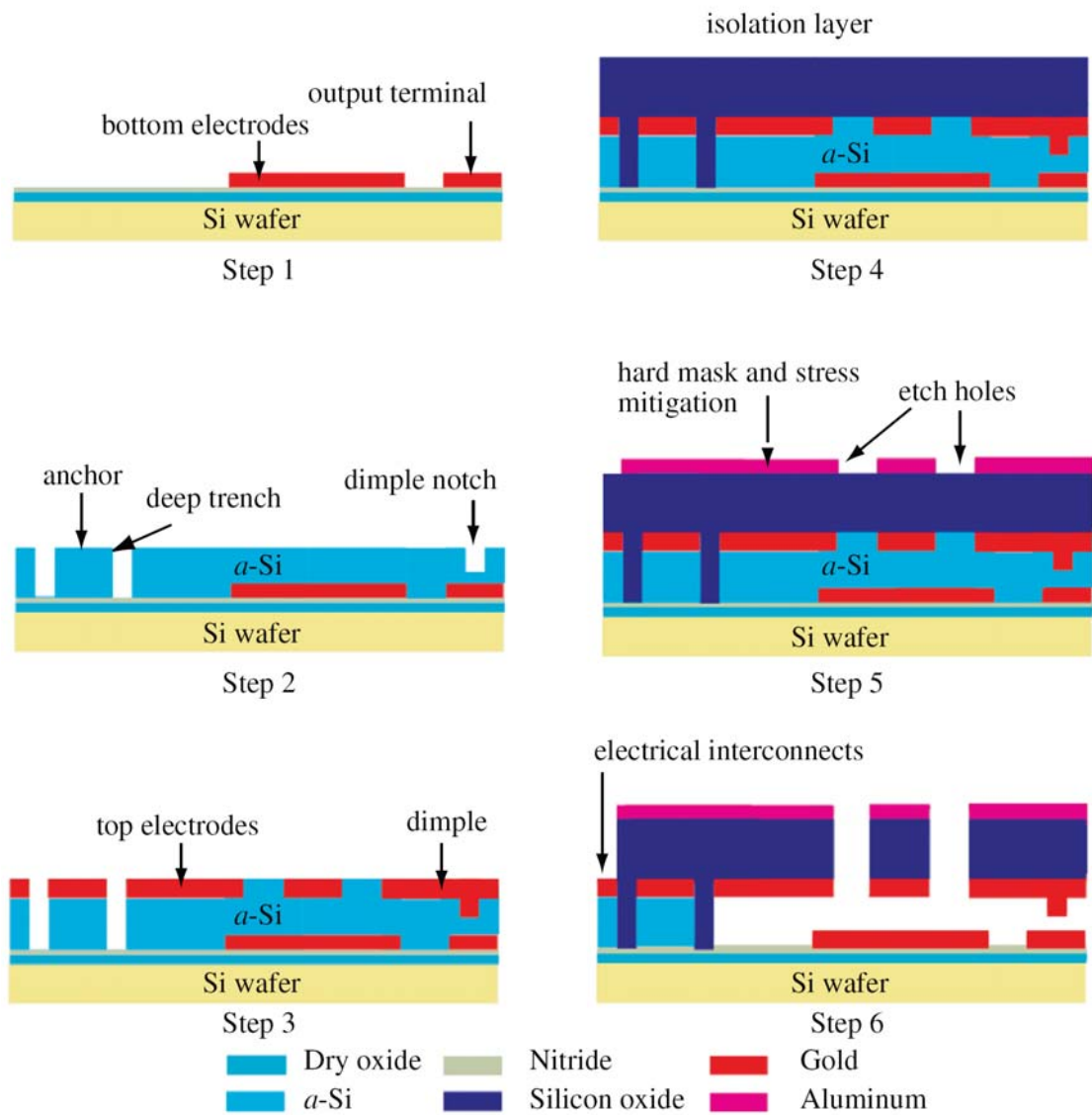


圖 5.1 低溫金屬接觸的製程步驟

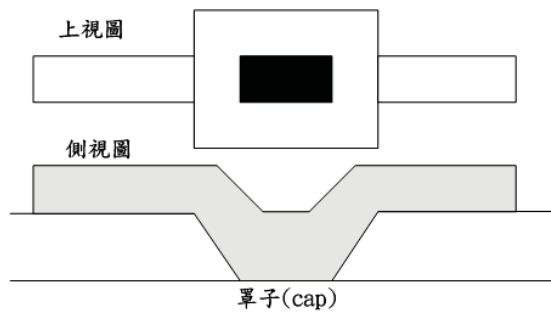


圖 5.2 利用杯子(cap)填充之接點

5.1.2 製程結果及討論

在此低溫製程中，關鍵的製程步驟有金屬剝離法、等向性的乾式蝕刻掏空技術及薄膜的應力調節技術。以下將針對這三項關鍵技術加以詳細說明：

● 薄膜的應力調節

此製程中，懸浮結構是由三層薄膜所組成包含：金屬鋁層，二氧化矽層及金屬金/金屬鋁層。為了要降低此平板結構的彎曲形變，每一層薄膜結構內的殘餘應力必須盡量降低。製程中的金屬部分是採用國家奈米元件實驗室(NDL)的熱蒸鍍機(Thermal Coater)以熱蒸鍍法沉積金屬材料。然而，蒸鍍法不易在沉積的過程中，控制薄膜內的殘餘應力。因此，本研究主要探討如何透過製程參數來獲得較小殘留應力的二氧化矽薄膜。

二氧化矽薄膜是利用國家奈米元件實驗室(NDL)的Oxford Plasmalab System 100機台以PECVD法沉積完成的。根據文獻[54-56]所提出的實驗報告得知，影響薄膜應力的關鍵製程參數在於 $[N_2O]/[SiH_4]$ 的比例及射頻功率(RF power)。若要利用此機台沉積出較低應力的二氧化矽薄膜，沉積的薄膜須較不緻密。因此，關鍵的製程參數調整趨勢為，較低的氧化亞氮/矽烷($[N_2O]/[SiH_4]$)比例及較低的射頻功率(RF power)。降低 $[N_2O]/[SiH_4]$ 比例，意謂著提高矽烷(SiH_4)流量，將使得更多的矽因此被沉積到薄膜內，亦增加了薄膜沉積速率(如圖5.3所示)，若射頻功率與壓力維持在常數，則會導致相同數量的離子轟擊在一個較厚的薄膜上；也就是說，薄膜每單位厚度所受到的離子轟擊將會比較少。這將會使得薄膜較不緻密，且會導致較小的壓應力(參圖5.4)。圖5.5發現在較低射頻功率下沉積二氧化矽時，薄膜之壓應力較小。隨著射頻功率升高，其壓應力逐漸增大。因此隨著射頻功率的遞減，來自電漿的離子轟擊變小，可以使薄膜內部的分子較不緻密，因此減少了薄膜內部的壓應力。表5.1列出本論文中所測試出來的最佳化製程參數。根據3.2小節所提出的量測方法，求得利用此參數所沉積出來的二氧化矽薄膜，其殘留應力大小約在270MPa。

根據文獻[32]表示，利用濺鍍法所沉積的金屬薄膜，因原子撞擊效應(atomic peening effect)，使得薄膜內的殘餘應力變化會與沉積的厚度有關。在本論文中，根據3.2小節所提出的in situ薄膜應力校正法，求出用來校正/緩和結構內部應力的金屬薄膜層厚度為0.3 μm 。但受到機台的限制，無法精準控制沉積參數，且薄膜厚度改變，殘留應力會隨之改變，所以實際在製作微機電邏輯閘元件時，鋁層的厚度仍選用0.25 μm 。

表 5.1 以 PECVD 法沉積二氧化矽(SiO₂)薄膜

Temperate (°C)	300 °C
$\Phi\text{N}_2\text{O}$, ΦSiH_4 [N ₂ O/SiH ₄]	525 :75(sccm) 7
RF Power	100W
Cavity Pressure	1Torr

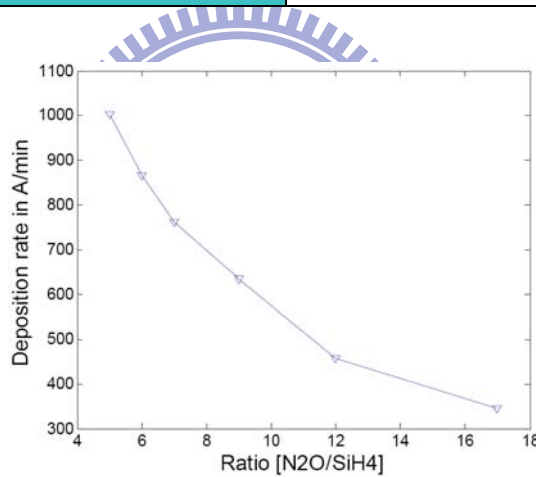


圖 5.3 沉積速率與[N₂O/SiH₄]的比值關係圖[54]

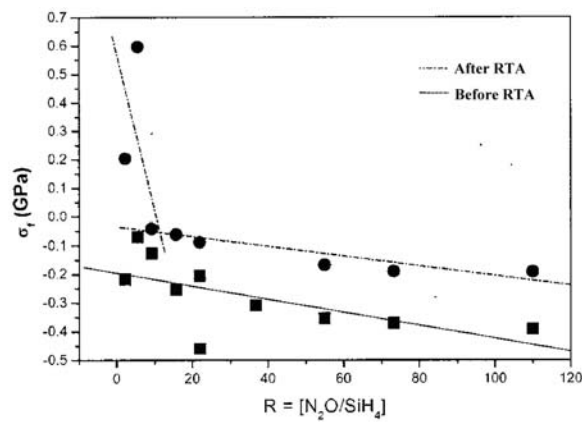


圖 5.4 殘留應力與[N₂O/SiH₄]的比值關係圖[55]

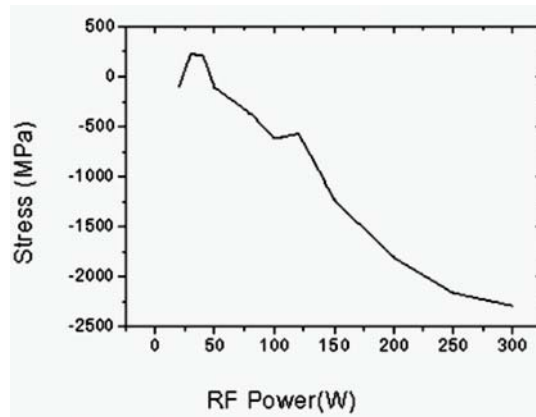


圖 5.5 射頻功率與薄膜應力之關係[56]

- 金屬剝離法(Lift-off)

金屬剝離法之原理主要是將光阻微影定義出圖案後，於光阻上方沉積金屬薄膜，接著利用丙酮(acetone)去除光阻並同時將其上方之金屬薄膜一起移除，最後只留下所需的圖案。以下將詳述其製程流程之細節：

圖5.6為金屬剝離法製程流程。如圖所示，首先在晶圓表面旋塗一層AZ-5214E光阻[57]，經由軟烤(soft bake)、曝光後，將光罩上之圖形轉印至光阻上，此時先不進行顯影，而是先將光阻以 120°C 加熱2min，藉由給予適當的熱能，將原先為正光阻的性質反轉變成負光阻的性質，接著再進行第二次的曝光動作，此次的曝光需將光罩取下，讓晶圓進行全面性的曝光，之後再經由顯影的步驟即可獲得所需之圖樣。接著再使用國家奈米元件實驗室(NDL)的熱蒸鍍機(Thermal Coater)鍍金屬薄膜，利用電極加熱靶材，使之蒸發並沉積於晶圓表面，形成所需的金屬薄膜。由於此金屬薄膜是用來當做接觸電極及電性連接用，因此為了得到品質較佳的金屬薄膜，在此所選擇的蒸鍍速率為 $1\text{\AA}/\text{s}$ 。另外須注意的是，在蒸鍍的過程中，每鍍上 500\AA 的金屬薄膜後便停止蒸鍍，待熱蒸鍍機的腔體降溫至常溫時，再繼續進行沉積動作，以避免若一次蒸鍍時，光阻會因腔體溫度過高而造成本身的硬化甚至產生龜裂(crack)的現象，導致在後續使用金屬剝離法時，會造成無法將圖形完整的定義製作出來。

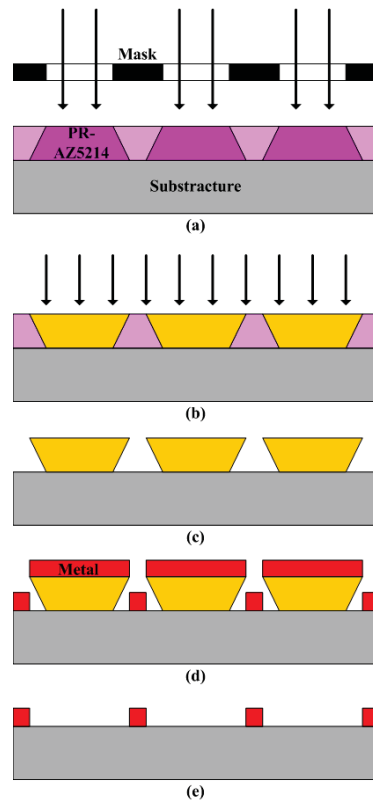


圖 5.6 金屬剝離法製程流程示意圖 (a) 曝光 (b) 反轉軟烤及二次曝光 (c) 顯影 (d) 蒸鍍金屬薄膜 (e) lift off

選擇使用AZ-5214E有三項優點：(1)此光阻的厚度較薄，可以顯影出較小線寬；(2)光阻有反轉之特性，在經過二次曝光及硬烤(hard bake)後，AZ-5214E會從原先的正光阻反轉變成負光阻，相關的關鍵參數，如表5.2所示。因此，AZ-5214E除了可以用來當作蝕刻時的硬式遮罩外，透過反轉的特性亦可將之應用在金屬剝離製程上；(3)反轉後的AZ-5214光阻，其側壁的形狀是上寬下窄，如圖5.6(d)所示，此形狀會讓沉積在光阻上的金屬，其階梯覆蓋(step coverage)能力變差，而讓光阻上方與下方的金屬不易連在一起；光阻的側壁兩邊緣將會留有小空隙(無金屬覆蓋)，方便丙酮進入，讓金屬剝離的過程更為順利成功，可更容易製作出所定義的圖形。

表 5.2 光阻 AZ 5214 材料參數

Spin speed [rpm] : 4000 rpm	1.4 μm
Prebake	110 $^{\circ}\text{C}$, 50s, hotplate
Flood exposure	>200 mJ/cm^2 (uncritical)
Reversal bake	120 $^{\circ}\text{C}$, 2min, hotplate

- 等向性的乾式蝕刻掏空技術

元件中的上/下電極之間隙被設計為 $3\ \mu\text{m}$ ，但實際上，由於懸浮結構會受到殘留應力的影響而造成的彎曲形變，使得間隙變的更小。由於擔心溼蝕刻技術在小間隙下，可能有附著(stiction)的疑慮。如圖5.7(b)所示，針對元件之局部區域放大，可觀測到吸附的區塊已浮貼在基底上。因此在本文中提出利用等向性的乾式蝕刻製程技術取代一般常用的溼蝕刻製程技術來掏空微結構底下的犧牲層。

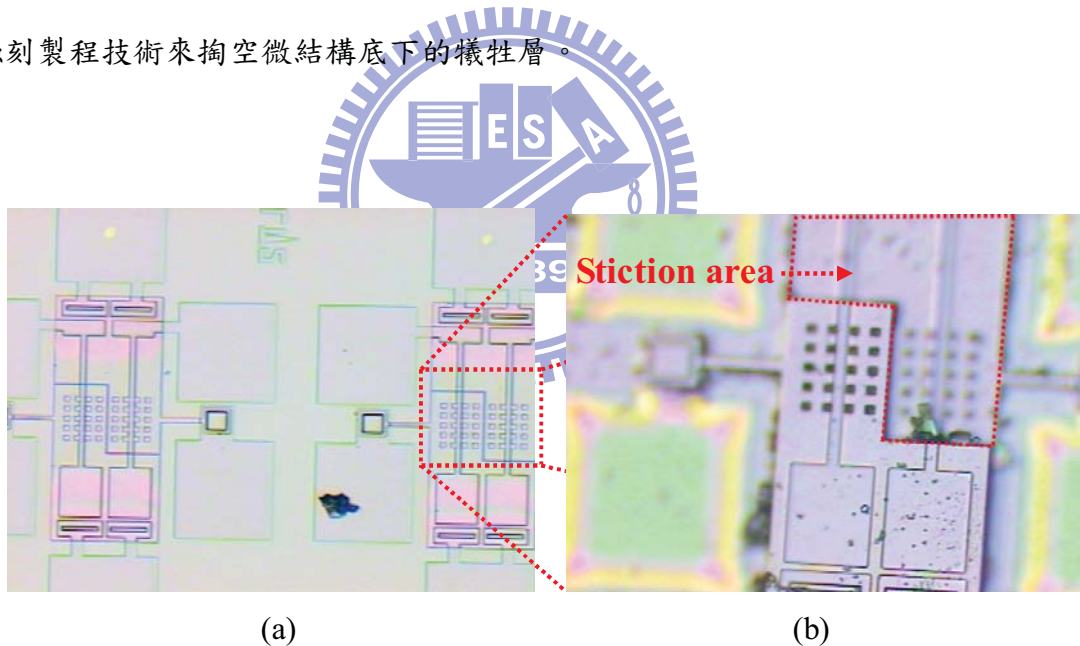


圖 5.7 (a)在溼式蝕刻的釋放製程完成後，元件發生吸附(stiction)現象(b)針對元件之局部區域放大，可觀測到被吸附的區塊已浮貼在基底上。

利用國家奈米元件實驗室(NDL)所提供的機台(Oxford Plasmalab System 100)做等向性的乾式蝕刻製程時，須克服三個關鍵問題：(1) 需考量結構層與犧牲層的蝕刻選擇比(etch selectivity)，確保蝕刻氣體不會攻擊微結構，造成嚴重的破壞；(2) 需確保蝕刻氣

體能在微結構底下有 $20\ \mu\text{m}$ 以上的側向蝕刻能力(undercut)，且犧牲層能被完整去除掏空而無殘餘物；(3)由於圖形間距越小或蝕刻接觸窗口的面積越小，當乾蝕刻系統中的反應物或帶能量的離子無法到達蝕刻接觸窗口之底部，或者反應的產物無法順利排出接觸窗外，使得蝕刻速率降低。此現象稱為微負載效應(Micro Loading Effect)，且面積越小，此現象越嚴重。為了解決上述的問題，根據Zhu, Tongtong等人[58]的研究報告發現，必須針對製程機台的工作腔體壓力、感應耦合電漿功率(ICP power)及射頻功率(RF power)此三種製程參數進行實驗研究。因此，在本文中參考[58]的文獻製作了一套測試結構，其製作流程如圖5.8所示，首先在silicon wafer 上先沉積一層乾氧化層，可防止蝕刻氣體在蝕刻犧牲層時，不容易攻擊到silicon wafer。犧牲層是以PECVD法沉積 $3\ \mu\text{m}$ 的非晶矽($\alpha\text{-Si}$)薄膜。所以蝕刻接觸窗口的高度將會被固定在 $3\ \mu\text{m}$ ，即為犧牲層的沉積厚度。覆蓋在犧牲層上的氧化矽則是以PECVD法沉積 $3\ \mu\text{m}$ 的二氧化矽，作為硬式遮罩(hard mask)。之後改變測試結構的蝕刻接觸窗口的寬度；改變的範圍從最小 $10\ \mu\text{m}$ 到最大 $150\ \mu\text{m}$ ，來測試機台的蝕刻選擇比(s)、側向蝕刻能力及微負載效應(Micro Loading Effect)是否明顯。

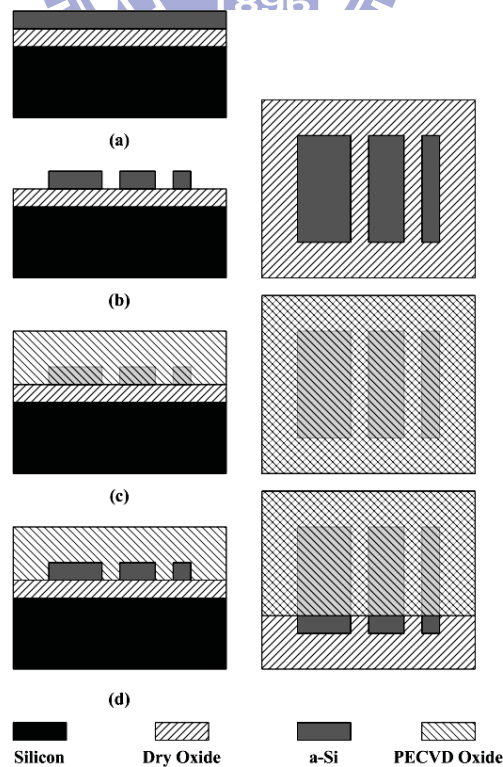


圖 5.8 測試 ICP 機台的等向性乾式蝕刻掏空能力之測試結構製作流程圖

為了要讓微結構與犧牲層之間擁有較高的蝕刻選擇比，在蝕刻製程中，把機台的射頻功率關掉，因為蝕刻機制缺少了物理性的離子轟擊，蝕刻過程純粹以化學反應的方式進行，所以能提高蝕刻的選擇性。而從實驗的結果發現，關掉射頻功率後，蝕刻氣體(SF₆)對微測試結構及犧牲層的選擇比，將會從原先的5:1升高到50:1。然而製程若是以化學性蝕刻為主，提高腔體內化學蝕刻成分的濃度，便有機會提高蝕刻能力及速率。所以在實驗中，我們亦增加機台的工作腔體壓力及感應耦合電漿功率(ICP power)來提高蝕刻濃度。如此將獲得較佳的等向性乾蝕刻效果，相關最佳化的等向性蝕刻參數列於表5.3。

在往復的實驗過程中發現(圖5.9)，Oxford Plasmalab System 100 機台的微負載效應現象並不明顯。如圖5.9(b)所示，在不同大小的蝕刻窗口中，其側向蝕刻的長度並無明顯不同，且其蝕刻速度為15 Å/sec.(參表5.3)，但是蝕刻深度若達如圖5.10所示的20 μm之後，蝕刻速率會急速下降甚至停止。這代表著所校調出來的最佳化蝕刻參數，可讓設計者能在結構上的蝕刻孔大小具備較彈性的設計且蝕刻孔之間的距離最好不要超過20 μm，如此則無需要擔心微負載效應造成微結構無法釋放。

表 5.3 SF6 等向性乾蝕刻的製程參數(ICP)

Temperate (°C)	14 °C
Selectivity: α-Si/ PECVD oxide	50 :1
RF Power	0W
ICP Power	1550W
Pressure	10Torr
Etch rate (Å/sec)	15

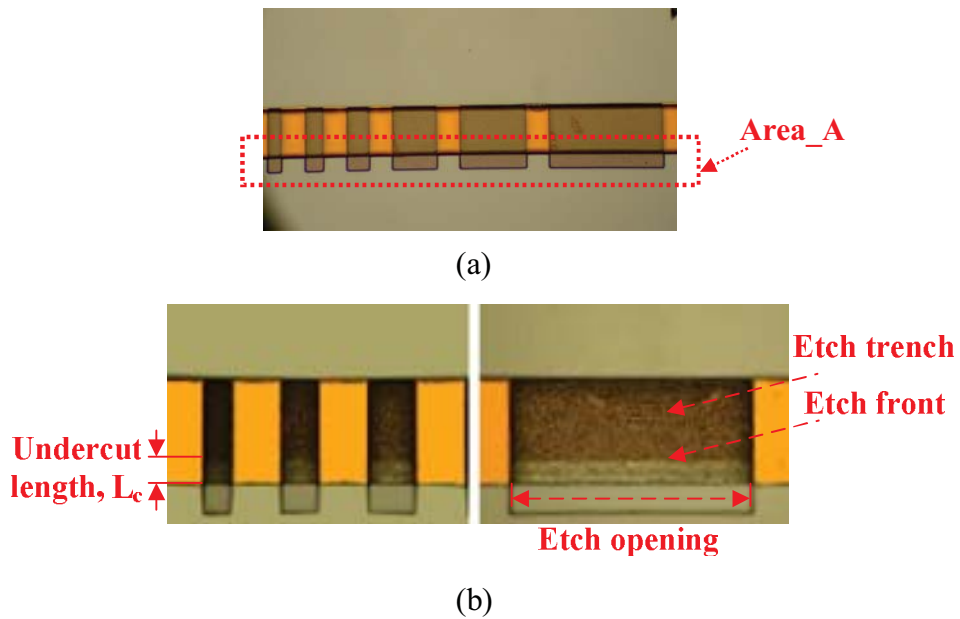


圖 5.9 等向性乾式蝕刻掏空製程測試結果 (a) 蝕刻前結構的上視圖，(b)蝕刻後結構的上視圖，可發現原先測試結構下方非晶矽犧牲層(深咖啡色方塊區域 Area_A)，因側向蝕刻的關係，已被掏空殆盡(呈現透明區塊)。此外，不同大小的接觸窗口其側向蝕刻深度(L_c)幾乎一致，因此判斷無微負載現象產生。

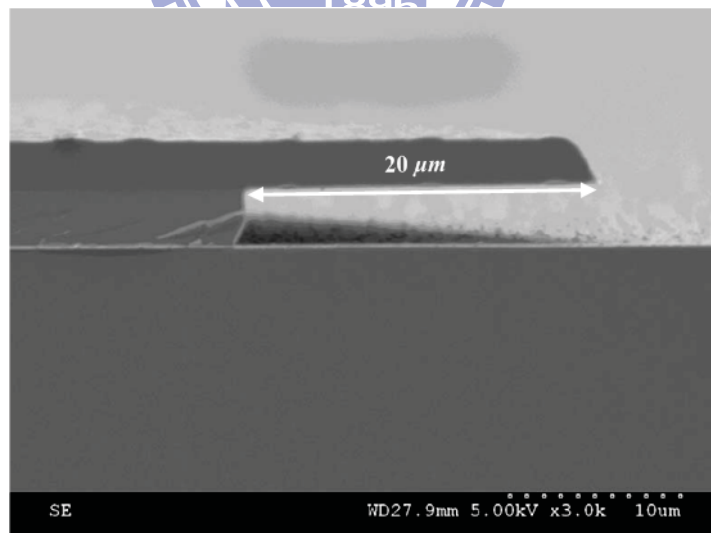


圖 5.10 等向性乾蝕刻製程，機台底切能力可達 $20\ \mu\text{m}$ 。Silicon substrate 上方之阻擋層為乾氧化層(Selectivity of $\alpha\text{-Si} / \text{SiO}_2$: $>150:1$)

- 薄膜應力量測之測試結構製程設計

為了量測懸浮平板主結構中每一薄膜層的殘餘應力，本論文所提出的改良式 in situ 薄膜應力校正法，搭配此法，本研究設計/製作三種檢測微懸臂樑並搭配兩種邊界條件，包括：nominally clamped boundary 及 clamped boundary。

圖 5.11 為結構 A 的懸臂樑之製作流程：首先在基板上先沉積並定義一層 α -Si 的犧牲層，接著沉積並定義二氧化矽的主結構層，之後在旋塗一層光阻層當作犧牲層的硬式遮罩，再利用上述的等向性的乾式蝕刻技術掏空結構底下的犧牲層，最後再去除光阻完成整體實作。如圖所示，此結構 1 的懸臂樑為 nominally clamped boundary [33]。所以當結構被釋放後，此懸臂樑即會在固定端會產生邊界旋轉效應。

實作上須注意，為了讓懸臂樑能在邊界處產生旋轉效應，其底切的現象就必須要控制得宜；即是確保等向性乾蝕刻的側蝕深度，可終止在預期的懸臂樑邊界。由上述的等向性的乾式蝕刻掏空技術得知，底切現象最大可達 $20\ \mu\text{m}$ 。超過後，其機台蝕刻速率就會變的非常慢。因此，我們可利用此特性設計一突出光罩(MASK A)，如圖 5.11(b)所示，使得覆蓋在懸臂樑上方的光阻在懸臂樑固定邊界位置處多突出 $20\ \mu\text{m}$ 。

由於懸臂樑及犧牲層周圍受到光阻的保護，所以在做等向性的乾式蝕刻製程時，蝕刻氣體只會從未受保護的蝕刻窗口處蝕刻犧牲層。又因為此懸臂樑結構的材料為透明的二氧化矽，所以我們能藉由顯微鏡監測等向性乾蝕刻的側蝕(底切)深度，可終止在預期的邊界位置上。此外，須注意懸臂樑於固定端的延伸長度（如圖 5.11 所示之 L_1 長度）必須要比懸臂厚度大 5 到 10 倍，才不會使懸臂樑受到額外的干擾而影響其邊界旋轉效應。

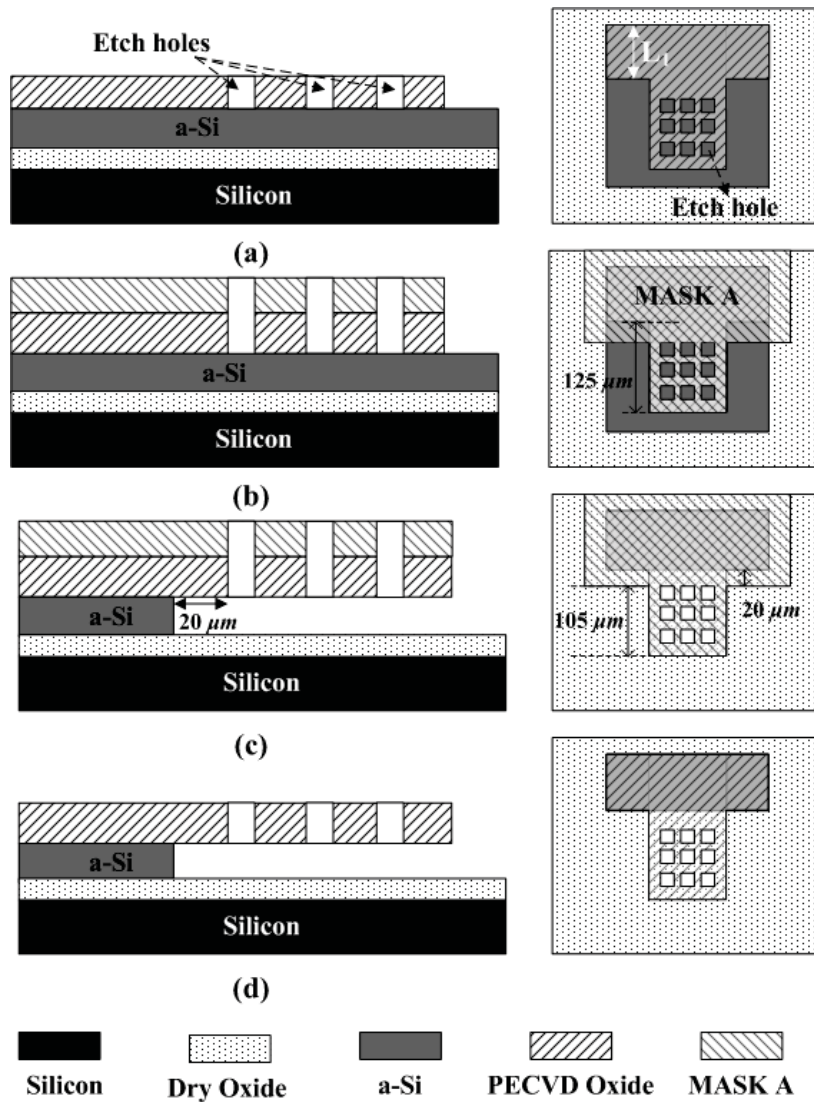


圖 5.11 結構 1 的檢測懸臂樑之製作流程

圖 5.11 為比較有無設計突出的光阻層，其懸臂樑在經過乾蝕刻製程後所產生的底切現象。如圖 5.12(a)、(b)所示，若無設計光阻層，懸臂樑邊界會產生過蝕現象，反之，懸臂樑邊界不會產生過蝕現象。

圖 5.13(a)為雙層式懸臂樑(結構 2)的製作流程：首先在基板上先沉積並定義一層 α -Si 的犧牲層，之後再沉積並定義一層金屬薄膜層及二氧化矽的主結構層，以形成雙層結構並搭配 clamped boundary。在此，須注意主結構層的材料及尺寸皆需與結構 1 一致。同樣的，圖 5.13(b)為三層式懸臂樑結構(結構 3)的製程流程，與結構 2 主要的差異在於：結構 3 為結構 2 上再沉積並定義一層金屬薄膜層。如此，結構 3 即為三明治結構並具備

clamped boundary。圖 5.14 為顯微鏡底下所觀測到釋放後的結構 2 及結構 3 之上視圖。

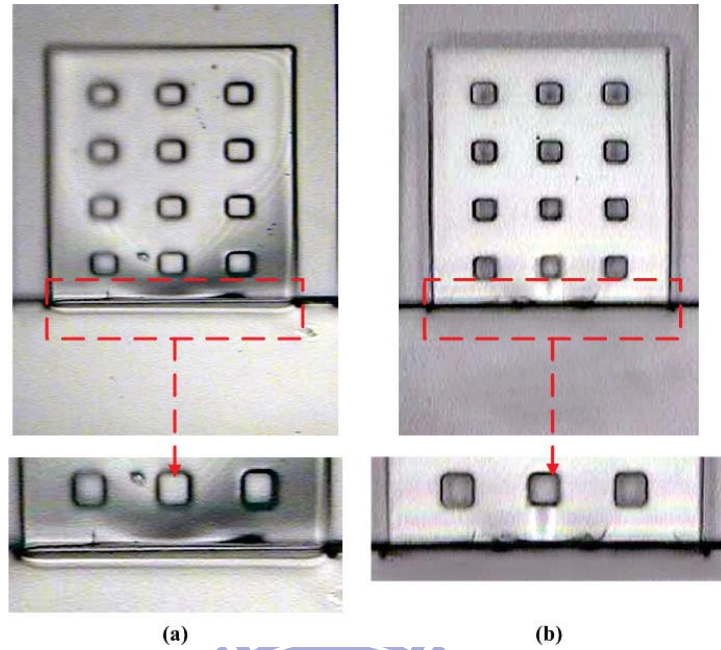


圖 5.12 (a)未設計突出光阻層時，懸臂樑固定邊界處底下的犧牲層容易遭受到蝕刻氣體之攻擊而產生凹陷的圖像 (b)有設計突出的光阻層時(參圖 5.11)，蝕刻氣體不易直接攻擊懸臂樑固定邊界處底下的犧牲層，因此無過蝕現象產生(無凹陷的圖像)

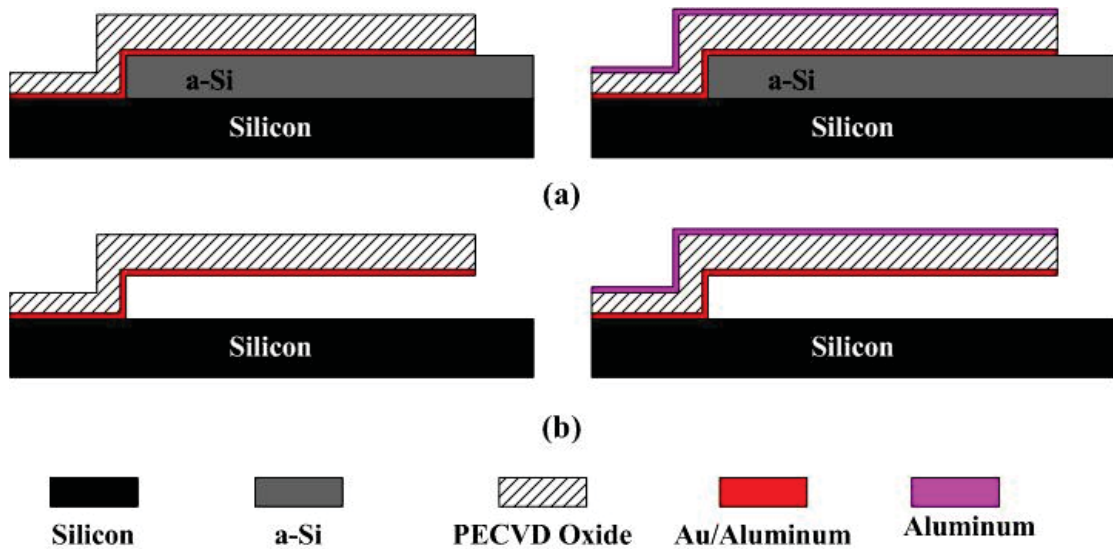


圖 5.13 (a)結構 2 的檢測懸臂樑之製作流程 (b) 結構 3 的檢測懸臂樑之製作流程

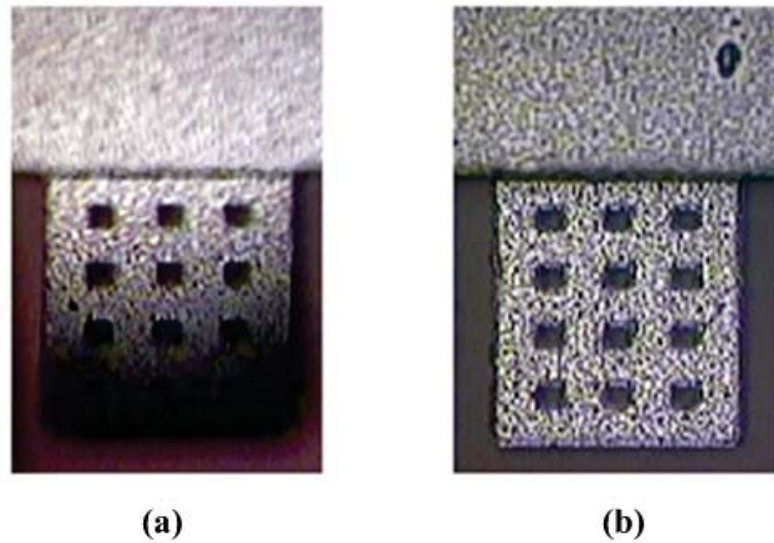


圖 5.14 (a) 顯微鏡底下所觀測到釋放後的結構 2 之上視圖 (b)顯微鏡底下所觀測到釋放後的結構 3 之上視圖結構。

5.2 微機電邏輯閘製作流程：TSMC $0.35\mu\text{m}$ 2P4M

在本小節中，提出以TSMC所提供的 $0.35\mu\text{m}$ 2P4M的CMOS-MEMS的製程來設計/製作此微機電邏輯閘，此製程的優點在於其與IC元件的整合能力及製程便宜。然而採用CMOS-MEMS製程技術製作元件時，由於是低溫製程的關係，且其製成參數並未針對微機電系統的懸浮結構調整，因此懸浮結構易受到殘留應力的影響而產生彎曲形變，嚴重的話將會使得元件的邏輯功能失效。所以，本論文設計了不同金屬及介電層所推疊而成的懸浮結構，並搭配全面乾蝕刻 (blanket etch)的後製程技術，從實驗的結果調查分析那種推疊組合的結構設計，最能獲得平坦的懸浮結構。此外，去除犧牲層的後製程技術亦是本製程中重要的關鍵技術之一；因此，本研究中使用了不同的溼蝕刻液來去除犧牲層，進而整理不同溼蝕刻液對結構層及犧牲層的蝕刻選擇比。

5.2.1 TSMC 0.35 μm 2P4M 製程步驟流程

利用CMOS-MEMS製程技術製作本微機電邏輯閘，在佈局的部分，主要考量的因素有：(1) 採用metal-2層的金屬當作犧牲層，同時metal-2層必須亦為非等向性乾蝕刻的阻擋層。因為元件需要矽基板來支撐metal-1底電極，因此矽基板不能受到蝕刻攻擊，所以須利用metal-2金屬硬式遮罩的佈局設計來保護電極底下的矽基板結構層不受蝕刻電漿的攻擊。(2) 懸浮結構是由金屬層及介電層所組合而成。由於懸浮結構必須搭載兩個不同的電位，因此懸浮結構必須包含一絕緣層的設計，此設計將藉由配置適當的介電層來達成。(3)根據文獻[34]得知，此製程技術若使用金屬鋁當接觸材料，接觸端仍會有氧化的問題，而無電性訊號輸出。本製程中的金屬-金屬接觸是採用製程所提供的金屬鎢栓(tungsten plugs)[17]。

後製程部分則是採用了國家晶片系統設計中心(CIC)所提供的非等向性反應離子乾蝕刻製程 (anisotropic RIE dry etch process)讓犧牲層表面露出後，再自行設計一套溼蝕刻製程步驟來釋放元件的懸浮結構。在此步驟，必須確保蝕刻液只會針對犧牲層蝕刻而不會攻擊到結構層。最後再藉由「全面乾蝕刻製程」，來微調懸浮平板的厚度以獲得平坦的結構，完成整個懸浮結構的釋放過程。

本論文設計/製作三種不同金屬及氧化層所組合而成的懸浮平板結構：(1) Type 1的懸浮平板結構是由metal-3層及氧化層所組合而成。藉由三明治結構設計，來減少殘留應力對平板所造成的彎曲形變；(2)Type 2的複合結構是由metal-3層/氧化層/metal-4層所組成。透過增加平板厚度的結構設計，使得平板結構不易受到殘留應力的影響；(3) Type 3是由metal-4層及氧化層所組合而成，其平板厚度與Type 2相同。在厚度不改變的情況下，利用結構組成的材料層不同，比較那種組合可獲得最平坦的懸浮平板。所設計的邏輯閘已於CIC的MEMS35-98D梯次及CIC的MEMS35-99B梯次中下線(tape out)成功。以下將針對此種製程設計詳加討論。

圖5.15為Type-1結構設計的製程流程，其詳細的製程步驟敘述如下：

步驟 a：設計Pad光罩圖形

圖5.15(a)為利用TSMC CMOS 2P4M 標準製程所製作完成的元件剖面結構。為了要去除部分在metal-4層上的保護層(Passivation)，採用由CIC所提供的Pad光罩(Pad Mask)定義出必須移除的區塊，以利後續的蝕刻製程。

步驟 b：設計RLS光罩圖形

如圖5.15(b)所示，此製程步驟是利用CIC所提供的RLS光罩，針對氧化層做非等向性的垂直蝕刻，定義出元件結構的幾何形狀及蝕刻孔的大小。在此，metal-4及metal-2層同時為此步驟中的硬遮罩，除了可以讓蝕刻終止在此兩層金屬上，亦可用來保護基底(substrate)不會受蝕刻電漿的攻擊。

步驟 c：採用溼式蝕刻來釋放元件

圖5.15(c)顯示，利用等向性的溼式蝕刻方式將露出氧化層表面的metal-2金屬犧牲層及metal-4金屬層完全去除；此步驟是元件是否能製作成功的重要關鍵因素之一。在去除金屬犧牲層時，為了要確保接觸金屬“鎢”及元件的結構層，不會受到蝕刻液的攻擊，蝕刻液的選擇及調配是相當重要的，各種蝕刻液的材料配置比例、蝕刻溫度及蝕刻速率等關鍵參數，將會在5.1.2小節會詳細討論。

此外，配置介電層來包覆元件結構層中的金屬電極部分(參圖1.26(b))，包括Metal-3層及Metal-1層，如此可提高蝕刻液對金屬犧牲層與元件結構層的蝕刻選擇比。在製程精準度的考量下，用來保護金屬結構的氧化矽，最好離金屬結構有5~8 μm 的間距較為保險。

步驟 d：浸潤氟化物蝕刻液

圖5.15(d)顯示，元件結構上的介電層必須被部分削減(trim back)才能讓部分的金屬鎢栓(Via-12及Via-23)能夠露出介電層外，以利金屬對金屬的接觸。根據TSMC 0.35 μm 2P4M製程的設計[59]，金屬層及介電層的厚度分別約為0.65 μm 及1 μm ，因此，結構上

的介電層至少必須被移除掉 $0.25\ \mu\text{m}$ ，才能確保接觸端的金屬能夠達到良好的接觸效果。在此步驟中，採用緩衝氧化蝕刻液，(six parts of 40% NH_4F and one part of 49% HF, Buffered Oxide Etch (BOE)) 利用” 時間控制蝕刻法(time etch)” 浸潤整個元件於BOE蝕刻液中約15秒，達到最佳的效果。

完成此製程步驟後，上下電極層間之間隙預計約為 $1.5\ \mu\text{m}$ 。在此。值得注意的是，介電氧化層除了為元件結構層外，同時亦被設計為懸浮平板所需要的絕緣結構(isolation feature)，如此才能讓平板帶有雙電極、雙電位的特性。

步驟 e：全面性的乾蝕刻製程

利用反應離子蝕刻製程(STS RIE process)針對元件表面上的介電層作全面性的蝕刻。此步驟將決定懸浮結構上的介電質層厚度，可用來控制懸浮平板因殘留應力的翹曲形變。此外，製程中所使用的機台為STS公司所製造，型號為MODEL C001-4。此機台主要是利用六氟化硫電漿(SF_6 plasma)做非等向性的蝕刻，其蝕刻二氧化矽(SiO_2)的製程參數已列於表5.4中。

最後，經過上述五道後製程技術，即可完成type-1的元件實作。

圖5.16 為type-2元件設計的製程，與type-1元件製程最大的差異處在於type-2元件製程中的保護層(passivation layer)一開始是未被移除的，如此能保護其底下的metal-4層，使得懸浮結構層包含metal-4及metal-3，因此type-2元件之整體厚度會比type-1厚。期望能藉由厚度的增加來降低殘留應力對平板所造成的彎曲形變。

圖5.17 為type-3的元件設計的製程，其製程步驟與type-2完全相同，唯一不同之處在於type-2的懸浮結構層包含metal-4及metal-3，而type-3的懸浮結構層僅包含metal-4，在此並不多加贅述。

表 5.4 非等向性乾蝕刻二氧化矽之製程參數(STS,RIE)

Temperate (°C)	300 °C
ΦSF₆	40 (sccm)
RF Power	50W
Cavity Pressure	100 mTorr
Etch rate (Å/sec)	17.5

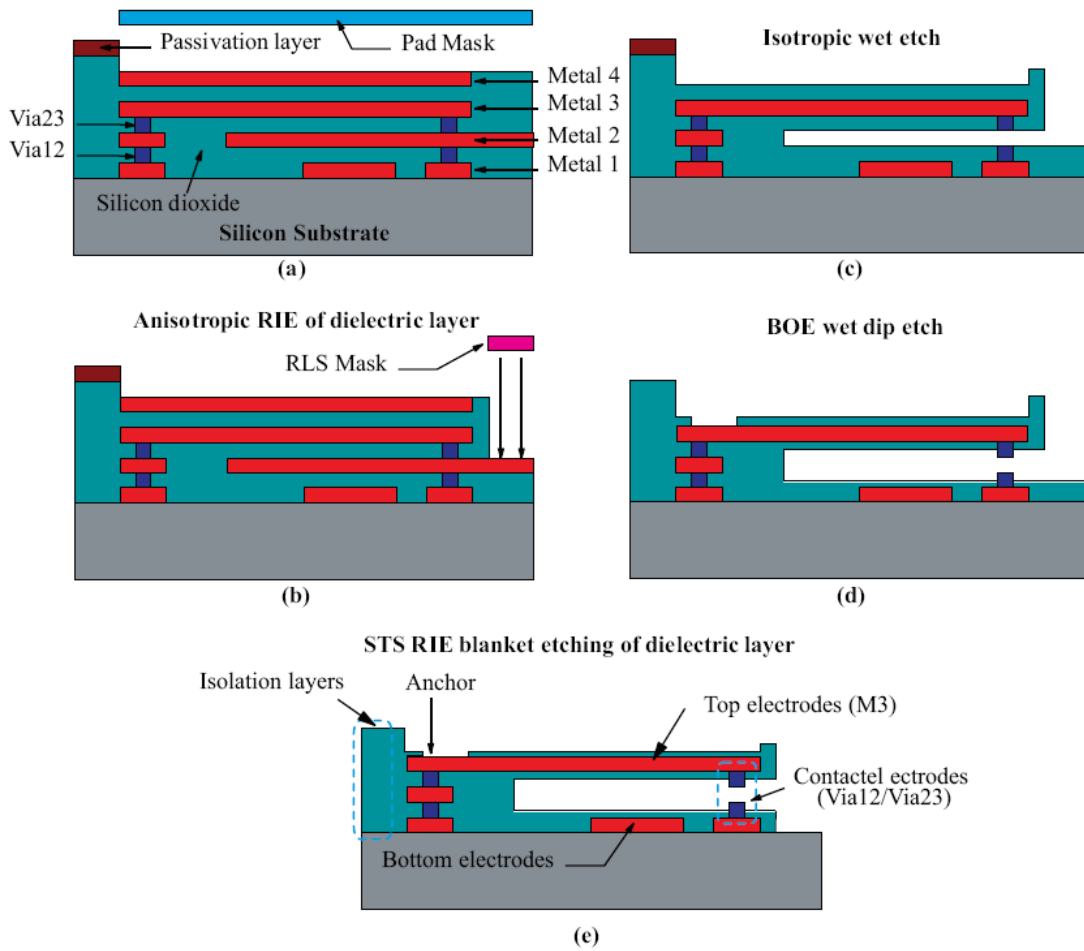


圖 5.15 Type-1 微機電邏輯閘的製程流程圖

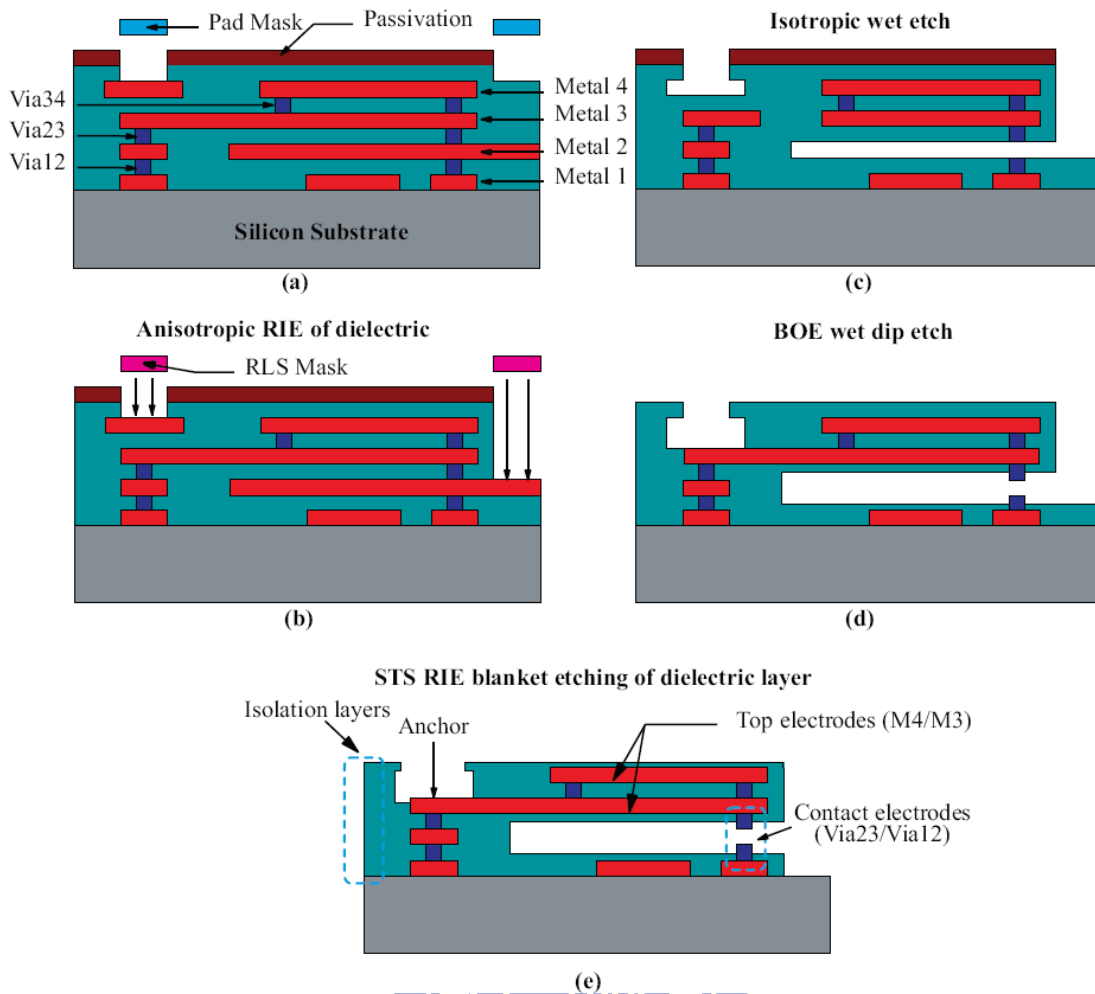


圖 5.16 Type-2 微機電邏輯閘的製程流程圖

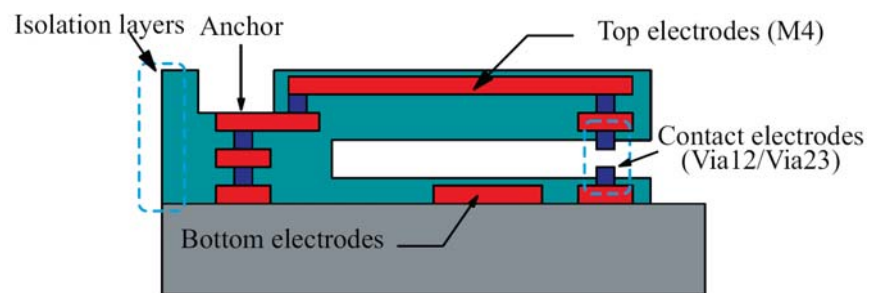


圖 5.17 Type-3 微機電邏輯閘剖面圖

5.2.2 製程結果及討論

利用TSMC所提供的CMOS-MEMS的製程來開發微機電邏輯閘元件，由於前半段的製程是採用代工模式所完成的，因此只需注意佈局設計是否正確即可。然而元件是否可製作成功，後製程的技術才是關鍵。以下將詳細討論後製程實作的結果、所遭遇到的問題及其解決的方法。

- 保護層受損問題 (*Passivation layer damage*)

圖5.18 為在顯微鏡底下所觀測到的type 2 及type 3 的元件上視圖，此上視圖為利用Pad光罩及RLS光罩佈局設計後，再經過微影蝕刻製程後所呈現的實驗結果。如圖所示，在metal 4層上的保護層受到某種程度的攻擊，而這個現象發生在許多次的下線紀錄中，目前仍找不出確切的原因。在type 2 及type 3的元件設計中，保護層是被設計用來保護底下的metal-4的元件結構層，所以若保護層受到破壞，將使得type 2 及type 3的元件製作良率降低。

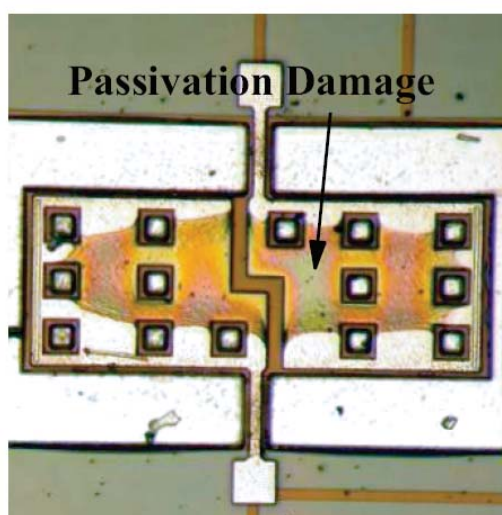


圖 5.18 為利用 Pad 光罩及 RLS 光罩的微影蝕刻製程後，所呈現的 type-2 及 type-3 之元件俯視圖。如圖所示，在 metal-4 層上的保護層受到某種程度的攻擊。

- 溼蝕刻金屬犧牲層的後製程技術

由於電壓訊號組， V_{cc+} 及 V_{cc-} 必須施加平板的左右兩側電極上，因此在平板底下的metal-2金屬犧牲層的所有金屬殘留物，必須完全去除乾淨才能防止短路的現象發生。為了要讓元件具備金屬對金屬接觸的功能，在本製程設計中是採用金屬鎢栓來當作凸塊結構。因此在挑選或調配溼蝕刻液時，必須考慮到所使用的蝕刻液能夠完全移除金屬犧牲層而不會破壞到元件結構的介電層及接觸端的金屬鎢栓。如根據先前的TSMC 0.35 μ m 2P4M 製程之文獻回顧(參圖1.25)得知，金屬層是由三種金屬所組合而成，包含了金屬鈦、金屬氮化鈦及金屬鋁。因此，本研究針對這三種金屬材料的蝕刻研究了四種蝕刻液包括：(1)鋁蝕刻液(aluminum etchant)、(2)鹼性蝕刻液AD-10(TMAH2.38%+界面活性劑)、(3)卡羅酸(Carro's acid)及(4)鈦金屬蝕刻液(titanium etchant)，利用交互浸泡的方法來去除所有在犧牲層的金屬材料。表5.5列出此四種蝕刻液的組成成份之配置比例、蝕刻溫度、蝕刻速率及蝕刻材料等關鍵參數。鋁蝕刻液是以磷酸(H_3PO_4)為主要的組成成份，但因為磷酸具有高黏滯性(high viscosity)，所以在平板結構底下，離蝕刻孔較深且較遠的犧牲層，則需要花費更多的時間來去除之，亦可能有無法完全被去除的疑慮。因此，許多文獻[60], [61]建議採用卡羅酸(Carro's acid)金屬蝕刻液來移除此金屬犧牲層。卡羅酸金屬蝕刻液可同時去除犧牲層中的金屬鋁、金屬鈦及氮化鈦三種金屬材料，然而在圖5.19的實驗結果中發現，若是試圖利用卡羅酸來蝕刻犧牲層內的金屬材料，蝕刻完畢後，仍會發現灰色微粒的污染物質殘餘在metal-2犧牲層上。這些稱之為矽瘤(Silicon Nodules)的微粒物質[62]，因為無法完全被去除，讓懸浮結構的釋放(release)製程失敗。

表 5.5 金屬溼式蝕刻速率參數(Å/min)

ETCHANT EQUIPMENT CONDITIONS	TARGET MATERIAL	Aluminum	Ti/TiN	Tungsten (W)
Aluminum Etchant (32H ₃ PO ₄ :1NHO ₃ : 5HAc:6H ₂ O) Heated Bench 80 °C	Aluminum	Initial etch rate : 34000 Underetch 50 [um], Etch time : 0.2 hour Underetch 150 [um], Etch time : 1.6 hour	×	×
AD-10	Aluminum	3000~4000	×	×
Carro's acid	Aluminum/Ti /TiN	1800	Ti:240/ TiN:300	×
Titanium Etchant	Ti/TiN	> 100	8800	>100

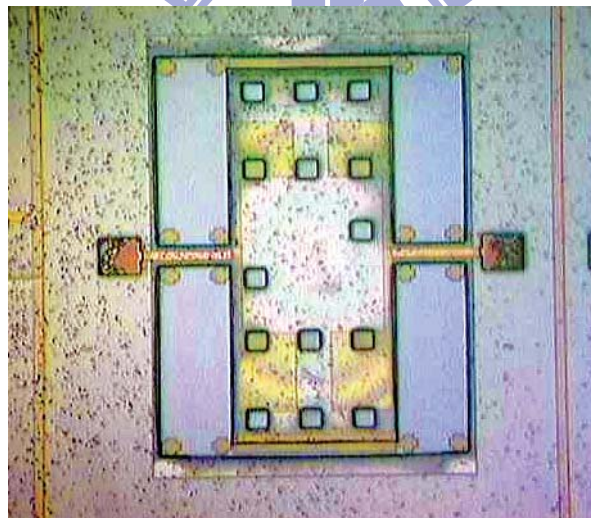


圖 5.19 利用卡羅酸去除金屬犧牲層後，仍有矽瘤(Silicon Nodules)的微粒物質殘餘 metal-2 犧牲層上。

本論中提出利用AD-10鹼性的蝕刻液來移除metal-2犧牲層內的金屬材料，主要有兩個考量因素。因素一：AD-10強鹼蝕刻液擁有界面活性劑(active surfactants)可降低液體的表面張力，幫助強鹼液TMAH(2.38%)能輕易的能滲透到蝕刻孔底下的金屬犧牲層，加速整個蝕刻反應的速率且無黏滯性的問題。因素二：在實驗中發現，AD-10蝕刻液對於

結構中的氧化矽及犧牲層金屬鋁的蝕刻選擇比相當良好，幾乎不會蝕刻氧化矽，所以無需控制太多的蝕刻變數，只需將元件靜置在蝕刻液內一段時間後，即可完全蝕刻犧牲層中主要的金屬鋁材料。由於AD-10蝕刻液並不會攻擊犧牲層中的金屬鈦及氮化鈦這兩層薄膜材料，因此AD-10蝕刻液在去除掉金屬鋁後，必須再使用金屬鈦蝕刻液來去除剩餘的兩層薄膜材料(金屬鈦及氮化鈦)。圖5.20為利用AD-10及鈦蝕刻液的蝕刻結果。由實驗結果發現，鑽孔溝槽(Via trenches)內的金屬鎢栓已完全被蝕刻殆盡。此現象代表著金屬鈦蝕刻液同時對金屬鎢有著相當快速的蝕刻反應。如此，將導致原先設計為了金屬接觸的鎢栓結構因受到破壞而無法達到預期的目標。至今，我們仍無法找到適當的蝕刻液能夠在去除氮化鈦金屬材料時，不會攻擊到金屬鎢。

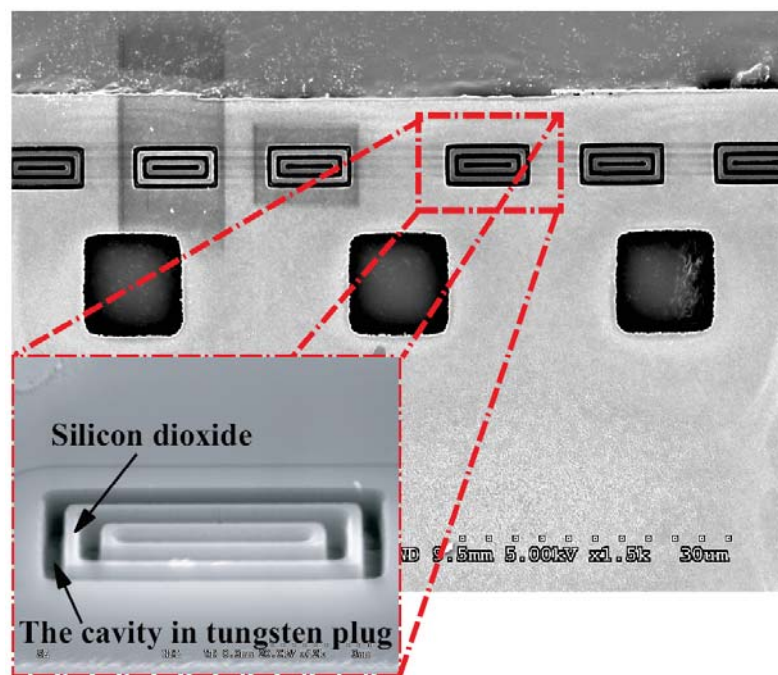


圖 5.20 透過 SEM 圖可發現，元件在經過金屬鈦及鈦化合物的溼蝕刻製程後，鑽孔溝槽 (Via trenches) 內的金屬鎢栓(tungsten plug)已完全被蝕刻殆盡。

5.3 小結

本章節介紹微機電邏輯閘的製程部分，為了讓元件能擁有金屬對金屬接觸的功能，本研究提出了兩種CMOS相容製程技術來設計/製作所提出的微機電邏輯閘元件設計，分別為利用金屬鎢(tungsten)當接觸埠材料的TSMC 2P4M 0.35 μm CMOS-MEMS 製程與利用自行研發利用金屬金(au)為接觸材料的低溫製程。

採用自行研發的製程所製作的元件，因為製程設計較具彈性，因此較能符合元件的特殊製程需求。主要的挑戰在於懸浮結構的殘留應力應力補償。採用CMOS-MEMS製程雖然可縮短製作元件的時程及製程的複雜度較低，但在製程中所產生的薄膜殘留應力不容易去除，只能透過結構層的選擇來降低可能的薄膜殘留應力產生。此外，本論文研究了不同的蝕刻液來蝕刻金屬犧牲層，最後選擇AD-10及鈦蝕刻液。然而由實驗的結果發現，金屬鎢與金屬犧牲層的蝕刻選擇比不佳，所以目前仍然無法達成金屬—金屬接觸的性能要求。



六、量測結果與討論

本章節將依序說明利用上述兩種製程所製作出的元件其量測分析的結果。

6.1 自行開發製程製作之元件特性量測

6.1.1 金屬接觸元件之結構觀測

圖6.1為利用自行研發的微機電製程所製作的邏輯閘元件，此時圖中的邏輯閘尚未沉積金屬鋁薄膜。如圖所示，由於二氧化矽薄膜層是透明的材料，因此在平板結構上的絕緣層形狀、二氧化矽薄膜層底下的金屬電極及凸塊結構都可透過顯微鏡觀測。兩輸入電壓訊號從輸入電極A及B(input terminal A and B)施加進去。凸塊結構位在平板底下的左右兩側。兩輸出電極則在元件底電極的左右兩端處。最後，左右兩端的輸出電極會經過電氣互連的方式被整合在一起。

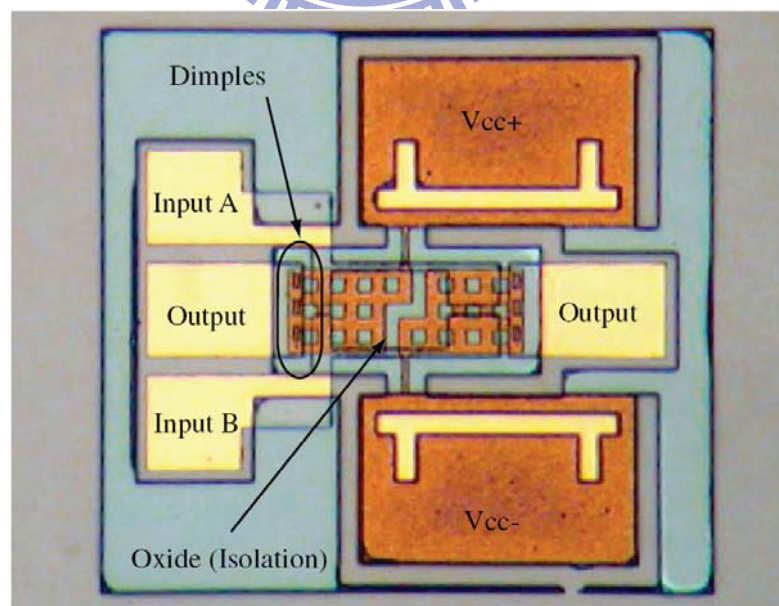


圖 6.1 在自行研發製程中，未沉積最後一道鋁金屬層之微機電邏輯閘外觀及電壓配置方式

圖6.2為尚未釋放的元件結構其詳細剖面尺寸圖。3.97 μm 的非晶矽薄膜層(犧牲層)厚度及2.21 μm 的凸塊結構的高度，使得凸塊與底電極之間的距離只有1.85 μm 。懸浮結構層由上至下分別為：鋁/二氧化矽/金鋁，其厚度分別為：0.258 μm / 2.94 μm / 0.317 μm 大約等於與實驗設計參數。量測數個被釋放的元件，實驗的結果發現所有的懸浮結構皆會輕微的向下彎曲。圖6.3(a)為利用白光干涉儀(White Light Interferometers)量測其中之一的懸浮平板，在釋放後的翹曲形變量。由於懸浮平板往下彎曲0.86 μm 的位移量，如此將造成上/下電極之接觸間隙大小從原先的1.85 μm 縮小至1 μm 以下的距離，但仍可正常運作。此距離將造成平板的傾斜(旋轉)角度被拘束在 $8 \times 10^{-3} \text{ rad}$ 以下，並符合平板的傾斜角度不會超過其最大上限(操作點位置)的原則。此外，實際量測到的平板彎曲量為0.86 μm ，與利用有限元素法(FEM)所模擬預測的0.75 μm 的平板彎曲量(參考4.1.4小節，圖4.4所示)，約略有10%的誤差量。比較元件的平板結構在尚未沉積一層用來調節元件內部應力之金屬鋁薄膜時，圖6.3(b)為平板在釋放後，量測到的彎曲形變量約為2 μm 。然而在釋放平板結構前，平板與下電極之間的空隙(gap)僅有1.8 μm 。因此可判斷此時的平板結構應已經與下電極接觸，使得元件在未施加任何驅動電壓時，上下電極已相互連接，如此將使得元件喪失預期設計的邏輯功能。由上述的實驗結果亦可驗證利用in situ 薄膜應力校正法，決定結構上附加金屬層的薄膜厚度後，即可藉由三明治的結構設計降低懸浮平板的彎曲形變。

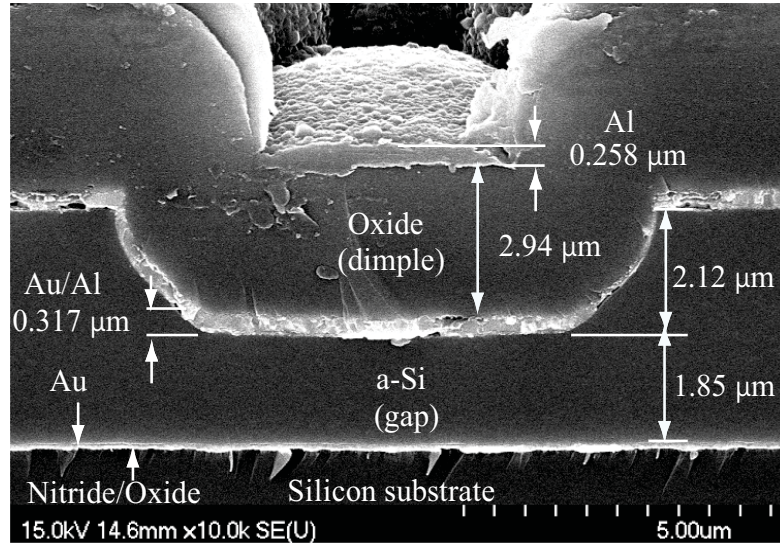


圖 6.2 在自行研發的製程中，元件尚未釋放前，其凸塊結構剖面圖

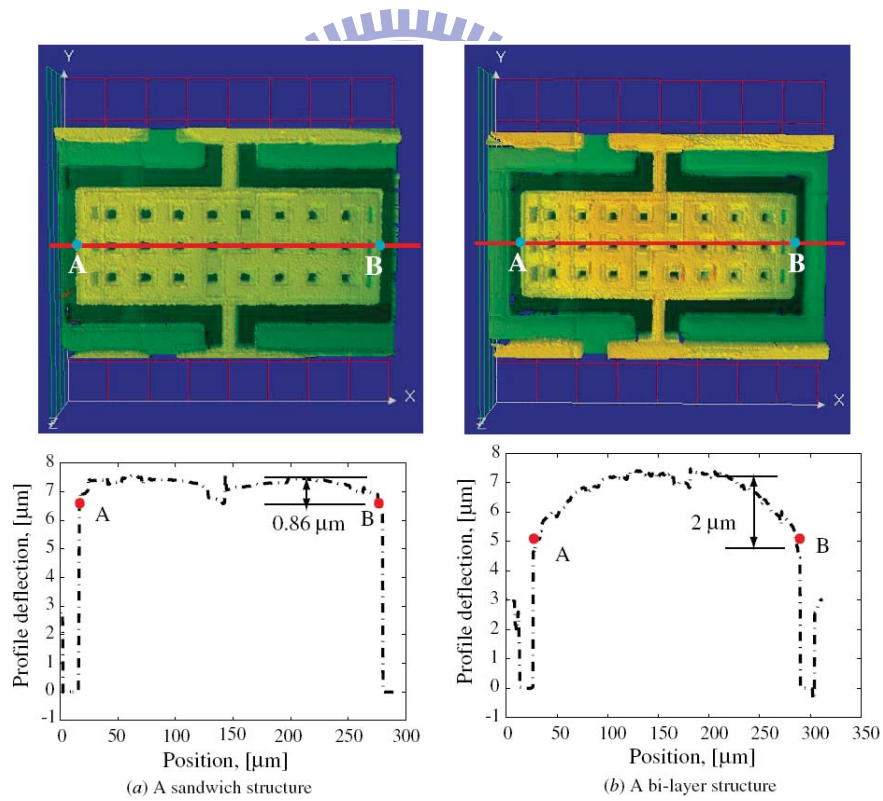


圖 6.3 在自行研發的製程中，微機電邏輯閘在釋放後的翹曲量分析 (a)三明治的平板結構，其翹曲量為 $0.86 \mu m$ (b)雙層式平板結構，其翹曲量為 $2 \mu m$

6.1.2 金屬接觸元件之動態特性量測

為了要量測元件的動態反應，在本實驗中採用的雷射都卜勒振動量測系統及搭配網路分析儀(network analyzer)來量測元件的動態響應。

圖6.4為元件的頻率(frequency)響應量測結果，其共振頻率(resonant frequency)為39 kHz。此量測到的共振點與利用圖6.2的實際元件尺寸，將其帶入數值計算其模擬結果為42.07 kHz，約略有7%的誤差量。此外，為了求得元件的阻尼比(ζ)，我們建立一個標準二階系統搭配系統鑑別的方式，從實驗的結果反推算元件的阻尼比(ζ)為0.098。

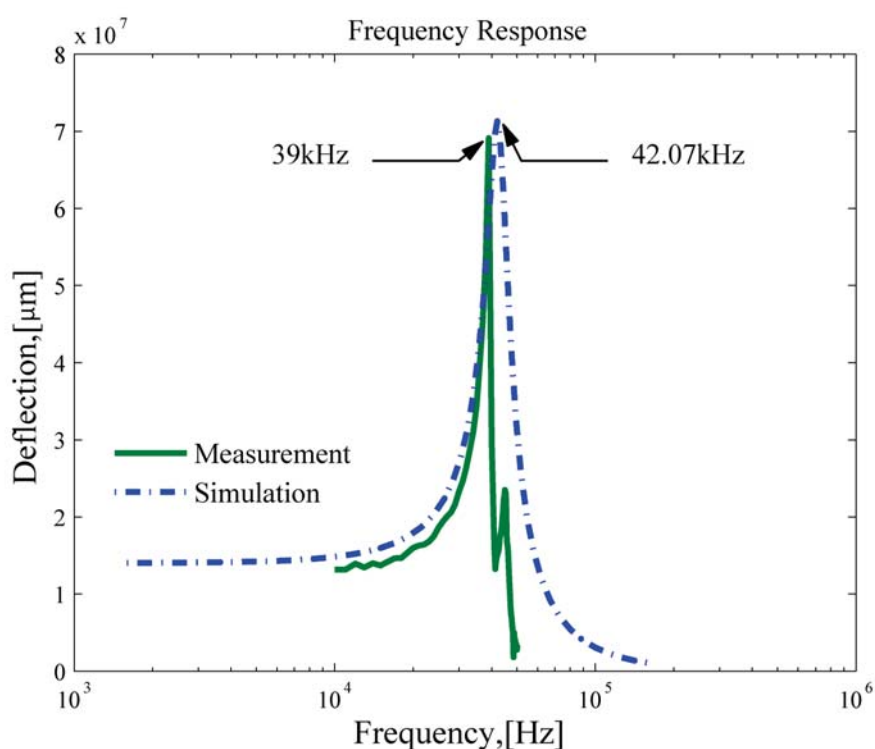


圖 6.4 在自行研發的製程中，微機械邏輯閘之頻率響應圖。第一共振頻約在 39 kHz，模擬值為 42.03 kHz。

6.1.3 元件之邏輯訊號量測

圖6.5為實驗量測架構示意圖。如圖所示，首先一開始利用雙輸出的電源供應器(Agilent E3631A)在懸浮的平板其左右兩邊的電極分別施加+25 V及-25 V(在此定義+25

V與-25 V的電壓訊號為數位訊號的1與0)作為元件的直流偏壓，再利用MEMS Motion analyzer (MMA)加放大器(Power Amplifier)把MMA的輸出電壓訊號放大，在輸入電極(input A、input B)中施加+25V或-25V的電壓訊號。為了方便觀測輸入訊號與輸出訊號的關係及變化情況，輸入訊號與輸出訊號接送至示波器(oscilloscope)，並將其值顯示在螢幕上的三個不同垂直刻度的位置上。

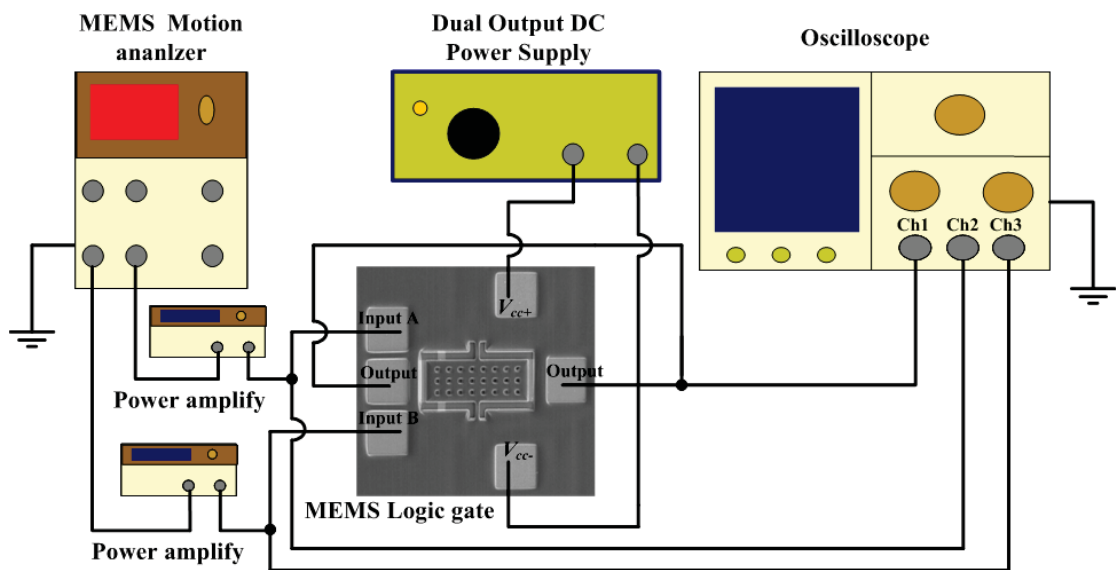


圖 6.5 微機械邏輯閘之邏輯訊號量測架構示意圖

圖6.6為邏輯閘元件的輸入及輸出之訊號關係量測結果。在操作案例(a)中，兩組輸入電壓訊號（圖中：Input A, Input B）在(0,0)與(1,1)以100 Hz的頻率進行切換，而輸出端電極（圖中：Output）則是輸出相對應的1與0的電壓訊號。透過此四個操作案例(a)-(d)的實驗結果，發現所製作的微機電元件能實現NOR邏輯閘的電路功能。同樣的實驗架構，將平板上的左右兩邊的偏壓正負反接。透過圖6.7的實驗結果發現，所製作的元件亦能實現NAND邏輯閘電路的功能。因此，綜合上述實驗的結果，驗證了利用金屬接觸製程所製作的邏輯閘，只需要改變元件的配線方式，即可在同一機械結構中實現NOR和NAND兩種邏輯閘電路的功能。

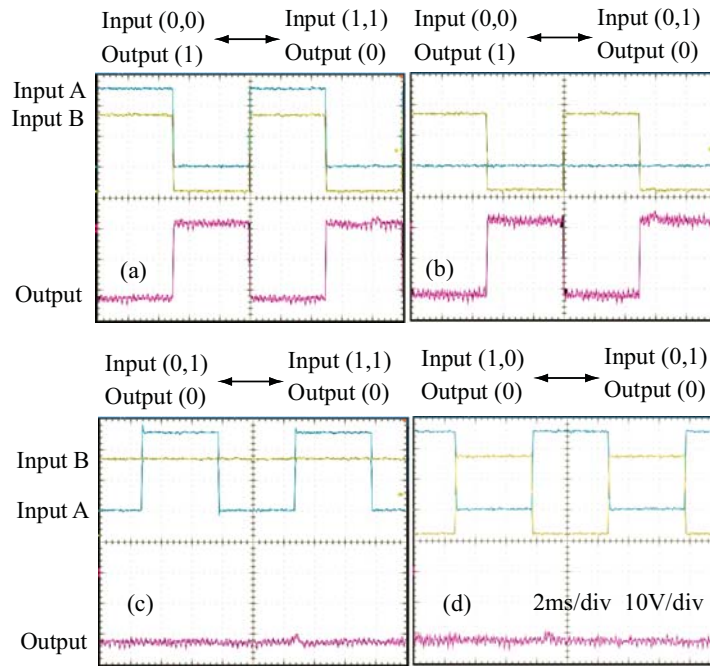


圖 6.6 NOR 閘的邏輯功能訊號量測 (a) Input : (0,0) ↔ (1,1) ; Output : 1 ↔ 0 (b) Input: (0,0) ↔ (0,1) ; Output : 1 ↔ 0 (c) Input: (0,1) ↔ (1,1) ; Output : 0 ↔ 0 (d) Input: (1,0) ↔ (0,1) ; Output : 0 ↔ 0

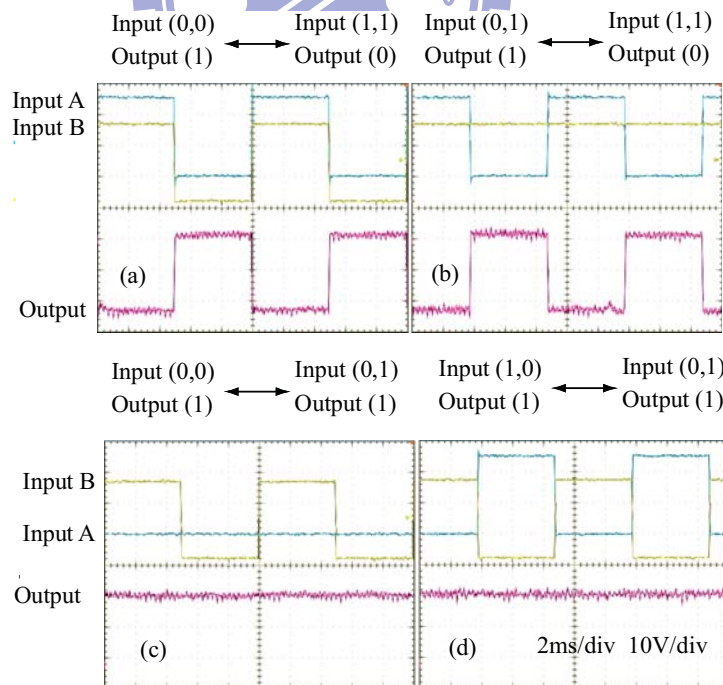


圖 6.7 NAND 閘的邏輯功能訊號量測 (a) Input : (0,0) ↔ (1,1) ; Output : 1 ↔ 0 (b) Input: (0,1) ↔ (1,1) ; Output : 1 ↔ 0 (c) Input: (0,0) ↔ (0,1) ; Output : 1 ↔ 1 (d) Input: (1,0) ↔ (0,1) ; Output : 1 ↔ 1

6.1.4 金屬接觸元件之能量耗損量測

IC數位元件的能量耗損為其性能的重要指標之一，因此本研究針對所設計製作的微機電邏輯閘進行相關耗損的量測。一般而言元件的能量耗損包括兩部分：元件無動作時的靜態耗損及元件進行開關動作時的動態耗損。所設計的邏輯閘在靜止時包括下列兩種狀態：(1) 懸浮結構位於水平位置，此時屬於電路的「開路 (open circuit)」，因此完全無能量耗損；(2) 懸浮結構向某側旋轉，靜止在輸出電極上。此時屬於電路的「短路 (open circuit)」，因此主要的能量耗損由導通電阻來決定，此電阻值量測於下一章節說明。在此主要說明本邏輯閘元件進行狀態切換時的動態耗損。

由於本元件的切換耗損無法直接量得，因此設計下面實驗來間接獲得。本實驗利用一外加的電阻 R_{ext} 與元件串聯，於時間 0秒時施加一直流電壓25V。此時，元件會由原本的開路狀態隨時間變化變成短路狀態，量測元件在此過程中電阻上的電壓隨時間變化情形。如此一來，便可藉由計算來獲的本邏輯閘元件由開至關的能量耗損。

圖6.8(a)為此一連接方式的等效電路圖。圖6.8(b)為導通期間，電阻上的電壓變化情形。在此段期間，元件所吸收的能量可由下列公式計算獲得：

$$\begin{aligned} J_{sw} &= \int_0^{t_s} V_{sw}(t) I_{sw}(t) dt \\ &= \int_0^{t_s} (V_s - V_r) \frac{V_r}{R_{ext}} dt \end{aligned} \quad (5.1)$$

在此， t_s 為電壓上升時間(rising time)， R_{ext} 是外加的電阻，而 V_r 則是 R_{ext} 電阻上的電壓降。將圖6.8(b)所量到的 V_r 及 t_r (約14.8 μs) 代入公式 (5.1)中，則此能量可求得為1.482 nJ。

於此段期間元件所吸收的能量主要可分成三部分：儲存在支撐彈簧上的彈簧能量 ($J_{elastic}$)、電流通過元件內部的連接導線，所造成的電阻能量損耗 ($J_{resistor}$)，以及元件內部因空氣薄膜擠壓效應 (squeeze film damping effects) 所造成的阻尼能量消耗 ($J_{damping}$)。

這三種能量消耗可藉由以下的公式分別為估算出來：

$$\begin{aligned}
 J_{elastic} &= \frac{K_t \theta_{max}^2}{2}, \\
 J_{resistor} &= \int_0^s I_{sw}^2(t) R_{int} dt, \\
 J_{damping} &= \int_0^s C \dot{\theta}(t)^2 dt
 \end{aligned} \tag{5.2}$$

在此， K_t 是支撐彈簧的旋轉剛性(torsional stiffness)，其值可由公式(2.4)估算獲得約為 $9.68 \times 10^{-6} (\text{N} \cdot \text{m} \cdot \text{rad}^{-1})$ ， θ 是平板傾斜(旋轉)角度， θ_{max} 為平板的最大傾斜角度，在此為 $8 \times 10^{-3} \text{ rad}$ 。根據上述公式計算，彈簧的儲存能量($J_{elastic}$)為 0.31 nJ 。

R_{int} 則是元件內部連接導線的電阻，利用四點探針量測金屬薄膜層之片電阻值($9.53 \Omega/\text{square}$)，藉由導線尺寸的估算，可求得此連接電阻值為 95.4Ω 。根據上述公式計算，電阻損耗能量($J_{resistor}$)為 0.85 pJ 。

C 為此微機電元件作動時的阻尼係數，其與元件的阻尼比(ζ)的關係如下：

$$C = 2\zeta \sqrt{K_t \cdot I_\theta} \tag{5.2}$$

利用公式(2.5)可以估算出 I_θ 約為 $1.53 \times 10^{-16} \text{ kg} \cdot \text{m}^2$ ，阻尼比由先前實驗獲的為 0.098 ，根據上述公式計算，阻尼消耗能量($J_{damping}$)為 0.6337 nJ 。

因此，由實驗的結果發現，當元件在導通過成所吸收的能量，大部分的能量並未儲存在元件的扭轉彈簧(torsional spring)上，而是被空氣阻尼的阻力(damping forces)所消耗。因此本元件的切換耗損約為 0.6337 nJ 。

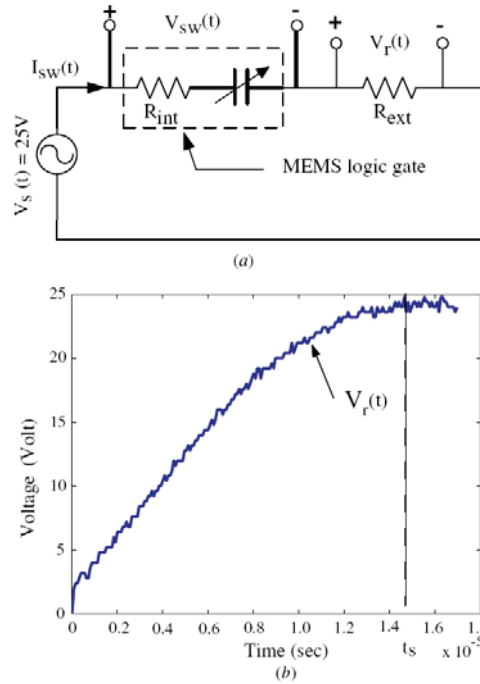


圖 6.8 (a)為測試功率損耗的電路配置圖 (b) 元件在導通時(turn on stage)的暫態電壓變化 ($V_r(t)$)。所量測到的上升時間 t_s 約為 $14.8 \mu s$ 。

6.1.5 金屬接觸元件之開關壽命(life time)量測

在量測元件之開關壽命前，我們先行測試元件的機械特性之壽命(Mechanical lifetime)；即是不讓元件的上下電極有物理上的接觸，來觀察其機械特性是否會隨著長時間的操作而變化。從實驗的結果可得知，元件作動次數超過 $> 10^6$ 次後，並未發現任何明顯的因素使得元件的機械效能損失或元件的結構受到破壞等問題。隨後，進行實際的開關測試，即是讓元件的上下電極有著物理上的接觸；懸浮平板從平衡位置旋轉並接觸到輸出電極。從實驗的結果發現，測試元件在操作頻率為100Hz時，其開/關作動次數超過24,000次後；即是作動時間約5分鐘左右，就非常容易發生懸浮結構附著的問題(stiction problem)，此時輸入電壓為零，支撐彈簧所提供的彈性恢復力(restoring force)無法將懸浮結構拉回至水平的位置。我們測試了數個元件，依然都會有同樣的問題出現。因此我們利用Scanning Electron Microscope (SEM)及Atomic Force Microscopy (AFM)儀器針對上下電極的接觸表面，在接觸前與接觸後，其表面形貌的改變做調查。圖6.9為凸

塊結構及接觸底電極的表面粗糙度量測結果。由量測結果中得知，凸塊結構在金屬—金屬接觸前其表面粗糙度為12.57 nm，在接觸後為5.73 nm；接觸底電極在接觸前其表面粗糙度為5.16 nm，在接觸後為4.13 nm。此結果與文獻[39-41]的研究報告類似。在圖6.10的SEM圖中可觀察到接觸底電極在接觸前/後並無明顯的變形，但是在凸塊結構上則發現其表面的材料已有部分剝離或爆破性的破損現象發生。因此推斷，此一破壞現象為元件沾粘現象的原因。此現象亦記載於其它的文獻中[37], [38]。綜合已知的文獻，我們推測會造成金屬接觸端附著的現象，問題可能在於驅動電壓過大($\pm 25V$)，在超過24,000次的開關次數後，相互接觸的上下電極將容易被誘發出電致遷移(electromigration)的效應[63]或微電焊效應(micro welding effect) [37], [38]等，造成接觸端表面材料剝離或破損。詳細接觸端電極在接觸時的物性變化及造成附著現象的理論分析，可能需要更深入的研究及探討後才能夠理解。表6.1列出利用此製程所製作的微機電邏輯閘其接觸性能及相關參數。

表 6.1 在金屬對金屬接觸製程中，微機電邏輯閘其接觸性能及相關參數

Turn-on resistance	$\approx 100 \Omega$
Turn-off resistance	Out of range
Mechanical lifetime	$> 10^6$ cycles
Electrical lifetime	2.4×10^4 cycles

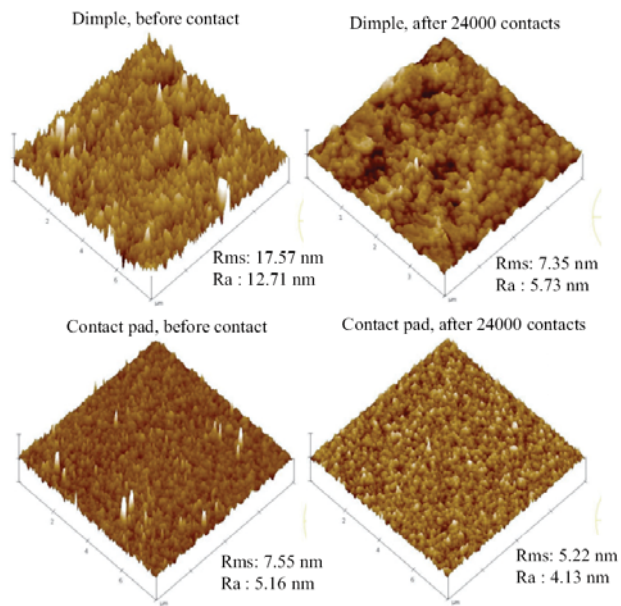


圖 6.9 凸塊結構(dimple)及接觸(contact)電極在金屬對金屬接觸前後，其表面粗糙度量測結果

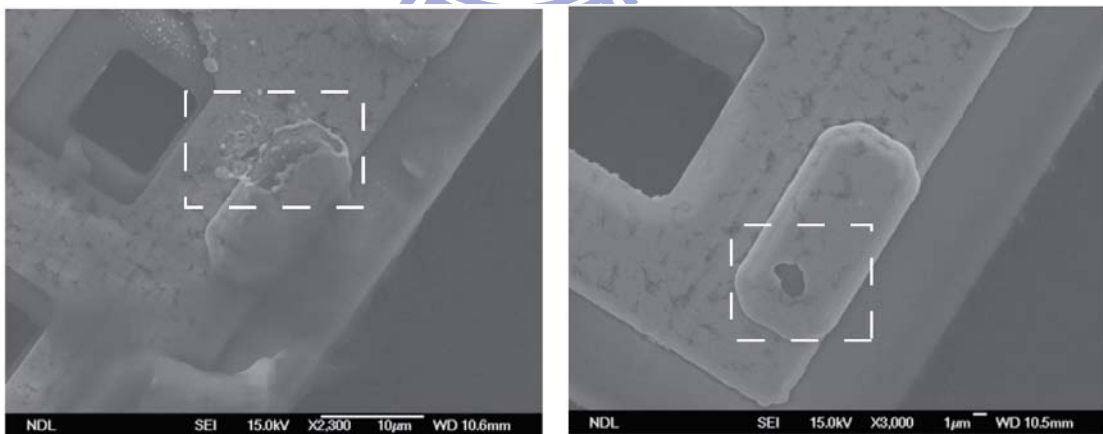


圖 6.10 當元件發生金屬附著(stiction)的問題時，電極表面材料會有剝離或破裂的現象。

6.2 TSMC 0.35 μm 2P4M 製作之元件特性量測

6.2.1 元件結構觀測

圖6.11為經過製程實作後，所完成的type-1微機電邏輯閘設計。如圖所示，type-1的實際尺寸為長 $260\ \mu\text{m}$ ，寬 $110\ \mu\text{m}$ 及懸臂樑寬度為 $15\ \mu\text{m}$ 。由於介電層為透明材料，所以可以在顯微鏡底下清楚的所觀察到平板結構上的絕緣結構、介電層底下的金屬電極及凸塊結構等佈局設計。如圖所示， V_{cc+} 及 V_{cc-} 的電壓施加在固定錨(anchors)上，藉由平板的上下支撐樑結構，將電壓傳導至懸浮的平板上。輸入的電壓訊號則是施加在輸入電極A及B上(input terminal A and B)，而凸塊結構被配置在懸浮平板底下的左右兩側之邊緣處。當上下電極接觸時，設計在元件左右兩側的輸出端電極，即可輸出對應的電壓訊號。

此外，須注意的是：因為利用此製程製作元件時須考量到用來保護金屬電極的氧化矽應離電極有 $5\ \mu\text{m}$ 的間距，所以type-1元件的關鍵設計尺寸須比表4.1的尺寸設計多出 $10\ \mu\text{m}$ 的緩衝間距，如此才能確保蝕刻液不會攻擊到元件內的金屬電極。

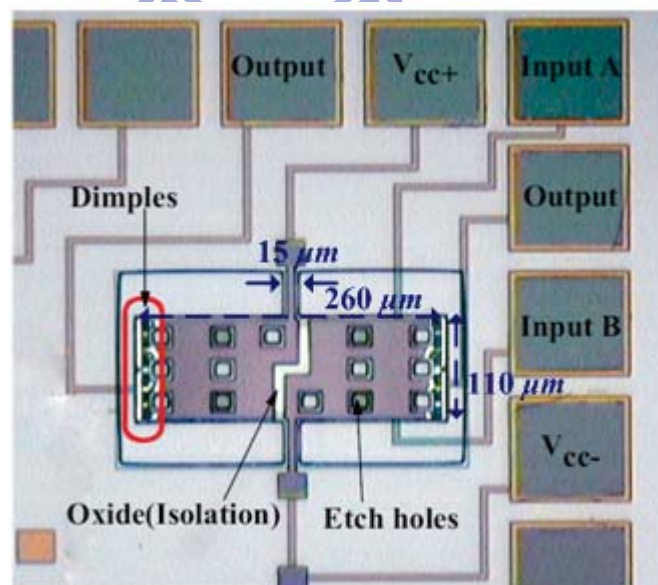


圖 6.11 CMOS-MEMS 製程所製作的 type-1 微機電邏輯閘外觀及電壓配置方式

- 懸浮結構的彎曲形變

圖6.12為type 1元件中的懸浮結構彎曲形變量。如圖6.12(a)所示結構向下彎曲且最大彎曲形變發生在兩側，最大變形量約為 $0.485\ \mu\text{m}$ 。此形變量將造成上下電極的間距約為 $1\ \mu\text{m}$ 。另外比較一懸浮結構其未經過全面乾蝕刻製程技術，如圖6.12(b)所示，最大形變量約為 $0.785\ \mu\text{m}$ ，此形變量將造成上下電極的間距約為 $0.7\ \mu\text{m}$ 。所以，根據此實驗結果可發現，在CMOS MEMS的製程設計中，可利用全面乾蝕刻製程技術來微調元件結構層的厚度，藉此改變平板內的殘留應力分佈來達成一平坦的懸浮平板結構。

圖6.13為type 2及type 3元件在結構懸浮後，利用白光干涉儀所測量出的結構彎曲變形量。雖然type 2的元件設計其結構向下彎曲的形變量只有 $0.25\ \mu\text{m}$ ，但是由於原先覆蓋在metal 4層上方的保護層受到攻擊破壞，連帶讓metal 4層原先做為內部連接導線的部分亦受到破壞，使得電訊號無法正確傳遞至元件上，導致元件故障無法使用。

Type 3的懸浮結構往下彎曲形變量為 $1.95\ \mu\text{m}$ (如圖6.13(b)所示)，此形變量約等於上下電極間的間隙，代表著平板兩側的上電極在未施加驅動電壓下，已經接觸到下電極。此結果將造成平板無法利用靜電力控制平板的制動方向，使得元件失效。

由實驗結果發現，若要利用TSMC 2P4M的製程來製作邏輯閘元件，type-1元件結構設計是較佳的選擇，因為此設計除了可實現較平坦的懸浮結構外，並且可以不需考慮保護層容易受到破壞的問題。

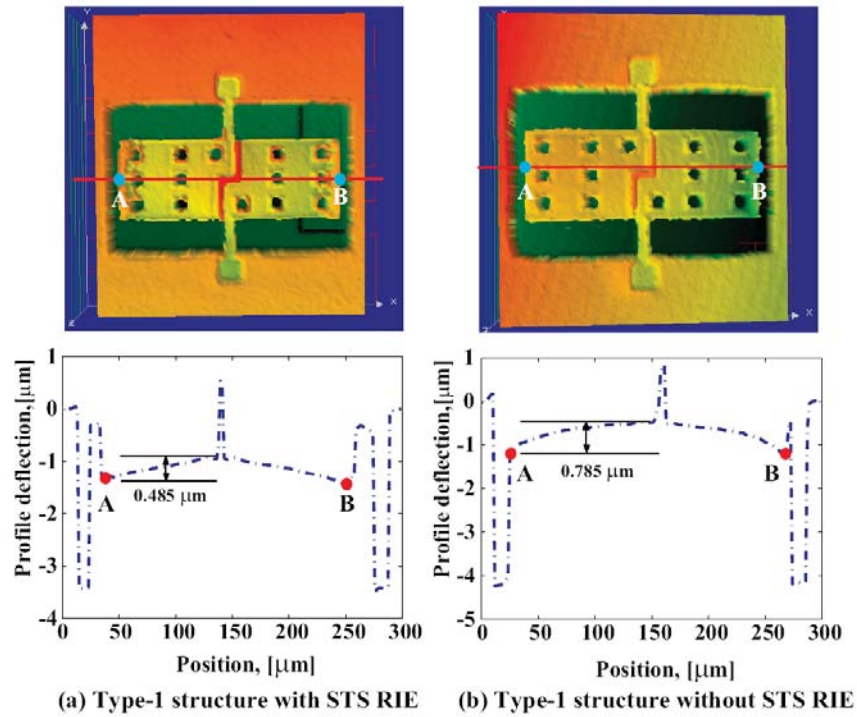


圖 6.12 type-1 元件的彎曲形變量(a) 經過反應離子全面乾蝕刻製程後，平板結構往下彎曲 $0.48 \mu m$ 。(b)不經過反應離子全面乾蝕刻製程後，平板結構往下彎曲 $0.785 \mu m$ 。

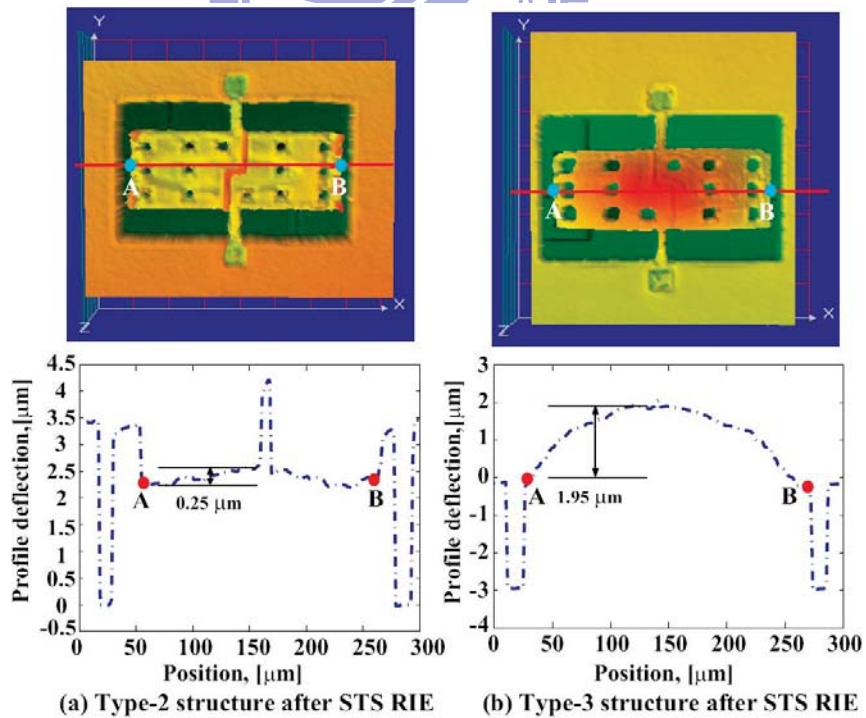


圖 6.13 經過 STS 反應離子全面乾蝕刻製程後，type-2 及 type-3 元件的彎曲量。(a) type-2 元件結構往下彎曲 $0.25 \mu m$ 。(b)type-3 元件結構往下彎曲 $1.95 \mu m$ 。

6.2.2 元件動態特性量測

在本實驗中採用的是國家晶片系統設計中心(CIC)所提供的雷射都卜勒振動量測系統及搭配網路分析儀(network analyzer)來量測元件的動態響應，其架設方式如圖6.14所示。圖6.15為元件的頻率(frequency)響應量測結果，其共振頻率落在36 kHz。

另外，若在元件的其中之一的輸入端，輸入 $10\sin(2\pi*10^3t)$ V的電壓訊號，其它電極則設定為零伏特，使得電壓差僅由輸入信號決定。如圖6.16所示，元件上的平板其致動的頻率為驅動電壓頻率的兩倍，同時其位移量約為90 nm。

由於原先設計用來當做接觸電極的金屬錫栓結構，容易受到後製程蝕刻液的攻擊(參5.1.2小節的實驗結果)，因此利用此製程所製作出來的元件，其輸出的電訊號仍無法透過示波器或電錶觀察量測到。因此，目前只能透過光學系統觀測 / 量測的方式來驗證此元件的邏輯功能[18]。也因為目前該元件尚無電性訊號輸出，在本論文中並未再利用該元件進行邏輯功能的性能量測。

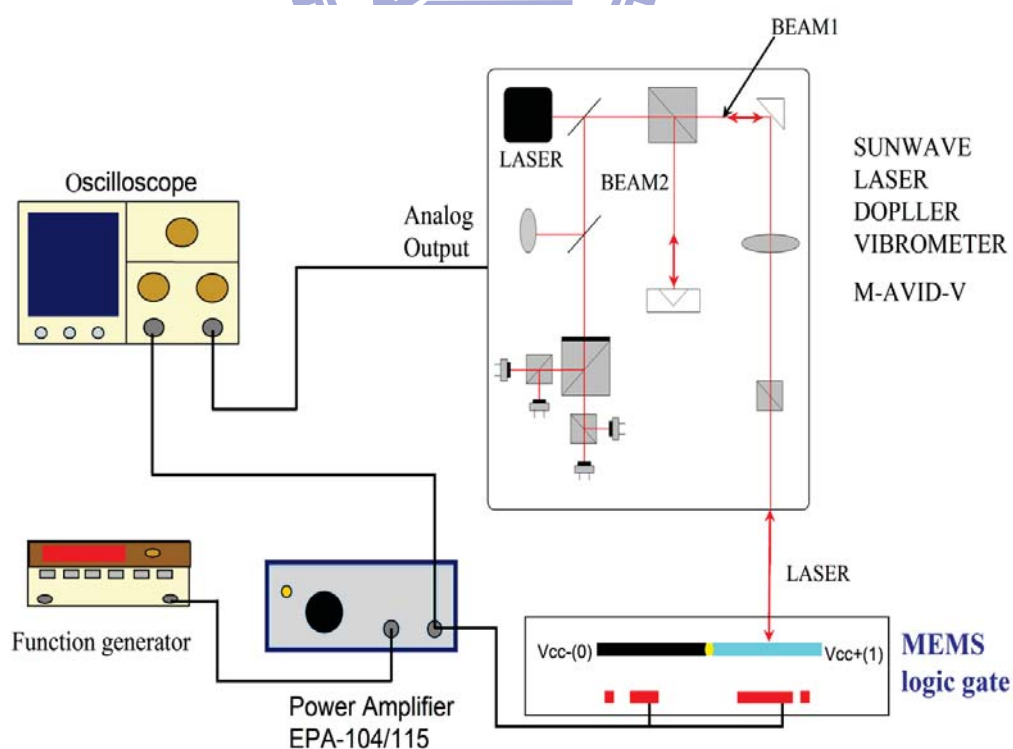


圖 6.14 LDV 量測設備

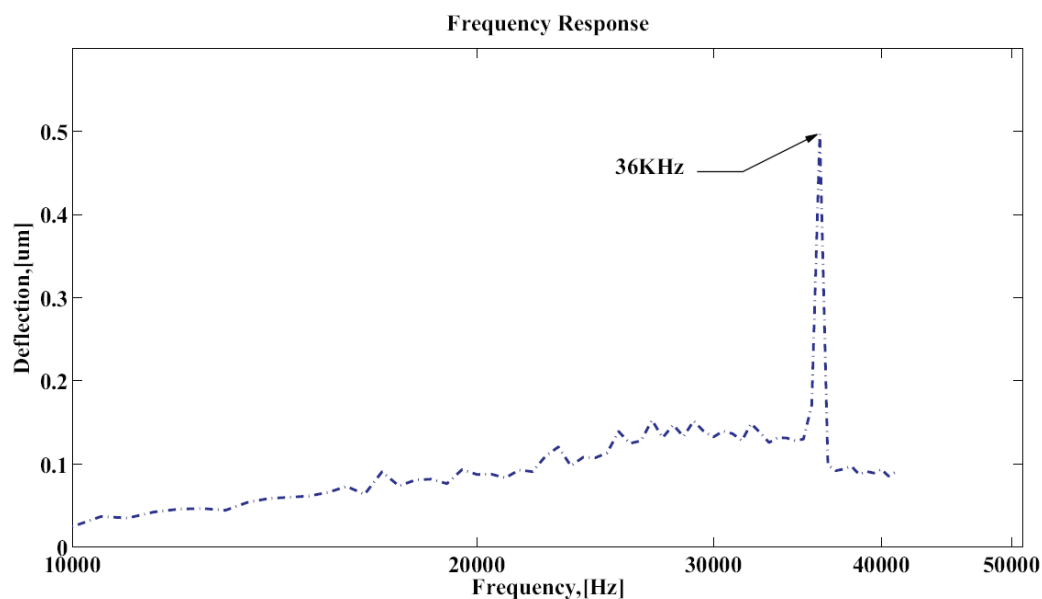


圖 6.15 在 CMOS-MEMS 製程中，元件的共振頻率為 36 kHz。

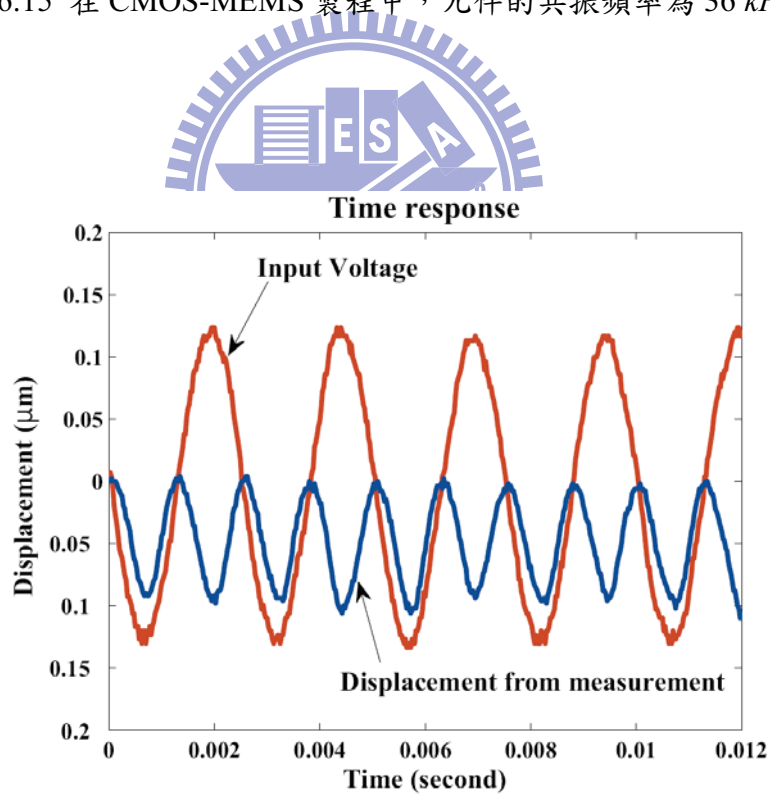


圖 6.16 在 COMS-MEMS 製程中，微機械邏輯閘之暫態反應圖；輸入的訊號為 $10\sin(2 \times 10^3 \pi t)$ V 及平板位移約 90 nm。

6.3 小結

本章呈現了兩種不同製程所製作的微機電邏輯閘元件之量測實驗結果。在自行研發的製程方面，本研究根據in situ薄膜應力校正法，提出在平板結構上再沉積一層金屬薄膜，藉此調節結構內部的殘餘應力之設計；從觀測平板結構的彎曲量變化結果，驗證了此設計方式能成功緩解平板因殘餘應力的釋放所造成的彎曲形變量。同時，本文根據第二章的設計理論、第三章的模擬結果及第四章的製程設計所實作完成的元件，元件尺寸長 $250\ \mu\text{m}$ ，寬 $100\ \mu\text{m}$ 及 $3.97\ \mu\text{m}$ 的間隙高度。透過元件之動態特性量測，元件之共振頻率為 $40.03\ \text{kHz}$ 、on resistance $\approx 100\ \Omega$ 、off resistance : out of range、switching loss $\approx 1.482\ \text{nJ}$ 、mechanical/electrical lifetime : $10^6\ \text{cycles} / 2.4 \times 10^4\ \text{cycles}$ 。此外，由實驗結果可驗證，本研究所設計的微機電邏輯閘具有NAND或NOR閘的邏輯功能，且僅需要透過更改直流偏壓的方式，不需要更改機械結構設計，便能將邏輯閘的功能在NAND及NOR閘間作切換。

在CMOS-MEMS 製程方面，元件尺寸長 $260\ \mu\text{m}$ ，寬 $110\ \mu\text{m}$ 及 $1.5\ \mu\text{m}$ 的間隙高度。雖然目前所製作出來的元件仍無電訊號輸出，但透過實驗的結果可發現type-1的製程設計可在此製程中獲得平坦的平板結構，在操作電壓為 $10/0\ \text{V}$ 下，移動範圍 $90\ \text{nm}$ ，且其共振頻率為 $36\ \text{kHz}$ 。

七、結論

7.1 研究成果

微機電邏輯閘元件不僅集合了微機械開關的所有優點，包括了低耗能、高絕緣性、可批次製造等優點外，又因為此元件具IC邏輯閘的布林代數運算功能，可直接取代傳統邏輯線路中某部分之IC邏輯閘。所以，此元件將比微波微機械開關更具備高積體電路整合性。然而，目前類似的微機電邏輯閘的研究多半是設計為MOS-like的機械式電晶體結構或是簡易的AND/NOR閘，若要達到「通用邏輯閘 (universal gate)」的運算功能(NOR邏輯閘或NAND邏輯閘)，則需要四個以上的微結構串聯才能達成。如此會有增加佈局面積及降低良率等問題產生。有鑑於此，本研究由蹺蹺板式元件結構之設計概念為出發點，建立了微機電邏輯閘的完整設計理論及操作原理，並經由二種不同的微機電製程來設計/製作所提出的微機電邏輯閘，並藉由實驗量測來驗證其可行性。

本研究提出兩種不同的製程來製作微機電邏輯閘，分別為自行研發之製程與TSMC 2P4M 0.35 μm CMOS-MEMS 製程：在自行研發之製程中，如何得到一平坦的平板結構並擁有雙電極規格為此製程的關鍵技術之一。因此，本文提出在2.94 μm 厚的二氧化矽層及0.3 μm 厚的金屬鋁/金層金所堆疊而成平板結構上，再沉積一層0.25 μm 厚的金屬鋁，藉此獲得平坦的懸浮結構。此一三層結構的殘留應力調節設計來自於兩部分：(1) 調整沉積的製程參數來調節薄膜層內的內應力；(2) 利用所提出的in situ薄膜應力校正法來校正薄膜內的殘餘應力。由實驗量測的結果發現，平板彎曲量為0.75 μm ，與模擬預測的0.86 μm 的平板彎曲量，其結果約略有10%的誤差。在CMOS-MEMS製程設計中，本文設計了三種由不同金屬及二氧化矽層所組成的懸浮結構並搭配全面性的蝕刻技術，來獲得平坦的懸浮結構。從實驗的結果得知metal-3層與二氧化矽所組成的平板結構(type 1)為最佳的設計，其125 μm 長的懸浮平板結構只向下彎曲0.485 μm 。此外，為了要實現金屬接觸的目標，如何讓溼蝕刻液能在去除Ti/TiN/Al的金屬犧牲層時並不會攻擊元件結構材料為此製程設計的最大挑戰，因此在此製程中，調查了四種溼蝕刻液(鋁蝕刻液，AD-10，卡羅酸

及鈦蝕刻液)，但至目前為止並未發現合適的溼蝕刻液可達到設計目標。

在元件的量測結果部分：在自行研發之製程設計方面(金屬對金屬接觸低溫製程)，由於製程具備較彈性的設計流程，因此可實現本論文所提出的元件規格，由其關鍵的元件邏輯運算之電訊號輸出。此原型元件的設計尺寸為長 $250\ \mu\text{m}$ ，寬 $100\ \mu\text{m}$ 及 $3.97\ \mu\text{m}$ 的間隙高度。根據實驗的結果，此元件的可在頻率為 $100\ \text{Hz}$ ，電壓大小為 $25/-25\text{V}$ 下操作並只需將正負電極反接，即可利用單一的機械結構表現出NAND閘或NOR閘的數位邏輯功能。此外，在本論文中亦量測了許多元件之重要的特性，包含了元件的總能量耗損量測為 $1.4\ \text{nJ}$ 、元件開關狀態導通時，其總電阻值為 $100\ \Omega$ 、元件開關狀態不導通時，其總電阻值近似無窮大、元件的開關壽命約為 2.4×10^4 次及元件的共振頻率為 $40\ \text{kHz}$ 。在CMOS-MEMS製程中，所設計的元件尺寸為長 $260\ \mu\text{m}$ ，寬 $110\ \mu\text{m}$ 及 $1.5\ \mu\text{m}$ 的間隙高度。從實驗的結果可發現，此元件能在驅動電壓為 $10/0\ \text{V}$ 下，位移 $90\ \text{nm}$ 且其共振頻率為 $36\ \text{kHz}$ 。由於金屬錫栓結構遭受到破壞，因此目前元件只能透過機械動態的量測方式來驗證其邏輯功能。



7.2 未來工作

目前利用自行研發之製程所開發的元件雖然以驗證微機電邏輯閘之可行性，但仍面臨兩個挑戰，其中一個問題是微機械邏輯閘其金屬對金屬接觸的可靠度仍有改善的空間，此部分可能需要針對金屬接觸的物理特性做相關的研究及分析，才能提出完整的解決方法。另一個問題是利用此製程所製作的元件，因其 $10\ \mu\text{m}$ 寬度的支撐懸臂樑及 $3\sim 4\ \mu\text{m}$ 的電極間距(gap)，會使得元件的操作電壓過大($V_{cc+}, V_{cc-} = (25, -25\text{V})$)，如此將無法直接與現有的CMOS電路做結合。因此這部分仍需要再尋找更適合的製程設備或重新調整製程參數及流程來製作此元件。

此外，原先所採用的 CMOS-MEMS製程設計，雖然目前仍無法得到元件的電訊號輸出，但由於利用CMOS-MEMS製程製作邏輯閘元件，擁有非常好的發展潛力，包括與IC製程的整合度最佳及製程穩定度高。

在未來的研究中，我們將研究局部金屬成型技術，其概念為藉由類似機械加工的方式，微加工結構的接觸埠，例如：利用FIB (Focused Ion Beam)在接觸端局部微加工；鍍上不易氧化且比金更具剛性的金屬材料，如圖7.1所示的“鉑(Pt)”金屬。如此，應可完全改善接觸金屬易氧化及無電訊號輸出等問題。

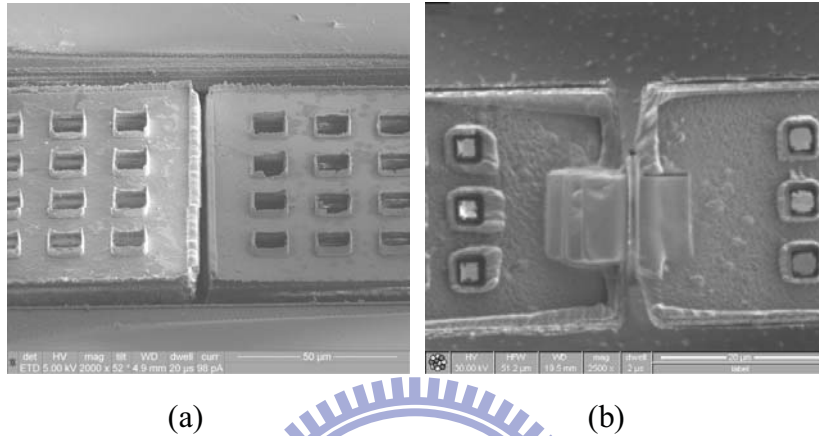


圖7.1 (a) 未鍍鉑金屬前的接觸埠 (b) 鍍上鉑金屬的接觸埠



參考文獻

- [1] N. Sinha, T. Jones, Zhijun Guo, and G. Piazza, “Demonstration of low voltage and functionally complete logic operations using body-biased complementary and ultra-thin ALN piezoelectric mechanical switches,” in *Micro Electro Mechanical Systems (MEMS), 2010 IEEE 23rd International Conference on*, 2010, pp. 751-754.
- [2] N. Abele, R. Fritschi, K. Boucart, F. Casset, P. Ancey, and A. M. Ionescu, “Suspended-gate MOSFET: Bringing new MEMS functionality into solid-state MOS transistor,” in *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, pp. 479 – 481.
- [3] H. F. Dadgour and K. Banerjee, “Design and Analysis of Hybrid NEMS-CMOS Circuits for Ultra Low-Power Applications,” in *44th ACM/IEEE Design Automation Conference, 2007. DAC '07*, 2007, pp. 306-311.
- [4] A. Raychowdhury, J. I. I. Kim, D. Peroulis, and K. Roy, “Integrated MEMS switches for leakage control of battery operated systems,” in *Custom Integrated Circuits Conference, 2006. CICC'06. IEEE*, 2006, pp. 457 – 460.
- [5] J. Heck et al., “Ultra-high density MEMS probe memory device,” *Microelectronic Engineering*, vol. 87, no. 5-8, pp. 1198-1203, May.
- [6] S. W. Lee, R. Johnstone, and A. M. Parameswaran, “MEMS mechanical logic units: design and fabrication with micragem and polymumps,” in *Electrical and Computer Engineering, 2005. Canadian Conference on*, 2005, pp. 1513 – 1516.
- [7] T. J. Farmer and M. E. Zaghloul, “CMOS digital control circuit for MEMS switch based phased array antenna,” in *Antennas and Propagation Society International Symposium, 2005 IEEE*, 2005, vol. 1, pp. 516 – 519.
- [8] K. E. Petersen, “Micromechanical membrane switches on silicon,” *IBM Journal of Research and Development*, vol. 23, no. 4, pp. 376 – 385, 1979.
- [9] X. Lafontan et al., “Environmental test bench for reliability studies: influence of the temperature on RF switches with metallic membranes,” in *Proc. SPIE*, 2002, vol. 4755, p. 624.
- [10] R. E. Mihailovich et al., “MEM relay for reconfigurable RF circuits,” *Microwave and Wireless Components Letters, IEEE*, vol. 11, no. 2, pp. 53-55, 2001.
- [11] Z. J. Yao, S. Chen, S. Eshelman, D. Denniston, and C. Goldsmith, “Micromachined low-loss microwave switches,” *Microelectromechanical Systems, Journal of*, vol. 8, no. 2, pp. 129-134, 1999.
- [12] OMRON, “RF MEMS Switch 2SMES-01.” .
- [13] G. M. Rebeiz, *RF MEMS: Theory, Design, and Technology*, 1st ed. Wiley-Interscience, 2002.

- [14] A. Hirata, K. Machida, H. Kyuragi, and M. Maeda, "A electrostatic micromechanical switch for logic operation in multichip modules on Si," *Sensors and Actuators A: Physical*, vol. 80, no. 2, pp. 119 – 125, 2000.
- [15] R. Nathanael, V. Pott, Hei Kam, Jaeseok Jeon, E. Alon, and T.-J. K. Liu, "Four-Terminal-Relay Body-Biasing Schemes for Complementary Logic Circuits," *IEEE Electron Device Letters*, vol. 31, no. 8, pp. 890-892, Aug. 2010.
- [16] V. Pott, H. Kam, R. Nathanael, J. Jeon, E. Alon, and T.-J. King Liu, "Mechanical Computing Redux: Relays for Integrated Circuit Applications," *Proceedings of the IEEE*, vol. 98, no. 12, pp. 2076-2094, Dec. 2010.
- [17] J. Jeon, V. Pott, H. Kam, R. Nathanael, E. Alon, and T.-J. King Liu, "Seesaw Relay Logic and Memory Circuits," *Journal of Microelectromechanical Systems*, vol. 19, no. 4, pp. 1012-1014, Aug. 2010.
- [18] C. Y. Tsai, W. T. Kuo, C. B. Lin, and T. L. Chen, "Design and fabrication of MEMS logic gates," *Journal of Micromechanics and Microengineering*, vol. 18, p. 045001, 2008.
- [19] W. Fang, "Determination of the elastic modulus of thin film materials using self-deformed micromachined cantilevers," *Journal of Micromechanics and Microengineering*, vol. 9, p. 230, 1999.
- [20] C. H. Chu, W. P. Shih, S. Y. Chung, H. C. Tsai, T. K. Shing, and P. Z. Chang, "A low actuation voltage electrostatic actuator for RF MEMS switch applications," *Journal of Micromechanics and Microengineering*, vol. 17, p. 1649, 2007.
- [21] M. Hill, C. O. Mahony, R. Duane, and A. Mathewson, "Performance and reliability of post-CMOS metal/oxide MEMS for RF application," *Journal of Micromechanics and Microengineering*, vol. 13, p. S131, 2003.
- [22] J. S. Pulskamp, A. Wickenden, R. Polcawich, B. Piekarski, M. Dubey, and G. Smith, "Mitigation of residual film stress deformation in multilayer microelectromechanical systems cantilever devices," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 21, no. 6, p. 2482, 2003.
- [23] J. A. Thornton and D. W. Hoffman, "Stress-related effects in thin films," *Thin Solid Films*, vol. 171, no. 1, pp. 5-31, Apr. 1989.
- [24] H. R. W., "in Physics of Thin Films," p. 211, 1966.
- [25] 國科會精密儀器中心, 微機電系統技術與應用. 全華圖書.
- [26] W. Fang and J. A. Wickert, "Post buckling of micromachined beams," *Journal of Micromechanics and Microengineering*, vol. 4, p. 116, 1994.
- [27] H. J.W. and K. W.T., "Postbuckling theory," *Applied Mechanics Reviews*, pp. 1353-1366, 1970.
- [28] W. Fang and J. A. Wickert, "Determining mean and gradient residual stresses in thin films using micromachined cantilevers," *Journal of Micromechanics and Microengineering*, vol. 6, p. 301, 1996.

- [29] M. Mehregany, R. T. Howe, and S. D. Senturia, "Novel microstructures for the in situ measurement of mechanical properties of thin films," *Journal of Applied Physics*, vol. 62, no. 9, p. 3579, 1987.
- [30] L.-L. Lin, R. T. Howe, and A. P. Pisano, "A passive, in situ micro strain gauge," in *Micro Electro Mechanical Systems, 1993, MEMS '93, Proceedings An Investigation of Micro Structures, Sensors, Actuators, Machines and Systems. IEEE.*, 1993, pp. 201-206.
- [31] A. B. Horsfall et al., "Direct measurement of residual stress in sub-micron interconnects," *Semiconductor Science and Technology*, vol. 18, no. 11, pp. 992-996, Nov. 2003.
- [32] W. Fang and J. A. Wickert, "Comments on measuring thin-film stresses using bi-layer micromachined beams," *Journal of Micromechanics and Microengineering*, vol. 5, p. 276, 1995.
- [33] Y. H. Min and Y. K. Kim, "In situ measurement of residual stress in micromachined thin films using a specimen with composite-layered cantilevers," *Journal of Micromechanics and Microengineering*, vol. 10, p. 314, 2000.
- [34] S. T. Patton and J. S. Zabinski, "Failure Mechanisms of Capacitive MEMS RF Switch Contacts," *Tribology Letters*, vol. 19, no. 4, pp. 265-272, Aug. 2005.
- [35] J. W. Tringe, T. A. Uhlman, A. C. Oliver, and J. E. Houston, "A single asperity study of Au/Au electrical contacts," *Journal of Applied Physics*, vol. 93, no. 8, p. 4661, 2003.
- [36] H. Kam, V. Pott, R. Nathanael, J. Jeon, E. Alon, and T. J. K. Liu, "Design and reliability of a micro-relay technology for zero-standby-power digital logic applications," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, pp. 1 - 4.
- [37] L. V. A. Starman, J. R. Reid, R. T. Webster, and J. L. Ebel, "RF MEMS Switches for Antenna Applications."
- [38] B. D. Jensen, L. L.-W. Chow, Kuangwei Huang, K. Saitou, J. L. Volakis, and K. Kurabayashi, "Effect of nanoscale heating on electrical transport in RF MEMS switch contacts," *Journal of Microelectromechanical Systems*, vol. 14, no. 5, pp. 935-946, Oct. 2005.
- [39] O. Rezvanian, M. A. Zikry, C. Brown, and J. Krim, "Surface roughness, asperity contact and gold RF MEMS switch behavior," *Journal of Micromechanics and Microengineering*, vol. 17, p. 2006, 2007.
- [40] S. Majumder et al., "Study of contacts in an electrostatically actuated microswitch," in *Electrical Contacts, 1998., Proceedings of the Forty-fourth IEEE Holm Conference on*, 1998, pp. 127 - 132.

- [41] S. Majumder, N. E. McGruer, G. G. Adams, P. M. Zavracky, R. H. Morrison, and J. Krim, "Study of contacts in an electrostatically actuated microswitch," *Sensors and Actuators A: Physical*, vol. 93, no. 1, pp. 19 – 26, 2001.
- [42] Q. Ma et al., "Metal contact reliability of RF MEMS switches," in *Proc. SPIE*, 2007, vol. 6463, p. 646305.
- [43] L. L. W. Chow, J. L. Volakis, K. Saitou, and K. Kurabayashi, "Lifetime Extension of RF MEMS Direct Contact Switches in Hot Switching Operations by Ball Grid Array Dimple Design," *IEEE Electron Device Letters*, vol. 28, no. 6, pp. 479-481, Jun. 2007.
- [44] 蕭富元, "CMOS 微機電系統之設計與應用." .
- [45] T. L. Chen and R. Horowitz, "Desing and Fabrication of PZT-Actuated Silicon Suspensions," *Mechatronics 2000*.
- [46] R. R. Craig, *Mechanics of Materials, 2nd Edition*, 2nd ed. Wiley, 1999.
- [47] S. H. Ahn and Y. K. Kim, "Silicon scanning mirror of two DOF with compensation current routing," *Journal of Micromechanics and Microengineering*, vol. 14, p. 1455, 2004.
- [48] J. Millman and A. Grabel, *Microelectronics*, 2nd ed. Mcgraw-Hill College, 1987.
- [49] S. Tezuka, "The adhesion problem for a microstructure with dimples," in *SICE 2002. Proceedings of the 41st SICE Annual Conference*, 2002, vol. 1, pp. 386 – 389.
- [50] L. Mercado, S. M. Kuo, T. Y. T. Lee, and L. Liu, "A mechanical approach to overcome RF MEMS switch stiction problem," in *ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE*, 2003, pp. 377 – 384.
- [51] J. M. Gere and S. P. Timoshenko, *Mechanics of Materials*, 4th ed. PWS Pub. Co., 1997.
- [52] " MEMS and Nanotechnology Clearinghouse. " [Online]. Available: <http://www.memsnet.org/news/>.
- [53] " MatWeb, " *MATERIAL PROPERTY DATA*. [Online]. Available: <http://www.matweb.com/index.aspx>.
- [54] R. Charavel, "Stress release of PECVD oxide by RTA," in *Proceedings of SPIE*, Maspalomas, Gran Canaria, Spain, 2003, pp. 596-606.
- [55] C. Domínguez, J. A. Rodríguez, M. Riera, A. Llobera, and B. Díaz, "Effect of hydrogen-related impurities on the thermal behavior of mechanical stress in silicon oxides suitable for integrated optics," *Journal of Applied Physics*, vol. 93, no. 9, p. 5125, 2003.
- [56] 薛漢鼎, "沉積二氧化矽薄膜之化學氣相控制," 奈米通訊.
- [57] "Product Data Sheet: AZ 5214E Image Reversal Photoresist." .
- [58] T. Zhu, P. Argyrakis, E. Mastropaolo, K. K. Lee, and R. Cheung, "Dry etch release processes for micromachining applications," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 25, no. 6, p. 2553, 2007.

- [59] 陳永霖, “CIC User Handbook – 0.35 um CMOS MEMS Process v.2.0.” .
- [60] Cheng-Ting Ko et al., “A Highly Sensitive CMOS-MEMS Capacitive Tactile Sensor,” in *Micro Electro Mechanical Systems, 2006. MEMS 2006 Istanbul. 19th IEEE International Conference on*, 2006, pp. 642-645.
- [61] M.-H. Tsai, C.-M. Sun, Y.-C. Liu, C. Wang, and W. Fang, “Design and application of a metal wet-etching post-process for the improvement of CMOS-MEMS capacitive sensors,” *Journal of Micromechanics and Microengineering*, vol. 19, no. 10, p. 105017, Oct. 2009.
- [62] Y. N. Hua, S. Redkar, L. H. An, and G. B. Ang, “A study on silicon nodules due to the Si precipitation in wafer fabrication,” in *Semiconductor Electronics, 2000. Proceedings. ICSE 2000. IEEE International Conference on*, 2000, pp. 110-112.
- [63] Z. Wenbin, C. Haifeng, X. Zhiqiang, L. Leilei, and Y. Zongguang, “W-plug via electromigration in CMOS process,” *Journal of Semiconductors*, vol. 30, no. 5, p. 056001, May. 2009.

