

# 國立交通大學

電子工程學系 電子研究所

## 碩士論文

使用倍數式延遲鎖相電路之非整數頻率合成器

Multiplied Delay Locked Loop Based Fractional-N  
Frequency Synthesizer

研究生：劉晟佑

指導教授：陳巍仁 教授

中華民國 100 年 1 月

# 使用倍數式延遲鎖相電路之非整數頻率合成器

## Multiplied Delay Locked Loop Based Fractional-N Frequency Synthesizer

研究生： 劉晟佑 Student： Cheng-Yu Liu

指導教授： 陳巍仁 教授 Advisor： Wei-Zen Chen



國立交通大學  
電子工程學系 電子研究所  
碩士論文

A Thesis

Submitted to Department of Electronics Engineering and  
Institute of Electronics  
College of Electrical and Computer Engineering  
National Chiao Tung University  
in partial Fulfillment of the Requirements  
for the Degree of  
Master  
in  
Electronics Engineering

January 2011  
Hsinchu, Taiwan, Republic of China

中華民國 100 年 1 月

# 摘要

資料運算中時脈供應源有必要與其它系統是被整合在單一晶片上(on chip clock multiplication)，突波(spur)與相位雜訊(phase noise)，這些要素經常是影響量測品質的關鍵。一般整倍數延遲鎖相電路(MDLL, Multiply Delay Lock Loop)，參考時脈訊號重載(reload)的動作，達到清除擾動累積(jitter accumulation)的功能。但此項功能卻有一代價要付出，參考訊號重載或是重整，造成時脈訊號有特定擾動(deterministic jitter)的產生，在時脈訊號的頻譜上會有明顯參考突波(reference spur)的發生，故使延遲鎖相電路的突波抑制將是本研究重點，而我們是如亂數把此特定擾動打散將有助於抑制突波。另一方面，為了使系統使用的頻譜的使用率相對於整倍數的頻率合成器比較高，以和差調變器來產生平均數為小數解析度的行為，並有非整數編程式的形態(fractional-N programmable)的特性達到之，如此般輸入參考頻率將不受限於調變訊號，給予系統有一高度調整性的設計，而非整倍數頻率合成器在目前電路系統上，主要是以非整倍數鎖相電路(fractional-N PLL)為主流，如何使擾動累積清除的特性，發揮於非整倍數頻率合成器，故發展非整倍數延遲鎖相電路。

參考時脈訊號重載如何實現於非整倍數延遲鎖相電路上，先要得知參考相位與時脈訊號相位的量化資訊，是否可正確重載參考訊號，否則將發生嚴重錯誤的相位偏差。為了推算那一特定時間內能作重載，我們將改進和差調變器，和差調變器的進位訊號(carry[k])可算出補數訊號(residue[k])，補數訊號就能反應參考相位與時脈訊號相位的量化誤差，分為三個部份，用於改變除數的和差調變器( $\Sigma\Delta_1$ )，計算相位的累加器，經過一量化器(Q)，回授路徑上補數之和差調變器( $\Sigma\Delta_2$ )。特點在於，加於用於改變除數的和差調變器之輸入的回授路徑，使補數訊號(residue[k])能用於避免相位偏差，以推算那一特定時間內能作重載參考時脈。補數訊號(residue[k])是反映參考相位與時脈訊號相位的量化資訊，將此訊號送給延遲線(delayline)，達到參考訊號重載的功能。參考訊號重載能打斷延遲線的相位雜訊的累積，雜訊模型將由一積分器模型變成離散時間上的相加，所以在設計迴路濾波器(loop filter)能以考慮和差調變器的量化雜訊與參考訊號雜訊為主。此非整倍數延遲鎖相電路架構用能為非整倍數時脈產生器，壓抑頻帶內的相位雜訊(In band phase noise)，達到低雜訊的效果。

亂數把此特定擾動打散的方向下，我們提出較廣義的訊號重載架構，保存傳統倍數延遲鎖相電路的清除擾動累積的優點，以一組多相位產生器(multi-phase generator)，產生的多時脈相位重載於一組延遲線(delay line)上，訊號重載的方式將以數位控制器(digital controller)來安排，決定重載於時脈訊號的何時刻和時脈相位的位置。若以一個隨機亂數的方式來安排重載參考時脈訊號的順序，能有效抑制突波產生，定性上在頻譜上其明顯之突波單頻訊號將下降，下降程度能以馬可夫鏈(Markov chain)得之，溢出相位雜訊能用隨機過程定量之。上敘能以一實際例來說，多相位產生器以一組延遲線產生多相位時脈產生，並以 $N+\Delta N$ 周期， $\Delta N$ 是一亂數方式，重載於另一組延遲線，以達到達到抑制突波，驗正溢出相位雜訊不會有太大的付出。

我們主要發展一新型非整倍數頻率合成器，非整倍數延遲鎖相電路，與突波抑制的延遲鎖相電路。除運用於本計畫相關的類比數位轉換(ADC)系統下，也可在其他具有非整倍數頻率合成器的系統當中。

**關鍵詞：** 時脈產生, 資料回復, 倍數延遲鎖相電路, 隨機亂數

# ABSTRACT

These days the clock generator integrated with other system is needed to realize high speed computation. Spurious tones and phase noise often play a critical role in measuring quality. Random jitter is significantly reduced in Multiplying Delay-Locked Loops (MDLL), phase realigning clock multipliers, compared to that in typical Phase-Locked Loops (PLL). This is performed by launching the reference edge directly into their voltage controlled oscillators (VCO) or their delayline. However, the timing mismatch in signal path to the detector as well as non-idealities of analog property in the circuits cause a significant increase in deterministic jitter. So dealing with the spurious tone the same as deterministic jitter is this research topic. On the other hand, the channel efficiency of communication system used by the fractional-N frequency synthesizer is much higher than that used by the integer-N frequency synthesizer. The sigma delta modulator adopted in fractional- N frequency synthesizer achieves the resolution of fractional-N by generating the fractional number in average and have the property of programmable. Yet the frequency of the reference clock is not limited and not confined within the modulation signal, which gives greater design flexibility at the system level. Recently fractional- N frequency synthesizer mainly uses fractional- N frequency PLL to serve as the supply of the clock. How to reduce to phase noise contributed from jitter accumulation of the PLL/MDLL on commutation systems is the main point of our invention.

The realization of the concept of the adjustment of the reference clock on fractional- N based MDLL is that, first to know quantized information compared between the reference clock and the divided clock, generated from divider having divider ratios modulated by the sigma delta modulator ( $\Sigma\Delta$ ) to achieve fractional - N resolution. Reload the reference clock correctly or not that cause serious problems of phase offset. We modify the sigma delta modulator ( $\Sigma\Delta$ ) to predict the signal of the residue (residue[k]), which is synchronized with the error compared between the reference clock and the divided clock. The modified sigma delta modulator ( $\Sigma\Delta$ ) consists of three parts, the sigma delta modulator changing the divider ratio, the accumulator counting the reference edge, and the residual sigma delta modulator on the feedback loop. The point is this feedback loop make the the residue (residue[k]) avoiding the phase offset to align the reference edge. The residue (residue[k]) is used to determine the time of the reload of the reference clock, and let the delay line has the ability of the alignment. Because of the elimination of jitter accumulation, quantization noise of the sigma delta modulator and the noise from the reference clock induced phase noise is the bottleneck in state-of-the-art synthesizer design.

Under this circumstance we propose a general form of MDLLs, which have the adjustment by reference clock, and can keep the advantage to prune away jitter accumulation. This general form composes of a multi-phase generator, a delay line, and the digital controller. The clock phases from the multi-phase generator can be reloaded in the delay line and the digital controller determines the allowance to reload the clock phase and the order of reload. If the order is random pattern, the spurs caused by the adjustment can attenuate effectively. The value of attenuation can be predicted by the theorem of Markov Chain. For example, the multi-phase generator implemented by a delay line which is rounded by delay cells use the order  $N+\Delta N$ ,  $\Delta N$  is random variable, to inject the second delay line to reduce the spurs. The amount of the reduction of spurs and the phase increment are verified under both behavior simulation and math, and less than 6dB.

Note that the invention is not limited to ADC system, but is applicable to other systems and integrated circuits that have low noise, fractional - N resolution of MDLL.

**Keywords :** clock generator, data recovery, multiply delay line, random process

## 致謝

---

首先，我要對我的指導教授陳巍仁老師致上最誠摯的感謝。老師在這四年裡不論在硬體或是軟體上提供了我一個最佳的學習環境。在學習上老師也給予了適時的指導與啟發，使我不在錯誤當中打轉。

其次我要感謝阿拉伯實驗室前輩們的努力，才使得實驗室軟硬體設備一應俱全，還有學長台祐、士豪、松諭、巧玲、國慶、宗裕的熱情協助。在如此的環境下，我的論文才能順利完成。再來我要感謝實驗室的同學宗恩、薪華、國維、世昕、宣泰、炯為、育祥、凱悌、順天、書瑾、旻毅、文杰、健軒、川逸、豔婷、建宏、逸弘、仲廷、曜嘉、佩妤、政豪、弘凱……等，陪伴著我一起渡過了研究生涯。

最後我要最感謝我的父母對我二十多年來辛苦的付出，使我在學習之餘無後顧之憂，還有我的朋友這幾年對我的關心和陪伴，使我得到了豐富的生活與健康的人生。謹以此論文獻給關心我的人。

劉晟佑

國立交通大學

中華民國一百年三月

# 目錄

第一章, 動機(Motivation).....	1
第二章, 架構(Architecture) .....	10
2.1.    非整倍數延遲鎖相電路 (FMDLL).....	10
2.1.1.    雜訊模型(Noise Model).....	15
2.2.    隨機重載型延遲鎖相電路 (RMDLL) .....	26
第三章, 電路(Circuits).....	32
3.1.    延遲線(delayline).....	32
3.2.    除頻器(divider) .....	37
3.3.    多相位旋轉器(multi-phase rotator)及其相位控制器 .....	39
3.4.    相位頻率比較器(PFD)與電流幫浦(Charge Pump) .....	42
3.5.    迴路濾波器(Loop Filter) .....	46
第四章, 驗證(Verification) .....	48
4.1.    電路佈局(Layout) .....	48
4.2.    電路量測(Measurement).....	49
4.3.    隨機重載延遲鎖相電路電路量測(RMDLL Measurement).....	51
4.4.    非整倍數延遲鎖相電路電路量測(FMDLL Measurement) .....	53
第五章, 結論(Conclusion) .....	59
第六章, 附錄(Appendix).....	61
6.1.    延遲鎖相電路延遲線雜訊的理論分析 .....	61
6.2.    參考突波(reference spur)的理論分析.....	62
第七章, 參考資料(Reference) .....	64



# 圖表目錄

圖 1- 1: 類比數位轉換器(ADC)與其提供時脈之產生器(Low Jitter Clock Generator)與孔径抖動(aperture jitter)對於取樣保持(sample and hold)的影響.....	1
圖 1- 2: 現今世界上類比數位轉換器(ADC)的發展圖.....	2
圖 1- 3: 一般整倍數延遲鎖相電路(Conventional MDLL)之架構.....	3
圖 1- 4: 延遲線的靜態抖動.....	4
圖 1- 5: [ 7]所使用的延遲線(delay line)與延遲單元(delay cell)， [ 7]所使用的選擇器(selector).....	5
圖 1- 6: 各晶片的優質數(FOM).....	7
圖 1- 7: 數位類比轉換器(DAC)來消除相位誤差(phase error)架構圖.....	8
圖 1- 8: 非整倍數延遲鎖相電路(fractional-N MDLL).....	8
圖 2- 1: 非整倍數延遲鎖相電路(FMDLL)的各訊號行為圖。.....	11
圖 2- 2: 和差調變器無平均偏差出現(DC offset)。.....	12
圖 2- 3: 頻率合成器上後校正(post correction)各訊號行為範例圖.....	13
圖 2- 4: 所提出之和差調變器架構( $\Sigma\Delta$ )的雜訊轉移函數與訊號轉移函數。.....	14
圖 2- 5: 非整數頻率合成器之系統函數.....	16
圖 2- 6: 量化雜訊(quantization noise)在不同頻寬下的相位雜訊圖.....	17
圖 2- 7: 鎖相電路與延遲鎖相電路之脈衝響應。.....	19
圖 2- 8: 時脈時間錯誤累積(clock time error accumulation).....	20
圖 2- 9: 倍頻數為 4 之自相關函數(autocorrelation function).....	21
圖 2- 10: 自相關函數(autocorrelation function)。.....	21
圖 2- 11: 整數延遲鎖相電路之系統函數。.....	22
圖 2- 12: 整倍數延遲鎖相電路(MDLL)相位雜訊模擬圖。.....	22
圖 2- 13: 相位雜訊設計圖，承接[ 30]的相位雜訊系統分析方式，紅字部份為非整倍數延遲鎖相電路所增加的.....	24
圖 2- 14: 相位雜訊比較圖，非整數鎖相電路(FPLL)與非整數延遲鎖相電路(FMDLL).....	25
圖 2- 15: CppSim 分析延遲鎖相電路(MDLL)的範例。.....	26
圖 3- 1: 廣義式訊號緣重載架構與實現範例，.....	27
圖 3- 2: 隨機亂數的方式安排訊號重載.....	28
圖 3- 3: 隨機亂數的行為的轉置矩陣(transition matrix).....	29
圖 3- 4: 突波(spur)抑制情況，馬可夫(Markov)預估與行為模擬。.....	30
圖 3- 5: 傳統整倍數延遲鎖相電路(Conventional MDLL) 之訊號頻譜與亂數式整倍數延遲鎖相電路(Randomly Reload MDLL) 之訊號頻譜的差異比較。.....	31
圖 4- 1: 欲測試架構，包括非整數延遲鎖相電路(FMDLL)，隨機亂數延遲鎖相電路(RMDLL)。.....	32

圖 4-2: 延遲線(delayline)架構。	33
圖 4-3: 延遲線中四級以多工器(mux based)作延遲單元(delay cell)，其以電流邏輯形式操作。	34
圖 4-4: 延遲線中四級以電流邏輯形式多工器頻率範圍(frequency range)。與頻率與電壓增益( $K_{vco}$ )。	34
圖 4-5: 延遲線中四級以多工器(mux based)，以數位邏輯形式操作。	35
圖 4-6: 延遲線中四級以數位邏輯形式多工器頻率範圍與頻濾增益( $K_{dl}$ )。	36
圖 4-7: 延遲線中以控制多工器的選擇器(selector)與波形。	36
圖 4-8: 延遲線中緩衝級(buf)。	37
圖 4-9: 多模組除頻器(multi modulus divider)之架構	37
圖 4-10: 多模組除頻器(multi modulus divider)之電路模擬。	39
圖 4-11: 相位旋轉器(multi-phase rotator)之電路架構與行為波形	40
圖 4-12: 相位旋轉器中多相位選擇器(multi-phase selector)之電路架構	41
圖 4-13: 相位旋轉器(multi-phase rotator)之行為模擬	42
圖 4-14: 相位旋轉器(multi-phase rotator)之電路模擬	42
圖 4-15: 相位比較器(PFD, tristate phase detector)	43
圖 4-16: 電流幫浦(charge pump)的非線性度分析	44
圖 4-17: 相位比較器(PFD, tristate phase detector)相為差與充放電流關係圖	45
圖 4-18: 相位比較器與電流幫浦在鎖定下的電路模擬圖	46
圖 4-19: 可調整的迴路濾波器之根軌跡圖(root locus graph)	47
圖 5-1: 單一轉平行電路(serial to parrallel)與平行轉單一電路(parrallel to serial)合併	48
圖 5-2: 邏輯式延遲線操作抖動圖，左圖為非整數鎖相電路(FPLL)，右圖為非整數延遲鎖相電路(FMDLL)	49
圖 5-3: 電流邏輯形式延遲線操作抖動圖，左圖為非整數鎖相電路(FPLL)，右圖為非整數延遲鎖相電路(FMDLL)	49
圖 5-4: 晶片照相圖(floorplan)	50
圖 5-5: 量測安置(Measurement setup)中測試用的 pcb 板	50
圖 5-6: 延遲鎖相電路(MDLL)時域圖示意圖	51
圖 5-7: 頻譜分析圖總結，參考頻率 16 MHz，輸出頻率 240 MHz	52
圖 5-8: 延遲鎖相電路(MDLL)左圖與隨機延遲鎖相電路(RMDLL)右圖抖動(jitter)時域圖	53
圖 5-9: 延遲鎖相電路(MDLL)與隨機延遲鎖相電路(RMDLL)抖動(jitter)時域圖	53
圖 5-10: 除數為非整數下時域圖示意圖，以輸出 248 MHz 為例，參考訊號 16 MHz，除數 $15+1/2$ 。	54
圖 5-11: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 245 MHz，參考頻率 16 MHz，倍頻數 $15+5/16$ ，頻譜跨度(span) 50 MHz	54
圖 5-12: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 243 MHz，參考頻率 16 MHz，被除數 $15+3/16$ ，	55
圖 5-13: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 244 MHz，參考頻率 16 MHz，被除數 $15+4/16$ ，	56



圖 5- 14: 量測之非整倍數延遲鎖相電路頻譜，輸出頻 245 MHz，參考頻率 16 MHz，被除 數 $15+5/16$ ，.....	56
圖 5- 15: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 244 MHz，參考頻率 16 MHz，被 除數 $15+4/16$ ，.....	57
圖 5- 16: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 243 MHz，參考頻率 16 MHz，被 除數 $15+3/16$ ，.....	57
圖 5- 17: 量測之非整倍數頻率合成器相位雜訊相互比較.....	58
圖 6- 1: 本作品與其它文獻的比較.....	60
圖 A- 1: 延遲鎖相電路延遲線(delayline)雜訊的理論分析與行為模擬.....	62
圖 A- 2: 鎖相電路(PLL)與倍頻式延遲鎖相電路(MDLL)的輸出相位比較圖.....	62
圖 A- 3: 參考突波(reference spur)與電流幫浦充放電不匹配( $\Delta I_{cp}$ )，相位比較器(PFD)的重置 延遲( $\tau_{PFD}$ )關係圖.....	63
表 1: 近代倍頻式延遲鎖相電路(MDLL)的比較.....	6
表 2: 近代注入鎖定鎖相電路(ILPLL)的比較.....	6
表 3: 所預期的效能目標.....	9
表 4: 脈衝響應 $h(t, T)$ 函數關係表與各情況表現圖。.....	23
表 5: 除頻器的功率消耗(Power Consumption)。.....	38
表 6: 本作品與其它文獻的比較，藍色為倍頻式延遲鎖相電路(MDLL)，紅色為隨機重載 延遲鎖相電路(RMDLL).....	59

# 第一章，動機(Motivation)

為了實現資料運算，時脈供應源有必要與其它系統是被整合在單一晶片上(on chip clock multiplication)，此般，單一晶片內就嵌入一個鎖相電路，並外接一個低頻率的石英振盪器(crystal oscillator)，而晶片內的鎖相電路作成一倍頻器(clock multiply unit)以供用途，鎖相電路(PLL)一般由相位比較器(PFD)，電流幫浦(charge pump)，振盪器(VCO，voltage control oscillator)所構成，不幸地，一般的鎖相電路往往和其它數位系統無法統合。整倍數延遲鎖相電路(MDLL，Multiply Delay Lock Loop)已被發明出來以取代鎖相電路，並有比一般鎖相電路(PLL，Phase Lock Loop)更好的優點，同樣功率消耗下，整倍數延遲鎖相電路(MDLL)[1]中，環振盪器(ring oscillator)面積小，易與其它系統整合在單晶片下，雖然在倍頻方面觀念是與鎖相電路(PLL)大同小異的，但延遲鎖相電路有的特點，用每周期的參考時脈訊號(*Ref*)重載於環振盪器(ring oscillator)的運行訊號(the rotating edge)，在於參考時脈訊號(*Ref*)能夠直接地壓制頻率振盪器(VCO)的雜訊，且效果是比一般鎖相電路(PLL)的兩倍多，結果是有較低的抖動(jitter)，較好的相位雜訊表現，但參考時脈訊號(*Ref*)重載則會有特定抖動(deterministic jitter)發生，如何把此特定抖動(deterministic jitter)最低化也是當前延遲鎖相電路研究方向[2][3]，附加一提，如果把這個概念應用於壓腔振盪器(LC Oscillator)，那此架構稱為(ILPLL，Inject Lock PLL)[13]。

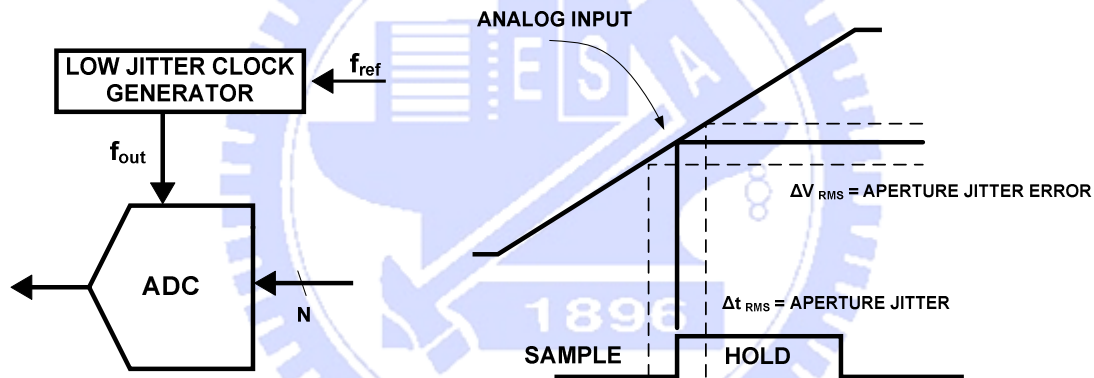


圖 1-1: 類比數位轉換器(ADC)與其提供時脈之產生器(Low Jitter Clock Generator)與孔徑抖動(aperture jitter)對於取樣保持(sample and hold)的影響

延遲鎖相電路(MDLL)與類比數位轉換器(ADC)系統整合在單晶片，期供給的時脈相位雜訊必須夠低，抖動(jitter)夠小，才能有良好的資料取樣品質。先為類比數位轉換器(ADC)作說明，如圖1-1，類比數位轉換器(ADC)與其提供時脈之產生器(low jitter clock generator)，本文主要目的亦是提供其時脈之產生器的方法。類比數位轉換器對於取樣時脈有一品質指標為孔徑抖動(aperture jitter，aperture uncertainty)，亦是指類比數位轉換器輸入對於取樣時間上的偏移，孔徑抖動是無法在不同用途的類比數位轉換器上做改善，外在控制時脈產生器的品質變得相當重要。類比數位轉換器的理論中，取樣類比訊號需要一個低抖動的時脈，此時脈可為數位式或是弦波式，雜訊比對於取樣頻率與孔徑抖動的關係如式(1-1)，式(1-1)可得關係圖，圖1-2，

$$SNR = 20 \cdot \log\left(\frac{1}{2}\pi \cdot f \cdot t_j\right) \quad (1-1)$$

在此， $f$ 為取樣頻率，而 $t_j$ 孔徑抖動(aperture jitter)，

但實際使用上並無理想之類比數位轉換器(ADC)存在，因此在實際情況下是以等效位元數(ENOB)來描述一類比數位轉換器(ADC)之精度，如式(1-2)，孔徑抖動(aperture jitter)對於類比數位轉換器最

大影響是輸入頻寬(1MHz - 1GHz)，並限制類比數位轉換器在訊雜比(SNR)與有效位數(ENOB)的效能，

$$ENOB = (SNR - 1.76) / 6.02 \quad (1-2)$$

在此， SNR為雜訊比，而ENOB為有效位數，

附帶一提，現今世界上類比數位轉換器(ADC)的分布圖，圖1- 2，近十年來在一定的取樣頻率平均約進步1.5位元(bits)，提升類比數位轉換器的位元數可觀察兩大取決因素，精確度(accuracy)或是速度(speed)，當中說明孔径抖動(aperture jitter)對於類比數位轉換器的發展限制趨勢，可知一個較佳的晶片效能需很低的孔径抖動(aperture jitter)。目前廣泛認為較佳的時脈抖動為1微微秒(ps)以下，以類比數位轉換器來說就是操作在輸入訊號為40MHz 有12位元數(bits)的精確度，通常要達到1微微秒(ps)以下的規格，時脈供應源和類比數位轉換器是一起被整合在單一晶片上。本文所要預期規格如下表所示，在0.18 $\mu$ m TSMC實現，期方均根抖動(RMS jitter)能小於一微微秒(picosecond)，達飛秒(femtoseconds)等級。

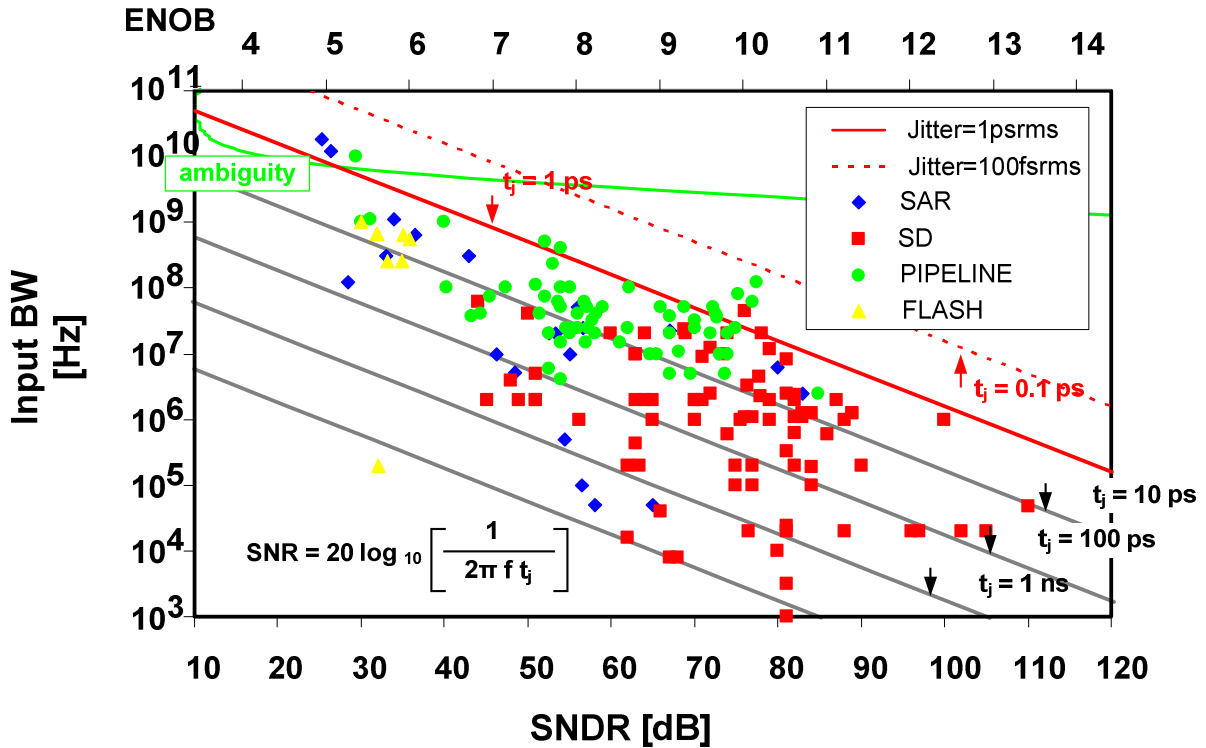


圖 1-2: 現今世界上類比數位轉換器(ADC)的發展圖

註：統計資料由[11]取得，包括ISSCC/JSSC/VLSI，2000-2010等參考文獻

倍頻式延遲鎖相電路(MDLL)[1]的著重處在於，參考時脈訊號(Ref)能夠直接地壓制頻率振盪器(VCO)的雜訊，與一般鎖相電路(PLL)靠回路濾波器壓抑有所不同，如圖1-3，一般的整倍數延遲鎖相電路(MDLL)，輸入參考時脈訊號(Ref)，輸出整倍數於參考訊號的時脈訊號(DL Clk)供給時脈訊號源給其它系統用，時脈訊號(DL Clk)的操作頻率為參考時脈訊號(Ref)的N倍數。各個部份組成如下，包括一組延遲線(delay line)，前接一作參考時脈訊號重載的多工器(mux)，除頻器(Div)，一組於多工器(mux)下的選擇器(selector)，選擇訊號(Sel)控制多工器選擇參考訊號(Ref)或是時脈訊號(DL Clk)為輸出。並具有鎖相電路(PLL)以相位偵測器與電流幫浦(PFD+CP)與迴路濾波器(loop filter)來調整操作頻率。此架構的特性，能使參考時脈訊號(Ref)，在固定時序，整倍數於所提供時脈訊號(DL Clk)延遲時

間，作參考訊號的重載，如下圖1-3，參考時脈(*Ref*)在選擇訊號(*Sel*)進入延遲線變成運行中的時脈訊號(*DL Clk*)，而選擇訊號(*Sel*)是在除頻時脈中最後一個時脈(*Last*)，產生一個時區(window)把多工器(*mux*)切換給參考時脈(*Ref*)，並能避免產生突擾(*glitch*)。

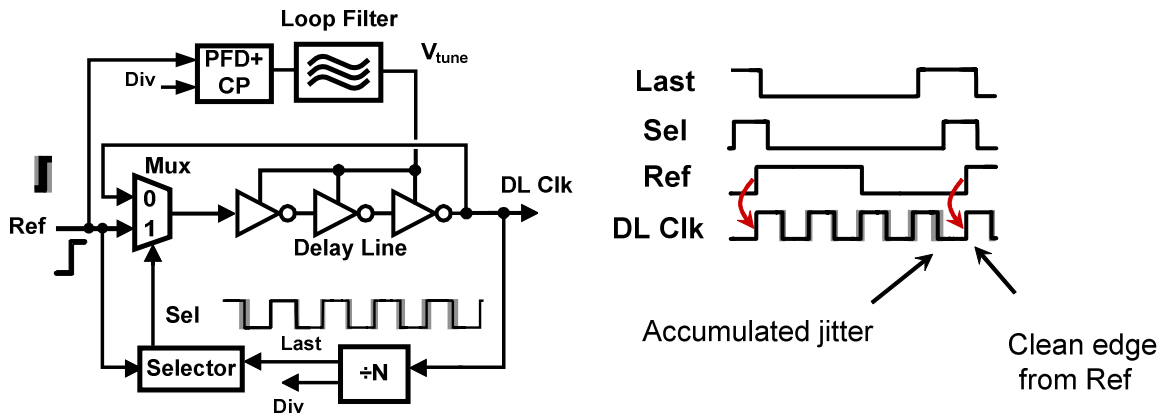


圖 1-3: 一般整倍數延遲鎖相電路(Conventional MDLL)之架構

在此，  
*Sel*為控制多工器 (MUX) 重載訊號線，並於除頻器最後一個時脈內(*Last*)作重載。  
*Ref*為輸入之參考時脈訊號。  
*Out*為輸出之時脈訊號。

理想上，相位比較器(PFD+CP)與回路濾波器(loop filter)，在系統完全匹配下或偏差下(no mismatch of offset)，能成功地壓制頻率振盪器(VCO)的雜訊，但我們將討論電路不理想性下，或是架構下，仍有一個時間上，時脈誤差( $\Delta$ )造成特定擾動(deterministic jitter)的產生，時脈誤差( $\Delta$ )是比亂數擾動(random jitter)來得低，當然控制時脈週期或是頻率可以是類比實現，或是數位方式。

鎖相電路(PLL)不管獨立於系統外或是嵌入晶片內，提供時脈用途，此法都已相當廣泛，但鎖相電路(PLL)的相位雜訊(phase noise)和抖動(jitter)，取決於許多變因，有振盪器(VCO)本身的相位雜訊，相位比較器(PFD+CP)的電流不匹配，在這些種種的條件上，設計出一個頻寬夠壓抑頻率振盪器(VCO)的雜訊是很基本的，但頻寬這個限制在環振盪器(ring oscillator)，比壓腔振盪器(LC Oscillator)更有困難度，在此動機下選取延遲鎖相電路(MDLL)當倍頻器(clock multiplication unit)，將不受限於以上條件，而能達到更好的相位雜訊(phase noise)和更低的抖動(jitter)。整數延遲鎖相電路的開回路/閉回路增益與相位關係，由於重載的動作，使延遲線(delay line)無積分器 $1/s$ 特性，延遲鎖相電路(MDLL)之振盪器輸出時脈能被視為一個在參考週期下( $T_{REF}$ )的循環穩定隨機亂數過程(cyclostationary random process)[4]，分析於附錄A-1中。

圖1-4中延遲鎖相電路(MDLL)操作上是取代振盪器上第N個自振時脈，N為倍頻數，此特別處能直接清除擾動累積(jitter accumulation)[1][2]，或是壓制振盪器雜訊，這觀念和一階的鎖相電路(PLL)一樣，且頻寬(BW)近似於參考頻率的 $1/4$ ，能做到如此高的頻寬(BW)[12]，位比較器(PFD+CP)與回路濾波器(loop filter)就能在壓制相位比較器(PFD referred noise)的雜訊，但代價是控制電壓( $V_{tune}$ )在穩定於一個錯誤的電壓下[4]，但頻率是正確的，此造成了特定擾動(deterministic jitter)的產生，而此一代價要付出，參考訊號重載或是重整，造成時脈訊號(DL Clk)有特定擾動(deterministic jitter)的產生，其是在輸出時脈有固定周期變化，在時脈訊號的頻譜上會有明顯突波的發生，這對於系統是不良的影響，多少程度突波可由富里葉轉化(Fourier transform)可推得單位時脈誤差( $\Delta$ )與突波大小的關係式，如式(1-3)。至於把此特定擾動(deterministic jitter)消除的方法將在後文提及。鎖相電路有包括其它會影響突波量值的參數。詳細的參考突波(reference spur)的理論分析於附錄A-2中。

$$\Delta \simeq T_{DL} \times 10^{Spur(dBc)/20} \quad (1-3)$$

在此， $\Delta$ 為延遲鎖相電路之單位時脈誤差。  
 $T_{DL}$ 為單位時脈時間長度。  
 $Spur$ 為突波於頻譜上的量值。

頻率合成器的抖動累積是隨迴路濾波器的設計，靜態抖動(static sensitivity jitter)在指數為基底下的時間常數後達到一個穩定值( $\sigma_{ss}$ ) [15]，如圖1-4右上，延遲鎖相電路(MDLL)，如有重載抖動(jitter reset)特性，在設計頻寬(BW)下，重載抖動(jitter reset)如能比頻率合成器的迴路頻寬快，抖動將比鎖相電路(PLL)佳。

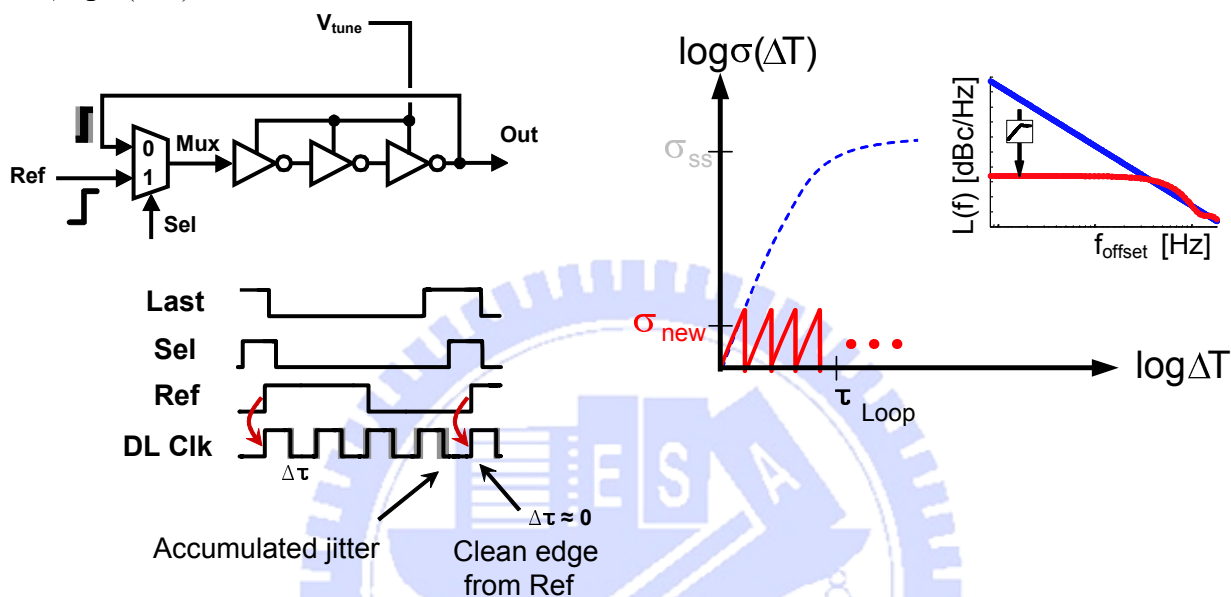


圖 1-4: 延遲線的靜態抖動

在此， $\sigma_{ss}$ 為鎖相電路(PLL)的靜態抖動穩定值  
 $\sigma_{new}$ 為延遲鎖相電路(MDLL)的靜態抖動平均值

[7]所使用的延遲線(delay line)與[1]不同在於雙端負載(differential loading)，另外避免在選擇訊號(Sel)內，參考時脈(Ref)與延遲線內部波形不同，而造成抖動產生，故讓參考時脈(Ref)以兩個延遲單元當緩衝(buffer)。時脈訊號(DL Clk)給選擇器(selector)的與給除頻器(divider)是分開的，可分擔負載，延遲線(delay line)的級數對相位雜訊不是主要影響因素。

延遲鎖相電路(MDLL) [7]的選擇器(selector)如圖，時脈訊號(DL Clk)是分別地給選擇器(selector)的與給除頻器(divider)的，其目的地是使除頻訊號(Div)不受選擇訊號(Sel)的影響，選擇訊號(Sel)為非常短暫是降低多工器(mux)的切換造成的影響，例如電荷注入(charge injection)。雖然串街多級，但對於相位雜訊來說並不影響。除法器輸出上重定時單元(retiming stage)是為了能消除法器時脈到輸出亞穩態(metastability)，外加的重定時單元(retiming stage)是能使除法器輸出與EN訊號能作同步(synchronize)，此般多模組的除法器與耗電低的設計是得用於除法器中，此外選擇器(selector)中EN訊號，是單一路徑由Div<sub>2x</sub>產生能避免雙端(differential)間的時間差。



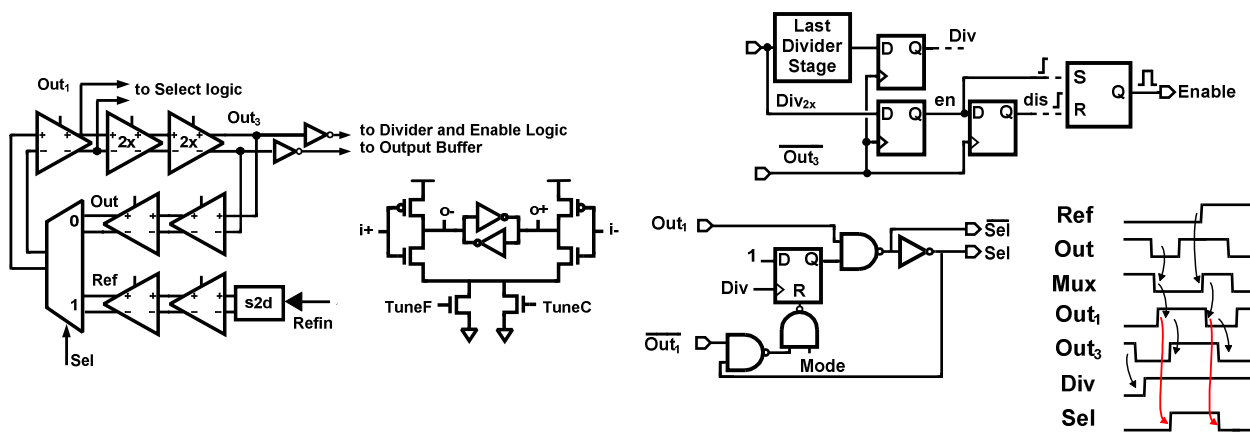


圖 1-5: [7]所使用的延遲線(delay line)與延遲單元(delay cell)， [7]所使用的選擇器(selector)

在此， *Sel*為控制多工器 (MUX) 重載訊號作重載。

*Out<sub>1</sub>*， *Out<sub>3</sub>*為輸出給除頻器(divider)與選擇器(Select)。

*Refin*為參考訊號(Ref)輸入給延遲線。

*TuneF*與*TuneC*分別為控制延遲線(delay line)輸出時脈周期長短。

正常操作下，選擇器(selector)運作如以下描述，如上圖右，在多工器(mux)切換給參考(Ref)前 *Out<sub>3</sub>*的負緣(falling edge)先送給除頻器(divider)產生*Div*，將起動具有reset的正反器(D flip-flop)，並允許nand邏輯閘，產生選擇訊號(*Sel*)開啟。*Out<sub>1</sub>*訊號負緣(falling edge)是發生於參考訊號(Ref)之後，將使選擇訊號(*Sel*)關上並使正反器reset好準備下一個週期的選擇訊號，*Out<sub>1</sub>*對於多工器(mux)扮演負責觸發切換的訊號。並剛好在輸出*Out*訊號過渡中間是最好[3]，並能有夠的時間(time margin)讓選擇器運作更順暢。[7]中選擇器(selector)都是以標準單元(standard cell)所構成。一是因為其時脈操作速度不快，二是易移植化(portable)。

延遲鎖相電路(MDLL)[7]的特別處在於校正特定擾動的方式，利用時間位元轉換器(TDC)量取兩輸出時脈的時間差，並就此減去，減去值輸出於晶片外部的系統(FPGA)，並輸入改善輸出時脈特定擾動的大小，另外時間位元轉換器(TDC)的部份，[7]的為自我擾亂時間轉數碼的轉換器(a self-scrambling time-to-digital converter)增加自身的精準度，時間位元轉換器的電路架構是以被閘式環振盪器(GRO, Gated Ring Oscillator)來量取時間，此提出的被閘式環振盪器比一般的時間位元轉換器優點在於有一階雜訊整形(noise shaping)效果，換言之為平均(average)以提生精準度，時間位元轉換器取樣連續兩次時間(double sampling)就為錯誤差值，可回饋給外部的系統(FPGA)來作校正，此法使延遲鎖相電路達到飛秒(femtoseconds)等級。

延遲鎖相電路(MDLL)[7]處理突波的方式雖然創新，並結合數位系統能達到不錯的效能，但整個系統並未完全整合於單晶片上，失去延遲鎖相電路易與其它系統整合在單晶片的優點是相當可惜的。

單一晶片上與其它系統整合的時脈倍頻器，其迴路濾波器的面積可能佔過大，延遲鎖相電路(MDLL)在迴路濾波器改善方式，可用廣義阻抗變換器(GIC, general impedance converter)使電路中電容變小[5]，回路濾波器中電容值變小有益於與其它系統，但廣義阻抗變換器可帶來更多的雜訊，故透過其它頻率電壓增益，電流增益使此雜訊量作壓抑，且廣義阻抗變換器在雜訊轉移函數上為一高通濾波器，在延遲鎖相電路(MDLL)中可被鎖相電路本身的閉回路作抑制，另外[5]中有一電流校正機制(adaptive current tuning technique)來校正特定擾動(deterministic jitter)，並能補足廣義阻抗變換器(GIC)的不足。

除了上敘所提延遲鎖相電路(MDLL)外，下表為我們整理2002到2010年，所有發表於文獻的倍頻式延遲鎖相電路(MDLL)，自2002年史單福(standford)發明倍頻式延遲鎖相電路(MDLL)後共6篇，讓延遲鎖相電路能成為未來單一晶片上時脈倍頻器(on chip clock multiplication)的一個不錯的選擇。



	[ 1 ]	[ 2 ]	[ 3 ]	[ 4 ]	[ 5 ]	[ 6 ]
Technology	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	90 nm	0.18 $\mu$ m	0.13 $\mu$ m
Reference Frequency	250 MHz	64 MHz	8 MHz	40/60/80 MHz	30-106kHz	50 MHz
Frequency Range	0.9~2 GHz	0.9~2.9 GHz	0.15~0.2GHz	1 ~ 2 GHz	30-230 MHz	1.4~1.6 GHz
Supply voltage	1.8V	1.8V	1.8V	1V	1.8V	1.8V
Power consumption	12 mW	19.8 mW	16 mW	15.6mW	9mW	N/A (offchip)
Deter. Jitter (p-p) estimated from meas. Spur	7.06 ps	3.89 ps	1.80 ps	2.19ps	N/A	0.76 ps
Random Jitter (rms) From intergrated phase noise	N/A	N/A	N/A	N/A	N/A	0.68 (1kHz ~40MHz)
Overall Jitter	1.62ps(rms) @ 2GHz	1.6ps(rms) @ 2.16 GHz	N/A	1.2 ps(rms) @ 1.6 GHz	3ps(rms) @230M	0.93ps(rms) @ 1.6 GHz
	13.11ps(p-p) @ 2GHz	12.9ps(p-p) @ 2.16GHz	N/A	13.1ps(p-p) @ 1.6GHz	98ps	11.1ps(p-p) @ 1.6GHz
Phase Noise	N/A	N/A	-127dBc/Hz @ 10MHz	N/A	N/A	-127dBc/Hz @ 10MHz
	N/A	N/A	-122dBc/Hz @ 1MHz	-130dBc/Hz @ 1MHz	N/A	-125dBc/Hz @ 2MHz
	N/A	N/A	-110dBc/Hz @ 0.1MHz	-125dBc/Hz @ 0.2MHz	N/A	-110dBc/Hz @ 0.1MHz
Reference Spur	-37 dBc	-46.3 dBc	-70 dBc	-49.1 dBc	N/A	-58.3 dBc
Base	8 (Integer)	13~20 (Integer)	8 (Integer)	12~24 (Integer)	> 1000 (Integer)	16~32 (Integer)

表 1: 近代倍頻式延遲鎖相電路(MDLL)的比較

把這個概念應用於壓腔振盪器(LC Oscillator)，那此架構稱為注入鎖定鎖相電路(ILPLL，Inject Lock PLL)，最近幾年注入鎖定鎖相電路出發點始於，一單晶片可能包含一個以上的壓腔振盪器(LC oscillator)，壓腔振盪器在同一晶片上會透過基板(subtract)，使其每個壓腔振盪器頻率會一樣(pulling effect)，這對於需求不同頻率進行運作的系統是有害的，注入鎖定鎖相電路概念就在於透過晶片外部輸出方式，來使晶片內壓腔振盪器同步，以避開此現象(pulling effect)並達到更好的效能。如注入的方式可說是和整倍數延遲鎖相電路一樣，取而代之是以脈衝訊號(Inpulse)注入壓腔振盪器，又可稱深次共諧注入鎖定鎖相電路(sub-harmonic injection-locking)。

同理我們也整理2002到2010年，所有發表於文獻的注入鎖定鎖相電路(ILPLL)，如表二

	[ 8 ]	[ 9 ]
Technology	90nm CMOS	0.13 $\mu$ m CMOS
Reference Frequency	1 GHz	50 MHz
Frequency Range	20~20.05 GHz	3.2~4 GHz
Supply voltage	1V	1.8V
Power consumption	38+105 mW	28.6 (offchip)
Deterministic Jitter (p-p) estimated from meas. Spur	*291 fs	211 fs
Random Jitter (rms) From intergrated phase noise	N/A	134 fs (1kHz ~40MHz)
Overall Jitter	85fs(rms) @ 20GHz	0.93ps(rms) @ 3.2 GHz
	48fs(p-p) @ 20GHz	11.1ps(p-p) @ 3.2GHz
Phase Noise	N/A	-131dBc/Hz @ 10MHz
	-113dBc/Hz @ 1MHz	-127dBc/Hz @ 1MHz
	N/A	-121dBc/Hz @ 0.1MHz
Reference Spur	-55 dBc	-63.4 dBc

表 2: 近代注入鎖定鎖相電路(ILPLL)的比較

在不同的倍頻式延遲鎖相電路(MDLL)與注入鎖定鎖相電路(ILPLL)，可以用一個優質數(FOM，figure of merit)來比較，如式(1-4)，頻率合成器(synthesizer)的優質數也是一樣定義。

$$FOM = 20 \log \frac{\delta_{rms}}{1s} + 10 \log \frac{P}{1mW} \quad (1-4)$$

在此， $\delta_{rms}$ 為時脈方均根抖動，而P為消耗功率。

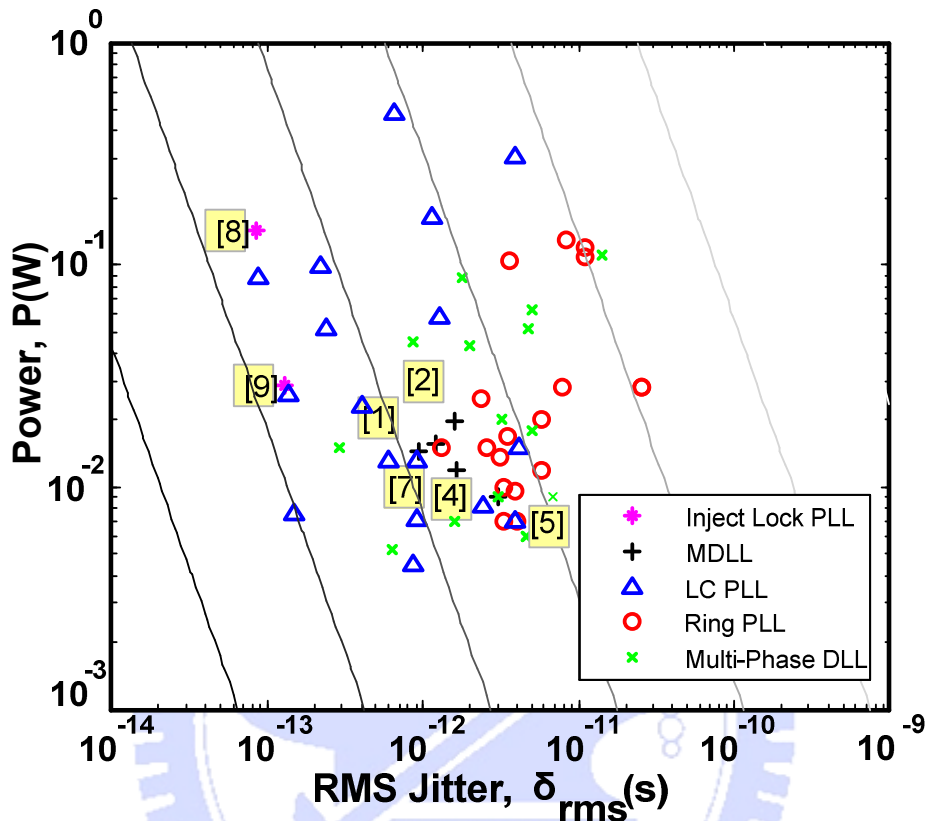


圖 1-6: 各晶片的優質數(FOM)

註：統計所有 ISSCC 與 JSSC 於 2000-2010 年的延遲鎖相電路(DLL)，與鎖相電路(PLL)

下圖為具體說明各晶片的優質數關係圖，水平軸為方均根抖動值(RMS Jitter)，垂直軸為功效消耗(Power)，可知抖動越小功效消耗越少，越接近左下處為效能不錯的晶片，延遲鎖相電路(MDLL)與注入鎖定鎖相電路(ILPLL)往往比環振盪器鎖相電路(Ring PLL)與壓腔振盪器鎖相電路(LC PLL)，在方均根抖動值上來得好。其圖為統計2000到2010年，發表於國際固態電子電路會議(ISSCC)，與國際固態電子電路期刊(JSSC)的延遲鎖相電路(DLL)與鎖相電路(PLL)，晶片的優質數來總結趨勢。

以上討論延遲鎖相電路(MDLL)的觀念和操作方式，其倍頻數是正整數，而為了使系統有更彈性的應用，倍頻數為非整數(fractional-N)是更好的選擇，比較於單純整倍數的頻率合成器(integer-N synthesizer)，能有比較高的操作頻率解析度，而不用其他方法增加不必要的硬體和功率。非整倍數頻率合成器能大抵可分成兩個集合，一為非整倍數頻率合成器(fractional-N synthesis)，合差調變非整倍數頻率合成器( $\Sigma\Delta$  fractional-N synthesis)，在此我們選後者，其能有較低的量化誤差(quantization noise)。

合差調變非整倍數頻率合成器( $\Sigma\Delta$  fractional-N synthesizer)中，較受易見到的是以和差調變器(sigma-delta modulator)來產生非整數，合差調變非整倍數頻率合成器( $\Sigma\Delta$  fractional-N synthesis)架構如圖六，包括頻率控制系統(frequency control system)(以類比式可由相位頻率偵測器(PFD)，電流幫浦(charge Pump)，迴路濾波器(loop filter)所構成，以數位式可由相位量化器(PD Quainter)，數位式迴路

濾波器(Digital Loop Filter) 所構成)作於調整頻率振盪器之操作點，頻率振盪器(VCO)，可改變除數之除頻器(divider,  $\div(N+F)$ ,  $N$ 為整數,  $F$ 為小數)，與和差調變器( $\Sigma\Delta$ )。以和差調變器改變除數達到平均數，隨之量化誤差(quantization noise)就產生出來 [16][17][18]，量化誤差主要反應於相位雜訊頻譜上高頻的部份，我們能用微擾(dithering)的技巧來使量化誤差在頻譜上分散更平均，或採用高階的和差調變器，這會使我們更慎重選用迴路濾波器，把相位雜訊頻譜上量化誤差作壓制。

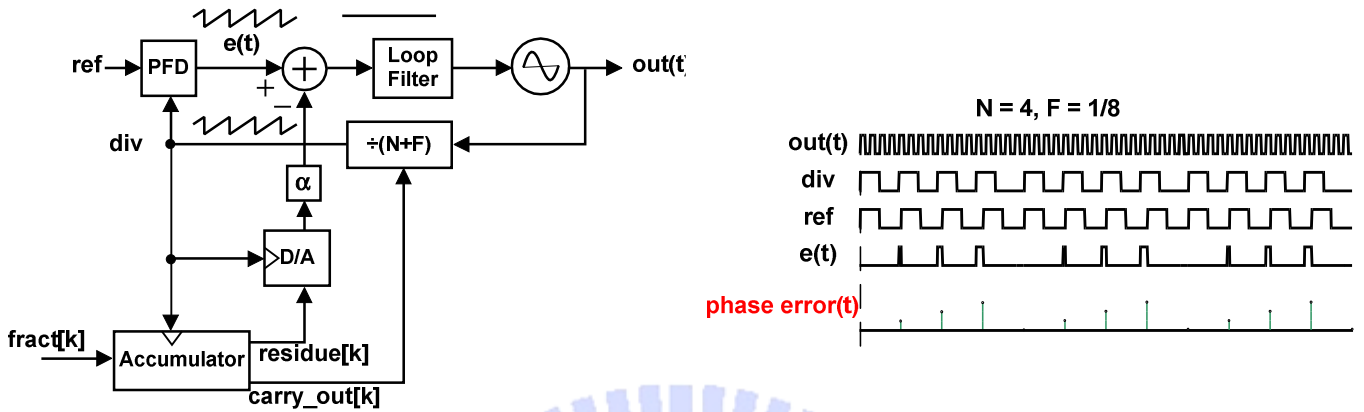


圖 1-7: 數位類比轉換器(DAC)來消除相位誤差(phase error)架構圖

一個非常高階的和差調變器用於相位選擇器 [19]。其振盪器(VCO) 有多相位的輸生，更細的相位可由相位內差(phase interpolation)產生，使其各相位平均地給除頻器(divider)，但誤差整形(noise shape)下，迴路濾波器(loop filter)需多餘的極點(pole)，來壓抑其所用之高階的和差調變器的雜訊轉移函數(NTF, noise transfer function)，另外，多相位輸出將用限制延遲(delay)來壓抑寬廣相位雜訊(broadband phase noise)。再來，是用數位類比轉換器(DAC)來消除相位誤差(phase error)，以壓低相位雜訊(phase noise)，此法與前的相位內差(phase interpolation)有因果上的關係，消除相位誤差(phase error)是在相位比較器(PFD)後再處理 [21]，但相位誤差(phase error)與數位類比轉換器(DAC)輸出必難與相同，這導致外加的數位類比轉換器(DAC)得是高解析度才可，在 [21] [22] 中，類似的方法其結果是把 15dB 雜訊消除。除以上所提外，另有把相位所造成量化雜訊作消除，其是把和差調變器與數位類比轉換器(DAC)一起運作，回授給相位比較器 [22]。

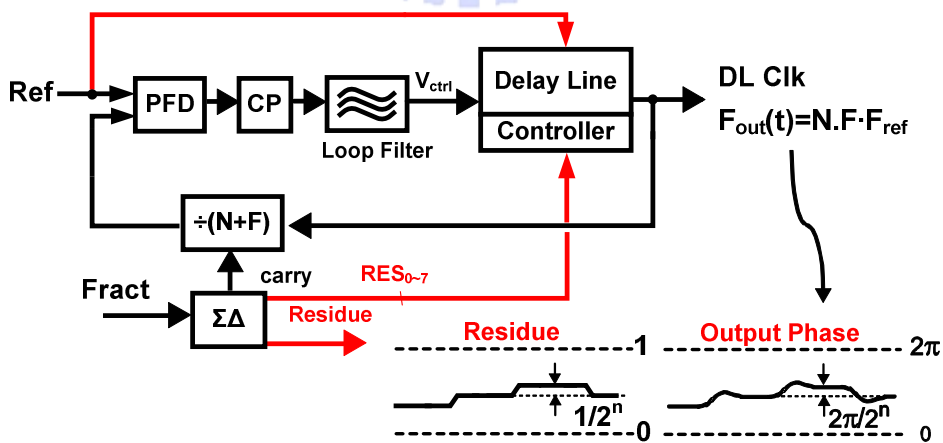


圖 1-8: 非整倍數延遲鎖相電路(fractional-N MDLL)

非整倍數頻率合成器(fractional-N Synthesizer)一般上著重於頻率操作在所輸入(fract input)的非整

數下( $F_{out}(t) = N \cdot F \cdot F_{ref}$ )，使用和差調變器來改變除頻器，產生平均數為小數解析度的行為，但這並不能保證頻率振盪器(VCO)輸出時脈的相位是與參考時脈相位( $Ref$ )是同步對齊，此般，和差調變器對於一般的非整倍數頻率合成器(fractional-N synthesizer)只是一個產生非整倍數的分數般。換言之，如何使和差調變器不僅能產生非整倍數的分數，也可使整體頻率合成器有產生非整倍數”相位”的功能，如圖1-8，是非整倍數延遲鎖相電路(fractional-N MDLL)與非整倍數鎖相電路(Fractional-N PLL)最大的差別。

本次所預期的效能目標，參考頻率為20MHz，輸出頻率為350MHz-800MHz，分均根抖動(RMS jitter)在1微微秒(ps)以下，下表有各相位雜訊(phase noise)的預期目標，頻寬設定在1MHz左右，並能以電路來驗證數學理論。

Technology	0.18 $\mu$ m TSMC
Ref Frequency	20 MHz
Output Frequency	0.3-0.8GHz/ 1.4- 2.5GHz
RMS Jiiter	< 1ps
FMDLL	
Ouptut Phase Noise	-120 @ 10 MHz
	-110 @ 1 MHz
	-100 @ 0.1 MHz
RMDLL	
Ouptut Phase Noise	-130 @ 10 MHz
	-120 @ 1 MHz
	-110 @ 0.1 MHz
Output Spur	as predicted by the theory
*PLL BW	$\simeq$ 1MHz

表 3: 所預期的效能目標

## 第二章，架構(Architecture)

除了傳統整倍數延遲鎖相電路(MDLL, Multiply Delay Lock Loop)，以下我們將舉兩種新型的延遲鎖相電路，非整倍數延遲鎖相電路(FMDLL, Fractional-N Multiply Delay Lock Loop)和隨機重載型延遲鎖相電路(RMDLL, Random Multiply Delay Lock Loop)，發展目地是非整倍數能有較高的解析度，並能有延遲鎖相電路的重載抖動(jitter reset)優點，另外對於突波問題，我們採隨機式重載參考訊號以分散參考訊號的重覆性，在頻譜上抑制突波(spur)產生。

### 2.1. 非整倍數延遲鎖相電路 (FMDLL)

承接上一章中，一個非整倍數延遲鎖相電路必需有非整倍數的相位平移器(phase shifter)，為能更直接地實現一個非整倍數延遲鎖相電路，以下將說明之，以和差調變器為基礎的非整倍數頻率合成器，訊號行為可舉例說明之，一個頻率合成器時脈訊號( $DL\ Clk$ )與參考時脈( $Ref$ )，是倍頻數為  $4.0625(N=4, F=1/16)$ ，其兩時脈相位欲為如下圖2-1，舉一階和差調變器以簡單說明，過一參考訊號週期，參考訊號對齊於時脈訊號 $1/16$ 相位處，再一參考訊號週期，參考訊號對齊於時脈訊號( $DL\ Clk$ ) $2/16$ 相位處，此般， $1/16, 2/16, 3/16, \dots, 15/16, 0$ ，如來量化相位誤差( $e(t)$ )，。非整倍數延遲鎖相電路如假設般，就可正確重載參考訊號，反之，就有相位偏差(phase offset)發生，對於輸出時脈是不對的。

在動機中我們曾提到非整倍數頻率合成器中，以數位類比轉換器(DAC)來消除相位誤差(phase error)，以壓低相位雜訊(phase noise)，消除相位誤差(phase error)是在相位比較器(PFD)後再處理，其可由圖知，其和差調變器為一階，也就是單純一累計器(accumulator)，並把累計器之補數訊號( $residue[k]$ )經過一個重定時的數位類比轉換器，數位變成電流訊號，加於相位比較器的電流幫浦後。但如和差調變器採用二階或更高階該如何實現，是非常困難，且數位類比轉換器(DAC)成電流訊號的不匹配是很難掌握的。

我們一開始的想法為在非整數下比較參考訊號與除頻訊號，因此除頻器之除數隨著和差調變器，相位比較器輸出之相位誤差( $e(t)$ )必有離散數位訊號( $\varepsilon[k]$ )般，能比較出相位大小，既為如此，則如能用數位算出相位大小，藉此預算相位誤差的大小，如圖2-1，當補數訊號( $residue^*[k]$ )為 $-2/16$ 時，表示下一週期，參考訊號( $Ref$ )與除頻訊號( $Div$ )差 $2/16$ 個振盪器輸出時脈( $DL\ Clk$ )長度，那由此提供正確相位重載時機資訊，而此訊號我們稱為補數訊號( $residue^*[k]$ )，但補數訊號怎樣才能提供相位誤差資訊，可由和差調變器的進位訊號( $carry[k]$ )推算之，可如式(2-1)，補數訊號( $residue^*[k]$ )會隨除頻數的小數部份逐步增加，並與和差調變器的進位訊號( $carry[k]$ )減少，以下圖說明，也就是時脈訊號( $DL\ Clk$ )在第一個除頻周期下，補數訊號( $residue^*[k]$ )由上一個周期的 $1/16$ 變為 $18/16$ ，時脈訊號( $DL\ Clk$ )與參考訊號( $Ref$ )的相位誤差也跟此改變，參考訊號由原本的落後 $1/16$ 個時脈訊號( $DL\ Clk$ )週期變成領先 $18/16$ 個時脈訊號( $DL\ Clk$ )週期。

$$residue^*[k] = residue^*[k-1] + F - carry^*[k] \quad (2-1)$$

圖2-1為非整倍數延遲鎖相電路(FMDLL)的各訊號行為圖。進位數訊號( $carry[k]$ )以一階以上和差調變器輸出為例。灰色表示未有後校正(post correction)下的訊號表現。黑色則為有後校正下的訊號表現。後校正將於後續說明。

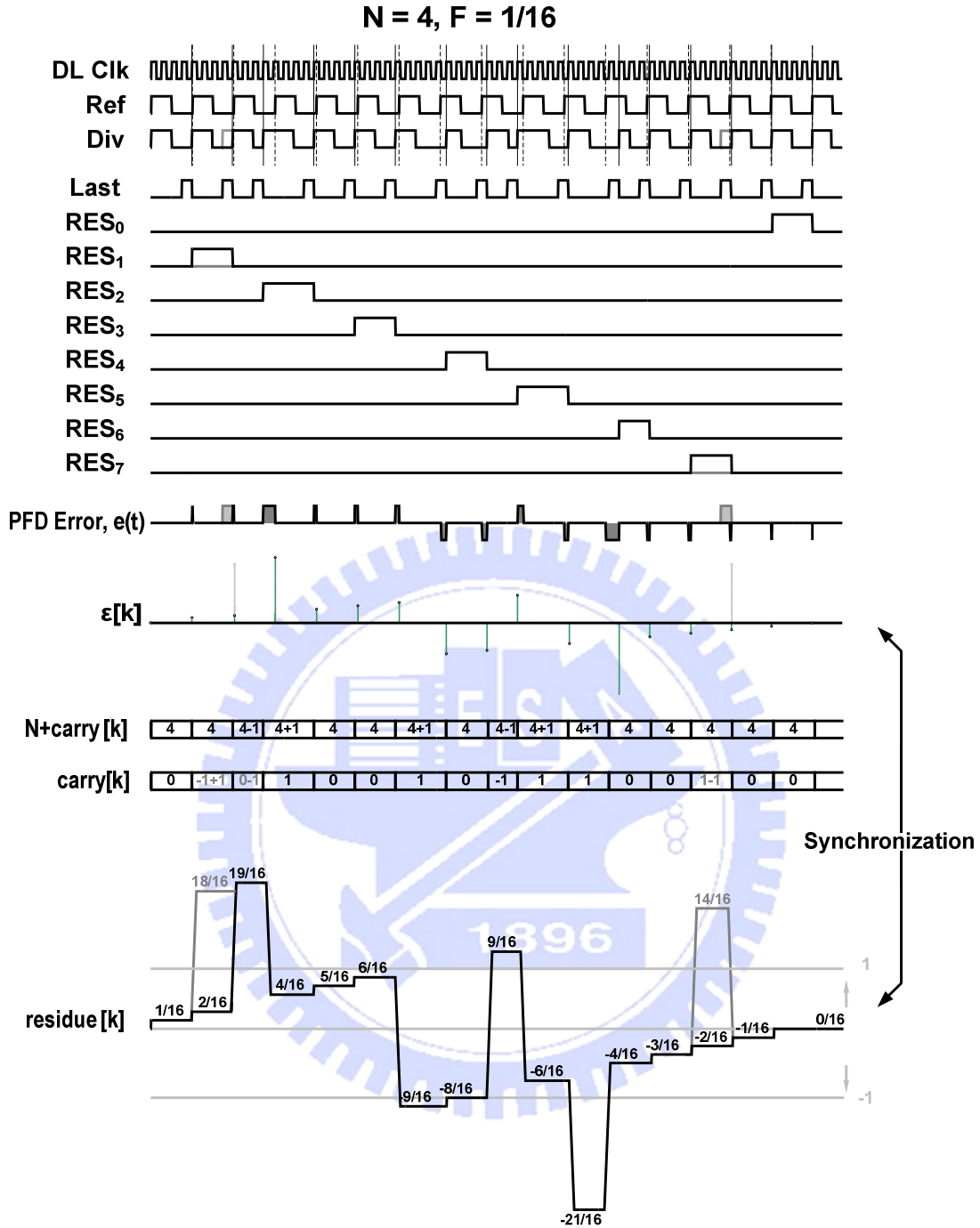


圖 2-1: 非整倍數延遲鎖相電路(FMDLL)的各訊號行為圖。

在此，  $DL Clk$  為時脈產生器 (delayLine) 輸出時脈訊號。

$Ref$  為參考訊號。

$Div$  為時脈產生器 (delayLine) 經除頻器 (divider) 輸出除頻訊號。

PFD error,  $e(t)$  為相位比較器輸出之相位誤差。

$\epsilon[k]$  為相位誤差的取樣。

$carry[k]$  為和差調變器的進位訊號。

$residue[k]$  為補數訊號。

$RES_0 - RES_7$  為唯讀記憶體 (ROM) 輸出。



如何使補數訊號( $residue^*[k]$ )與相位誤差( $e(t), \varepsilon[k]$ )做同步(synchronization)在此說明，由上敘，一般的和差調變器每次週期與非整輸入相減，經過一積分器( $1/(1-z^{-1})$ )，得補數訊號( $residue[k]$ )，其補數訊號( $residue[k]$ )的平均值並未等於零，而有一平均偏差出現(DC offset)。補數訊號( $residue^*[k]$ )雖會隨除頻數的小數部份逐步增加，並與和差調變器的進位訊號( $carry[k]$ )減少，難避免有一偏差出現(DC offset)，頻率合成器的在鎖定於固定的頻率下，相比較器(PFD/CP)輸入除頻與參考訊號，輸出相位誤差( $e(t)$ )的平均值為零，這樣與補數訊號( $residue[k]$ )的平均值不為零是矛盾的，故關於和差調變器的架構需做修改，使其補數訊號( $residue[k]$ )的平均值等於零。

$$\sum_k residue[k] = 0 \quad (2-2)$$

$$residue[k] \propto \varepsilon[k] \quad (2-3)$$

和差調變器的架構需修改如圖2-2，分成三個部份，用於改變除數的和差調變器 ( $\Sigma\Delta_1$ )，計算相位的累加器，回授路徑上補數之和差調變器 ( $\Sigma\Delta_2$ )。把補數訊號( $residue[k]$ )經於一個路徑加於原和差調變器( $\Sigma\Delta_1$ )的輸入即可，概念為使進位訊號( $carry[k]$ )提早或減慢步調，因進位訊號( $carry[k]$ )會改變除頻器的除數，能直接相比較器(PFD/CP)輸出相位誤差( $e(t)$ )，能透過適當的安排，必能使補數訊號( $residue[k]$ )與相位誤差( $e(t)$ )作同步(synchronization)，以推算那一特定時間內能作重載，進位訊號( $carry[k]$ )會因除頻器而延遲一周期再改變除數，那補數訊號( $residue[k]$ )也延遲一周期發生。原補數訊號( $residue[k]$ )到原和差調變器的輸入的路徑，可加上一個和差調變器( $\Sigma\Delta_2$ )，有一個微擾(dithering)的效果。

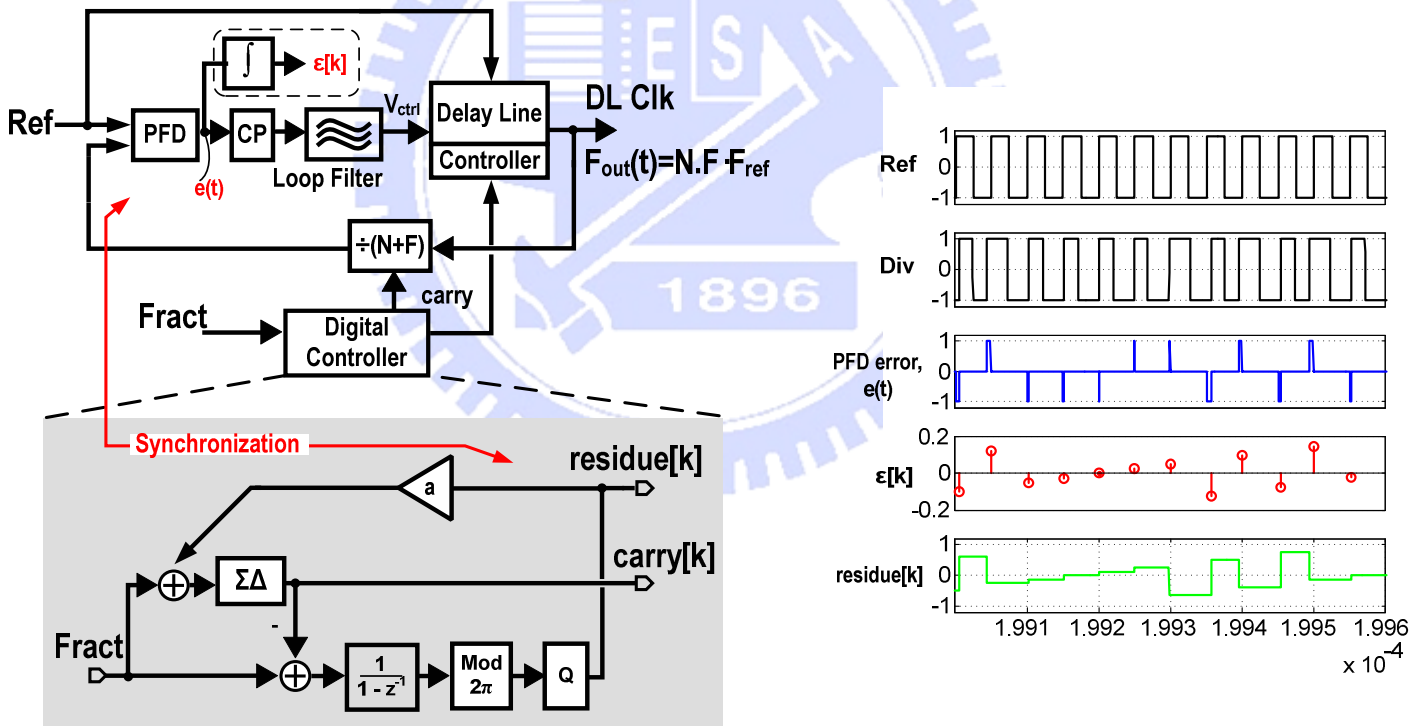


圖 2-2: 和差調變器無平均偏差出現(DC offset)。

- 在此， PFD error,  $e(t)$ 為相位比較器輸出之相位誤差。
- $\varepsilon[k]$ 為相位誤差的取樣，如電流幫浦電路輸出電荷量。
- $carry[k]$ 為和差調變器的進位訊號。 $\Sigma\Delta_1$ 為 2rd,  $\Sigma\Delta_2$ 為 1st。
- $residue[k]$ 為補數訊號。
- $\Sigma\Delta_1$ 為主要產生進位數( $carry[k]$ )之和差調變器,  $\Sigma\Delta_2$ 為回饋之和差調變器。
- ROM Table為產生給延遲線作重載訊號( $RES_0 - RES_7$ )用。

完整的訊號推演圖描繪出，就如圖2-1般，使補數訊號( $residue^*[k]$ )與相位誤差( $e(t), \varepsilon[k]$ )做同步(synchronization)，當補數訊號( $residue^*[k]$ )為 $-14/16$ 時，參考訊號( $Ref$ )領先 $14/16$ 單位時脈週期，除頻訊號落後 $14/16$ 單位時脈週期，這意味在非整倍數延遲鎖相電路(FMDLL)中參考訊號( $Ref$ )可重載於時脈訊號 $7/8(=14/16)$ 單位時脈週期處，如為4級延遲單元組成之環振盪器(ring oscillator)，其可產生依序為 $\phi_0 - \phi_7$ 各八個相位，當下參考訊號( $Ref$ )可重載於時脈訊號 $\phi_1$ 下，但矛盾地是，如果重載後，時脈訊號由經過除頻器變成除頻訊號，會造成參考訊號( $Ref$ )與參考訊號( $Ref$ )相比於相位比較器，邏輯上不可行的，所以必須要有一個機構能避免這個情況發生。

非整倍數延遲鎖相電路(FMDLL)中，其環振盪器(ring oscillator)，各級延遲單元輸出的時脈相位，其運作的時脈相位佔一週期，如4級延遲單元組成，有八個相位時脈在運作，依序為 $\phi_0 - \phi_7$ 各八個相位，我們以 $\phi_0$ 輸入給除頻器(Divider)來說，先 $\phi_0$ 給除頻器運作在作參考訊號( $Ref$ )重載， $\phi_0$ 周期內，參考訊號( $Ref$ )重載於 $\phi_0$ 後一相位時脈訊號 $\phi_1$ ，並不影響 $\phi_0$ ，因為 $\phi_1$ 已是運行中訊號，此因果關係不可破壞，不可於參考訊號( $Ref$ )重載後，下一個 $\phi_0$ 周期再給除頻器運作。此般對於補數訊號( $residue[k]$ )中，能作參考訊號( $Ref$ )重載的時刻，為 $-1/2 \sim 1/2$ ，也就是在一個輸出時脈周期範圍內。

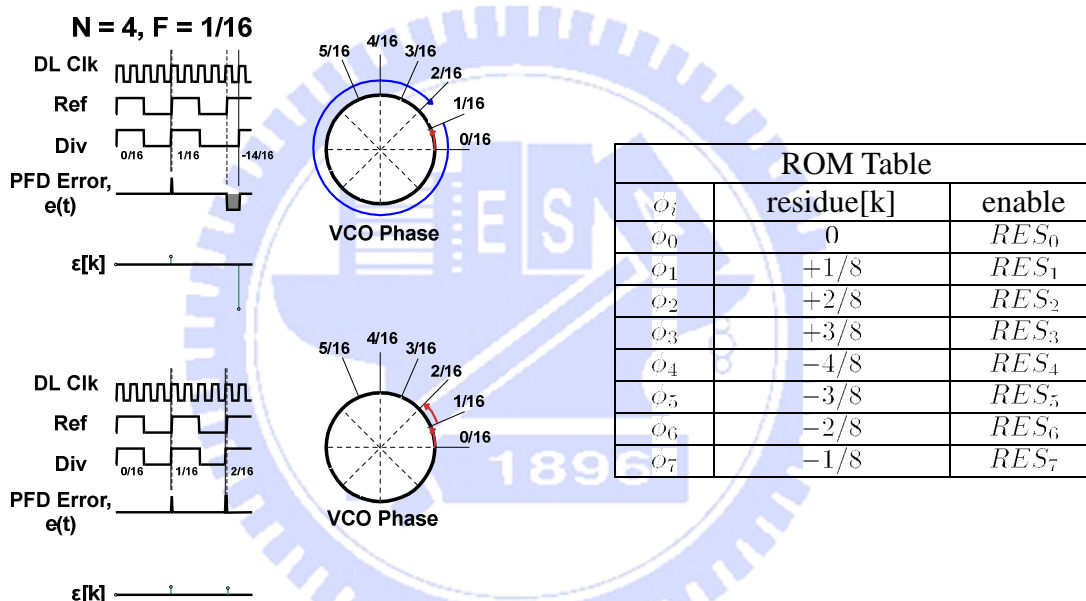


圖 2-3: 頻率合成器上後校正(post correction)各訊號行為範例圖

在此，DL CLK為時脈產生器(DelayLine)輸出時脈訊號。

Ref為參考訊號。

補數訊號( $residue[k]$ )來說，如果非整倍數延遲鎖相電路(FMDLL)之環振盪器(ring oscillator)，4級延遲單元組成，產生依序為 $\phi_0 - \phi_7$ 各八個相位時脈，則可有8個不同的機會作參考訊號( $Ref$ )重載，補數訊號( $residue[k]$ )為0時，可重載於相位 $\phi_0$ ，補數訊號( $residue[k]$ )為 $1/8$ 時，可重載於相位 $\phi_1$ ，補數訊號( $residue[k]$ )為 $-1/8$ 時，可重載於相位 $\phi_7$ ，依此類推，以表來表示之關係，重載參考訊號( $Ref$ )的時刻限制於 $-1/2 \sim 1/2$ ，所以在實現方面能用一個唯讀記憶體(ROM)方式，輸出訊號 $RES_0 - RES_7$ ，其一為開啟時，就為重載參考訊號( $Ref$ )的重載時刻。

就圖 2-3，補數訊號( $residue[k]$ )雖是 $-14/16$ ，參考訊號( $Ref$ )對齊於時脈訊號( $DL Clk$ ) $\phi_7$ 下，但卻不能作重載，實為相當可惜，因其只差對齊時脈訊號整倍數個，如能就對於補數訊號( $residue[k]$ )做修正，可把握每次重載的機會，意為如分數輸入(frac)為 $1/16$ ，每2個週期除頻訊號，可重載於4級延遲單元組成之環振盪器(ring oscillator)。

故得在補數訊號( $residue[k]$ )做後修正(post correction)，其和差調變器的進位訊號( $carry[k]$ )輸出也



$$V(z) = \frac{STF_1(z) + \frac{1}{1-z^{-1}} \cdot STF_1(z) \cdot STF_2(z)}{1 + \frac{1}{1-z^{-1}} \cdot STF_1(z) \cdot STF_2(z)} \cdot U(z) + \frac{NTF_1(z)}{1 + \frac{1}{1-z^{-1}} STF_1(z) STF_2(z)} \cdot E_1(z) \quad (2-6)$$

$$+ \frac{STF_1(z) \cdot NTF_2(z)}{1 + \frac{1}{1-z^{-1}} STF_1(z) STF_2(z)} \cdot E_2(z)$$

而 $STF_1(z)$ 與 $STF_2(z)$ 為二者之訊號轉移函數， $NTF_1(z)$ 與 $NTF_2(z)$ 為二者之量化雜訊轉移函數，代換如下，和差調變器( $\Sigma\Delta_1$ )使用2階的MASH 1-1，回授路徑上和差調變器 ( $\Sigma\Delta_2$ ) 使用1階的MASH 1，則式(2-6)將變成如下式(2-7)，可由 $STF_2(z)$ 來調整體轉移函數極點位置。

$$STF_1(z) = 1 \rightarrow V(z) = U(z) + \frac{NTF_1(z)}{1 + \frac{1}{1-z^{-1}} STF_2(z)} \cdot E_1(z) + \frac{NTF_2(z)}{1 + \frac{1}{1-z^{-1}} STF_2(z)} \cdot E_2(z) \quad (2-7)$$

改進的和差調變器，回授路徑上補數之和差調變器( $\Sigma\Delta_2$ )，避免相位偏差加於和差調變器( $\Sigma\Delta_1$ )輸入端，這舉動牽涉到雜訊轉移函數的穩定度，我們取 $STF_2(z)$ 小於1以避免不穩定，根軌跡圖如下，當 $STF_2(z)$ 大於1時，根座落於單位圓外，有可能發生不穩定。

此外，我們又增加後校正機制(post correction)於補數訊號( $residue[k]$ )，其和差調變器的進位訊號( $carry[k]$ )輸出也得跟著改變，在原補數訊號( $residue^*[k]$ )為 $-14/16$ 時，把和差調變器的進位訊號( $carry[k]$ )作減1，則補數訊號( $residue[k]$ )由 $-14/16$ 變成 $2/16$ ，這使已於同步振盪器輸出相位(VCO/DL phase)，可在當除頻週期下重載的動作。後校正機制(post correction)的電路可以簡單的排線選擇與一個加法器就實現。

### 2.1.1. 雜訊模型(Noise Model)

非整倍數延遲鎖相電路(FMDLL, Fractional-N MDLL)的一般形式，可由廣為人知到非整數鎖相電路(Fractional-N PLL)討論起，如式(2-8)，一般的頻率合成器不枉是輸出頻率為其 $N+F$ 倍於參考時脈的時脈訊號， $N$ 為正整數部份， $F$ 為小數部份，小數部份就能介紹出量化雜訊(quantization noise)，其因是多模組式除數器(multi-modulus divider)，除數可調整藉由和差調變器，假設整數部份為4，小數部份為 $1/16 = 0.0625$ ，除數就 $\{4, 4, 4, 4, \dots, 4, 4, 5\}$ ，平均上就如所預期為4.0625，此般可知，當頻率合成器之除數如達到所謂平均值(average)，但反應於相位誤差器(PFD)上相位誤差(instantaneous phase error)，會有累計的行為，相位誤差的量值是可以連續時間的訊號( $e[k]$ )表示之，如能轉換成離散時間的序列( $\varepsilon[k]$ )，一階和差調變器，或單純地稱為累加器，與高階和差調變器，離散時間上相位誤差( $\varepsilon[k]$ )行為圖。

$$F_{out} = (N + F) \times F_{ref} \quad (2-8)$$

量化雜訊(quantization noise)會影響頻率合成器的雜訊表現，另外量化雜訊是以時間周期，約參考時脈周期( $\doteq 1/F_{ref}$ )來取樣，又以周期般重覆出現，此般對於頻譜上有突波的產生，量值如式(2-9)。一個不錯的非整倍數頻率合成器( $\Sigma\Delta$  fractional-N synthesizer)，會設計其雜訊表現中量化雜訊比相位比較器(PFD)和振盪器(VCO)的雜訊來得小，量化雜訊在相位雜訊頻譜上佔很大的成份，有時往往振盪器(VCO)的雜訊並不主要影響頻率合成器整體的相位雜訊(phase noise)，量化雜訊明顯是對於整體的相位雜訊是有差異的，如圖2-6，雖有1 MHz頻寬，量化雜訊卻佔很大的比例，反之，雖有500 kHz頻寬，量化雜訊似乎不怎麼重要。

$$F_{spur} = (0.F) \times F_{ref} \quad (2-9)$$

在本文中，由我們使用的和差調變器，和差調變器( $\Sigma\Delta_1$ )使用2階的MASH 1-1，回授路徑上和差調變器( $\Sigma\Delta_2$ ) 使用1階的MASH 1，雜訊轉移函數能有提升一階的效果，並能由 $STF_2(z)$ 來調整體轉



移函數極點位置。回授路徑上和差調變器( $\Sigma\Delta_2$ )，有對於相位比較器(PFD)的相位誤差有補償的效果，補數訊號(*residue*[*k*])，不僅能反應給重載控制器(reload controller)，而能進而改變和差調變器( $\Sigma\Delta_1$ )，如式(2-9)。

目的是為了分析整體的雜訊頻譜，首先把不同的雜訊來源分開討論，然後就此特性導出頻譜功率(spectral noise density)，最後在頻譜上加總各別的相位雜訊頻譜功率，此般能討論那一個部份對於相位雜訊是主要的，其能有系統地分析相位雜訊(phase noise)，在此之前，我們先導出頻率合成器的開回路(open-loop)和閉回路(closed-loop)，包括非整倍數延遲鎖相電路(FMDLL)與非整倍數鎖相電路(FPLL)，如式(2-10)，(2-11)，(2-12)。

$$A_{fpll}(f) = \frac{\alpha}{2\pi} \cdot I_{cp} \cdot H(f) \cdot \frac{K_V}{j \cdot f} \cdot \frac{1}{N_{nom}} \quad (2-10)$$

$$A_{fmdll}(f) = \frac{\alpha}{2\pi} \cdot I_{cp} \cdot H(f) \left[ \frac{1 - z^{-M}}{1 - z^{-1}} + \sum_{i=M}^{\infty} ((1 - \beta) \cdot z^{-1})^i \right] \Big|_{z \rightarrow s} \cdot \frac{K_V}{N_{nom}} \quad (2-11)$$

開回路(open-loop)來說，鎖相電路(FPLL)的時脈供應源為雜訊模型 $1/jf$ ，與延遲鎖相電路(FMDLL)的為離散時間 $(1 - z^{-M})/(1 - z^{-1})$ ，這二者的差異將於後者說明。

$$G(f) = \frac{A(f)}{1 + A(f)}, (G(f) \rightarrow 1, f \rightarrow 0), (G(f) \rightarrow 0, f \rightarrow \infty) \quad (2-12)$$

開回路(open-loop,  $A_{fpll}(f)$ ,  $A_{fmdll}(f)$ )顯然有一個無限的直流增益(DC gain)，則閉回路(closed-loop,  $G(f)$ )在頻率為0下閉回路為1, ( $G(f) \rightarrow 1, f \rightarrow 0$ )，和閉回路在頻率為無限大下閉回路為0, ( $G(f) \rightarrow 0, f \rightarrow \infty$ )。

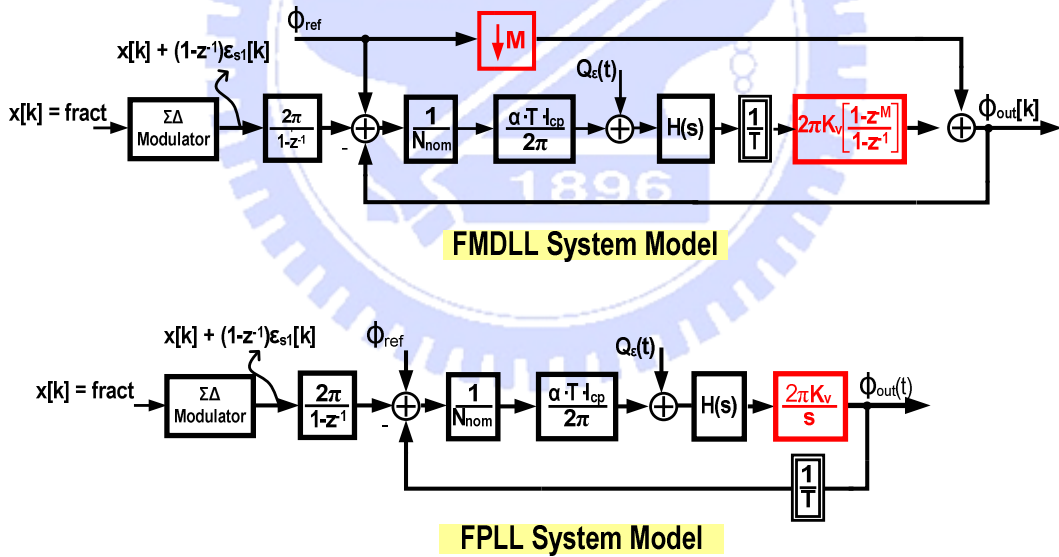


圖 2-5: 非整數頻率合成器之系統函數

一個基本分析非整數頻率合成器的模型，有幾個參數是必要的，輸入的參考時脈周期，或是參考時脈頻率，電流幫浦的電流大小( $I_{cp}$ )，迴路濾波器(loop filter)的轉移函數( $H(f)$ )，時脈供應源(VCO/delayline)的頻率增益( $K_{VCO}/K_{DL}$ )，和除頻數值( $N_{nom}$ )，一般來說雜訊可分以下來源，參考時脈導入(reference noise)，相位比較器與電流幫浦(PFD/Charge Pump)不匹配，時脈供應源(VCO/delayline)，和差調變器的量化雜訊(quantization noise)，與除頻器(divider)自身的雜訊，由可知雜訊來源有兩大分類，一為本身雜訊(intrinsic noise) 一為量化雜訊(quantization noise)，設計一非整數頻率合成器的系統函數通常就是在以上三者取一個較不錯的系統函數。

- ◇ 相位比較器(PFD)與相位雜訊( $e(t)$ )，與電流幫浦充放電不匹配( $Q_\varepsilon(t), \varepsilon[k]$ )
- ◇ 參考時脈雜訊( $\phi_{ref}[k]$ )
- ◇ 和差調變器的量化雜訊，除數的變化( $n[k]$ )
- ◇ 頻率合成器之振盪器或是延遲線的相位雜訊( $\phi_{vco/dl}[k]$ )

參考時脈雜訊是由外接20 MHz的參考時脈供應器產生，及晶片內參考時脈路徑上的單端轉雙端的電路，雜訊分析可類似於頻率合成器之振盪器的部份，可如圖，並把連續訊號(CT, continuous time) 頻譜功率( $S_{\phi_{outref}}(f)$ )，轉成離散時間上的頻譜功率，須乘上一變數 $1/T$ ，得式(2-13)。

$$S_{\phi_{outref}}(f) = |T \cdot N_{nom} \cdot G(f)|^2 \left(\frac{1}{T}\right)^2 \cdot S_{ref}(f) = |N_{nom} \cdot G(f)|^2 \cdot S_{ref}(f) \quad (2-13)$$

頻譜功率( $S_{\phi_{outref}}(f)$ )可由外接參考時脈供應器的操作手冊(data sheet)上得知，或把單端轉雙端的電路在模擬器上得知，這指出把頻帶內(inband)，參考時脈的雜訊比需夠低。

相位比較器所供獻的雜訊功率，一般而言，如頻率合成器是以壓腔振盪器(LC oscillator)當時脈供應源的話，整體的雜訊頻譜往往在低頻處是由相位比較器所供獻的雜訊為主要，如式(2-14)，而從參考時脈或是重定(re-timed)時的除頻時脈在雜訊分析上並不重要，

$$S_{\phi_{out}|_{\gamma}}(f) = \frac{1}{T} \cdot |T \cdot N_{nom} \cdot G(f)|^2 \cdot \left|\frac{2\pi}{T}\right|^2 \gamma^2 \quad (2-14)$$

比較起和差調變器能有量化雜訊除頻時脈在雜訊分析上不重要的原因是過小的。

另外假設電流幫浦(charge pump)的充放電的雜訊貢獻是約略一樣的。通常充放電流量值不可過小。否則與雜訊相對起來。雜訊佔比例會很顯著。

$$S_{\phi_{out}|_{i_n^2}}(f) = \frac{i_{cpn}^2}{I_{cp}^2} \left(\frac{2\pi \cdot N_{nom}}{I_{cp}}\right)^2 |G(f)|^2 \quad (2-15)$$

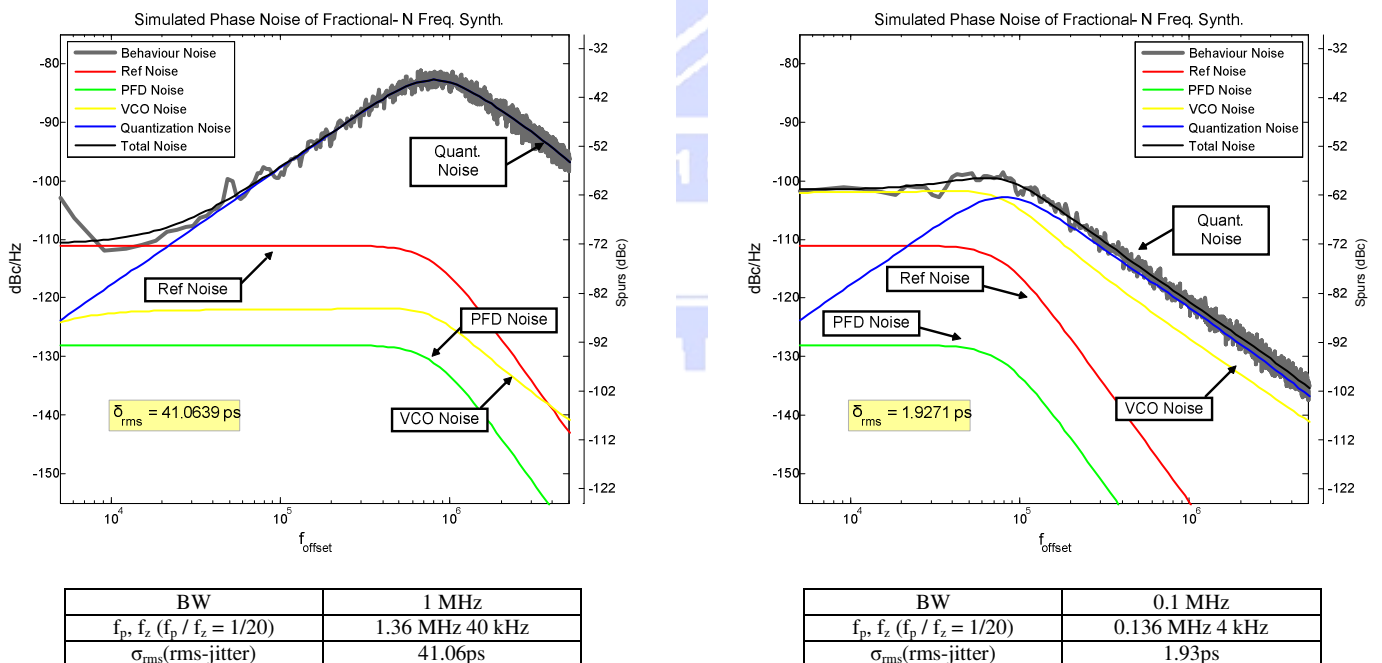


圖 2- 6: 量化雜訊(quantization noise)在不同頻寬下的相位雜訊圖

以電流幫浦(charge pump)來說，如果採用環振盪器(ring oscillator)，雜訊並不常在回路濾波器(loop filter)上發生影響，而是以環振盪器當主要供獻。量化雜訊(quantization noise)發生於多模組式除數器(multi-modulus divider)輸入的和差調變器，量化雜訊量值由和差調變器的階數來決定。本文的和差調變器能有量化雜訊壓抑(quantization noise cancellation)的效果，故可等同於使雜訊轉移函數提升



階數，另外[17]位類比轉換器(DAC)降低有量化雜訊，於下式中雜訊轉移函數( $NTF(f)$ )，本文中的式(2-7)可代入式(2-16)以一般來作比較。

$$S_{\phi_{out}|n}(f) = T|2\pi \cdot G(f)|^2 \left| \frac{e^{-2\pi j\omega f_{ref}}}{1 - e^{-2\pi j\omega f_{ref}}} \right|^2 |NTF(f)|^2 \cdot \frac{1}{12} \quad (2-16)$$

最後是分析時脈供應源(VCO/delayline)的雜訊大小，在式(2-16)中，時脈供應源的相位雜訊對於整體是一簡單的高通濾波器(high pass filter)，時脈供應源輸入控制電壓( $V_{ctrl}$ )，以改變時脈供應源的頻率，但在整體頻率合成器中是以相位為主，如以一般鎖相電路為例，是以積分器(integrator)角度看之。

$$S_{\phi_{out}|vco}(f) = |1 - G(f)|^2 \cdot S_{\phi_{vco}}(f) \quad (2-17)$$

分析上，是在時脈供應源的輸入端加入白色雜訊(white noise)，經一積分器後，產生-20dB/decade的效果，等同於單一極點的斜率(single-pole slope)，此般在行為模擬上，可在時脈供應源的輸入加一亂數產生器，並隨亂數產生器的增益模擬時脈供應源反應於整體頻率合成器所供獻的雜訊功率。

在設計相位雜訊頻譜時考慮系統函數時上，延遲鎖相電路(MDLL)與鎖相電路(PLL)有很大的不同，在於一者有作參考訊號的重載動作(replace the rotating edge of its ring oscillator with the clean reference edge)於時脈訊號上，直觀來說，使時脈供應源的雜訊模型 $1/s$ 變成離散時間 $(1 - z^M)/(1 - z^{-1})$ ，中不需要額外的零點使系統穩定，參考時脈訊號重整的時脈訊號相位雜訊隨和差調變器的解析度而增加，最後相位雜訊的情況會和鎖相電路一樣，頻帶內的一雜訊源將由參考時脈的雜訊為主要供獻，設計迴路濾波器(loop filter)能以考慮和差調變器的量化雜訊為主。另外多了參考時脈雜訊經一下數取樣器(down sampling)加於輸出端。

延遲鎖相電路(MDLL)之振盪器輸出時脈能被視為一個在參考週期下( $T_{ref}$ )的循環穩定隨機亂數過程(cyclostationary random process)，參考週期( $T_{ref}$ )下參考時脈能進入延遲線作重載，此作法的循環穩定過程之能量功率譜密度(PSD of a cyclostationary)是在一個週期下以平均其能量功率譜密度得之。這樣算法對於沒有作參考時脈重載的情況是適當的，可想之頻譜分析沒有必要對參考週期做同步或是周期一樣，所以我們得重新分析此情況。在此，輸出時脈的相位變化函數( $\Delta\phi(t, T)$ )能被寫成頻率變化( $\Delta f$ )與一脈衝響應 $h(t, T), 0 \leq T \leq T_{ref}$ 的卷積(convolution) [4-12]，

$$\Delta\phi(t, T) = 2\pi \cdot \int_{-\infty}^{\infty} \Delta f(\tau) \cdot h(t - \tau, T) d\tau \quad (2-18)$$

脈衝響應 $h(t, T)$ 作用在於能用富利葉轉換得到頻譜( $H(j\omega)$ )，並用於延遲線於整體系統函數的雜訊表現。T指脈衝響應 $h(t, T)$ 為有限周期下的行為。如式(2-18)，

$$S_{\phi_{out}|vco}(f) = |H(f)|^2 \cdot |1 - G(f)|^2 \cdot S_{\phi_{vco}}(f) \quad (2-19)$$

但延遲鎖相電路(MDLL)的開回路/閉回路增益與相位關係，由於重載的動作，使延遲線(delay line)無積分器特性。以下圖2-7來說明。鎖相電路(PLL)是以積分器(integrator)來看之。原因為其脈衝響應 $h(t, T)$ 為一常數。頻譜上 $1/j\omega$ 表現是積分器。延遲鎖相電路(MDLL)的脈衝響應 $h(t, T)$ 為步階響應(unit step response)。頻譜上由 $1/j\omega$ 變為sinc函數。或者如把延遲鎖相電路(MDLL)的脈衝響應 $h(t, T)$ 取 $T_{ref}$ 到無限大。會逼近於 $1/j\omega$ 。是相當合理的。

$$\lim_{T_{ref} \rightarrow \infty} e^{-j\omega \cdot \frac{1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot \frac{T_{ref}}{2}} = \frac{1}{j\omega}$$

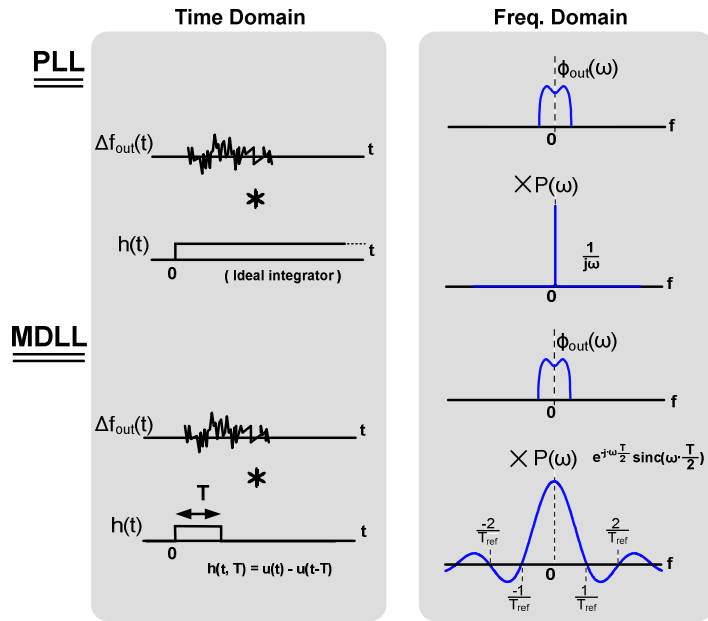


圖 2-7: 鎖相電路與延遲鎖相電路之脈衝響應。

在參考時脈重載完全打斷擾動累積其強度參數，可定義一重載強度( $\beta$ )，其為0-1之間，代表外部訊號重載影響延遲線運行訊號的強度，換言之，積分強度( $\alpha$ )， $\alpha = 1 - \beta$ 。其 $\beta = 0$  ( $\alpha = 1$ )，反之，參考時脈對於延遲線根本無影響，其 $\beta = 1$  ( $\alpha = 0$ )，也就是說重載參考時脈對於延遲線能清除上一周期與本周期的相關性。在非整倍數延遲鎖相電路中，參考訊號不一定會每一個除頻周期就重載一次，故在此介紹一和小數除頻數有關的參數， $M$ ，例如倍頻數為4.0625( $N=4$ ,  $F=1/16$ )以簡單說明，過一參考訊號週期，參考訊號對齊於時脈訊號1/16相位處，再一參考訊號週期，參考訊號對齊於時脈訊號( $DL\ Clk$ )2/16相位處，此般，1/16, 2/16, 3/16, ..., 15/16, 0，在可正確重載參考訊號條件下，參考訊號重載影響延遲線運行訊號是每隔16個除頻週期的， $M = 16$ 。

$$\begin{aligned}
 h(t, T) &= u(t) - u(t - T) \\
 &+ \sum_{i=1}^{M-1} \{u[t - T - (i - 1) \cdot T_{ref}] - u[t - T - i \cdot T_{ref}]\} \\
 &+ \sum_{i=M}^{\infty} (1 - \beta)^n \cdot \{u[t - T - (i - 1) \cdot T_{ref}] - u[t - T - i \cdot T_{ref}]\}
 \end{aligned} \tag{2-20}$$

頻率變化與一脈衝響應可如式(2-20)，前半部為兩參考訊號重載間的步階響應，後半部為因為強度參數( $\beta$ )引出的與過去相關的步階響應，下取樣(downsampling)的觀念可以等同於以上，換句話說，倍頻數不同可能有不同的系統函數表現，整倍數的情況， $M = 1$ 。

在上述連續時間(continuous time)的相位雜訊方面，可以用離散時間(discrete time)的模型來推算量值，以圖2-8為例，一個整倍數延遲鎖相電路(MDLL)，對於時脈訊號，其中延遲線對於時脈訊號貢獻的雜訊量累積，或言之錯誤累積(time error accumulation)，可假設成一個高斯常態分佈，其標準差為 $\sigma$ ，由於延遲線中時脈訊號經過延遲線造成時脈的傳遞，每次周期延遲線造成之雜訊量可假設為向量獨立(independent vector)的，所以高斯分佈標準差在數學上，能有做相加的充分必要條件的性質，相加後作迴旋積分(convulsion)，得自相關函數(autocorrelation function)，以離散時間富利葉轉換(DTFT, discrete time Fourier transform)，其可得在頻譜上多少相位雜訊[33]。

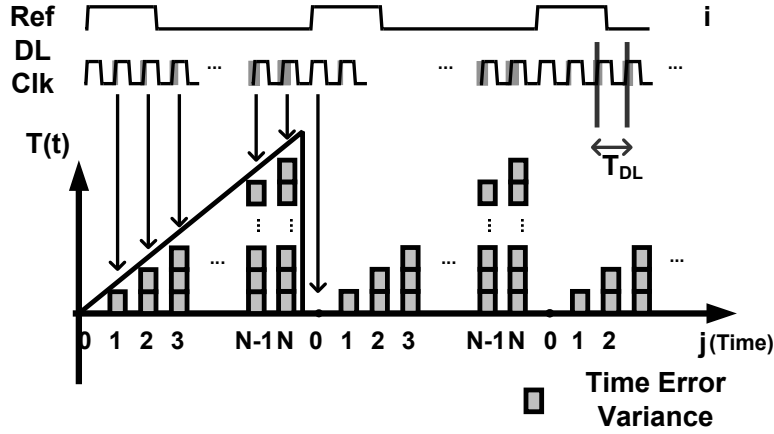


圖 2-8: 時脈時間錯誤累積(clock time error accumulation)

假設各週期時間誤差量(time error variance)是互相獨立的，為高斯分佈且標準差為 $\sigma$ ，以一個傳統整倍數延遲鎖相電路來說，如圖2-8，

$$E[y_{ij}] = 0, E[y_{ij}^2] = \sigma^2 \quad (2-21)$$

我們在此假設， $X(n \cdot \tilde{T})$ 能由時間誤差量的隨機過程得到，先假設重載參考訊號時，時間誤差量被清除為零，經過第一個周期，也就是一個延遲線時脈(DL Clk)產生， $X(1 \cdot \tilde{T}) = y_{11}$ ，同理 $i$ 和 $j$ 周期的間的隨機過程， $y_{ij}$ ，第二周期時脈產生時， $X(2 \cdot \tilde{T}) = y_{11} + y_{21}$ ，第三周期時脈產生時， $X(3 \cdot \tilde{T}) = y_{11} + y_{21} + y_{31}$ ，...，是由前面週期所累積而成，如式(2-22)，

$$X(n \cdot \tilde{T}) = \sum_{i=1}^n y_{i1} \quad (2-22)$$

以整倍數延遲鎖相電路來說，參考訊號在倍頻數 $N$ 週期作重載，例如 $N$ 為4， $X(4 \cdot \tilde{T}) = 0$ ，隨之又經過延遲線產生一個周期時脈， $X(5 \cdot \tilde{T}) = y_{12}$ ，依序， $X(6 \cdot \tilde{T}) = y_{12} + y_{22}$ ，諸如此類，如式(2-22)。

$$X(n \cdot \tilde{T}, j) = \sum_{i=1}^{n-(j-1) \cdot N} y_{ij} \quad (2-23)$$

接續討論時間誤差量的功率密度頻譜(power spectral density)，藉能找到自相關函數(autocorrelation function)，如式(2-23)，再使用富里葉轉換，

$$R_{XX}[\tau] = E[X(n\tilde{T}) \cdot X(n\tilde{T} - \tau)] \quad (2-24)$$

以 $\tau = 0$ 來說，自相關函數等於時間誤差量累積的標準差， $R_{XX}(\tau)$ ，以倍頻數為4於當例子，

$$\begin{aligned} R_{XX}(0) &= E[X(n\tilde{T}) \cdot X(n\tilde{T})] = \frac{1}{4} (0 + \sigma + 2\sigma^2 + 3\sigma^2) = \frac{6}{4} \cdot \sigma^2 \\ R_{XX}(1) &= E[X(n\tilde{T}) \cdot X((n-1)\tilde{T})] = \frac{1}{4} (0 + \sigma + 2\sigma^2 + 0) = \frac{3}{4} \cdot \sigma^2 \\ R_{XX}(2) &= E[X(n\tilde{T}) \cdot X((n-2)\tilde{T})] = \frac{1}{4} (0 + \sigma + 0 + 0) = \frac{1}{4} \cdot \sigma^2 \end{aligned}$$

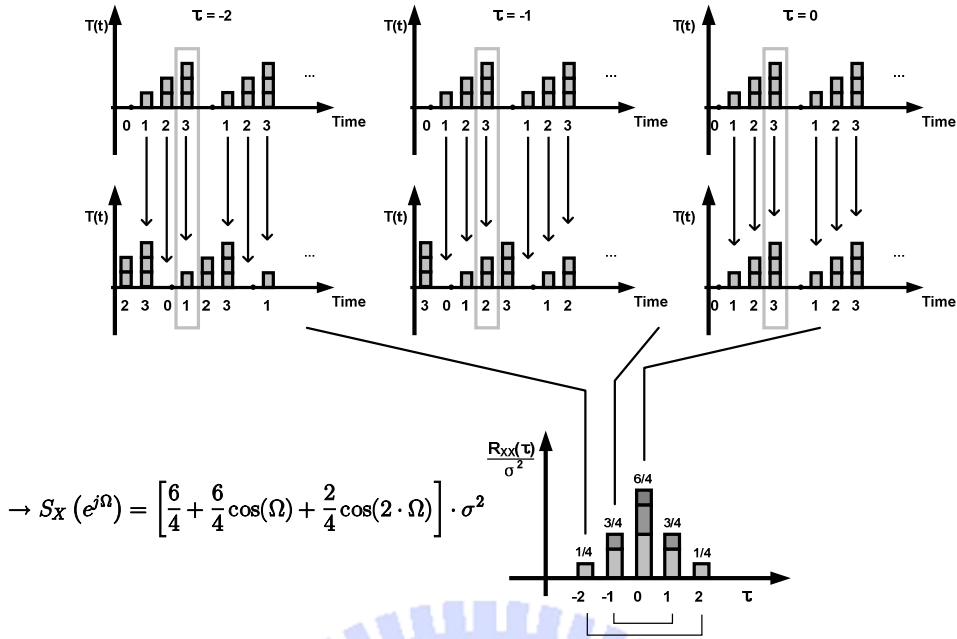


圖 2-9: 倍頻數為 4 之自相關函數(autocorrelation function)

一個較廣義的自相關函數，如式(2-25)，接以離散時間富利葉轉換(DTFT, Discrete Time Fourier Transform)得到功率密度頻譜函數，如式(2-26)，以上敘例子，見圖2-9，

$$R_{XX}(\tau) = \frac{1}{N} \cdot \sum_{k=-(N-2)}^{N-2} \left[ \delta(\tau - k) \cdot \sum_{l=1}^{N-\tau-1} l \cdot \sigma^2 \right] \quad (2-25)$$

離散時間富利葉轉換，其中 $\Omega$ 為單位徑度(unit of radians)，

$$S_X(e^{-j \cdot \Omega}) = \sum_{n=-\infty}^{\infty} \left\{ \frac{1}{N} \cdot \sum_{k=-(N-2)}^{N-2} \left[ \delta(\tau - k) \cdot \sum_{l=1}^{N-\tau-1} l \cdot \sigma^2 \right] \right\} \cdot e^{-j\Omega \cdot n} \quad (2-26)$$

以上敘倍頻數為4於當例子，則功率密度頻譜函數如下式。以上討論能以圖2-10作總結，式(2-26)功率密度頻譜函數，如下圖右下，

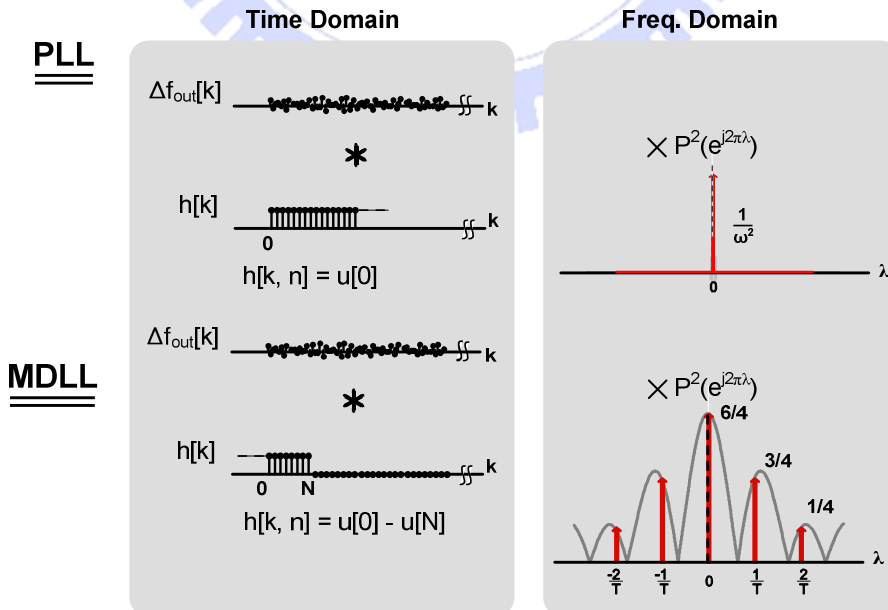
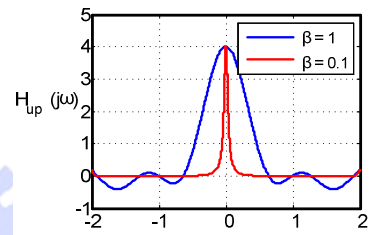
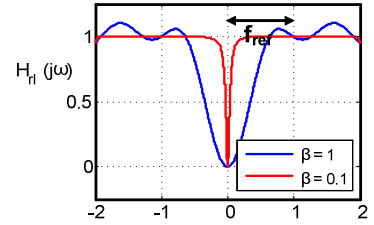
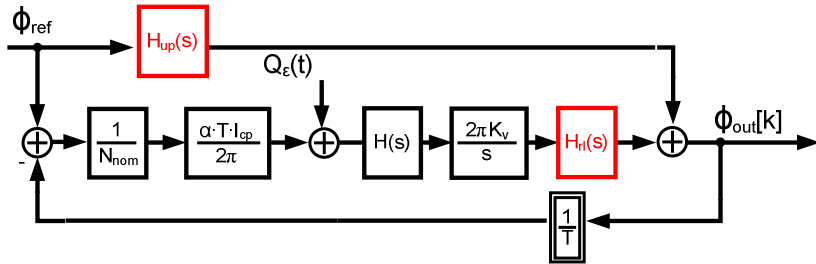


圖 2-10: 自相關函數(autocorrelation function)。

整數延遲鎖相電路(Integer-N MDLL)之系統函數如下圖2-11[4][12]， $H_{rl}(j\omega)$ 於積分器後，原是把脈衝響應提出一個積分器項次，故產生出 $H_{rl}(j\omega)$ ，當 $\beta = 0$ ，一般所知鎖相電路(PLL)模式， $H_{rl}(j\omega)$ 為如一負向脈衝函數(delta function)般，並且常數為1，使延遲線(delay line)展現出與振盪器(VCO)無異的積分器特性，再者 $H_{up}(j\omega)$ 以下取樣(downsampling)方式來說明，多了乘上一倍數N，行為類似一個低通濾波器(low pass filter)，當重載強度( $\beta$ )越強，相位邊界(phase margin)會隨之增加，如果整個系統設計的妥當，振盪器(VCO)的供獻雜訊將不比參考時脈供獻雜訊少，相位雜訊主要會由參考時脈雜訊來主導。



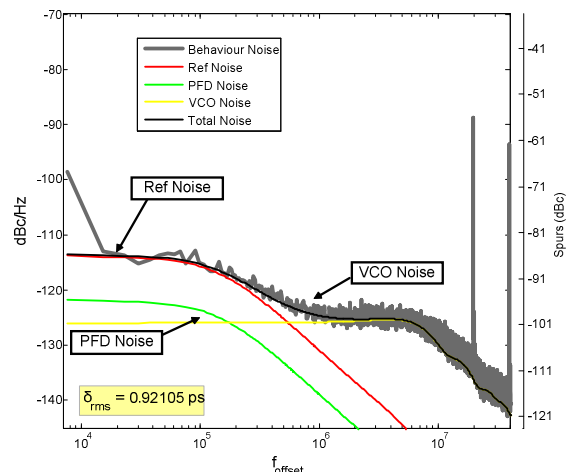
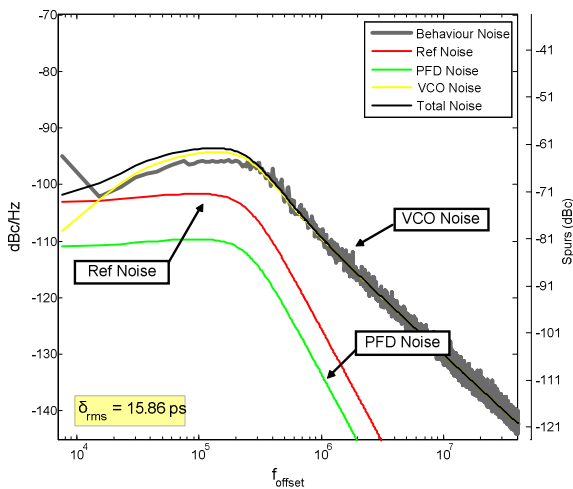
$$H_{rl}(j\omega, T) = 1 - \frac{\beta}{1 - (\beta - 1) \cdot e^{-j\omega \cdot T_{ref}}} \cdot e^{-j\omega \cdot \frac{1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot \frac{T_{ref}}{2}}$$

$$H_{up}(j\omega, T) = \frac{N \cdot \beta}{1 - (\beta - 1) \cdot e^{-j\omega \cdot T_{ref}}} \cdot e^{-j\omega \cdot \frac{1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot \frac{T_{ref}}{2}}$$

圖 2-11: 整數延遲鎖相電路之系統函數。

整數延遲鎖相電路的系統函數推演可如圖2-11般，如以整倍數為例，合差調變器的部份可去除不計，如把合差調變器部份納入的圖中，可得非整數延遲鎖相電路的系統函數。系統函數相位部份的推演。可如圖2-11的推導得式可得。

下圖2-12為整數延遲鎖相電路(MDLL)與鎖相電路(PLL)相位雜訊比較，可發現延遲鎖相電路比鎖相電路效能好，原因是打斷振盪器的抖動累積，另外可看出鎖相電路(PLL)雜訊轉移函數比延遲鎖相電路(MDLL)高一階，原因也是振盪器的積分器模型造成，延遲鎖相電路效能上也不完全比鎖相電路好，圖中可指出一個明顯的突波(spur)。



System Parameter	Ref. Freq.	Out Freq.	N	Noise Assumption	$f_p$	VCO	PFD/CP	Ref
	20 MHz	500 MHz	25		0.14 MHz	-120 dBc/Hz @ 20 MHz	$\sigma=3e-12$	-100 dBc/Hz

圖 2-12: 整倍數延遲鎖相電路(MDLL)相位雜訊模擬圖。



上敘所指頻率與其卷積(convolution)的脈衝響應 $h(t, T)$ ，能得到下表4的結論。鎖相電路(PLL)其脈衝響應 $h(t, T)$ 為在頻譜上 $1/j\omega$ 表現是積分器。延遲鎖相電路(MDLL)的脈衝響應 $h(t, T)$ 為步階響應(unit step response)。頻譜上由 $1/j\omega$ 變為sinc函數。考慮重載強度( $\beta$ )下。sinc函數可帶有積分的因子在。非整數延遲鎖相電路(FMDLL)。算是延遲鎖相電路(MDLL)的延伸。其也可想之為上取樣(up sampling)的變形。

$\Delta\phi(t, T) = 2\pi \int_{-\infty}^{\infty} \Delta f(\tau) \cdot h(t - \tau, T) d\tau$			
	PLL/FPLL	MDLL	
		$\beta = 1$	$\beta \neq 1$
$h(t, T)$	1	$u(t) - t(t - T_{ref})$	$u(t) - t(t - T_{ref}) + \sum_{i=1}^{\infty} (1 - \beta)^n \cdot [u[t - T - (i - 1) \cdot T_{ref}] - u[t - T - i \cdot T_{ref}]]$
$H(j\omega, T)$	$\frac{1}{\omega}$	$e^{-j\omega \cdot \frac{1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot \frac{T_{ref}}{2}}$	$\frac{\beta}{1 + (\beta - 1) \cdot e^{-j\omega \cdot T_{ref}}} \cdot e^{-j\omega \cdot \frac{1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot \frac{T_{ref}}{2}}$
FMDLL			
$h(t, T)$		$\sum_{i=1}^{M-1} \{u[t - T - (i - 1) \cdot T_{ref}] - u[t - T - i \cdot T_{ref}]\} + \sum_{i=M}^{\infty} (1 - \beta)^n \cdot \{u[t - T - (i - 1) \cdot T_{ref}] - u[t - T - i \cdot T_{ref}]\}$	
$H(j\omega, T)$		$\frac{1 - (1 - \beta)^{-M}}{1 - (\beta - 1) \cdot e^{-j\omega \cdot T_{ref}}} \cdot e^{-j\omega \cdot \frac{M}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot M \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot M \cdot \frac{T_{ref}}{2}} + \frac{1 - \beta - (1 - \beta)^{-M}}{1 - (1 - \beta) \cdot e^{-j\omega \cdot T_{ref}}} \cdot e^{-j\omega \cdot \frac{M+1}{2} \cdot T_{ref}} \cdot \frac{\sin\left(\omega \cdot (M+1) \cdot \frac{T_{ref}}{2}\right)}{\omega \cdot (M+1) \cdot \frac{T_{ref}}{2}}$	

表 4: 脈衝響應 $h(t, T)$ 函數關係表與各情況表現圖。

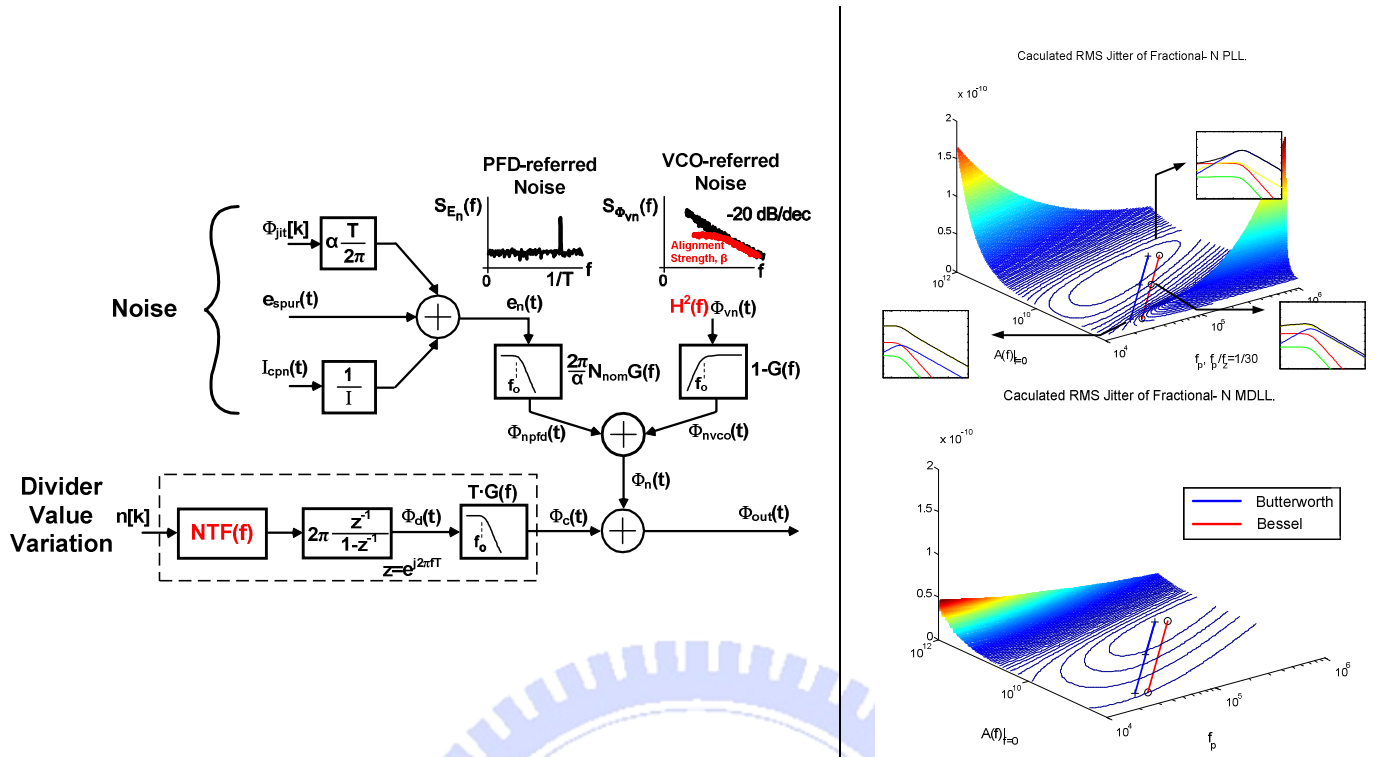
綜合式(2-13)，式(2-15)，式(2-16)，與式(2-19)，全部的雜訊可由以上分析作加總，如式(2-27)，將有助於分析整體的系統雜訊行為，如下圖 2-13。

$$S_{out}(f) = S_{\phi_{out}|vco}(f) + S_{\phi_{out}|i_n^2}(f) + S_{\phi_{out}|n}(f) + S_{\phi_{out}|ref}(f) \quad (2-27)$$

以上我們可以圖 2-13 作總結，雜訊來源有兩大分類，一為本身雜訊(intrinsic noise) 一為量化雜訊(quantization noise)，設計一非整數頻率合成器的系統函數通常就是在以上三者取一個較不錯的系統函數，之後將對方均根抖動(RMS jitter)再作說明，方均根抖動為相位雜訊於頻譜上的積分，故與相位雜訊是息息相關。

由於方均根抖動(RMS jitter)預期嚴格，故以整體系統函數來說，必要的話以整體最佳值為設計參數是最好的，系統架構如圖 2-5，可由開路增益(open-loop gain,  $A(f)$ )和閉回路增益(closed-loop gain,  $G(f)$ )，一般設計原則是選擇 Bessel 函數或是 Butter 函數來當濾波器參數(filter parameter)，並就此最佳化，



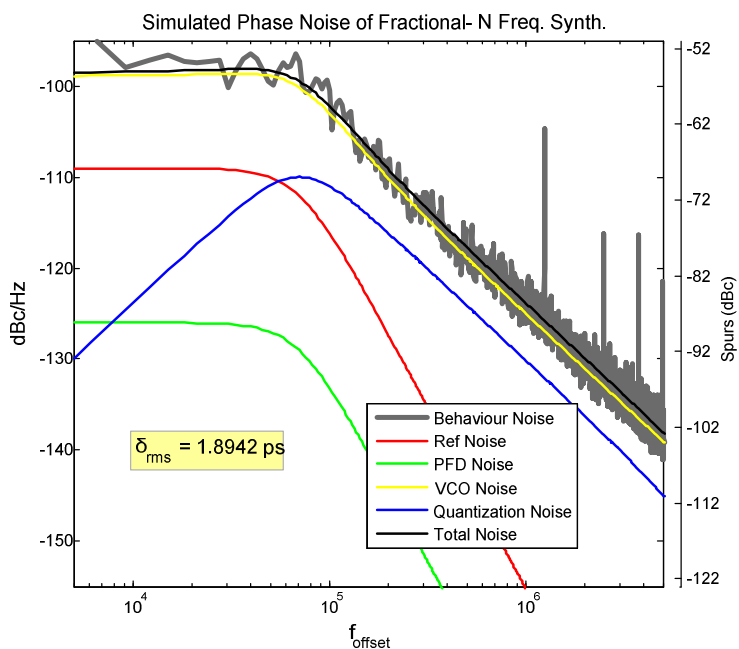


	System Transfer Function	Source	Desired Change
Reference Jitter	$T \cdot N_{nom}^2  G(f) ^2 \phi_{jit}^2$	$10^{\frac{E_{LLR}}{10}} \cdot \left(1 + \frac{f_{filter}}{f}\right)$	$N \downarrow$
PFD/Charge Pump	$\left(\frac{2\pi \cdot N_{nom}}{\alpha I_{cpn}}\right)^2  G(f) ^2 i_{cpn}^2$	$i_{cpn}^2$	$N \downarrow i_{cpn} \downarrow I_{cpn} \uparrow$
VCO · Delayline	$ H(f) ^2  1 - G(f) ^2 \phi_{vn}^2$	$10^{\frac{E_{LLV}}{10}} \cdot \left(\frac{f_{offset}}{K_V}\right) \left(1 + \frac{f_{filter}}{f}\right)$	$BW \uparrow \phi_{vn}^2 \downarrow$
$\Delta\Sigma$ Quantization	$ T \cdot G(f) ^2 \cdot q^2(t)$	$\left  \frac{2\pi e^{-2\pi j\omega f_{ref}}}{1 - e^{-2\pi j\omega f_{ref}}} \right ^2 \text{INTF}(f)^2 \frac{\Delta^2}{12}$	$\Delta \downarrow N \uparrow K \uparrow$

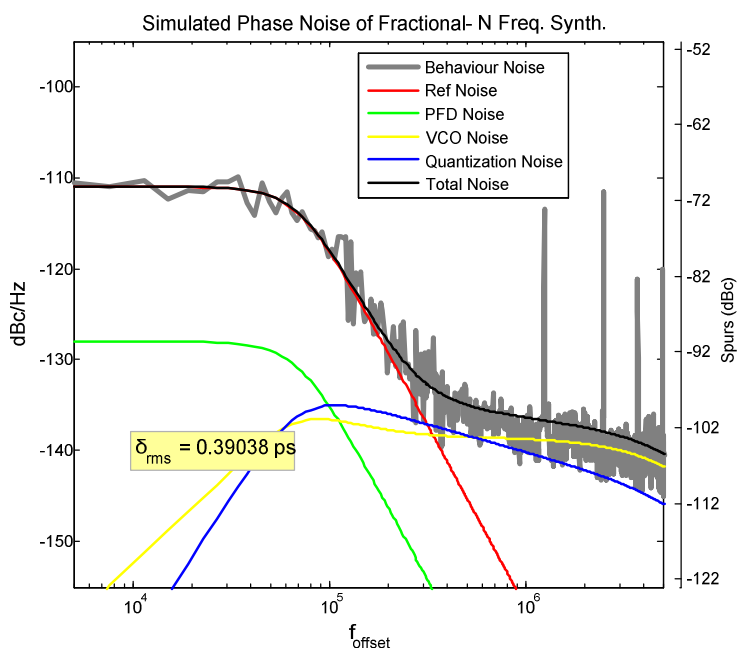
圖 2- 13: 相位雜訊設計圖，承接[30]的相位雜訊系統分析方式，紅字部份為非整倍數延遲鎖相電路所增加的

可觀察出非整倍數延遲鎖相電路(Fractional-N MDLL)因相位雜訊的累積被參考訊號打斷後，方均根抖動(RMS jitter)只會隨開回路直流增益(open loop DC gain)增加而增加，不會如非整倍數鎖相電路(Fractional-N PLL)般，在某開回路直流增益值下，因極點與零點關係而造成峰點(peaking)上升，方均根抖動增加。

以下相位雜訊圖，依序分別為一般使用二和差調變器的非整數鎖相電路(FPLL)的相位雜訊，使用本文討論之和差調變器的非整數鎖相電路(FPLL)的相位雜訊，最後為能作重載參考訊號，非整數延遲鎖相電路(FMDLL)相位雜訊。



System Parameter	
Reference Frequency	20 MHz
Output Frequency	~ 500 MHz
N	25
BW	0.1 kHz
$f_p, f_z (f_p / f_z = 1/20)$	0.125 MHz 3 kHz
Noise Assumption	
VCO	-155 dBc/Hz @ 20 MHz
PFD/CP Noise	$\sigma=2.5e-13$
Ref	-110 dBc/Hz @ 1 MHz
$\Sigma\Delta$ Quantization Noise	2rd, F=1/16



System Parameter	
Reference Frequency	20 MHz
Output Frequency	~ 500 MHz
N+F	25+1/16
BW	0.1 MHz
$f_p, f_z (f_p / f_z = 1/20)$	0.125 MHz 3 kHz
Noise Assumption	
VCO	-140 dBc/Hz @ 20 MHz
PFD/CP Noise	$\sigma=2.5e-13$
Ref	-110 dBc/Hz @ 1 MHz
$\Sigma\Delta$ Quantization Noise	~ 3th, F=1/16
NTF(z)	$\frac{(1-z^{-1})^3}{1-z^{-1}+0.125}$

圖 2-14: 相位雜訊比較圖，非整數鎖相電路(FPLL)與非整數延遲鎖相電路(FMDLL)

以分數行為做重載(reload)，極有可能使分整數的突波發生，突波發生的頻率就不是一定在參考頻率的數值上，而是和小數部份有關係，小數部份為1/16時，突波可能位於1/16倍的參考頻率的數值上，不過能加入微擾(dithering)以免除此效應，另外關於重載強度( $\beta$ )與小數(F)間的關係，能互相得到印證，例如小數部份為1/16，重載強度( $\beta$ )就約為1/16。

行為模擬方面是使用美國麻省理工學院Michael Perrott教授在網路上開放下載的Sue2及CppSim[30] (<http://www.cppsim.com/>)這兩個可以模擬鎖相迴路及通訊系統的應用程式，而且CppSim程式在執行模擬演算之後所得到的模擬數據也可當研究參考，另外Cppsim的作者以設計一套自動化軟體幫助設計鎖相電路(PLL Design Assistant)，以c++來做行為模擬比起以verilog或是其它商用軟體是來得快速，故模擬時間可大幅減少。

Cppsim的好處在於能針對一個問題作探討，就頻率合成器來說，能把不同的雜訊來源分開處理，除此外一些提供的matlab計算式能作為研究上的參考，以下就延遲鎖相電路(MDLL)來說。Cppsim在作輸出時脈頻譜上，是以振盪器(VCO)的控制電壓來計算，能此作法cppsim是假設振盪器中的頻率與電壓是完全線性，故可以這樣推估頻率，但於延遲鎖相電路(MDLL)中，延遲線(delayline)的控制電壓無法推估頻率，因為有了清除抖動(jitter)重載的動作，故得把輸出時脈訊號資料另於matlab作計算，或是把計算的函數掛於cppsim當中。

Cppsim的計算演算法與其它模擬器的不同在於離散化(discretization)的技巧，一般verilog為了獲得高解析度，得把取樣時間(sampling time)變小，但Cppsim能把兩取樣時間內增加內差的效果，對於連續訊號(CT)變為離算訊號(DT)更貼切，連續訊號轉離算訊號的轉換運算既不是用脈衝不變法(impulse invariance)就是雙線性轉換法(bilinear transform)，處理以上兩者通常得用非疊代法(no-iterative)，此法消耗時間，故Cppsim的計算方式雖不離雙線性轉換法(bilinear transform)，但是以疊代法計算，以增加內差效果補足非疊代法的不足。好比說回路濾波器(loop filter)來說，雙線性轉換法把s-dmain轉到z-domain好方便疊代法運算。

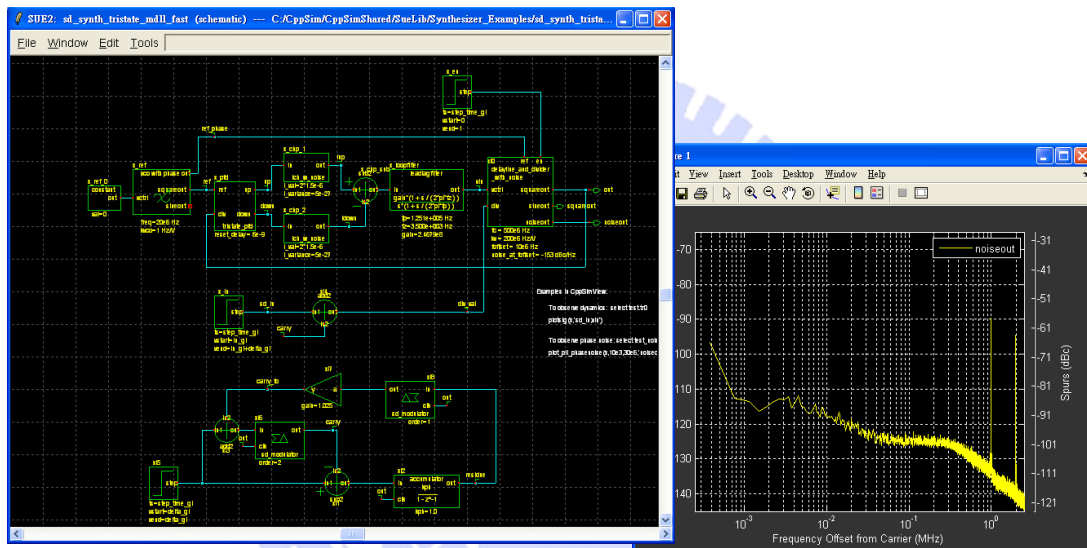


圖 2- 15: CppSim 分析延遲鎖相電路(MDLL)的範例。

另外，自動化軟體幫助設計鎖相電路(PLL Design Assistant)中是否可用於延遲鎖相電路(MDLL)中，比較於一般2階的鎖相電路(PLL)，以估算來看可以是少一階，且頻寬(BW)近似於參考頻率的1/4，能做到如此高的頻寬(BW) [12]，故一些設定上是得作變更，例如頻寬得強制設定於參考頻率的1/4的處，故影響此軟體的最佳化假設，此軟體是不適用的。自動化軟體幫助設計鎖相電路(PLL Design Assistant)推估延遲鎖相電路(MDLL)的雜訊分布與本人用matlab推算大制是接近，但本人有在延遲線(delayline)上另外考慮 $H_{rl}(j\omega)$ 與 $H_{up}(j\omega)$ ，說明 $H_{rl}(j\omega)$ 的轉移函數，故與此軟體是有出入，另 $H_{up}(j\omega)$ 如下取樣(downsampling)在此軟體無法設定為一此條件，雖然如此此軟體在設計一般鎖相電路或等同的數學系統上還是非常方便的。

## 2.2. 隨機重載型延遲鎖相電路 (RMDLL)

以上我們討論了非整倍數延遲鎖相電路，但頻譜上能有突波(spur)發生，如何抑制其發生，我們提出較廣義的訊號重載架構，如圖3- 1，保存一般整倍數延遲鎖相電路(MDLL)的清除擾動累積的優點，以一組多相位產生器(multi-phase generator)，一組延遲線(delay line)來作架構上的變形重組，延遲線作法是串接延遲單元(delay cell)產生多相位，每一級均可有二組輸入端來作訊號傳遞或訊號重載。由上面一組多相位產生器(multi-phase generator)產生多組時脈相位 $\phi_0, \phi_1, \dots, \phi_N$ ，於下面一組

延遲線(delay line)的時脈相位 $\theta_0, \theta_1, \dots, \theta_N$ ，作重載，中間以開關網路(switch network)作控制時脈重載對應關係，以下圖右側，其時脈重載對應關係可為單元矩陣的轉換(the rotation of the elementary matrix)，例如單純為一對一順序關係，則是 $\theta_0 \rightarrow \phi_0, \theta_1 \rightarrow \phi_1, \theta_N \rightarrow \phi_N$ ，數位控制器(digital controller)是安排那時刻作參考訊號重載於何組時脈相位，以 $Sel_0, Sel_1, \dots, Sel_N$ 控制延遲線之串接延遲單元作重載。開關網路與數位控制器的實作例如下，如果以一個隨機亂數的方式來安排重載參考時脈訊號的順序，則架構上的數位控制器 (digital controller)將搭配一亂數產生器，如果是單調上升的方式來安排重載參考時脈訊號的順序，則架構上的數位控制器 (digital controller)將搭配一累加器，諸如此類，數位控制器 (digital controller)是決定重載訊號的方法，樣式可以隨設計需求而改變。

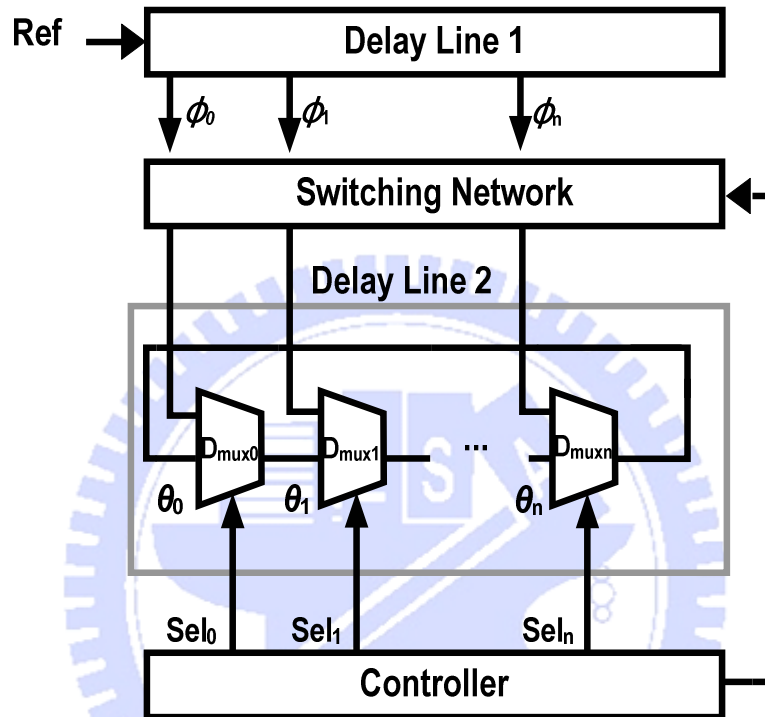


圖 3-1: 廣義式訊號線重載架構與實現範例，

在此， $Sel_0 - Sel_N$ 為控制多工器 (MUX) 重載訊號線。

Multi-Phase Generator為產生多組時脈相位 $\phi_0, \phi_1, \dots, \phi_N$ 。

$D_{mux1} - D_{muxN}$ 為構成一組延遲線(delay line) 產生時脈相位 $\theta_0, \theta_1, \dots, \theta_N$ 。

$EN_1 - EN_N$ :為指出除頻器最後一個時脈，供給 $Sel_0 - Sel_N$ 選擇器作重載訊號。

為了抑制突波(spur)發生，以我們所提出廣義的訊號線重載架構，以圖3-1來延伸，以上面一組延遲線(delayline,  $DL_1$ )當多相位產生器(multi-phase generator)產生 $2N$ 時脈相位，分別為 $\phi_0 - \phi_{2N}$ ，以下面一組延遲線(delayline,  $DL_2$ )，作法可是串接延遲單元(delay cell)或是傳輸線(transmission line)，產生 $2N$ 組時脈相位， $\theta_0 - \theta_{2N}$ ，時脈訊號 $\phi_0 - \phi_{2N}$ 重載時脈訊號 $\theta_0 - \theta_{2N}$ ，的開關網路(switch network)，對應， $\theta_i \rightarrow \phi_i$ ，則數位控制器(digital controller)的部份為 $N$ 組於多工器( $D_{mux1} - D_{muxN}$ )下的選擇器( $Sel_{mux1} - Sel_{muxN}$ )，和右側的隨機亂數產生器(random number generator)。隨機亂數產生器產生隨機亂數訊號組( $EN_1 - EN_N$ )，給選擇器( $Sel_0 - Sel_N$ )當輸入，( $EN_1 - EN_N$ )在適當時刻輸入給選擇器產生訊號組( $Sel_{mux1} - Sel_{muxN}$ )，以便控制延遲線其 $N$ 級延遲單元做訊號重載，用隨機亂數的方式，把原本每隔參考時脈(Ref)周期做參考訊號的重載，變成每隔除頻時脈周期內亂數選擇一時脈周期做參考訊號的重載，亂數方式安制重載參考訊號能有效抑制突波產生，在頻譜上其明顯之突波單頻訊號將下降。

廣義的訊號線重載架構之實例，其中包含一組多相位產生器(multi-phase generator)以4組多工器

( $D_{mux1} - D_{mux3}$ )串接延遲線(delayline,  $DL_1$ )產生相位組 $\phi_0, \phi_1, \dots, \phi_7$ , 與一組延遲線(delayline,  $DL_2$ )串接4組多工器( $D_{mux1} - D_{mux3}$ ), 產生 $\theta_0, \theta_1, \dots, \theta_7$ , 多相位產生器產生多組時脈訊號重載於延遲線各延遲單元上, 一個開關網路(switch network), 對應兩相位組之間的關係, 1對1實現, 一個數位控制器(digital controller), 以訊號 $Sel_0, Sel_1, \dots, Sel_7$ 控制多相位產生器與延遲線之間作重載, 一個數位控制器(digital controller), 控制兩組延遲線之間作重載, 4組於多工器( $D_{mux1} - D_{mux3}$ )下的選擇器( $Sel_{mux1} - Sel_{mux3}$ ), 和右側的隨機亂數產生器(random number generator)。

在上敘中, 用隨機亂數的方式安排訊號重載, 直觀上就是改變兩重載間的時脈周期數, 除了定性的隨機亂數打散突波干擾的周期性, 並其方式如圖3-2所示, 一組延遲線(delayline,  $DL_1$ ), 倍頻數為4, 則重載於延遲線(delayline,  $DL_2$ )的位置可以在(0), (1), (2), (3)中任選, 以亂數訊號(random number)安排重載的位置, 且每一個重載位置的機率接為相同的, 此法可強烈地保持整倍數延遲鎖相電路(MDLL)的清除擾動累積的優點。因為每一個參考周期都可決定一個位置。狀態是有限的(finite state)。故可定量以(有限)馬可夫鏈過程(Markov chain)來推算突波抑制程度。

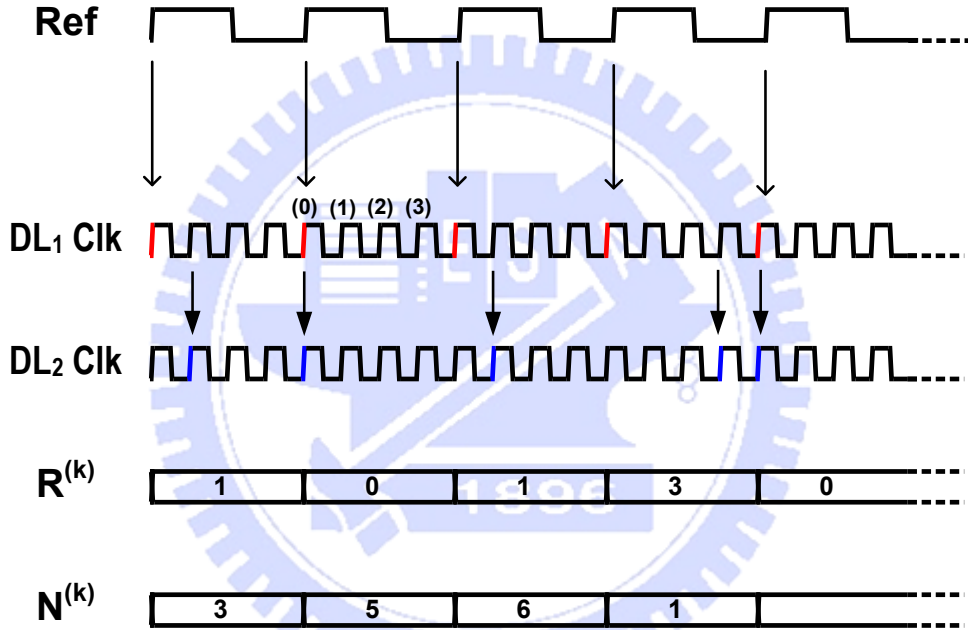


圖 3-2: 隨機亂數的方式安排訊號重載

首先, 以一般整倍數延遲鎖相電路(MDLL)來說, 是每隔倍頻數 $N$ 周期作重載, 參考訊號重載周期性是 $N$ , 發生機率於1, 若是廣義式訊號線重載架構實例, 亂數產生器輸出 $R^{(k)}$ ,  $k$ 為疊代數, 則延遲線(delayline,  $DL_2$ )周期為多少,  $N^{(k)}$ , 計算方法如式(2-28), 當下周期 $N^{(k)}$ 必和上一次 $R^{(k-1)}$ 與本次 $R^{(k)}$ 亂數有關,

$$N^{(k)} = N - R^{(k-1)} + R^{(k)} \quad (2-28)$$

例如 $Pr(N^{(k)} = 10)$ 為周期 $N^{(k)}$ 等於10的事件有多少機率會發生, 每一個參考周期都可由亂數 $R^{(k-1)}$ 與 $R^{(k)}$ 決定當周期長度 $N^{(k)}$ 。狀態是有限的(finite state)。故每個事件又是獨立表達兩狀態間的轉換 $p_{ij}^{(k)}$ , ( $p_{ij}^{(k)} = Pr(N^{(k)} = j | N^{(k-1)} = i)$ ), 可化成一其轉置矩陣(transition matrix), 如式(2-29),

$$\begin{bmatrix} Pr(N^{(k)} = 1) \\ Pr(N^{(k)} = 2) \\ \vdots \\ Pr(N^{(k)} = n) \end{bmatrix} = M \cdot \begin{bmatrix} Pr(N^{(k-1)} = 1) \\ Pr(N^{(k-1)} = 2) \\ \vdots \\ Pr(N^{(k-1)} = n) \end{bmatrix} = \begin{bmatrix} p^{(k)}_{11} & p^{(k)}_{21} & \cdots & p^{(k)}_{n1} \\ p^{(k)}_{12} & p^{(k)}_{22} & \cdots & p^{(k)}_{n2} \\ \vdots & \vdots & \ddots & \vdots \\ p^{(k)}_{1n} & p^{(k)}_{2n} & \cdots & p^{(k)}_{nn} \end{bmatrix} \cdot \begin{bmatrix} Pr(N^{(k-1)} = 1) \\ Pr(N^{(k-1)} = 2) \\ \vdots \\ Pr(N^{(k-1)} = n) \end{bmatrix} \quad (2-29)$$



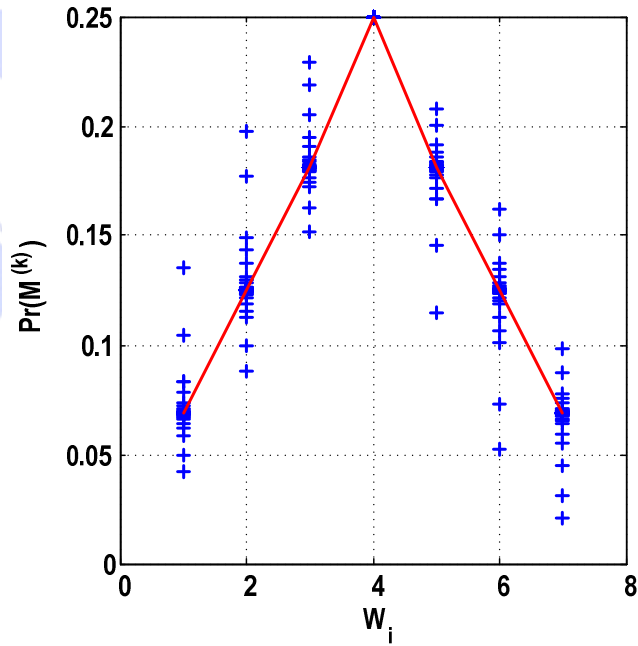
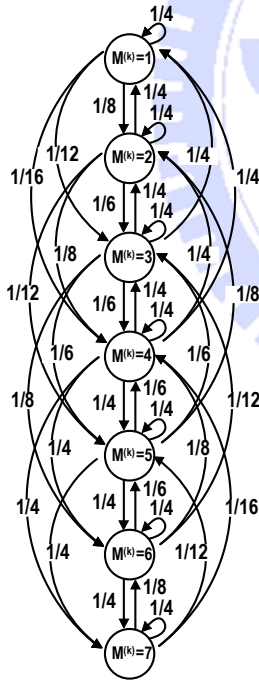
又由馬可夫鏈的基本性值可知，初始值並不會影響最終穩定態，如式(2-30)，所以其量值就可為抑制後的突波量值 $W$ 。

$$\lim_{n \rightarrow \infty} \begin{bmatrix} Pr(N^{(n)})_1 \\ Pr(N^{(n)})_2 \\ \vdots \\ Pr(N^{(n)})_n \end{bmatrix} = \lim_{n \rightarrow \infty} (M^n) \cdot \begin{bmatrix} Pr(N^{(0)})_1 \\ Pr(N^{(0)})_2 \\ \vdots \\ Pr(N^{(0)})_n \end{bmatrix} = W \quad (2-30)$$

欲求出轉置矩陣行列值得由條件機率著手，如圖3-2中以倍頻數 $N$ 為4為例，隨機亂數範圍4， $N^{(k)}$ 可為1, 2, ..., 與7, 可分析在前周期 $N^{(k-1)} = i$ 為2, 3, 4, 5情況下本周期 $N^{(k)}$ 為6機率( $Pr(N^{(k)} = 6 | N^{(k-1)} = i)$ )何。以( $p_{26}^{(k)} = Pr(N^{(k)} = 6 | N^{(k-1)} = 2)$ )來說，得把隨機變數由 $N^{(k)}$ 轉到 $R^{(k)}$ ，計算方式如以下，

$$\begin{aligned} & Pr(N^{(k)} = 6 | N^{(k-1)} = 2) \\ &= Pr((R^{(k)} = 2, R^{(k-1)} = 0) \cup (R^{(k)} = 3, R^{(k-1)} = 1) | N^{(k-1)} = 2) \\ &= Pr((R^{(k)} = 2, R^{(k-1)} = 0) | (R^{(k-1)} = 0, R^{(k-2)} = 2)) \cdot \frac{Pr(R^{(k-1)} = 0)}{Pr(R^{(k-1)} = 0 \cup R^{(k-1)} = 1)} \\ &+ Pr((R^{(k)} = 3, R^{(k-1)} = 1) | (R^{(k-1)} = 1, R^{(k-2)} = 3)) \cdot \frac{Pr(R^{(k-1)} = 1)}{Pr(R^{(k-1)} = 0 \cup R^{(k-1)} = 1)} \\ &= \frac{1}{2} \cdot \frac{1}{4} + \frac{1}{2} \cdot \frac{1}{4} = \frac{1}{4} \end{aligned}$$

下圖為其他( $p_{i6}^{(k)} = Pr(N^{(k)} = 6 | N^{(k-1)} = i)$ )計算方式，並寫出轉置矩陣(transition matrix)其中一列。



$$\begin{aligned} p_{16}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 1) = 1/2 \cdot 1/4 = 1/8 \\ p_{26}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 2) = 1/2 \cdot 1/4 + 1/2 \cdot 1/4 = 1/4 \\ p_{36}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 3) = 1/2 \cdot 1/4 + 1/2 \cdot 1/4 = 1/4 \\ p_{46}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 4) = 1/2 \cdot 1/4 + 1/2 \cdot 1/4 = 1/4 \\ p_{56}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 5) = 1/2 \cdot 1/4 = 1/8 \\ p_{66}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 6) = 0 \\ p_{76}^{(k)} &= Pr(N^{(k)} = 6 | N^{(k-1)} = 7) = 0 \end{aligned} \rightarrow \begin{bmatrix} 1/8 \\ 1/4 \\ 1/4 \\ 1/4 \\ 1/8 \\ 0 \\ 0 \end{bmatrix} \rightarrow \begin{bmatrix} 0 & 0 & 0 & 1/16 & 1/12 & 1/8 & 1/4 \\ 0 & 0 & 1/12 & 1/8 & 1/6 & 1/4 & 1/4 \\ 0 & 1/8 & 1/6 & 1/6 & 1/4 & 1/4 & 1/4 \\ 1/4 & 1/4 & 1/4 & 1/4 & 1/4 & 1/4 & 1/4 \\ 1/4 & 1/4 & 1/4 & 1/6 & 1/6 & 1/8 & 0 \\ 1/4 & 1/4 & 1/6 & 1/8 & 1/12 & 0 & 0 \\ 1/4 & 1/8 & 1/12 & 1/16 & 0 & 0 & 0 \end{bmatrix}$$

圖 3-3: 隨機亂數的行為的轉置矩陣(transition matrix)

其相位雜訊可由延遲鎖相電路系統函數導得，其因太繁瑣對於得到結果無益處，且隨鎖相電路的封閉回路函式( $G(f)$ , close loop transform function)有關，如果我們是以比較來作分析，相較直覺與簡單，所以相位雜訊絕對量值或是功率密度函數導並不是我們所著重的，而是比較於傳統整倍數延遲鎖相電路的差異性多大，如式(2-31)。

$$R_{XX}(\tau, \Delta) < \frac{\Delta}{N} R_{XX}(\tau) \quad (2-31)$$

回到相位雜訊分析的部分，由隨機亂數的模型來說，高斯常態分佈標準差相加累積量( $R_{XX}(\tau, \Delta)$ )，平均上比原來傳統整倍數延遲鎖相電路( $R_{XX}(\tau)$ )增加多少，此可用圖3-5來說明將會更簡易，以 $\Delta < 2 \cdot N$ 此例，相位雜訊在頻帶內上升不超過6dB，以 $\Delta < 3 \cdot N$ 此例，相位雜訊在頻帶內上升不超過12dB，以此類推，這付出代價是可接受的，並可抑制突波的發生，這對於頻率合成器在免除突波發生的情況是有改善的。

分別是相位雜訊的對照組與比較組，一為整倍數延遲鎖相電路(MDLL)的，另一為隨機亂數整倍數延遲鎖相電路(RMDLL)，就如理論一般，突波被打散其周期性，而被抑制，如下圖，當亂數範圍增加時，突波被抑制的程度隨之增加。

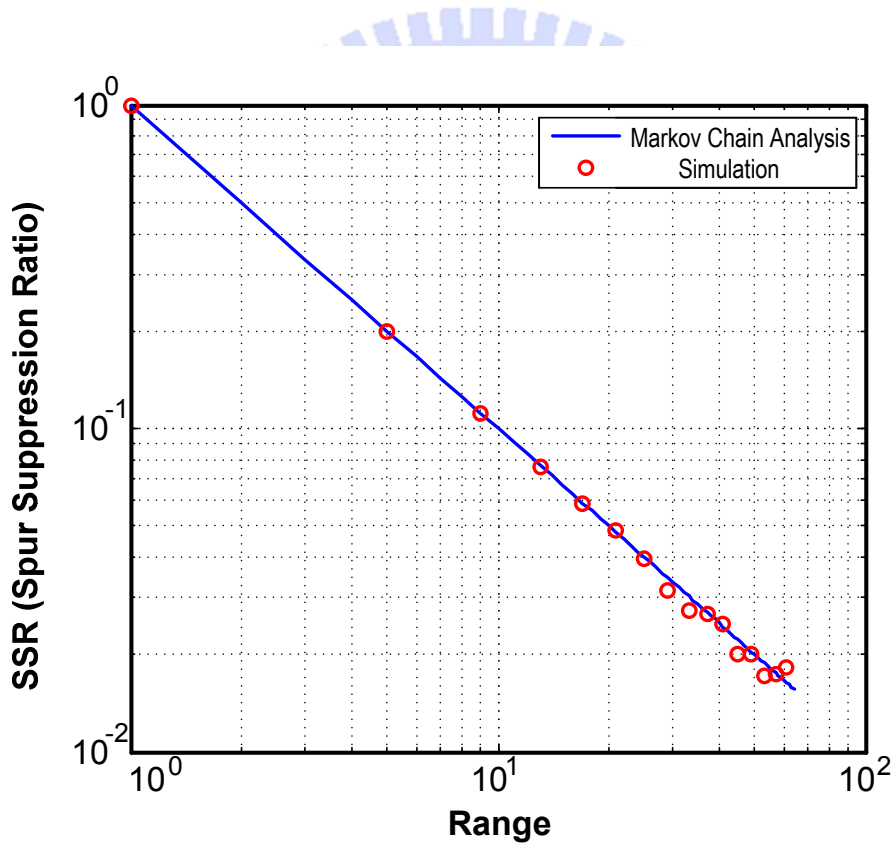
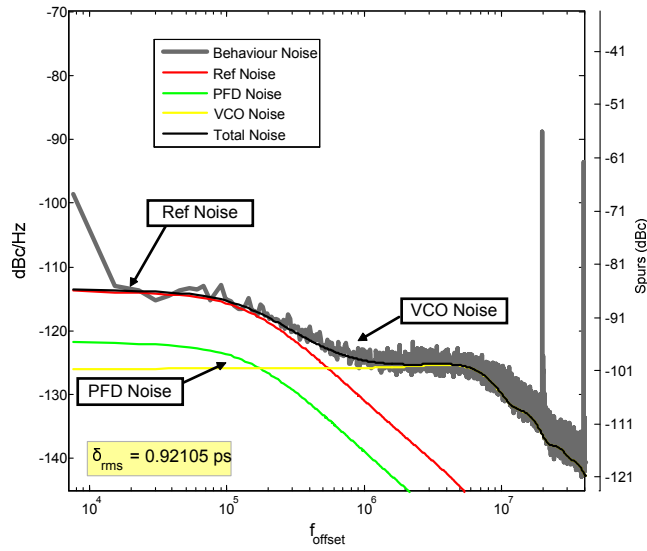


圖 3-4: 突波(spur)抑制情況，馬可夫(Markov)預估與行為模擬。

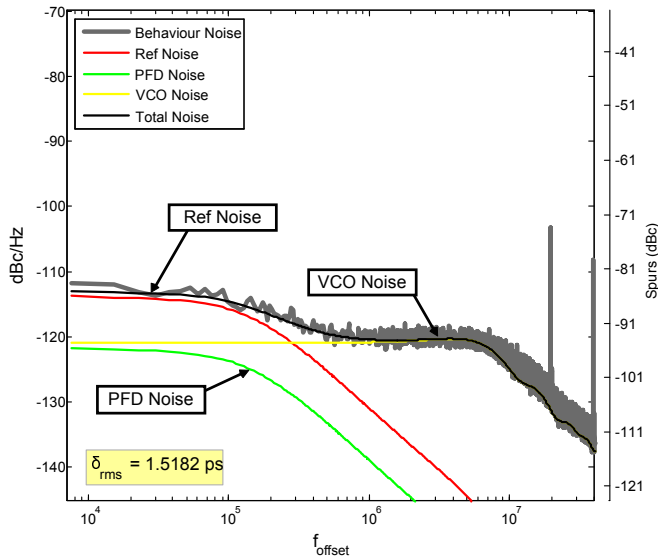
#### 雜訊模型(Noise Model)

為了分析串接兩種頻濾合成器的雜訊頻譜話，首先把不同的雜訊來源分開討論，然後就此特性導出頻譜功率(spectral noise density)，最後在頻譜上加總各別的相位雜訊頻譜功率，此般能討論那一個部份對於相位雜訊是主要的，其能有系統地分析相位雜訊(phase noise)，在此之前，我們先由重載的動作，延遲線(delay line)有無積分器 $1/s$ 特性，延遲鎖相電路(MDLL)之振盪器輸出時脈能被視為一個在參考週期下( $T_{REF}$ )的循環穩定隨機亂數過程(cyclostationary random process)，參考週期下( $T_{REF}$ )下參考時脈能進入延遲線作重載，此作法的循環穩定過程之能量功率譜密度(PSD of a cyclostationary)是在一個週期下以平均其能量功率譜密度得之。這樣算法對於沒有作參考時脈重載的情況是適當

的，可想之頻譜分析沒有必要對參考週期做同步或是周期一樣，所以我們得重新分析此情況，見附錄或於非整數延遲鎖相電路(FMDLL)中的敘述，但簡單地此可用圖3-5來說明，以 $\Delta < 2 \cdot N$ 此例，相位雜訊在頻帶內上升不超過6dB。



System Parameter	
Reference Frequency	20 MHz
Output Frequency	500 MHz
N	25
BW	~ 1 MHz
$f_p, f_z (f_p / f_z = 1/20)$	0.14 MHz 1 kHz
Noise Assumption	
VCO	-125 dBc/Hz @ 20 MHz
PFD/CP Noise	$\sigma=2.5e-13$
Ref	-110 dBc/Hz @ 1 MHz
Other Assumption	
Reload Mismatch ( $\Delta$ )	$\Delta/T_{DL} \approx 0.5\%$



System Parameter	
Reference Frequency	20 MHz
Output Frequency	500 MHz
N	25
BW	~ 1 MHz
$f_p, f_z (f_p / f_z = 1/20)$	0.14 MHz 1 kHz
Noise Assumption	
VCO	-125+6 dBc/Hz @ 20 MHz
PFD/CP Noise	$\sigma=2.5e-13$
Ref	-110 dBc/Hz @ 1 MHz

圖 3-5: 傳統整倍數延遲鎖相電路(Conventional MDLL) 之訊號頻譜與亂數式整倍數延遲鎖相電路(Randomly Reload MDLL) 之訊號頻譜的差異比較。

### 第三章， 電路(Circuits)

以上提出兩種鎖相電路新架構，欲測試有非整數延遲鎖相電路(FMDLL)，隨機亂數延遲鎖相電路(RMDLL)，如下圖4-1，用非整數延遲鎖相電路(FMDLL)比較參考訊號來倍頻後，輸入給隨機亂數延遲鎖相電路(RMDLL)，把突波壓抑。

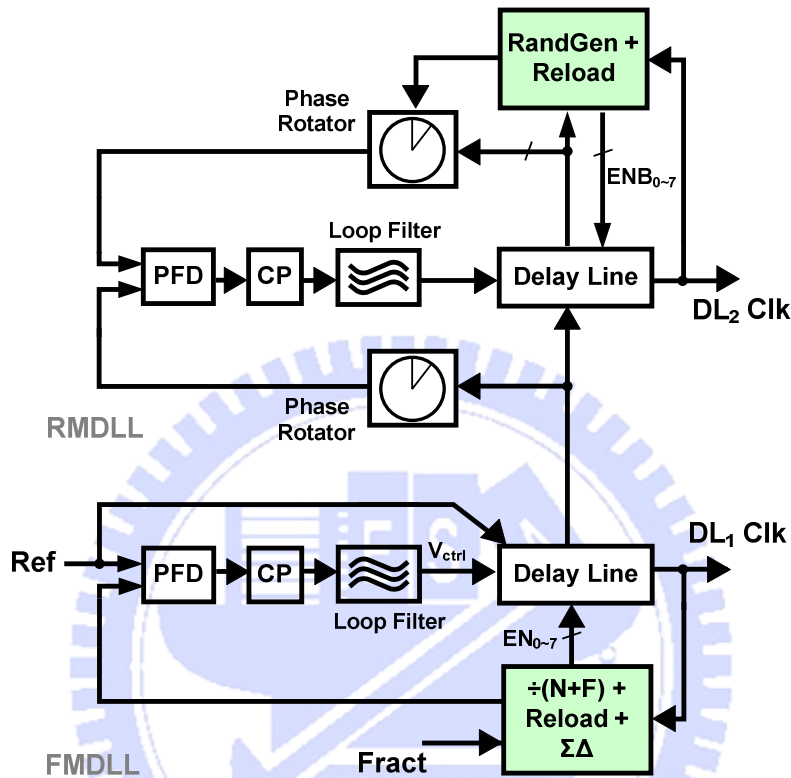


圖 4-1: 欲測試架構，包括非整數延遲鎖相電路(FMDLL)，隨機亂數延遲鎖相電路(RMDLL)。

可分成以下的子部份來說明，提供輸出時脈之用的延遲線(delayline)，除頻器(divider)，多相位旋轉器(multi-phase rotator)，相位比較器(PFD/charge pump)，與其它電路。

#### 3.1. 延遲線(delayline)

為了使延遲線有更好的對稱性，延遲單元以多工器是較好的，如只有其中一個為多工器，將造成延遲線輸出時脈相位的不對稱。

如圖4-2，延遲線中優四級以多工器(mux based)為功能的延遲單元，串接成環振盪器，產生8組時脈相位，分別為 $\phi_0 - \phi_7$ ，延遲單元是如多工器(multiplexer)般有兩組輸入，多工器為切換控制訊號( $Sel_0 - Sel_7$ )，由延遲單元下的選擇器( $Sel_{0,4} - Sel_{7,3}$ )產生，選擇器的輸入為 $EN_0 - EN_7$ ，係由一重載控制器(reload controller)產生，延遲線輸出8組時脈相位配合輸出緩衝級(buffer)，以接至延遲鎖相電路其它工作級。重載行為方式是以 $EN_i$ ，其代表那一個時脈相位( $\phi_i$ )是能作重載的，輸入給選擇器( $Sel_{ij}$ )，選擇器會依據時脈相位( $\phi_i$ )與參考訊號( $Ref$ )作出一個脈衝訊號(pulse)給延遲線中對應之多工器，使參考訊號( $Ref$ )進入延遲線，以作清除擾動累積(jitter accumulation)的功能，至於選擇器( $Sel_{0,4} - Sel_{7,3}$ )產生的選擇訊號( $Sel_0 - Sel_7$ )，其是用一些邏輯運算避免重載的突擾(glitch)。再者延遲線輸出時脈相位的負載對稱，與重載時負載對稱，我們得適當補仿造負載(dummy load)。

正常操作下，選擇器(selector)運作如以下描述：在多工器(mux)切換給參考( $Ref$ )前 $\phi_0$ 先送給除頻器(divider)產生Div，產生邏輯訊號( $EN_0 - EN_7$ )，允許選擇器( $Sel_{0,4} - Sel_{7,3}$ )產生選擇訊號

( $Sel_0 - Sel_7$ )開啟。 $\phi_0$ 訊號負緣(falling edge)是發生於參考訊號( $Ref$ )之後，將使選擇訊號( $Sel, \overline{Sel}$ )關上並使正反器 *reset* 好準備下一個週期的選擇訊號，對於多工器(mux)扮演負責觸發切換的訊號。並剛好在輸出 *Out* 訊號過渡中間是最好[3]，並能有夠的時間(time margin)讓選擇器運作更順暢。[7]中選擇器(selector)都是以簡單邏輯所構成。易移植化(portable)與操作速度快的優點。

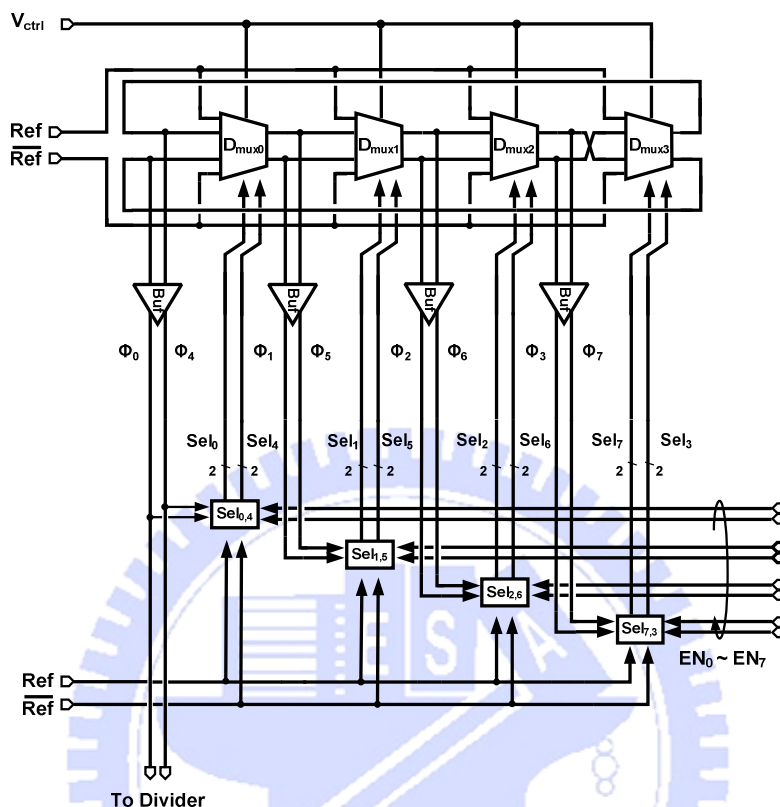


圖 4-2: 延遲線(delayline)架構。

在此， $\phi_0 - \phi_7$ 為時脈產生器 (delayline)輸出時脈訊號組。

$Ref, \overline{Ref}$ 為參考訊號雙端輸入。

$EN_0 - EN_7$ 為輸入給選擇器( $Sel_{ij}$ )，以時脈( $\phi_i$ )與參考訊號( $Ref$ )作出訊號做重載

$Sel_0 - Sel_7$ 為選擇器( $Sel_{0,4} - Sel_{3,7}$ )產生的選擇訊號。

$V_{ctrl}$ 為控制電壓以改變輸出時脈的周期或是頻率。

此多工器(multiplexer)架構可以用兩種方式實作，一是電流式，二是邏輯式，電流式的多工器(multiplexer)主要可以分成二個部份，第一個部份為4組差動對電晶體的 $M_7$ 到 $M_{14}$ ，做訊號放大並輸出，而4組差動對是作參考訊號重載，而分 $A$ 與 $\overline{A}$ ， $\overline{A}$ 與 $A$ 是為能作差180度的相位重載，並對於輸出的負載是平衡的，第二個部份為多工器的選擇4組中那一差動對做訊號傳遞，以電流鏡方式選擇偏壓於4組差動對之其一，其中加電阻( $R_1 \sim R_4$ )是為了使電流鏡切換更為快速。



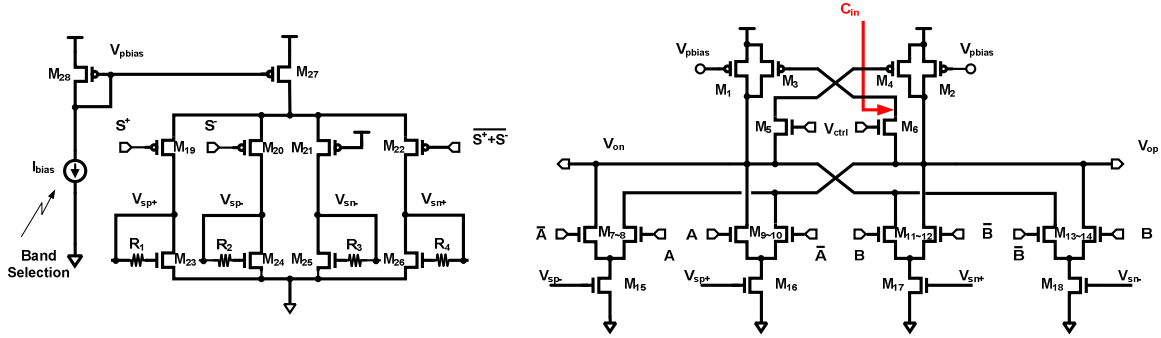
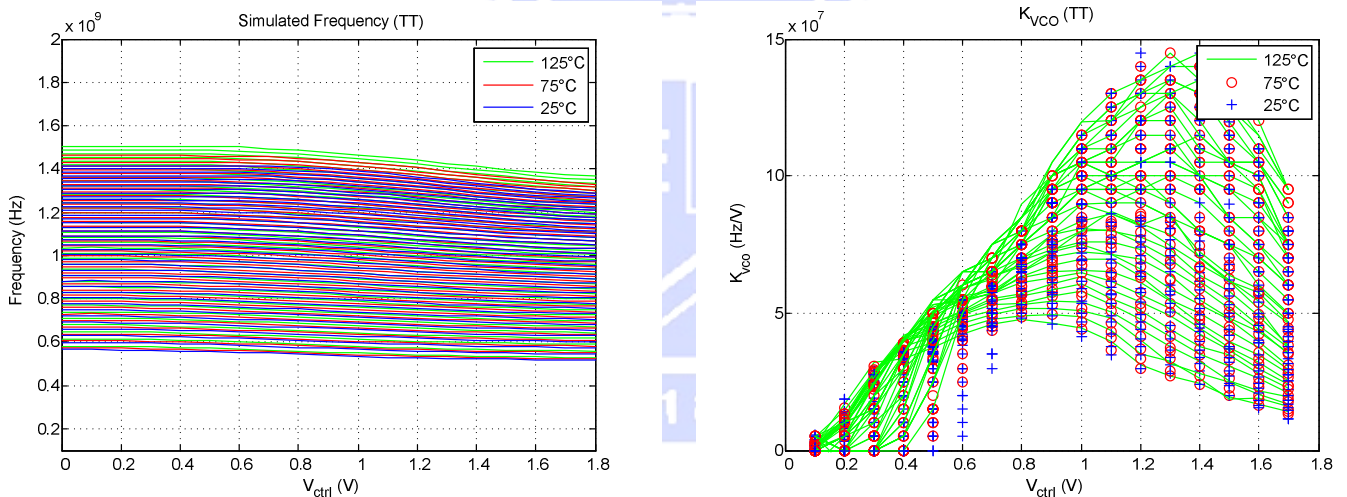


圖 4-3: 延遲線中四級以多工器(mux based)作延遲單元(delay cell)，其以電流邏輯形式操作。

多工器分分 $A$ 與 $\bar{A}$ ， $\bar{A}$ 與 $A$ 是為能作差180度的相位重載，除了以輸出來看是負載是平衡的，還有較好的電源紋波抑制比(PSRR)，和較低的閃爍雜訊(flicker noise,  $1/f$  noise)，電晶體 $M_5$ 和 $M_6$ 為零界限電壓(zero Vt)特性，以調整負電組對 $M_3$ 和 $M_4$ ，改變其電阻大小以調整多工器(mux based)型延遲單元(delay cell)的訊號傳遞延遲時間，等同於改變延遲線的操作頻率。



	Output Freq. (GHz)	Power Dissipation (mW)	Phase Noise (dBc/Hz @ 1MHz)
SS, 25 °C	0.516- 1.373	29.9 – 54	-117
SS, 75 °C	0.508-1.329	29.8 – 51.2	-116
SS, 125 °C	0.499-1.3	29.5 – 50.2	-115
TT, 25 °C	0.581- 1.5	30.1 – 54.2	-118
TT, 75 °C	0.573- 1.462	30.1 – 52.1	-117
TT, 125 °C	0.565- 1.414	29.5 – 50.2	-116
FF, 25 °C	0.7165-1.68	34.1 – 53	-119
FF, 75 °C	0.707- 1.64	33.2 – 52.1	-118
FF, 125 °C	0.698- 1.58	33.3 – 50.9	-117

圖 4-4: 延遲線中四級以電流邏輯形式多工器頻率範圍(frequency range)。與頻率與電壓增益( $K_{VCO}$ )

另外，此多工器(multiplexer)架構主要又可以數位邏輯形式操作，第一個部份為4對 $C^2$ 電晶體的 $M_7$ 到 $M_{14}$ ，做訊號傳遞，而4組 $C^2$ 作參考訊號重載，由電晶體開關直接實現，輸入選擇訊號為 $S+$ 與 $S-$ ，當 $S$ 為高電位時， $VOP$ 傳遞，此多工器(multiplexer)雖速度比電流式慢，但訊號波形上下對稱，波形

是比上敘電流式較好。

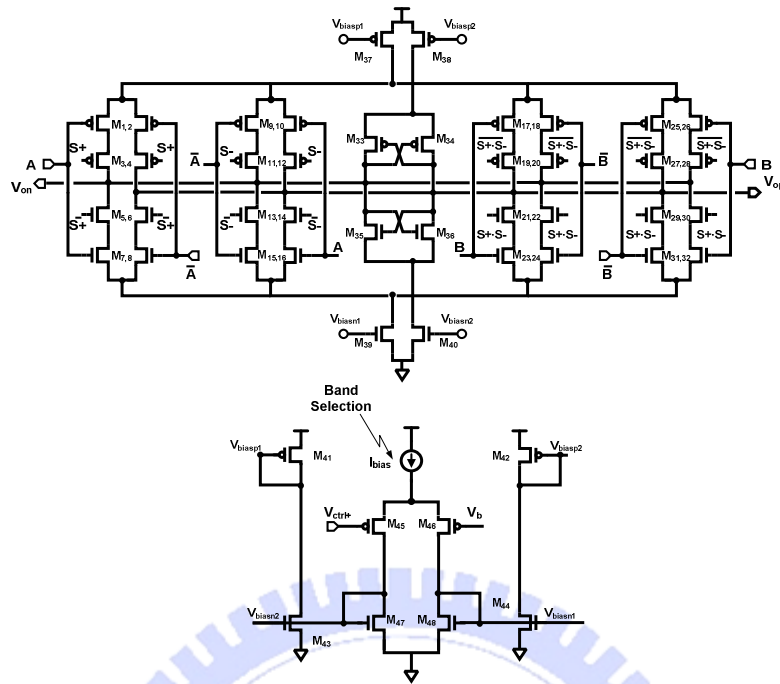
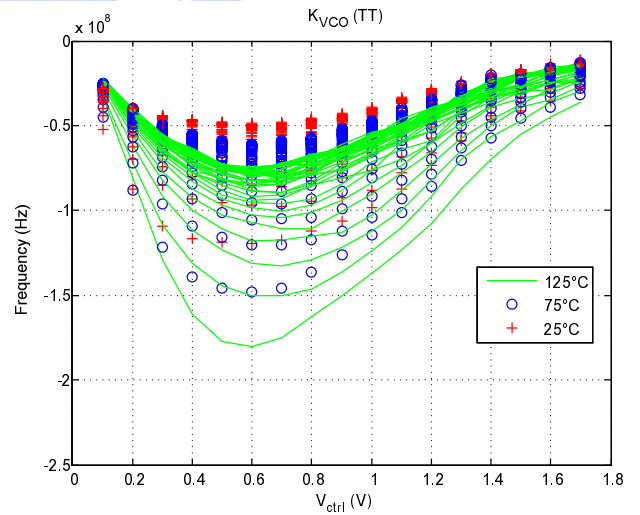
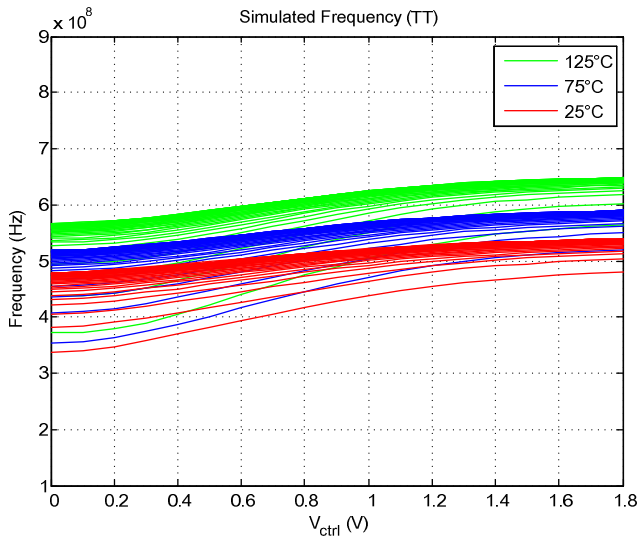


圖 4-5: 延遲線中四級以多工器(mux based)，以數位邏輯形式操作。

延遲線中以數位邏輯形式操作四級以多工器(mux based)，共用偏壓電晶體 $M_{37}$ ,  $M_{38}$ ,  $M_{39}$ ,  $M_{40}$ ，如圖所示其能使延遲線的時脈相位更平均分布於8個相位，控制延遲線輸出時脈頻率，是以差動對調整其偏壓電流大小，可為PMOS或NMOS型態的差動對。



	Output Freq. (GHz)	Power Dissipation (mW)	Phase Noise (dBc/Hz @ 1MHz)
SS, 25 °C	0.32- 0.51	3.0 – 5.1	-125
SS, 75 °C	0.32- 0.55	3.2 – 5.2	-122
SS, 125 °C	0.32- 0.61	3.2 – 5.3	-119
TT, 25 °C	0.35- 0.57	2.9 – 5	-125
TT, 75 °C	0.35- 0.61	2.9 – 5.1	-122
TT, 125 °C	0.34- 0.65	3.1 – 5.2	-119
FF, 25 °C	0.40- 0.63	2.8 – 4.8	-125
FF, 75 °C	0.40- 0.62	2.9 – 5	-122
FF, 125 °C	0.41- 0.69	3 – 5.1	-119

圖 4-6: 延遲線中四級以數位邏輯形式多工器頻率範圍與頻濾增益( $K_{dl}$ )。

再來是延遲線中控制多工器的選擇器(selector)的運作方式，選擇器(selector)[1]為單端輸出，在此案中改為雙端輸出，選擇器(selector)會依據時脈相位( $\phi_i$ )與參考訊號( $Ref$ )作出一個脈衝訊號(pulse)給延遲線中對應之多工器，使參考訊號( $Ref$ )進入延遲線，波形會如圖4-7，當 $EN_i$ 為高電位時，表示當下時脈( $\phi_i$ )運行週期為最後一個，以進行參考訊號( $Ref$ )進入延遲線取代運行時脈( $\phi_i$ )，延遲線輸出相位( $\phi_i$ )為低電位時，與 $EN_i$ 能同時使選擇訊號( $Sel_i, \overline{Sel}_i$ )開啟，而參考訊號( $Ref$ )取代運行時脈( $\phi_i$ )後，兩者將使選擇訊號( $Sel_i, \overline{Sel}_i$ )關閉。

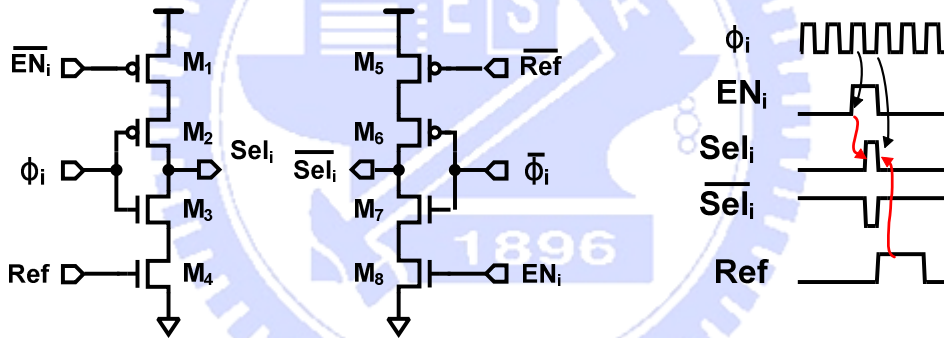
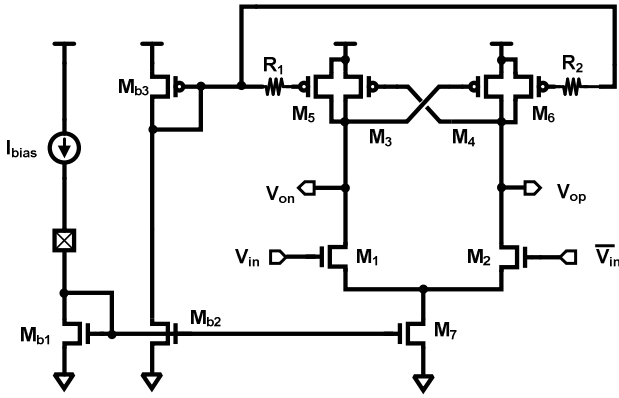


圖 4-7: 延遲線中以控制多工器的選擇器(selector)與波形。

邏輯上選擇器(selector)與多工器為一對一對應，如果參考訊號( $Ref$ )能取代延遲線運行相位( $\phi_i$ )，但選擇器(selector)中並不一定要以與其一對一對應的相位( $\phi_i$ )來啟動，能以後一個輸出相位( $\phi_{i+1}$ )來啟動，期有夠的時間(time margin)讓選擇器運作更順暢，或是選擇訊號( $Sel_i, \overline{Sel}_i$ )切換影響延遲線的運行。時脈訊號(DL Clk)給選擇器(selector)的與給除頻器(divider)是分開的，可分擔負載。非整倍數延遲鎖相電路(FMDLL)運作先由合差調變器給補數訊號於唯讀記憶體(ROM Table)產生  $RES_0 - RES_7$ ，其是反應相位比較器的輸出相位誤差，如推算是參考訊號可於

延遲線中緩衝級是以圖4-8實現，以負電組對 $M_3$ 與 $M_4$ ，和定轉導(gm) $M_5$ 與 $M_6$ 當負載，組成輸出阻抗(output impedance)，其效果是雙端(differential)下有高阻抗，共模(common mode)下有低阻抗，



Specification	Value
DC Gain	> 1
Unity Gain Bandwidth	1– 10 GHz
Phase Margin	> 120 degrees
AC Power	0.09mW (@1.8V)
Ouput Referred Noise	$1 \times 10^{-16} \text{ V}^2/\text{Hz} @ 20\text{MHz}$

圖 4- 8: 延遲線中緩衝級(buf)。

### 3.2. 除頻器(divider)

除頻器部份，為實現非同步電路(asynchronous)形態[34]，以多模組型態為最適當的選擇。

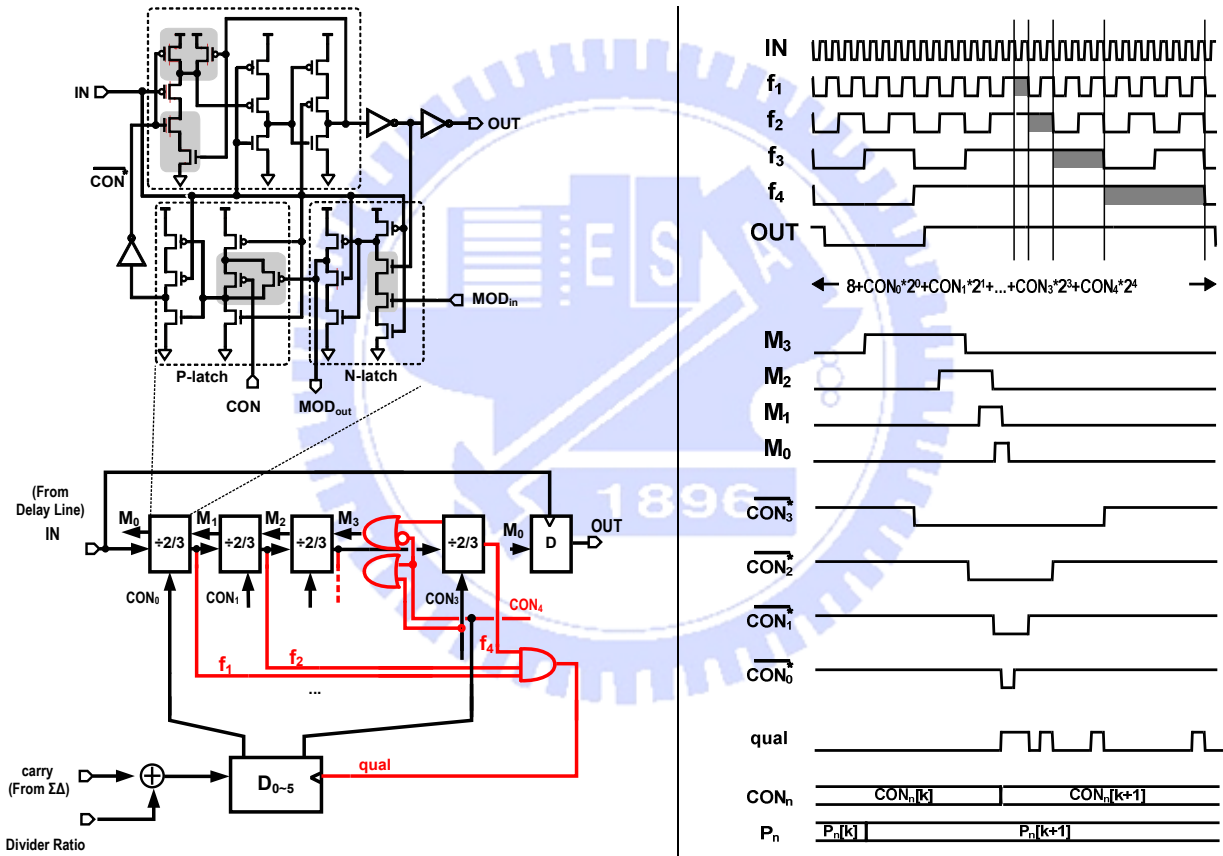


圖 4- 9: 多模組除頻器(multi modulus divider)之架構

在此，

$IN$ 為多模組除頻器輸入時脈訊號，從延遲線其中一級緩衝級來。

$OUT$ 為多模組除頻器輸出時脈訊號。

$CON_i$ 為定時後的訊號，其為和差調變器與除數輸入(Divider Ratio)的總合。

$carry$ 為和差調變器之進位數輸出( $carry[k]$ )。

Divider Ratio為預設之除數輸入。

$IN$ 為除頻器(Divider)輸入。 $OUT$ 為除頻器(Divider)輸出。

$f_i$ 為除頻器中第*i*組除頻器單元輸出訊號，在此舉4級串接為例。

$P_i$ 為 $\overline{CON_i^*}$ 未作定時的訊號，其為和差調變器與除數輸入(Divider Ratio)的總合。

$M_i$ 為除頻器中各除頻器單元模數訊號輸出( $Mod_{out}$ )與輸入( $Mod_{in}$ )。

我們選用TSPC(true single-phase clocking)，為正反器使用，不僅耗電量低面積小，全幅下操作(full swing)，也能夠合併於自動合成軟體下做電路布局。除頻器單元如圖，在除頻器單元( $\div 2/3$ )中，電路實現方式如圖，分別為一正反器，一正緣驅動門鎖(N-latch)與一負緣驅動門鎖(P-latch)，並把邏輯功能(AND)併入門鎖，使除頻器單元( $\div 2/3$ )在電路上較為簡單。下式為多模組除頻器之除頻數關係式。

$$N = 8 + CON_0 \cdot 2^0 + CON_1 \cdot 2^1 + \dots + CON_n \cdot 2^n \quad (4-1)$$

除頻器單元( $\div 2/3$ )在多模組除頻器(multi modulus divider)中能表現除以2或是除以3的功能，如串接3級下， $N = 16 + CON_0 \cdot 2^0 + CON_1 \cdot 2^1 + CON_2 \cdot 2^2$ ，以 $CON_0 - CON_2$ 都為0下，除頻數為16，把 $CON_0$ 由原本的0變成1，可把除頻數變為17，多出來的一個周期，就如上圖所示，多模組除頻器時脈操作圖所示。每一個除頻器單元( $\div 2/3$ )的輸出訊號 $Mod_{out}$ 將變成下一級的輸入訊號 $Mod_{in}$ ，為了解釋除頻器單元( $\div 2/3$ )的運作方式，在負緣驅動門鎖(P-latch)部份，如果 $Mod_{in}$ 為高電位時， $CON^*$ 將取樣變為 $\overline{CON^*}$ ，如此般， $Mod_i$ 將由後級傳遞至第一級，每一級除頻器單元只有一次能改變除數，如果其 $CON_i$ 為低電位時， $\overline{CON^*}$ 將保持於高電位，如當級不會有除數改變的行為。

在設計非整數的倍數式時脈產生器，以和差調變器( $\Delta\Sigma$ )輸出給多模組除頻器以改變除數用，其多模組除頻器，更改除數的時機是必須要注意的，如圖，能更新訊號 $CON^*$ ，必需是 $\overline{CON^*}$ 為低電壓時，在設計中，我們趨動 $P[k]$ 為負緣趨動，訊號 $qual$ 則不會變成高電位，直到所有的 $\overline{CON^*}$ 變為低電位，此機構將使除頻器操作不會有因 $P[k]$ 連續改變兩次，而造成 $CON^*$ 取樣出錯。

除頻器單元( $\div 2/3$ )的細部電路，TSPC可用前端門鎖(latch)來併所需的邏輯運算，如圖中灰色的部份，此般除頻器單元不僅只需32個電晶體，且操作速度快，且低耗電。

Power Consumption [mW]	@1.1 G Hz	@1.5 G Hz	@2.1 G Hz	@3 G Hz
SS, 75 °C	1.06	1.42	1.96	2.78
TT, 75 °C	1.11	1.51	2.10	2.91
FF, 75 °C	1.18	1.62	2.2	3.11

表 5: 除頻器的功率消耗(Power Consumption)。



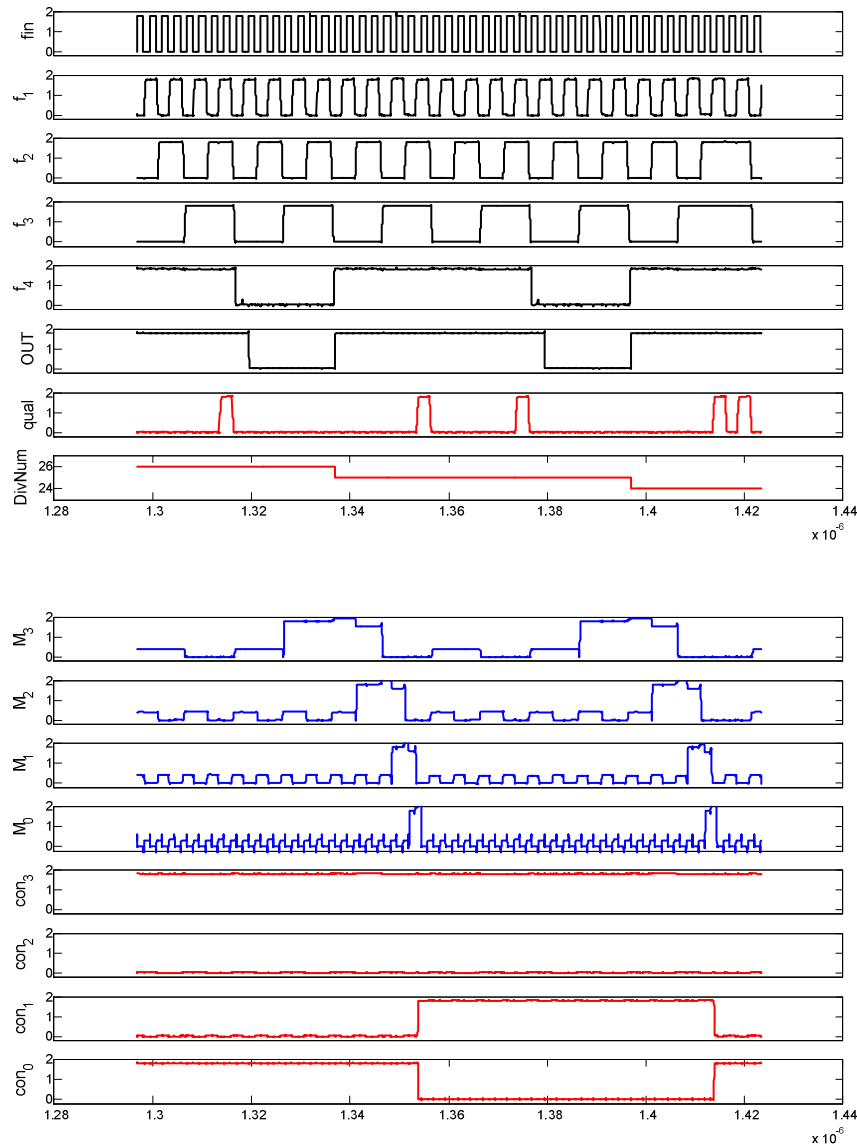


圖 4-10: 多模組除頻器(multi modulus divider)之電路模擬。

### 3.3. 多相位旋轉器(multi-phase rotator)及其相位控制器

使用多相位旋轉器應用於隨機重載型延遲鎖相電路(RMDLL)，避免延遲線(delayline)只單純固定同一相位比較，不斷地切換不同相位比較以消除固定相位的不對稱(mismatch)，其把此突波成因降至最低，其架構如圖4-11，主要由三個部份所構成，一累計器(ACC, accumulator)，一多相位選擇器(multi-phase selector)，和一多工器(MUX)，多工器輸出 $\phi_0 - \phi_7$ 其中一組，選擇那一個相位則由多相位選擇器(multi-phase selector)輸出選擇訊號( $Sel_{0:7}$ )決定，在轉動相位必需小心使兩方的電位在同電位下，如圖4-11(a)，多相位選擇器(multi-phase selector)輸出選擇訊號( $Sel_{0:7}$ )在不正確時機切換時，會對於多工器輸出會發生時脈突擾(glitch)，如圖4-11(a)舉例中，多工器輸出由原本相位1( $\phi_1$ )，換到相位3( $\phi_3$ )，多相位選擇器並未在等相位3( $\phi_3$ )在高電位時切換，造成多工器輸出提早切換到相位3( $\phi_3$ )的低電位，又隨相位3( $\phi_3$ )到高電位，發生時脈突擾(glitch)。

## Barrel Shifter ACC

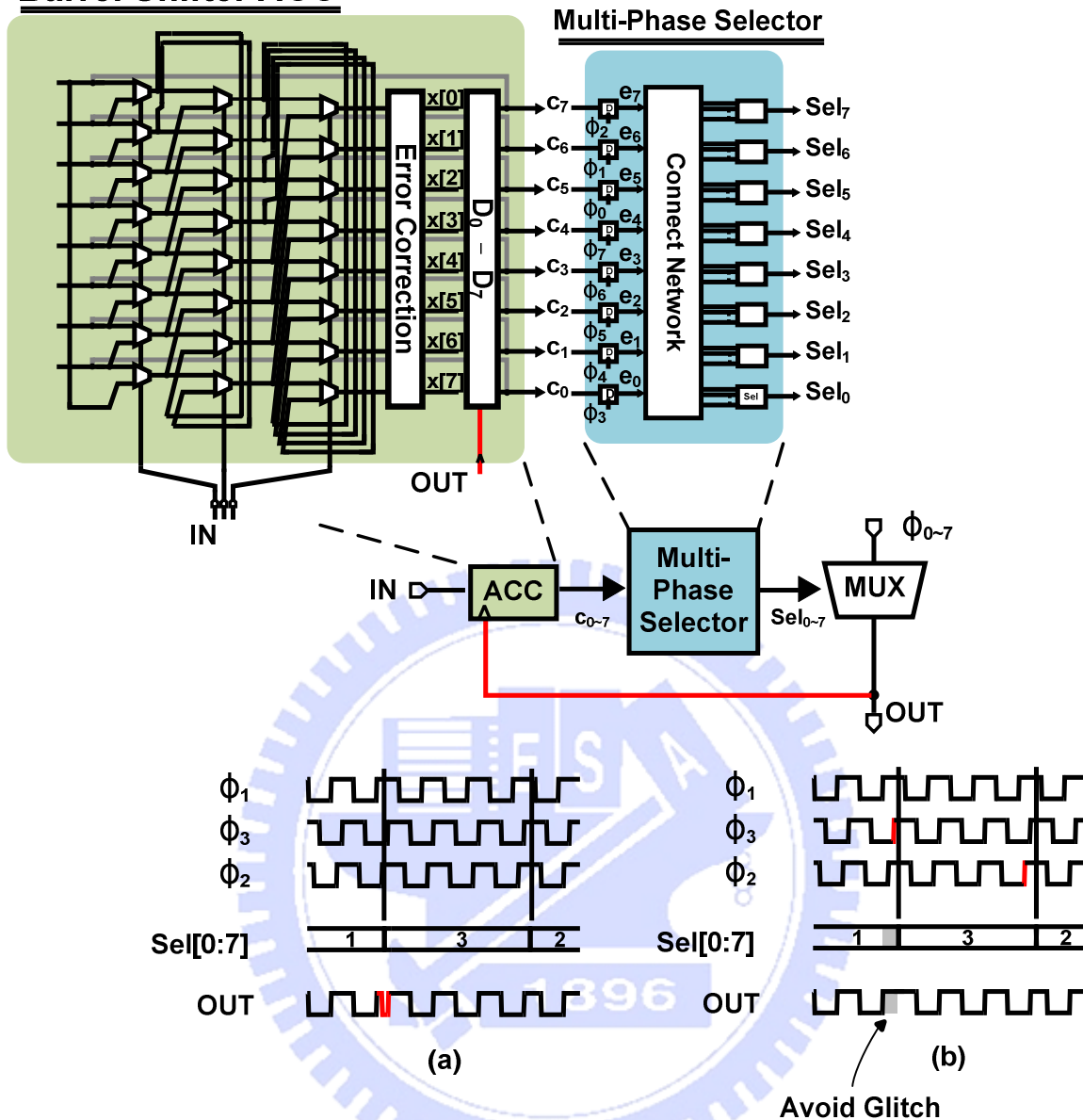


圖 4- 11: 相位旋轉器 (multi-phase rotator) 之電路架構與行為波形

- 在此，
- $\phi_0 - \phi_7$  為相位旋轉器輸入欲選擇的時脈相位。
  - $c_0 - c_7$  為累計器 (ACC) 輸出，指出欲轉向之相位。
  - $e_0 - e_7$  為重定時 (retime)  $c_0 - c_7$  的輸出。
  - $Sel[0:7]$  為控制多工器 (MUX)，使輸出  $OUT$  選擇  $\phi_0 - \phi_7$  之一。
  - $OUT$  為多工器輸出  $\phi_0 - \phi_7$  其中一組。

為了避免多工器輸出會發生時脈突擾 (glitch)，多相位選擇器，輸出選擇訊號必需等欲切換訊號為高電位時，如圖 4- 11(b) 舉例中，多工器輸出由原本相位 1 ( $\phi_1$ )，換到相位 3 ( $\phi_3$ )，多相位選擇器等相位 3 ( $\phi_3$ ) 在高電位時切換，所以未造成多工器輸出發生時脈突擾 (glitch)。在圖 4- 12 中，多相位選擇器 (multi-phase selector) 輸出  $Sel_1$  延長的灰色區段就是為了避免多工器輸出會發生時脈突擾。

該怎樣設計多相位選擇器 (multi-phase selector)，邏輯上必需簡易並快速，架構上累計器 (ACC，accumulator)。以筒型位移器 (barrel shifter) 方式實現。以隨機亂數碼 (PRBS) 輸入，使訊號  $y[0:7]$  能做移位運算，在每回疊代重新安排於  $x[0:7]$ ， $x[0:7]$  放入暫存器 ( $D_0 - D_7$ )，暫存器於下一疊代產生  $y[0:7]$ ，

輸出訊號 $y[0:7]$ 指出下一週期該跳往那目標相位，訊號組 $y[0:7]$ 只能有一個訊號為高電位，其它為低電位，故在 $x[0:7]$ 前作錯誤校正(error correction)的動作。

在相位旋轉器中多相位選擇器(multi-phase selector)，我們把輸入時脈各先經過一個正反器作時間重定時(retime)，重定時前的訊號( $c_0 - c_7$ ) 重定時後的訊號( $e_0 - e_7$ )，在統合各別的選擇器，輸出選擇訊號( $Sel_0 - Sel_7$ )，優點是用暫存器(filp flop)重定時(retime)能把。原理是，多工器跳往輸出之前的相位(如相位3( $\phi_3$ )到相位2( $\phi_2$ ))，重定時後的訊號( $e_i$ )會重疊，多工器跳往輸出之後的相位(如相位1( $\phi_1$ )到相位3( $\phi_3$ ))，重定時後的訊號( $e_i$ )會跳空，如圖4- 12訊號 $e_3$ 黃色區塊，或是相疊，如圖4- 12訊號 $e_2$ 黃色區塊，如果把重定時後的訊號( $e_i$ )當做多工器選擇訊號，就有可能造成相位會發生時脈突擾(glitch)或是負載不一，為了避免此狀況，多工器選擇訊號( $Sel_0 - Sel_7$ )一定得互斥，換言之選擇訊號( $Sel_0 - Sel_7$ )只能有一個為開啟，不能有兩個以上開啟，或是沒有選擇訊號開啟。

由圖4- 12可知，以重定時後的訊號( $e_i$ )會跳空或是相疊，不能直接給多工器(MUX)當選擇訊號作輸出切換的依據，所以加入 $e_i + (c_i \cdot \overline{e_{i-1}} \cdot \overline{e_{i-2}})$ 補前跳空空白時區，就圖4-14中，相位1( $\phi_1$ )到相位3( $\phi_3$ )，多工器跳往輸出之後的相位，訊號( $e_3$ )會跳空，以 $(c_3 \cdot \overline{e_1} \cdot \overline{e_2})$ 補足，相對的， $e_{i+1} \cdot e_{i+2}$ 使各選擇訊號互斥以消除負載不一的情況，如式(4- 2)。

$$Sel_i = e_{i+1} \cdot e_{i+2} \cdot \overline{e_i} \cdot (\overline{c_i} + e_{i-1} + e_{i-2}) \quad (4- 2)$$

考慮電路實現簡單化，和相位旋轉器中控制器( $Sel_0 - Sel_7$ )的操作速度，我們僅選取-1到+1相位的旋轉範圍。多相位選擇器(multi-phase selector)以邏輯閘實現，並能合併於自動合成軟體下做電路布局。

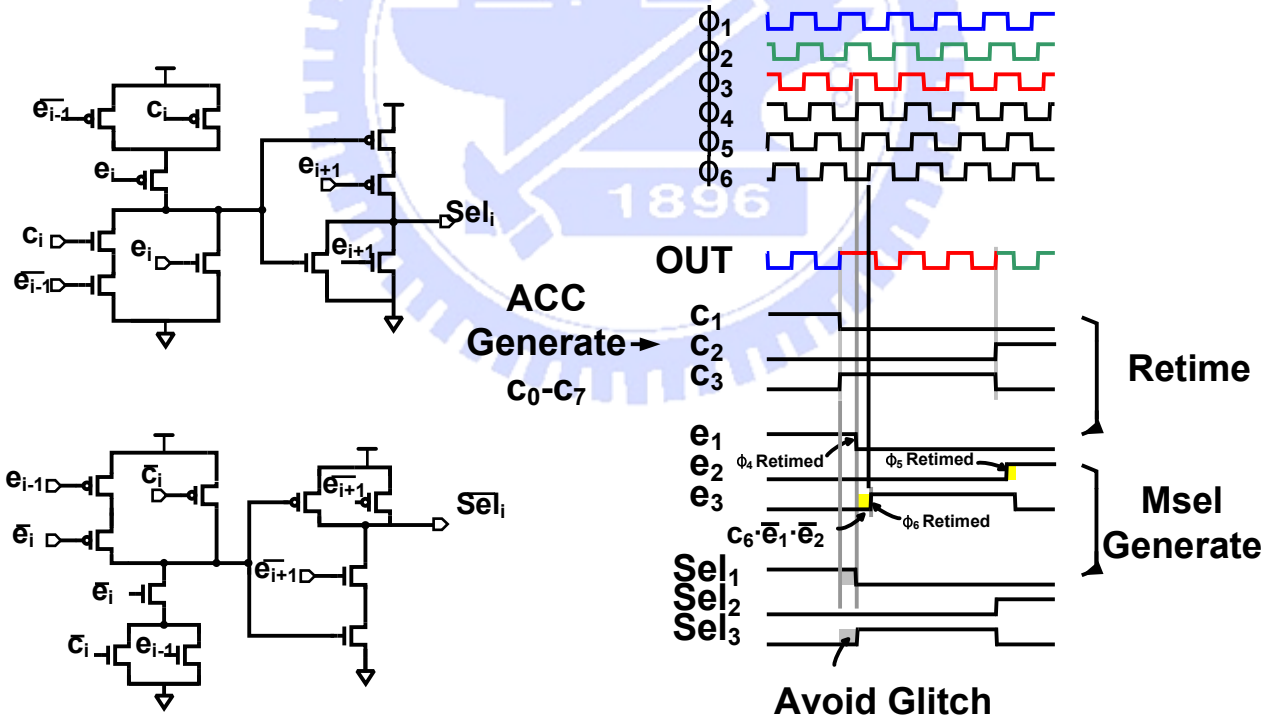


圖 4- 12: 相位旋轉器中多相位選擇器(multi-phase selector)之電路架構

在此， $\overline{Sel_i} = \overline{e_{i+1} \cdot e_{i+2} \cdot \overline{e_i} \cdot (\overline{c_i} + e_{i-1} + e_{i-2})}$ ，範圍-1 ~ +1  
 $Sel_i = e_{i+1} + e_i + (c_i \cdot \overline{e_{i-1}})$ ，範圍-1 ~ +1

下圖4- 13為verilog行為模擬，於圖4- 13 (a)中，多工器(MUX)的選擇訊號( $Sel_0 - Sel_7$ )，輸出訊號OUT為相位0( $\phi_0$ )到相位7( $\phi_7$ )中一個，於0.47 $\mu$ 秒前，多工器(MUX)輸出跳往輸出之前一個相位，例

如由相位2( $\phi_2$ )到相位1( $\phi_1$ )，多工器(MUX)的選擇訊號( $Sel_0 - Sel_7$ )如上敘運作般，發生時脈突擾，於圖4-12(b)中，多工器(MUX)輸出跳往輸出之後一個相位，故多工器(MUX)輸出的週期會比相位0( $\phi_0$ )長1/8倍

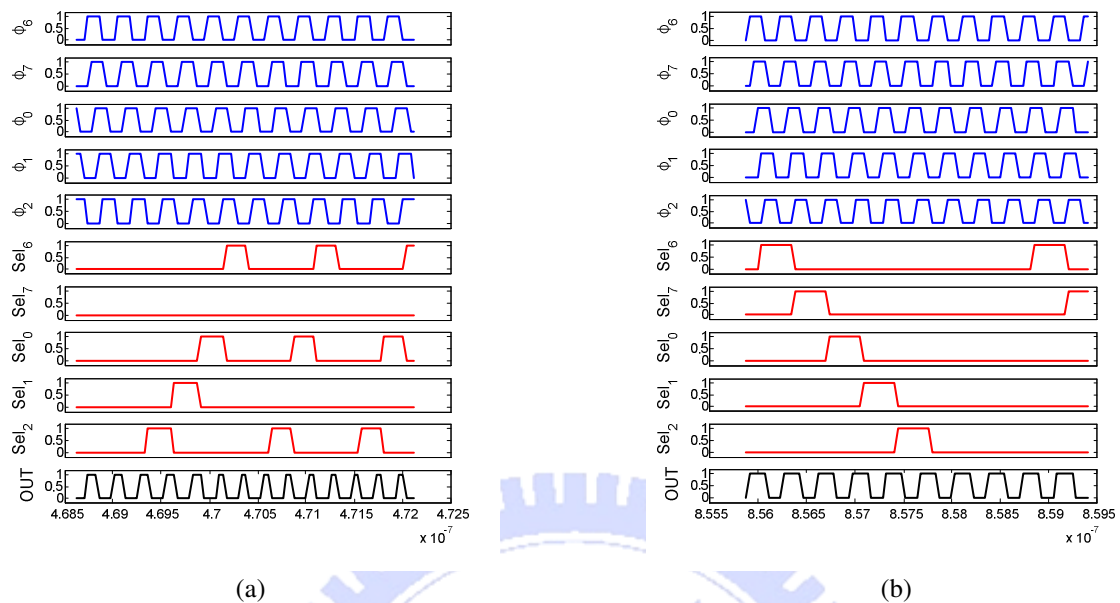


圖 4-13: 相位旋轉器 (multi-phase rotator) 之行為模擬

下圖為電路模擬，舉三個相位為例( $\phi_7$ ,  $\phi_0$ ,  $\phi_1$ )，於0.079 $\mu$ 秒前，多工器(MUX)輸出相位0( $\phi_0$ )，跳往相位1( $\phi_1$ )，再跳往相位0( $\phi_0$ )，後跳於前兩個相位7( $\phi_7$ )。

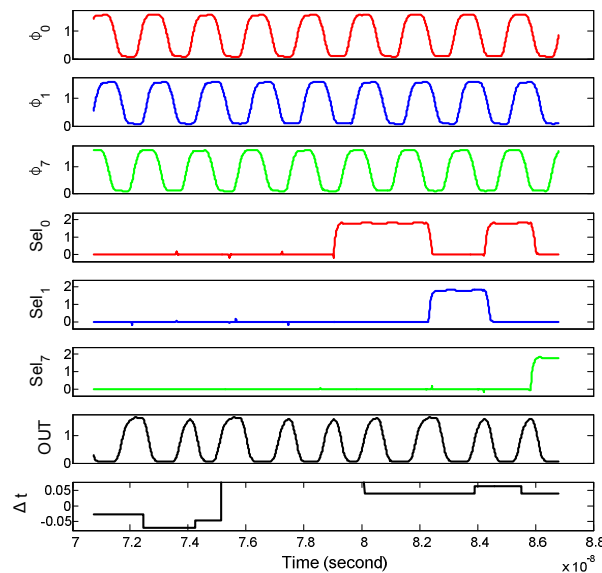


圖 4-14: 相位旋轉器 (multi-phase rotator) 之電路模擬

在此， $Sel_0 - Sel_7$ 為控制多工器(MUX)，使輸出OUT選擇 $\phi_0 - \phi_7$ 之一。  
 $\Delta t$ 多工器輸出OUT與 $\phi_0$ 的相位差。

### 3.4. 相位頻率比較器(PFD)與電流幫浦(Charge Pump)

我們採用相當一般電流幫浦(charge pump)與相位頻率偵測器，充電泵的功能是對迴路濾波器做充

電或放電的動作，當相位頻率偵測器傳來充電訊號時，充電汞就要對迴路濾波器充電以增加壓控振盪器的控制電壓，反之則是放電以減小控制電壓。充電汞的電路設計最主要的重點在於如何增加充電電流與放電電流的匹配度，原因是如果充電與放電電流不一致的話，在每個相位頻率偵測器比較的週期中，都會產生一些剩餘電流(residue current)，而這些剩餘電流會造成控制電壓的變化，這個變化是週期性的發生，因此會在頻率合成器的輸出端造成嚴重的參考突波(reference spur)。另外一個設計重點是確保充電與放電電流的穩定度，希望每次的充電或放電電流值都一致，如此才不會有充過頭或是放過頭的現象。

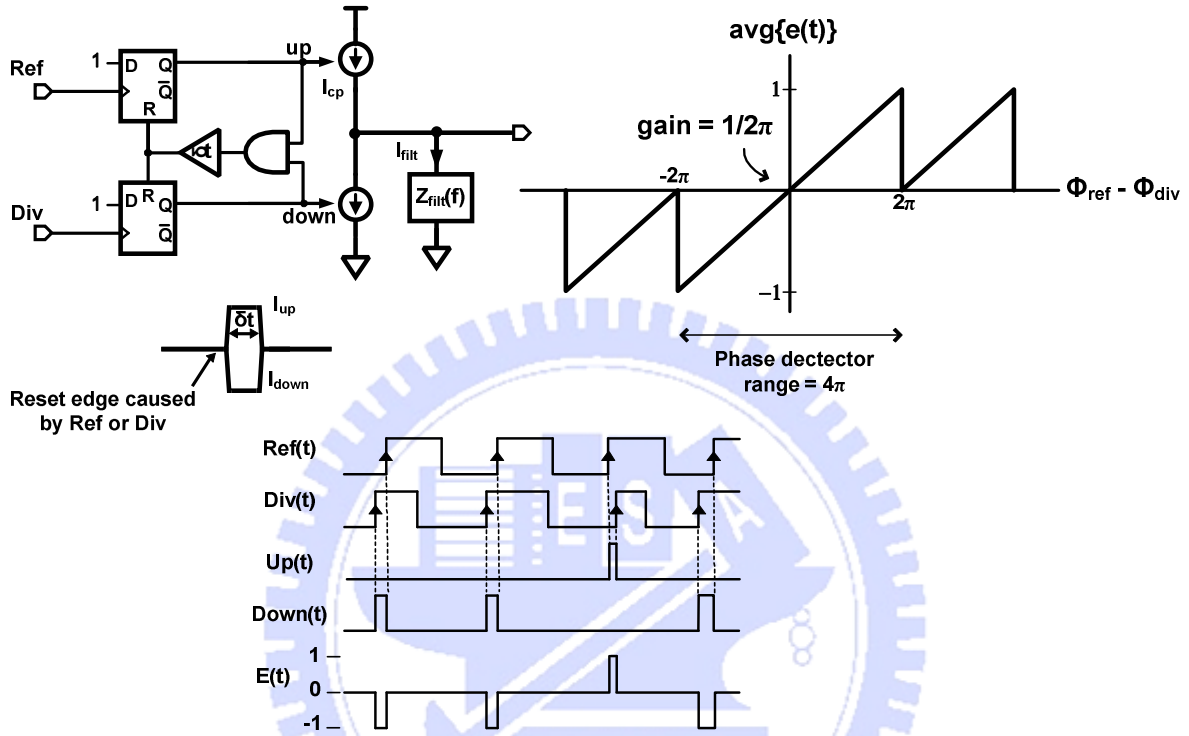


圖 4-15: 相位比較器 (PFD, tristate phase detector)

圖為充電汞的電路架構，此架構主要可以分成四個部份，第一個部份為充電汞的核心電路，由差動對電晶體的 $M_3$ 與 $M_4$ 提供充電電流；差動對電晶體的 $M_5$ 與 $M_6$ 提供放電電流。前面有提到充電電流與放電電流的匹配度為設計的重點，因此為了增加上下電流的匹配度，我們會在核心電路外再加入複製偏壓電路(replica bias)與回授電路(feedback network)，由於在複製偏壓電路的電流路徑上 $M_{b6}$ 的電流必定等於 $M_{b7}$ 的電流，因此再透過回授電路可以去微調充電汞核心電路的PMOS電流源 $M_1$ 的閘極電壓，讓上下電流源的電流一致。

相位頻率偵測器能夠偵測輸入端參考頻率和除頻頻率兩個訊號間的頻率和相位差，我所使用的相位頻率偵測器為傳統的三態相位頻率偵測器(tristate PFD)，其操作原理由圖4-15可知，當參考時脈(Ref)輸入端的頻率比除頻時脈(Div)端的頻率大的話，則UP端會拉起高電壓的訊號，但DOWN端則會保持在低電壓的位準，反之若Div輸入端的頻率若比A端的輸入頻率大的話，則DOWN端會拉起高電壓的訊號，但UP端則會保持在低電壓的位準，第三種情況是，當A端和B端兩邊的輸入頻率都一樣的話，此時會檢查Ref、Div兩端的相位差( $\varepsilon[k]$ )是多少，或是時間差( $\Delta t$ )，如果有相位差的話，則UP或DOWN端會送出一個和相位差同寬度的訊號。

為了能探討相位頻率偵測器與電流幫浦(charge pump)的非線性度[32]，首先得決定在相位頻率偵測器輸入端的相位差(instantaneous phase error)表達，

$$t_{div}[k] = t_{div}[k-1] + N[k] \cdot T_{vco} \quad (4-3)$$



合差調變器輸出進位訊號( $carry[k]$ )改變除數( $N[k]$ )，與鎖相電路鎖定时，參考訊號的時間周期( $T_{ref}$ )與輸出時脈的周期( $T_{vco}$ )關係，

$$N[k] = N + carry[k] \quad (4-4)$$

$$T_{ref} = (N + F) \cdot T_{vco} \quad (4-5)$$

時間周期有以下關係，如式(4-6)，此式則與回授的除頻時脈有關，

$$t_{div}[k] - t_{ref}[k] = t_{div}[k-1] - t_{ref}[k-1] + (N[k] - N - F) \cdot T_{vco} \quad (4-6)$$

時間差( $\Delta t[k]$ )為參考訊號絕對時刻( $t_{ref}[k]$ )與除頻訊號( $t_{div}[k]$ )絕對時刻的相減，

$$\Delta t[k] = t_{div}[k] - t_{ref}[k] \quad (4-7)$$

結合式(4-3)，到式(4-7)，可得以下關係，

$$\Delta t[k] = \Delta t[k-1] + (carry[k] - F) \cdot T_{vco} \quad (4-8)$$

在z-domain下作轉換，藉由合差調變器輸出進位訊號( $carry$ )，與雜訊轉移函數(Noise Transfer Function, NTF)，量化誤差( $E(z)$ )

$$carry(z) = F + E(z) \cdot NTF(z) \quad (4-9)$$

在此合差調變器的雜訊轉移函數能推出時間差( $\Delta t[k]$ )的z-domain轉移函數，

$$\Delta t(z) = E(z) \cdot \frac{NTF(z)}{1 - z^{-1}} \quad (4-10)$$

能量頻譜密度(PSD of the instantaneous phase error)是比合差調變器的雜訊轉移函數(NTF)還要低一個級數，可知電流幫浦(charge pump)的不匹配隨合差調變器的皆數增加而增加，電流幫浦(charge pump)能把時間差或是相位差轉成UP或DOWN的電流脈衝(current pulses)，理想的電流幫浦為式(4-11)，

$$\varepsilon[k] = I_{cp} \cdot \int \Delta t(t) \cdot dt = I_{cp} \cdot \Delta t[k] \quad (4-11)$$

無論如何，由於相位頻率偵測器與電流幫浦(charge pump)的非線性度，充放電流不正確將傳達到迴路濾波器(loop filter)，將造成非整數雜訊(Frac-N in band noise floor)，並由此定義出靜態的電流幫浦的充放電不匹配( $\gamma$ )，如以下式(4-12)，

$$\varepsilon_{up}[k] = I_{cp} \cdot \Delta t[k] + \frac{\gamma}{2} \cdot I_{cp} \cdot \Delta t[k] \quad \text{和} \quad \varepsilon_{down}[k] = I_{cp} \cdot \Delta t[k] - \frac{\gamma}{2} \cdot I_{cp} \cdot \Delta t[k] \quad (4-12)$$

另外介紹一偏移量( $\varepsilon_{offset}$ )，時間偏差(timing offset)於相位頻率偵測器輸入前端，如果量值是由合差調變器造成的時間差，使電流幫浦充放電不同，由於電流幫浦的架構，充放電開關一定有一個最小時間寬度(minimum pulse with,  $\tau_d + \tau_p$ )，而有移量電流( $I_{offset}$ )，

$$\varepsilon[k] = I_{cp} \cdot \Delta t[k] + \frac{\gamma}{2} \cdot I_{cp} \cdot |\Delta t[k]| + \gamma \cdot I_{cp} \cdot (\tau_d + \tau_p) \quad (4-13)$$

總結以上，得以下圖4-16，

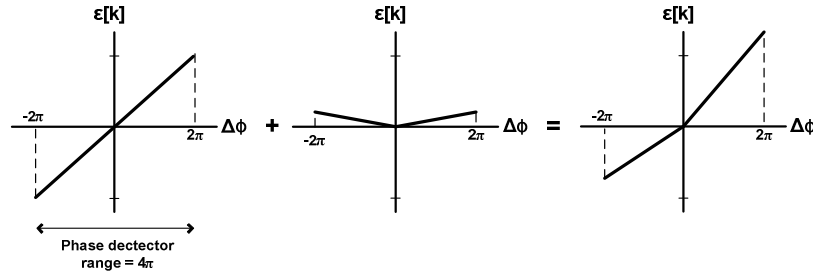


圖 4-16: 電流幫浦(charge pump)的非線性度分析

在給定設計的電流幫浦(charge pump)充放電流( $I_{cp}$ )，可寫成式(4-14)，

$$\varepsilon[k]_{ideal} = I_{cp} \cdot \Delta t[k] \quad (4-14)$$

式(4-21)可為電流幫浦(charge pump)的不匹配的分析式，

$$\varepsilon[k]_{error} = \frac{\gamma}{2} \cdot I_{cp} \cdot |\Delta t[k]| \quad (4-15)$$

下圖為相位頻率偵測器與電流幫浦操作下的分析資料，

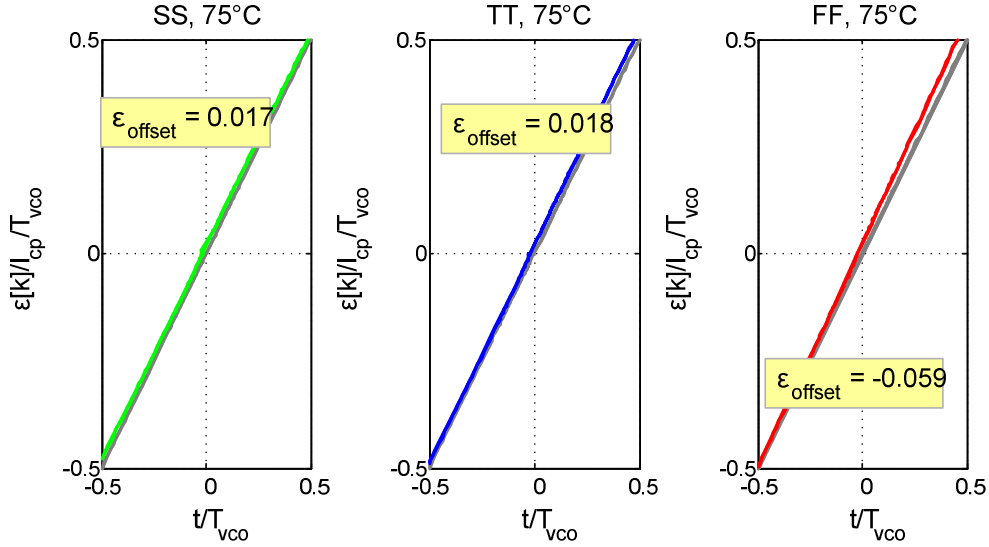


圖 4-17: 相位比較器(PFD, tristate phase detector)相為差與充放電流關係圖

	SS, 75 °C	TT, 75 °C	FF, 75 °C
Nonlinearity, $\gamma$ [%]	-0.01	0.02	0.06
Offset, $\gamma \cdot (\tau_d + \tau_p)$ [ps]	17	18	-59

在此， $I_{cp}$ 為充放電流，約可為40-60 $\mu$ A， $\varepsilon[k]$ 充放電流的取樣值， $\Delta t$ 為參考頻率和除頻頻率兩個訊號間的頻率和時間差。

電流幫浦能反應相位比較器的相為差，非線性度(nonlinearity,  $\gamma$ )與時間偏差(timing offset)模擬圖如上，不同電流幫浦的輸出電壓會影響整體之線性度表現，約0.4 V – 1.4 V，非線性度(nonlinearity,  $\gamma$ )能在5%以內，

我們相位頻率偵測器的電路架構，其中包含了兩個具有可重置功能的D型正反器，還有一個NAND閘以及延遲串(delay chain)， $Ref$ 和 $Div$ 兩輸入端各分別當作此兩個正反器的時脈，而此兩個正反器的輸入接至高電位，接下來分析相位頻率偵測器的運作過程，首先假設 $UP$ 和 $DOWN$ 一開始皆為零，若輸入端A變為1，則 $UP$ 會被設定為1而 $DOWN$ 則維持0，在回授路徑上經過一個NAND閘與奇數個反向器後，送0進入重設端，所以不會重設D形正反器。直到輸入端 $Div$ 也變為1，此時 $DOWN$ 變為1，由於 $UP$ 和 $DOWN$ 都為1，所以重設D形正反器，在經過延遲串的時間延遲後， $UP$ 和 $DOWN$ 會一起被重設為0，回到初始的狀態。反之若輸入 $Div$ 先變為1，則輸出 $DOWN$ 會先變為1直到輸入端 $Ref$ 也變為1， $UP$ 和 $DOWN$ 才會一起被重設為0。

我們相位頻率偵測器中的D形正反器電路架構為單一相位(TSPC, true single phase circuit)的架構，此種架構的優點是電路簡單，且切換速度快，因此能夠增加線性度。

在相位頻率偵測器的設計中，死區(dead zone)是一個重要的非理想效應，所謂死區就是當輸入端A和輸入端B的相位差距小到一定的程度時，相位頻率偵測器的輸出無法具有足夠的時間來開啟充電泵，因此輸出的電流就無法與相位差有線性對映，如此會造成嚴重的參考突波(reference spur)。解決的方式就是在重設的回授路徑上加入延遲串，如此可以增加相位比較的結果顯現在輸出端的時間，而能讓充電泵有時間對此輸出結果做出反應，因此可以減少死區的效應。在設計當中，延遲串可以加入短暫的時間延遲，如此可以將死區壓抑在所需求的規格。下圖4-18為非整數下與和差調變器一

起作用下， $residue[k]$ 為補數訊號將反應出相位比較器輸出之相位誤差( $e(t)$ )的大小，在非整數

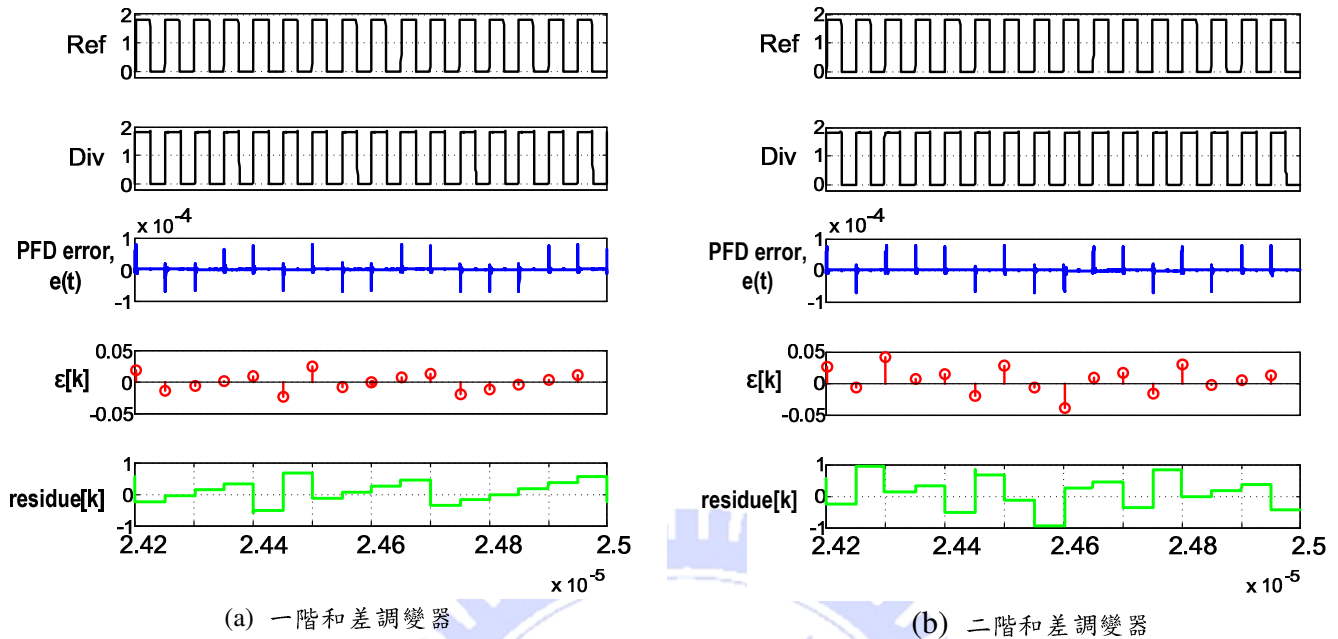


圖 4-18: 相位比較器與電流幫浦在鎖定下的電路模擬圖

在此，

PFD error,  $e(t)$ 為相位比較器輸出之相位誤差，由充電汞充放電表現於電路上。

$\varepsilon[k]$ 為相位誤差的取樣，為 $e(t)$ 的積分值。

$residue[k]$ 為補數訊號，與 $\varepsilon[k]$ 成正比。

### 3.5. 迴路濾波器(Loop Filter)

迴路濾波器以 $R_1 + C_2 \parallel C_1$ 組成，在已知電阻 $R_1$ 情況下，與給定 $A(f)|_{f=0}$ 整體開回路直流增益(open loop DC gain)，能由式(4-16)決定電容 $C_1$ 與 $C_2$ 的大小，通常迴路濾波器的作用是使系統本身達到穩定的功能，甚至使效能表現達最佳，分析方試以觀察波德圖(Bode plot)或是軌跡圖(root locus)。

$$R_1 = \frac{A(f)|_{f=0}}{(1 - f_z/f_p) \cdot 2\pi f_z} \quad (4-16)$$

$$C_2 = \frac{1}{2\pi \cdot f_z \cdot R_1}, C_1 = \frac{1}{A(f)|_{f=0} \cdot 2\pi \cdot f_p \cdot C_2 \cdot R_1}$$

在此， $A(f)$ 整體開回路轉移函數

以電晶體當開關是為了控制 $C_2$ 的大小，達到極點程式化的目的地，由於採用可調整的迴路濾波器，鎖相電路(PLL)與延遲鎖相電路(MDLL)在相位雜訊上會表現不同，至於相位雜訊的分析在之前敘述，在此就不贅言。

線性系統之閉迴路轉移函數之極點，亦即為系統特性方程式之根，用以決定系統穩定性之重要依據，並與暫態響應之基本特性有關，鎖相電路本身也可當成一線性系統，可由開回路 $G(f)$ 來決定系統穩定性，系統方程式 $\Delta(s) = 1 + K_p \cdot G(f) = 0$ ，當 $K_p$ 值變動時，其特性根亦隨之變動，因此可藉由 $K_p$ 值大小來改變系統極點的位置，以符合系統穩定的要求。將不同之 $K_p$ 值所對應之特性根繪於s-domain上，則 $K_p$ 值發生連續變化，其所對應的特性根(root)位置也會產生連續變化，而所形成的移動軌跡，此軌跡就是根軌跡圖(root locus)。

- ◇ 當 $K_p : 0 \rightarrow \infty$ 時，稱為根軌跡(root locus)
- ◇ 當 $K_p - \infty \rightarrow 0$ 時，稱為互補根軌跡(complementary root locus)

下圖分別為鎖相電路(PLL)與延遲鎖相電路(MDLL)的相位邊界(phase margin)與根軌跡圖，延遲鎖相電路(MDLL)由於迴路濾波器中 $R_1$ 的必要可以不需要，原因在於 $A(f)$ 的增益邊界(gain margin)大於1條件下，即使相位邊界(phase margin)為接近0度，也不會造成整體不穩定的現象，換言之，參考時脈的重載完全打斷擾動雜訊，與一般鎖相電路(PLL)中相位邊界必需不可大於0度，原因在雜訊經過整個回路系統無法與前相消，反增增加雜訊強度，使鎖相電路變為不穩定，通常以鎖相電路(PLL)來說，相位邊界為45度到60度是最適當的。

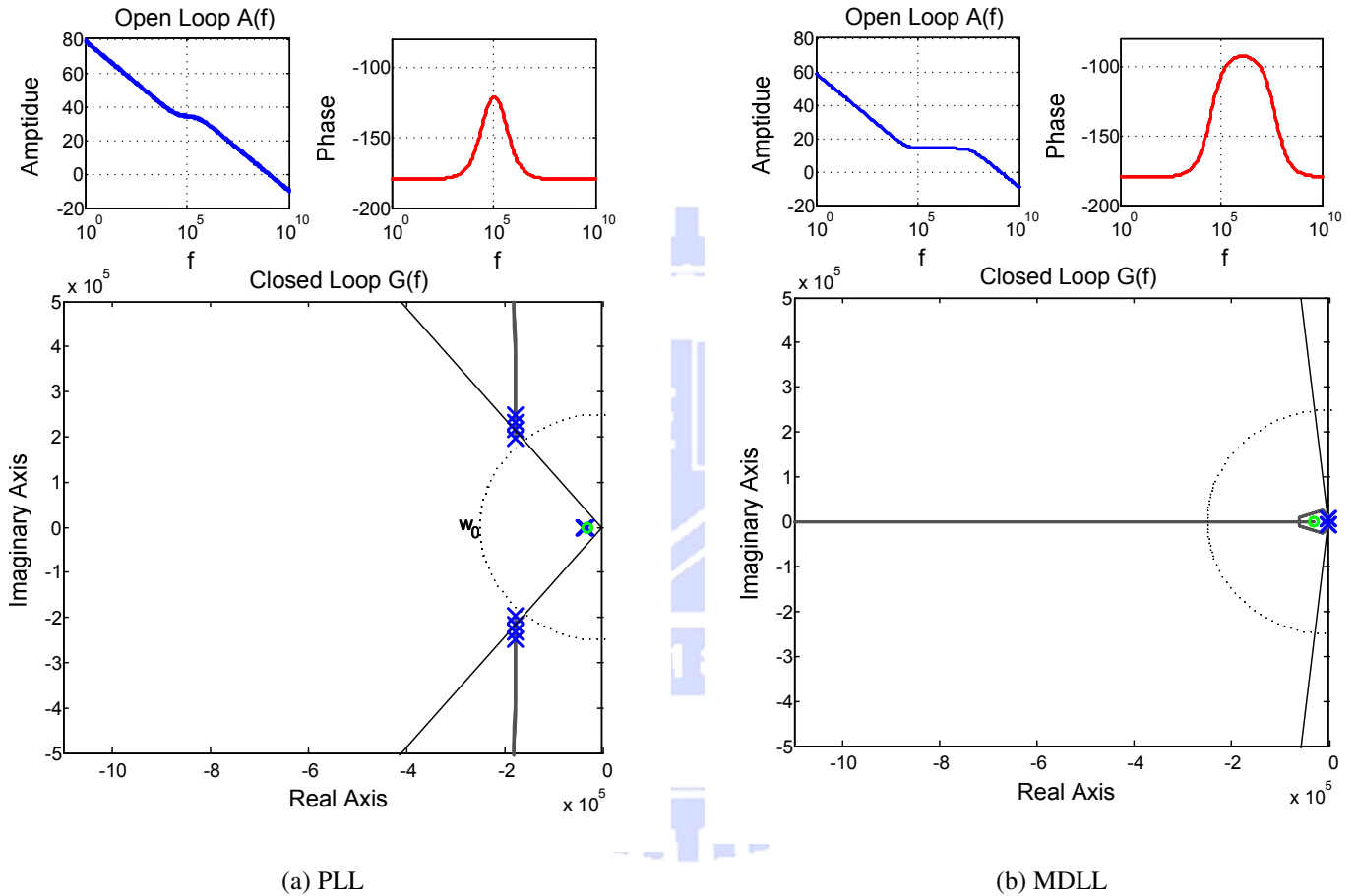


圖4-19: 可調整的迴路濾波器之根軌跡圖(root locus graph)

## 第四章，驗證(Verification)

### 4.1. 電路佈局(Layout)

我們下線晶片內有包括兩組頻率合成器，由於腳位數目有限，而我們所需的測試的樣本多，故內部晶片有包括單一轉平行電路(serial to parrallel)，輸出有平行轉單一電路(parrallel to serial)，以減少腳位的數目。平行轉單一電路如下圖所示， $LOAD$ 訊號為高電位時，把平行訊號 $P[0:N]$ 依序送到暫存器以輸出 $S[N]$ ，等 $N$ 的時脈後，輸出為0，換言之， $N$ 位元的平行訊號 $P[0:N]$ 需要 $N$ 個周期才能把資料轉到單一訊號。

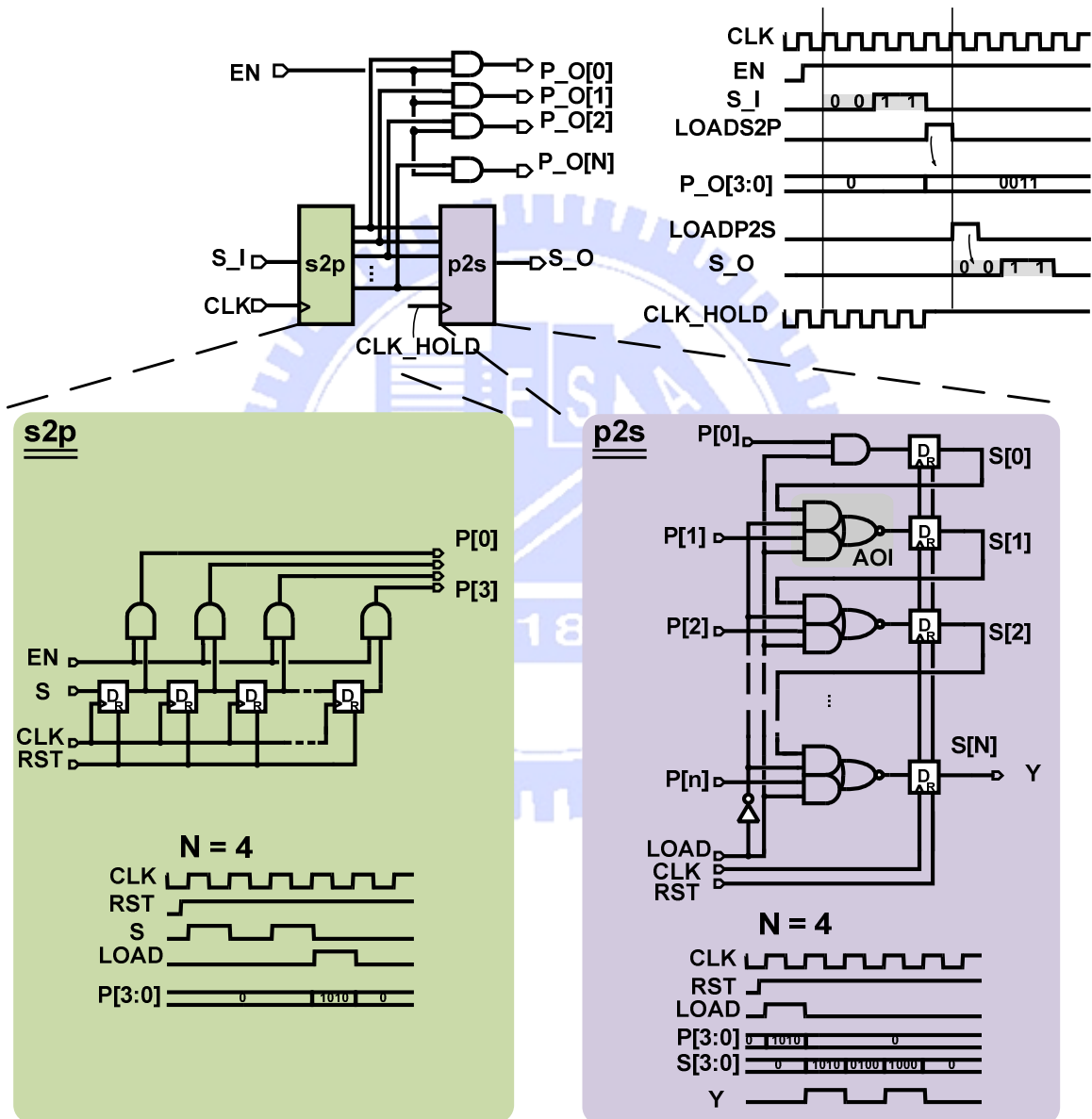


圖 5-1: 單一轉平行電路(serial to parrallel)與平行轉單一電路(parrallel to serial)合併

單一轉平行電路(serial to parrallel)作用與平行轉單一電路相反，單一訊號依序送到暫存器後，等到 $EN$ 訊號為高電位時，一次把暫存器內的值送到平行訊號 $P[0:N]$ ，如 $EN$ 訊號為低電位時，平行訊號 $P[0:N]$ 全為0。為了能確認以上輸出輸入介面能正常工作，我們又另將轉成內部平行訊號後的單一輸入的值，再把當平行訊號轉回單一並反輸出晶片外，來作量測上的確認，如上圖。以上輸出輸入介



面的部份，能合併於自動合成軟體下做電路布局。

以下為模擬結果。預期能使延遲鎖相電路(MDLL)在延遲線(delay line)展現出與振盪器(VCO)無異的積分器特性。其抖動(jitter)會比同樣情況下的鎖相電路(PLL)來得好。

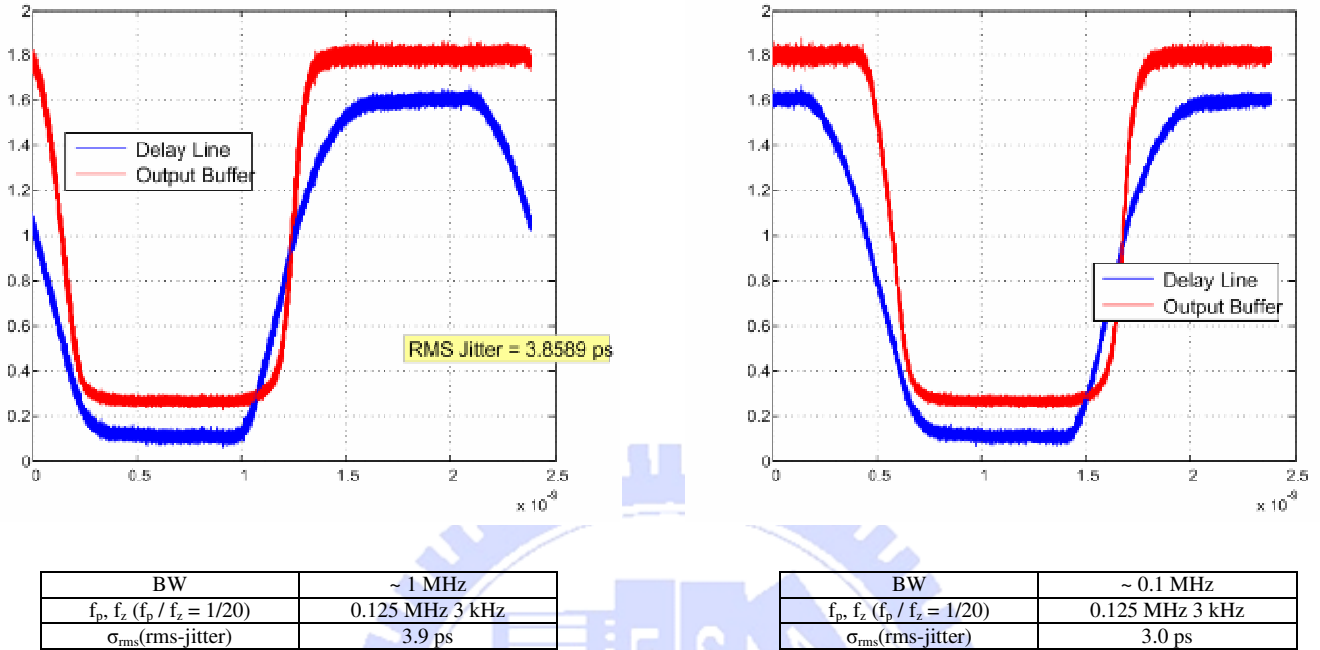


圖 5-2: 邏輯式延遲線操作抖動圖，左圖為非整數鎖相電路(FPLL)，右圖為非整數延遲鎖相電路(FMDLL)

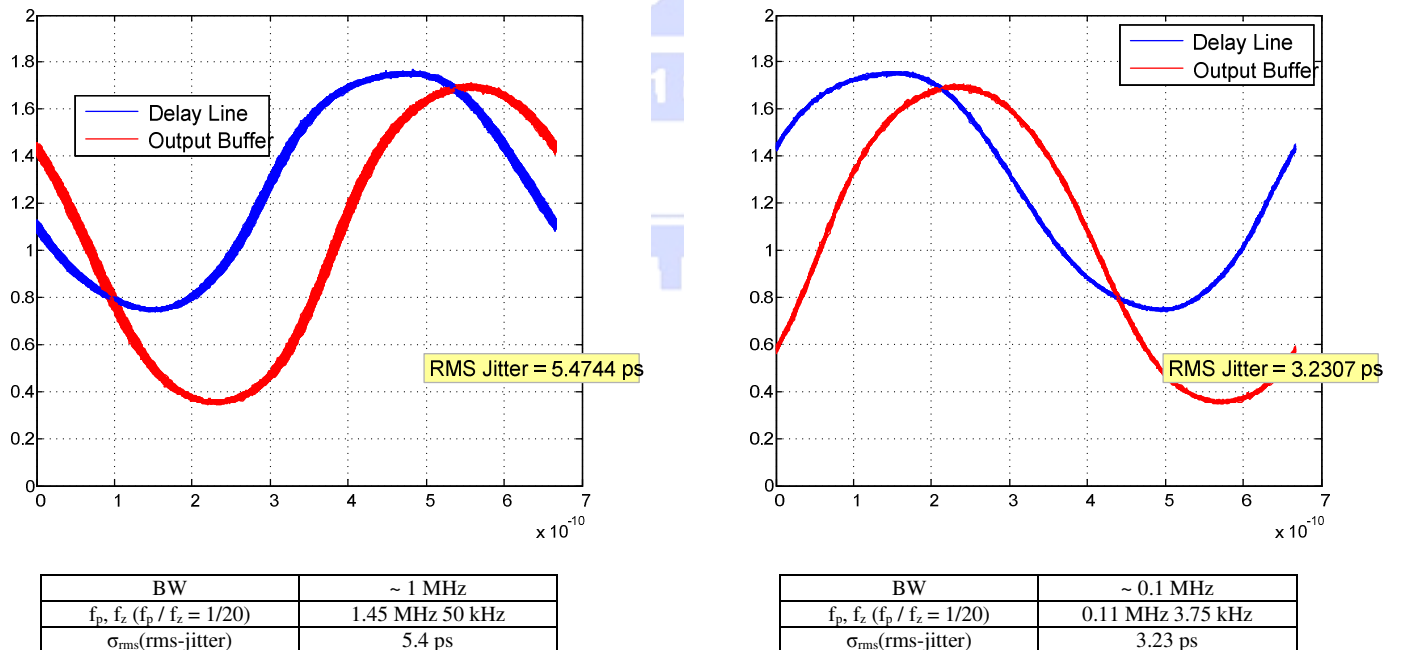
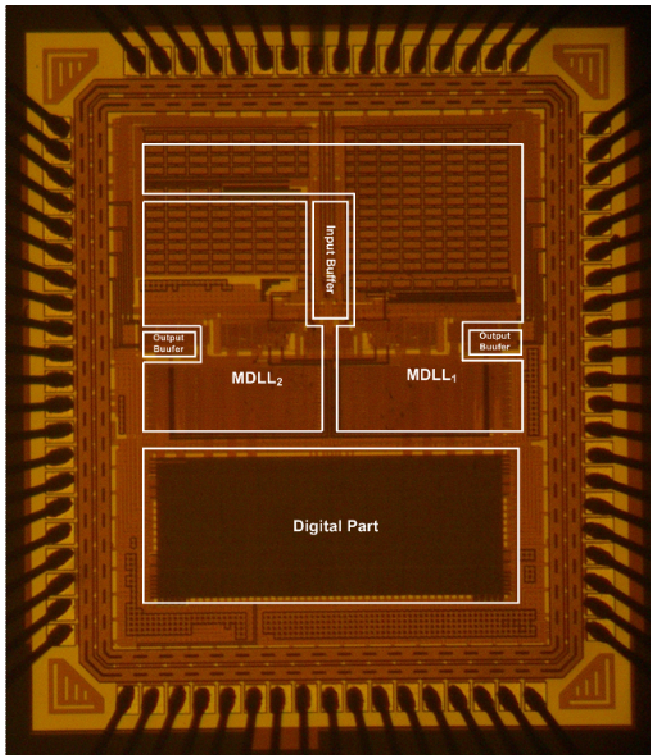


圖 5-3: 電流邏輯形式延遲線操作抖動圖，左圖為非整數鎖相電路(FPLL)，右圖為非整數延遲鎖相電路(FMDLL)

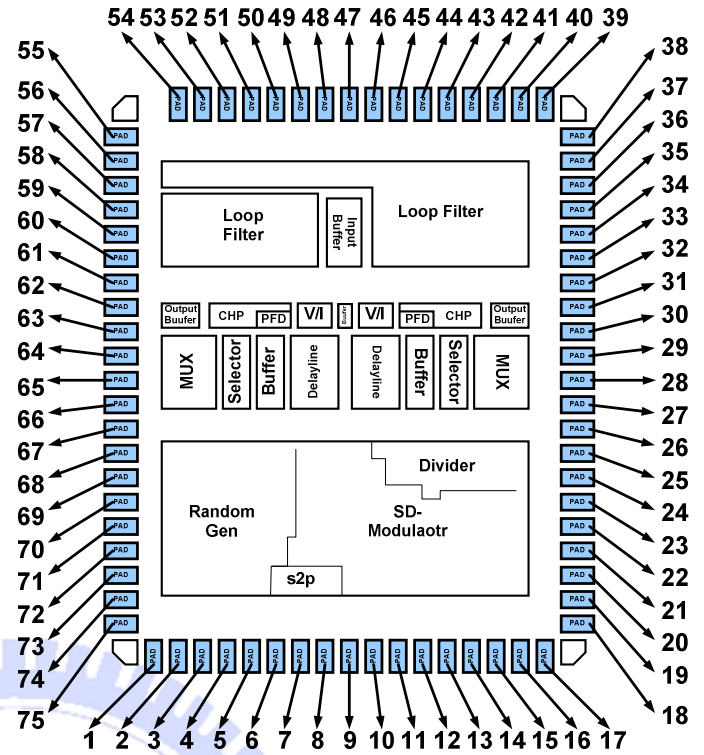
#### 4.2. 電路量測(Measurement)

下圖5-4為全電路的晶片佈局圖(floorplan)與腳位，我們下線是邏輯形式延遲線操為測試，



1564 $\mu$ m x 1845 $\mu$ m

圖 5-4: 晶片照相圖(floorplan)



Agilent 8257D提供16M頻率輸出，晶片類比輸入為50M - 350MHz間，邏輯分析儀提供平行轉單一(serial to parrallel)資料處理，羅德史瓦茲(R&S Spectrum Analyzer)看頻譜。與汰克DPO71254 (Tektronix DPO71254)看眼圖。或是Agilent 86100C量測抖動分析。

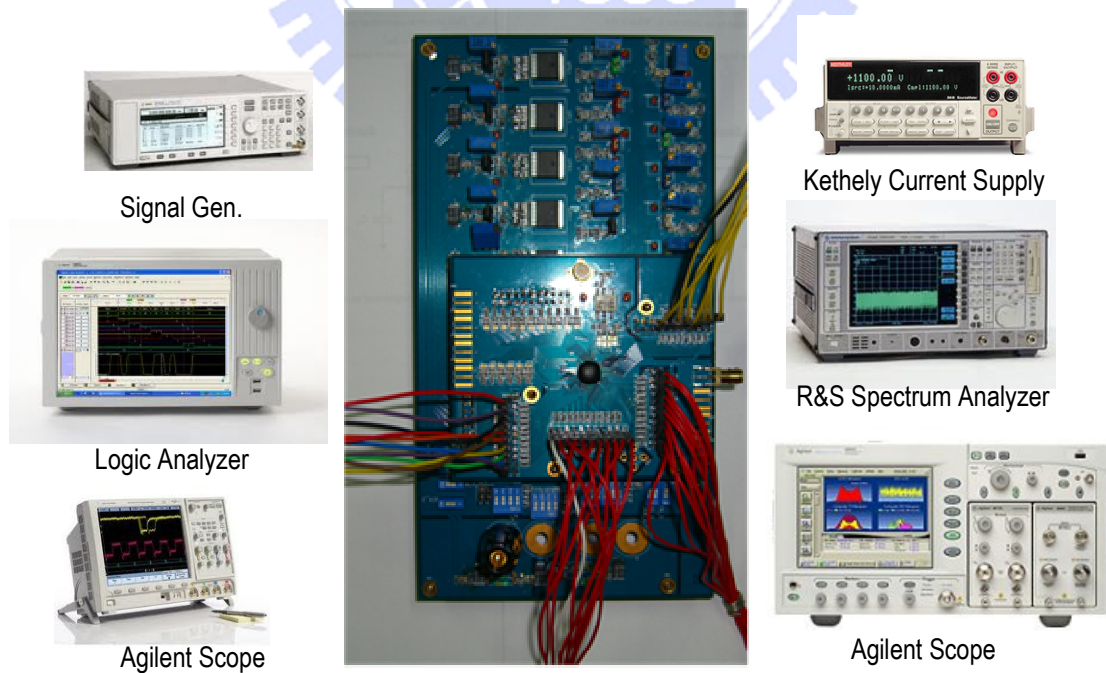


圖 5-5: 量測安置(Measurement setup)中測試用的 pcb 板

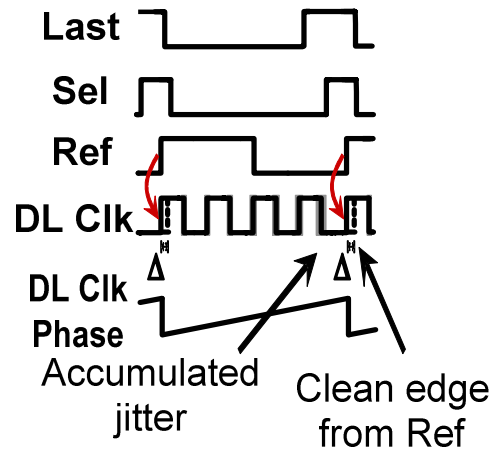
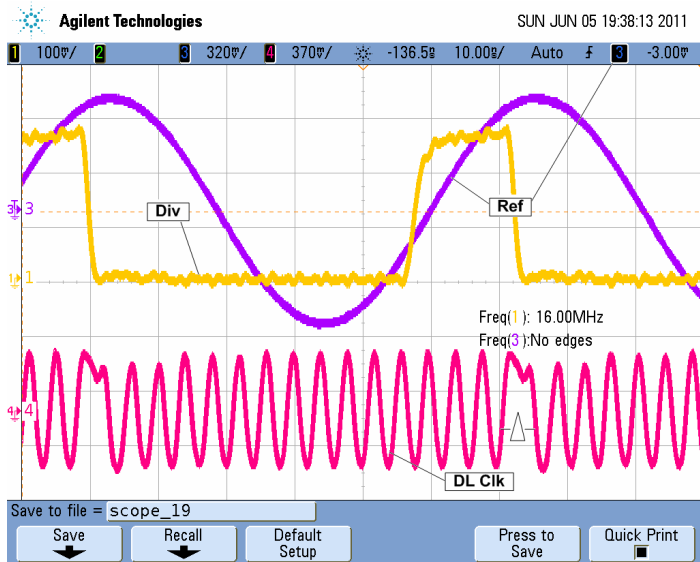


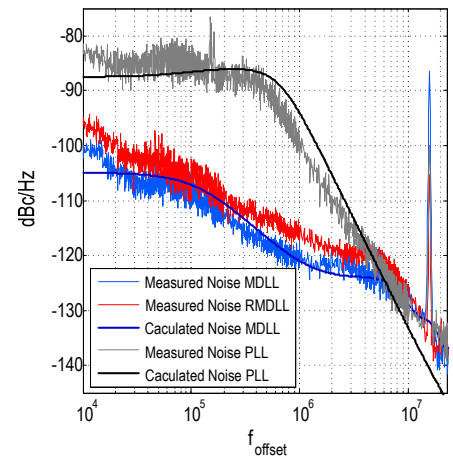
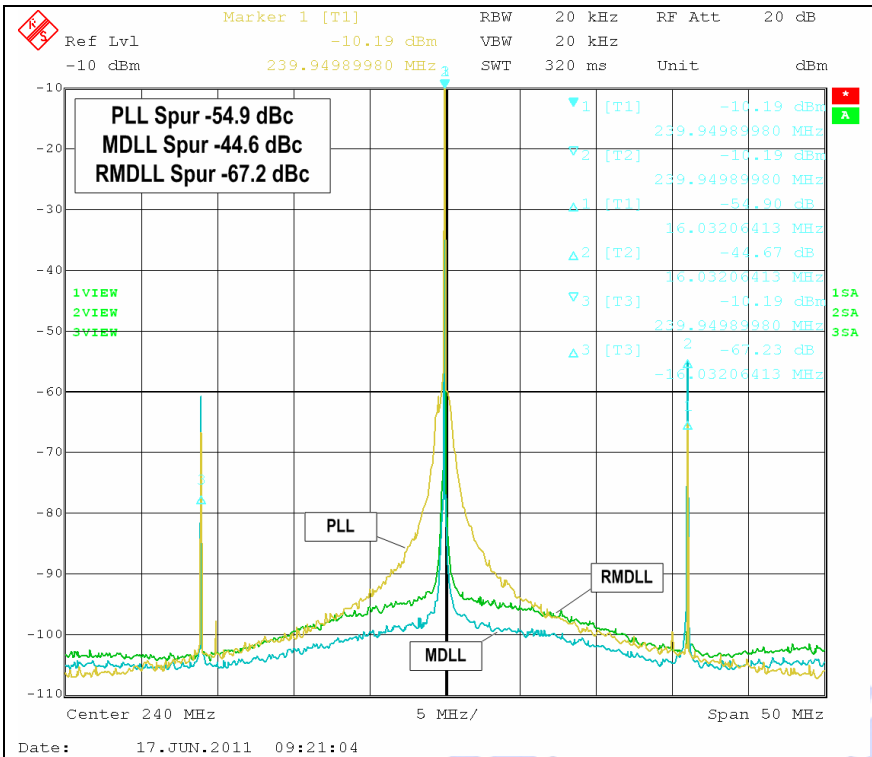
圖 5- 6: 延遲鎖相電路(MDLL)時域圖示意圖

圖5- 6為一延遲鎖相電路(MDLL)時域圖示意圖，如以參考訊號(*Ref*)觸發(trig)下，不論是延遲鎖相電路(MDLL)或是鎖相電路(PLL)，其頻率合成器所屬的除數訊號或是輸出時脈將會清楚地被疊出，以圖5- 6來說可看出延遲鎖相電路(MDLL)本身的特性，有一時間誤差( $\Delta$ )產生。圖5- 7分別為鎖相電路(PLL)與延遲鎖相電路(MDLL)的頻譜分析圖，在參考訊號16 MHz下，輸出240 MHz下，頻譜跨度(span)在約50 MHz，延遲鎖相電路(MDLL)的突波(spur)是比鎖相電路(PLL)明顯的。如把頻譜跨度(span)在約5 MHz下，延遲鎖相電路(MDLL)的雜訊(noise)是明顯地比鎖相電路(PLL)小的。

另要說明的是，延遲鎖相電路(MDLL)頻譜分析圖，在不同參考雜訊下其表現方式，圖中清楚地呈現sinc函數於邊帶(sideband)頻譜上，其sinc函數方式是由於參考雜訊的上取樣轉換(up conversion)造成的，系統函數能以圖2- 11說明此現象，延遲鎖相電路(MDLL)在頻寬外雜訊表現約與鎖相電路(PLL)是比較大的。

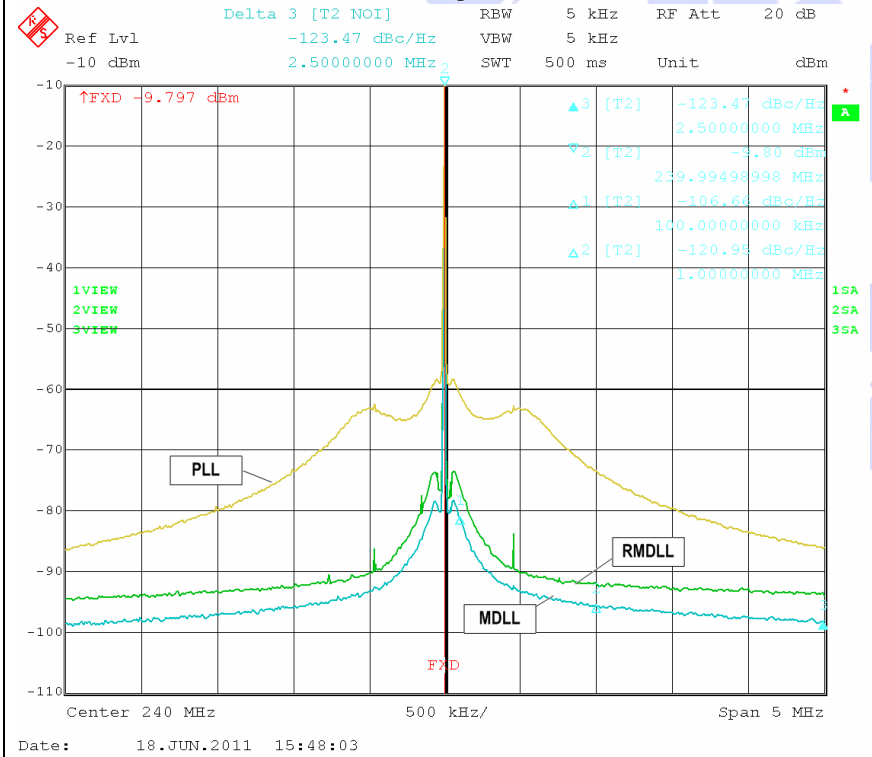
#### 4.3. 隨機重載延遲鎖相電路電路量測(RMDLL Measurement)

隨機重載延遲鎖相電路(RMDLL)的突波(spur)是明顯地比延遲鎖相電路(MDLL)小的，如下圖所示，相位雜訊部份約比延遲鎖相電路(MDLL)至多6dB左右，可於圖5- 7(b)與(c)看出，



(b) 相位雜訊

(a) 頻譜跨度(span) 50 MHz



(c) 頻譜跨度(span) 5 MHz

	PLL	MDLL	RMDLL
@100k	-85.8	-107.1	-102.1
@1M	-98.9	-121	-117.3
@2.5M	-111.2	-123.4	-118.9
rms jitter	13.9ps	2.85ps	4.4ps

圖 5-7: 頻譜分析圖總結, 參考頻率 16 MHz, 輸出頻率 240 MHz

下圖為抖動分析圖使用Agilent 86100C量測, 取大於 $10^5$ 次數, 參考訊號16 MHz下, 延遲鎖相電路(MDLL)操作在240 MHz的方均根抖動(RMS Jitter)為2.94 ps, 峰對峰抖動(P-P Jitter)為31.1 ps, 隨機延遲鎖相電路(RMDLL)的方均根抖動(RMS Jitter)為4.54 ps, 峰對峰抖動(P-P Jitter)為40.0 ps。

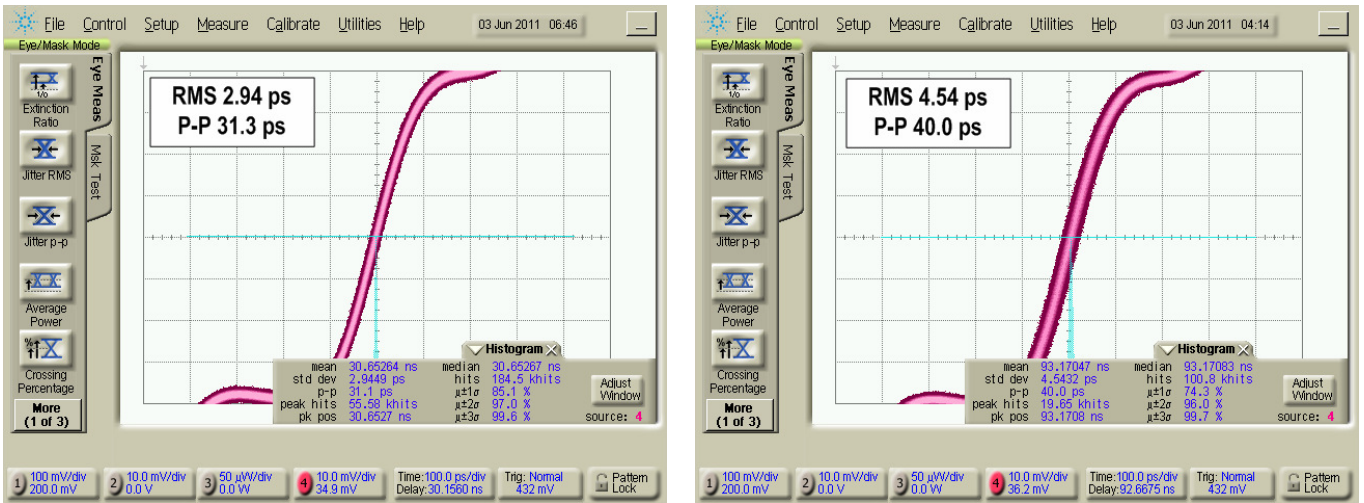


圖 5-8: 延遲鎖相電路(MDLL)左圖與隨機延遲鎖相電路(RMDLL)右圖抖動(jitter)時域圖

使用MSO高阻抗量測，延遲鎖相電路(MDLL)的方均根抖動(RMS Jitter)為4.524. ps，峰對峰抖動(P-P Jitter)為60 ps，隨機延遲鎖相電路(RMDLL)的方均根抖動(RMS Jitter)為9.1029 ps，峰對峰抖動(P-P Jitter)為70 ps。與Agilent 86100C量測有差異可能為此台的取樣頻率是較慢的。

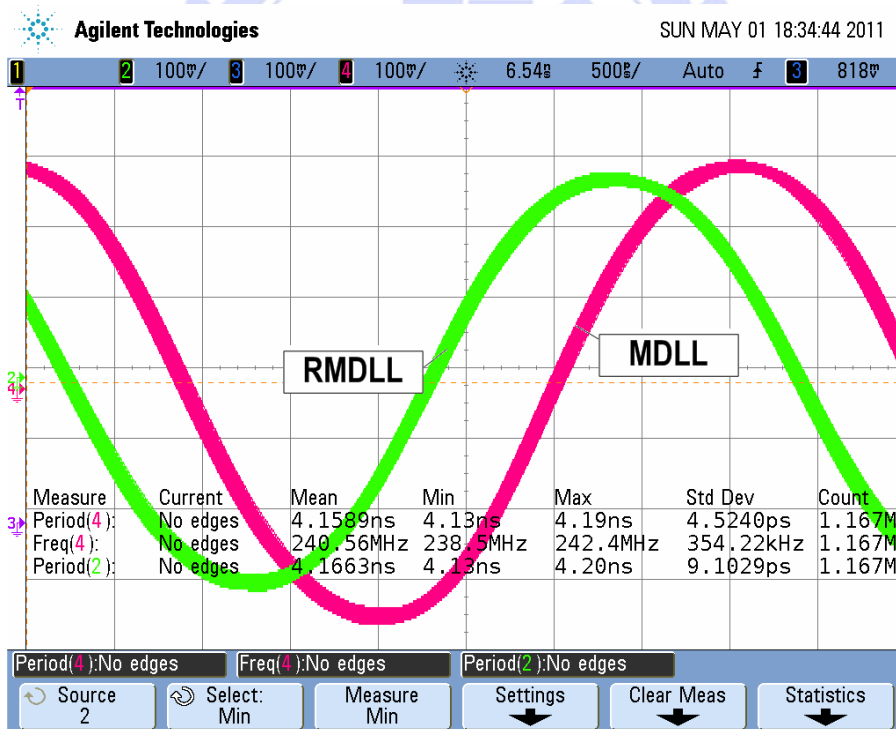


圖 5-9: 延遲鎖相電路(MDLL)與隨機延遲鎖相電路(RMDLL)抖動(jitter)時域圖

#### 4.4. 非整倍數延遲鎖相電路電路量測(FMDLL Measurement)

以下將說明非整數頻率合成器的波形示意圖，如下圖所示頻率合成器在鎖定情況下，示波器上以參考訊號(Ref)觸發(trig)下，由於是非整數的倍頻數情況，可看多模組除頻器(multi modulus divider)的運作方式，輸出時脈(DL Clk)並不如整數合成器情況下，會疊出一個週期接一個週期的波形，而是由非整數相位的關係，波形會有非整數相位回疊於示波器上，同理下多模組除頻器輸出除數訊號可看出，被合差調變器改變除數下的不同周期長度。



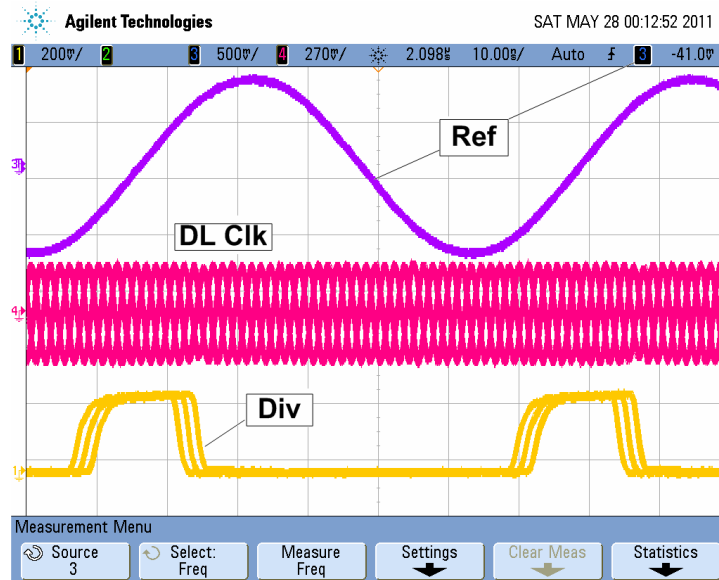
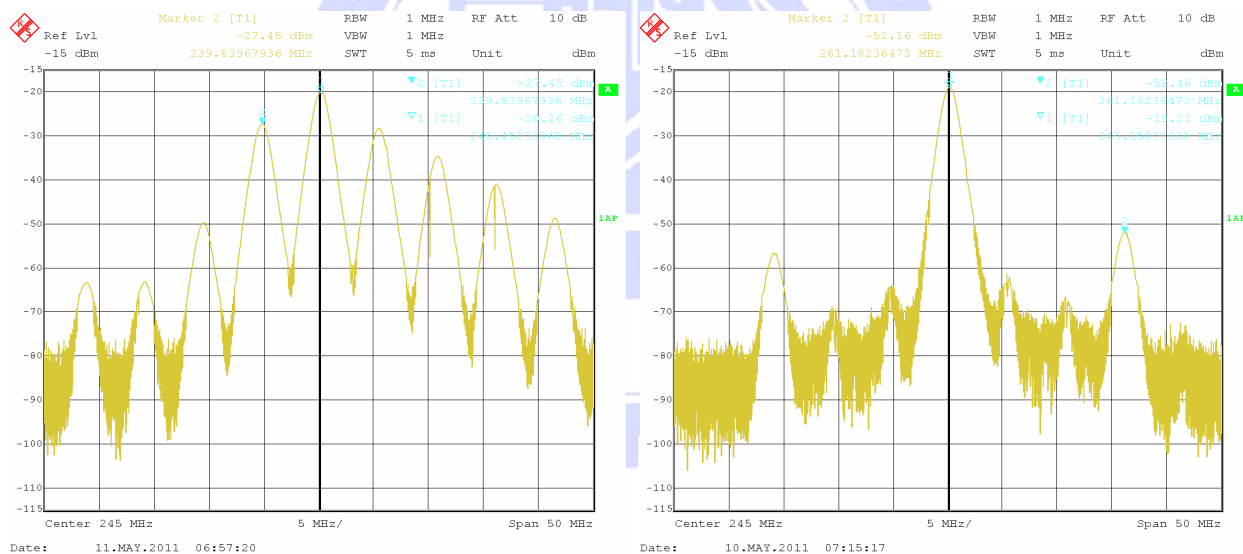


圖 5- 10: 除數為非整數下時域圖示意圖，以輸出 248 MHz 為例，參考訊號 16 MHz，除數 15+1/2。

上圖舉以輸出248 MHz為例，除數的小數部份為1/2，波形會有非整數相位回疊於示波器上為一半的相位。



(a) 在參考訊號重載下但未作相位鎖定

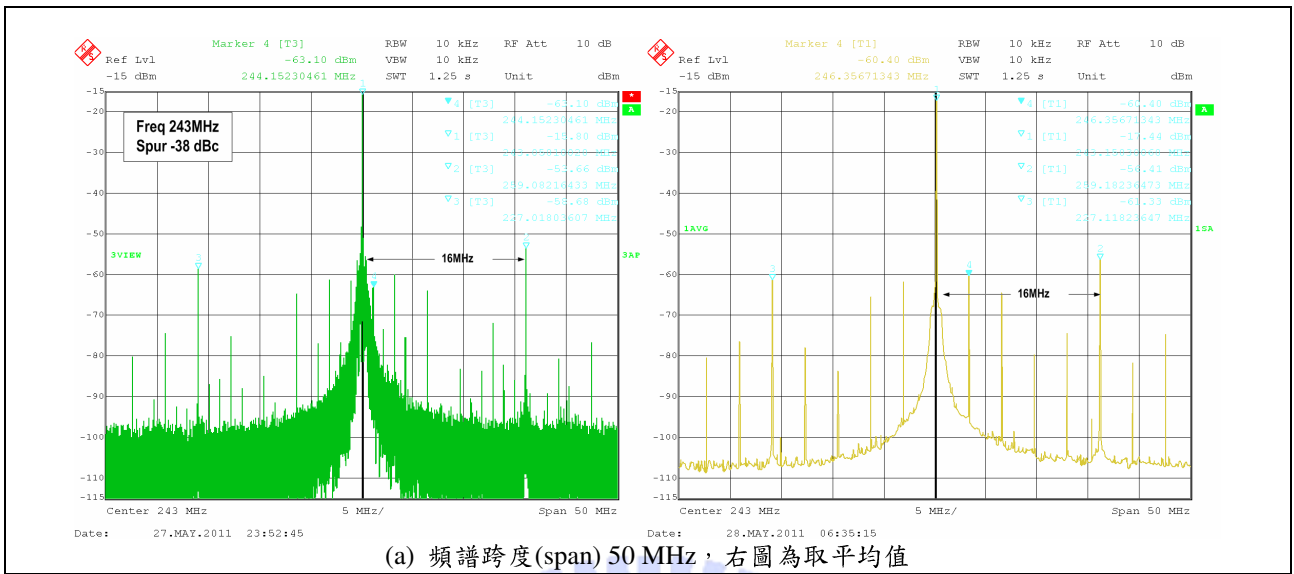
(b) 在參考訊號重載下並作相位鎖定

圖 5- 11: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 245 MHz，參考頻率 16 MHz，倍頻數 15+5/16，頻譜跨度(span) 50 MHz

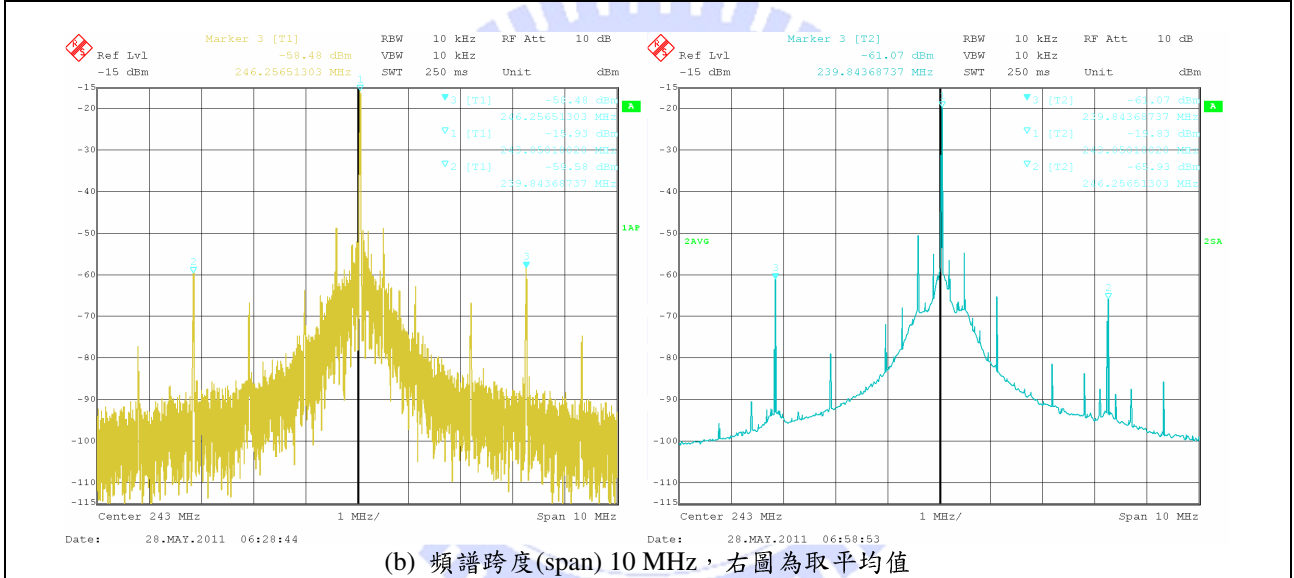
圖5- 11(a)為發生在參考訊號重載下但未作相位鎖定，其現像[31]，可以下解釋，延遲鎖相電路在參考訊號與內部時脈假設有一角徑度 $\theta$ 的偏差(offset)，理想上此偏差(offset)為零是最好的，但在非整數架構下角徑度 $\theta$ 的偏差會隨每次疊代的除法時脈有所不同，根據[31]， $\frac{d\theta}{dt} \neq 0$ ，其可能造成圖5- 11(a)，但如在參考訊號重載下並作相位鎖定會如圖5- 11(b)一般。一般整數型延遲鎖相電路其 $\frac{d\theta}{dt} = 0$ ，為角徑度 $\theta$ 的偏差(offset)至多為一常數，故不易看出圖5- 11(a)的情況。

以下我量取243 MHz，244 MHz，和245 MHz為例，參考頻率皆為16 MHz，倍頻數為15+3/16，

15+4/16，和15+5/16。下圖為頻譜跨度(span)在不同範圍下的表現圖。取50 MHz與10 MHz。

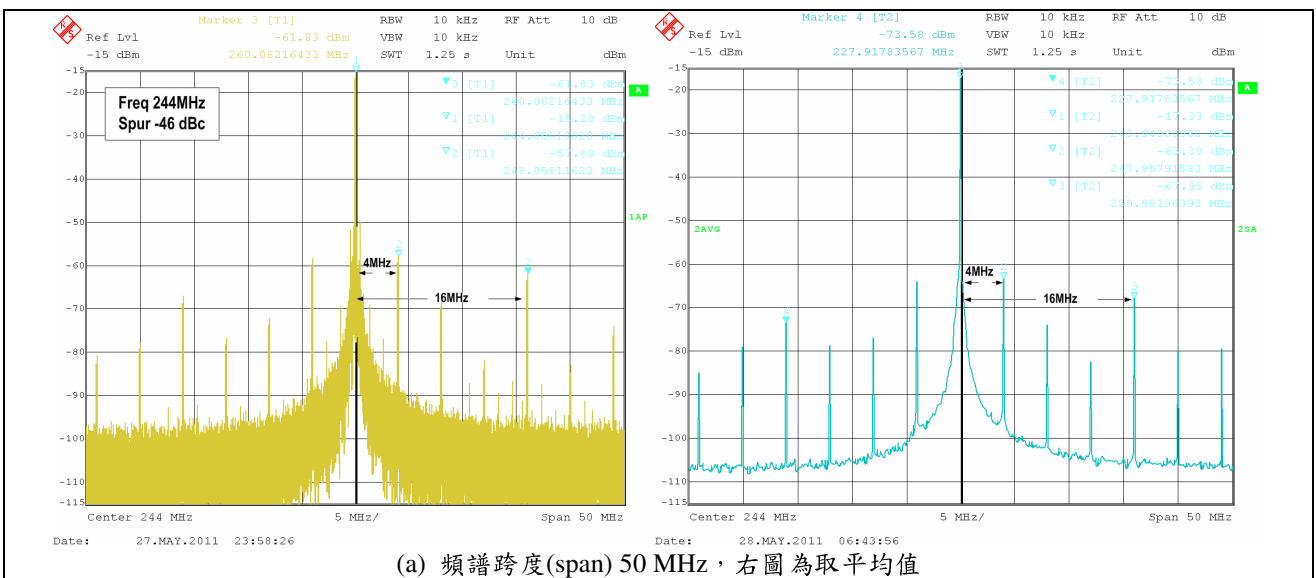


(a) 頻譜跨度(span) 50 MHz，右圖為取平均值

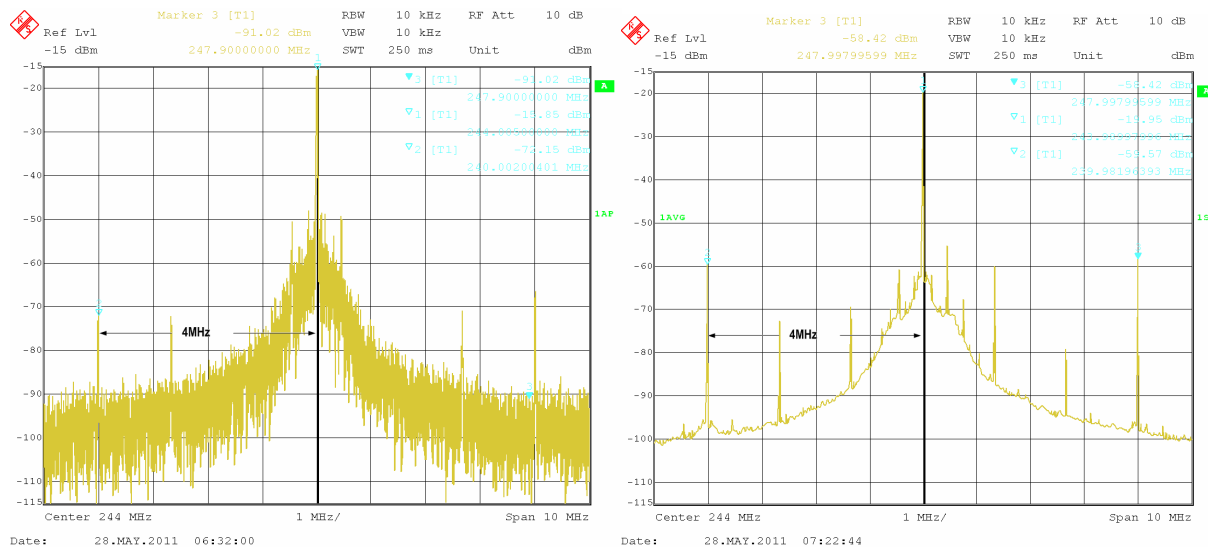


(b) 頻譜跨度(span) 10 MHz，右圖為取平均值

圖 5- 12: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 243 MHz，參考頻率 16 MHz，被除數 15+3/16，

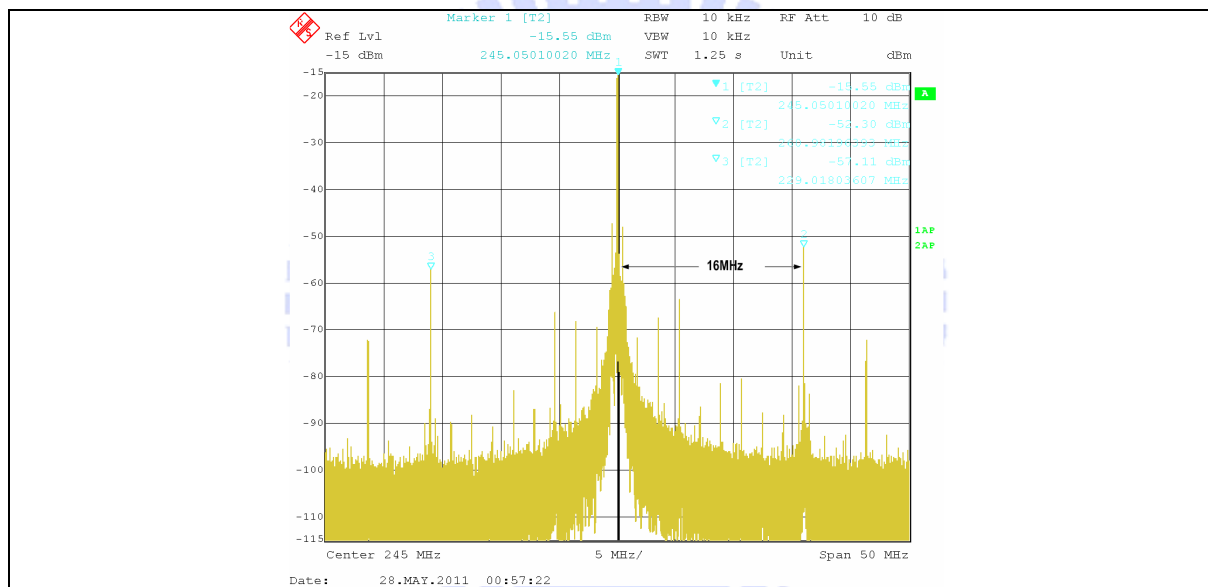


(a) 頻譜跨度(span) 50 MHz，右圖為取平均值

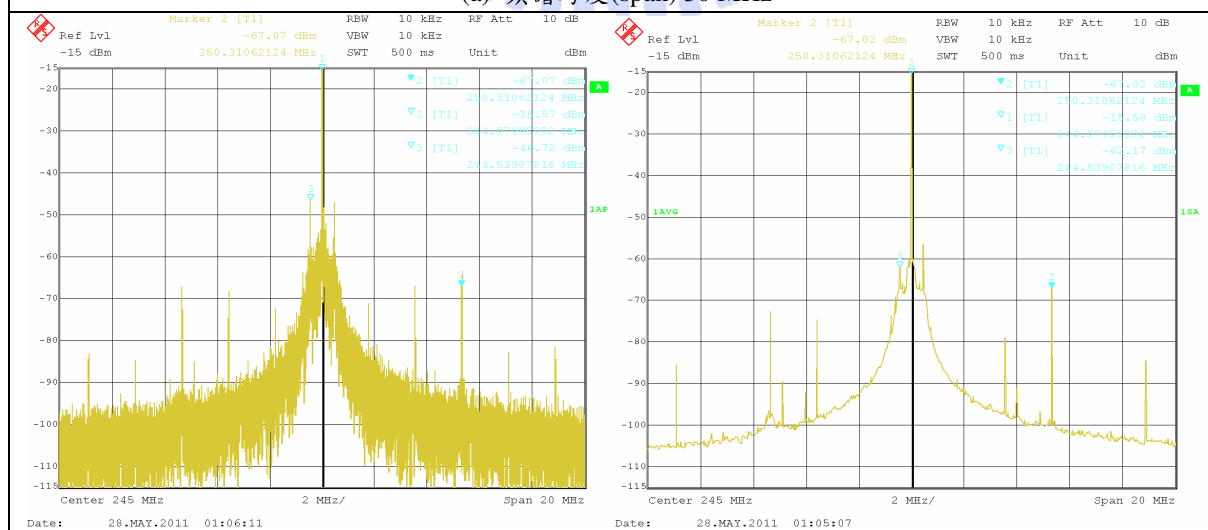


(b) 頻譜跨度(span) 10 MHz，右圖為取平均值

圖 5-13: 量測之非整倍數延遲鎖相電路頻譜，輸出頻率 244 MHz，參考頻率 16 MHz，被除數 15+4/16，



(a) 頻譜跨度(span) 50 MHz



(b) 頻譜跨度(span) 10 MHz，右圖為取平均值

圖 5-14: 量測之非整倍數延遲鎖相電路頻譜，輸出頻 245 MHz，參考頻率 16 MHz，被除數 15+5/16，

以上舉相隔1 MHz的非整數為例，可推得此非整倍數延遲鎖相電路的解析度為4位元(bits)，再者說明相位雜訊部份，承上舉244 MHz，和243 MHz為例，如圖5- 15與圖5- 16，

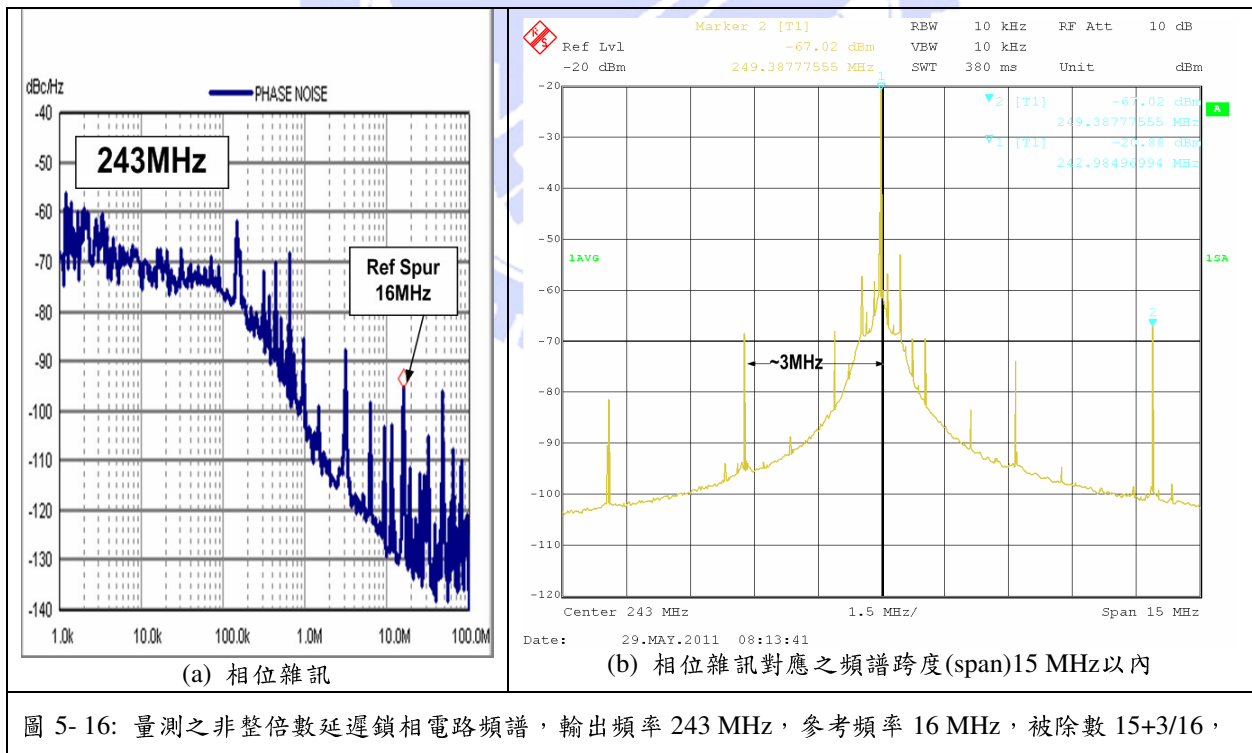
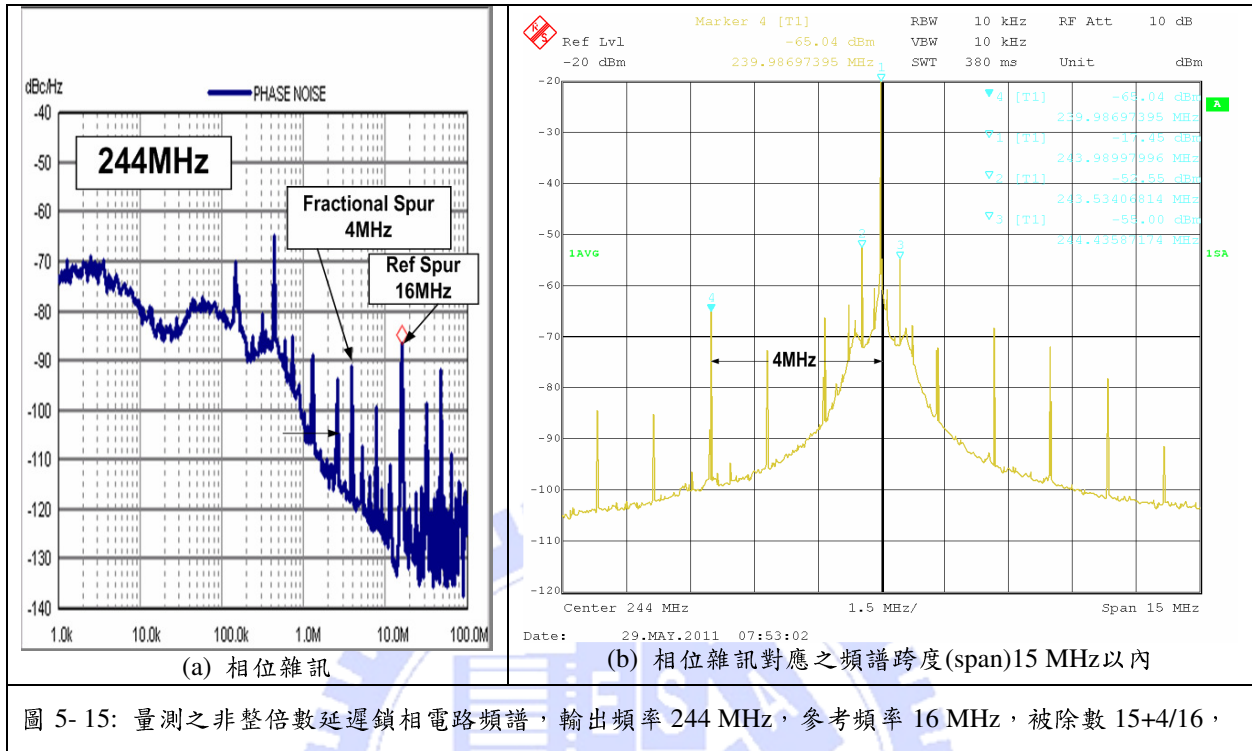


圖5- 17為非整倍數延遲鎖相電路(FMDLL)與非整倍數鎖相電路(FPLL)在頻譜上的比較，舉輸出頻率244 MHz，參考頻率 16 MHz，被除數15+4/16為例，非整倍數延遲鎖相電路(FMDLL)在1 MHz以下有些微的清除累積雜訊的效果，但比較於非整倍數鎖相電路(FPLL)的非整數突波(fractional spur)是明顯上升的，在圖5- 17的第一張圖中，非整數突波發生於主輸出頻調(tone)距離4 MHz左右對稱處，

換言之為參考頻率16MHz的1/4量值，但在其它243MHz與245MHz為例中，小數突波(fractional spur)發生的位置是不太正確，可能其它因素造成。

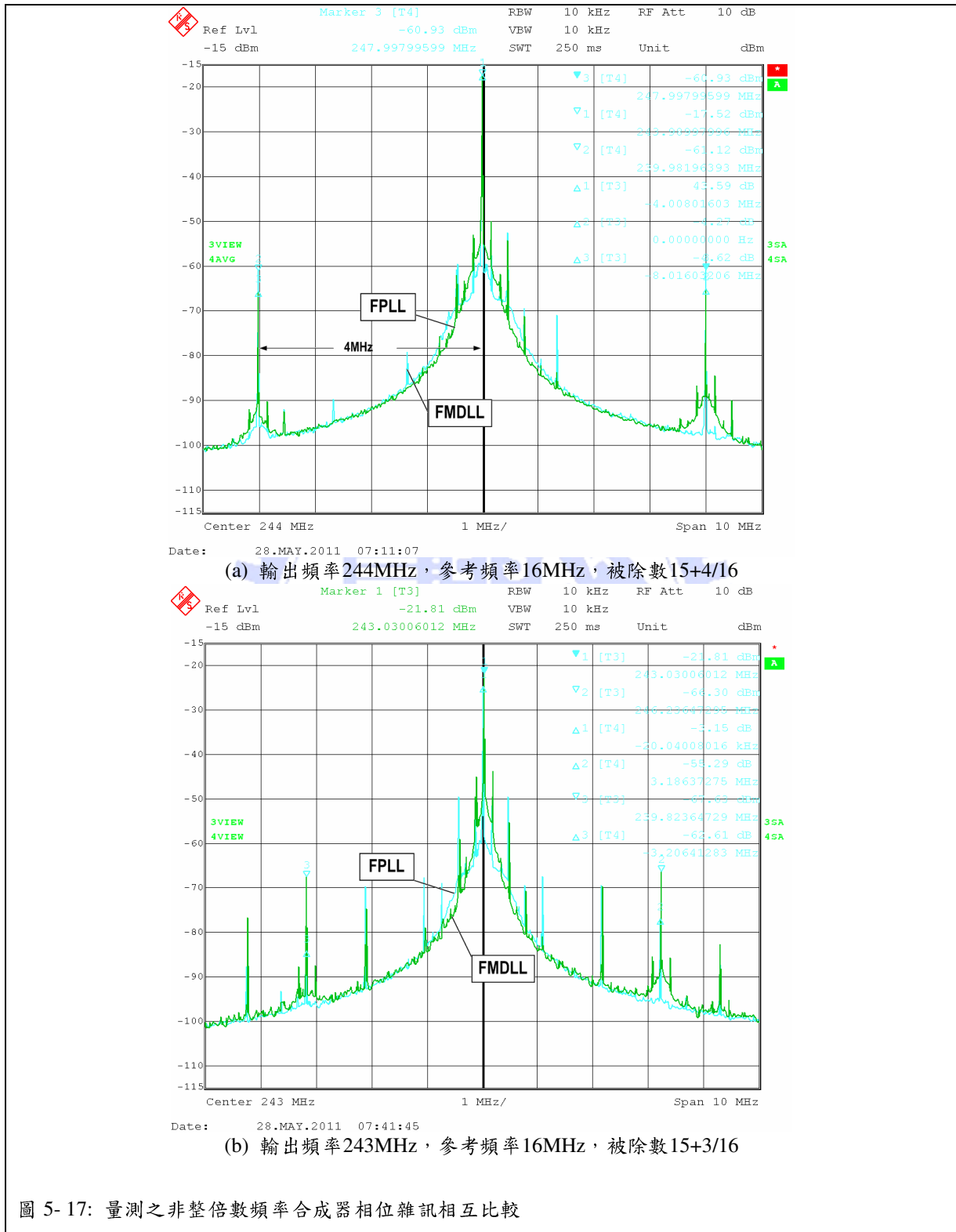


圖 5-17: 量測之非整倍數頻率合成器相位雜訊相互比較



## 第五章，結論(Conclusion)

本人提出一個以延遲鎖相電路為架構設計之非整數頻率合成器，另外並針對延遲鎖相電路突波問題，以隨機亂數方式將其作抑制。下表為效能整理表。

	[ 1 ]	[ 2 ]	[ 3 ]	[ 4 ]	[ 5 ]	[ 6 ]	[ 10 ]	this work
Technology	0.18 $\mu$ m	0.18 $\mu$ m	0.18 $\mu$ m	90 nm	0.18 $\mu$ m	0.13 $\mu$ m	90 nm	0.18 $\mu$ m
Reference Frequency	250 MHz	64 MHz	8 MHz	40/60/80 MHz	30-106kHz	50 MHz	570 MHz	16 MHz
Frequency Range	0.9~2 GHz	0.9~2.9 GHz	0.15~0.2GHz	1 ~ 2 GHz	30-230 MHz	1.4~1.6 GHz	4.6 GHz	50~350 MHz
Supply voltage	1.8V	1.8V	1.8V	1V	1.8V	1.8V	1.2/1 V	1.8V
Power consumption	12 mW	19.8 mW	16 mW	15.6mW	9mW	N/A (offchip)	6.8mW	21mW (all)
Deter. Jitter (p-p) estimated from meas. Spur	7.06 ps	3.89 ps	1.80 ps	2.19ps	N/A	0.76 ps	1.1ps	26ps 1.83 ps
Random Jitter (rms) From intergrated phase noise	N/A	N/A	1 ~ 5ps	N/A	N/A	0.68 ps	N/A	2.75 ps 4.2 ps
Overall Jitter	1.62ps(rms) @ 2GHz	1.6ps(rms) @ 2.16 GHz	N/A	1.2 ps(rms) @ 1.6 GHz	3ps(rms) @230M	0.93ps(rms) @ 1.6 GHz	1ps (rms) @ 4.6 GHz	2.94ps/4.54ps (rms) @ 240 MHz
	13.11ps(p-p) @ 2GHz	12.9ps(p-p) @ 2.16GHz	N/A	13.1ps(p-p) @ 1.6GHz	98ps	11.1ps(p-p) @ 1.6GHz	17.8ps(p-p) @ 4.6GHz	31.1ps/40.0ps(p-p) @ 240,MHz
Phase Noise	N/A	N/A	-127dBc/Hz @ 10MHz	N/A	N/A	-127dBc/Hz @ 10MHz	N/A	-125dBc/Hz / -121dBc/Hz @ 10MHz
	N/A	N/A	-122dBc/Hz @ 1MHz	-130dBc/Hz @ 1MHz	N/A	-125dBc/Hz @ 2MHz	N/A	-121dBc/Hz / -117dBc/Hz @ 1MHz
	N/A	N/A	-110dBc/Hz @ 0.1MHz	-125dBc/Hz @ 0.2MHz	N/A	-110dBc/Hz @ 0.1MHz	N/A	-108 dBc/Hz / -105 dBc/Hz @ 0.1MHz
Reference Spur	-37 dBc	-46.3 dBc	-70 dBc	-49.1 dBc	N/A	-58.3 dBc	-46 dBc	-44.6 dBc -67.2 dBc
Base	8 (Integer)	13~20 (Integer)	8 (Integer)	12~24 (Integer)	> 1000 (Integer)	16~32 (Integer)	8 (Integer)	8- 32 (Integer,Fractional)

表 6: 本作品與其它文獻的比較，藍色為倍頻式延遲鎖相電路(MDLL)，紅色為隨機重載延遲鎖相電路(RMDLL)

發表於文獻的倍頻式延遲鎖相電路(MDLL)，我舉7篇為例並相互比較。本作品做不好的地方為非整數部份的效能，頻寬內的雜訊太大。另外在量測上，非整數方面，2的冪次的小數，例如4/16，2/16，...等，小數突波(fractional spur)發生的位置是正確，但在非2的冪次的小數，例如3/16，5/16下，小數突波(fractional spur)發生的位置是不太正確，原因只能推出是非整數重載造成，或是多除數除法器造成。

這次我第一次下線晶片，現實諸多原因在設計模擬應考量，但再周詳的考慮，在量測時還是有不可預見的原因發生。請讀者多多見諒。

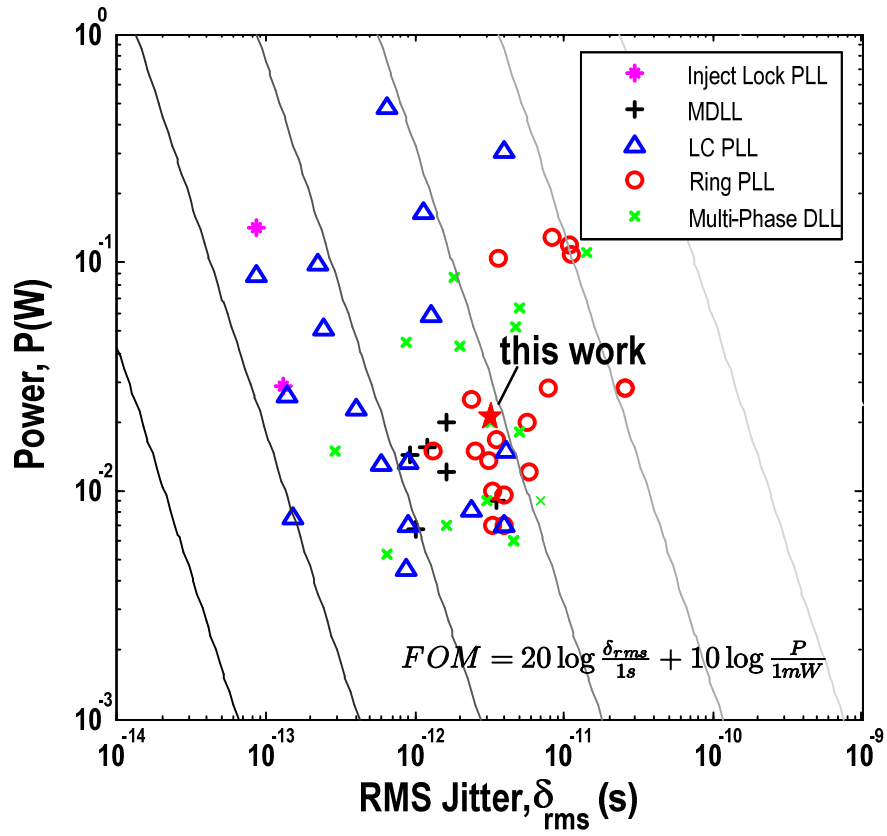


圖 6-1：本作品與其它文獻的比較



### 6.1. 延遲鎖相電路延遲線雜訊的理論分析

整數延遲鎖相電路的開回路/閉回路增益與相位關係，由於重載的動作，使延遲線(delay line)無積分器 $1/s$ 特性，延遲鎖相電路(MDLL)之振盪器輸出時脈能被視為一個在參考週期下( $T_{REF}$ )的循環穩定隨機亂數過程(cyclostationary random process)，參考週期下( $T_{REF}$ )下參考時脈能進入延遲線作重載，此作法的循環穩定過程之能量功率譜密度(PSD of a cyclostationary)是在一個週期下以平均其能量功率譜密度得之。這樣算法對於沒有作參考時脈重載的情況是適當的，可想之頻譜分析沒有必要對參考週期做同步或是周期一樣，所以我們得重新分析此情況[4]。

輸出時脈的相位變化函數 $\Delta\phi(t, T)$ 能被寫成頻率變化與一脈衝響應 $h(t, T), 0 \leq T \leq T_{REF}$ 的卷積(convolution)，

$$\Delta\phi(t, T) = \int_{-\infty}^{\infty} \Delta\omega(\tau) \cdot h(t - \tau, T) d\tau \quad \dots(A-1)$$

能作參考時脈重載的脈衝響應 $h(t, T)$ 是假設為式(A-2)，

$$h(t, T) = u(t) - u(t - T) \quad \dots(A-2)$$

$u(t)$ 為單位步階反應(unit step response)，其非穩定功率譜密度能假設為，

$$PSD_{\Delta\phi}(\omega, T) = PSD_{\Delta\phi}(\omega) \cdot (H(j \cdot \omega, T))^2 \quad \dots(A-3)$$

其中所指的脈衝響應 $h(t, T)$ 的富里葉轉化(Fourier Transform)為 $H(j \cdot \omega, T)$ ，

$$H(j \cdot \omega, T) = T \cdot e^{-j \cdot \omega \cdot \frac{T}{2}} \cdot \frac{\sin(\omega \cdot \frac{T}{2})}{(\omega \cdot \frac{T}{2})} \quad \dots(A-4)$$

平均功率譜密度得作參考時脈重載的情況，參考時脈重載能直接清除擾動累積(jitter accumulation)，

$$\frac{1}{T_{REF}} \cdot \int_0^{T_{REF}} (H(j \cdot \omega, T))^2 dT = \frac{2}{\omega^2} \cdot \left(1 - \frac{\sin(\omega \cdot T_{REF})}{\omega \cdot T_{REF}}\right) \quad \dots(A-5)$$

重載下我們以定義一個強度參數 $\beta$ ，在參考時脈重載完全打斷擾動累積其強度參數，其 $\beta = 1$ ，反之，參考時脈對於延遲線根本無影響，其 $\beta = 0$ ，也就是說重載參考時脈對於延遲線能清除上一周期與本周期的相關性，

$$h(t, T) = \phi(t) - \phi(t - T) + \sum_{n=1}^{\infty} (1 - \beta)^2 \cdot \{\phi[t - T - (n - 1) \cdot T_{REF}] - \phi[t - T - n \cdot T_{REF}]\} \quad \dots(A-6)$$

在週期內 $0 \leq T \leq T_{REF}$ 的富里葉轉換，

$$H(j \cdot \omega, T) = T \cdot e^{-j \cdot \omega \cdot \frac{T}{2}} \cdot \frac{\sin(\omega \cdot \frac{T}{2})}{(\omega \cdot \frac{T}{2})} + \underbrace{\sum_{n=1}^{\infty} (1 - \beta)^2 \cdot T \cdot e^{-j \cdot \omega \cdot [T + (n - \frac{1}{2}) \cdot T_{REF}]} \cdot \frac{\sin(\omega \cdot \frac{T_{REF}}{2})}{\omega \cdot \frac{T_{REF}}{2}}}_{\dots(A-7)}$$

平均功率譜密度最後得為，

$$\frac{1}{T_{REF}} \cdot \int_0^{T_{REF}} (H(j \cdot \omega, T))^2 dT = \frac{1}{\omega^2} + \frac{\beta^2}{(\beta - 1 + \cos(\omega \cdot T_{REF}))^2 + \sin(\omega \cdot T_{REF})^2} \cdot \frac{1}{\omega^2} \cdot \left(1 - 2 \frac{\sin(\omega \cdot T_{REF})}{\omega \cdot T_{REF}}\right) \quad \dots(A-8)$$

在參考時脈重載完全打斷擾動累積其強度參數( $\beta = 1$ )，可得式(A-9)，

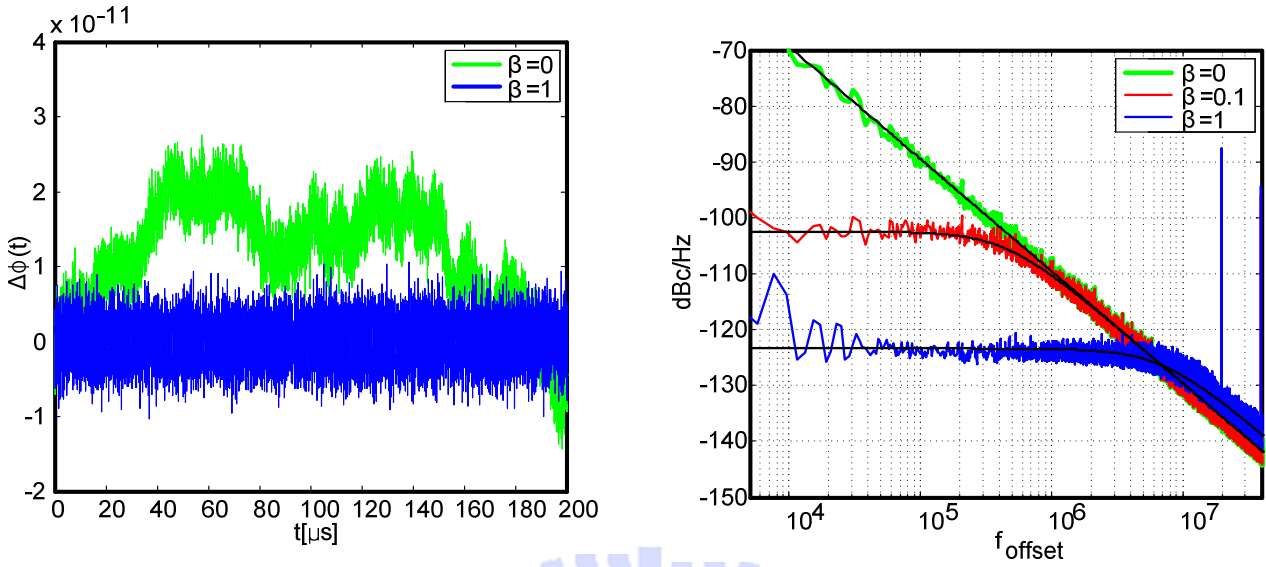
$$(H(j \cdot \omega))^2 = \frac{2}{\omega^2} \cdot \left(1 - \frac{\sin(\omega \cdot T_{REF})}{\omega \cdot T_{REF}}\right) \quad \dots(A-9)$$

在無參考時脈重載，一般積分器 $1/s$ 特性下，如下式，

$$(H(j \cdot \omega))^2 = \frac{2}{\omega^2} \quad \dots(A-10)$$

以下為強度參數( $\beta$ )，在不同值下的模擬，行為與數學計算結果，其 $\beta = 0$ ，相位頻譜如-20dB/dec圖所示，一階積分器 $1/s$ 特性，其 $\beta = 1$ ，相位頻譜表現如一階高通濾通器(first-order high-pass filter)一樣，其截頻點(cutoff frequency)約為參考頻率的一半( $0.5 \cdot f_{REF}$ )，但強度參數 $\beta = 0.1$ ，

其截頻點會往較低頻率移動，圖A-1為模擬與數學比較。



System Parameter	Ref. Freq.	Out Freq.	N	Noise Assumption	VCO	PFDD/CP	Ref
	20 MHz	~500 MHz	25		-135 dBc/Hz @ 20 MHz	$\sigma=6e-12$	-110 dBc/Hz @ 1 MHz

圖 A-1: 延遲鎖相電路延遲線(delayline)雜訊的理論分析與行為模擬

### 6.2. 參考突波(reference spur)的理論分析

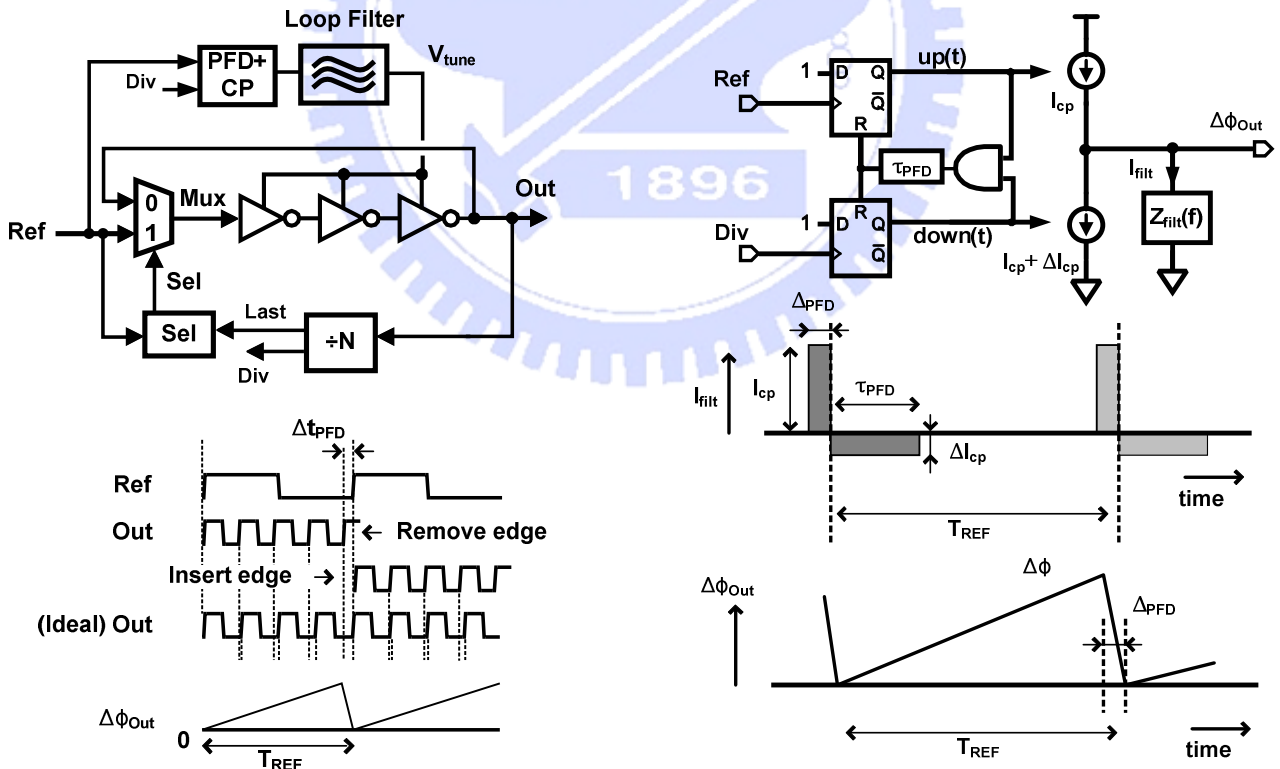


圖 A-2: 鎖相電路(PLL)與倍頻式延遲鎖相電路(MDLL)的輸出相位比較圖

以下將導出鎖相電路(PLL)與延遲鎖相電路(DLL)的參考突波(reference spur)的數學式[4]，最有可能是電流幫浦(charge pump)充放電不一樣造成，在無參考時脈重載的鎖相電路(PLL)中，這樣的偏移

(offset)是不會影響效能的，或產生嚴重的參考突波(reference spur)，僅造成相位偏移的一直流成份(DC component)，

在此參考突波(reference spur)是主要由電流幫浦(charge pump)充放電不一樣造成，在延遲鎖相電路(MDLL)，這樣的不匹配( $\Delta I_{cp}$ )造成一個周期性的漣波(ripple)在振盪器控制電壓的輸入上，當回路是操作在參考頻率比頻寬更大下，此問題又更嚴重，計算這樣時間誤差可由以下，

$$\Delta t_{PFD} = \frac{\Delta I_{cp}}{I_{cp}} \cdot \tau_{PFD} \quad (B-1)$$

在此電流幫浦充放電( $I_{cp}$ )，與相位比較器(PFD)的重置延遲( $\tau_{PFD}$ ，the reset delay)，經推導後可算出突波的量值，

$$\begin{aligned} & spur(f_{VCO} \pm f_{REF}) \\ &= 20 \log \left( \frac{2 \cdot K_{VCO} \Delta I_{cp}}{\pi \cdot f_{REF}} \cdot Z_{filt}(f_{REF}) \right) \\ &+ 10 \log \left\{ \alpha^2 - 2 \cdot \alpha \cdot \sin \left( \alpha \cdot \cos \left[ \alpha \cdot \left( 1 + \frac{\Delta I_{cp}}{I_{cp}} \right) \right] + \sin(\alpha)^2 \right\} \end{aligned} \quad (B-2)$$

在此， $f_{REF}$ 為參考頻率，  
 $K_{VCO}$ 為振盪器可調增益，Hz/V為單位，  
 $Z_{filt}(f_{REF})$ 為回路濾波在頻率 $f_{REF}$ 處，  
 $\alpha$ 為 $\pi \cdot \tau_{PFD} \cdot f_{REF}$ 。

類似於鎖相電路(PLL)，電流幫浦(charge pump)充放電不一樣造成延遲鎖相電路(MDLL)上一週期的漣波(a periodic tune ripple)，此般造成一參考突波(reference spur)，此現象可被解釋成一非連續的相位於延遲鎖相電路(MDLL)的時脈輸出，這問題是第一個時脈是對齊於參考時脈，但因相位偏移(offset)隨即造成後續N個時脈的偏移，

$$\Delta \phi_k = \Delta \phi \cdot \frac{T_{REF}}{k \cdot \pi \cdot \Delta t_{PD}} \cdot \frac{\sin[k \cdot \pi \cdot (1 - \frac{\Delta t_{PD}}{T_{REF}})]}{k \cdot \pi \cdot (1 - \frac{\Delta t_{PD}}{T_{REF}})} \quad (B-3)$$

相位偵測器的誤差( $\Delta t_{pd}$ )，與輸出相位誤差( $\Delta \phi$ )峰值，由相位調變(phase modulation)得突波大小，

$$spur_{DLL}(f_{out} \pm k \cdot f_{REF}) = 20 \cdot \log \left( \frac{\Delta \phi_k}{2} \right) \quad (B-4)$$

減去輸出相位誤差( $\Delta \phi$ )峰值( $2\pi \cdot f_{out} \cdot \Delta \phi$ )，並把sinc函數做泰勒級數(Taylor-series)表達，

$$spur_{DLL}(f_{out} \pm k \cdot f_{REF}) = 20 \cdot \log \left( \frac{\Delta f_{out}}{k} \cdot \Delta t_{PD} \right) \quad (B-5)$$

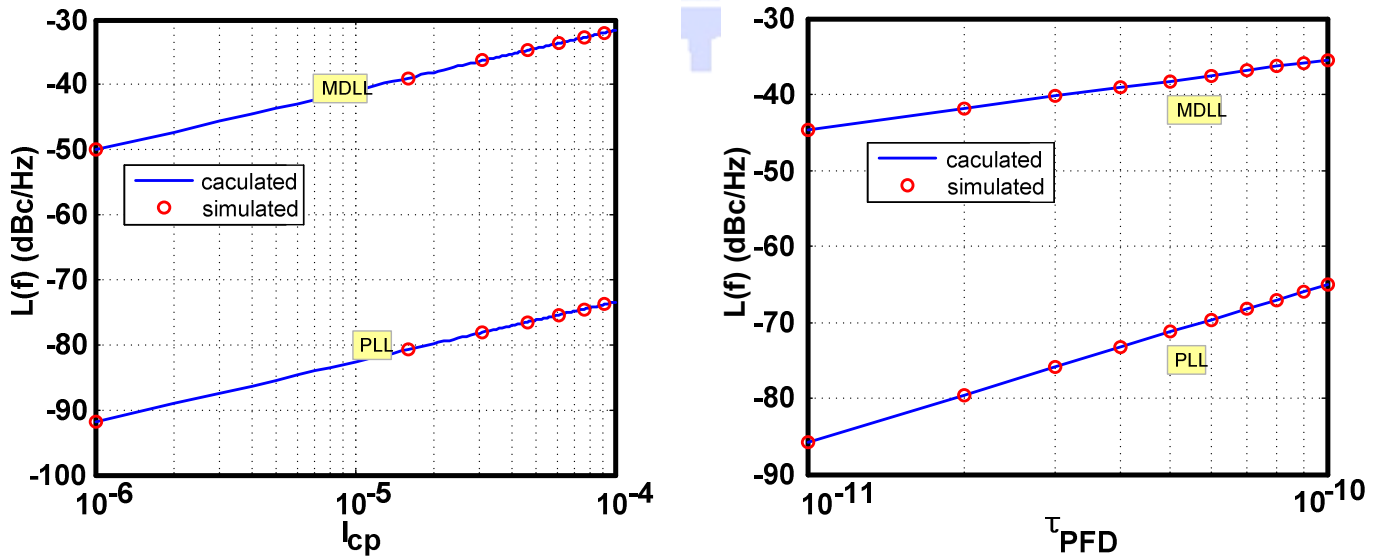


圖 A-3: 參考突波(reference spur)與電流幫浦充放電不匹配( $\Delta I_{cp}$ )，相位比較器(PFD)的重置延遲( $\tau_{PFD}$ )關係圖



## 第七章， 參考資料(Reference)

- [ 1 ] R. Farjad-Rad, W. Dally, H-T. Ng, R.Senthinathan, M.-J. Lee, R.Rathi, and J.Poulton, "A low-power multiplying DLL for low jitter multigigahertz clock generation in highly integrated digital chips," *IEEE J.Solid-State Circuits*, vol. 37, no. 12, pp. 1804-1812, Dec. 2002
- [ 2 ] Q. Du, J. Zhuang, and T.Kwasniewski, "A Low-Phase Noise, Anti-Harmonic Programmable DLL Frequency Multiplier With Period Error Compensation for Spur Reduction," *IEEE Trans. Circuits Syst. II*, vol. 53, no. 11, pp. 1205-1209, Nov. 2006
- [ 3 ] P. Maulik and D. Mercer, "A DLL-Based Programmable Clock Multiplier in 0.18- $\mu$ m CMOS With -70 dBc Reference Spur," *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1642-1648, Aug. 2007.
- [ 4 ] Sander L. J. Gierkink, "Low-Spur, Low-Phase-Noise Clock Multiplier Based on a Combination of PLL and Recirculating DLL With Dual-Pulse Ring Oscillator and Self-Correcting Charge Pump," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, Dec 2008
- Sander L. J. Gierkink, "A 1V 15.6mW 1-2 GHz -119dBc/Hz @ 200kHz clock multiplying DLL," *CICC*, pp439-442, 2008
- [ 5 ] Keng-Jan Hsiao; Tai-Cheng Lee; "The Design and Analysis of a Fully Integrated Multiplying DLL With Adaptive Current Tuning," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, June 2008
- [ 6 ] Torkzadeh, P.; Tajalli, A.; Atarodi, M., "A fractional delay-locked loop for on chip clock generation applications," *ASP-DAC 2005. Asia and South Pacific*, pp 1300-1303, 2005
- [ 7 ] Helal, B.M.; Straayer, M.Z.; Gu-Yeon Wei; Perrott, M.H., "A Highly Digital MDLL-Based Clock Multiplier That Leverages a Self-Scrambling Time-to-Digital Converter to Achieve Subpicosecond Jitter Performance," *IEEE J.Solid-State Circuits*, vol 43, no. 4, pp 855-863, 2008
- [ 8 ] Jri Lee; Huaide Wang; Wen-Tsao Chen; Yung-Pin Lee, "Subharmonically injection-locked PLLs for ultra-low-noise clock generation," *IEEE J.Solid-State Circuits*, vol. 44, no. 5, May 2009
- [ 9 ] Helal, B.M.; Chun-Ming Hsu; Johnson, K.; Perrott, M.H., "A Low Jitter Programmable Clock Multiplier Based on a Pulse Injection-Locked Oscillator With a Highly-Digital Tuning Loop," *IEEE J.Solid-State Circuits*, vol. 44, no. 5, May 2009
- [ 10 ] Ali, T.A.; Hafez, A.A.; Drost, R.; Ho, R.; Chih-Kong Ken Yang, "A 4.6GHz MDLL with -46dBc reference spur and aperture position tuning" *IEEE ISSCC*, pp. 466-468, 2011
- [ 11 ] <http://www.stanford.edu/~murmam/adcsurvey.html>
- [ 12 ] S. Ye, L. Jansson, and I. Galton, "A multiple-crystal interface PLL with VCO realignment to reduce phase noise," *IEEE Journal .Solid-State Circuits*, vol.37, no. 12, pp. 1795-1803, Dec. 2002.
- [ 13 ] A. Waizman, "A delay line loop for frequency synthesis of de-skewed clock," in *Proc. IEEE international Solid-State Circuits Conference, ISSCC*, 1994, pp. 298-299
- [ 14 ] H. Ahmed, C. DeVries, and R. Mason, "A digitally tuned 1.1 GHz subharmonic injection-locked VCO in 0.18- $\mu$ m CMOS," *Proc. 29<sup>th</sup> European Solid-State Circuits Conferencem ESSCIRC*, 2003, pp 81-84.
- [ 15 ] J. McNeill, "Jitter in ring oscillators," *IEEE J. Solid-State Circuits*, vol. 32, no. 6, pp. 870-879, Jun. 1997
- [ 16 ] T. Riley, M. Copeland, and T. Kwasniewski, "Delta-Sigma Modulation in Fractional-N Frequency Synthesis," *IEEE Journal .Solid-State Circuits*, vol. 28, pp. 553-559, May 1993.
- [ 17 ] B. Miller and R. Conely, "A Multiple Modulator Fractional Divider," *IEEE Transactions on Instrumentation and Measurement*, vol 40, pp. 578-583, June 1991.
- [ 18 ] I. Galton, "Delta-Sigma Data Conversion in Wireless Transceivers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, Jan. 2002.
- [ 19 ] C. Park, O. Kim, and B. Kim, "A 1.8GHz Self-Calibrated Phase-Locked Loop with Precise I/Q Matching," *IEEE Journal .Solid-State Circuits*, vol. 36, pp. 777-783, May 2001.
- [ 20 ] S. Pamarti, L. Jansson, and I. Galton, "A Wideband 2.4GHz Delta-Sigma Fractional-N PLL With 1Mb/s In-Loop Modulation," *IEEE J. Solid-State Circuits*, vol. 39, pp. 49-62, Jan. 2004.
- [ 21 ] E. Temporiti, et. Al, "A 700kHz Bandwidth  $\Sigma\Delta$  Fractional Synthesizer With Spurs Compensation and Linearization Technique for WCDMA Applications," *IEEE J. Solid-State Circuits*, vol. 39, pp. 1446-1454, Sept. 2004.

- [ 22] Y. Dufour, Method and Apparatus for Performing Fractional Division Charge Compensation in a Frequency Synthesizer. US Patent No. 6130,561,2000.
- [ 23] De Smedt, B.; Gielen, G.; "Models for systematic design and verification of frequency synthesizers," *Circuit and Systems II*, pp 1301-1308, 1999
- [ 24] M.H. Perrott, M.D. Trott, C.G. Sodini, "A modeling approach for  $\Sigma$ - $\Delta$  fractional-N frequency synthesizers allowing straightforward noise analysis," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1028-1038, Aug. 2002
- [ 25] S. Mirabbasa and K. Martin. Design of Loop Filter in Phase-locked Loops. *Electronics Letters*, 35(21): 1801-1802, Oct. 1999
- [ 26] Johns and Martin, Analog Integrated Circuit Design
- [ 27] de Smedt, B.; Gielen, G.; "Nonlinear behavioral modeling and phase noise evaluation in phase locked loops," *CICC*, pp 53-56, 1998
- [ 28] Demir, A.; Liu, E.; Sangiovanni-Vincentelli, A.L.; Vassiliou, I., " Behavioral simulation techniques for phase/delay-locked systems," *CICC*, pp 453-456, 1994
- [ 29] Hinz, M.; Konenkamp, I.; Horneber, E.-H.; "Behavioral modeling and simulation of phase-locked loops for RF front ends," *Circuits and Systems*, pp 194-197, 2000
- [ 30] Perrott, M.H.; "Fast and accurate behavioral simulation of fractional-N frequency synthesizers and other PLL/DLL circuits," *Design Automation Conference, 2002. Proceedings. 39th*, pp 498-503
- [ 31] Razavi, B.; "A study of injection locking and pulling in oscillators," *IEEE J. Solid-State Circuits*, vol. 39, page: 1415-1424, 2004
- [ 32] Bram De Muer and Michel S.J. Steyaert, "A CMOS Monolithic  $\Sigma\Delta$  Controlled Fractional-N Frequency Synthesizer for DCS-1800," *IEEE J. Solid-State Circuits*, Vol. 37, No.7, pp. 835-844, July 2002.
- [ 33] Chien, G.; Gray, P.R., " A 900 MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications," *IEEE J. Solid-State Circuits*, Vol. 35, No.12, Dec.2000.
- [ 34] Vaucher, C.S.; Ferencic, I.; Locher, M.; Sedvallson, S.; Voegeli, U.; Wang, Z., " A family of low-power truly modular programmable dividers in standard 0.35- $\mu$ m CMOS technology," *IEEE J. Solid-State Circuits*, Vol. 35, No.7, pp. 1039-1045, July 2000.