

國立交通大學

電機資訊學院 電子與光電學程

碩士論文

相容於 IEEE Std. 1149.4 類比自我測試方法

IEEE Std. 1149.4 Compatible Analog BIST Methodology



研究 生：涂德松

指導教授：李崇仁、蘇朝琴 教授

中華民國九十三年七月

相容於 IEEE Std. 1149.4 類比自我測試方法

IEEE Std. 1149.4 Compatible Analog BIST Methodology

研究 生：涂德松

Student : Te-Sung Tu

指導教授：李崇仁、蘇朝琴

Advisor : Chung-Len Lee, Chau-Chin Su



A Thesis

Submitted to Degree Program of Electrical Engineering Computer Science

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics and Electro-Optical Engineering

July 2004

Hsinchu, Taiwan, Republic of China

中華民國九十三年七月

授權書
(博碩士論文)

本授權書所授權之論文為本人在 國立交通 大學(學院) 電資專班 系所

電子與光電 組 九十二 學年度第 二 學期取得 碩 士學位之論文。

論文名稱：相容於 IEEE Std. 1149.4 類比自我測試方法

1. 同意 不同意

具有著作財產權之論文全文資料，授予行政院國家科學委員會科學技術資料中心、國家圖書館及本人畢業學校圖書館，得不限地域、時間與次數以微縮、光碟或數位化等各種方式重製後散布發行或上載網路。

本論文為本人向經濟部智慧財產局申請專利的附件之一，請將全文資料延後兩年後再公開。(請註明文號：)

2. 同意 不同意

本人具有著作財產權之論文全文資料，授予教育部指定送繳之圖書館及本人畢業學校圖書館，為學術研究之目的以各種方法重製，或為上述目的再授權他人以各種方法重製，不限地域與時間，惟每人以一份為限。

上述授權內容均無須訂立讓與及授權契約書。依本授權之發行權為非專屬性發行權利。依本授權所為之收錄、重製、發行及學術研發利用均為無償。上述同意與不同意之欄位若未鈎選，本人同意視同授權。

指導教授姓名：李崇仁、蘇朝琴

研究生簽名：
(親筆正楷)

學號：9067511
(務必填寫)

日期：民國 93 年 7 月 8 日

-
1. 本授權書請以黑筆撰寫並影印裝訂於書名頁之次頁。
 2. 授權第一項者，所繳的論文本將由註冊組彙總寄交國科會科學技術資料中心。
 3. 本授權書已於民國 85 年 4 月 10 日送請內政部著作權委員會（現為經濟部智慧財產局）修正定稿。
 4. 本案依據教育部國家圖書館 85.4.19 台(85)圖編字第 712 號函辦理。

相容於 IEEE Std. 1149.4 類比自我測試方法

學生：涂德松

指導教授：李崇仁、蘇朝琴 教授

國立交通大學電機資訊學院 電子與光電學程（研究所）碩士班

摘要

本篇論文主要是提出一個相容於 IEEE Std. 1149.4 類比自我測試方法。On-chip 產生三角波測試訊號源，此波形經由類比匯流排傳送到類比 CUT (Chip Under Test)，其響應波形再經由另一條匯流排傳送到比較器，與比較器的輸入參考電壓相比與量化，輸出結果以統計方法分析來增加量化的解析度與減少雜訊的干擾。實體電路的測試結果證明此測試方法的可行性。



IEEE Std. 1149.4 Compatible Analog BIST Methodology

Student : Te-Sung Tu

Advisor : Prof. Chung-Len Lee

Prof. Chau-Chin Su

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

Abstract

A dynamic analog BIST methodology is proposed based on IEEE std. 1149.4 DFT infrastructure in this thesis. The on-chip generated triangular stimulus is sent to the analog CUT through the analog test buses and the response is quantized by the dual comparators. Statistical analysis is conducted to enhance the quantization resolution and minimize the noise effect. The experimental results by hardware emulation confirm the feasibility of the proposed methodology.

誌 謝

非常幸運的自己可以在三年的時間完成碩士在職學位，雖然，期間一度想放棄，但終究還是完成了。一路上有來自師長、家人、同事及朋友的支持與鼓勵，讓我可以順利取得碩士學位，完成自己人生的夢想。

首先，感謝我的指導教授李崇仁與蘇朝琴博士，不斷給予我指導與協助，不論在論文題目、研究方法及研究方向上給予我寶貴的意見，讓我在每次遇到瓶頸時都能順利解決。在此謹向老師獻與最誠摯的感激與敬意。

同時也感謝同學章即時、王煌文，在研究的過程中互相幫忙、互相討論，讓我受益良多。

最後特別要感謝我的雙親、兄長與老婆林淑婉的支持與鼓勵，得以讓我在工作之餘，可以專心在學業與研究上，順利完成此論文。



目 錄

摘要	I
ABSTRACT	II
誌 謝	III
目 錄	IV
圖 目 錄	V
表 目 錄	VIII
符 號 說 明	IX
第一章 緒論	1
1.1 研究背景	1
1.2 研究動機與目的	1
1.3 章節的安排	2
第二章 測試方法回顧	4
2.1 測試概論	4
2.2 IEEE STD.1149.4 架構	8
2.3 類比訊號測試	11
第三章 測試方法分析與模擬推導	15
3.1 IEEE STD. 1149.4 COMPLIANT BIST 架構	15
3.2 測試方法分析與模擬推導	18
3.3 降低雜訊	29
第四章 實體電路設計與完成	39
4.1 實體電路設計	39
4.2 實體電路完成與測試	51
第五章 結論	56
參考文獻	57
自 傳	58

圖 目 錄

圖 2-1 PMU 架構示意圖	6
圖 2-2 Open/Short 測試示意圖	7
圖 2-3 Pin Electronics 架構圖	8
圖 2-4 IEEE Std.1149.4 架構圖	9
圖 2-5 IEEE Std. 1149.4 TBIC 電路圖表	10
圖 2-6 Modified TBIC 電路圖表	11
圖 2-7 Cell 方塊圖	12
圖 2-8 Conversion Algorithm Flow	13
圖 2-9 Ramp Method	14
圖 3-1 BIST 測試架構示意圖	15
圖 3-2 Integrator Based Δ Waveform Generator	16
圖 3-3 IEEE Std. 1149.4 TBIC 電路圖表	17
圖 3-4 Simplified QSMM 結構圖表	18
圖 3-5 Δ Waveform Compared to V_{R+} , V_{R-}	20
圖 3-6 Case 1 for Δ Waveform Compared to V_{R+} , V_{R-}	21
圖 3-7 Case 2 for Δ Waveform Compared to V_{R+} , V_{R-}	21
圖 3-8 Case 3 for Δ Waveform Compared to V_{R+} , V_{R-}	21
圖 3-9 Three Cases for Δ Waveform Compared to V_{R+} , V_{R-}	24
圖 3-10 Probability of VA=0.5V	27
圖 3-11 Probability of VA=0.6V	27
圖 3-12 Probability of VA=0.7V	27
圖 3-13 Probability of VA=0.8V	27
圖 3-14 Probability of VA=0.9V	27
圖 3-15 Probability of VA=1.0V	27
圖 3-16 Probability of VA=1.1V	28
圖 3-17 Probability of VA=1.2V	28
圖 3-18 Probability of VA=1.3V	28
圖 3-19 Probability of VA=1.4V	28
圖 3-20 Probability of VA=1.5V	28
圖 3-21 Probability of VA=1.6V	28

圖 3-22	Probability of VA=1.7V	29
圖 3-23	Probability of VA=1.8V	29
圖 3-24	Probability of VA=1.9V	29
圖 3-25	Probability of VA=2.0V	29
圖 3-26	Noise model of the test system.....	30
圖 3-27	<u>$f(x)$</u> 分佈圖	31
圖 3-28	三角波示意圖	33
圖 3-29	1024 Sampling.....	35
圖 3-30	512 sampling	35
圖 3-31	256 sampling	35
圖 3-32	128 sampling	35
圖 3-33	12dB SNR	37
圖 3-34	9dB SNR	37
圖 3-35	6dB SNR	37
圖 3-36	3dB SNR	37
圖 3-37	1024 sampling_3dB SNR	38
圖 3-38	512 sampling_6dB SNR	38
圖 3-39	256 sampling_9dB SNR	38
圖 3-40	128 sampling_12dB SNR	38
圖 4-1	OP based 測試電路實現圖	39
圖 4-2	三角波產生器電路設計圖	40
圖 4-3	各點波形示意圖	41
圖 4-4	三角波與方波 Simulation Waveform	43
圖 4-5	帶通濾波器電路圖	44
圖 4-6	互補轉換示意圖	46
圖 4-7	低通濾波器電路圖	46
圖 4-8	高通濾波器電路圖	48
圖 4-9	頻率響應圖	49
圖 4-10	低通濾波器 Simulation Waveform	49
圖 4-11	比較器電路設計圖	50
圖 4-12	比較器輸出 Simulation Waveform	51
圖 4-13	實體電路測試板	51
圖 4-14	實體電路測試環境	51
圖 4-15	實體波形圖	52
圖 4-16	三角波機率分佈圖	54
圖 4-17	12dB SNR 分佈圖	54
圖 4-18	18dB SNR 分佈圖	54

圖 4-19 V_A 誤差分佈圖 54



表 目 錄

表 3-1: <i>noise</i> [101]	36
表 4-1: 實體測試結果	53
表 4-2: 實體測試結果 VA=1V	55
表 4-3: 實體測試結果 VA=2V	55



符 號 說 明

- V_X : 三角波的直流偏壓值
 V_A : 三角波的振幅
 V_{R+} : 設定上限的參考電壓值
 V_{R-} : 設定下限的參考電壓值
L1 : 三角波電壓值小於 V_{R-} 的區域
L2 : 三角波電壓值介於 $V_{R+} \cdot V_{R-}$ 的區域
L3 : 三角波電壓值大於 V_{R+} 的區域
T : 三角波一個週期的時間
 P_{L1} : L1 區域的機率值
 P_{L2} : L2 區域的機率值
 P_{L3} : L3 區域的機率值



第一章 緒論

1.1 研究背景

隨著半導體製程及技術的倍數成長，相關的 IC 產業發展迅速，創造出各種高科技電子產品。近幾年來，形形色色的 IC 不斷的被研發出來，包含了記憶體 IC、邏輯 IC、RF 高頻 IC、類比 IC....等。也因此，相關的測試方法須不斷的發展與進步。

多媒體與通訊技術的發展，使得各種的類比/混合訊號 IC 不斷被設計開發，現今市面上，類比/混合訊號 IC 的類型非常多，如驅動器/控制器 IC、電源管理 IC、ADC/DAC/數據採集 IC、類比 ASIC、線驅動器 IC、光電 IC、發射器/接收器/收發器 IC、調諧器 IC、濾波器 IC、視頻/前置/功率放大器....等。



IC 製程微縮速度加快，晶片整合能力提高，IC 功能的複雜度提高，對於 IC 測試而言，是一大挑戰。混合訊號 IC (包括數位與類比訊號) 的測試雖為大多數廠商欲跨入之領域，不過，混合 IC 在類比訊號之處理困難度較高，需要經驗相當豐富之工程人力，因此，由原本記憶體測試、邏輯 IC 測試轉進混合 IC 測試，有一定程度的難度。

1.2 研究動機與目的

因為人類有不斷對溝通之需求，因應而生的是對通訊技術與應用產品之高度發展追求。因此，隨者通訊系統發展越來越複雜，通訊系統中無可避免的一定會處理到數位與類比訊號，然而，類比訊號處理的精確與否會直接影響到整各系統的效能。如果前段類比訊號處理越精確，轉換成數位訊號的值也越精確。

在講求成本及產品設計輕薄短小的趨勢下，SOC (System on Chip) 系統晶片為近來晶片設計發展的重心。但系統晶片整合了數位及類比電路於單一晶片上，除了增加半導體製程的複雜性外，同時在類比測試這部分，也產生前所未的挑戰。影響類比 IC 之訊號量測精準度，其中雜訊處理佔了一個很重要的因素，因此，相對應的在測試方面，如何發展出一套有效的測試方法，來避免雜訊之干擾，提高測試之精準度，進而提升類比 IC 之效能與良率，是本論文想研究的方向。

因此，影響類比訊號處理的精確度，類比測試就佔了一各很重要的部分。過去數位訊號測試相關的技術與研究已發展的相當成熟，但有關類比訊號測試的研究比數位訊號測試相比較卻遜色許多。如何發展出一套有效率之測試方法與模組，來偵測類比晶片之訊號，以提高晶片之良率進而改善晶片之效能，是一當今測試技術領域一各很重要的課題。經過數十年的發展下，可測試用的數位設計 (*Design for Testability, DFT*) 及內建自我測試方法 (*Built-in Self Test, BIST*) 已經發展出一套整合式的測試工具，做為自動插入功能用。這種掃描式連鎖插入法在數位設計中已經是一種標準，但在類比領域中，有關類比式的 DFT 及 BIST 方法仍舊是處於爭議中。然而，隨著 IEEE Std.1149.4 的標準制定，類比 DFT 與 BIST 整合之路正向前邁進。

IEEE Std.1149.4 為有關混合訊號測試匯流排 (*Test Bus Interface Circuit, TBIC*) 之標準，主要專注於類比外部連接測試、元件測試與 IC 測試。基於此架構下，我們希望能夠研究出一個類比 BIST 的測試方式與架構，能夠大大的降低雜訊在量測訊號過程中的影響，提升量測精確度與晶片良率，進而降低生產成本。

1.3 章節的安排

本篇論文共有五個章節：第一章為說明研究的背景、研究的動機及目的；第二章是

測試方法回顧；第三章說明 IEEE Std.1149.4 TBIC 類比 BIST 架構、測試方法分析與模擬推導佐證；第四章為實體電路設計與完成，以及第五章的結論。



第二章 測試方法回顧

類比/混合訊號的量測主要的困難為雜訊的干擾，因而降低量測精準度。量測時常伴隨著 A/D Converter 的使用，使輸出訊號以數位方式 (0 or 1) 輸出，但量化誤差 (Quantization Error) 也因而產生。所以，降低雜訊的干擾和減小量化誤差為類比/混合訊號測試的重心。

本章節先介紹類比/混合訊號測試的參數項目，進而說明解析度、精確度與量化誤差的定義、量測儀器單元如 PMU (Parametric Measurement Unit)、PE (Pin Electronics) 架構，接著介紹 IEEE Std.1149.4 架構，此架構為有關混合訊號測試匯流排之標準，最後以 A/D Converter 測試為例來說明動態 BIST 的測試方法。



2.1 測試概論

類比/混合訊號測試參數項目

目前，類比/混合訊號 IC 的類型非常多，其測試方法與測試項目皆有些許不同。一般而言，測試的參數項目包含 DC 與 AC 兩個大項如下。

在 DC 測試項目主要包含：

- Continuity
- Leakage currents
- Power supply currents
- DC references and regulators
- Impedance measurements
- DC offset measurements

- DC gain measurements
- DC power supply rejection ratio
- DC common-mode rejection ratio
- Comparator DC tests
- Voltage search techniques
- DC tests for digital circuits

在 AC 測試項目則包含：

- Gain error
- Distortion
- Signal Rejection
- Frequency response
- Noise



解析度 (Resolution)

解析度目前有兩種定義方式，分別為：

1. 輸出中離散階數最大數的倒數。若是以位元數 $N=4$ 的類比至數位轉換器 (ADC) 為例，則其離散階數最大數為 (2^4-1) ，故解析度為 $(1/2^4-1) = 1/15$ 。常以百分比表示，為 $1/(2^4-1) = 6.67\%$ 。
2. 可用轉換之位階數目表示。若是滿刻度的輸出電壓為 V_{FS} ，則位元的離散階數共有 2^N 個，除了 0 階以外，共有 (2^N-1) 階，故其解析度為 $V_{FS}/(2^N-1)$ ，此又稱為 LSB 值。

精確度 (Accuracy)

精確度是指實際輸出電壓和理想輸出之間差異，這種電壓差距的表示法是對最大

輸出電壓的百分比。以滿刻度 1V 且精確度為 $\pm 0.1\%$ 的 DAC 為例，這代表說在任何輸出電壓情況下，其最大的誤差 ΔV 為 $1V \times \pm 0.1\% = \pm 1mV$ 。

量化誤差 (Quantization Error)

在量化過程中，ADC 必須耗掉轉換時間，使得其在轉換終止時和起始時有訊號誤差，此誤差命名為量化誤差，其大小必須在 $\pm 0.5LSB$ 以內。要避免或是減少量化誤差的最簡單方法，就是要將量化訊號於轉換初期時予以保持住，並且保持時間常超過 ADC 的轉換時間，那麼 ADC 在轉換起始和終止時都會得到相同的數值，如此便不會因訊號轉態而增加量化誤差了，這也就是為何要在 ADC 前加裝一個取樣和保持電路 (Sample and Hold, S/H) 的原因。

PMU (Parametric Measurement Unit)

PMU 為量測儀器重要單元，其精確度影響到測試結果的精準度。(圖 2-1) 為示意圖如下：

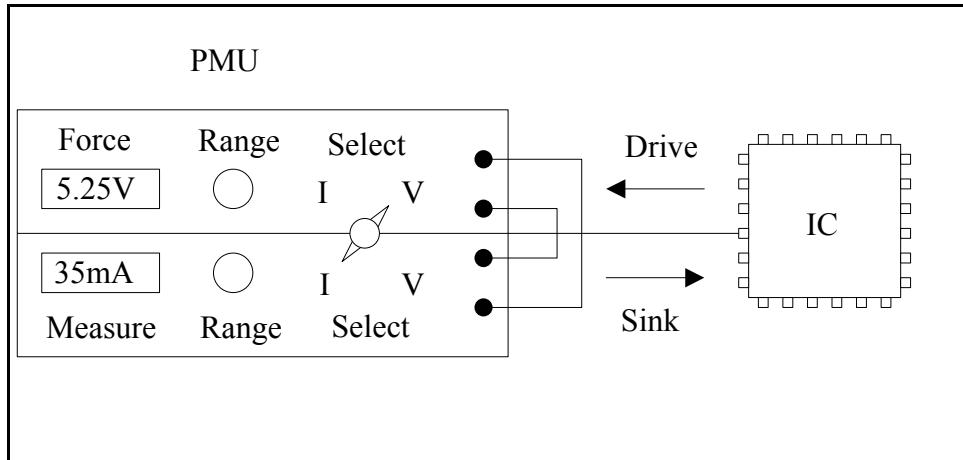


圖 2-1 PMU 架構示意圖

PMU 連接到待測 pin 腳 (DUT pin)，提供可改變大小的電流或電壓，並以 I/O board 的繼電器 (Relay) 控制其連接。當 PMU 提供電流到 device pin，此時測試機台以 ADC

board 讀取該 pin 的電壓結果，同樣地，當 PMU 提供電壓到 device pin，此時測試機台以 ADC board 讀取該 pin 的電流結果，也就是說，給電流量電壓、給電壓量電流。PMU 可以選擇輸出最大電流與最大電壓的範圍，選擇適當的範圍以得到最好的解析度。以（圖 2-2）開路/短路（Open/Short）測試為例來說明 PMU 的動作原理。

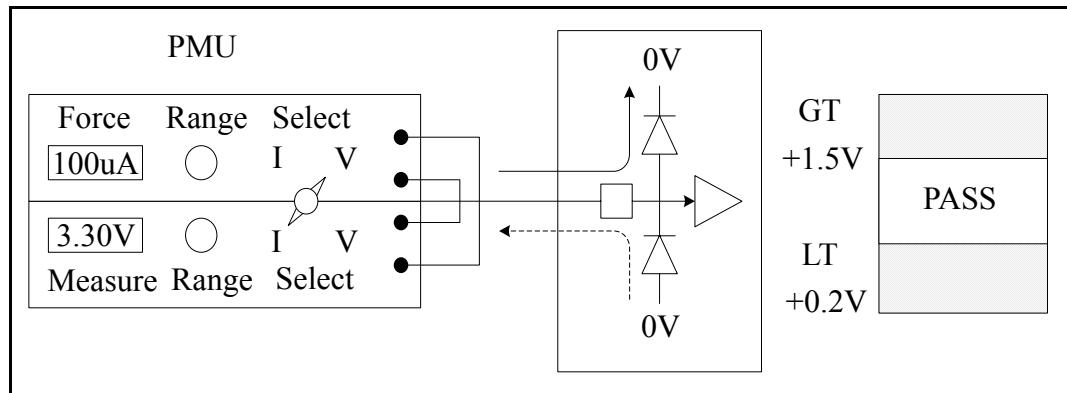


圖 2-2 Open/Short 測試示意圖

Open/Short 主要測試輸入保護二極體的好壞與不同 pin 腳是否有連接到。測試該 pin 腳前，將其它所有的 pin 腳都接地，包含 power pin。提供 $+100\mu\text{A}$ (or $-100\mu\text{A}$) 的電流到測試的 pin 腳，量測其電壓大小，如果電壓大小為 GT $+1.5\text{V}$ (-1.5V)，判定為開路壞品 (Fail Open)，如果為 LT $+0.2\text{V}$ (-0.2V)，則判定為短路壞品 (Fail Short)，反之為好品 (Pass)。

PE (Pin Electronics)

PE 為固定混合電路 (Custom Hybrid Circuits) 位於 I/O board 裡，連接 DUT pogo pins 腳，提供最好的 possible signal integrity。PE 通常使用七個參考準位 (V_{IH} 、 V_{IL} 、 V_{OH} 、 V_{OL} 、 I_{OH} 、 I_{OL} 、 V_{CM})，這些值儲存在參考記憶體 (Reference Memory) 中，使用於當 PE 對電路做 S/H 時。如以下（圖 2-3）所示：

當 PE 的驅動器處在致能狀態中 (Driver Impedance 50 ohm)，此時主動負載電路進入關閉狀態以預防對驅動訊號的干擾，相反地，當驅動器處在高阻抗 (Tri-state) 狀態中，此時主動負載電路進入致能狀態。當主動負載致能時，主動電流 I_{OH} 或 I_{OL} 將驅使 DUT pin 腳電壓大小朝向 V_{CM} 準位，如果 DUT pin 腳的電壓大於 V_{CM} ，則驅動 (Drive) I_{OH} 電流使其電壓下降到 V_{CM} ，反之，當 DUT pin 腳的電壓小於 V_{CM} ，則汲取 (Sink) I_{OL} 電流使其電壓上升到 V_{CM} 。以下 (圖 2-3) 示意 I_{OH} 、 I_{OL} 的流向與 V_{CM} 的關係。

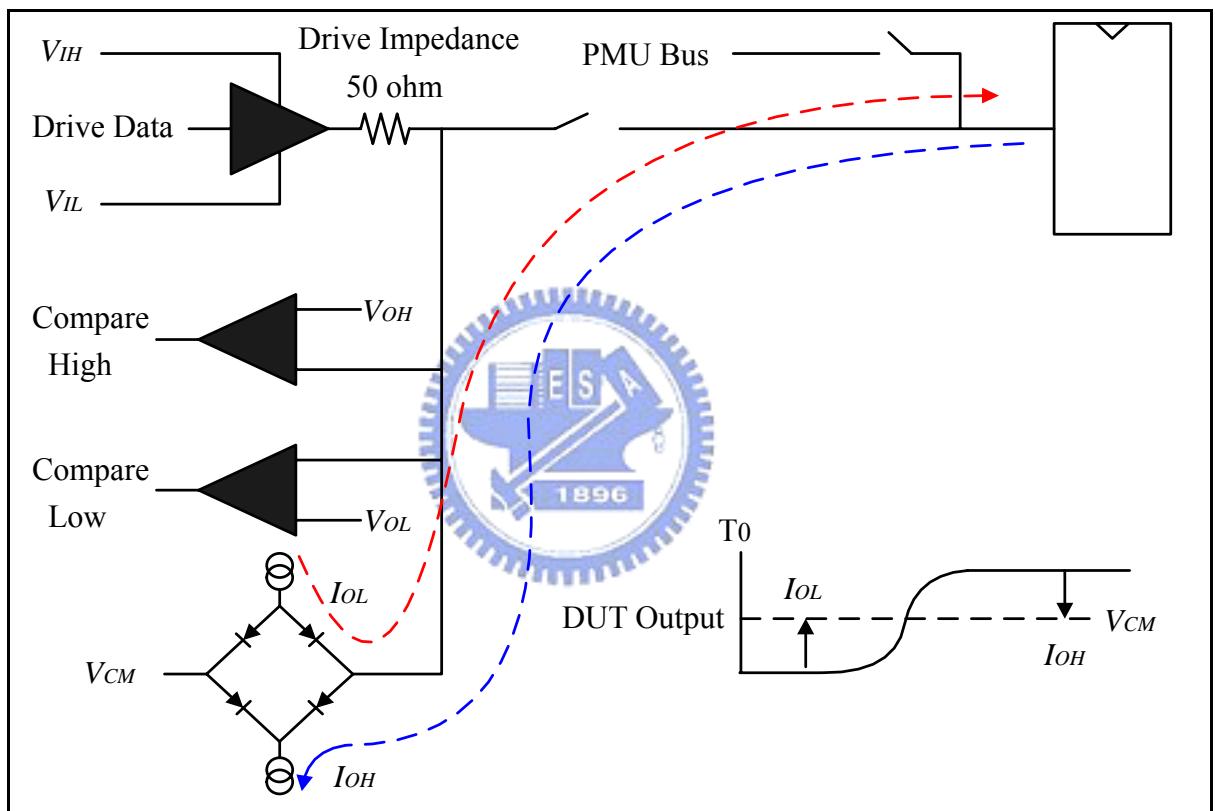


圖 2-3 Pin Electronics 架構圖

2.2 IEEE Std.1149.4 架構

IEEE Std.1149.4 為有關混合訊號測試匯流排之標準 [1]，主要專注於類比外部連接測試、元件測試與 IC 測試。從實驗得知，此架構難以提供高頻訊號的測試，使用冗長的 multi-drop 類比匯流排所產生的寄生性效果 (Parasitic Effects)，使得沒有足夠的頻寬

為主要的原因。然而，我們藉由重新設計類比界面模組 (*Analog Boundary Module*, ABM) 與測試匯流排電路 [2]，來提升訊號的頻率至 10MHz，這種方法如同使用 DSP 去消除訊號 de-convolution 所帶來的寄生性效果 [3]。在 TBIC 架構中，使用一對比較器來量化靜態電壓(Quiescent Voltage) [4]，利用統計的方法求得偏壓電壓 (Biasing Voltage) [5]，此種測試方法主要著重於頻率響應的改善 [2,3] 與靜態電壓的量測 [4,5]。（圖 2-4）為其架構示意圖如下：

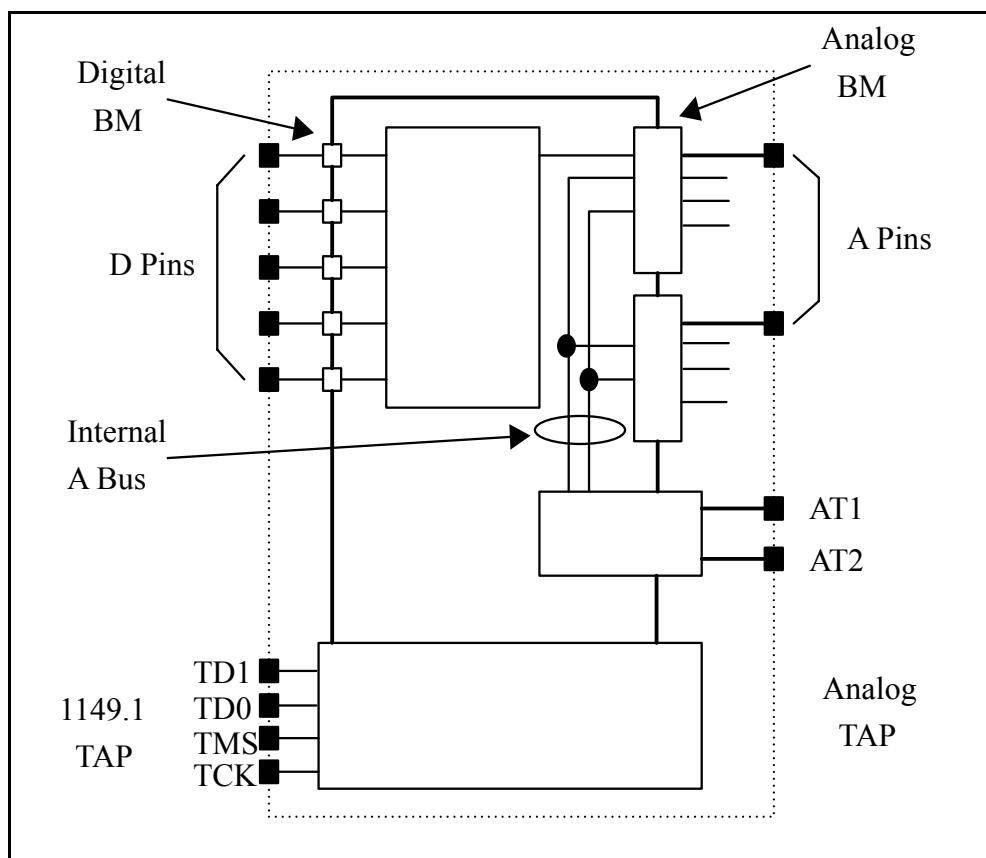


圖 2-4 IEEE Std.1149.4 架構圖

IEEE Std. 1149.4 TBIC 電路功能與架構

IEEE Std. 1149.4 TBIC，主要為希望解決混合/類比電路板上有關連接線測試、元件測量及 IC 測試上的問題，所發展出來的架構。其電路功能與架構，大致如下：
電路功能：

1. 連接線測試：提供偵測印刷電路板上連接線錯誤的能力，例如，開路或短路。
2. 元件測試：提供測量電路板上離散元件的數值的能力。
3. IC 測試：測量 IC 本身的功能。

電路架構：

1. 主要分成左右兩個區塊。右邊的區塊是必要的，左邊的區塊依其測試項目，可做選擇性的使用。
2. 兩條聯繫內部待測訊號的 Bus 線 (AB1, AB2)。
3. 兩條外部測試訊號的 Bus 線 (AT1, AT2)。
4. 在左邊的區塊，使用一對比較器，將待測訊號接至比較器的輸入，與其參考電壓 V_{TH} (Threshold Voltage) 相比，如此可得到數位式的輸出結果，易於觀察與分析。
5. 四個 DC 準位電壓， V_H 、 V_L 、 V_{TH} 和 V_C 。
6. 共十個切換開關 (S1 ~ S10)。依其不同的測試模式 (Function Pattern)，十個切換開關有不同的切換模式 (Switching Pattern)。
7. 以下 (圖 2-5) 為 IEEE Std. 1149.4 TBIC 電路圖表：

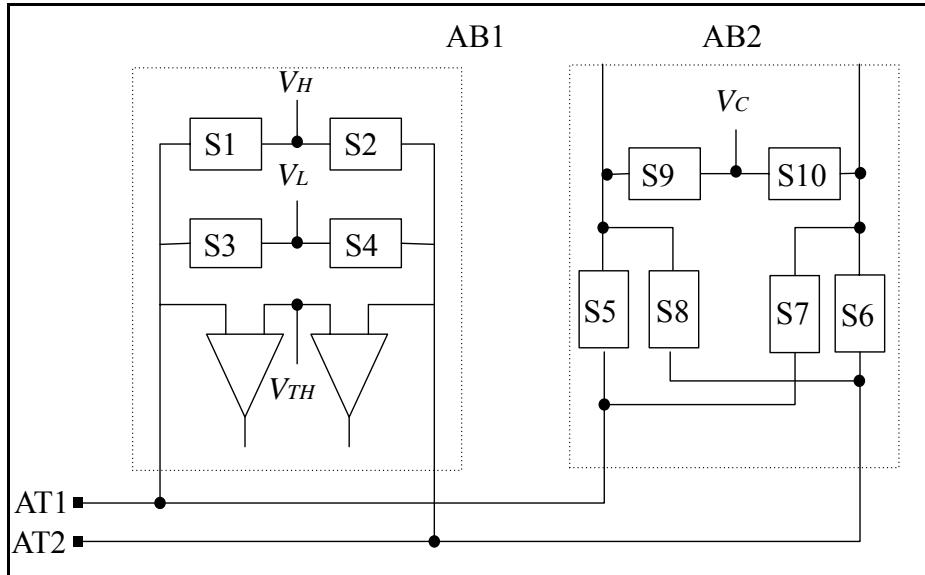


圖 2-5 IEEE Std. 1149.4 TBIC 電路圖表

TBIC 電路架構改良

Bus 線 (AT1,AT2) 上的負載 (Load)，易造成待測訊號的干擾與衰減，使得量測結果產生誤差與失真，(圖 2-6) 為改良後的電路架構。對此，主要的改良方法為使用內部的比較器，此時，參考電壓為 V_{R+} 與 V_{R-} ，讀取比較器的輸出，將輸出結果做統計分析。

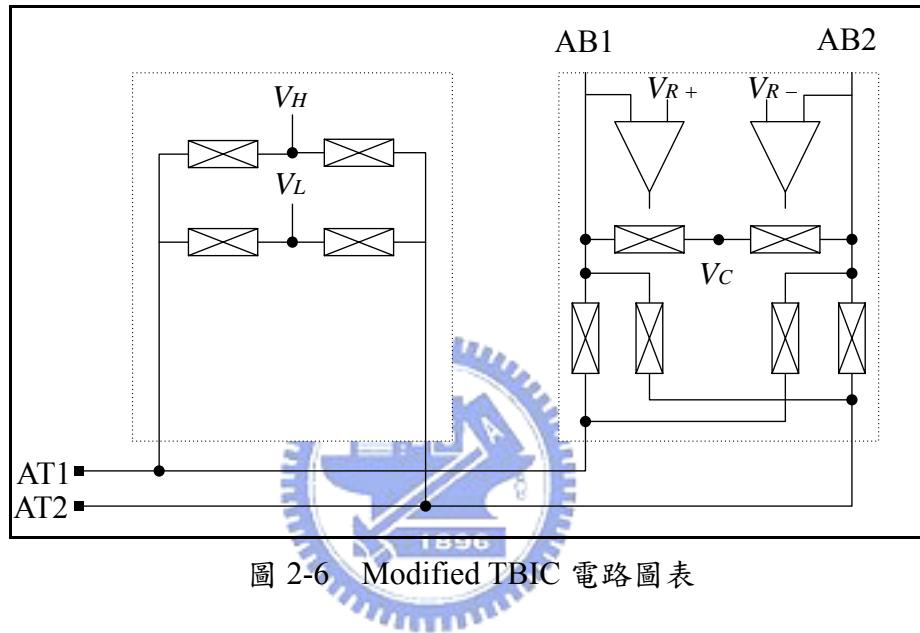


圖 2-6 Modified TBIC 電路圖表

2.3 類比訊號測試

Multi-Slop A/D Converter 動態 BIST 測試

近年來針對 A/D Converter 的測試方法，許多 BIST 測試架構不斷被設計開發與提出，其種類繁多，原理和轉換速度各有差異。這裡使用 Ramp BIST 的方法做為 A/D Converter 靜態測試 (Static Test) 的架構 [6]。(圖 2-7) 為組成單元 (Cell) 方塊示意圖。

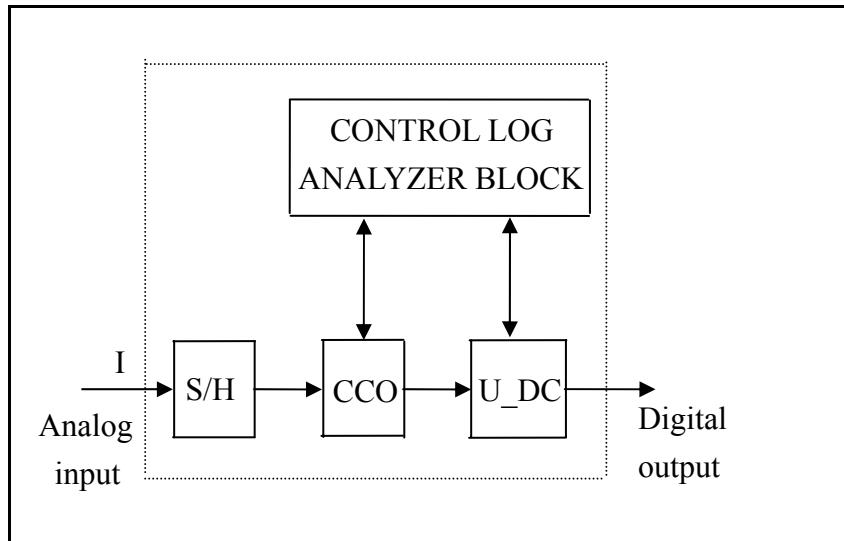


圖 2-7 Cell 方塊圖

以上架構包含三個 current-mode Cells. : CCO (Current Controlled Oscillator)、U_DC (Up_Down Counter) 和 S/H 為各別 Cell 中主要的部份。使用電流取樣的方式，電流包括類比訊號輸入電流 (I_{in})、參考電流 (I_{ref}) 與補償電流 (I_{off})。

輸出轉態演算法如以下 (圖 2-8) 所示，包含數個向上計數與向下計數序列。每一個邏輯單元控制其運算結果，直到轉態為止。當參考計數器達到滿刻度時，此時另兩個計數器的輸出為 N_{off1} 和 N_{el1} 。

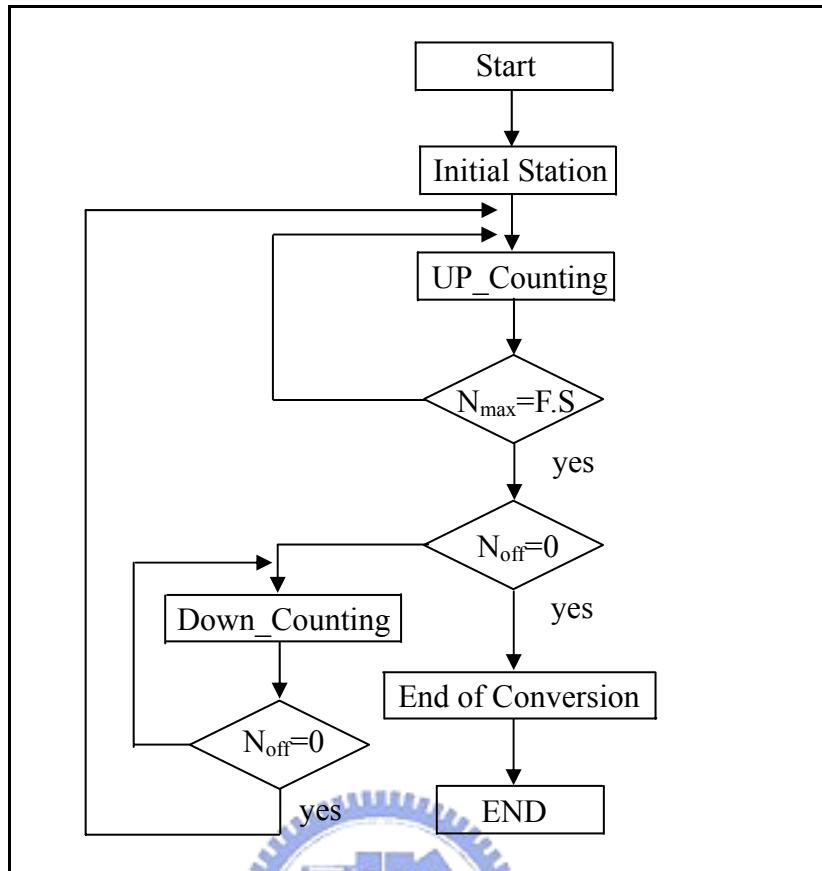


圖 2-8 Conversion Algorithm Flow

靜態測試方法

Ramp BIST 為靜態測試 A/D Converter 的典型方法 [7]，使用一個 D/A Converter 來產生 A/D Converter 的輸入類比訊號，如以下（圖 2-9）所示。D/A Converter 所產生的輸入類比訊號，輸入至 A/D Converter 取樣與轉換後，輸出數位訊號經由分析器 (Analyzer Block) 採集與分析，來判定此數位碼 (Code) 的轉態準位電壓，與 D/A Converter 的原始數位碼相比，如果結果相同，則判定為好品，反之為壞品。假設此時 A/D Converter 的解析度為 12 位元 (Bit)，使用的 D/A Converter 最少需要 16 位元以上。

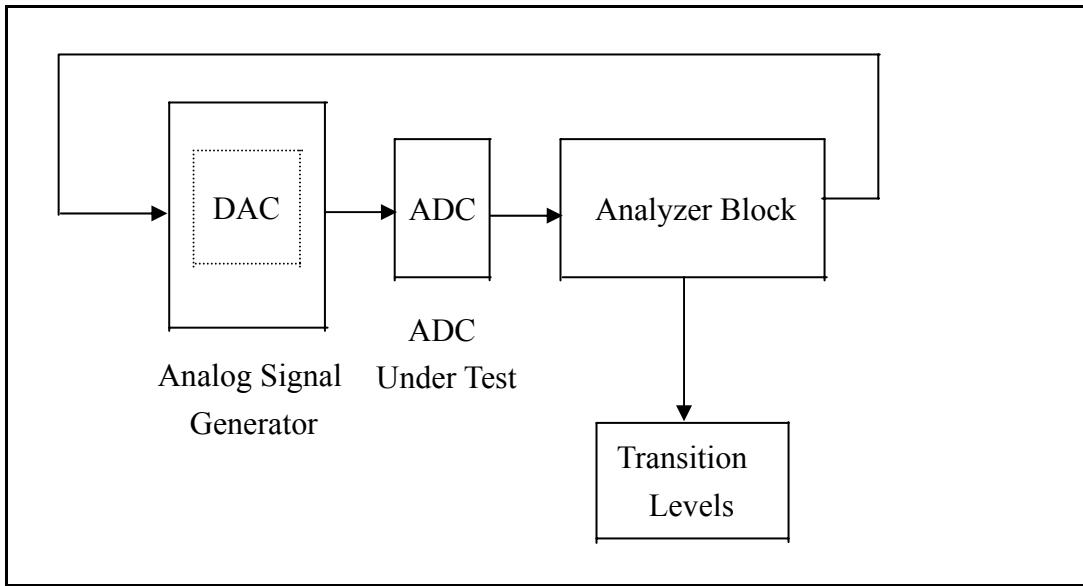


圖 2-9 Ramp Method

類比訊號電流的大小決定了數位碼的轉態準位，此測試方法使用 probabilistic 定義來判定其轉態準位位置。當確定了轉態準位位置之後，就可以計算出 offset、gain、DNL (Differential Non-Linearity) error 與 INL (Integral Non-Linearity) error 的值。



第三章 測試方法分析與模擬推導

本論文所提出的動態類比 BIST 的測試方式與架構，建構在以 IEEE Std. 1149.4 為基礎架構上。在此，我們先介紹測試架構示意圖，此架構與原理和 IEEE Std. 1149.4 TBIC 相容，AMM (Analog Monitoring Module) 為簡化架構。最後，對測試方法做詳細分析與說明，再以模擬推導相佐證。

3.1 IEEE Std. 1149.4 Compliant BIST 架構

以下（圖 3-1）為本論文的類比 BIST 測試架構示意圖。On-chip 產生測試波形，並經由其中一條匯流排傳送到 CUT (Chip Under Test)，其響應波形再經由另一條匯流排傳送到比較器，與比較器的輸入參考電壓 (V_{R+} 與 V_{R-}) 相比，其輸出結果傳至一對計數器，計數器計數輸出結果為 1 的次數。確定時脈 (Clock) 次數之後，決定電路 (Decision Circuit) 依據計數器計數結果，決定此待測物為好品或壞品。

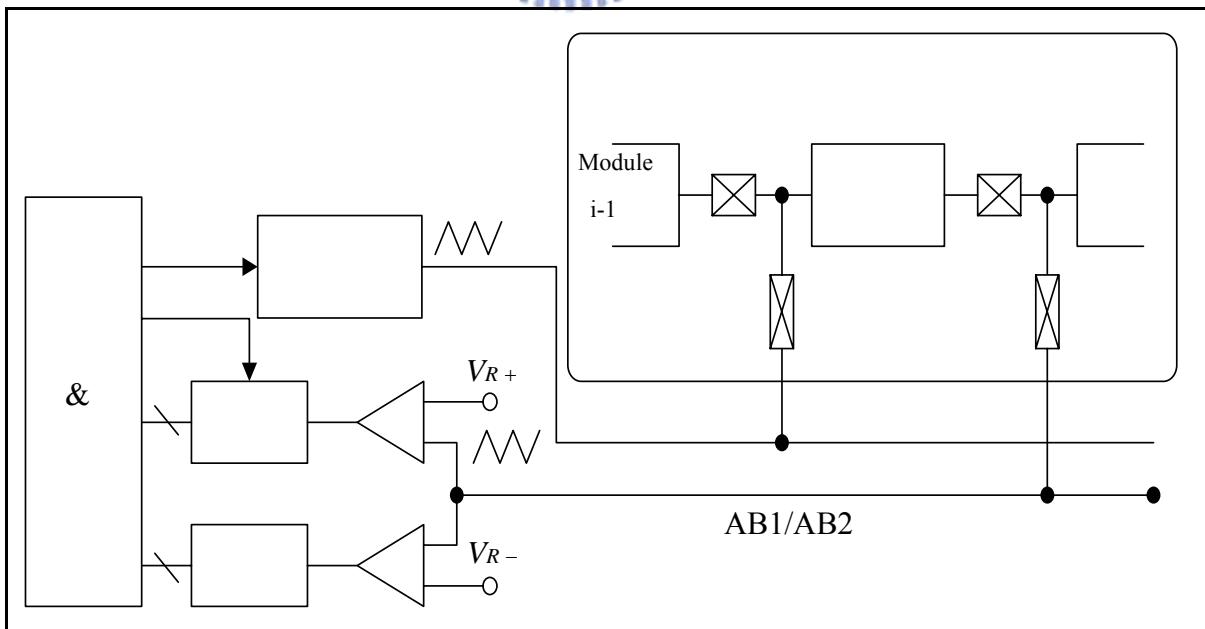


圖 3-1 BIST 測試架構示意圖

內建三角波產生器

無論是電路模擬或實際硬體電路系統完成之前，都需要輸入測試訊號至建構系統加以測試，不斷測試分析與改良，直到測試結果符合所求，此系統才算完成。所以，篩選與建構輸入測試訊號，也是不可或缺之事。

針對類比訊號測試波形而言，三角波 (Triangular Waveform) 為廣泛應用波形一，且可以容易地在 On-chip 產生。我們在模擬系統與實體電路之測試，也是採用此波形。一個簡單的方式如（圖 3-2）所示，由一個電流源和積分器所組成。以頻率 f_C 做充放電流的切換產生三角波，其振幅取決於電流源 I_o 與放電的週期。峯對峯 (Peak to Peak) 的電壓為 $V_{PP} = 0.5I_o/f_C \cdot C$ ，頻率為 f_C 。

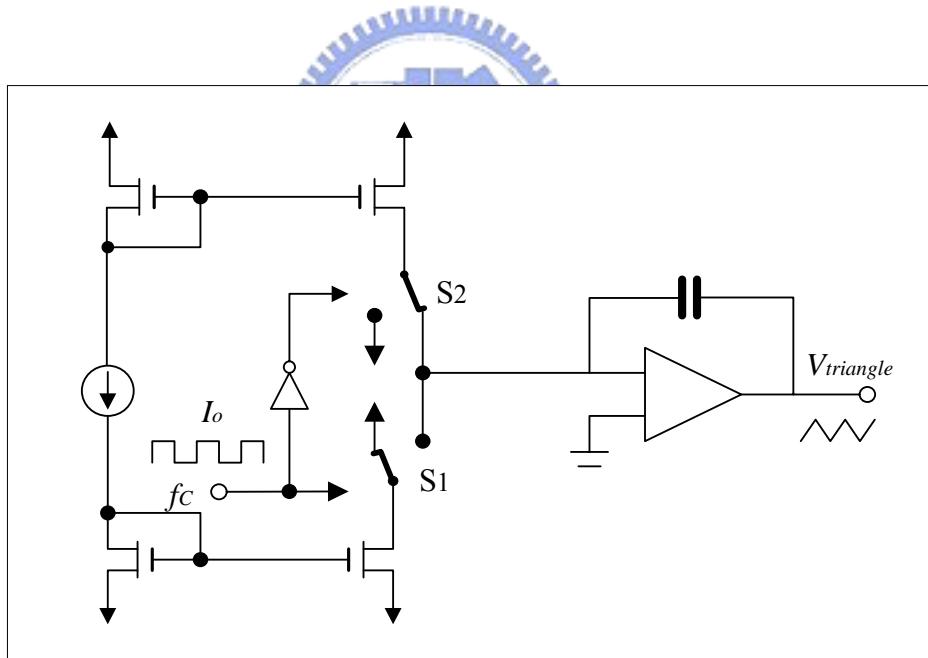


圖 3-2 Integrator Based Δ Waveform Generator

AMM 電路架構

Analog monitoring module (AMM) 為我們使用的動態類比 BIST 的簡化測試架構，

它的架構與原理和 IEEE Std. 1149.4 TBIC 相容，但包含較少的元件。主要包含一對比較器、兩組切換開關。如（圖 3-3）為 AMM 電路圖表：

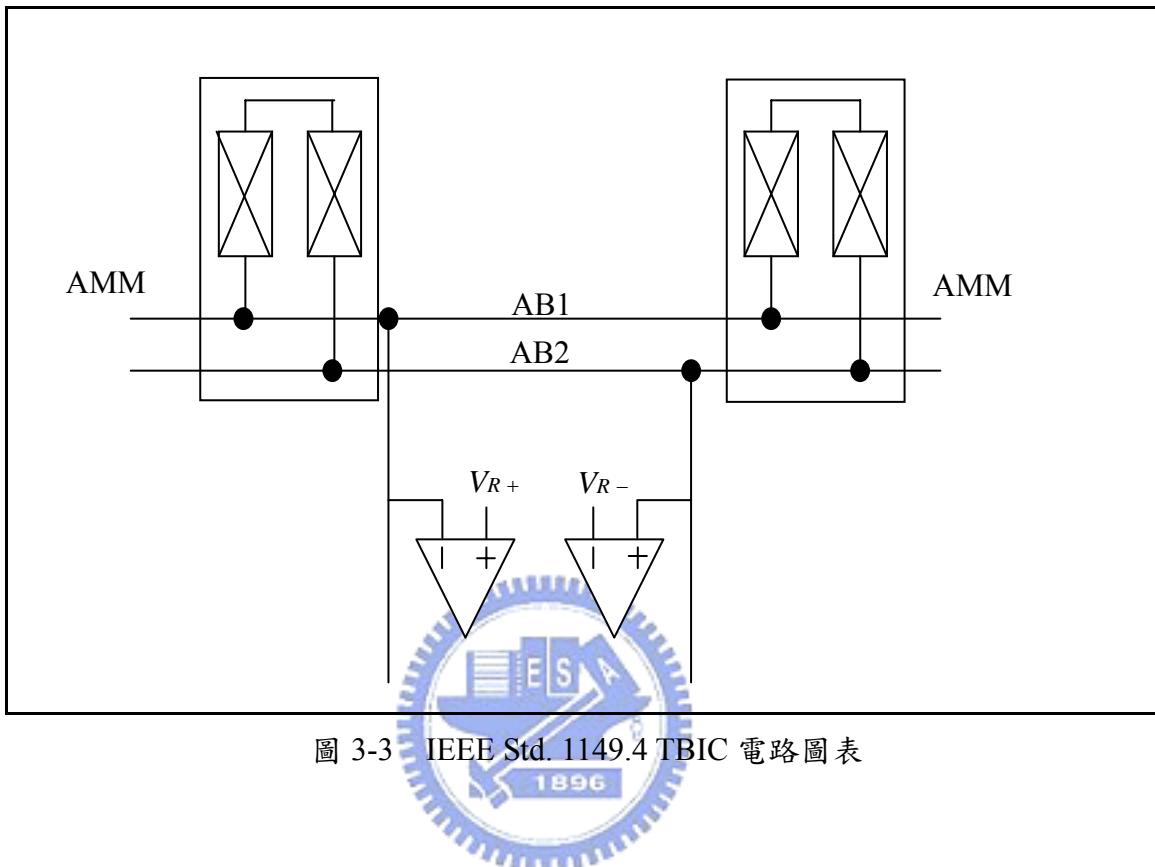


圖 3-3 IEEE Std. 1149.4 TBIC 電路圖表

簡化的 AMM 電路架構

以上的電路，可予以簡化，簡化後 (Simplified) 的 AMM 電路架構如（圖 3-4）所示。此電路為往後我們訊號測試的基本架構。測試訊號的中心電壓 (Biasing Voltage) 以 V_x 表示， V_A 表示振幅 (Amplitude)。將訊號輸入與比較器的輸入參考電壓 (V_{R+} 與 V_{R-})相比，得到數位輸出 V_1 與 V_2 。

使用數位測試通道 (Digital Test Channel) 量測輸入訊號的電壓，可降低雜訊的干擾，且可藉著調整適當的 V_{R+} 與 V_{R-} 的值，統計分析其輸出結果，使其能夠反推測試訊號的 V_x 與 V_A 的值，為此架構主要的優點。

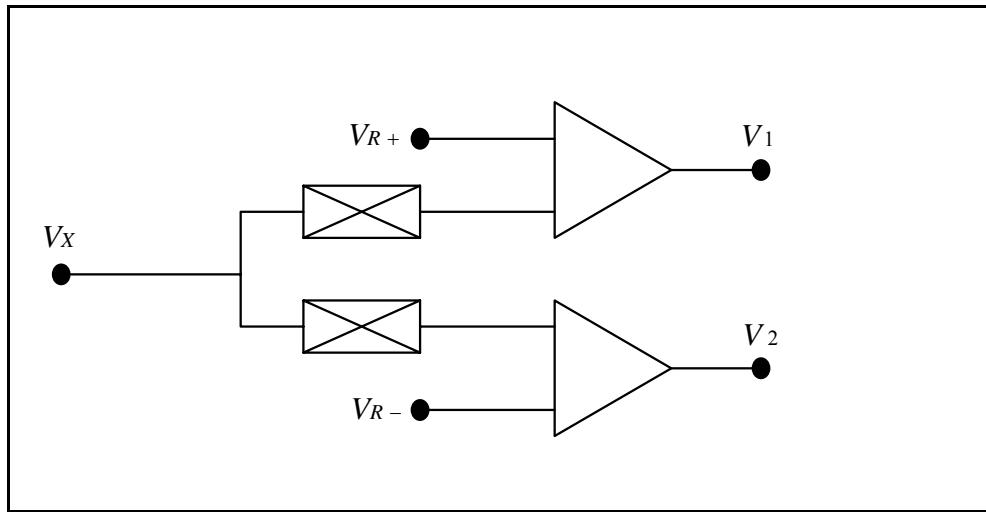


圖 3-4 Simplified QSMM 結構圖表

3.2 測試方法分析與模擬推導

類比訊號測試的架構有很多種，我們使用的動態類比 BIST 的測試方式與架構，建構在以 IEEE Std. 1149.4 為基礎架構上。期待此種方式，能夠大大的降低雜訊在量測訊號過程中的影響，提升量測精確度與晶片良率，進而降低生產成本。



在 3.1 章節所介紹的 Simplified AMM 架構，為我們使用的架構。主要包含一對比較器、兩個輸入參考電壓 V_{R+} 與 V_{R-} 。選擇以三角波做為電路的測試訊號，其中心電壓以 V_x 表示， V_A 表示振幅。在測試前，先給定 V_{R+} 、 V_{R-} 的電壓值，將三角波連續輸入至比較器，其輸入值與給定的 V_{R+} 、 V_{R-} 相比較後，輸出將以數位方式連續輸出。我們對輸出做隨機取樣 (Random Sampling)，將輸出結果以統計方式分析、整理，再藉由數學模型 (Mathematical Modeling) 的概念，希望能夠反推其待測訊號的 V_x 與 V_A 的電壓值，誤差愈小愈好。

對於一個未知電壓的測試訊號波形，輸入至 Simplified AMM 的電路測試，期待能夠藉著調整適當的 V_{R+} 與 V_{R-} 的值，將其輸出結果以統計方式加以分析、整理，能夠反

推其待測訊號的 V_x 與 V_A 的電壓值，且誤差愈小愈好。

在了解整體測試架構與目的之後，以下我們將針對其測試方法與模擬結果，做詳細的解說與分析。至於實體電路設計與完成部分，第四章將做詳細的解說。在推導的過程中，觀念涉及機率、統計分析，在研讀此章節前，須對機率與統計先行研習一番。

數學推導架構與模擬結果

接下來說明數學推導架構與模擬結果，內容包含數學模型、公式推導、推導結果、與模擬結果四個部份，逐一說明如下。

數學模型

首先假設測試訊號為三角波，波形以 V_{R+} 、 V_{R-} 電壓為邊界，區分為三塊區域如下：
L1、L2、L3。如 (圖 3-5) 所示。



$$\begin{cases} L1 : v \leq V_{R-} \\ L2 : V_{R-} \leq v \leq V_{R+} \\ L3 : v \geq V_{R+} \end{cases} \quad (1)$$

相對於三個區域的時間間隔依序為 T1、T2、T3。我們對比較器輸出做隨機取樣時，
L1、L2、L3 發生的機率依序對應為 P_{L1} 、 P_{L2} 與 P_{L3} 。

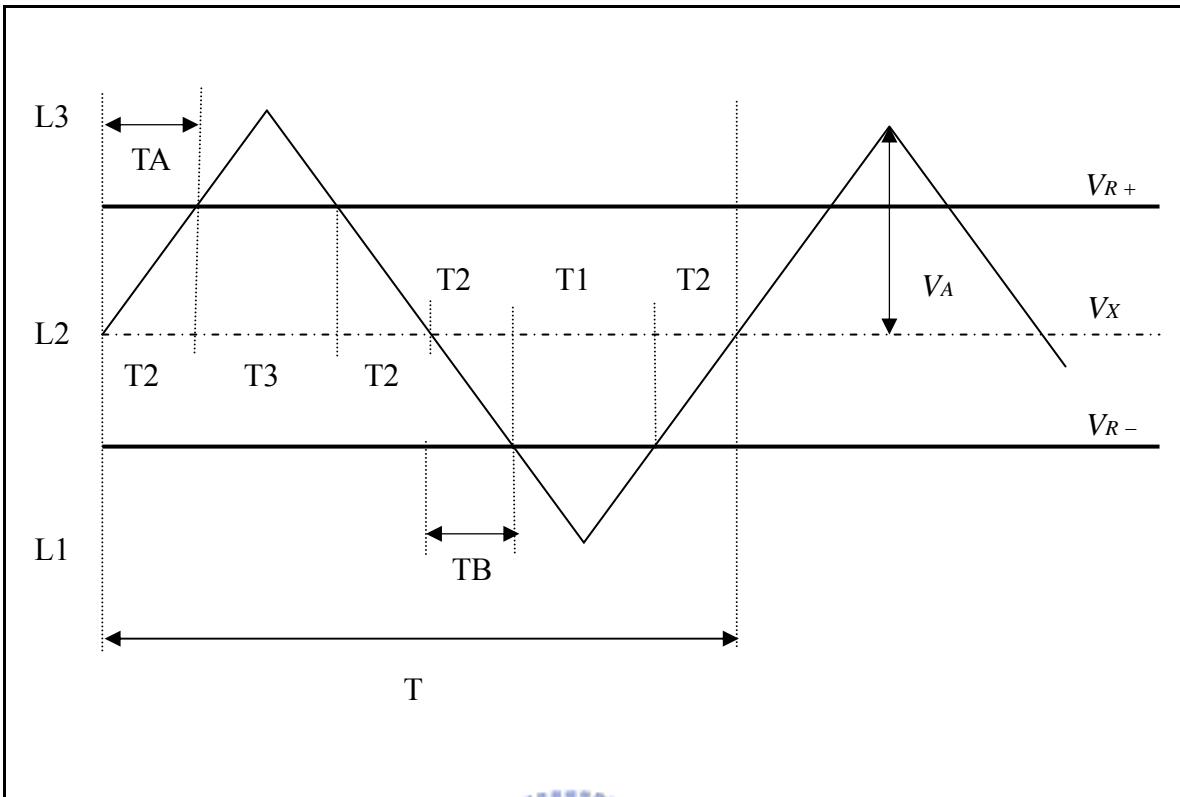


圖 3-5 Δ Waveform Compared to V_{R+} , V_{R-}

根據三角波形的中心電壓 V_X 、振幅 V_A 與參考電壓之間電壓準位的關聯，可區分為三種情形 (Case) 如下，但不包含 $V_X + V_A = V_{R+}$ 與 $V_X - V_A = V_{R-}$ 此兩種情形。

Case 1: $V_X + V_A < V_{R+}$, 如 (圖 3-6) 所示。

Case 2: $\begin{cases} V_X + V_A > V_{R+} \\ V_X - V_A < V_{R-} \end{cases}$, 如 (圖 3-7) 所示。

Case 3: $V_X - V_A > V_{R-}$, 如 (圖 3-8) 所示。

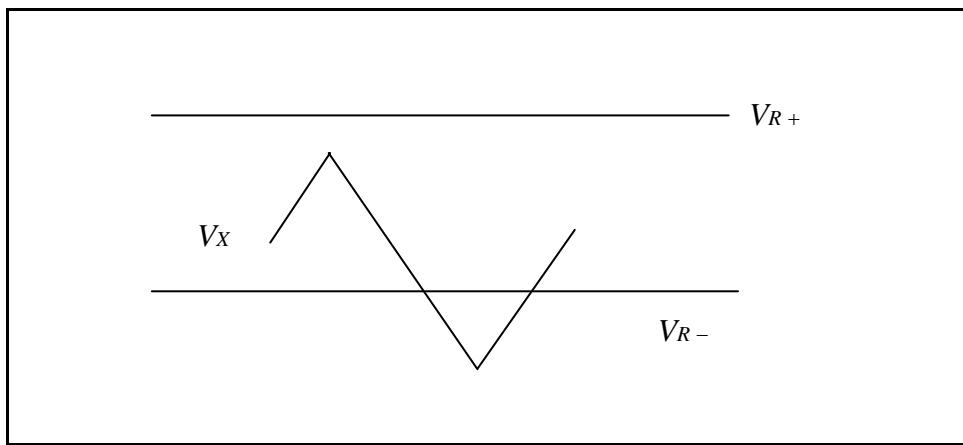


圖 3-6 Case 1 for Δ Waveform Compared to V_{R+} , V_{R-}

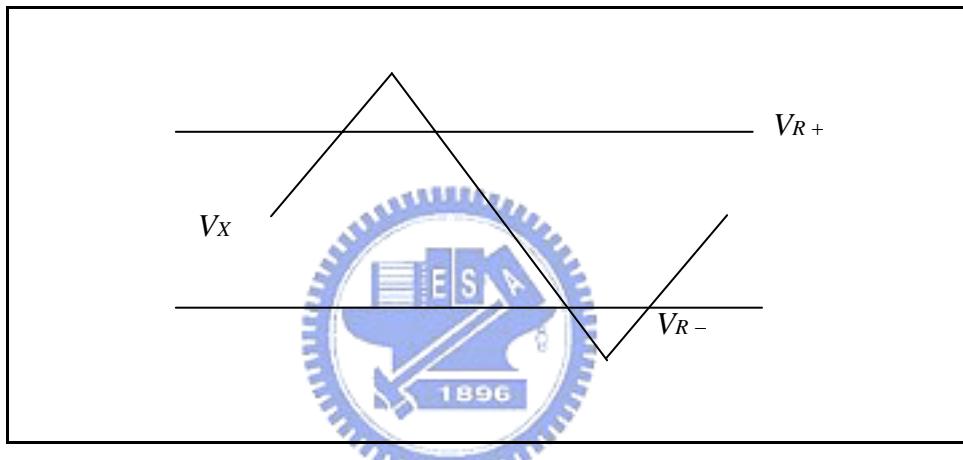


圖 3-7 Case 2 for Δ Waveform Compared to V_{R+} , V_{R-}

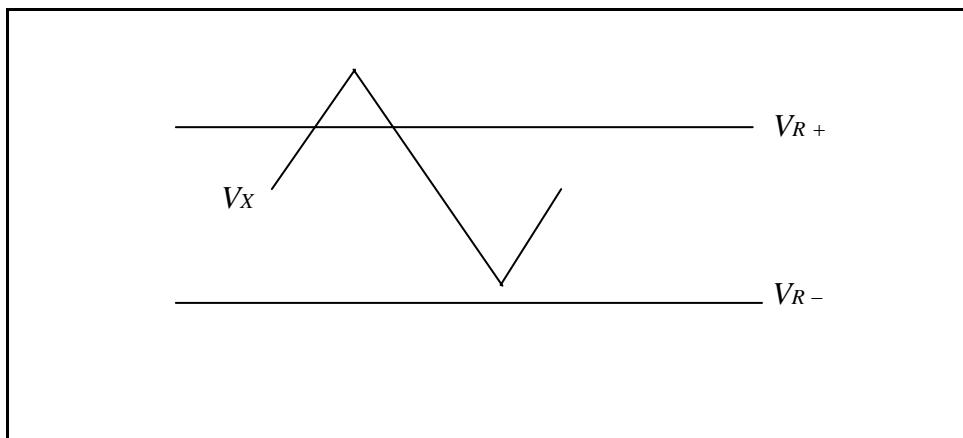


圖 3-8 Case 3 for Δ Waveform Compared to V_{R+} , V_{R-}

公式推導

公式推導主要針對 P_{L1} 、 P_{L2} 和 P_{L3} 。由以上章節可知，共有三種 Case。我們以 Case 2 為例，做 P_{L1} 、 P_{L2} 和 P_{L3} 的公式推導，Case 1 與 Case 3 同理可得。

Case 2: $\begin{cases} V_X + V_A > V_{R+} \\ V_X - V_A < V_{R-} \end{cases}$ ，如以上（圖 3-7）所示。

1. 假設三角波週期為 T，且 TA 為三角波電壓 v 介於 V_X 與 V_{R+} 之間的時間間距，TB 為介於 V_X 與 V_{R-} 之間的時間間距。

公式推導如下：

$$Slope = m = \frac{V_A}{T/4} = \frac{4V_A}{T} \quad (2)$$

$$T_A = \frac{V_{R+} - V_X}{m}, \quad T_B = \frac{V_X - V_{R-}}{m} \quad (3)$$



T_3 值推導如下：

$$\begin{aligned} \Theta \frac{T}{4} - T_A &= \frac{1}{2} T_3 \\ \Rightarrow T_3 &= 2 \left(\frac{T}{4} - T_A \right) \end{aligned}$$

T_1 值推導如下：

$$\begin{aligned} \Theta \frac{T}{4} - T_B &= \frac{1}{2} T_1 \\ \Rightarrow T_1 &= 2 \left(\frac{T}{4} - T_B \right) \end{aligned}$$

$T1$ 、 $T2$ 與 $T3$ 值如下：

$$\begin{cases} T1 = 2\left(\frac{T}{4} - T_B\right) \\ T3 = 2\left(\frac{T}{4} - T_A\right) \\ T2 = 1 - T1 - T3 \end{cases} \quad (4)$$

$$\Theta P_{L1} = \frac{T1}{T} \quad P_{L2} = \frac{T2}{T} \quad P_{L3} = \frac{T3}{T}$$

將方程式(3) 代入方程式(4)，整理化簡後，可得 P_{L1} ， P_{L2} 和 P_{L3} 值如下：

$$\begin{cases} P_{L1} = 0.5 - \frac{V_X - V_R^-}{2V_A} \\ P_{L2} = \frac{V_R^+ - V_R^-}{2V_A} \\ P_{L3} = 0.5 - \frac{V_R^+ - V_X}{2V_A} \end{cases} \quad (5)$$



解方程式(5)，可得 V_X 與 V_A 的值如下：

$$\begin{cases} V_A = \frac{V_R^+ - V_R^-}{2P_{L2}} \\ V_X = V_R^- + \frac{0.5 - P_{L1}}{P_{L2}}(V_R^+ - V_R^-) \end{cases} \quad (6)$$

2. Case 1 與 Case 3 的推導，同理可得。整理結果如以下 (圖 3-9) 所示：

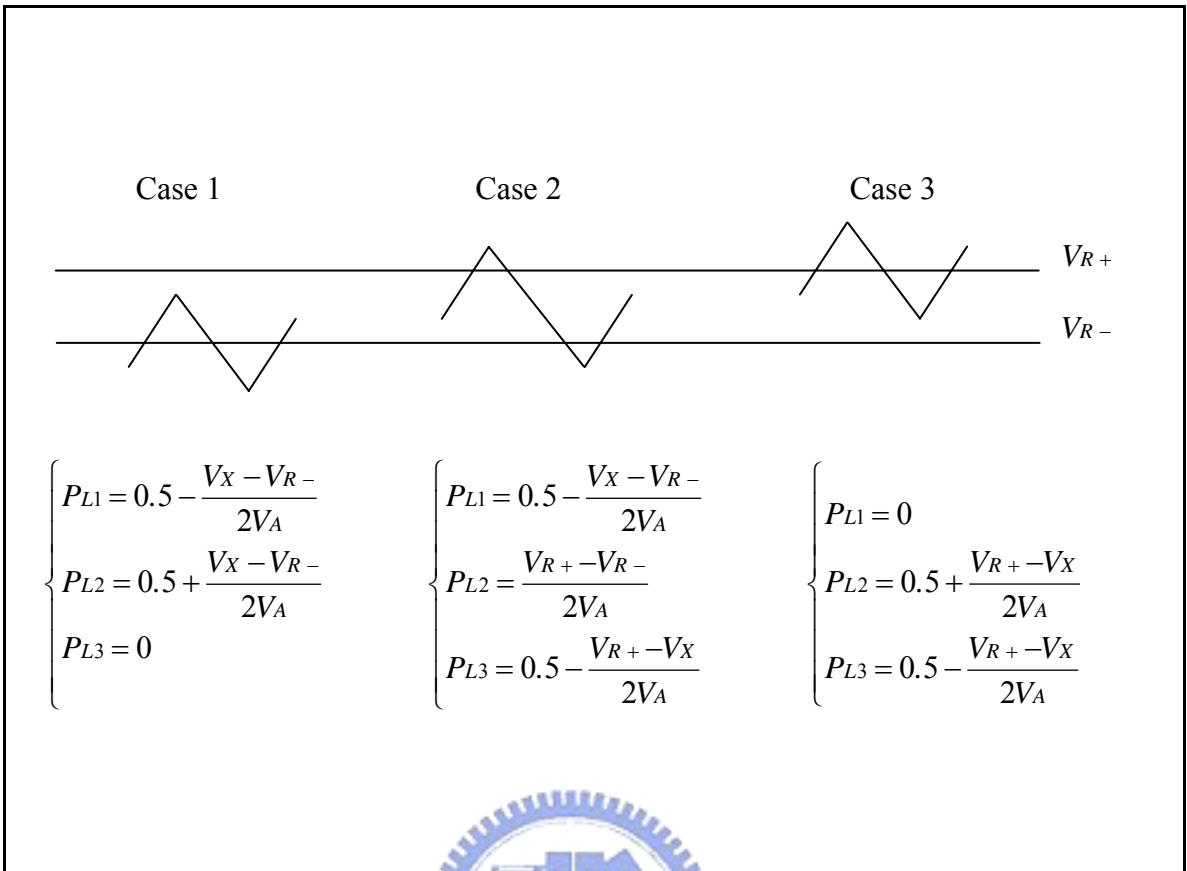
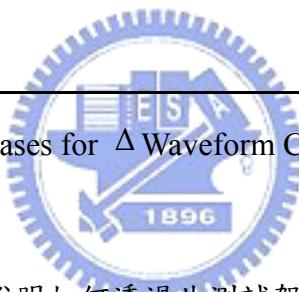


圖 3-9 Three Cases for Δ Waveform Compared to V_{R+} , V_{R-}



我們以 Case 2 為例，來說明如何透過此測試架構與方式，來反推測試訊號 V_X 與 V_A 的值。由以上推導可知，要求得 V_X 與 V_A 的值，必須先計算出 P_{L1} 、 P_{L2} 和 P_{L3} 的值，其方法如下。

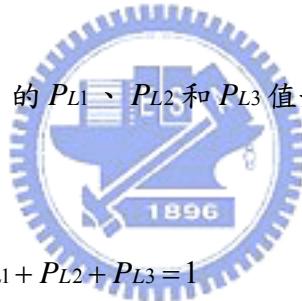
首先我們假設對輸出做隨機取樣 N 次，統計結果發現，有 N_1 次取樣的電壓大於 V_{R+} ， N_2 次取樣的電壓小於 V_{R-} ，則可得 P_{L1} 、 P_{L2} 和 P_{L3} 的值如下：

$$\begin{cases} P_{L1} = \frac{N_2}{N} \\ P_{L2} = \frac{N - N_1 - N_2}{N} \\ P_{L3} = \frac{N_1}{N} \end{cases} \quad (7)$$

將方程式(7) 代入方程式(6)，可得 V_X 與 V_A 的值如下：

$$\begin{cases} V_A = \frac{N}{2(N - N_1 - N_2)} (V_{R+} - V_{R-}) \\ V_X = V_{R-} + \frac{0.5N - N_2}{N - N_1 - N_2} (V_{R+} - V_{R-}) \end{cases} \quad (8)$$

然而，我們必須注意一件事，在方程式(5) (Case 2) 當中，雖然含有三個方程式，但由於 $P_{L1} + P_{L2} + P_{L3} = 1$ ，使得其中一個方程式為多餘的式子。但仍可使用最後的兩個方程式，來解兩個未知變數 V_X 與 V_A 的值。然而，在 Case 1 與 Case 3 當中，其中一方程式為 P_{L3} 或 P_{L1} 等於零，如以上 (圖 3-9) 所示，且剩餘的兩個方程式為恆等式，所以，當 V_X 與 V_A 皆為未知數時，無法使用僅有的一個方程式，去解兩個未知變數 V_X 與 V_A 的值。以下僅以 Case 1 為例來加以說明，Case 3 同理可證。



由以上 (圖 3-9) 可知，Case1 的 P_{L1} 、 P_{L2} 和 P_{L3} 值如下：

$$\begin{cases} P_{L1} = 0.5 - \frac{V_X - V_{R-}}{2V_A} \\ P_{L2} = 0.5 + \frac{V_X - V_{R-}}{2V_A} \quad , \text{ 且 } P_{L1} + P_{L2} + P_{L3} = 1 \\ P_{L3} = 0 \end{cases} \quad (9)$$

由方程式(9) 可得 P_{L2} 等於 $1 - P_{L1}$ 。將 P_{L2} 以 $1 - P_{L1}$ 代入方程式(9) 中的第二個方程式： $P_{L2} = 0.5 + \frac{V_X - V_{R-}}{2V_A}$ ，經整理化簡可得另一新方程式： $P_{L1} = 0.5 - \frac{V_X - V_{R-}}{2V_A}$ 。顯然地，此方程式與方程式(9) 中的第一個方程式相同，故方程式(9) 中的第一個方程式與第二個為恆等式。

推導結果

P_{L1} 、 P_{L2} 和 P_{L3} 的公式推導可區分為三種情形：Case 1、Case 2 與 Case 3。結果如

(圖 3-9) 所示。要求得 V_X 與 V_A 的值，必須先計算出 P_{L1} 、 P_{L2} 和 P_{L3} 的值。然而，對於測試一個未知的類比訊號，其 V_X 與 V_A 皆為未知數時，我們期待透過此測試架構與方式，調整 V_{R+} 與 V_{R-} 於適當的電壓，使其架構為 Case 2。如此，才能對比較器輸出做隨機取樣，計算 P_{L1} 、 P_{L2} 和 P_{L3} 的值，進而能夠反推 V_X 與 V_A 的值。此時，若架構為 Case 1 或 Case 3，我們無法反推 V_X 與 V_A 的值。

數學模式模擬結果

由 (圖 3-9) 結果可知， P_{L1} 、 P_{L2} 與 P_{L3} 為 V_X 的函數。因此，在做模擬時，選擇 V_X 為 P_{L1} 、 P_{L2} 與 P_{L3} 機率分佈的變數。使用 C 語言來完成模擬程式，其模擬結果與公式推導結果相符合。我們以 (圖 3-15) 模擬結果為例佐證。

(圖 3-15) 為 P_{L1} 、 P_{L2} 與 P_{L3} 對 V_X 的機率分佈圖，圖表包含公式推導裡的三種情況，其參數條件如下所示：

- ◆ $V_A = 1V$ ， $V_{R+} = 0.5V$ ， $V_{R-} = -0.5V$ 。
- ◆ V_X varies from $-1V$ to $1V$ 。



圖表顯示，當 V_X 的值小於 $-0.5V$ 時， P_{L3} 為零。以 $0.1V$ 線性增加 V_X 的值，當 V_X 到達 $-0.5V \leq V_X \leq 0.5V$ 時， $P_{L2} = 0.5 = \frac{V_{R+} - V_{R-}}{2V_A}$ ， V_X 大於 $0.5V$ 時， P_{L3} 為零。此結果與公式推導結果相符合。

(圖 3-10)~(圖 3-25) 為模擬結果如下：

$(V_A = 1.0V, V_{R+} = 0.5V, V_{R-} = -0.5V)$

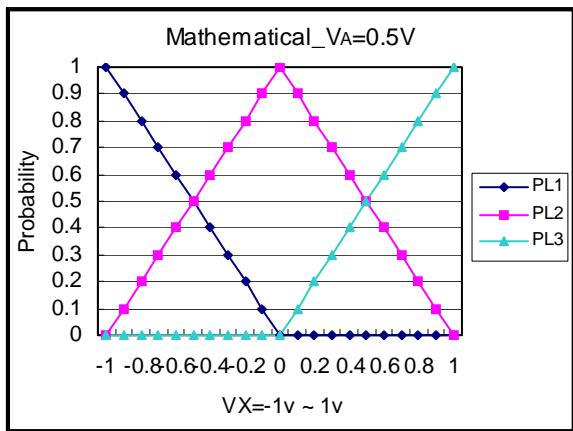


圖 3-10 Probability of VA=0.5V

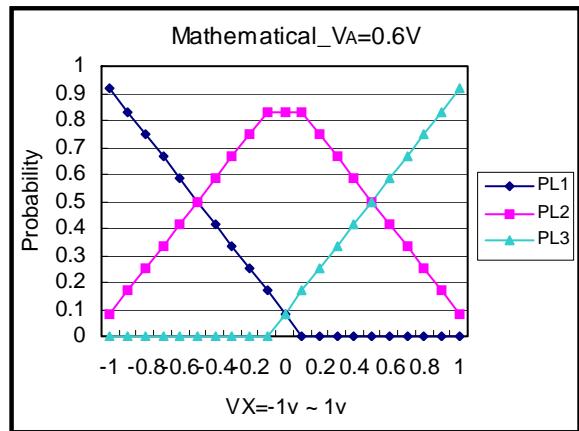


圖 3-11 Probability of VA=0.6V

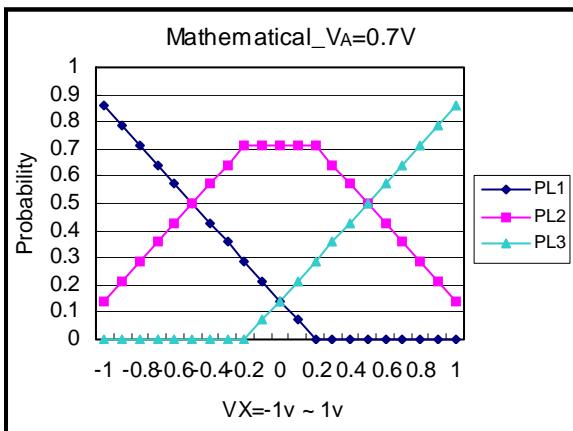


圖 3-12 Probability of VA=0.7V

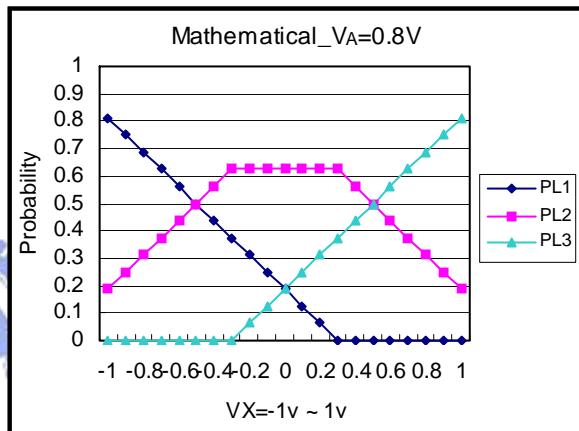


圖 3-13 Probability of VA=0.8V

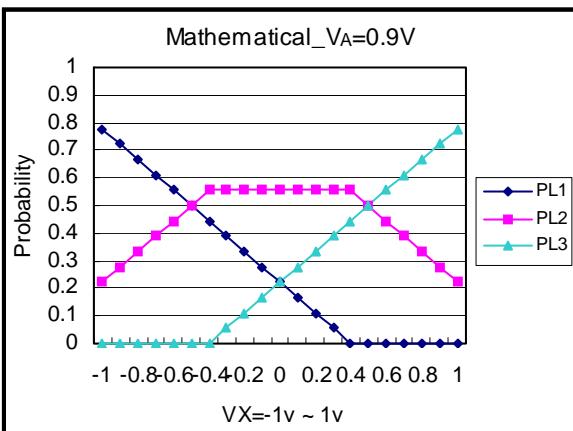


圖 3-14 Probability of VA=0.9V

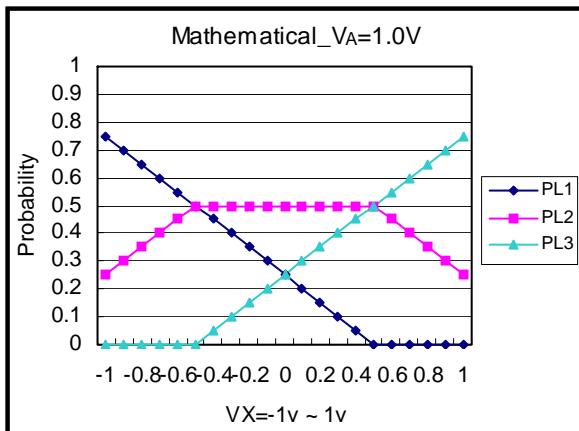


圖 3-15 Probability of VA=1.0V

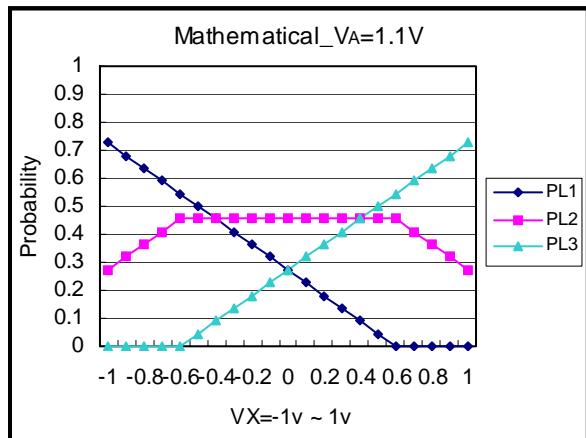


圖 3-16 Probability of VA=1.1V

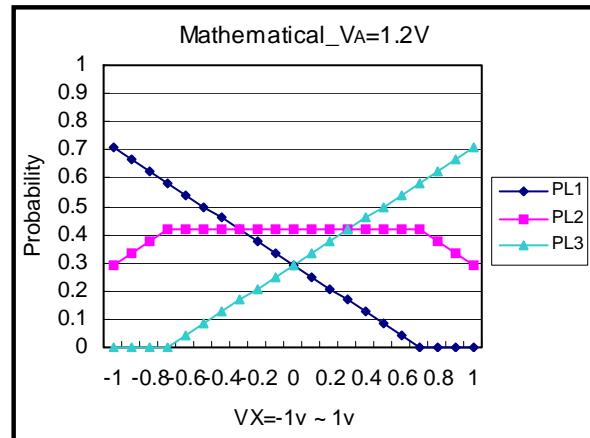


圖 3-17 Probability of VA=1.2V

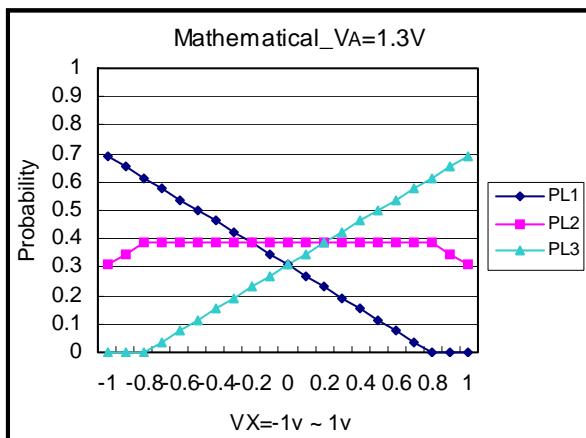


圖 3-18 Probability of VA=1.3V

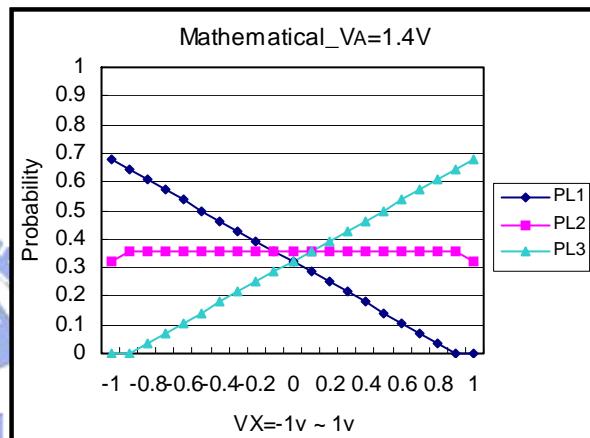


圖 3-19 Probability of VA=1.4V

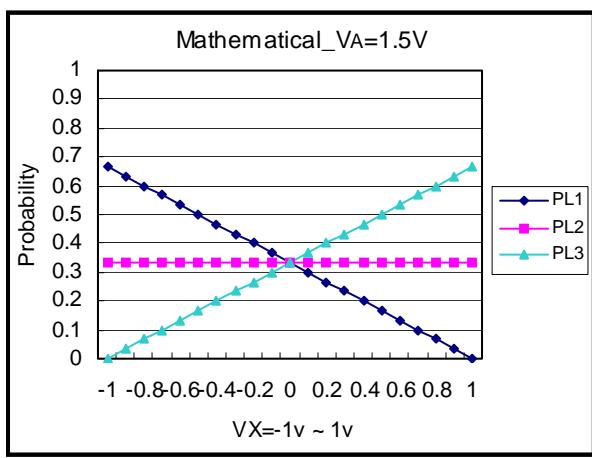


圖 3-20 Probability of VA=1.5V

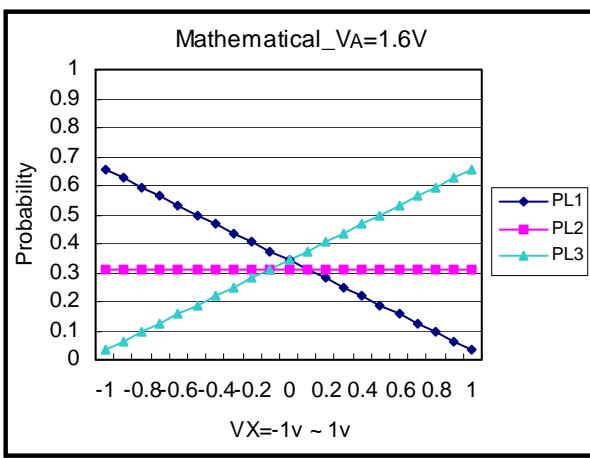


圖 3-21 Probability of VA=1.6V

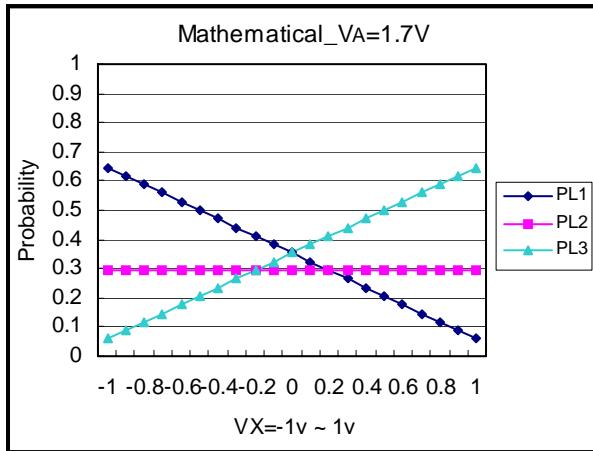


圖 3-22 Probability of VA=1.7V

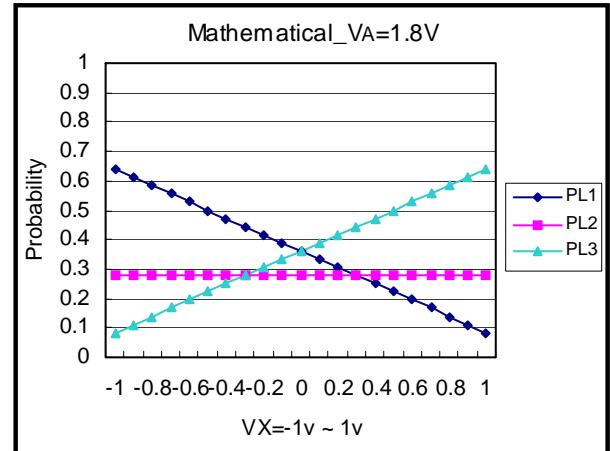


圖 3-23 Probability of VA=1.8V

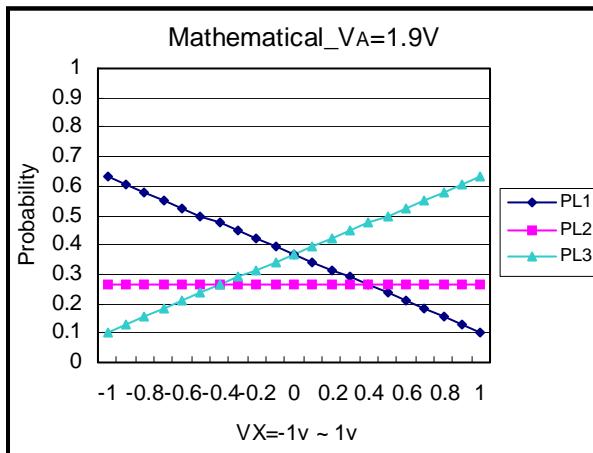


圖 3-24 Probability of VA=1.9V

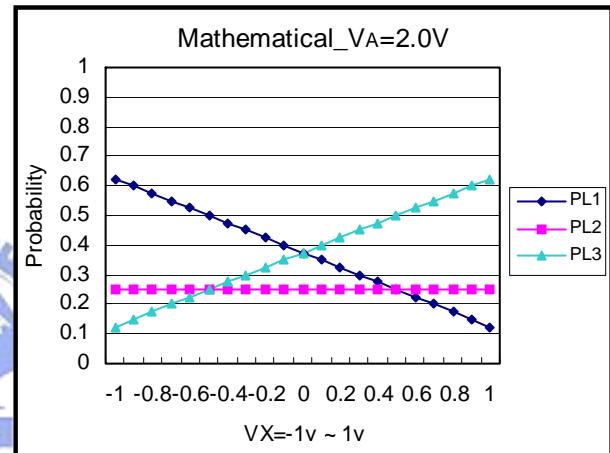


圖 3-25 Probability of VA=2.0V

3.3 降低雜訊

在實際情況之中，訊號在傳送或處理的過程當中，或多或少都會受到雜訊 (Noise) 的干擾，衰減訊號的強度，往往使得輸出訊號因雜訊的干擾而失真。因此，如何降低雜訊的干擾，也是影響訊號量測精確度的重要因素之一。在說明如何降低雜訊干擾的方法之前，我們將先對雜訊模式，進行探討與了解。接著，我們再以模擬結果加以佐證。

雜訊模式

雜訊模式如（圖 3-26）所示，測試訊號 V_X 與比較器參考電壓 V_{R+} 與 V_{R-} 被雜訊 couple。假設訊號與雜訊為常態分佈（Normal Distribution），其參數表示如下：

1. σ_x^2 為訊號 V_X 的變異係數（Variance）。
2. σ_c^2 與 σ_d^2 分別為雜訊的共模（Common Mode）與差模（Differential Mode）的變異係數。
3. $\Delta V_R = V_{R+} - V_{R-}$ 。
4. x 為 V_X 與 $\frac{1}{2}(V_{R+} - V_{R-})$ 的差值。

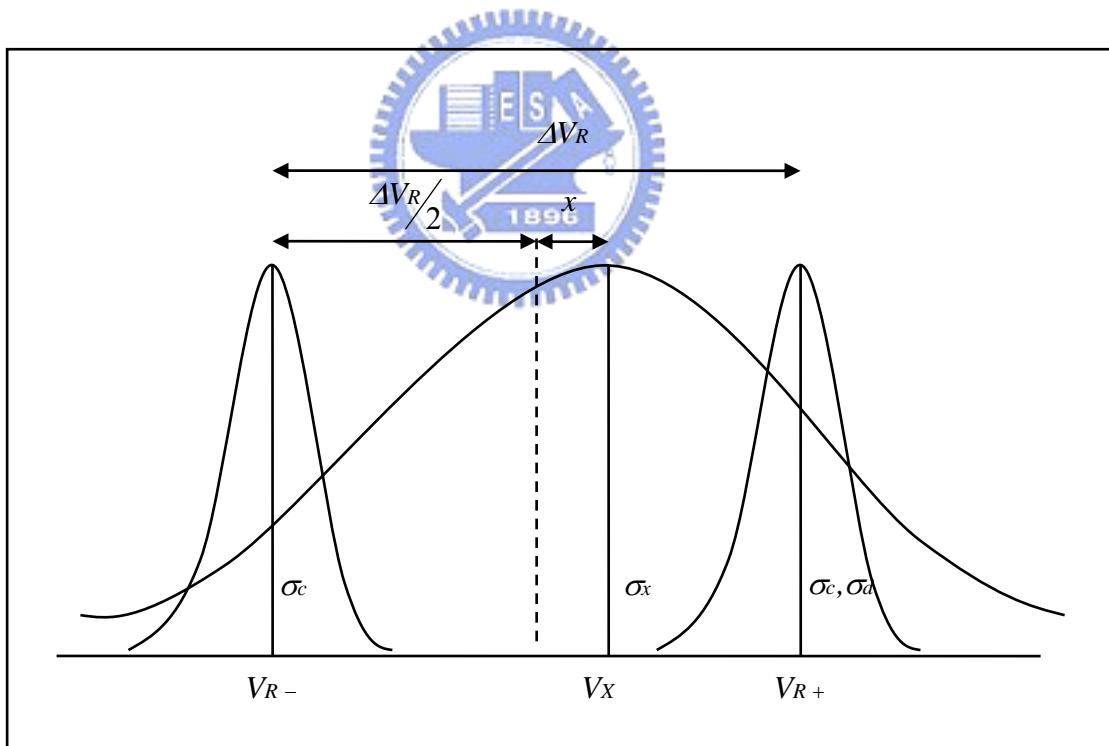


圖 3-26 Noise model of the test system

1. Normal (or Gaussian) Distribution 的機率分佈函數（Probability Distribution Function）可表示如下。變數 x 為連續隨機變數， σ 為變異係數。

$$f(x) = \frac{1}{\sqrt{2\pi} \cdot \sigma} \exp\left(-\frac{1}{2}\left[\frac{x-u}{\sigma}\right]^2\right), \quad -\infty < x < \infty \quad (10)$$

且變數 u 和 σ 必須符合右邊的條件： $-\infty < u < \infty$ ， $\sigma > 0$

(圖 3-27) 為方程式(10) 的示意圖如下：

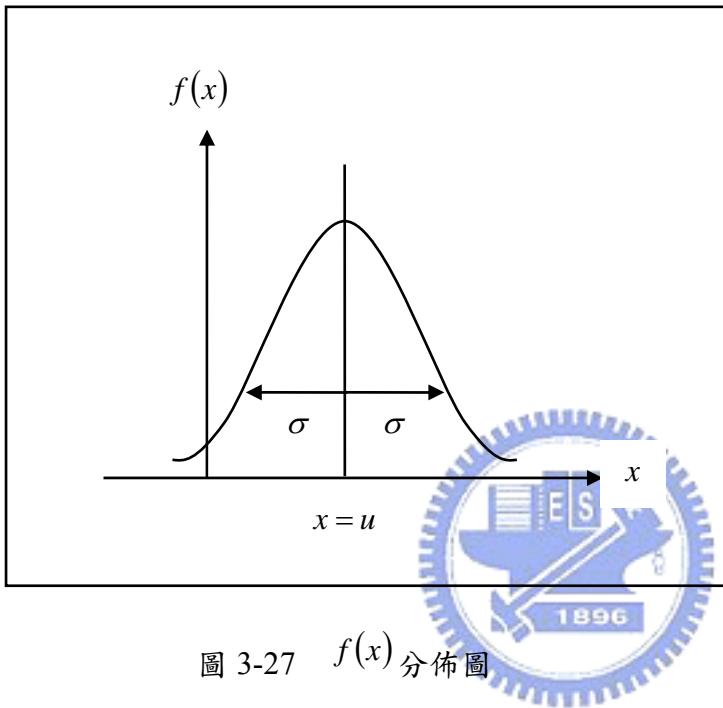


圖 3-27 $f(x)$ 分佈圖

2. 如 3.2 章節所述，三角波以 V_{R+} 、 V_{R-} 電壓為邊界，可區分為三塊區域：L1、L2 和 L3。假設 P_{VX} 與 $P_{V_{R+}}$ 為輸入訊號與參考電壓的機率分佈函數，每一區域的機率為 P_{L1} 、 P_{L2} 與 P_{L3} ，可計算如下。

假設 P_{VX} 與 $P_{V_{R+}}$ 為常態分佈，依據方程式(10)，其機率分佈函數可表示如下：

$$\begin{cases} P_{VX}(x) = \frac{1}{\sqrt{2\pi} \cdot \sigma_c} \exp\left(-\frac{1}{2}\left[\frac{x-\bar{X}}{\sigma_c}\right]^2\right) \\ P_{V_{R+}}(y) = \frac{1}{\sqrt{2\pi} \cdot \sigma_d} \exp\left(-\frac{1}{2}\left[\frac{y-\bar{V}_{R+}}{\sigma_d}\right]^2\right) \end{cases} \quad (11)$$

因此， P_{L1} 、 P_{L2} 與 P_{L3} 如下：

$$\begin{cases} P_{L1} = \int_{-\infty}^{V_R^-} P_{VX}(x) \int_{V_R^-}^{\infty} P_{V_R+}(y) dy dx \\ P_{L2} = \int_{V_R^-}^{\infty} P_{VX}(x) \int_{V_R+}^{\infty} P_{V_R+}(y) dy dx \\ P_{L3} = \int_{V_R+}^{\infty} P_{VX}(x) \int_{V_R+}^{V_X} P_{V_R+}(y) dy dx \end{cases} \quad (12)$$

根據方程式(12)，我們可以發現， P_{L1} 、 P_{L2} 與 P_{L3} 為 x 的函數。因為， x 為 V_X 與 $\frac{1}{2}(V_{R+} - V_{R-})$ 的差值，故 P_{L1} ， P_{L2} 與 P_{L3} 也為 V_X 的函數，此結果與公式推導一致。

降低雜訊方法

由於比較器的量化能力，近似於 1.5-bit 的 ADC，其量化誤差將相當的大。量化誤差的產生，來自於量化過程中雜訊的干擾，因此，我們必須將量化雜訊降到最低。增加隨機取樣的次數 (Over Sampling)，與提升系統的 SNR (Signal to Noise Ratio)，可降低雜訊的干擾，增加量測精確度，其原理說明如下。

首先，假設雜訊為前文所提的 Normal (or Gaussian) Distribution，當我們對輸出隨機取樣 N 次時，此時雜訊的 σ 值為 $\sqrt{\frac{p \cdot (1-p)}{N}}$ ， p 為 probability。在 Gaussian 函數中，如以上 (圖 3-6) $f(x)$ 所示， 1σ 表示為 70 % 的信心度 (Confidence Level)， 2σ 表示為 95 % 的信心度， 3σ 表示為 99.7 % 的信心度。若精確度 ε 被要求在 99.7 % 的信心度以上，此時取樣次數 N ，必須滿足以下方程式。

$$\varepsilon \geq 3\sqrt{\frac{p \cdot (1-p)}{N}} \quad (\varepsilon \geq 3\sigma) \quad (13)$$

從方程式(13) 可知，當取樣次數 N 增加，則 ε 值減小，精確度增高，其量化誤差變小。因此，增加取樣次數，確實可降低雜訊的干擾，提升量測精確度。從 SNR 的定義中

得知，當 SNR 提升 3dB，對降低雜訊的效果，相當於加倍取樣，所以提升 SNR，也可降低雜訊干擾。SNR 的定義如下：

$$SNR = 20 \log \left(\frac{V_{rms}}{\sigma / \sqrt{N}} \right) , N : \text{取樣次數} \quad (14)$$

當取樣次數加倍時，此時 SNR 的變化量為 $20 \log \left(\frac{1}{1/\sqrt{2}} \right) = +3\text{dB}$ 。

由以上可知，增加隨機取樣的次數，與提升系統的 SNR，可降低雜訊的干擾，增加量測精確度，我們再以模擬結果加以佐證。

隨機取樣模擬結果

使用 C 語言來完成模擬程式。假設三角波為模擬的測試訊號，我們以 1024 點來組成。(圖 3-28) 為其示意圖如下：

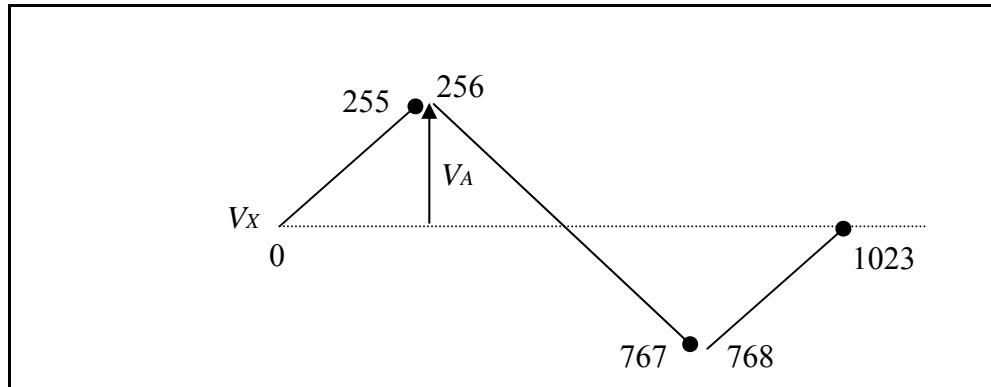


圖 3-28 三角波示意圖

以程式數學方程式表示如下：

$(i = 0; i <= 255; i++)$

$$V(i) = V_X + i \cdot \frac{V_A}{256} \quad (15)$$

$(i = 256; i <= 767; i++)$

$$V(i) = V_X + V_A - (i - 256) \cdot \frac{V_A}{256} \quad (16)$$

$(i = 768; i <= 1023; i++)$

$$V(i) = V_X - V_A + (i - 768) \cdot \frac{V_A}{256} \quad (17)$$

$V(i)$ 設為電壓矩陣 $V(1024)$ ，矩陣中共有 1024 點與相對應的電壓，電壓的大小取決於變數 i 、 V_X 、與 V_A 的值。我們以取樣次數為 1024 次，來說明如何完成模擬實驗。首先，使用 C 語言的亂數產生器，亂數產生的值再除以 1024，其值代入電壓矩陣 $V(1024)$ ，得到相對應的值，以此循環做 1024 次，此為我們隨機取樣輸出的電壓。取樣的電壓與 V_{R+} 、 V_{R-} 相比，判斷其機率區域為何 (P_{L1} 、 P_{L2} 或 P_{L3})，以程式數學方程式表示如下：

此例：令 $h = 1024$

$(k = 0; k <= h; k++)$ ， h ：取樣次數

$$L = rand(k) \% 1024 \quad (18)$$

if $(V[L] > V_{R+})$

$$P_{L3} = P_{L3} + 1 \quad (19)$$

else $(V[L] < V_{R-})$

$$P_{L1} = P_{L1} + 1 \quad (20)$$

else

$$P_{L2} = P_{L2} + 1 \quad (21)$$

(圖 3-29)~(圖 3-32) 為模擬結果，從模擬結果可看出，當取樣次數愈多如 (圖 3-29)，機率圖與公式推導如 (圖 3-15) 愈接近。

($V_A = 1.0V$, $V_{R+} = 0.5V$, $V_{R-} = -0.5V$)

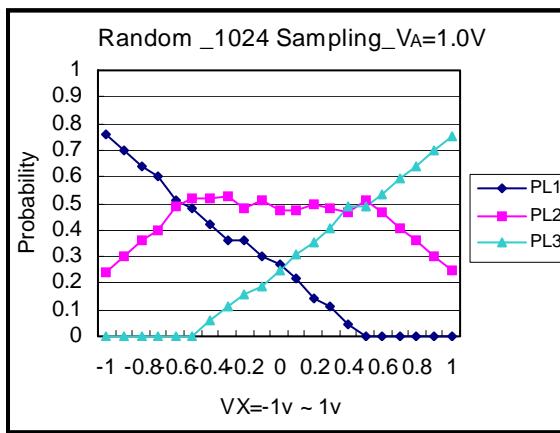


圖 3-29 1024 Sampling

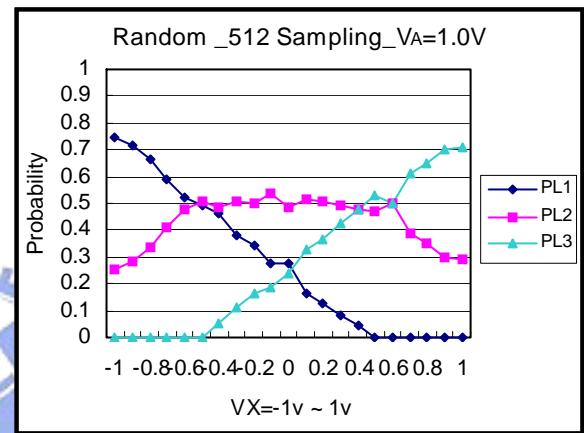


圖 3-30 512 sampling

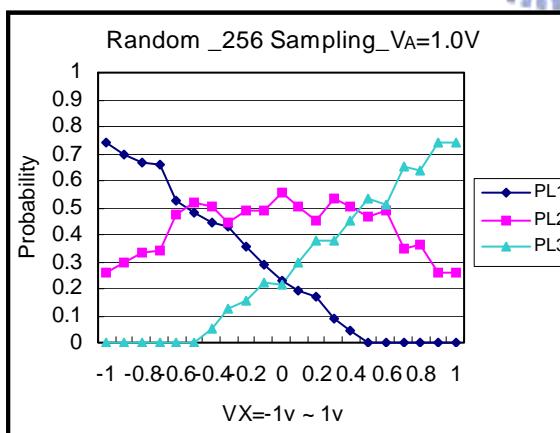


圖 3-31 256 sampling

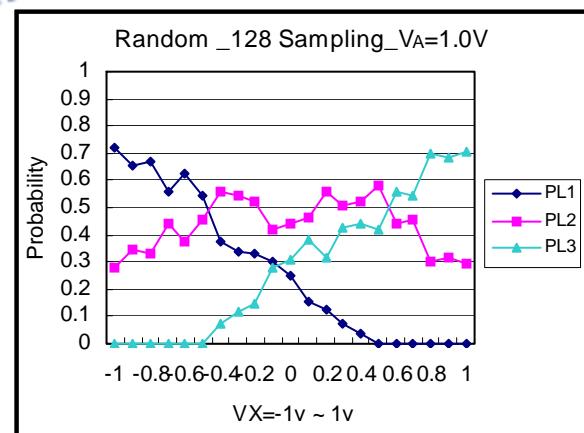


圖 3-32 128 sampling

訊號對雜訊比模擬結果

此模擬為針對雜訊對訊號的影響。首先，必須建立雜訊的電壓矩陣，其電壓矩陣如

下所示：

表 3-1: $\text{noise}[101]$

$$\text{noise}[101] = \{-3.09, -2.33, -2.05, -1.88, -1.75, -1.64, -1.55, -1.48, -1.41, -1.34, \\ -1.28, -1.22, -1.17, -1.12, -1.08, -1.03, -0.99, -0.95, -0.91, -0.88, \\ -0.84, -0.81, -0.77, -0.74, -0.71, -0.67, -0.64, -0.61, -0.58, -0.55, \\ -0.52, -0.50, -0.47, -0.44, -0.41, -0.39, -0.36, -0.33, -0.31, -0.28, \\ -0.25, -0.23, -0.20, -0.18, -0.15, -0.13, -0.10, -0.08, -0.05, -0.02, \\ 0, \\ 0.03, 0.05, 0.08, 0.10, 0.13, 0.15, 0.18, 0.20, 0.23, 0.25, 0.28, 0.31, \\ 0.33, 0.36, 0.39, 0.41, 0.44, 0.47, 0.50, 0.52, 0.55, 0.58, 0.61, 0.64, \\ 0.67, 0.71, 0.74, 0.77, 0.81, 0.84, 0.88, 0.92, 0.95, 0.99, 1.04, 1.08, \\ 1.13, 1.18, 1.23, 1.28, 1.34, 1.41, 1.48, 1.56, 1.65, 1.75, 1.88, 2.05, \\ 1.75, 1.88, 2.05, 2.33, 3.09\}$$

程式數學方程式表示如下：



$$(k = 0; k <= h; k++) , \quad h : \text{取樣次數} \\ L = \text{rand}(k) \% 1024 \\ n = \text{rank}(k) \% 101 \quad (22)$$

$$\text{if } (V[L] + \text{noise}[n] * \sigma > V_{R+}) \\ P_{L3} = P_{L3} + 1 \quad (23)$$

$$\text{else } (V[L] + \text{noise}[n] * \sigma < V_{R-}) \\ P_{L1} = P_{L1} + 1 \quad (24)$$

$$\text{else} \\ P_{L2} = P_{L2} + 1 \quad (25)$$

(圖 3-33)~(圖 3-36) 為模擬結果，從模擬結果可看出，當 SNR 愈高如 (圖 3-33)，機率圖與公式推導如 (圖 3-15) 愈接近。

($V_A = 1.0V$, $V_{R+} = 0.5V$, $V_{R-} = -0.5V$)

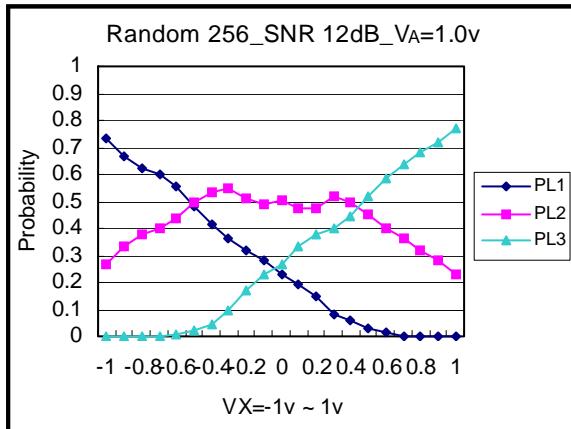


圖 3-33 12dB SNR

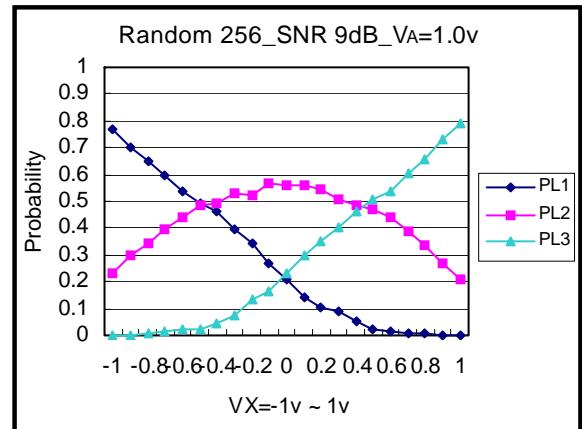


圖 3-34 9dB SNR

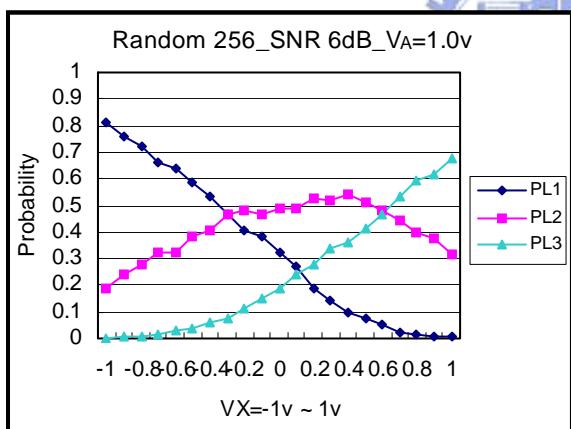


圖 3-35 6dB SNR

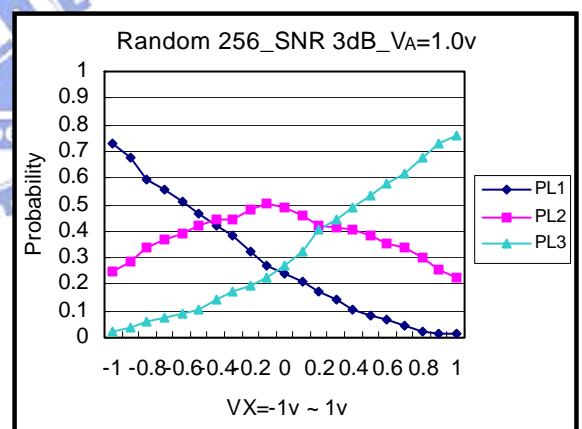


圖 3-36 3dB SNR

(圖 3-37)~(圖 3-40) 為 SNR 相對於隨機取樣的模擬結果。模擬方式為，當 SNR 增加 3dB，此時隨機取樣的次數減半，從以下模擬結果圖可看出，四個圖形非常相近，因此當 SNR 提升 3dB，對降低雜訊的效果，相當接近於加倍取樣。

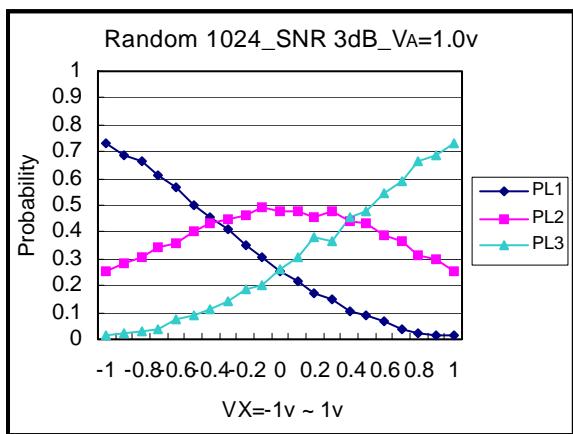


圖 3-37 1024 sampling_3dB SNR

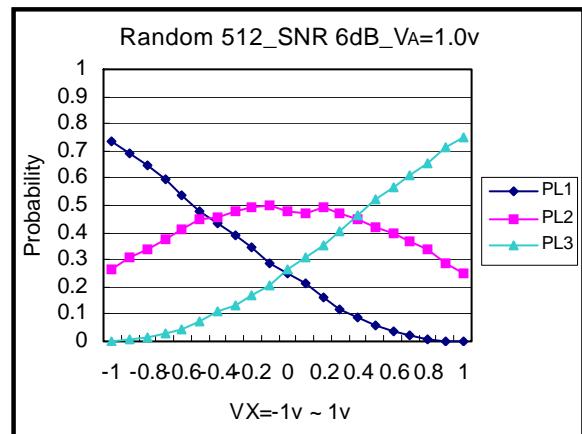


圖 3-38 512 sampling_6dB SNR

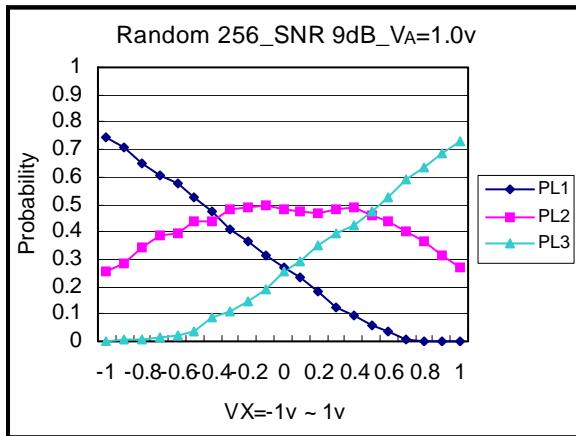


圖 3-39 256 sampling_9dB SNR

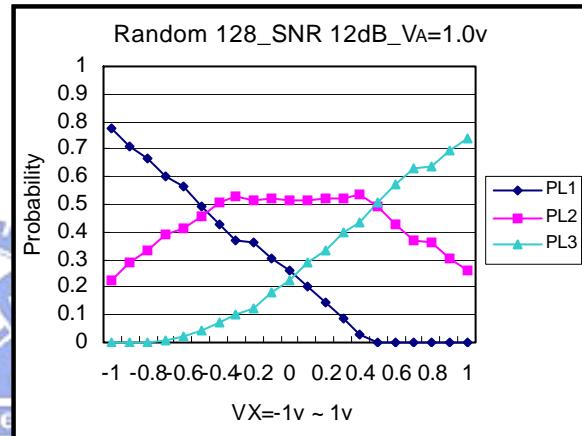


圖 3-40 128 sampling_12dB SNR

第四章 實體電路設計與完成

簡化的 AMM 架構為本論文類比訊號測試的基本電路架構。在第三章中已經說明這類比 BIST 的電路架構、測試方法與模擬結果，在這一章節主要是說明實體電路設計與實體完成後的測試結果。

4.1 實體電路設計

在電路設計上，是以 P-SPICE 來加以設計與模擬。採用 TOP Down Modeling 的方式，以所要的電路功能為依據，把整個設計分成若干個模組方塊，而各個方塊之間的關係及相連的訊號都事先規劃好，然後個別去設計不同功能的電路及以模擬來驗證它的可靠性，最後把全部的區塊整合在一起成為最後所要的電路，再對這個電路功能來做驗證以確保其正確性。依據它們不同的功能需要，劃分大致如（圖 4-1）所示。

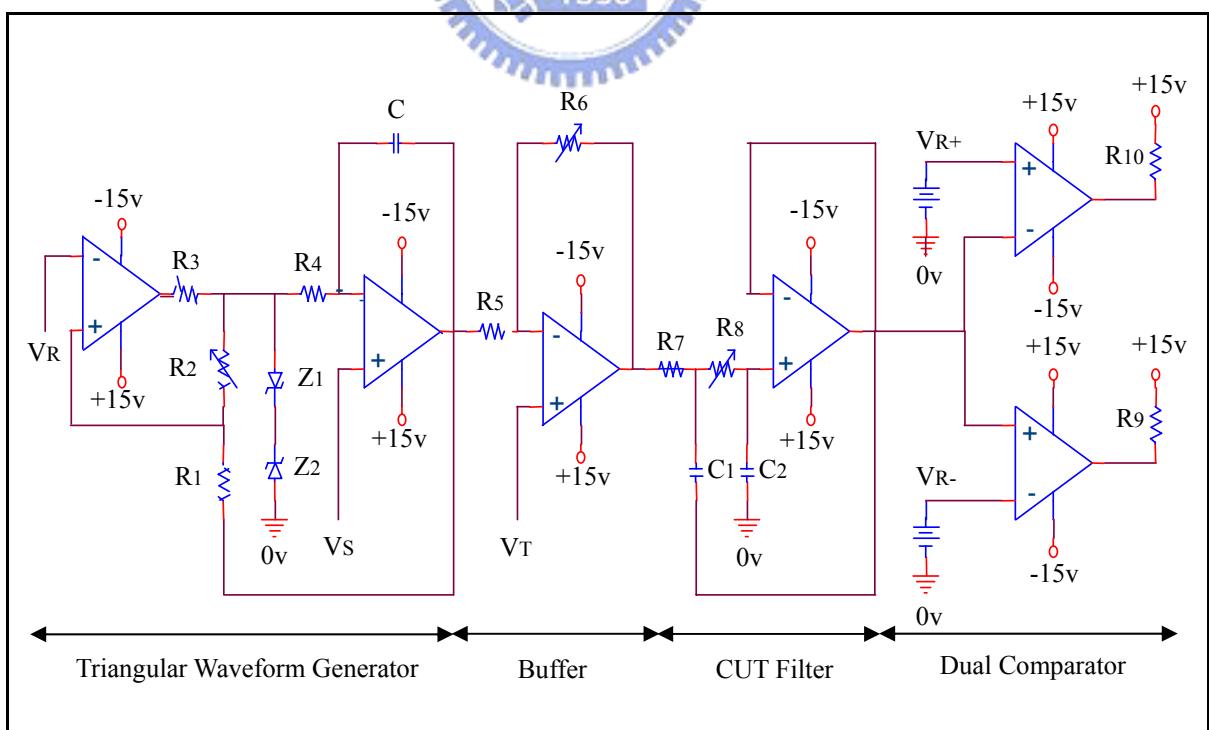


圖 4-1 OP based 測試電路實現圖

以上區分成四個方塊：

1. 三角波產生器 (Triangular Waveform Generator)，做為測試訊號之用，可調整頻率。
2. 緩衝器 (Buffer)，依據需求，可以調整輸入三角波的振幅電壓大小。
3. 濾波器 (CUT Filter)，一種具有頻率選擇特性的過濾電路，將所要的訊號予以放大，而把其他不要的訊號大幅衰減。
4. 成對比較器 (Dual Comparator)，輸入訊號與參考電壓 (V_{R+} , V_{R-}) 相比較，得到數位式 (0 or 1) 輸出。

以下就先個別說明這些電路的設計與模擬結果：

三角波產生器

(圖 4-2) 為三角波產生器的電路設計圖。此電路由一個非反相型史密特觸發器產生連續性方波 V_{O1} ，輸入至反相型差值積分器而產生三角波 V_{O2} 。

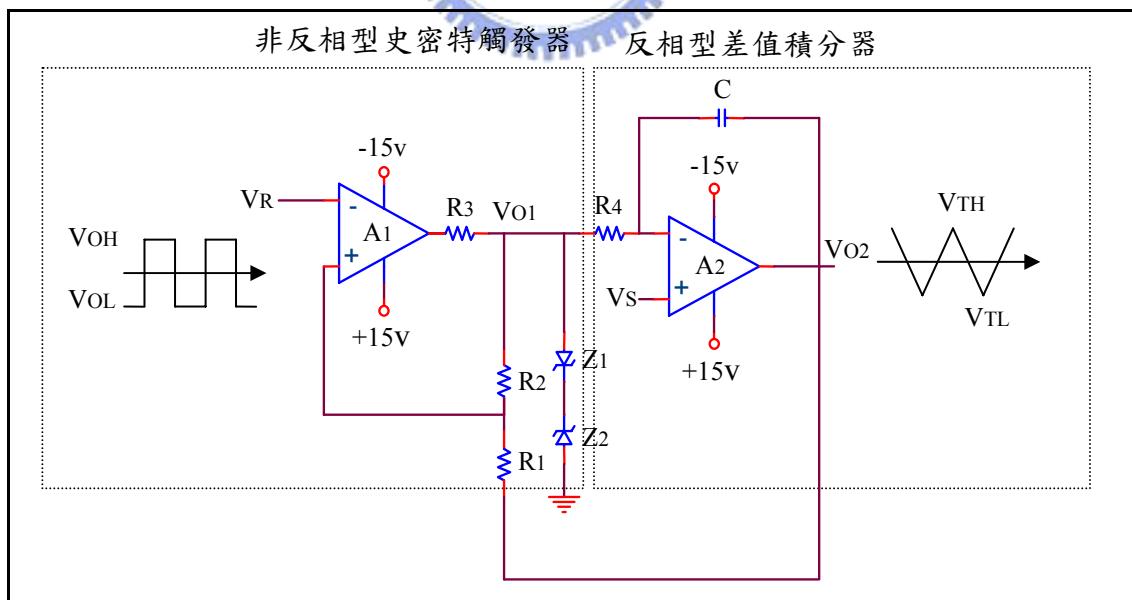


圖 4-2 三角波產生器電路設計圖

對一個完整的三角波產生器來說，我們應該可控制該波的直流準位和其三角波的斜坡斜率，(圖 4-2) 所示的電路結構便可達到如此的功效。外加的參考電壓 V_R 於非反相型史密特觸發器中，可改變遲滯區中心電壓準位值 V_M ，進而改變三角波的直流準位，在反相積分器中的非反相端加上一直流電壓 V_S ，可改變三角波的上升與下降斜率，進而影響方波的工作週期。

各點波形如 (圖 4-3) 所示：

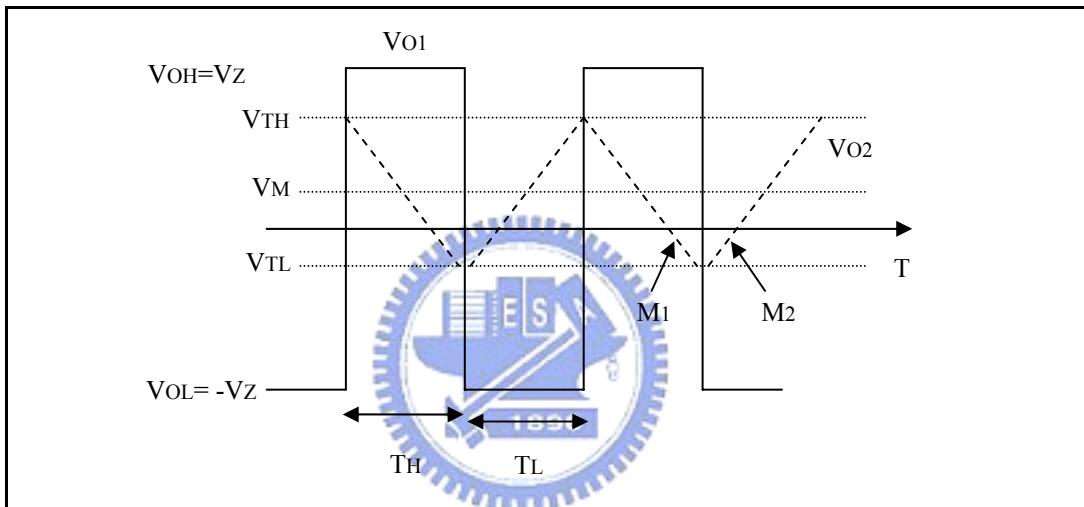


圖 4-3 各點波形示意圖

電路分析：

1. 假設兩齊納二極體為相同， V_{O1} 之準位如下：

$$\begin{cases} V_{OH} = V_{Z2} + V_{D1} = V_Z \\ V_{OL} = -V_{Z1} + V_{D2} = -V_Z \end{cases} \quad (26)$$

2. 三角波的臨界電壓由 V_{TH} ， V_{TL} 決定：

臨界為 A1 的 $V(-)=V(+)$ 時，

$$\Rightarrow V_R = V_{O1} \cdot \frac{R_1}{R_1 + R_2} + V_{O2} \cdot \frac{R_2}{R_1 + R_2} \quad (27)$$

當 $V_{O1} = V_{OL} = -V_Z$ ，可得 V_{O2} 的 V_{TH} ，

$$\Rightarrow V_{TH} = V_R \cdot \frac{R_1 + R_2}{R_2} + \frac{R_1}{R_2} V_Z \quad (28)$$

同理，當 $V_{O1} = V_{OH} = V_Z$ ，可得 V_{O2} 的 V_{TL} ，

$$\Rightarrow V_{TL} = V_R \cdot \frac{R_1 + R_2}{R_2} - \frac{R_1}{R_2} V_Z \quad (29)$$

所以，三角波的振幅為： $\frac{1}{2} \cdot (V_{TH} - V_{TL}) = \frac{R_1}{R_2} V_Z$ (30)

3. 振盪週期和頻率：

a. M_1 為 V_{O2} 由 V_{TH} 降至 V_{TL} ，

$$\Rightarrow M_1 = -\frac{(V_{OH} - V_S)}{R_4 C} \quad (31)$$

$$M \cdot \Delta T = \Delta V \Rightarrow -\frac{(V_{OH} - V_S)}{R_4 C} \cdot T_H = V_{TL} - V_{TH} = -2 \cdot \frac{R_1}{R_2} V_Z$$

$$\Rightarrow T_H = R_4 C \cdot \frac{V_{TH} - V_{TL}}{V_{OH} - V_S} = \frac{2 R_4 C R_1 V_Z}{R_2 (V_Z - V_S)} \quad (32)$$

b. M_2 為 V_{O2} 由 V_{TL} 上升至 V_{TH} ，

$$\Rightarrow M_2 = -\frac{(V_{OL} - V_S)}{R_4 C} \quad (33)$$

$$M \cdot \Delta T = \Delta V \Rightarrow -\frac{(V_{OL} - V_S)}{R_4 C} \cdot T_L = V_{TH} - V_{TL} = 2 \cdot \frac{R_1}{R_2} V_Z$$

$$\Rightarrow T_L = R_4 C \cdot \frac{V_{TH} - V_{TL}}{-(V_{OL} - V_S)} = \frac{2 R_4 C R_1 V_Z}{R_2 (V_Z + V_S)} \quad (34)$$

c. 振盪週期和頻率：

$$\Rightarrow f = \frac{1}{T} = \frac{1}{T_H + T_L} = \left[\frac{4 R_4 C R_1}{R_2} \cdot \left(\frac{V_Z^2}{V_Z^2 - V_S^2} \right) \right]^{-1}, \quad \text{Vs} = 0 \Rightarrow f = \frac{R_2}{4 R_1 R_4 C} \quad (35)$$

模擬例子：

假設輸入測試訊號三角波頻率為 10KHz、振幅為 1V，則原件數值如下：

1. 取齊納 (Zerner) 二極體崩潰電壓為 5.1V、二極體導通電壓為 0.6V，

$$\Rightarrow V_Z = 5.7V \Rightarrow V_{OH} = 5.7V, V_{OL} = -0.5V.$$

2. 因為 $f = R_2 / (4R_1 \cdot R_4 C) = 10\text{KHz}$ ，Amplitude = $V_Z \cdot \left(R_1 / R_2 \right) = 1\text{V}$ ，

$$\Rightarrow 5.7 \cdot \left(R_1 / R_2 \right) = 1, \text{令 } R_1 = 1\text{K}, R_2 = 6\text{K}.$$

$$\Rightarrow 6 / (4 \cdot 1 \cdot R_4 C) = 10, \text{令 } R_4 = 1.5\text{K}, C = 0.1\mu\text{F}.$$

3. 設限流電阻 $R_3 = 1\text{K}$ 、 R_2 使用可變電阻，調整其值可改變三角波頻率。

4. 設 $V_R = V_S = 0\text{V}$ 、 $V(+)=15\text{V}$ 、 $V(-)=-15\text{V}$ 。

5. OP 採用 TI，型號為 TL074。

6. 以 P-SPICE 來加以設計與模擬，模擬波形如 (圖 4-4) 所示：

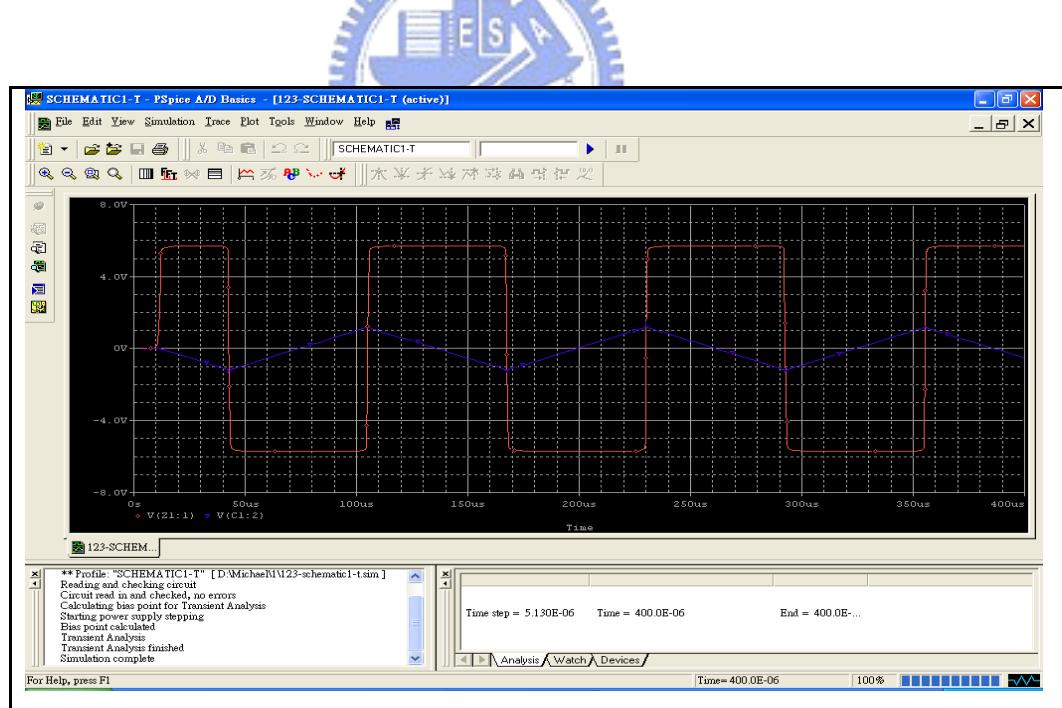


圖 4-4 三角波與方波 Simulation Waveform

濾波器

RLC 並聯電路能有不錯的濾波效果，其主要原因為 L 和 C 之間的功率『一吸一吐』

交換，使極點成為共軛複數對和較高的 Q 值，也就是諧振現象之故。但 L 並不適用於精巧玲瓏的電子電路中，於是改採 GIC 式的等效模擬電感，只是電路的安排需經巧妙設計。於是我們採用只需一個 OPA 就可達到二次濾波效果的 SAB (Single Amplifier Biquad) 二階濾波器，其缺點為 Q 值約在 10 以下。

SAB 只能做帶通濾波器，我們希望能得到相同 W_0 的高通或低通電路，於是，利用線性網路的互補轉換觀念來設計出正回授型的高通、低通濾波器，這兩種正回授的 SAB 稱為 ‘Sallen-Key’ 二階濾波器。以下說明帶通濾波器與低通濾波器的原理與轉換函數的推導，而高通濾波器轉換函數的推導與低通濾波器相似，在此不再多加說明。

1. 帶通濾波器：

電路結構如（圖 4-5）所示：

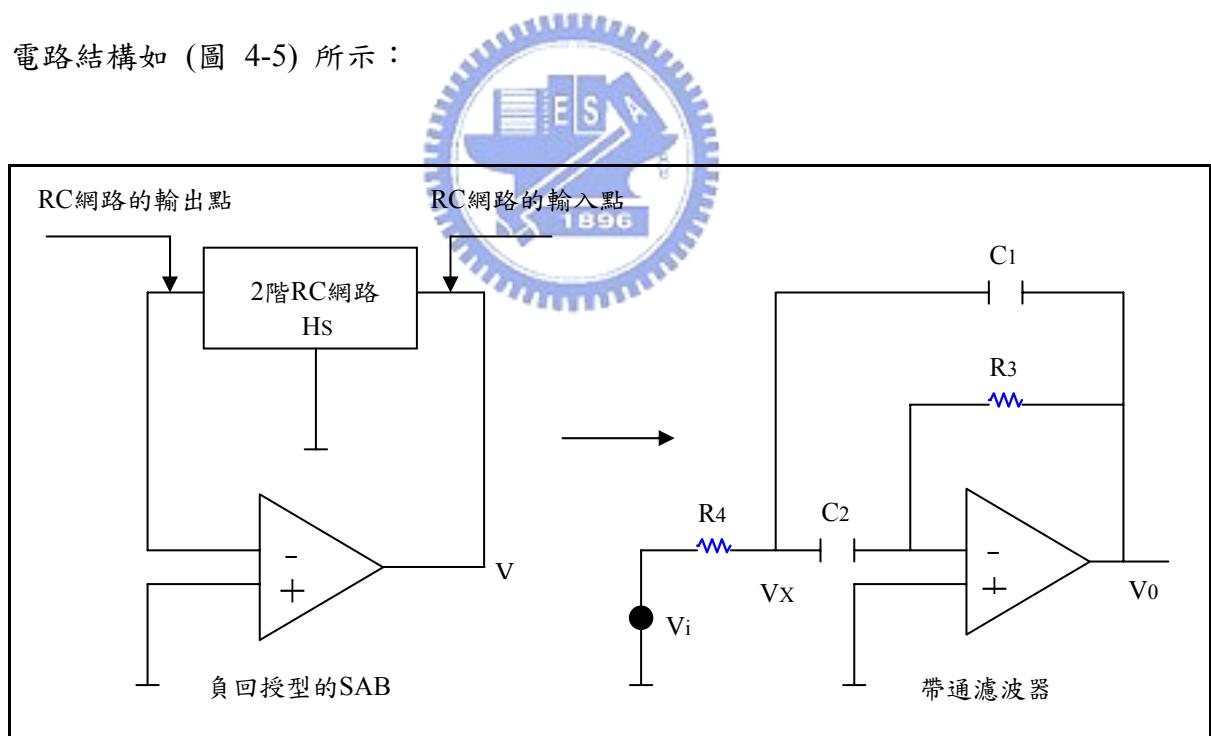


圖 4-5 帶通濾波器電路圖

轉換函數的推導：

a. 在 V_X 的節點方程式：

$$\Rightarrow V_X \cdot \left(\frac{1}{R_4} + SC_1 + SC_2 \right) = \frac{V_i}{R_4} + 0 \cdot SC_2 + VoSC_1 \quad (36)$$

b. OPA 反相輸入端的節點方程式：

$$\Rightarrow 0 = V_X \cdot SC_2 + \frac{V_o}{R_2} \Rightarrow V_X = \frac{-V_o}{R_3 SC_2} \quad (37)$$

c. 將方程式(36) 帶入方程式(35)，整理可得：

$$\Rightarrow T(S) = \frac{V_o}{V_i} = \frac{S \left(\frac{-1}{C_1 R_4} \right)}{S^2 + S \left(\frac{1}{C_1} + \frac{1}{C_2} \right) \frac{1}{R_3} + \frac{1}{C_1 C_2 R_3 R_4}} \quad (38)$$

當 $W_0 = \sqrt{\frac{1}{C_1 C_2 R_3 R_4}}$ ，可得最大增益如下：

$$\Rightarrow T(S = jW_0) = \frac{S \left(\frac{-1}{C_1 R_4} \right)}{0 + S \left(\frac{1}{C_1} + \frac{1}{C_2} \right) \frac{1}{R_3}} = \frac{R_3}{R_4} \left(\frac{-C_2}{C_1 + C_2} \right) \quad (39)$$

2. 低通濾波器：

互補轉換觀念如（圖 4-6）所示：

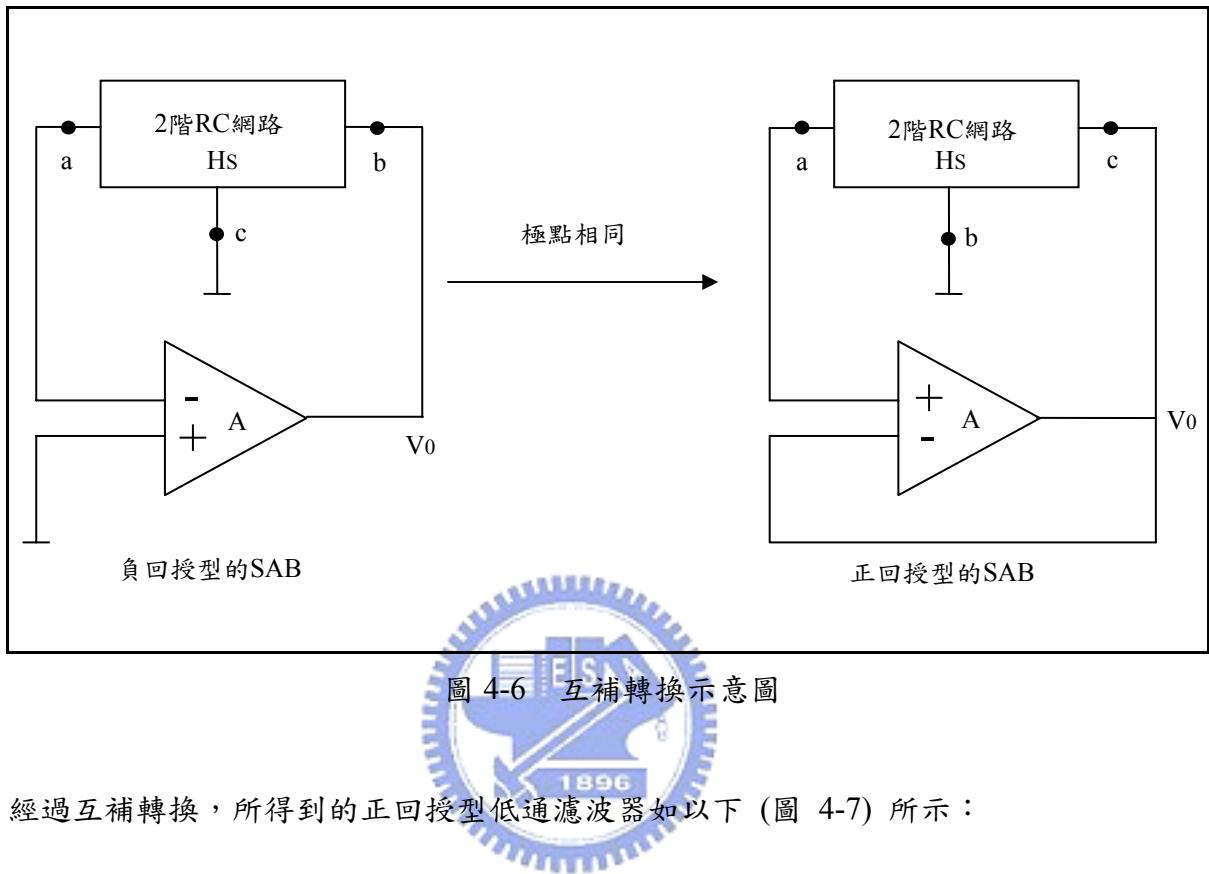


圖 4-6 互補轉換示意圖

經過互補轉換，所得到的正回授型低通濾波器如以下（圖 4-7）所示：

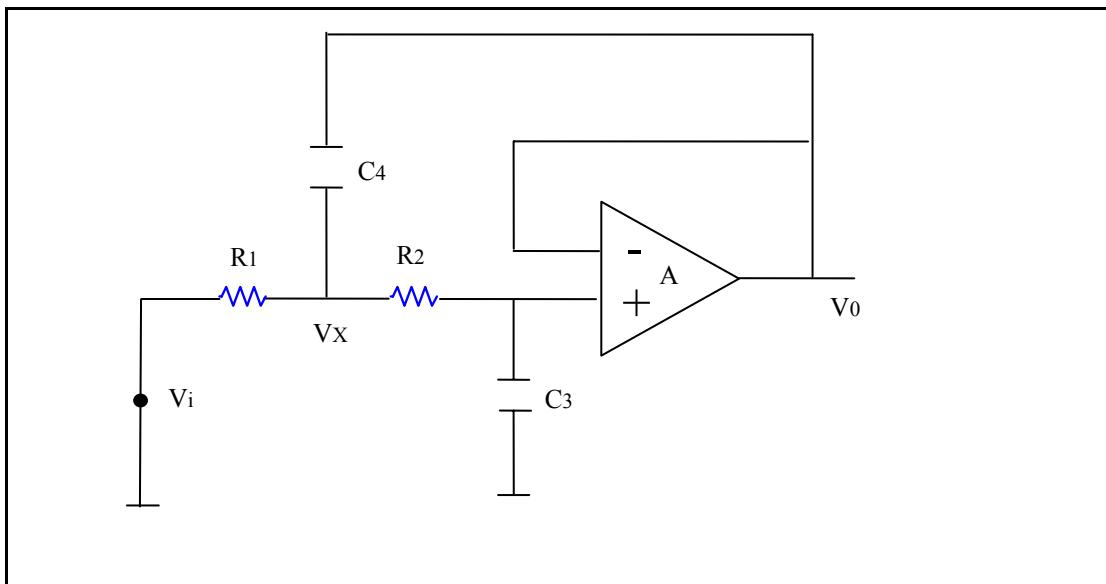


圖 4-7 低通濾波器電路圖

轉換函數的推導：

二階 LP 轉換函數如以下所示：

$$T(S) = K_0 \cdot \frac{\left(1 + \frac{S}{Z_1}\right)\left(1 + \frac{S}{Z_2}\right)}{\left(1 + \frac{S}{P_1}\right)\left(1 + \frac{S}{P_2}\right)} = K_0 \cdot \frac{\text{零點多項式}}{\text{極點多項式}} \quad (40)$$

使用時間常數法分析如下：

a. 極點多項式表示法如下：

$$\Rightarrow S^2 + S\left(\frac{1}{R_3 s C_3} + \frac{1}{R_4 s C_4}\right) + \frac{1}{R_3 o C_3 R_4 s C_4} \quad (41)$$

1. $V_i = 0$ V (去源)。

2. 求 R_{3s} ：當 C_4 短路時， C_3 所看到的電阻值。求得 $R_{3s} = \infty$ 。

3. 求 R_{4s} ：當 C_2 短路時， C_4 所看到的電阻值。求得 $R_{4s} = R_1 // R_2$ 。

4. 求 R_{3o} ：當 C_4 開路時， C_3 所看到的電阻值。求得 $R_{3o} = R_1 + R_2$ 。

b. 零點多項式：

1. C_3 短路或 C_4 短路皆可使 $V_o = 0$ ，故有 2 個 $S = \infty$ 零點。

$$\begin{aligned} \therefore T(S) &= \frac{K}{S^2 + S\left(\frac{1}{R_3 s C_3} + \frac{1}{R_4 s C_4}\right) + \frac{1}{R_3 o C_3 R_4 s C_4}} \\ \Rightarrow T(S) &= \frac{K}{S^2 + S\left(\frac{1}{R_1 + R_2}\right)\frac{1}{C_4} + \frac{1}{R_1 R_2 C_3 C_4}} \quad (42) \end{aligned}$$

2. 當 $S = 0$ ，計算得 $T(S) = K = 1$ 。

3. 高通濾波器：

經過互補轉換，所得到的正回授型高通濾波器如以下（圖 4-8）所示：

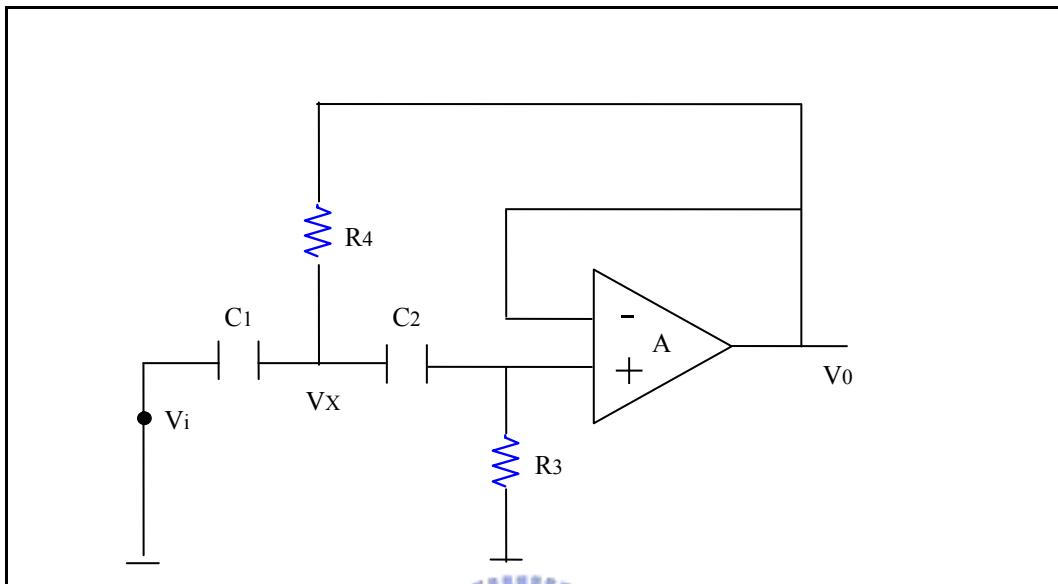


圖 4-8 高通濾波器電路圖

二階 HP 轉換函數推導原理同 LP，可得轉換函數如下：

$$\Rightarrow T(S) = \frac{S^2}{S^2 + S\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1 C_2 R_3 R_4}} \quad (43)$$

模擬例子：

以低通濾波器為例，令 $W_{-3dB} = 30\text{KHz}$ 。

1. 假設輸入測試訊號三角波頻率為 10KHz 、振幅為 1V 。

2. 濾波器採 Butterworth 方式設計，計算求得原件值如下：

$$R_1 = 6.34\text{K} \quad R_2 = 16.3\text{K} \quad C_3 = 330\text{pF} \quad C_4 = 820\text{pF}$$

3. OP 採用 TI，型號為 TL074。

4. Power supply 為 $V(+)=15\text{V}$ 、 $V(-) = -15\text{V}$ 。

5. 以 P-SPICE 來加以設計與模擬，模擬波形如（圖 4-9）、（圖 4-10）所示：

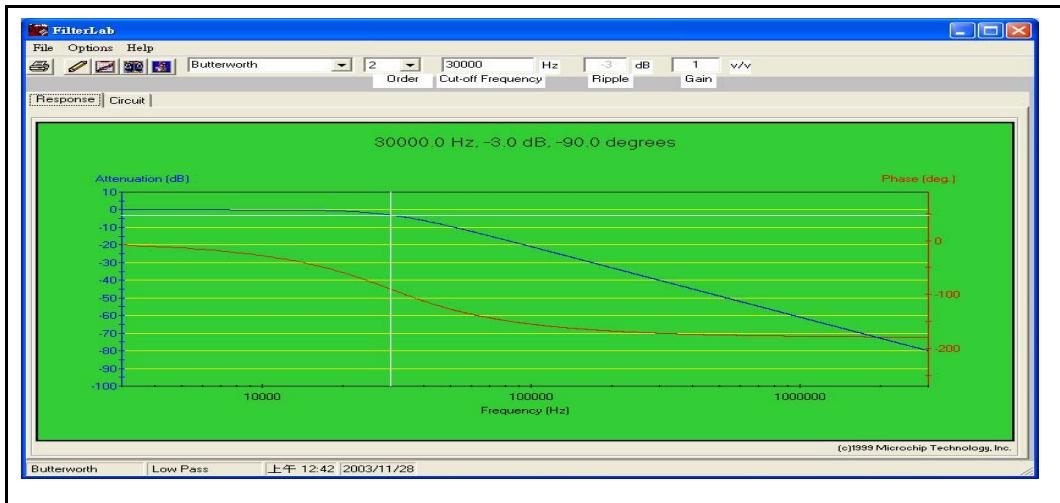


圖 4-9 頻率響應圖

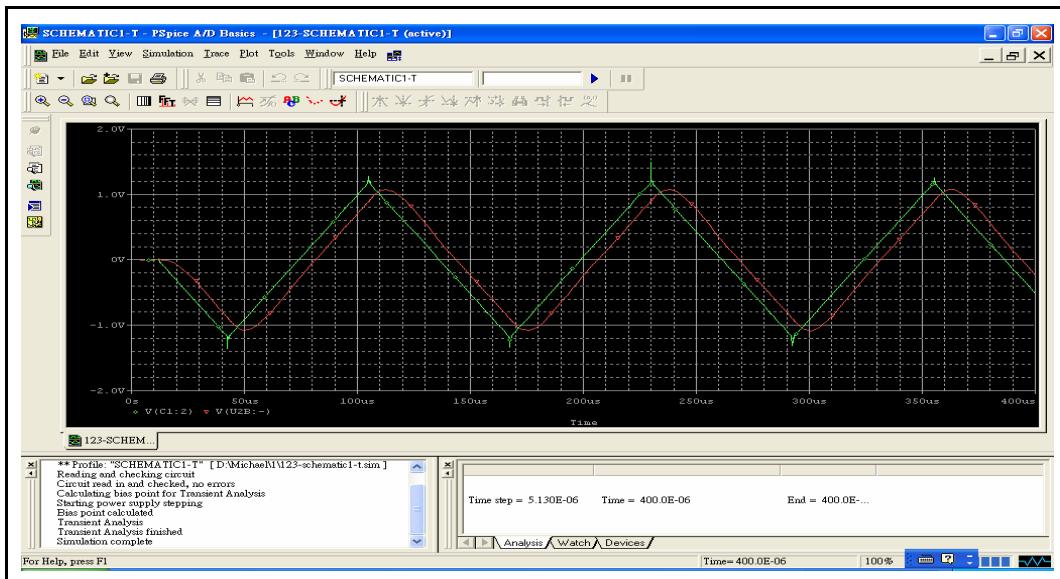


圖 4-10 低通濾波器 Simulation Waveform

比較器

(圖 4-11) 為比較器的電路設計圖。輸入訊號 V_i 與比較器的參考電壓 (V_{R+} 、 V_{R-}) 相比，得到數位輸出 V_{O1} 與 V_{O2} 。

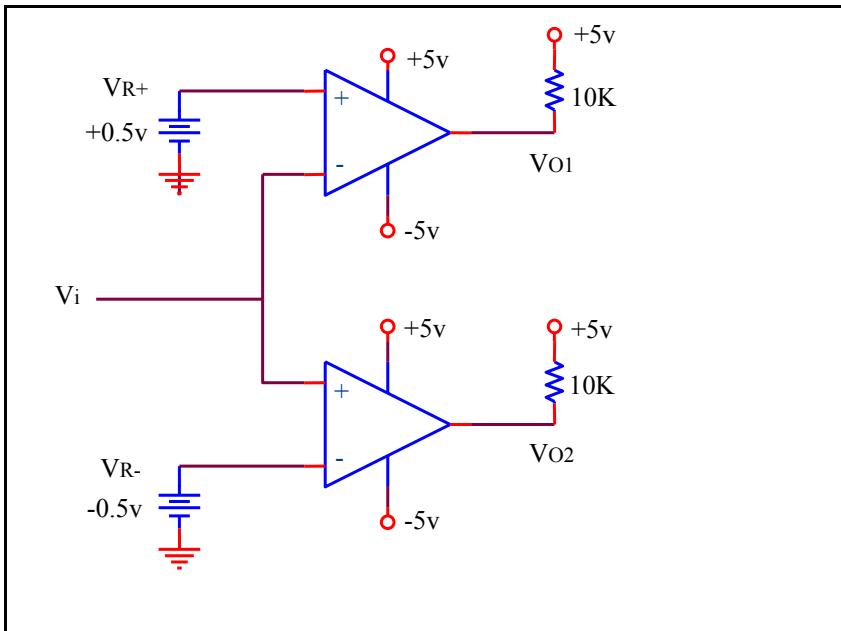
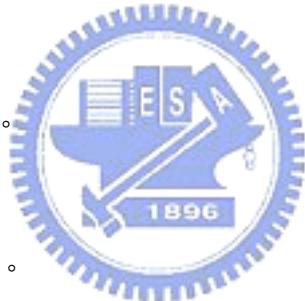


圖 4-11 比較器電路設計圖

模擬例子：

1. 令 $V_{R+} = 0.5V$ 、 $V_{R-} = -0.5V$ 。
2. OP 採用 TI，型號 LM393。
3. Output 為 open correct 方式。
4. Power supply 為 $V(+)=5V$ 、 $V(-) = -5V$ 。
5. 如果 V_i 為
 - a) $V_i > V_{R+} \Rightarrow \langle V_{O1}, V_{O2} \rangle = \langle 0, 1 \rangle$
 - b) $V_{R-} < V_i < V_{R+} \Rightarrow \langle V_{O1}, V_{O2} \rangle = \langle 1, 1 \rangle$
 - c) $V_i < V_{R-} \Rightarrow \langle V_{O1}, V_{O2} \rangle = \langle 1, 0 \rangle$
6. 以 P-SPICE 來加以設計與模擬，模擬波形如 (圖 4-12) 所示：



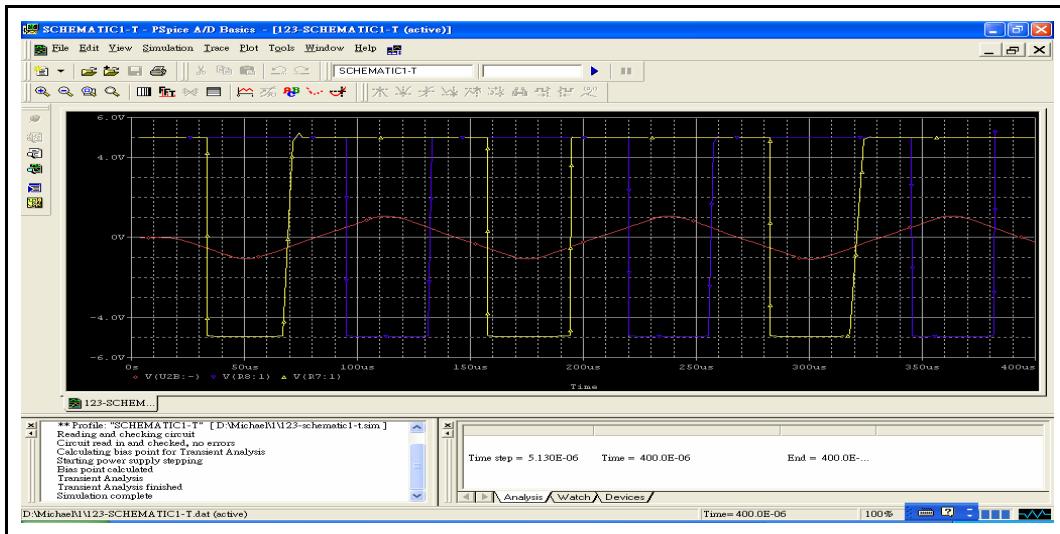


圖 4-12 比較器輸出 Simulation Waveform

4.2 實體電路完成與測試

我們針對（圖 4-1）的電路設計圖與模擬結果，建構且完成了電路測試板，以驗證所提出的動態類比 BIST 測試方法的可行性與可靠性。以下（圖 4-13）為實體電路測試板、（圖 4-14）為測試環境結構圖。

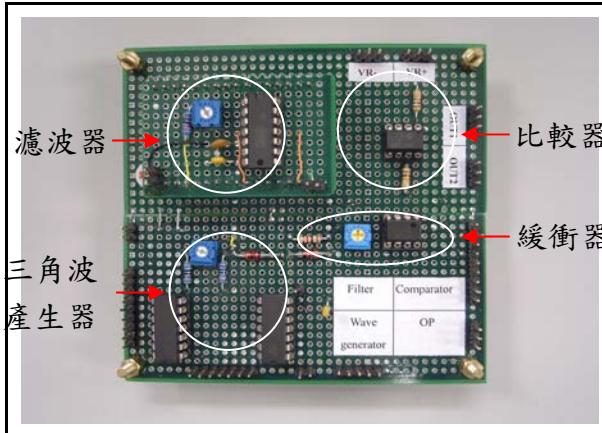


圖 4-13 實體電路測試板

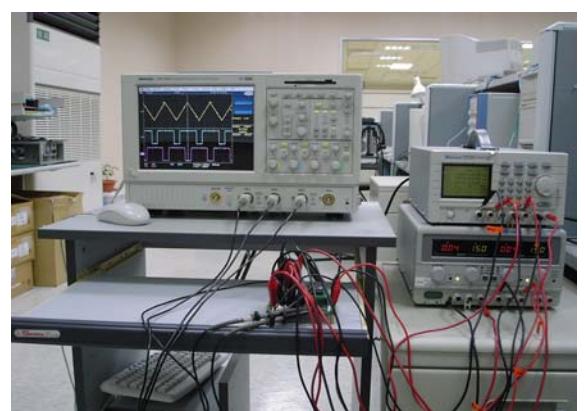


圖 4-14 實體電路測試環境

測試流程如右所示：先產生所需要頻率的輸入測試三角波，此三角波經反相放大器調整至所需要的振幅大小，調整後的三角波輸入至濾波器來強化訊號與降低雜訊，此訊號最後輸入至一對比較器，與比較器的參考電壓 (V_{R+} 、 V_{R-}) 相比而得到數位輸出，我們對此輸出做隨機取樣與統計分析，希望藉由提高取樣的次數或提升系統的訊號對雜訊比，來降低雜訊的干擾，進而能夠精確地反推待測三角波的 V_X 與 V_A 的值。

首先以頻率為 10KHz、振幅為 1V 的輸入測試三角波，經過 W-3dB=100KHz 的低通濾波器，其輸出與參考電壓 $V_R = \pm 0.5V$ 的比較器相比，來做實體電路測試，其三角波與比較器輸出的波形圖如以下（圖 4-15）所示。

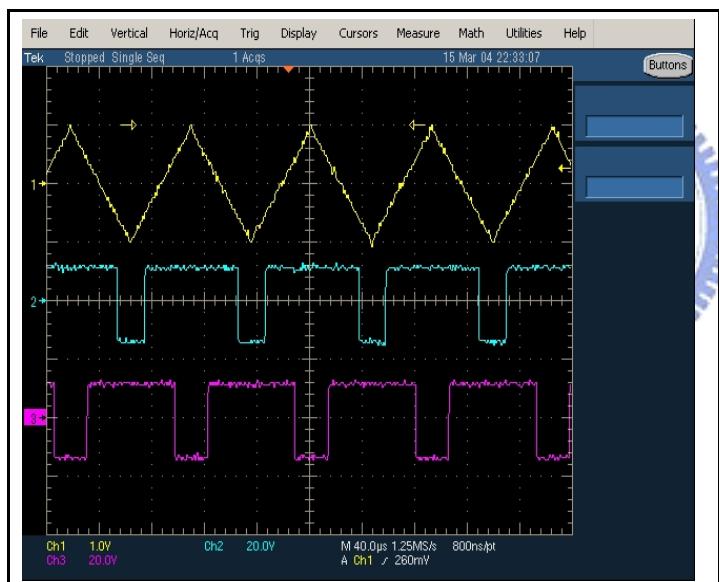


圖 4-15 實體波形圖

- Waveform 1: Triangular Waveform ($F = 10\text{KHz}$ 、 $V_A = 1\text{V}$ ，W-3dB= 100KHz)
- Waveform 2: Comparator Out1 for PL1 measure
- Waveform 3: Comparator Out2 for PL3 measure
- $PL2 = 1 - PL1 \cdot PL3$

V_X 的值可經由調整反相放大器裡的 V_T 電壓大小而做改變，此時 V_X 電壓從 -1V 到 1V、1024 點隨機取樣，輸出由邏輯分析儀取樣，其結果傳送至 PC 做統計分析，來計算 V_X 與 V_A 的值，其測試結果如下表所示。表 4-1 的第二行到第四行為機率值，第五行為振幅 V_A 的量測值，第六行為其誤差值，第七行為 V_X 的量測值，而第八行為其誤差值。表中空白處為 Case1 或 Case3 的情形，此兩種情形無法推導 V_X 與 V_A 的值，如同第三章所言。

表 4-1：實體測試結果

V_X	PL1	PL2	PL3	V_A	ΔV_A	V_X	ΔV_X	Case
-0.6	0.5677	0.4323	0					1
-0.5	0.5153	0.4847	0					1
-0.4	0.4585	0.4998	0.0417	1.0004	0.0004	-0.4170	-0.0161	2
-0.3	0.4009	0.5026	0.0965	0.9948	-0.0052	-0.3028	-0.0061	2
-0.2	0.3546	0.4969	0.1485	1.0062	0.0062	-0.2074	-0.0002	2
-0.1	0.3004	0.4979	0.2017	1.0042	0.0042	-0.0991	-0.0002	2
0	0.2480	0.5031	0.2489	0.9938	-0.0012	0.0009	-0.0014	2
0.1	0.1886	0.5005	0.3109	0.9990	-0.0010	0.1222	0.0104	2
0.2	0.1367	0.5026	0.3607	0.9948	-0.0052	0.2228	0.0121	2
0.3	0.0867	0.5028	0.4105	0.9944	-0.0056	0.3220	0.0127	2
0.4	0.0439	0.4998	0.4563	1.0004	0.0004	0.4123	0.0145	2
0.5	0	0.4891	0.5109					3
0.6	0	0.4367	0.5633					3

根據（表 4-1）的測試結果，其機率分佈圖如以下（圖 4-16）所示。我們將它與模擬結果做比較，如以下（圖 4-17）為 1024 次取樣、12dB SNR，（圖 4-18）為 1024 次取樣、18dB SNR，進而完成 V_A 誤差的分佈圖，如（圖 4-19）所示。從分佈圖比較可以看出，我們的實體電路測試板有良好的 SNR，且 V_A 的誤差值也不大。

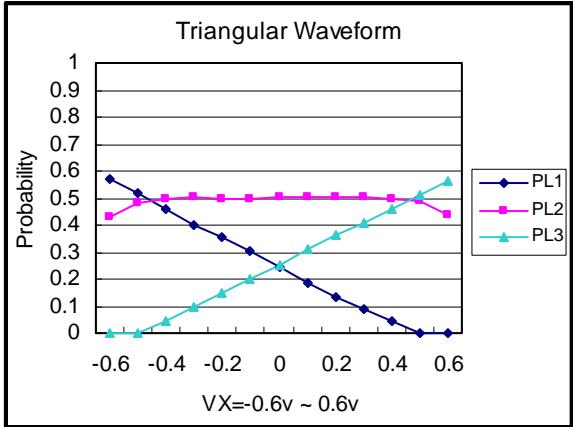


圖 4-16 三角波機率分佈圖

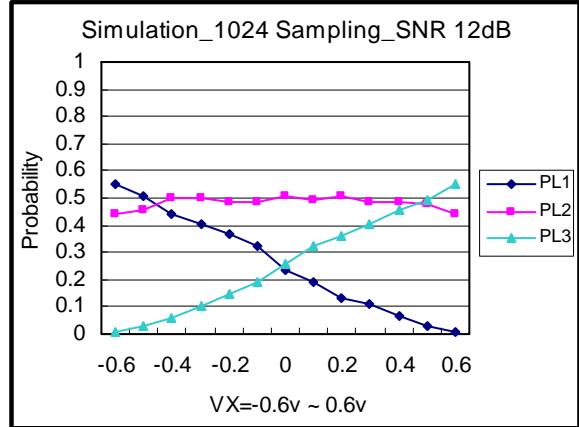


圖 4-17 12dB SNR 分佈圖

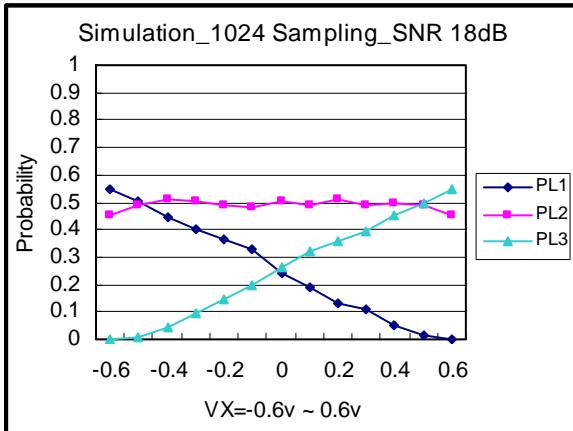


圖 4-18 18dB SNR 分佈圖

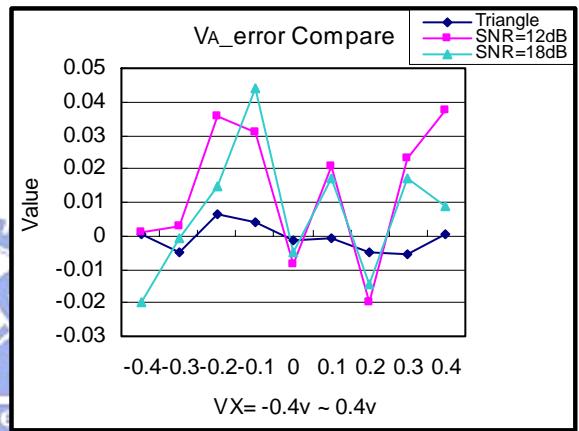


圖 4-19 V_A 誤差分佈圖

(表 4-2) 為實際量測結果，此時固定 V_A 的值為 1V。表中的前兩行為量測變數 VX 與 $VR(\pm)$ ， \bar{V}_A 與 \bar{V}_X 分別為示波器所量測到的振幅與 offset 電壓值，令它們為參考標準值。如同第三章所言，當三角波的中心點位於參考電壓中心時，也就是當 $VR_+ - VR_- = V_A$ 、 $VX = 0.5(VR_+ + VR_-)$ 時，我們可以得到最佳化的量測，在此情況， $P_{L1} = P_{L3} = 0.25$ 、 $P_{L2} = 0.5$ 。從 (表 4-2) 可以得知，Case 1 有最小的誤差，因為其電壓設定為最佳化的狀態。

(表 4-3) 為 V_A 固定 2V 所做的量測結果。Case 1 依舊誤差最小，以上的量測取樣為 1024 次。另一方面，在我們所有的量測結果， V_A 的誤差小於 4%， VX 的誤差小於 25mV。然而在 Case 1 中，其 V_A 的誤差小於 2.8%、 VX 的誤差小於 2mV。在此我們注意到，

雖然此測試電路為 OP based 組成，架構非常簡單，但測試結果卻非常好。

表 4-2: 實體測試結果 $V_A=1V$

V_X	VR_{\pm}	PL1	PL2	PL3	\bar{V}_A	V_A	ΔV_A	\bar{V}_X	V_X	ΔV_X
0	0.5	0.2318	0.5317	0.2355	0.96	0.9404	-0.0196	0.0014	0.0035	0.0021
0	0.25	0.3614	0.2722	0.3664	0.96	0.9184	-0.0416	0.0014	0.0046	0.0032
0.25	0.5	0.1212	0.5262	0.3526	0.96	0.9502	-0.0098	0.2445	0.2199	-0.0246
0.25	0.25	0.2436	0.2654	0.4910	0.96	0.9420	-0.0180	0.2445	0.2330	-0.0115

表 4-3: 實體測試結果 $V_A=2V$

V_X	VR_{\pm}	PL1	PL2	PL3	\bar{V}_A	V_A	ΔV_A	\bar{V}_X	V_X	ΔV_X
0	1.0	0.2341	0.5336	0.2323	1.93	1.8741	-0.0559	-0.0030	-0.0034	-0.0004
0	0.5	0.3671	0.2683	0.3646	1.93	1.8636	-0.0664	-0.0030	-0.0047	-0.0017
0.5	1.0	0.1101	0.5253	0.3646	1.93	1.9037	-0.0263	0.5034	0.4845	-0.0189
0.5	0.5	0.2287	0.2689	0.5024	1.93	1.8594	-0.0706	0.5034	0.5089	0.0055



第五章 結論

本篇論文，我們提出一個嶄新的動態類比 BIST 測試方法，建構在以 IEEE Std. 114 9.4 為基礎架構上。三角波產生器設計在晶片裡，當做測試訊號源，此測試訊號經由 AB1 匯流排到 CUT，其響應波形經由 AB2 匯流排傳送至一對比較器量化此訊號，輸出結果由計數器記錄，最後我們可以使用一階線性方程式，來計算出此訊號振幅與偏差電壓的大小。為了證明此測試方法的可行性，我們以程式模擬與實體電路測試來加以佐證。

此測試方法主要優點共有三項。基本上，只需一個三角波產生器與一對比較器，其硬體成本花費小為其中一個優點、可以與其他晶片共用相同的測試匯流排，使得硬體花費降低為第二個優點、 Go/NoGo 的測試容易實行為第三個優點。我們所提出的動態類比 BIST 測試方法，不但簡單，且容易實現。



參考文獻

- [1] IEEE Standard for a Mixed Signal Test Bus, IEEE Std. 1149.4, IEEE, 1999.
- [2] S. Sunter, et al., “general purpose 1149.4 IC with HF analog test capabilities”, Proc. Int Test Conference, pp.38-45, 2001.
- [3] C.C. Su, Y.T. Chen, “Intrinsic Response Extraction for the Analog Test Bus Parasitic Effect Removal”, IEEE Trans. On CAD, IEEE Trans. On Computer-Aided Design of Integrated Circuits, Vol. 19, No. 4, pp.437-445, April 2000.
- [4] G.O.G. Acevedo, J. Ramirez-Angulo, “uilt-in Self-Test Scheme for On-chip diagnosis, Compliant with the IEEE 1149.4 Mixed Signal Test Bus Standard”, Proc. IEEE Int Symposium on Circuits and Systems, Vol. 1, pp.26-29, 2002.
- [5] Chauchin Su, et al., “1149.4 based on-line quiescent state monitoring technique”, Proc. IEEE VLSI Test Symposium, pp.197-202, 2003.
- [6] R. Maghrebi, M. Masmoudi, “A BIST Structure for IP Multi-Slop A/D Converter Testing”, Measurement Science Review, Vol. 3, No. 1, pp.65-73, 2003.
- [7] D.F. Hoeschele, “Analog-to-Digital and Digital-to-Analog Conversion” Second Edition by John Wiley and Sons, 1994.

自 傳

苗栗是一個人情味濃厚，純樸的地方，土生土長的我，在這個環境，自然就喜歡結交朋友，開闊自己生活領域，外向活潑的我，喜歡接觸新奇事物，追根到底，直到了解原因為止。做任何事不會半途而廢，自己是一個擇善固執，有主見的人。我的家庭成員簡單，父親是工廠員工，母親為家庭主婦，兄在苗栗電子公司上班，每人有其生活天地，但我們家人向心力十足。

高中三年，精力充沛的我，加入了籃球校隊，結交了許多志趣相投的好友，培養了獨立自主的個性。大學是另一個階段的開始，來自全省各地形形色色的人，像是一個小社會，學習如何做人處世，便成為首重之事。在大學期間，自己覺得比較獨立，思考事情較成熟，是人生旅途中另一良性的成長。



在工作期間，對於半導體之製程、測試與封裝，有一定程度接觸與了解，也讓我深刻了解到，嚴謹的工作態度及融洽地與人相處為工作的兩個關鍵要素。在工作期間，拓展了我的知識領域及人際關係，是我的兩大收穫。同時也自我期許，能夠將研究所所學之知識充份發揮在工作領域中，能夠有更好的工作表現與人際關係。