

國立交通大學

電機與控制工程研究所

碩士論文

一個可做動態電壓/頻率調整且使用中繼器
的匯流排電路設計



A Bus Circuit Design with Dynamic Voltage/Frequency
Scaling and Repeater Insertion

研究生：陳雅婷

指導教授：蘇朝琴 教授

中華民國九十七年十月

一個可做動態電壓/頻率調整且使用中繼器
的匯流排電路設計

A Bus Circuit Design with Dynamic Voltage/Frequency
Scaling and Repeater Insertion

研究生：陳雅婷

Student : Ya Ting Chen

指導教授：蘇朝琴 教授

Advisor : Chau Chin Su

國立交通大學

電機與控制工程研究所



Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

October 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十月

一個可做動態電壓/頻率調整且使用中繼器 的匯流排電路設計

研究生：陳雅婷

指導教授：蘇朝琴 教授

國立交通大學電機與控制工程研究所

摘 要

本論文提出一使用嵌入式中繼器的匯流排電路，來降低全區域連接線時間延遲、功率及面積消耗，並且利用一個時脈檢測電路來觀察訊號雜訊的大小，依照檢測訊號的不同，我們可以分析出訊號是否適合在此電壓此頻率下工作。若不適合工作在此電壓或頻率之下，再決定是要調整電壓，或調整資料傳送的頻率，來使得資料能夠正確的傳輸。

在資料產生方面，使用偽隨機資料產生器來產生 8 筆並聯的偽隨機資料，並且同時產生一時脈訊號（用來做時脈檢測），觸發位置剛好切在資料的中間點，資料和時脈訊號同時經過傳輸距離為 10mm 的匯流排電路，再由時脈檢測電路來檢測訊號的雜訊大小。此晶片使用台積電 0.13 μm RF CMOS 製程來實現。在 1.2V 的電源供應下，偽隨機資料產生器的功率損耗約 1.36mW，傳輸線消耗功率約 22.18mW（每條消耗功率約 2.77mW），檢測電路的功率消耗約 9.75mW。

關鍵字：晶片內建匯流排, 嵌入式緩衝器, 動態電壓, 動態頻率, 時脈量測, 抖動量測

A Bus Circuit Design with Dynamic Voltage/Frequency Scaling and Repeater Insertion

Student: Ya Ting Chen Advisor: ChauChin Su

Department of Electrical and Control Engineering

National Chiao Tung University

Abstract

This thesis proposes a bus circuit using repeater insertion to reduce its power consumption and area. Moreover, we use a timing measurement circuit to estimate eye opening and jitter. According to the eye opening, we can determine if the supply voltage or the frequency is adequate for the task. If the supply voltage or the frequency disagrees with the task, we can dynamically change the supply voltage or the frequency to make the signal correctly transferred.

For the data generation, a pseudorandom binary sequence generator has been used to generate eight parallel outputs and a divider to generate a clock signal. The clock's trigger location is at the middle of pseudorandom data. The data and the clock have been transferred to the bus circuit which is 10mm in length. Finally, we use a timing measurement circuit to estimate the jitter. This chip is implemented in TSMC 0.13um RF CMOS process. On a 1.2V power supply, the PRBS generator consumes 1.36mW, the global interconnects consume 22.18mW (each interconnect consumes 2.77mW), and the timing measurement circuit consumes 9.75mW.

Keyword: on-chip bus, buffer insertion, dynamic voltage scaling, dynamic frequency scaling, timing measurement, jitter measurement.

誌 謝

首先要感謝的是我的指導教授 蘇朝琴教授，這兩年的辛勤教導，無論是在專業領域的知識與技術，抑或是生活上為人處世的道理，都讓我獲益良多。

接下來要感謝的是博士班學長們：丸子學長、盈杰學長、鴻文學長、仁乾學長、煜輝學長在我遇到研究上的困難時，給予我熱心的指導。還有實驗室碩士班學長姊們：小馬、方董、議賢、村鑫、小潘潘、存遠、教主、snoopy，解決我在課業與研究上的疑惑。實驗室的同學們與學弟們：子俞、碩廷、孔哥、挺毅、洲銘、于昇、家齊，在課業上互相討論，生活上互相照顧與幫助。還要感謝助理雅雯和上容，對我的照顧及幫忙。

最後要感謝我的父親、母親、哥哥、妹妹們、以及男朋友玩具，感謝你們的鼓勵與陪伴，讓我能夠順利的度過這兩年的碩士生涯。



雅婷 2008/10/01

目錄

中文摘要	iii
英文摘要	iv
誌謝	v
目錄	vi
表目錄	x
圖目錄	xi
第一章	1
緒論	1
1.1 簡介	1
1.2 研究動機	1
1.3 論文結構	2
第二章	4
背景回顧	4
2.1 艾莫爾延遲	4
2.2 切換活動因子	5
2.3 延遲時間的最佳化	5
2.4 功率消耗的最佳化	7
2.5 功率消耗、延遲、傳輸速率的最佳化	8

2.5.1 最佳傳輸線線寬.....	9
2.5.2 最佳傳輸線線寬和線距.....	10
2.6 總結.....	10
第三章.....	11
全區域連接線電路設計.....	11
3.1 全區域連接線.....	11
3.2 模組參數.....	11
3.3 全區域連接線的模組.....	12
3.3.1 中繼器模組.....	12
3.3.2 晶片上連接線模組.....	15
3.4 全區域連接線的效能.....	16
3.4.1 時間常數.....	16
3.4.2 上升時間.....	17
3.4.3 傳輸速率.....	17
3.4.4 功率消耗.....	18
3.4.5 面積.....	21
3.4.6 總傳輸速率與總功率消耗的方程式.....	22
3.5 效能指數的最佳化.....	22
3.5.1 最佳傳輸線寬度.....	22
3.5.2 最佳傳輸線線距.....	23
3.5.3 最佳的中繼器並聯個數.....	24

3.5.4 選擇中繼器的尺寸與傳輸線線距.....	26
3.6 設計流程.....	27
3.7 設計參數值.....	28
3.8 總結.....	28
第四章.....	29
時脈量測電路.....	29
4.1 前言.....	29
4.2 時脈量測電路.....	30
4.2.1 邊緣偵測器.....	30
4.2.2 延遲串列電路.....	31
4.2.3 取樣電路.....	31
4.2.4 時脈檢測器.....	32
4.2.5 消除突波的取樣電路.....	33
4.3 時脈量測電路的操作.....	33
4.3.1 檢測訊號量測說明.....	34
4.3.2 檢測訊號的分析.....	35
4.4 總結.....	37
第五章.....	39
匯流排電路之實現.....	39
5.1 偽隨機位元序列產生器.....	39
5.2 匯流排電路.....	41



5.3 時脈量測電路.....	42
5.4 輸出緩衝器與開汲極輸出.....	42
5.5 佈局圖和模擬結果.....	44
5.5.1 晶片佈局圖.....	44
5.5.2 佈局後模擬.....	45
5.6 性能比較.....	51
5.7 量測考量.....	52
5.8 總結.....	53
第六章.....	54
結論.....	54
6.1 結論.....	54
6.2 未來發展.....	54
參考文獻.....	55



表目錄

表格 3.1 製程參數值.....	12
表格 3.2 設計參數值.....	28
表格 4.1 反相器的平均閘延遲.....	34
表格 4.2 可量測傳輸速率的下限.....	34
表格 4.3 檢測訊號 比對 取樣輸出訊號.....	35
表格 4.4 檢測訊號 比對 取樣位置點.....	37
表格 5.1 匯流排的各項參數值.....	42
表格 5.2 供電源大小對應外部示波器振幅大小.....	43
表格 5.3 各個腳位的屬性.....	45
表格 5.4 不同供電源在不同 CORNER 下的抖動大小.....	46
表格 5.5 各個電路的功率消耗與總功率消耗.....	47
表格 5.6 電路規格表.....	51
表格 5.7 電路規格.....	51
表格 5.8 比較表.....	52

圖目錄

圖 1.1 晶片內部的模組互連線.....	2
圖 1.2 動態電壓/頻率調整電路.....	2
圖 2.1 RC 階梯網路.....	4
圖 2.2 轉態關係圖.....	5
圖 2.3 以中繼器尺寸與分段連接線長度為函數之單位長度的時間常數.....	6
圖 2.4 以中繼器尺寸與分段連接線長度為函數之單位長度的功率消耗.....	8
圖 2.5 傳輸線線距對應單位線電容值.....	9
圖 3.1 使用中繼器的全區域連接線.....	12
圖 3.2 等效 RC 模組.....	13
圖 3.3 CMOS 反相器 和 MOS 的佈局圖.....	14
圖 3.4 輸入輸出電容 c_{gs} c_{db} 與 輸出電阻 r_s	15
圖 3.5 全區域連接線的切面圖.....	15
圖 3.6 連接線的單位線電阻 r_w 與 連接線的單位線電容 c_w	16
圖 3.7 上升時間和資料週期.....	18
圖 3.8 反相器的短路電流.....	19
圖 3.9 傳輸線和中繼器的佈局擺放方式.....	22
圖 3.10 和傳輸線線寬與線距有關的效能.....	23
圖 3.11 決定好傳輸線線寬的情況之下，與傳輸線線距有關的效能.....	24
圖 3.12 選擇中繼器的 MOS 並聯個數.....	25

圖 3.13 選擇中繼器並聯個數.....	25
圖 3.14 不同中繼器尺寸，得到的傳輸線線距與傳輸速率的關係圖.....	26
圖 3.15 傳輸線各項參數的設計流程.....	27
圖 4.1 電路整體架構圖.....	29
圖 4.2 邊緣偵測器.....	30
圖 4.3 邊緣偵測器的輸出時序圖.....	31
圖 4.4 延遲串列電路.....	31
圖 4.5 取樣電路.....	32
圖 4.6 時脈檢測器.....	33
圖 4.7 消除突波的取樣電路.....	33
圖 4.8 取樣位置關係圖.....	34
圖 4.9 檢測訊號 $os1=0$	35
圖 4.10 檢測訊號 $os1, os2=0$	36
圖 4.11 檢測訊號 $os1, os2, os3=0$	36
圖 4.12 檢測訊號 $os1, os2, os3, os4=0$	36
圖 4.13 檢測訊號 $os1, os2, os3, os4, os5=0$	37
圖 5.1 PRBS 電路.....	39
圖 5.2 除頻器.....	40
圖 5.3 PRBS 與除頻器的輸出訊號時序圖.....	40
圖 5.4 PRBS 電路的輸出時脈波形圖.....	41
圖 5.5 PRBS 電路的輸出眼圖.....	41

圖 5.6 簡易的匯流排電路.....	42
圖 5.7 簡易的時脈量測電路.....	42
圖 5.8 輸出緩衝器.....	43
圖 5.9 使用輸出緩衝器及開汲極輸出，在外部示波器觀察波形.....	43
圖 5.10 電路佈局圖.....	44
圖 5.11 匯流排輸出模擬圖($V_{DD}=1.2V$, DATA RATE=2GBPS).....	45
圖 5.12 匯流排輸出模擬圖($V_{DD}=1.0V$, DATA RATE=1.5GBPS).....	46
圖 5.13 匯流排輸出模擬圖($V_{DD}=0.8V$, DATA RATE=1GBPS).....	46
圖 5.14 匯流排輸出波形圖($V_{DD}=1.0V$, DATA RATE=2GBPS).....	47
圖 5.15 時脈量測輸出結果($V_{DD}=1.0V$, DATA RATE=2GBPS).....	48
圖 5.16 匯流排輸出波形圖($V_{DD}=1.2V$, DATA RATE=2GBPS).....	49
圖 5.17 時脈量測輸出結果($V_{DD}=1.2V$, DATA RATE=2GBPS).....	49
圖 5.18 匯流排輸出波形圖($V_{DD}=1.0V$, DATA RATE=1.5GBPS).....	50
圖 5.19 時脈量測輸出結果($V_{DD}=1.0V$, DATA RATE=1.5GBPS).....	50
圖 5.20 晶片量測架構圖.....	53

第一章

緒論

1.1 簡介

由於電腦科技的蓬勃發展，資料的處理更加快速，以至於晶片上所要處理的資料越來越多，速度也越快，在需求增加的情況下，有限的通道上要傳輸的資料也越多，所以需要的資料傳輸速度相對來說會越來越大。

隨著製程技術不斷地演進，所有複雜的功能全部都整合在一個小晶片上。再加上現在的製程尺寸越做越小，使得晶片內的通道距離更小，連接情況更複雜。衍生出的問題主要可分為以下兩項：(1) 因為製程尺寸的縮小，雖然閘延遲 (Gate delay) 和區域連接線延遲 (Local interconnect delay) 都變得比較小，但是全區域連接線延遲 (Global interconnect delay) 佔的比例卻越來越大，所以降低此延遲時間為首要問題。(2) 製程尺寸縮小，連接線之間的距離變小，傳輸線之間的訊號發生耦合效應 (Coupling effect)，資料會互相影響，而降低此效應，使得訊號能正確的傳輸也是一個重要的難題。

1.2 研究動機

雖然晶片面積會隨著製程縮小而變小，但隨著晶片內模組數目的增加，模組和模組之間的互連線長度變長，見圖 1.1。為了推動全區域連接線，使訊號能夠順利傳送，必須使用驅動電路來做驅動。於是我們選擇中繼器 (Repeater insertion) 來做為驅動電路。

利用反相器 (Inverter) 電路將傳輸線 (Interconnect) 切成很多小段，來使整體的延遲變小。

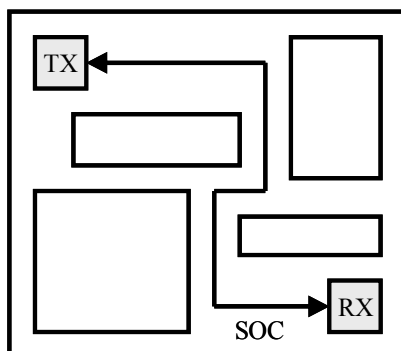


圖 1.1 晶片內部的模組互連線

當需要資料傳輸的速度下降時，如果可以隨著資料傳輸的快慢，來調整供電源電壓值的大小，就可藉此達到最佳功率消耗 (Optimal power consumption) 的效果。所以我們在電路的後端，設計了一個時脈量測電路 (Timing measurement circuit)，來檢測資料，藉由輸出檢測訊號來估算抖動 (Jitter) 大小，並且依照目前工作的狀況，來決定要如何調整電壓或傳輸速率 (增減電壓或是增減傳輸頻率)，使電路達到最佳的耗電狀態 (低功率消耗)，見圖 1.2。

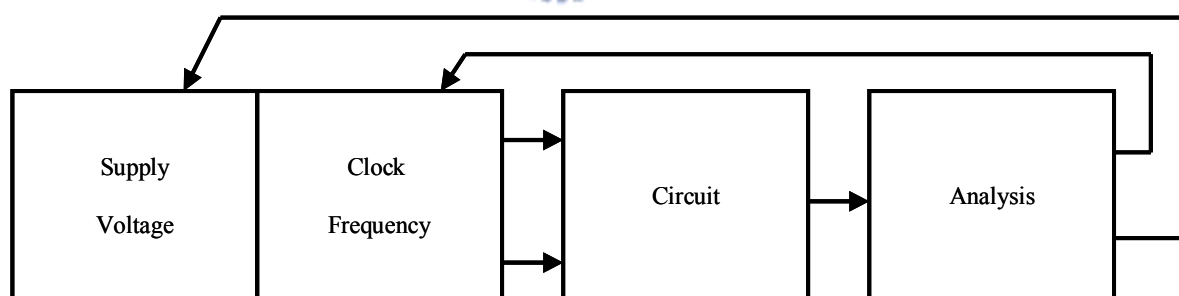


圖 1.2 動態電壓/頻率調整電路

1.3 論文結構

本論文內容分成以下六個章節。第一章為緒論，說明傳輸線的發展現況，研究動機，以及論文結構。第二章為背景回顧，探討一般 RC 傳輸線選擇參數值的方法。第三章介紹選擇匯流排之各項參數的方法。我們使用最佳化的方式來求出傳輸線的寬度以及中繼

器的並聯個數。並且在選擇傳輸速率的同時，決定了中繼器的尺寸和傳輸線的線距。這個章節中還介紹了各個基本性能的計算方式：包含了時間常數、上升時間、傳輸速率、功率消耗，和傳輸線面積。最後，依照設計流程圖來決定如何選擇傳輸線的寬度、傳輸線的線距、中繼器的並聯個數、傳輸速率，以及中繼器的尺寸。第四章介紹了一個時脈量測電路。這個電路包含了邊緣檢測器、延遲串列電路、取樣電路、時脈檢測器，和消除突波的取樣電路。我們使用時脈量測電路的輸出檢測訊號，來估算出眼圖張口 (Eye opening) 的大小。依照這個眼圖張口的大小，再決定要如何調整供電壓或是傳輸速率，來使電路工作在最適當的情況之下。第五章為匯流排電路設計的實現。整體電路架構包含了偽隨機位元序列產生器 (PRBS)，長度為 10mm 的全域傳輸線電路，以及用來做動態電壓頻率調整的時脈量測電路。章節中還包括了晶片佈局圖、佈局後模擬、規格表、比較表，以及量測考量。第六章為結論，討論電路設計結果，以及未來發展的方向。



第二章

背景回顧

2.1 艾莫爾延遲

使用艾莫爾延遲 (*Elmore delay*)，我們可得到電路的一階時間常數 (First-order time constant) [1]。雖然這個數值只是一個從輸入點到輸出點之訊號傳輸延遲的近似值，但由於容易求得且簡單易懂，所以一般都使用這個方法來求電路的時間常數。

在滿足以下三點的情形之下，我們可以使用艾莫爾延遲來算出 RC 樹狀網路 (RC tree network) 的時間常數。(1) 沒有電阻形成迴路，(2) 所有的電容都有一段接到地，(3) 電路中只有一個輸入點。

圖 2.1 為一 RC 樹狀網路的特例，是一個簡單的 RC 階梯網路 (RC ladder network)，使用艾莫爾延遲來算出它從輸入點到輸出點 (N) 的時間常數，如下列方程式所示

$$\tau_N = \sum_{j=1}^N C_j \cdot \sum_{k=1}^j R_k \quad (2.1)$$

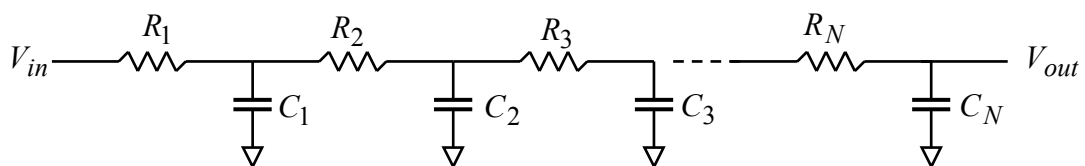
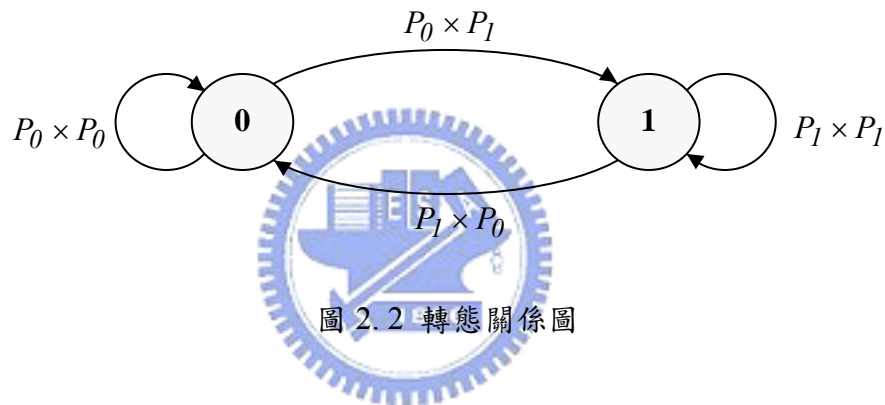


圖 2.1 RC 階梯網路

2.2 切換活動因子

CMOS 電路的切換功率消耗和切換活動因子 (Switching activity factor, α) 有關 [1]，而 α 代表的是輸出電容造成功率消耗的電壓轉態有效個數，我們可以由電路的邏輯閘和輸入訊號來推算出轉態機率 (Transition probability)。

轉態機率可以用轉態關係圖來表示，我們可由圖 2.2 中看出輸出訊號 0 和 1 的轉換關係。以一個反相器為例，輸出為 0 的機率為 $P_0 = \frac{1}{2}$ ，輸出為 1 的機率為 $P_1 = \frac{1}{2}$ ，則輸出端由訊號 0 變成 1 所產生之功率消耗的轉態機率為 $P_{0 \rightarrow 1} = P_0 \cdot P_1 = \frac{1}{2} \cdot \frac{1}{2} = \frac{1}{4}$ 。



2.3 延遲時間的最佳化

一般使用中繼器的 RC 連接線，通常都取延遲的最小極值來做最佳化，求出中繼器尺寸和分段連接線的長度 [2]。只要已知傳輸線的單位線電容與單位線電阻，就可以得到兩者的數值。

首先，使用艾莫爾延遲來估算出每一分段連接線 l 的時間常數，如下所示

$$\tau = \frac{r_s}{m} (c_{gs} m + c_{db} m) + \frac{r_s}{m} c_w l + r_w l m c_{gs} + \frac{1}{2} r_w c_w l^2 \quad (2.2)$$

所以單位長度的時間常數可以表示為

$$\frac{\tau}{l} = \frac{1}{l} r_s (c_{gs} + c_{db}) + \frac{r_s}{m} c_w + r_w m c_{gs} + \frac{1}{2} r_w c_w l \quad (2.3)$$

用圖形來表示，可以得到圖 2.3 的 3D 圖形。為了要求它的最小極值，所以對單位長度

的時間常數做最佳化動作，令 $\frac{\partial\left(\frac{\tau}{l}\right)}{\partial l}=0$ 和 $\frac{\partial\left(\frac{\tau}{l}\right)}{\partial m}=0$ ，最後得到最佳的中繼器尺寸與連接線的分段長度，如下所示

$$m_{opt} = \sqrt{\frac{r_s c_w}{r_w c_{gs}}} \quad (2.4)$$

$$l_{opt} = \sqrt{\frac{2 \cdot r_s (c_{gs} + c_{db})}{r_w c_w}} \quad (2.5)$$

將 (2.4) 和 (2.5) 代入 (2.3) 中，可以得到最小單位長度的時間常數

$$\left(\frac{\tau}{l}\right)_{opt} = 2 \sqrt{r_s c_{gs} r_w c_w} \left(1 + \sqrt{\frac{l}{2} \left(1 + \frac{c_{db}}{c_{gs}} \right)} \right) \quad (2.6)$$

由於分段連接線長度所造成的延遲時間，和時間常數有一乘數關係，所以可以得到最小之單位長度的延遲時間為

$$\log_e 2 \cdot \left(\frac{\tau}{l}\right)_{opt} = 2 \cdot \log_e 2 \sqrt{r_s c_{gs} r_w c_w} \left(1 + \sqrt{\frac{l}{2} \left(1 + \frac{c_{db}}{c_{gs}} \right)} \right) \quad (2.7)$$

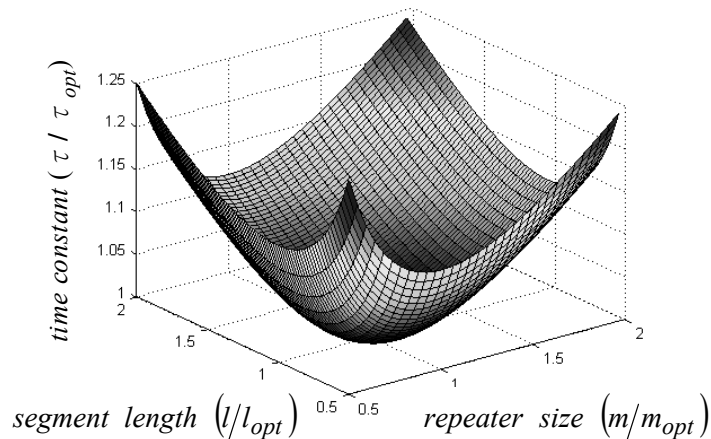


圖 2.3 以中繼器尺寸與分段連接線長度為函數之單位長度的時間常數

若將參數的電容電阻值代入 (2.4) 和 (2.5) 中，得到的中繼器尺寸很大，而分段長

度也很長，造成總功率消耗大，所以在選擇中繼器尺寸和分段連接線長度時，除了延遲時間的大小之外，還必須要考量到功率消耗的問題。

2.4 功率消耗的最佳化

對功率消耗做最佳化動作，希望使功率消耗接近最小的狀態，進而求出中繼器的尺寸和分段連接線的長度 [2]。此時的延遲並非最小值，而是取最小延遲的 $(1+f)$ 倍。只要知道連接線的單位線電容與單位線電阻的大小，就可以立刻得到兩者的數值。

功率消耗的方程式可以寫成

$$P_{repeater} = P_{switching} + P_{short-circuit} + P_{leakage} \quad (2.8)$$

其中

$$\begin{aligned} P_{switching} &= \alpha \cdot (m(c_{db} + c_{gs}) + c_w l) \cdot V_{DD}^2 f_{clk} \\ P_{short-circuit} &= \alpha \cdot V_{DD} \cdot W_n m \cdot I_{short-circuit} \cdot \tau \log_e 3 \\ P_{leakage} &= V_{DD} \cdot \frac{I}{2} (I_{off_n} W_n + I_{off_p} W_p) \cdot m \end{aligned} \quad (2.9)$$

假設單位長度的時間常數的誤差值為 f ，所以單位長度的時間常數為

$$\frac{\tau}{l} = (1+f) \cdot \left(\frac{\tau}{l} \right)_{opt} \quad (2.10)$$

得到單位長度的功率消耗為

$$\frac{P_{repeater}}{l} = k_1 \left(\frac{m}{l} (c_{db} + c_{gs}) + c_w \right) + k_2 \tau m + k_3 \frac{m}{l} \quad (2.11)$$

用圖形來表示，可以得到圖 2.4 的 2D 圖形。

為了要求它的最小極值，所以對單位長度的功率消耗做最佳化動作，令

$$\frac{\partial \left(\frac{P_{repeater}}{l} \right)}{\partial l} = 0 \quad \text{和} \quad \frac{\partial \left(\frac{P_{repeater}}{l} \right)}{\partial m} = 0$$

，並且使用牛頓法 (Newton-Raphson's method) 來

求得最佳的中繼器尺寸與連接線的分段長度的近似值。

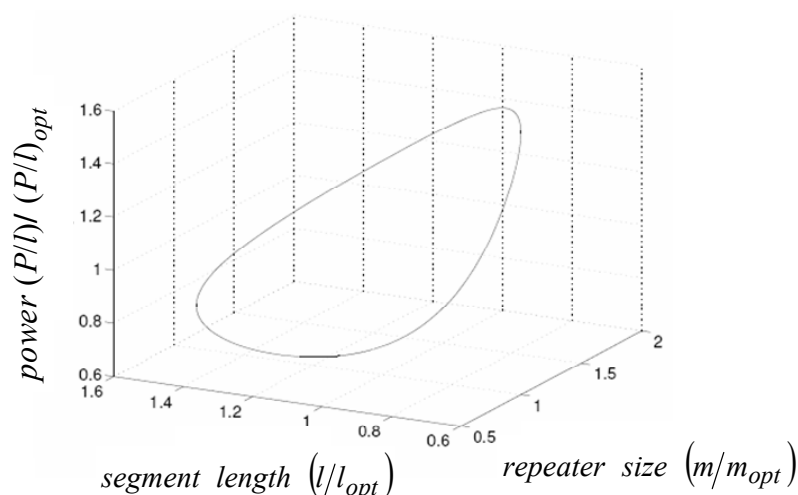


圖 2.4 以中繼器尺寸與分段連接線長度為函數之單位長度的功率消耗

2.5 功率消耗、延遲、傳輸速率的最佳化

除了延遲時間與功率消耗之外，傳輸速率的大小也是我們在設計傳輸線時的必須考量的效能 (Performance) 之一。先假設延遲時間為最小極值，得到中繼器尺寸與分段連接線長度的公式，見 (2.4) 和 (2.5)，由於它們都是傳輸線的線電容與線電阻組成的方程式，所以最後得到的各項效能都與連接線的線寬、線距有直接相關性。於是我們定義了效能指數 (Figure-of-merit, FOM)，找出在效能指數最大時的傳輸線線寬和線距，同時得到低功率消耗、低延遲時間、和高傳輸速率。由於傳輸速率 B 和單位時間的延遲時間成反比，可以定義為

$$B = n \cdot \frac{1}{D} \quad (2.12)$$

其中， n 為傳輸線的數目，而功率消耗和延遲時間的大小，見 (2.6) 和 (2.11)。最後，定義效能指數為

$$F = \frac{B}{D} \quad (2.13)$$

使用兩種方式，來求傳輸線的最佳參數值。其中一種假設傳輸線線距為定值，來

求傳輸線的最佳線寬；另外一種方式，則是同時求傳輸線的線寬和線距。

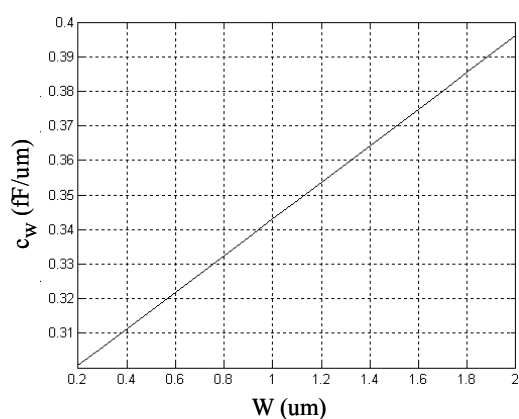
2.5.1 最佳傳輸線線寬

假設傳輸線之線距為一定值，求最佳傳輸線線寬，來達到最大效能指數[3][4]。

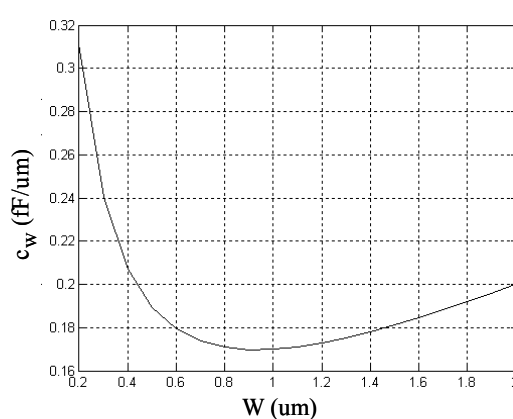
- (1) 最小線距 ($S = S_{min}$)。目的是為了觀察在固定的耦合效應 (Cross-talk effect) 之下，變化傳輸線的線寬大小，對各項性能所造成的影響。傳輸線的線寬增大時，單位線電容成正增加，見圖 2.5(a)。
- (2) 線距等於線寬 ($S = W$)。傳輸線線寬在增大過程中，有單位線電容的最小極值出現，見圖 2.5(b)。

在兩種不同傳輸線線距之下，取效能指數的最大值，求出最佳傳輸線線寬。傳輸速率和延遲時間都與線寬 (W) 和線距 (S) 有關，所以令 $\frac{\partial F}{\partial W} = 0$ ，來得到最佳傳輸線線距為

$$W_{opt} = \sqrt{\frac{c_a S + c_c}{c_b}} \quad (2.14)$$



(a) 當 $S = S_{min}$ 時的單位線電容



(b) 當 $S = W$ 時的單位線電容

圖 2.5 傳輸線線距對應單位線電容值

2.5.2 最佳傳輸線線寬和線距

因為線距的大小，和單位線電容有很大的關係，只要線距有所變化，即使只有一點點，都會造成各項效能的變化，所以我們同時來求最佳傳輸線線寬和線距 [5]。取效能指數的最大極值，令 $\frac{\partial F}{\partial W} = 0$ 與 $\frac{\partial F}{\partial S} = 0$ ，來得到最佳的線寬和線距為

$$W_{opt} = \sqrt{\frac{c_a S_{opt} + c_c}{c_b}} \quad (2.15)$$

$$S_{opt} = \sqrt{\frac{c_c W_{opt}}{c_a + c_b W_{opt}}} \quad (2.16)$$

求得的最佳傳輸線線寬和線距，必須滿足 $W_{opt} \geq W_{min}$ 和 $S_{opt} \geq S_{min}$ 。



2.6 總結

本章節中，回顧了全區域傳輸線歷年來的文獻，除了介紹了一般 RC 連接線之時間常數的求法，與 CMOS 電路中切換活動因子的估算方式，還回顧了一般選擇連接線參數值的各項方法。主要是利用最佳化的方式來選擇中繼器尺寸、連接線的分段長度、傳輸線線寬與傳輸線線距。可以自己設定效能指數來決定要對哪些效能做最佳化的動作，進而得到最佳的參數值。

第三章

全區域連接線電路設計

3.1 全區域連接線

本章節主要決定全區域連接線的各项參數值。在 3.2 節可看到不同製程下的模組參數值。而 3.3 節介紹了中繼器模組和晶片上連接線模組。3.4 節分析了全區域連接線的效能。在 3.5 節中，我們用最佳化的方法，讓效能指數 (FOM) 為最大值，來得到最佳的傳輸線寬度，並且在選擇傳輸速率時，決定傳輸線的線距。在此章節中，介紹了一個對於傳輸速率、功率消耗、以及傳輸線面積做最佳化的方法，來決定連接線的各项參數值，以及中繼器電路的尺寸。

3.2 模組參數

製程 350nm 到 90nm 的技術參數以及等效電路參數，如表格 3.1 所示。這些模組參數 (Model parameter) 是由台積電 (*Taiwan Semiconductor Manufacturing Company, TSMC*) 的資料庫，以及國際半導體技術藍圖 (*International Technology Roadmap for Semiconductors, ITRS*) 的資料庫所獲得。其中， T 為傳輸線厚度 (Metal thickness)， W_{min} 為最小傳輸線寬度 (Minimal metal width)， S_{min} 為最小傳輸線線距 (Minimal metal spacing)， ρ 為傳輸線的電阻率 (Metal resistivity)， c_a 、 c_b 、 c_c 分別為傳輸線的側面電容與邊緣電容、傳輸線與基板間的平行板電容、傳輸線之間的耦合電容， V_{DD} 為供電源電壓值 (Power supply voltage)。

表格3.1 製程參數值

Tech. Node (nm)	350	180	130	90
T (nm)	6400	5300	3700	2250
W_{min} (um)	0.6	0.28	0.2	0.14
S_{min} (um)	0.5	0.28	0.21	0.14
ρ ($10^{-8}\Omega \cdot m$)	2.2	2.2	2.2	2.2
c_b (fF/um ²)	0.0124	0.039	0.053	0.065
c_a (fF/um)	0.0112	0.05	0.07095	0.05824
c_c (fF)	0.162	0.09	0.046	0.029
V_{DD} (V)	3.3	1.8	1.2	1

3.3 全區域連接線的模組

我們可以將全區域連接線的模組可以分成兩個部份，包含了中繼器模組，以及晶片上連接線模組，將在以下章節介紹。

3.3.1 中繼器模組

使用中繼器的全區域連接線，如圖 3.1 所示 [5]。其中， L 為傳輸線的總長度， l 為分段傳輸線長度， W 為傳輸線的寬度， S 為傳輸線之間的距離。每一個中繼器模組 (Repeater model)，都是由分段傳輸線，與連接在它前後的兩個反相器所構成的。

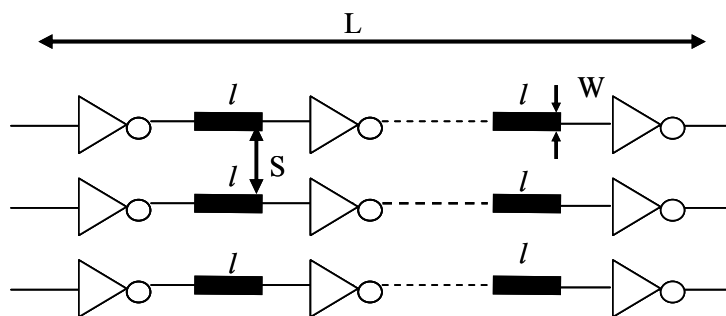


圖 3.1 使用中繼器的全區域連接線

中繼器模組，可以等效成一個 RC 模組，如圖 3.2 所示。反相器在並聯個數為 $m = l$

時，等效的參數值： c_{gs} 為輸入電容， c_{db} 為輸出電容，而 r_s 為輸出阻抗。當中繼器的並聯個數為 m 時，則它的總輸入電容為 $C_{gs} = c_{gs} \cdot m$ ，總輸出電容為 $C_{db} = c_{db} \cdot m$ ，總輸出阻抗為 $R_s = r_s / m$ 。

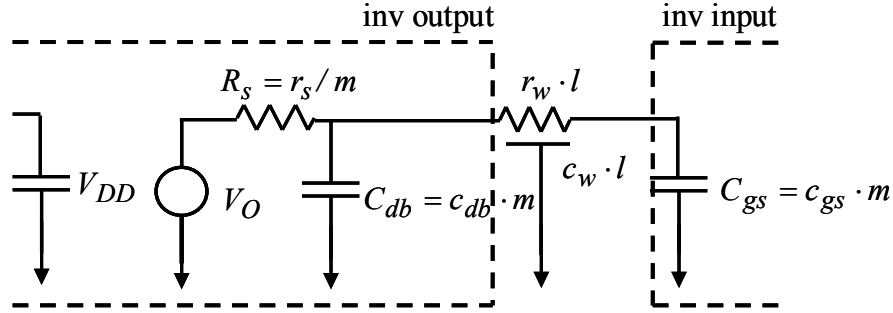


圖 3.2 等效 RC 模組

反相器的輸入電容與輸出電容 [1]，以及輸出阻抗的方程式可以寫成

$$c_{gs} = \left(c_{gs,n} + c_{gs,p} \right) + \left(c_{gd,n} + c_{gd,p} \right) + \left(c_{gb,n} + c_{gb,p} \right) \quad (3.1)$$

$$\cong C_{ox} \cdot W_n \cdot L_n + C_{ox} \cdot W_p \cdot L_p$$

$$c_{db} = c_{db,n} + c_{db,p} \quad (3.2)$$

$$= \left(A_n \cdot C_{j,n} \cdot K_{eq,n} + P_n \cdot C_{jsw,n} \cdot K_{eqsw,n} \right) + \left(A_p \cdot C_{j,p} \cdot K_{eq,p} + P_p \cdot C_{jsw,p} \cdot K_{eqsw,p} \right)$$

$$r_s = \frac{r_{s,n} + r_{s,p}}{2} \quad (3.3)$$

其中

$$A_n(p) = W_n(p) \cdot Y_n(p) + W_n(p) \cdot X_{j,n(p)} \quad P_n(p) = 2 \cdot \left(Y_n(p) + W_n(p) \right)$$

$$K_{eq,n(p)} = -\frac{2\sqrt{\phi_{0,n(p)}}}{-V_{DD} - (-V_{SS})} \left(\sqrt{\phi_{0,n(p)} + V_{DD}} - \sqrt{\phi_{0,n(p)} + V_{SS}} \right)$$

$$K_{eqsw,n(p)} = -\frac{2\sqrt{\phi_{0SW,n(p)}}}{-V_{DD} - (-V_{SS})} \left(\sqrt{\phi_{0SW,n(p)} + V_{DD}} - \sqrt{\phi_{0SW,n(p)} + V_{SS}} \right)$$

$$r_{s,n} = \frac{2 \cdot V_{DD}}{\beta_n \cdot (V_{DD} - V_{t,n})^2} \quad r_{s,p} = \frac{2 \cdot V_{DD}}{\beta_p \cdot (V_{DD} - |V_{t,p}|)^2}$$

如圖 3.3 所示， $W_{n(p)}$ 為反相器的通道寬度 (Channel width)， $L_{n(p)}$ 為反相器的通道長度 (Channel length)， $X_{j,n(p)}$ 為反相器的接面深度 (Junction depth)， $Y_{n(p)}$ 為擴散區域的長度 (Typical diffusion region length)， C_{ox} 為單位面積的閘氧化層電容 (Gate oxide capacitance per unit area)， $A_{n(p)}$ 為接面面積 (Junction area)， $P_{n(p)}$ 為 MOS 的汲極或源極周長 (Perimeter)， $C_{j,n(p)}$ 為單位面積的接面電容 (Junction capacitance per unit area)， $C_{jsw,n(p)}$ 單位長度的側面接面電容 (Sidewall junction capacitance per unit length)， $K_{eq,n(p)}$ 為電壓等效因子 (Voltage equivalence factor)， $K_{eqsw,n(p)}$ 為側面電壓等效因子 (Sidewall voltage equivalence factor)， $\phi_{0,n(p)}$ 為內建接面電壓 (Built-in junction potential)， $\phi_{0sw,n(p)}$ 為側面內建接面電壓 (Sidewall built-in junction potential)， $r_{s,n(p)}$ 為輸出阻抗。

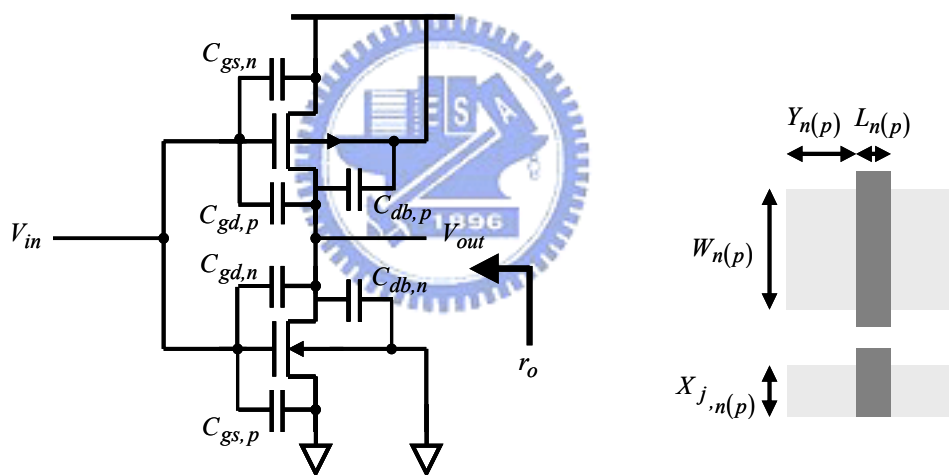


圖 3.3 CMOS 反相器 和 MOS 的佈局圖

我們可以用 MATLAB 畫出反相器的輸入輸出電容 c_{gs} 、 c_{db} 與輸出電阻 r_s 的 2D 圖形，如圖 3.4 所示。隨著電壓大小的不同，可得到不同的 c_{gs} 、 c_{db} 、 r_s (此時使用最小尺寸的中繼器)。當 V_{DD} 越大時， r_s 會越小。

連接線的單位線電阻 (Resistance per unit length, r_w) 和單位線電容 (Capacitance per unit length, c_w) 兩項參數值，都可以由計算來得到。假使每一小段的長度為 l ，則它傳輸線的電容為 $C_w = c_w \cdot l$ ，傳輸線的電阻為 $R_w = r_w \cdot l$ 。

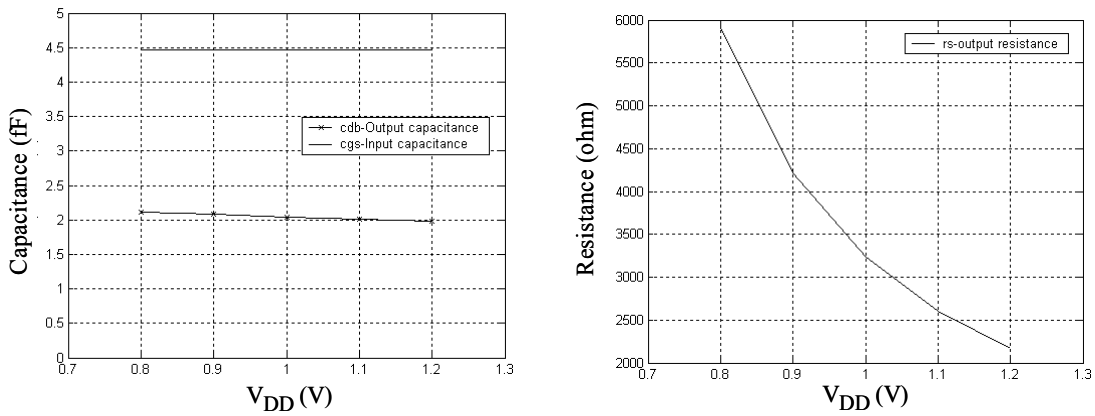


圖 3.4 輸入輸出電容 c_{gs} c_{db} 與 輸出電阻 r_s

3.3.2 晶片上連接線模組

晶片上連接線模組 (On-chip interconnect model) 如圖 3.5 所示，其中， W 為傳輸線寬度 (Interconnect width)， S 為傳輸線之間的距離 (Interconnect spacing)， T 為傳輸線的厚度 (Interconnect thickness)，而 H 為傳輸線和基板之間的距離 (Dielectric height)， c_a 為側邊電容 (Fringing-field capacitance)， c_b 為傳輸線和基板之間的平行板電容 (Parallel plate capacitance)，而 c_c 為傳輸線之間的耦合電容 (Coupling capacitance)。

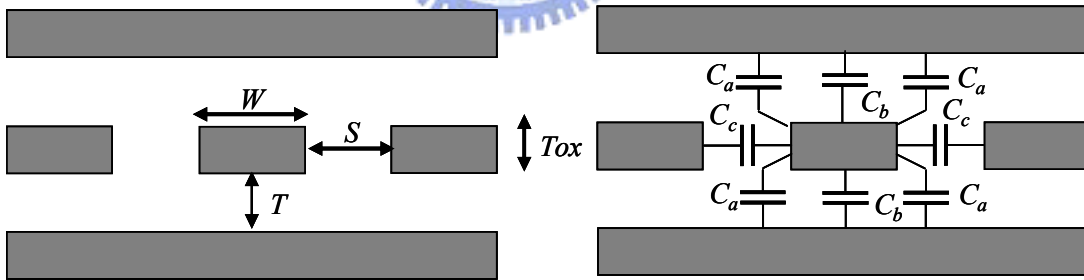


圖 3.5 全區域連接線的切面圖

我們可以將傳輸線的單位線電阻表示為

$$r_w = \frac{\rho}{W \cdot T} \quad (3.4)$$

其中， ρ 為傳輸線的電阻率。用 MATLAB 畫出 r_w 的 2D 圖，如圖 3.6 所示。當 W 上升時， r_w 會下降。

根據表格 3.1 的 0.13um 製程，可以得到 c_a 、 c_b 、 c_c 的數值。而傳輸線的單位線電容，可以表示為

$$c_w = c_a + c_b \cdot W + \frac{c_c}{S} \quad (3.5)$$

用 MATLAB 畫出 c_w 的 3D 圖，如圖 3.6 所示。當 W 上升或 S 下降時， c_w 會持續上升。

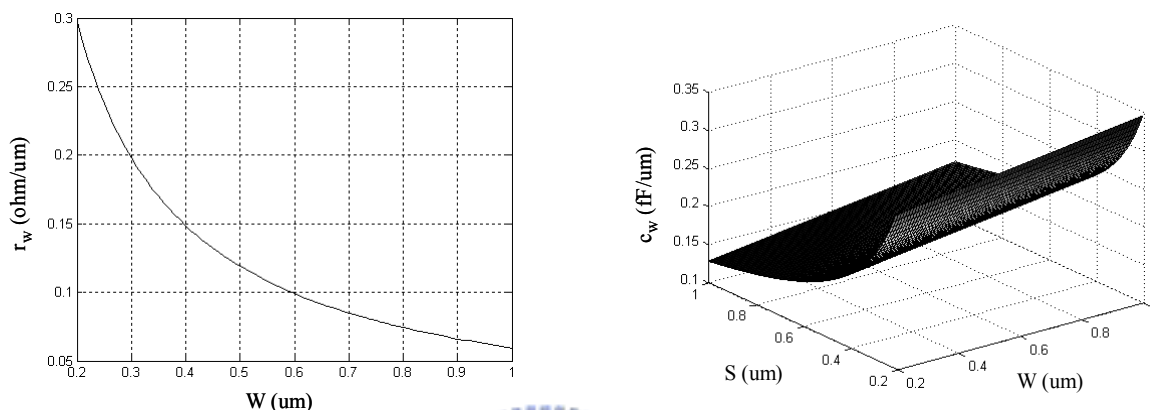


圖 3.6 連接線的單位線電阻 r_w 與 連接線的單位線電容 c_w

對於 0.13um 製程，Metal2~Metal6 的最小線寬為 0.2um，最小的線距為 0.21um。分析傳輸線的各项效能，如傳輸頻率、功率消耗，以及傳輸線面積。取效能指數的最大值來做最佳化動作，即可決定最佳的連接線寬度和連接線的線距。

3.4 全區域連接線的效能

在本節中，分析全區域連接線的各项效能，包含時間常數、上升時間、傳輸速率、功率消耗，以及傳輸線面積。

3.4.1 時間常數

根據圖 3.2，我們使用艾莫爾延遲模組來估算時間常數 (Time constant)，表示式為

$$\begin{aligned} \tau &= R_s \cdot (C_{gs} + C_{db} + c_w \cdot l) + r_w \cdot l \cdot C_{gs} + \frac{l}{2} r_w \cdot l \cdot c_w \cdot l \\ &= r_s (c_{gs} + c_{db}) + \left(\frac{r_s \cdot c_w}{m} + r_w c_{gs} \cdot m \right) \cdot l + \frac{l}{2} r_w \cdot c_w \cdot l^2 \end{aligned} \quad (3.6)$$

3.4.2 上升時間

因為中繼器模組可以等效成一個 RC 模組 ($\tau = R \cdot C$)，我們使用簡單的 RC 電路來得到上升時間 (Rise time)。假設電容一開始已放電到低電位，且輸入訊號為一個在 $t = 0$ 的上升步階脈衝 (Rising step pulse)，則此 RC 電路的輸出電壓波形可以表示為

$$V_p = V_{DD} \cdot \left(1 - e^{-t_p/RC}\right) \quad (3.7)$$

當 $t = t_p$ 的時候，上升輸出電壓充電到 V_p ，而上升時間 t_p 可以寫成

$$t_p = \ln\left(\frac{V_{DD}}{V_{DD} - V_p}\right) \cdot RC \quad (3.8)$$

$t_{r(20\% \sim 80\%)}$ 定義為輸出電壓從 $V_{20\%}$ 充電到 $V_{80\%}$ 所需要的時間，而電壓位準 $V_{20\%}$ 和 $V_{80\%}$ 可以寫成

$$V_{20\%} = V_{DD} \cdot \left(1 - e^{-t_1/RC}\right) \quad (3.9)$$

$$V_{80\%} = V_{DD} \cdot \left(1 - e^{-t_2/RC}\right) \quad (3.10)$$

於是我們可以得到輸出的上升時間 $t_{r(20\% \sim 80\%)}$ ，如下面的方程式所示

$$t_{r(20\% \sim 80\%)} = t_2 - t_1 = \left[\ln\left(\frac{1}{1-0.8}\right) - \ln\left(\frac{1}{1-0.2}\right) \right] \cdot \tau \cong 1.386\tau \quad (3.11)$$

由 (3.11) 可以發現，上升時間和時間常數有一個常數乘積的關係。

3.4.3 傳輸速率

假設上升時間 $t_{r(20\% \sim 80\%)}$ 佔一個資料週期的 0.15UI，如圖 3.7 所示。我們可以將此關係寫成

$$t_{r(UI)} \leq 0.15 \quad (3.12)$$

接著，我們得到傳輸速率 (Data rate) 和上升時間的關係

$$Data\ Rate \leq \frac{0.15}{t_r} \quad (3.13)$$

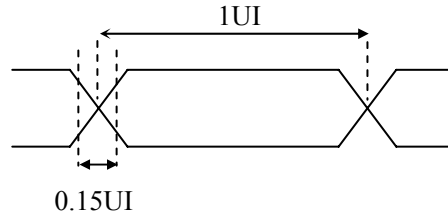


圖 3.7 上升時間和資料週期

因為我們在前面已求出上升時間，將上升時間和時間常數的關係式 (3.11) 代入 (3.13) 中，所以最後可以將傳輸速率寫成

$$Data\ Rate \leq \frac{0.15}{1.386 \cdot \tau} = \frac{0.108225}{\tau} \quad (3.14)$$

3.4.4 功率消耗

當製程尺寸持續下降，總功率消耗不能只估算切換功率消耗，漏電流造成的功率消耗急速增加，以及短電路功率消耗佔據整個總功率消耗的大小也會變得顯著。總功率消耗包含的三項功率消耗如下所示 [1] [6]。

(1) 切換功率消耗 (Switching power dissipation)

切換功率消耗， P_{sw} ，因 CMOS 電路的輸出電容充放電所造成。輸出電容為 C_{load} ，是由中繼器的輸出寄生電容、連接線的電容、以及中繼器的輸入電容所組成。

當輸入訊號在下降轉態時 (Falling transition)，PMOS 電晶體導通 (Turn-on) 而 NMOS 電晶體關閉 (Turn-off)，有一電流路徑從供電電壓對 C_{load} 充電到高電位 V_{DD} 。在對輸出電容充電的期間，供電源所消耗的能量為 $C_{load} \cdot V_{DD}^2$ 。其中一半的能量儲存在到電容 C_{load} 中，另外一半的能量被 PMOS 電晶體的寄生電容和連接線的電容消耗掉。

當輸入訊號在上升轉態時 (Rising transition)，NMOS 電晶體導通而 PMOS 電晶體關

閉，在輸出電容到地之間有一電流路徑產生。原本在輸出電容上的能量 $\frac{1}{2} \cdot C_{load} \cdot V_{DD}^2$ 從 NMOS 電晶體放電到地。當輸入訊號在上升轉態的時候，供電源沒有能量被消耗掉。而切換功率消耗可以被寫成

$$P_{sw} = \alpha_{0 \rightarrow 1} \cdot V_{DD}^2 \cdot C_{load} \cdot f_{clk} \quad (3.15)$$

$$= \alpha \cdot V_{DD}^2 (c_{gs} + c_{db} + l \cdot c_w) \cdot m \cdot f_{clk}$$

其中， α 為切換活動因子，在章節 2.2 中介紹，代表在一時間週期裡，在輸出電容上造成功率消耗的電壓轉態次數。 f_{clk} 為時脈頻率 (Clock frequency)。

(2) 短路電流功率消耗 (Short-circuit power dissipation)

短路電流功率消耗， P_{sc} ，當輸入訊號轉態時，由於供電源和地之間有一直接電流路徑產生，所造成的功率消耗。這個電流路徑發生在 PMOS 和 NMOS 都導通的情況之下。

圖 3.8 為反相器的輸入訊號轉態所造成的電流圖。輸入訊號在上升轉態，當輸入電壓上升至 $V_{in} = V_{t,n}$ ($t = t_1$) 時，NMOS 導通，產生一直接電流路徑從供電源到地；而 PMOS 在輸入電壓上升至 $V_{in} = V_{DD} - |V_{t,p}|$ ($t = t_3$) 時會關閉，此電流路徑消失。

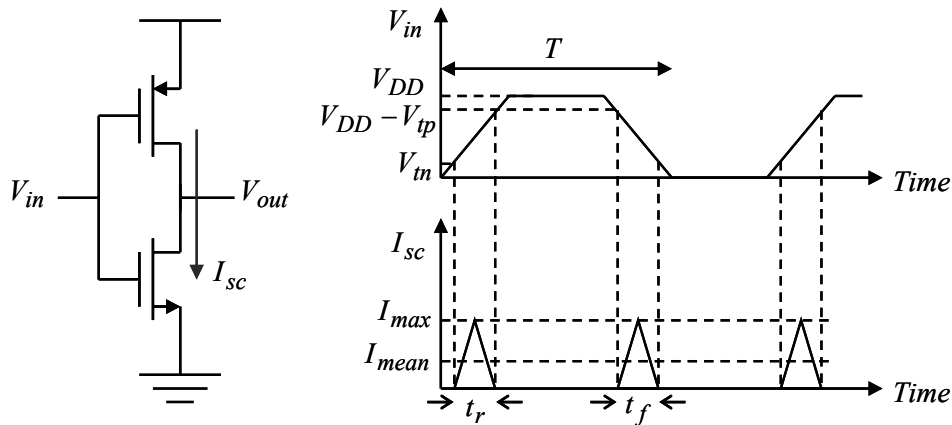


圖 3.8 反相器的短路電流

假使反相器電路為一對稱反相器，則它的上升時間和下降時間相等 ($t_r = t_f$)，PMOS 和 NMOS 的門檻電流相同 ($V_t = V_{t,n} = |V_{t,p}|$)，以及 $\beta = \beta_n = \beta_p$ 。當 $V_{in} = V_{DD}/2$

($t = t_2$) 時，電流大小為 I_{max} 。電流的方程式可以寫成

$$I(t) = \frac{\beta}{2} (v_{in}(t) - v_t)^2 \quad \text{for } 0 < I < I_{max} \quad (3.16)$$

平均短路電流可以被算出，如下所示

$$I_{mean} = \alpha \cdot \frac{\beta}{12 \cdot V_{DD}} (V_{DD} - 2V_t)^3 \frac{\tau}{T_{clk}} \quad (3.17)$$

我們可以得到短路電流功率消耗

$$P_{sc} = V_{DD} \cdot I_{mean} = \alpha \cdot \frac{\beta}{12} (V_{DD} - 2V_t)^3 \cdot \tau \cdot f_{clk} \quad (3.18)$$

其中

$$\beta = \mu c_{ox} \left(\frac{W}{L} \right) \cdot m$$

β 為一個和電晶體尺寸成比例的常數， V_t 為 NMOS 和 PMOS 的門檻電壓， τ 為輸入訊號的上升時間與下降時間， α 為反相器輸出的平均轉態次數，而 f_{clk} 為時脈頻率。

(3) 漏電流功率消耗 (Leakage power dissipation)

漏電流功率消耗， $P_{leakage}$ ，由兩種漏電流所造成的功率消耗。其中一種是二極體逆偏漏電流 (Reverse-bias diode leakage current)，透過電晶體的汲極 (Drain) 漏電；而另一種為次門檻電流 (Sub-threshold current)，在電晶體關閉時，透過電晶體通道漏電。

二極體逆偏漏電流發生的主要成因：由於電晶體的汲極和基底 (Bulk) 之間形成一逆偏壓的 pn 接面，如同一個二極體，產生一漏電流從電源由汲極流到基底。這個逆偏漏電流的大小可以用方程式寫成

$$I_{reverse} = A \cdot J_s \cdot \left(e^{\frac{V_{bias}}{V_T}} - 1 \right) \quad (3.19)$$

其中， V_{bias} 為接面上的逆偏電壓 (Reverse-bias voltage)， J_s 為逆偏飽和電流密度 (Reverse saturation current density)， A 為接面面積，而 $V_T = kT/q$ 為熱電壓 (Thermal voltage)。

次門檻電流的發生主因：電晶體在弱反轉 (Weak inversion) 時，載子由源極 (Source) 流到汲極的擴散電流。此時的 MOSFET 的工作特性與一個雙載子電晶體 (Bipolar transistor, BJT) 電路非常相似，次門檻電流和閘極門檻呈指數關係。當閘極對源極電壓比門檻電壓低的時候，此電流將會變得很明顯。次門檻電流可以表示為

$$\begin{aligned}
 I_{sub} &= K \cdot e^{\frac{V_{gs}-V_t}{nVT}} \cdot \left(1 - e^{-\frac{V_{ds}}{V_t}} \right) \\
 &= \left(\mu_n c_{ox} \cdot m \cdot \frac{W_n}{L_n} \cdot v_t^2 \right) \cdot e^{\frac{V_{gs}-V_t}{nVT}} \cdot \left(1 - e^{-\frac{V_{ds}}{V_t}} \right)
 \end{aligned} \tag{3.20}$$

其中， K 為一個和製程有關的方程式， V_t 為門檻電壓，而 $n = 1 + \Omega \cdot t_{ox} / D$ ，其中， t_{ox} 為閘氧化層厚度 (Gate oxide thickness)， D 為通道深度寬 (Channel depletion width)，而 $\Omega = \epsilon_{si} / \epsilon_{ox}$ 。當 $V_{ds} \gg V_T$ 時， $\left(1 - e^{-V_{ds}/V_T} \right) \cong 1$ ，此時汲極到源極的漏電流與汲極對源極電壓無關。最後，漏電流功率消耗可以被寫成

$$P_{leakage} = V_{DD} \cdot (I_{reverse} + I_{sub}) \tag{3.21}$$

每一中繼器的總功率消耗為

$$P_{repeater} = P_{sw} + P_{sc} + P_{leakage} \tag{3.22}$$

切換功率消耗大約佔了總功率消耗的 84%，而短路電流功率消耗大約佔總功率的 15%，漏電流大小大約佔總功率的 1%。

3.4.5 面積

傳輸線和中繼器的佈局擺放方式如圖 3.9 所示。我們在畫佈局圖時，將傳輸線放置在中繼器的上方，目的是為了降低整體的面積大小。所以在估算面積的時候，只需要考慮傳輸線的面積。面積的大小可以表示為

$$A_{ch} = (n \times W + (n - 1) \times S) \times L \tag{3.23}$$

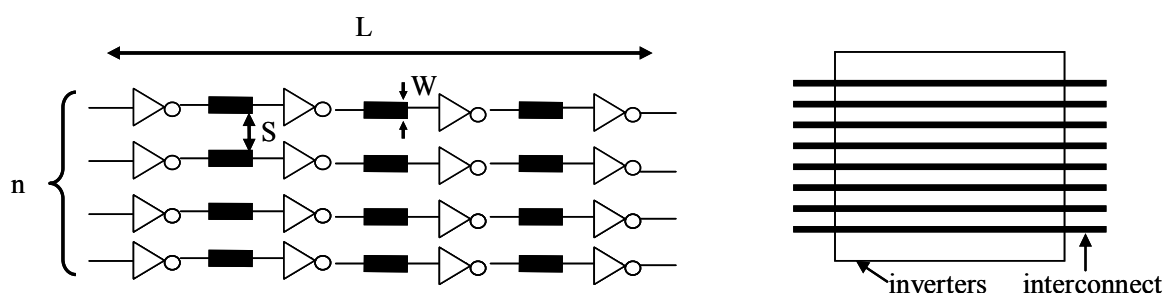


圖 3.9 傳輸線和中繼器的佈局擺放方式

3.4.6 總傳輸速率與總功率消耗的方程式

因為匯流排總共包含了 n 條並聯的傳輸線，每一條傳輸線的傳輸速率大小如 (3.14) 所示，所以總傳輸頻率 (Total bandwidth) 可以被寫成

$$BW = n \times (\text{Data Rate}) = n \times \frac{0.108225}{\tau} \quad (3.24)$$

每一傳輸線分成 L/l 段， n 條傳輸線的總功率消耗 (Total power consumption) 為

$$P = n \cdot \left(\frac{L}{l}\right) \cdot (P_{sw} + P_{sc} + P_{leakage}) \quad (3.25)$$

3.5 效能指數的最佳化

在設計全區域連接線時，我們希望能夠同時得到高傳輸頻率、小面積、低功率消耗，所以使用效能指數 (FOM) 來求極值做最佳化的動作。

3.5.1 最佳傳輸線寬度

由於傳輸線的單位線電容電阻是由它的寬度與線距的方程式所得到，而各項效能 (如傳輸頻率、功率消耗) 都與傳輸線單位線電容電阻有關，所以可得知這些效能都是由傳輸線寬度與線距的方程式所構成，相關計算請參照第三章第四節。因為在傳輸速率、功率消耗、以及面積之間，有折衷 (Trade-off) 的關係，所以定義一 FOM 方程式，希望

能同時達到高傳輸速率、低功率消耗、與小面積消耗。FOM 的方程式可以表示成

$$FOM = \frac{Data\ Rate}{P_{ch} \cdot A_{ch}} \quad (3.26)$$

假設供電源為 $V_{DD} = 1.2V$ ，分段長度 $l = 100\mu m$ ，使用最小尺寸的中繼器。傳輸速率和傳輸線線寬與線距的關係圖，如圖 3.10 (a) 所示，在 $W = 0.2\mu m$ 且 $S = 1\mu m$ 時有最大的傳輸頻率，但傳輸線的面積此時有點大，如圖 3.10 (b) 所示。每一條傳輸線的功率消耗如圖 3.10 (c) 所示，它的功率消耗會隨著傳輸線線寬增加而上升。FOM 值如圖 3.10 (d) 所示，在線寬 $W_{opt} = 0.2\mu m$ 時，可以得到最大的 FOM 值。

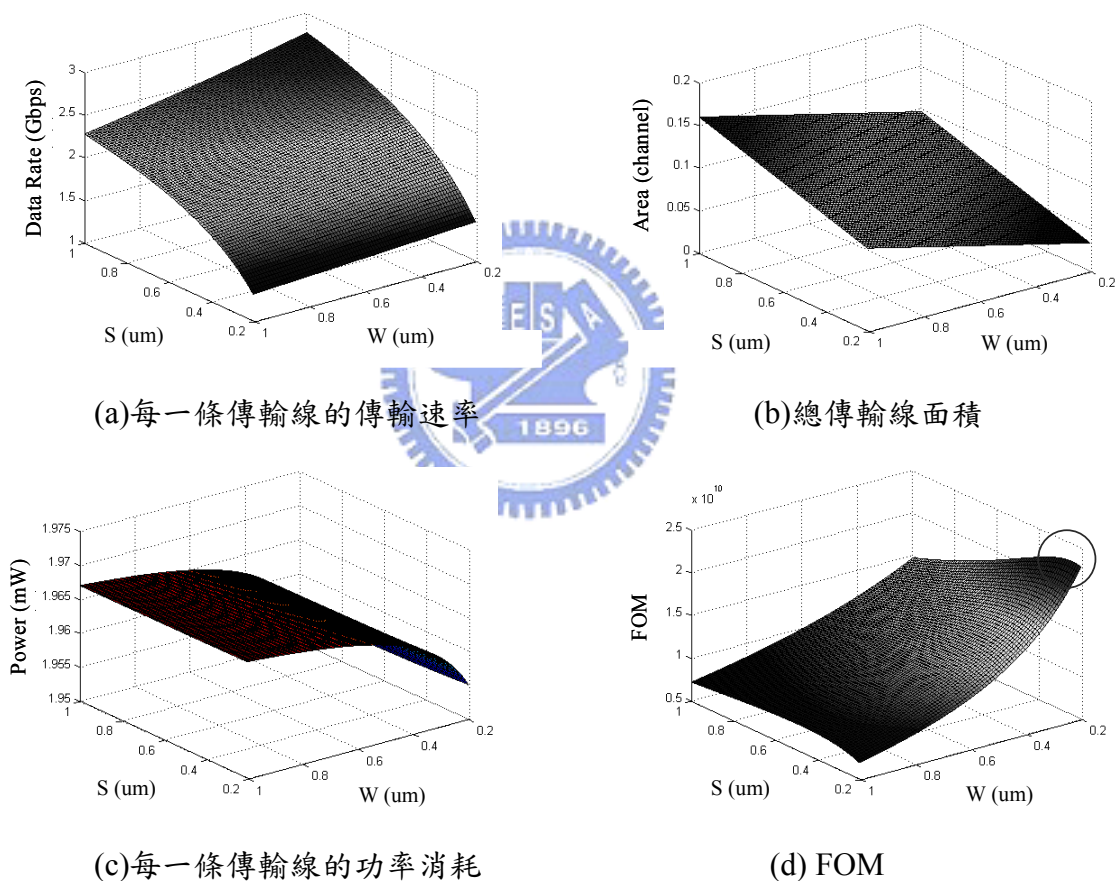


圖 3.10 和傳輸線線寬與線距有關的效能

3.5.2 最佳傳輸線線距

我們將前面所得到的最佳傳輸線線寬帶入 (3.26) 中，可以得到傳輸線線寬和各項效能的關係圖，如圖 3.11 (a)~(d) 所示。當傳輸線線距為 $S = 0.26\mu m$ 時，可以得到最大

的 FOM 值。傳輸線的線距越大，得到的傳輸速率會越大。由於我們必須考量到傳輸速率的大小，所以我們稍後在選擇中繼器尺寸時，才來選擇傳輸線的線距。

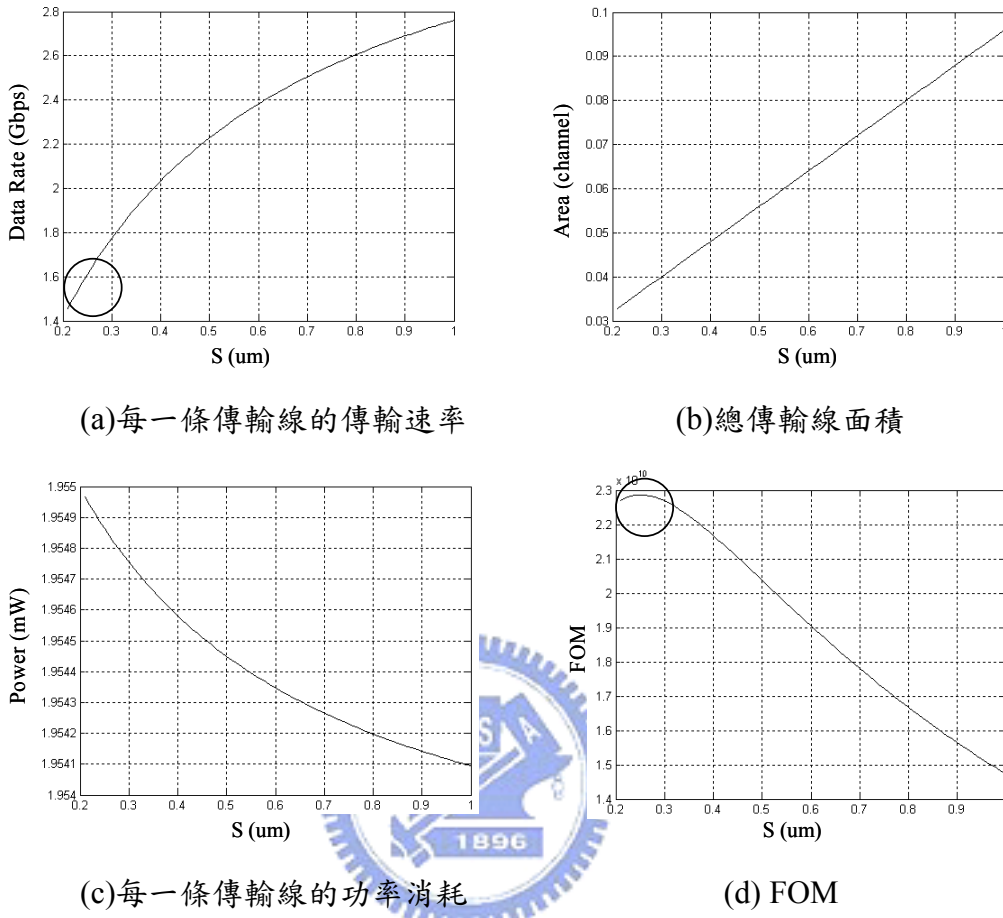


圖 3.11 決定好傳輸線線寬的情況之下，與傳輸線線距有關的效能

3.5.3 最佳的中繼器並聯個數

現在，我們要決定每個中繼器所並聯的 MOS 個數 (The number of MOS finger)。如圖 3.12 所示，我們假設每一分段長度 $l = m \times h$ ， $h = 50\mu\text{m}$ ，而傳輸線線寬為 $0.2\mu\text{m}$ ，傳輸線線距為 $0.26\mu\text{m}$ ，傳輸速率為 2Gbps ，且使用最小的中繼器尺寸 ($L_n = L_p = 0.13\mu\text{m}$ ， $W_n = 0.4\mu\text{m}$ ， $W_p = 1.7\mu\text{m}$)，則 MOS 並聯個數多大的時候，可以同時得到低功率消耗與低上升時間。我們定義 FOM_1 方程式為

$$FOM_1 = \frac{l}{P_{ch} \times t_r(20\% \sim 80\%)} \quad (3.27)$$

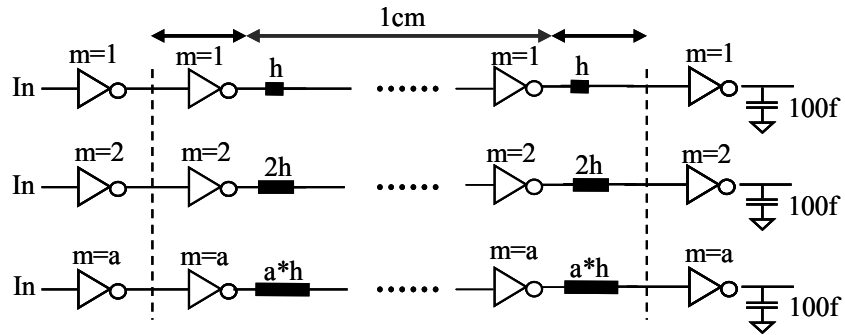
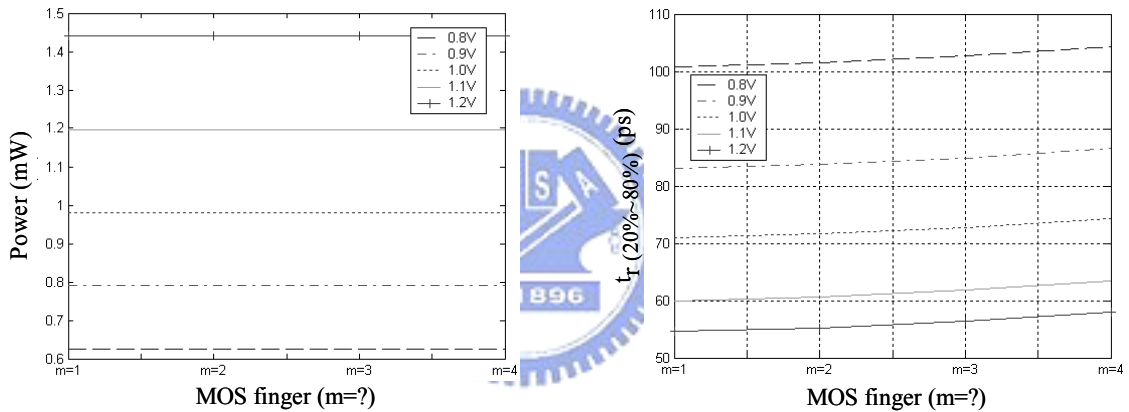


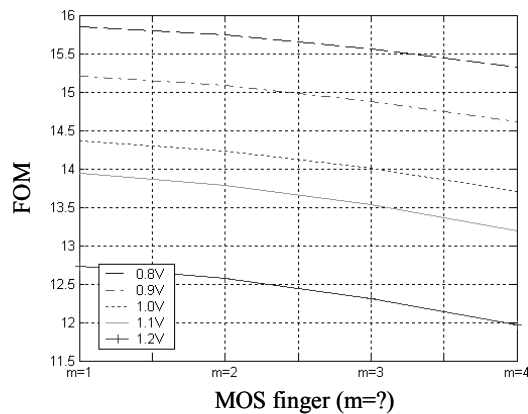
圖 3.12 選擇中繼器的 MOS 並聯個數

我們模擬 MOS 並聯個數由 1 到 4，得到圖 3.13 (a)~(c)。在並聯個數上升時，功率消耗有非常微幅的上升，上升時間也會變大，所以最後在 $m=1$ 時，得到最大的 FOM_1 值。



(a) 每一條傳輸線的功率消耗

(b) 傳輸線的上升時間(20%~80%)



(c) 傳輸線的 FOM1 值

圖 3.13 選擇中繼器並聯個數

3.5.4 選擇中繼器的尺寸與傳輸線線距

假設總全區域連接線長度 $L = 10000\mu\text{m}$ ，每一分段長度 $l = 100\mu\text{m}$ ，使用的傳輸線線寬為 $W = 0.2\mu\text{m}$ ，MOS 電晶體的通道長度 $L_n = L_p = 0.13\mu\text{m}$ ，中繼器並聯個數 $m = 1$ 。我們將如何選擇中繼器的尺寸和傳輸線的線距，來達到所需要的傳輸速率大小？

我們模擬了三種中繼器尺寸來做傳輸速率的比較 (a) $W_n = 0.4\mu\text{m}, W_p = 1.7\mu\text{m}$ (b) $W_n = 0.6\mu\text{m}, W_p = 2.6\mu\text{m}$ (c) $W_n = 0.8\mu\text{m}, W_p = 3.4\mu\text{m}$ ，模擬圖如圖 3.14 (a)~(c) 所示。我們發現在 NMOS 的通道寬度 $W_n = 0.8\mu\text{m}$ 且 PMOS 通道寬度 $W_p = 3.4\mu\text{m}$ 時，若傳輸線線距為 $S = 0.4\mu\text{m}$ ，在供電電壓為 1.2V 的情況之下，可以得到 2.5Gbps 的傳輸速率。

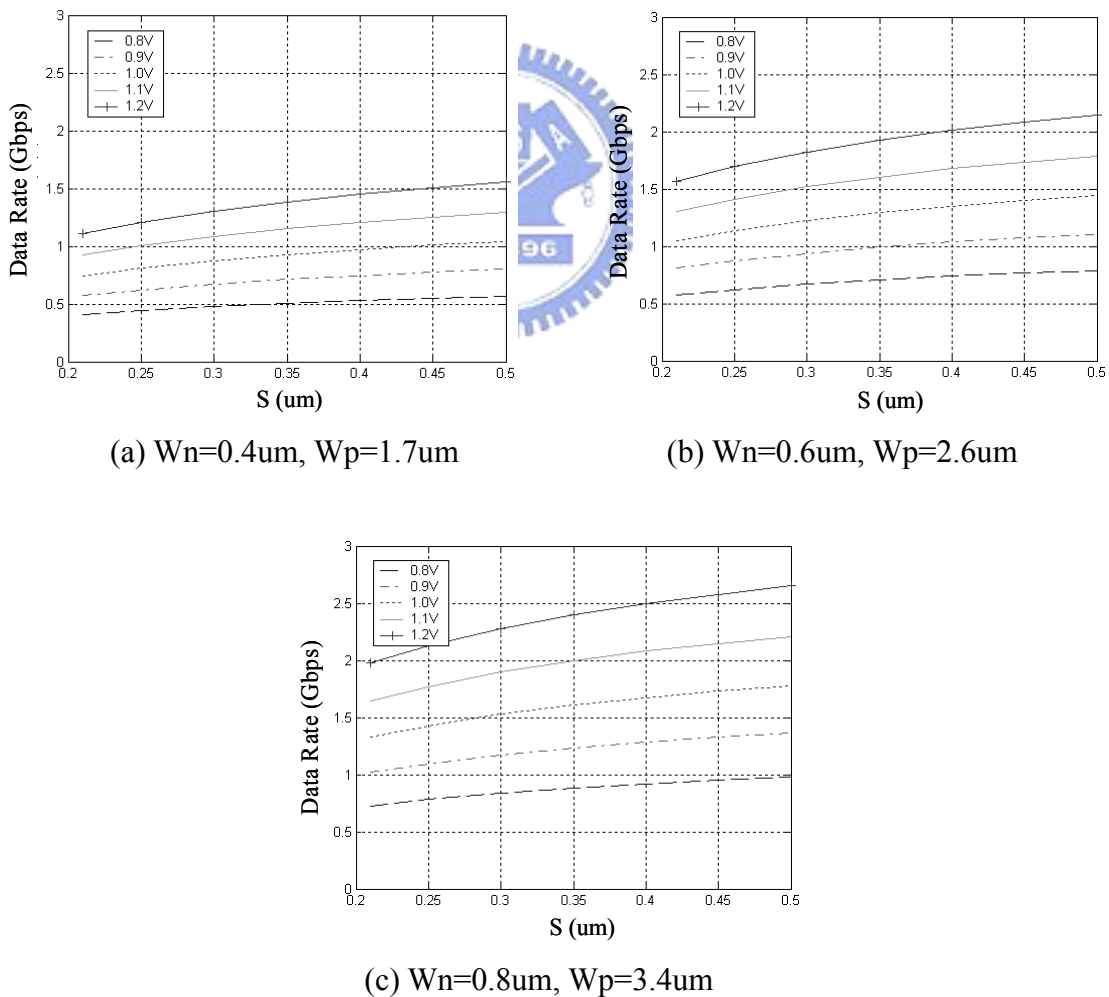


圖 3.14 不同中繼器尺寸，得到的傳輸線線距與傳輸速率的關係圖

3.6 設計流程

全區域連接線之各參數值的設計流程 (Design flow) 如下圖 3.15 所示。

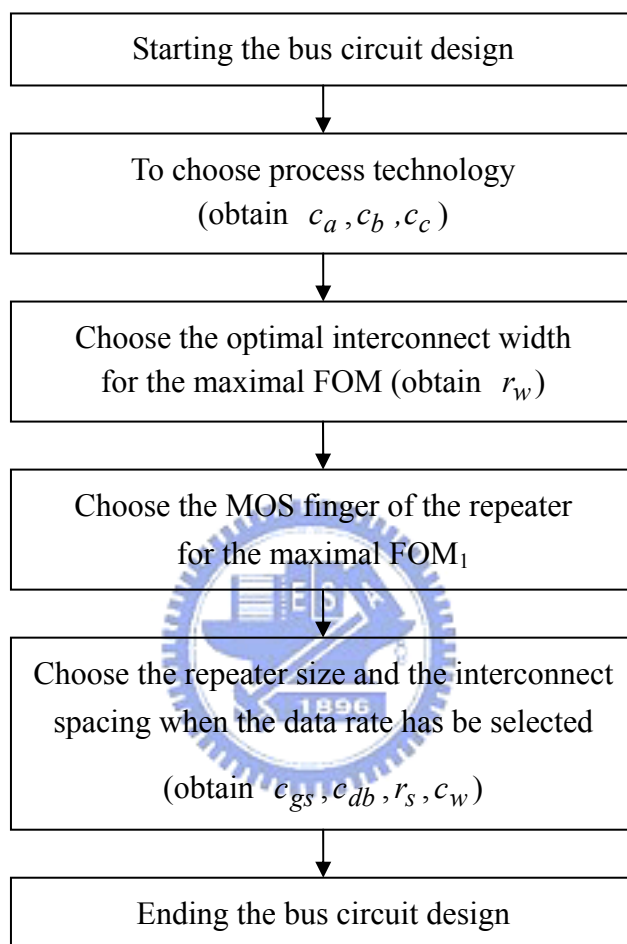


圖 3.15 傳輸線各項參數的設計流程

3.7 設計參數值

根據傳輸線的設計流程圖，可以得到傳輸線電路的各項參數值，如表格 3.2 的設計參數值 (Design parameter) 所示。

表格 3.2 設計參數值

Parameter	Value
Number of interconnects	9 (Data:8 , Clock:1)
Global interconnect length	10000um
Each segment length	100um
Number of repeaters	100
Interconnect width/spacing	0.2um / 0.4um
PMOS	$L_p=0.13\mu\text{m}$, $W_p=3.4\mu\text{m}$
NMOS	$L_n=0.13\mu\text{m}$, $W_n=0.8\mu\text{m}$

3.8 總結

在本章節中，我們利用一最佳化的動作，來求出全區域傳輸線的參數值，並且列出了整個設計的流程圖。我們對傳輸線線寬以及中繼器並聯個數做最佳化的動作，來求出最佳線寬與並聯個數。最後，在選擇傳輸速率大小的同時，決定中繼器的尺寸以及傳輸線的線距。

第四章

時脈量測電路

4.1 前言

我們的整體電路架構圖如圖 4.1 所示，先用偽隨機位元序列產生器 (Pseudo random binary sequence generator, PRBS) 產生 8 筆並聯的偽隨機訊號 (Parallel pseudorandom data) 為 d0~d7，在產生偽隨機訊號的同時，我們用除頻器 (Divider) 產生了一個在偽隨機資料中間點轉態的時脈訊號 ick。

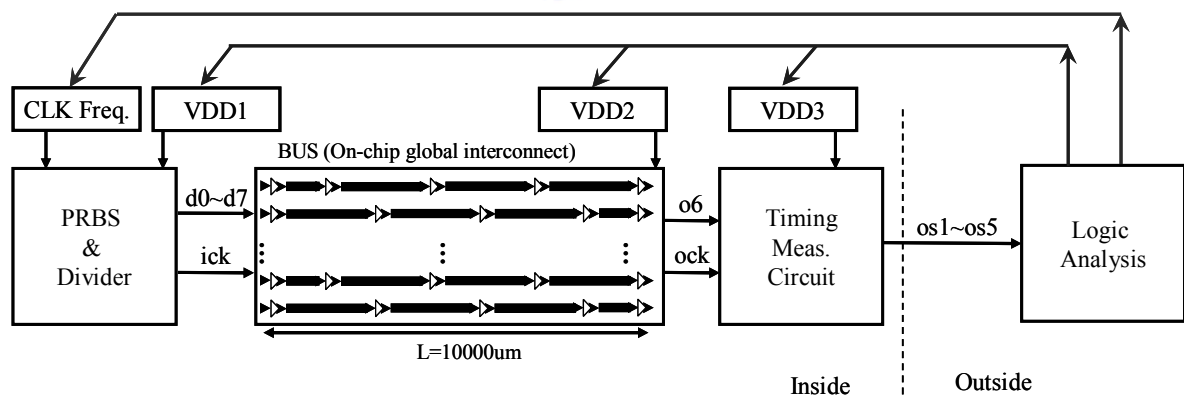


圖 4.1 電路整體架構圖

將偽隨機訊號與時脈訊號輸入匯流排 (BUS) 中傳輸，取出其中一筆輸出訊號 o6 和輸出時脈訊號 ock，傳到時脈量測電路中做檢測。得到的檢測訊號 os1~os5 可以用來估算出眼圖張口 (Eye opening)，進而估算出抖動 (Jitter) 的大小。根據眼圖張口的大小，

來決定要如何調整供電壓或是時脈頻率，來改善眼圖張口。

4.2 時脈量測電路

PRBS 的輸出訊號 $d_0\sim d_7$ 和時脈訊號 ick 經過 10mm 的匯流排傳輸通道之後，取出輸出訊號 o_6 和輸出時脈訊號 ock ，傳到時脈量測電路中做檢測。而時脈量測電路中包含了邊緣偵測器、延遲串列電路、取樣電路、時脈檢測器，以及消除突波的取樣電路。

4.2.1 邊緣偵測器

圖 4.2 中，先將訊號經過緩衝器 (Buffer)，得到時脈訊號 ck_0 和訊號 in_0 。為了使時脈在正負轉態的時候都可以對訊號做取樣的動作，將時脈經過一邊緣偵測器 (Edge detector)。將時脈 ck_0 經過反相器產生閘延遲 (Gate delay)，再經互斥閘 (XOR)，產生時脈 ck_b ，使得原本的時脈無論在正邊緣或是負邊緣都可以對資料作取樣動作。

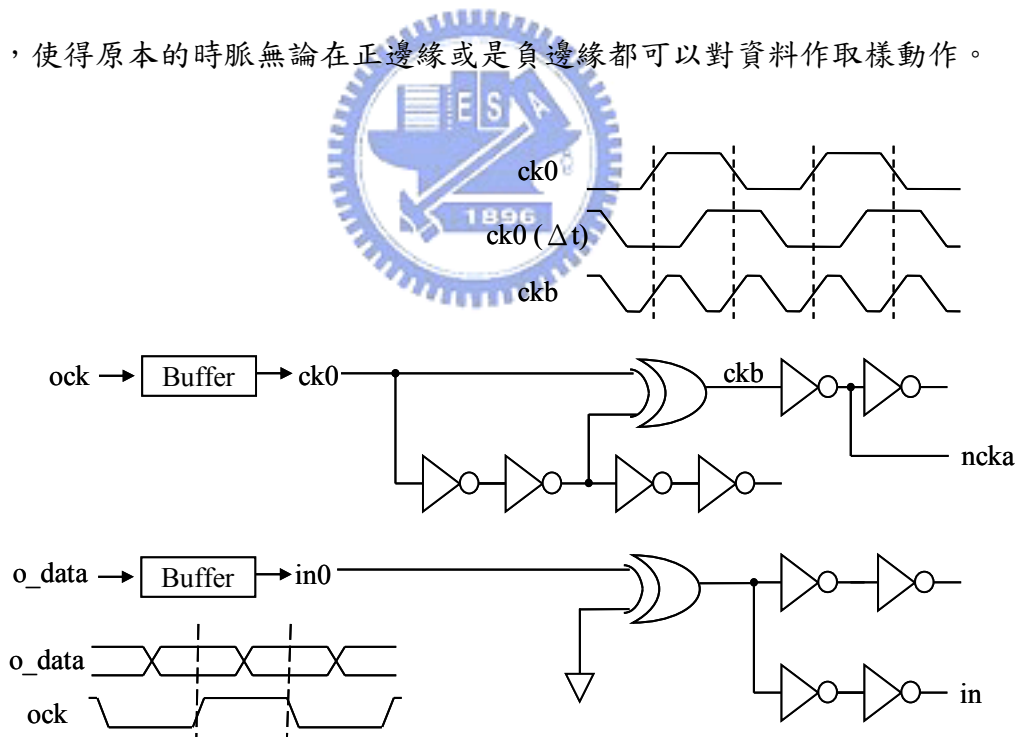


圖 4.2 邊緣偵測器

為了讓時脈訊號 ck_b 正緣仍對準資料的中間點，我們也同時將訊號 in_0 經過一互斥閘 (XOR)。最後得到訊號 in ， ck_a ， nck_a ，輸出的時序圖如圖 4.3 所示，時脈訊號 ck_a ，

ncka 仍然對準了訊號 in 的中間點。

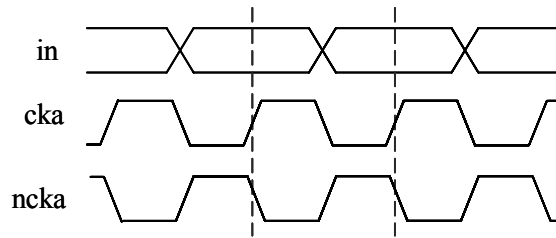


圖 4.3 邊緣偵測器的輸出時序圖

4.2.2 延遲串列電路

將時脈訊號 cka, ncka 和訊號 in 傳入延遲串列電路 (Delay chain circuit), 見圖 4.4, 由於經過相同數目的反相器, 所以 Node F 和 Node 6 經過的閘延遲數相同, Node F 的時脈訊號仍然對準 Node 6 訊號的中間點。由於我們希望可以找出資料訊號轉態的位置點和中間點的距離, 以便求出眼圖張口的大小, 所以用 Node F 時脈來對 Node 1~11 訊號作取樣的動作。其中, Node 5、Node 7 與 Node 6 相差了一個閘延遲, Node 4、Node 8 與 Node 6 相差兩個閘延遲, Node 3、Node 9 與 Node 6 相差三個閘延遲, Node 2、Node 10 與 Node 6 相差四個閘延遲, Node 1、Node 11 與 Node 6 相差五個閘延遲。如此一來, 我們可以以閘延遲來作為時間的基準, 找出資料的轉態位置。

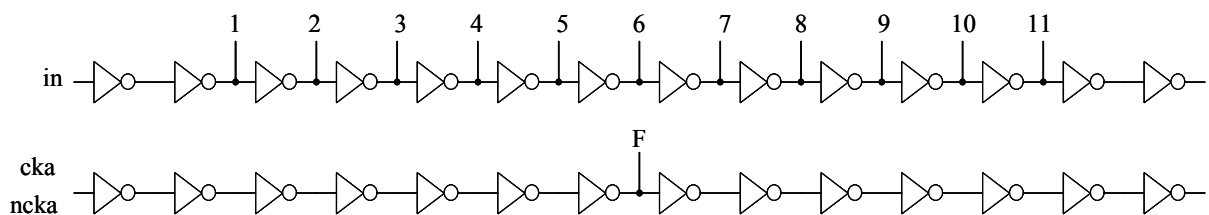


圖 4.4 延遲串列電路

4.2.3 取樣電路

圖 4.5, 我們用時脈 Node F 對訊號 Node 1~11 作取樣, 因為 Node 1~Node 11, 中間相隔的是反相器, 所以使用的正邊緣觸發 D 正反器 (Positive edge-triggered D-type flip

flop, DFF) 的輸出訊號有 Q、Qb 兩種，且 Q 和 Qb 會間隔出現。因 Node F 要同時對 Node 1~11 作取樣的動作，要驅動的負載 (Loading) 很大，所以加入了緩衝器，以便可以推十一個 DFF，輸出的訊號為 op1~op11。

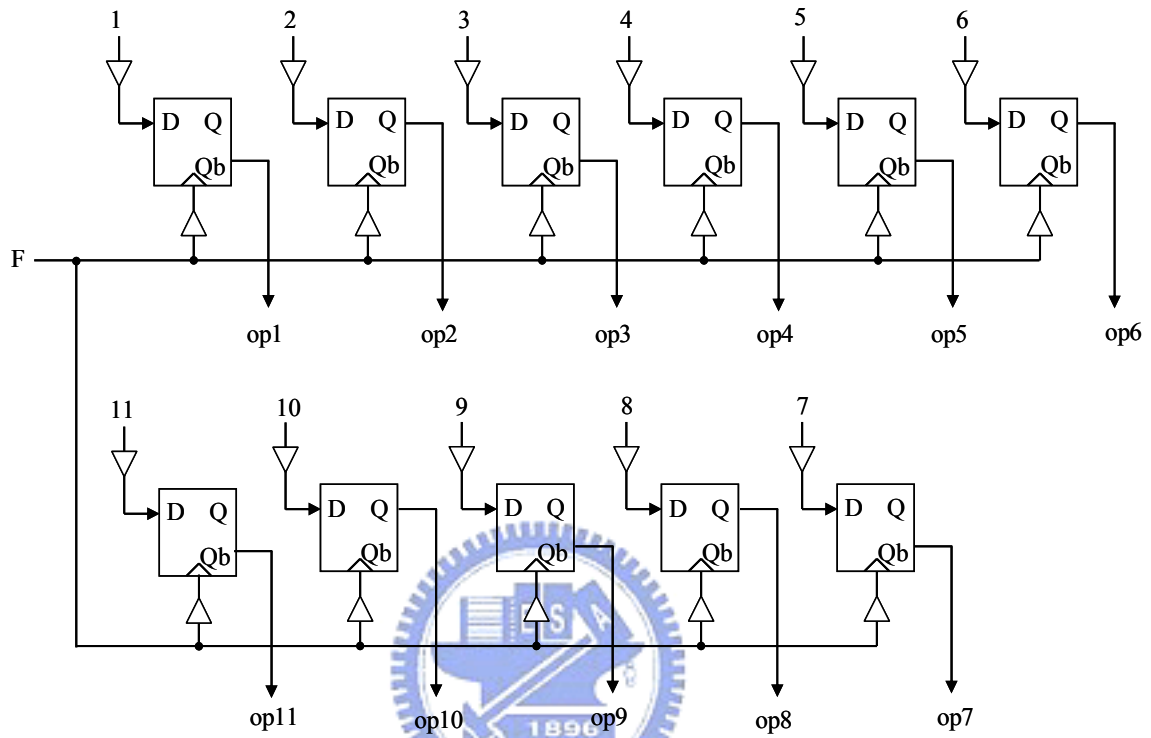


圖 4.5 取樣電路

4.2.4 時脈檢測器

為了找出資料轉態的位置，將訊號 op1~op11 經過一時脈檢測器 (Timing detector)，如圖 4.6 所示。讓 op6 和其他 op 做互斥的動作，若和 op6 相同，則互斥閘的輸出為低電位；若和 op6 不同，則互斥閘的輸出會有高電位出現。經過互斥之後，得到訊號為 n5~n1、p1~p5。接下來，我們將與中間點相距同樣閘延遲數所取樣檢測得到的訊號經過 OR 閘，最後得到檢測訊號 s1~s5，其中 $s1=(n1 \cdot p1)$ ， $s2=(n2 \cdot p2)$ ， $s3=(n3 \cdot p3)$ ， $s4=(n4 \cdot p4)$ ， $s5=(n5 \cdot p5)$ ，它們分別顯示資料相較於時脈所產生的時間餘式 (Timing margin)。

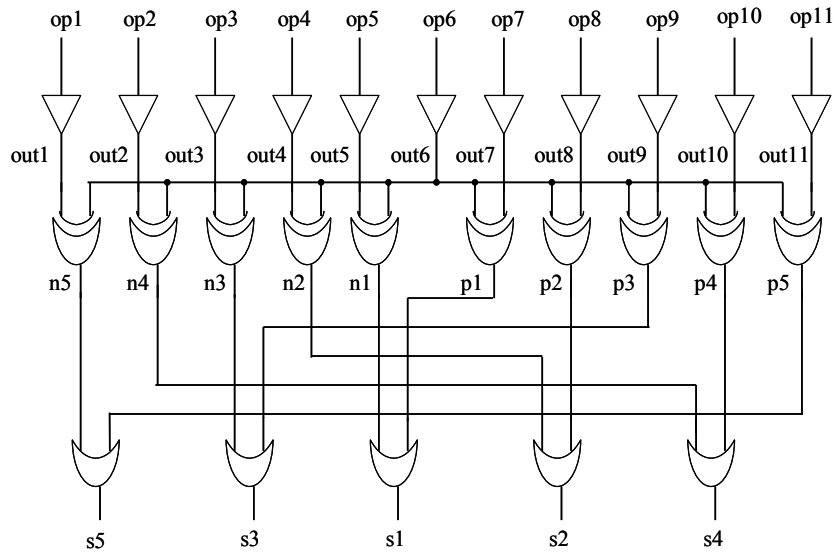


圖 4.6 時脈檢測器

4.2.5 消除突波的取樣電路

由於經過時脈檢測器的邏輯電路，會有突波 (Glitch) 產生，所以我們將檢測訊號再做一次取樣的動作。如圖 4.7 所示，使用的取樣時脈為 Node F 經過延遲 Δt 之後的訊號，由於這個延遲不超過半個資料訊號週期，所以我們可以順利的對檢測訊號 s1~s5 做取樣。

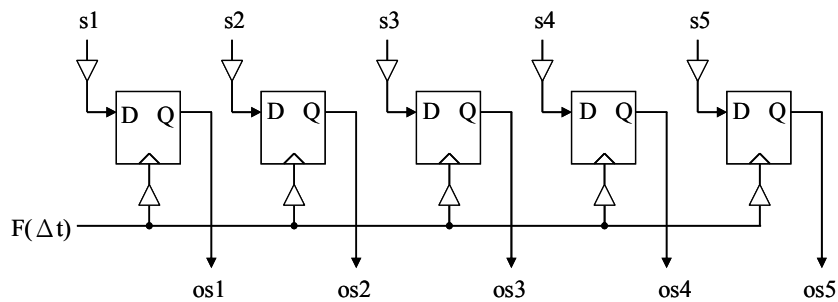


圖 4.7 消除突波的取樣電路

4.3 時脈量測電路的操作

介紹完時脈量測電路之後，接下來要說明如何得到檢測訊號，以及如何利用檢測訊號來估算出眼圖張口和時脈抖動的大小。

4.3.1 檢測訊號量測說明

訊號經過延遲串列電路之後，再做取樣所得到的取樣位置關係圖，如圖 4.8 所示。我們將這個取樣位置關係圖，看成一把量尺，尺的中間點對應到資料的中間點。

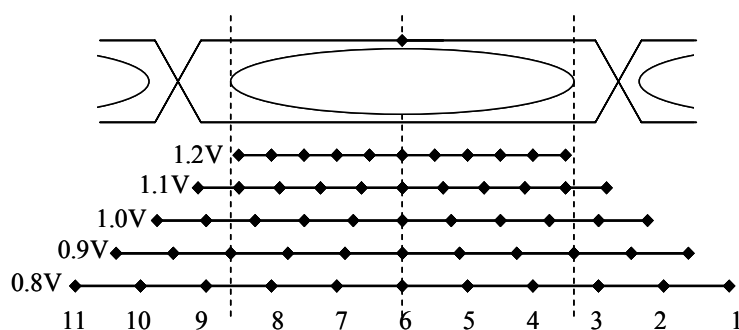


圖 4.8 取樣位置關係圖

在不同的供電壓之下，它們的刻度大小不同，而刻度的大小，如同表格 4.1 的平均開延遲所示。當供電壓越大，刻度越小；供電壓越小，刻度越大。

表格 4.1 反相器的平均開延遲

Unit: ps	0.8V	0.9V	1.0V	1.1V	1.2V
SS	105	84	70	60	55
TT	80	68	58	49	44
FF	58	53	47	41	37

由於取樣的位置與中間點最大相距 5 個開延遲，所以當我們假設時脈抖動的大小為 $0.4UI$ 時，估算出在不同的供電壓之下可量測的最小傳輸速率，如表格 4.2 所示。若供電壓為 $1.2V @ TT$ ，傳輸速率不可以小於 $1.36Gbps$ ，太小的傳輸速率無法被量測。

表格 4.2 可量測傳輸速率的下限

Unit: Gbps	0.8V	0.9V	1.0V	1.1V	1.2V
SS	0.57	0.71	0.86	1.00	1.09
TT	0.75	0.88	1.03	1.22	1.36
FF	1.03	1.13	1.28	1.46	1.62

取樣過後的訊號 op1~op11，經過了時脈檢測器，得到檢測訊號 s1~s5，而檢測訊號比對取樣訊號如同表格 4.3 所示。取樣輸出 op5、op7 與中間點取樣輸出 op6 相差一個閘延遲，得到的檢測訊號為 s1，依此類推。

表格 4.3 檢測訊號 比對 取樣輸出訊號

Detector signal	diff. with Node 6	Use Node
s1	1 gate delay	op5, op7
s2	2 gate delay	op4, op8
s3	3 gate delay	op3, op9
s4	4 gate delay	op2, op10
s5	5 gate delay	op1, op11

舉例說明：(1) 當 op5、op7 和 op6 訊號相同時，得到的檢測訊號 s1=0。(2) 當 op4、op5、op7、op8 和 op6 訊號相同時，得到檢測訊號 s1=0、s2=0。我們將接著說明如何用檢測訊號來估算出眼圖張口的大小。

4.3.2 檢測訊號的分析

分析不同的檢測訊號結果，來估算出眼圖張口的大小，可分成以下五種情況。

(1) os1=0

代表和中間點相距一個閘延遲的取樣輸出訊號，和中間點取樣輸出訊號相同，所以我們可以估算出眼圖張口的大小： $eye\ opening \geq (1\ gate\ delay) \times 2$ 。由於閘延遲是由中間點向兩旁張開，所以要乘以 2。

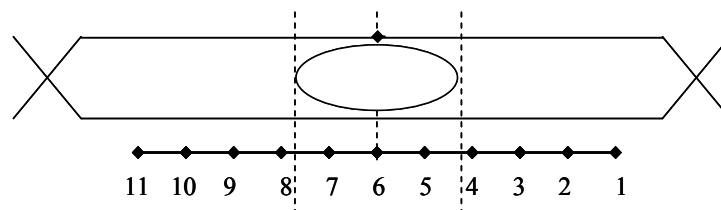


圖 4.9 檢測訊號 os1=0

(2) $os1, os2=0$

代表和中間點相距兩個閘延遲的取樣輸出訊號，都和中間點取樣輸出訊號相同，所以我們可以估算出眼圖張口的大小： $eye\ opening \geq (2\ gate\ delay) \times 2$

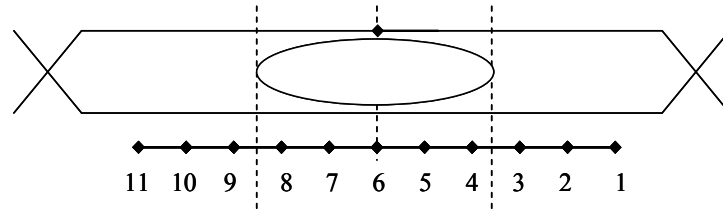


圖 4.10 檢測訊號 $os1, os2=0$

(3) $os1, os2, os3=0$

代表和中間點相距三個閘延遲的取樣輸出訊號，都和中間點取樣輸出訊號相同，所以我們可以估算出眼圖張口的大小： $eye\ opening \geq (3\ gate\ delay) \times 2$

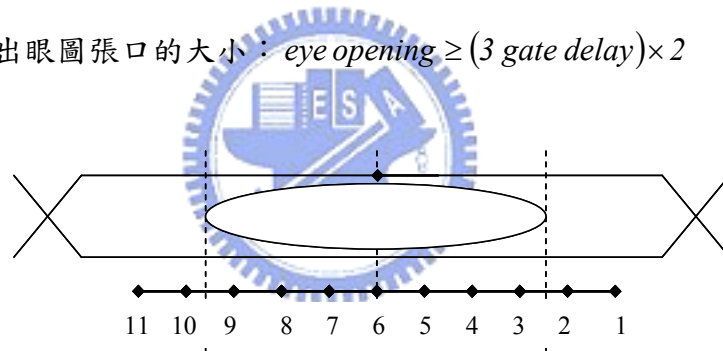


圖 4.11 檢測訊號 $os1, os2, os3=0$

(4) $os1, os2, os3, os4=0$

代表和中間點相距四個閘延遲的取樣輸出訊號，都和中間點取樣輸出訊號相同，所以我們可以估算出眼圖張口的大小： $eye\ opening \geq (4\ gate\ delay) \times 2$

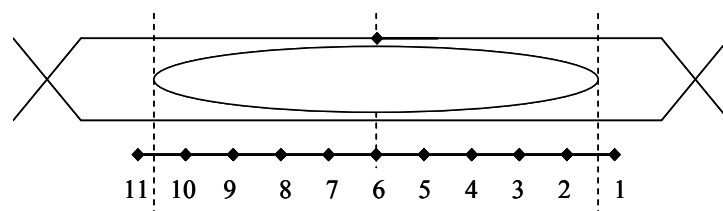


圖 4.12 檢測訊號 $os1, os2, os3, os4=0$

(5) os1, os2, os3, os4, os5=0

代表和中間點相距五個閘延遲的取樣輸出訊號，都和中間點取樣輸出訊號相同，所以我們可以估算出眼圖張口的大小： $eye\ opening \geq (5\ gate\ delay) \times 2$

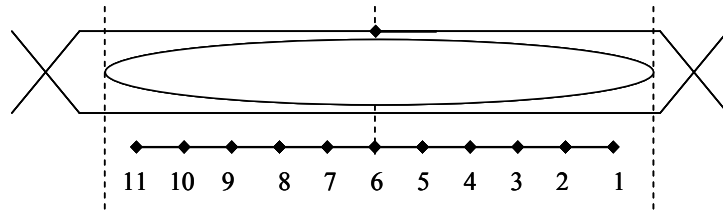


圖 4.13 檢測訊號 os1, os2, os3, os4, os5=0

估算出眼圖張口的大小，可進而估算出時脈抖動的大小：

$$jitter(UI) \leq \frac{(Data\ Period - eye\ opening)}{Data\ Period} \quad (4.1)$$

觀察眼圖張口的大小，以及時脈抖動的大小，來決定要如何調整供電壓或是傳輸頻率大小。當眼圖張口太小時，我們可以將供電壓調升，或是將傳輸速率降低，來使得眼圖張口大小獲得改善。而檢測訊號比對取樣位置點，如表格 4.4 所示。

表格 4.4 檢測訊號 比對 取樣位置點

Detector signal	diff. with Node 6	Sample Node
os1	1 gate delay	5, 7
os2	2 gate delay	4, 8
os3	3 gate delay	3, 9
os4	4 gate delay	2, 10
os5	5 gate delay	1, 11

4.4 總結

本章節介紹了時脈量測電路的電路架構，以及如何用時脈量測電路所輸出的訊號，估算出眼圖張口的大小，並且藉由此眼圖張口，決定要如何調整供電壓或是傳輸速率，

來達到最佳的工作情況。當眼圖張口太小時，可以將供電源電壓調升，或是將傳輸速率調降，來改善目前的情況。



第五章

匯流排電路之實現

5.1 偽隨機位元序列產生器

利用 PRBS 電路產生訊號輸入匯流排中傳輸，PRBS 電路如圖 5.1 所示。此電路是由十一個 D 型正反器和兩個互斥閘所構成。

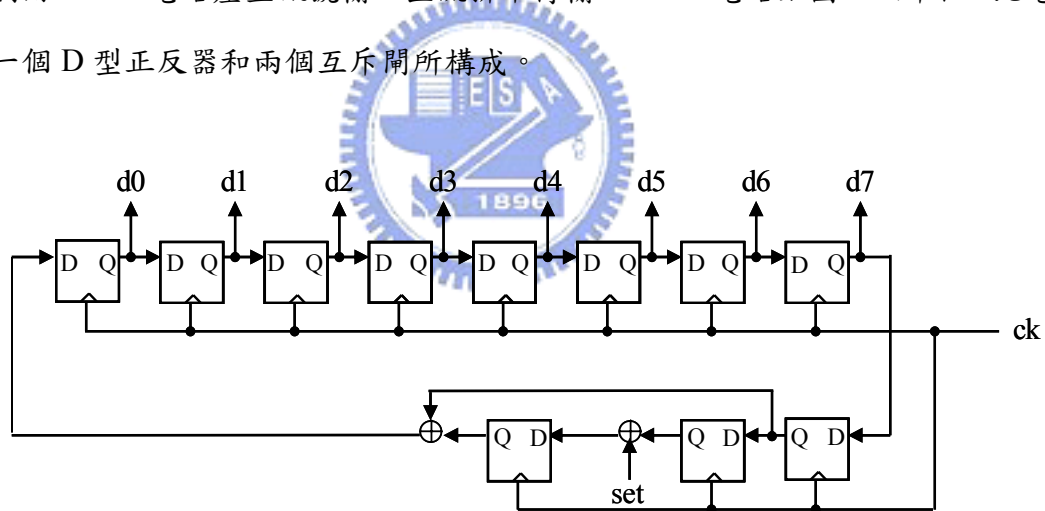


圖 5.1 PRBS 電路

一開始先將所有的 D 型正反器重置 (Reset) 為 0，接著使用 $set = V_{DD}$ 的脈衝波 (Pulse) 訊號來觸發 PRBS 電路，產生並列 (Parallel) 的偽隨機訊號 $d_0 \sim d_7$ 。在第九個和第十一個 DFF 的輸出做互斥的動作，利用方程式來表示，可以寫成

$$P(X) = X^{11} + X^9 + 1 \quad (5.1)$$

我們還另外在 PRBS 電路中，加入了一個除頻器 (Divider)，對 ck 時脈訊號做除頻的動作，如圖 5.2 所示，最後可以產生一個觸發在資料正中間點的時脈訊號，目的是為了要做電路最後面的時脈量測。而除頻器所產生出來的時脈訊號 ick，頻率為 ck 頻率的一半。

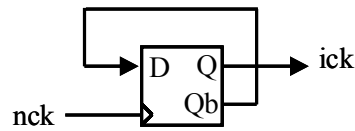


圖 5.2 除頻器

若控制 PRBS 的時脈訊號 ck 的頻率為 2GHz，則它可以產生 8 筆偽隨機訊號 d0~d7，傳輸頻率為 2Gbps，而時脈訊號 ick 的頻率為 1GHz。因為產生的訊號，每經過 $(2^{11}-1)$ 筆資料之後，它會自己再重複產生，所以稱之為偽隨機訊號。最後得到的時序圖，如圖 5.3 所示。

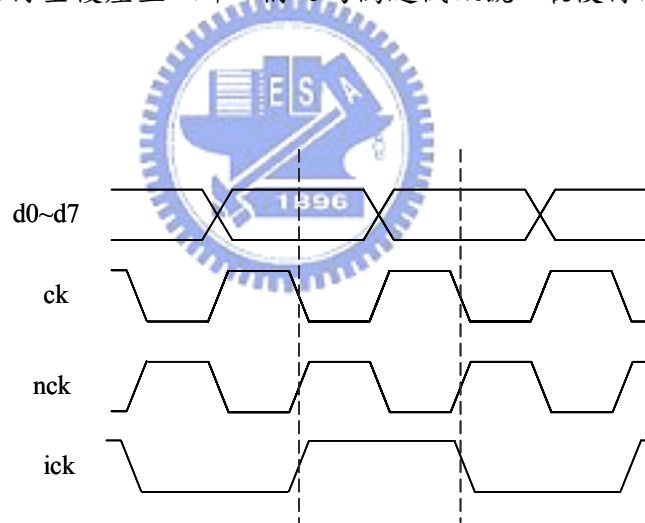


圖 5.3 PRBS 與除頻器的輸出訊號時序圖

將偽隨機位元序列產生器與除頻器的電路，用 HSPICE 模擬驗證。假設供電源為 1.2V，ck 時脈訊號的頻率為 2GHz，則我們可以得到傳輸速率為 2Gbps 的偽隨機訊號，見圖 5.4 的時脈波形圖 (Timing diagram)，而它的眼圖 (Eye diagram) 如圖 5.5 所示。

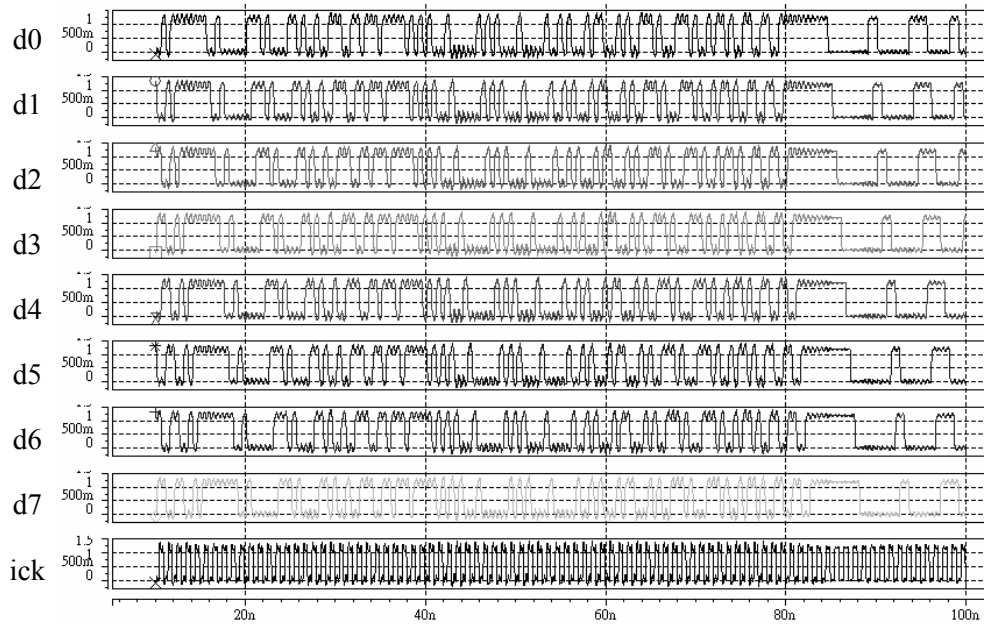


圖 5.4 PRBS 電路的輸出時脈波形圖

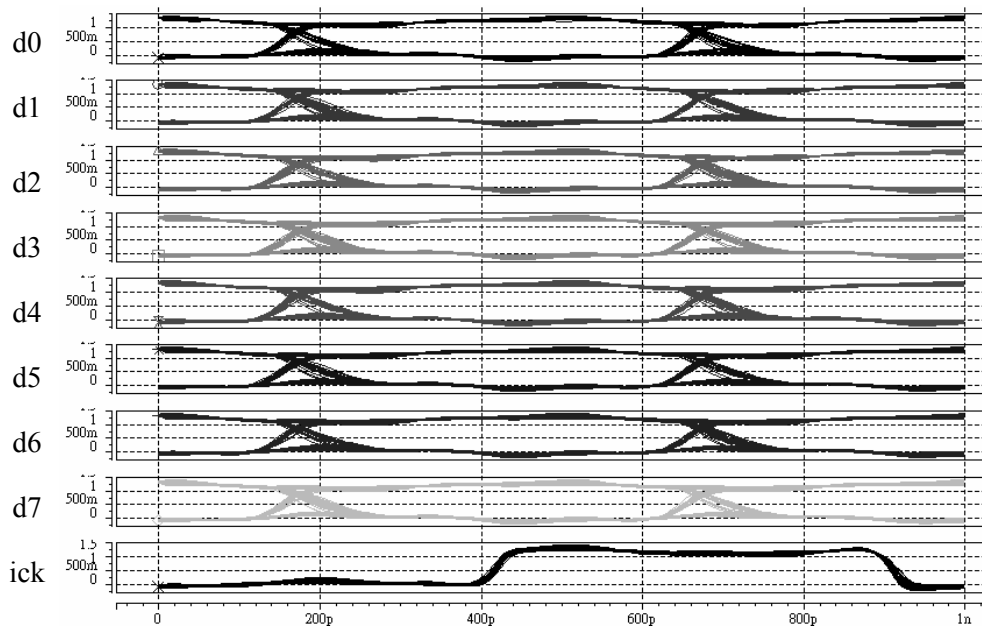


圖 5.5 PRBS 電路的輸出眼圖

5.2 匯流排電路

見圖 5.6，將前面所產生的偽隨機訊號 d0~d7 和時脈訊號 ick 輸入匯流排電路，經過匯流排傳送之後，輸出訊號為 o1~o8 還有 ock。

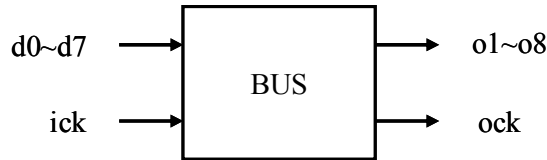


圖 5.6 簡易的匯流排電路

匯流排電路各項參數值的決定方式，請見第三章，最後可以得到表格 5.1。

表格 5.1 匯流排的各项參數值

Parameter	Value
Number of interconnect	9 (Data:8 , Clock:1)
Global interconnect length	10000um
Each segment length / Number of repeaters	100um / 100
Interconnect width / Interconnect spacing	0.2um / 0.4um
PMOS	Lp=0.13um , Wp=3.4um
NMOS	Ln=0.13um , Wn=0.8um

5.3 時脈量測電路

經過匯流排的輸出訊號，取出其中輸出 o6 和時脈輸出 ock，來做時脈檢測的動作，最後可以得到 5 個輸出的檢測訊號，如圖 5.7 所示。我們用這些檢測訊號估算出眼圖張口的大小，進而決定要如何調整供電壓或傳輸速率的大小。

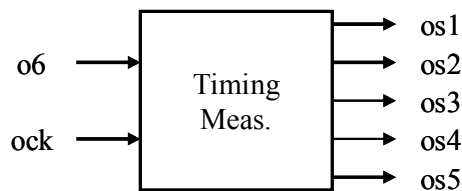


圖 5.7 簡易的時脈量測電路

5.4 輸出緩衝器與開汲極輸出

由於資料輸到外部的過程中，必須經過接合線 (Bonding wire) 和腳位 (Pad)，可能會因為電感和電容使得訊號共振 (Resonance)。所以由外部觀察的訊號，必須先經過輸

出緩衝器 (Output buffer) 之後，再傳到外部。輸出緩衝器如圖 5.8 所示，是由簡單的反相器電路所組成的。

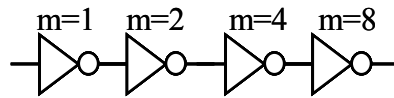


圖 5.8 輸出緩衝器

見圖 5.9，為了使模擬的輸出訊號可以被外部量測到，我們在輸出訊號之後，加入輸出緩衝器，確保訊號可以推得動開汲極輸出 (Open drain)，並且利用外部流進的大電流來推動 pad 電容，最後經由接合線連結到示波器 (Oscilloscope)。而在示波器上可以看到的振幅大小，如表格 5.2 所示。

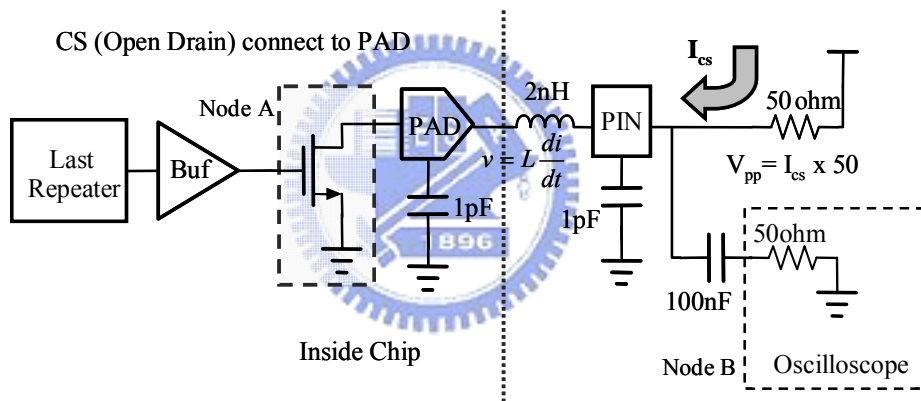


圖 5.9 使用輸出緩衝器及開汲極輸出，在外部示波器觀察波形

表格 5.2 供電源大小對應外部示波器振幅大小

Swing	Node A	Node B
1.2V	Full swing	280mV
1.1V	Full swing	240mV
1.0V	Full swing	210mV
0.9V	Full swing	170mV
0.8V	Full swing	130mV

5.5 佈局圖和模擬結果

我們利用 Laker 來畫晶片佈局圖，經過 Calibre 驗證之後，粹取出電路的寄生效應，再用 HSPICE 來做佈局後模擬(Post-simulation)。

5.5.1 晶片佈局圖

使用了 TSMC 0.13RF 製程來實踐我們的電路，如圖 5.10 所示。晶片佈局圖 (Chip layout) 的總面積為 0.7639 mm^2 ($874\mu\text{m} \times 874\mu\text{m}$)，總共有 22 個腳位，各個腳位的屬性如表格 5.3 所示。此晶片包含了偽隨機位元序列產生器、9 條長度各為 10mm 的全區域傳輸線、時脈量測電路，以及輸出緩衝器。在佈局圖空白面積上，我們放入了去耦電容 (Decoupled capacitors)，平均分配給四組供電源使用，目的是為了讓供電源的雜訊能夠降低。這個晶片將被實現，且於 2008 年 12 月 7 日送回。

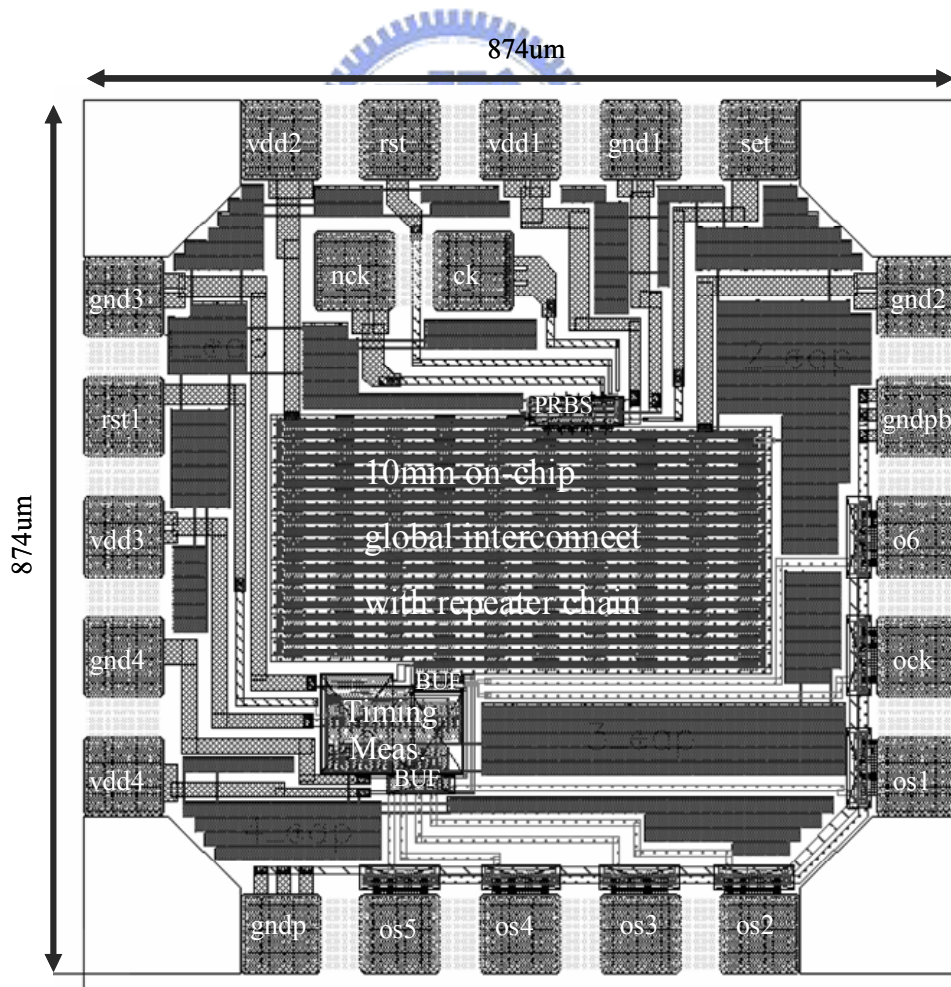


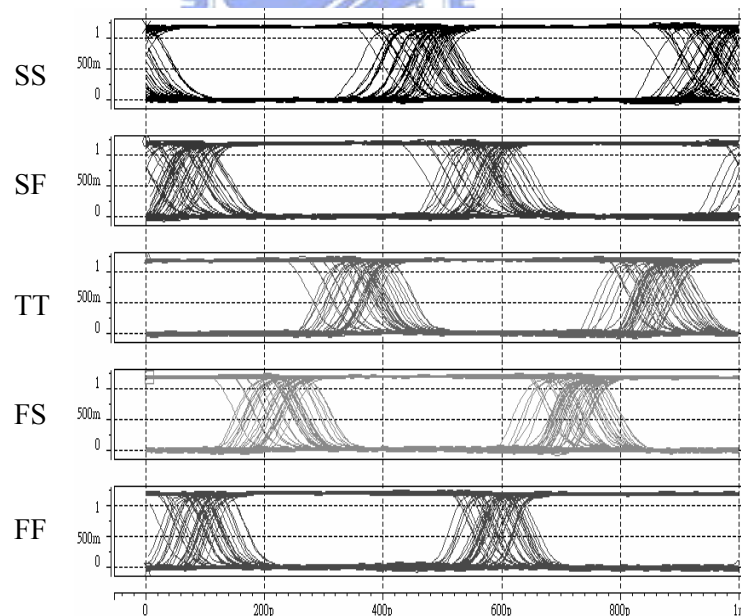
圖 5.10 電路佈局圖

表格 5.3 各個腳位的屬性

Attribute	Pin Name	Pads
Power	vdd1, gnd1, vdd2, gnd2, vdd3, gnd3, vdd4, gnd4, gndp, gndpb	10
Control	ck, nck, rst, set, rst1	5
Output	o6, ock	2
Logic Output	os1,os2,so3,os4,os5	5

5.5.2 佈局後模擬

我們在供電源為 $V_{DD}=1.2V$ 時，傳輸線可以傳送的最大傳輸速率為 2Gbps，匯流排的輸出波形圖如圖 5.11 所示，圖中包含了 5 種不同 corner 的模擬結果，jitter 大約為 0.3~0.4UI。

圖 5.11 匯流排輸出模擬圖 ($V_{DD}=1.2V$, Data Rate=2Gbps)

此外，我們還模擬了 $V_{DD}=1.0V$ 在 Data Rate=1.5Gbps，和 $V_{DD}=0.8V$ 在 Data Rate=1Gbps 時的情況，見圖 5.12 和圖 5.13。最後我們將模擬得到的 jitter 結果列成一表

格，見表格 5.4，jitter 分布大約在 0.2~0.4UI。

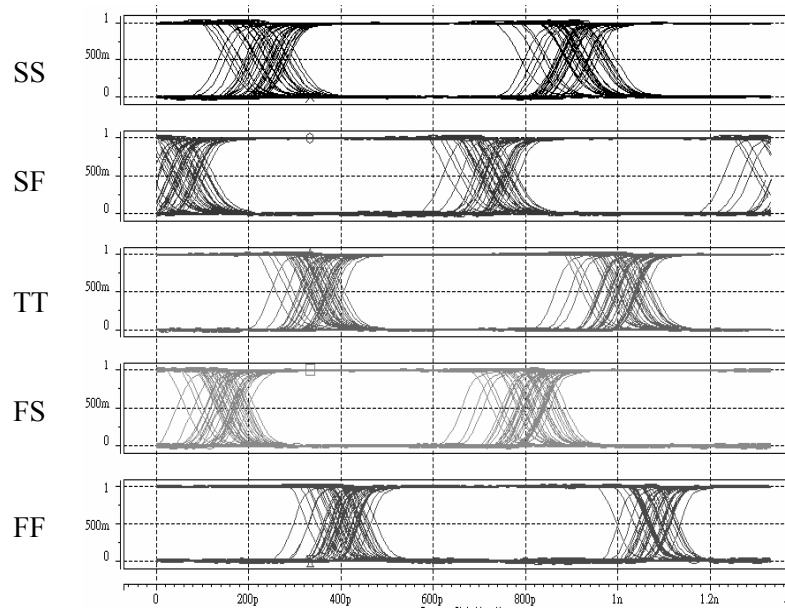


圖 5.12 匯流排輸出模擬圖 ($V_{DD}=1.0V$, Data Rate=1.5Gbps)

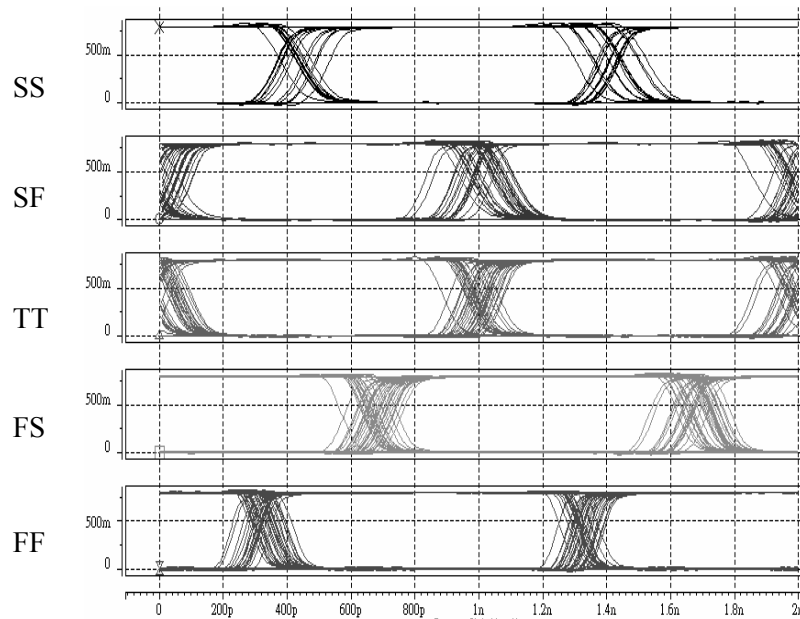


圖 5.13 匯流排輸出模擬圖 ($V_{DD}=0.8V$, Data Rate=1Gbps)

表格 5.4 不同供電源在不同 corner 下的抖動大小

Jitter (UI)		SS	SF	TT	FS	FF
1.2V	2Gbps	0.40	0.372	0.362	0.358	0.300
1.1V	1.75Gbps	0.393	0.332	0.325	0.282	0.262
1.0V	1.5Gbps	0.307	0.29	0.325	0.340	0.270
0.9V	1.25Gbps	0.249	0.211	0.210	0.213	0.184
0.8V	1Gbps	0.225	0.269	0.186	0.257	0.199

我們將模擬之後的功率消耗結果，也列成一表格，如表格 5.5 所示。

表格 5.5 各個電路的功率消耗與總功率消耗

TT, Power (mW)		PRBS	BUS	TM	BUF	Total
1.2V	2Gbps	1.36	22.18	9.75	0.96	34.25
1.1V	1.75Gbps	1.00	17.01	6.87	0.38	25.26
1.0V	1.5Gbps	0.81	13.48	5.03	0.44	19.76
0.9V	1.25Gbps	0.52	8.56	3.00	0.24	12.32
0.8V	1Gbps	0.34	5.67	1.96	0.14	8.11

接著，我們看到時脈量測電路的輸出部分。假設在供電壓為 1.0V 的情況之下，要推動傳輸速率為 2Gbps 的訊號，得到的匯流排輸出波形如圖 5.14 所示，看起來 jitter 有點大。此時，我們觀察它所產生的檢測訊號，如圖 5.15 所示，圖中顯示：os1=0，os2=0，代表和中間點相距兩個閘延遲的訊號，都和中間點的訊號相同。我們藉由檢測訊號來估算眼圖張口以及抖動的大小，如 (5.2) 所示。

$$\begin{aligned}
 \text{eye opening} &\geq (2 \text{ gate delay}) \times 2 = (2 \times 58 \text{ ps}) \times 2 = 232 \text{ ps} \\
 \text{Jitter}(UI) &\leq \frac{(500 - 232) \text{ ps}}{500 \text{ ps}} = \frac{268 \text{ ps}}{500 \text{ ps}} = 0.536UI
 \end{aligned} \tag{5.2}$$

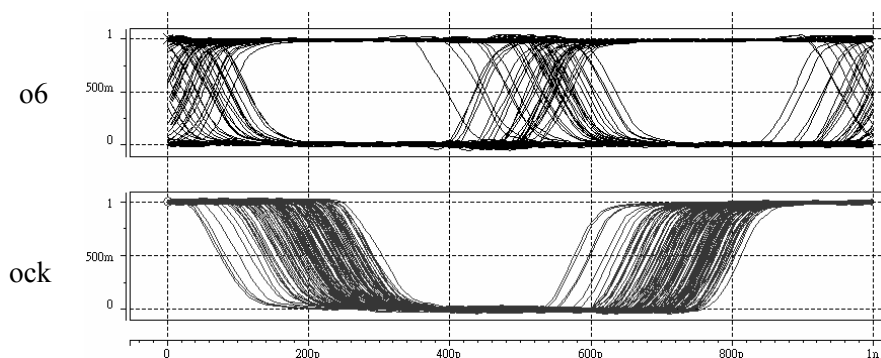
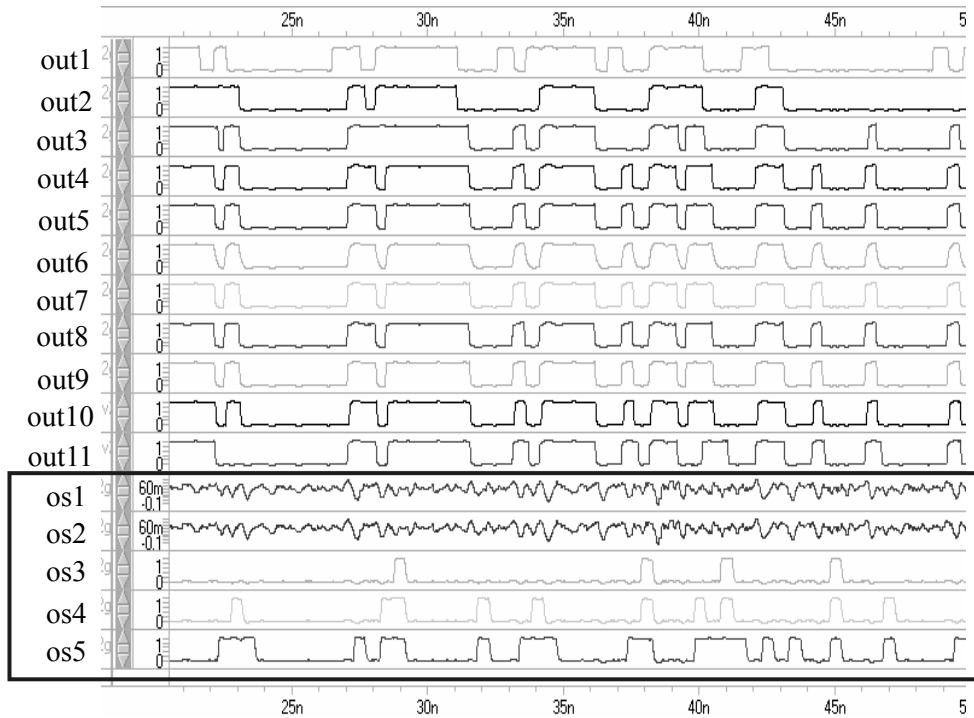


圖 5.14 匯流排輸出波形圖 ($V_{DD}=1.0V$, Data Rate=2Gbps)

圖 5.15 時脈量測輸出結果 ($V_{DD}=1.0V$, Data Rate=2Gbps)

由估算的結果，發現因為眼圖張口太小，造成抖動大，所以我們可以對電路做升壓或降頻的動作來改善目前的狀況。

(1) 升壓：

我們將供電源升壓到 1.2V，同樣的用來推動傳輸速率為 2Gbps 的訊號，得到的匯流排輸出波形如圖 5.16 所示。而檢測輸出波形如圖 5.17 所示，得到的檢測訊號為 os1=0，os2=0，os3=0，估算出它的眼圖張口和抖動大小為

$$\begin{aligned} \text{eye opening} &\geq (3 \text{ gate delay}) \times 2 = (3 \times 44 \text{ ps}) \times 2 = 264 \text{ ps} \\ \text{Jitter}(UI) &\leq \frac{(500 - 264) \text{ ps}}{500 \text{ ps}} = \frac{236 \text{ ps}}{500 \text{ ps}} = 0.472UI \end{aligned} \quad (5.3)$$

和供電壓為 1.0V 時的情況相比，眼圖張口有變大，抖動佔的比例也變小了，情況有得到改善。

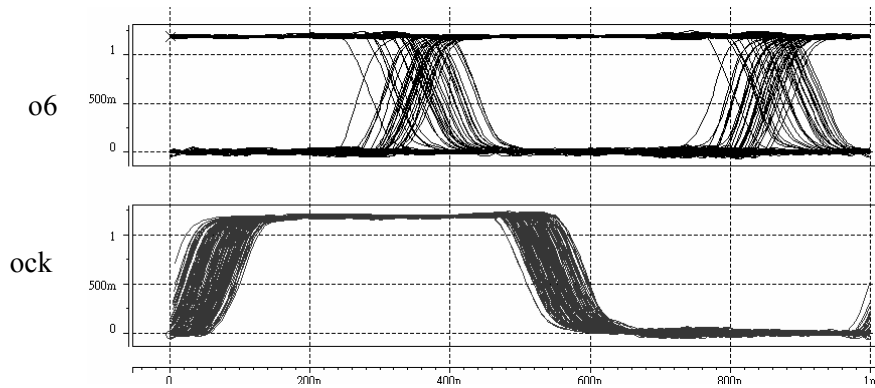


圖 5.16 匯流排輸出波形圖 ($V_{DD}=1.2V$, Data Rate=2Gbps)

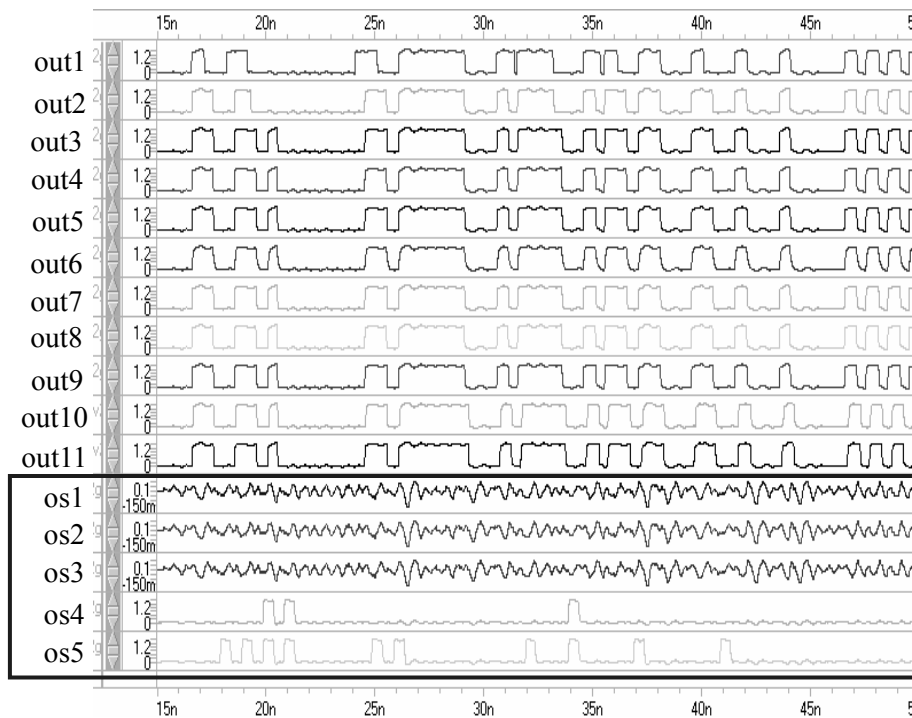


圖 5.17 時脈量測輸出結果 ($V_{DD}=1.2V$, Data Rate=2Gbps)

(2) 降頻：

我們將傳輸速率降到 1.5Gbps，同樣使用供電壓為 1.0V 時產生的訊號，得到的匯流排輸出波形如圖 5.18 所示。而檢測輸出波形如圖 5.19 所示，得到的檢測訊號為 os1=0，os2=0，os3=0，估算出它的眼圖張口和抖動大小為

$$\begin{aligned}
 \text{eye opening} &\geq (3 \text{ gate delay}) \times 2 = (3 \times 58 \text{ ps}) \times 2 = 348 \text{ ps} \\
 \text{Jitter}(UI) &\leq \frac{(666.67 - 348) \text{ ps}}{666.67 \text{ ps}} = \frac{318.67 \text{ ps}}{666.67 \text{ ps}} = 0.478UI
 \end{aligned}
 \tag{5.4}$$

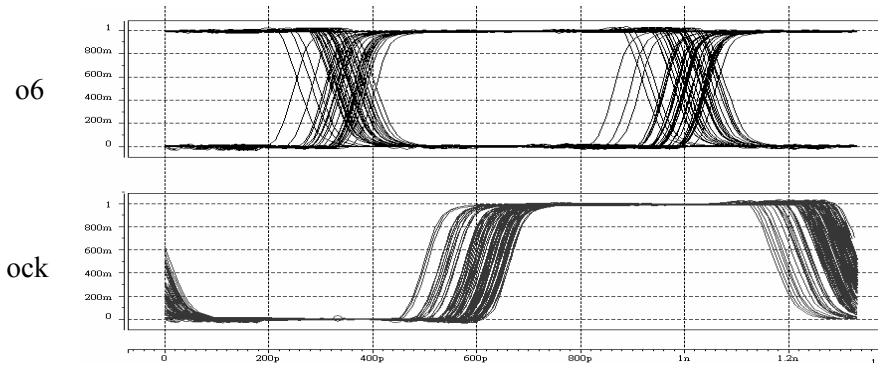


圖 5.18 匯流排輸出波形圖 ($V_{DD}=1.0V$, Data Rate=1.5Gbps)

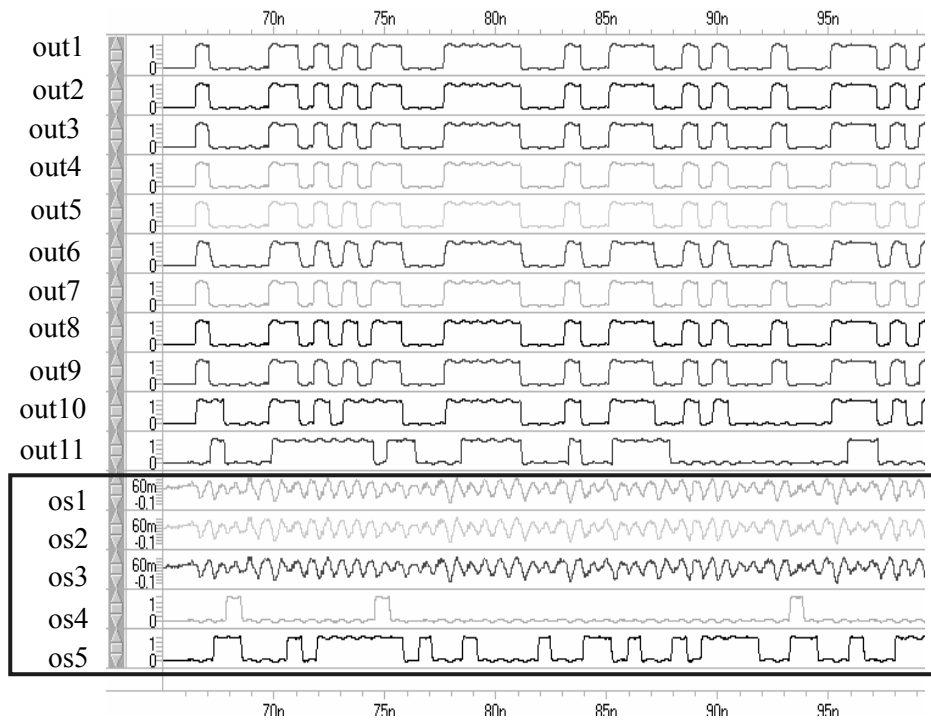


圖 5.19 時脈量測輸出結果 ($V_{DD}=1.0V$, Data Rate=1.5Gbps)

和傳輸速率為 1.5Gbps 時的情況相比，眼圖張口有變大，jitter 佔的比例也變小了，眼圖張口太小的情況有獲得改善。

電路規格如表格 5.6 所示，包含了使用製程、供電源電壓、傳輸速率、傳輸線總長度、時脈抖動、面積大小、功率消耗大小。

表格 5.6 電路規格表

Item		Specification (unit)	
Process		TSMC 0.13um RF	
Supply Voltage		0.8V~1.2V	
Data Rate		1Gbps~2Gbps / ch * 8	
Link		10mm on-chip micro-strip line	
Jitter of receiver data (pk-to-pk)		0.2UI~0.4UI	
Repeater chain Layout Area		500um*260um	
Timing measurement Layout Area		138um*98um	
Core Layout Area		500um*400um	
Chip Layout Area		874um*874um	
Power dissipation	Supply Voltage & Data Rate /ch	VDD=1.2V @ 2Gbps	VDD=0.8V @ 1Gbps
	PRBS Generator	1.36mW	0.34mW
	Repeater chain	22.18mW	5.67mW
	Timing Measurement	9.75mW	1.95mW
	Output Buffer	0.96mW	0.14mW
	Total	34.25mW	8.11mW

5.6 性能比較

將我們的電路性能和其他論文 (Paper) 來做比較，得到表格 5.7 的性能比較 (Performance comparison)，包含了頻率，功率消耗，連接線長度，和面積大小。

表格 5.7 電路規格

Reference	Bandwidth	Process	Supply	Power	Link	Area
JSSC'06[15]	1.0Gbps	0.35 μ m	2.5V	5.8mW	1.75cm	0.105mm ²
TVLSI'05[16]	1.47Gbps	0.18 μ m	2V	14.2mW	1cm	0.005mm ²
ISQED'05[17]	1.66Gbps	0.18 μ m	1V	3.1mW	1cm	0.006mm ²
JSSC'03[18]	2.0Gbps	0.18 μ m	1.8V	30mW	2cm	0.018mm ²
ASSCC'05[19]	2.5Gbps	0.13 μ m	1.2V	4.6mW	0.9cm	0.0108mm ²
This work	2.0Gbps	0.13 μ m	1.2V	2.77mW	1cm	0.006mm ²
	1.5Gbps		1V	1.69mW		
	1.0Gbps		0.8V	0.71mW		

使用單位位元長度的功率消耗 (Power consumption per bit per length) 和 FOM 值來與其他的規格做比較，得到表格 5.8。由於我們的單位位元長度功率消耗值，和其他比較起來比較低，所以功率消耗比其他的要小。又 FOM 值的方程式可以表示為

$$FOM = \frac{Bandwidth}{(Power/Length) \times Area} \quad (5.5)$$

因為希望可以同時達到高傳輸頻率，低功率消耗，和小的面積，所以 FOM 的值越大越好。和其他的 paper 做比較，我們的 FOM 值比其他的都要來的大。

表格 5.8 比較表

Reference	Power/bit*cm (pJ/bit)	FOM	
JSSC'06[15]	3.31	2.87	
TVLSI'05[16]	9.65	20.73	
ISQED'05[17]	1.86	89.54	
JSSC'03[18]	7.50	7.41	
ASSCC'05[19]	2.04	45.29	
This work	2.0Gbps	1.39	120.34
	1.5Gbps	1.13	147.93
	1.0Gbps	0.71	234.74

5.7 量測考量

圖 5.20 為量測晶片的架構圖。 V_{DD1} 提供給 PRBS 電路使用， V_{DD2} 提供給匯流排電路使用， V_{DD3} 提供給時脈量測電路使用， V_{DD4} 提供給輸出緩衝器電路使用。

首先，用 Agilent N4901B 產生一組差動 1GHz~2GHz 的時脈，來讓內部的 PRBS 的電路運作，來測試 10mm 晶片上傳輸線。接著，用 Agilent 86100B 來觀察 BUS 的輸出波形及訊號眼狀圖，並且利用 Agilent 16702B Logic analyser 來觀察時脈檢測電路輸出的邏輯訊號。預計輸入訊號振幅 0.8V~1.2V，傳輸速率為 1Gbps~2Gbps。此外還使用 ktythley 2400 source meter 來量測整體電路的功率消耗。

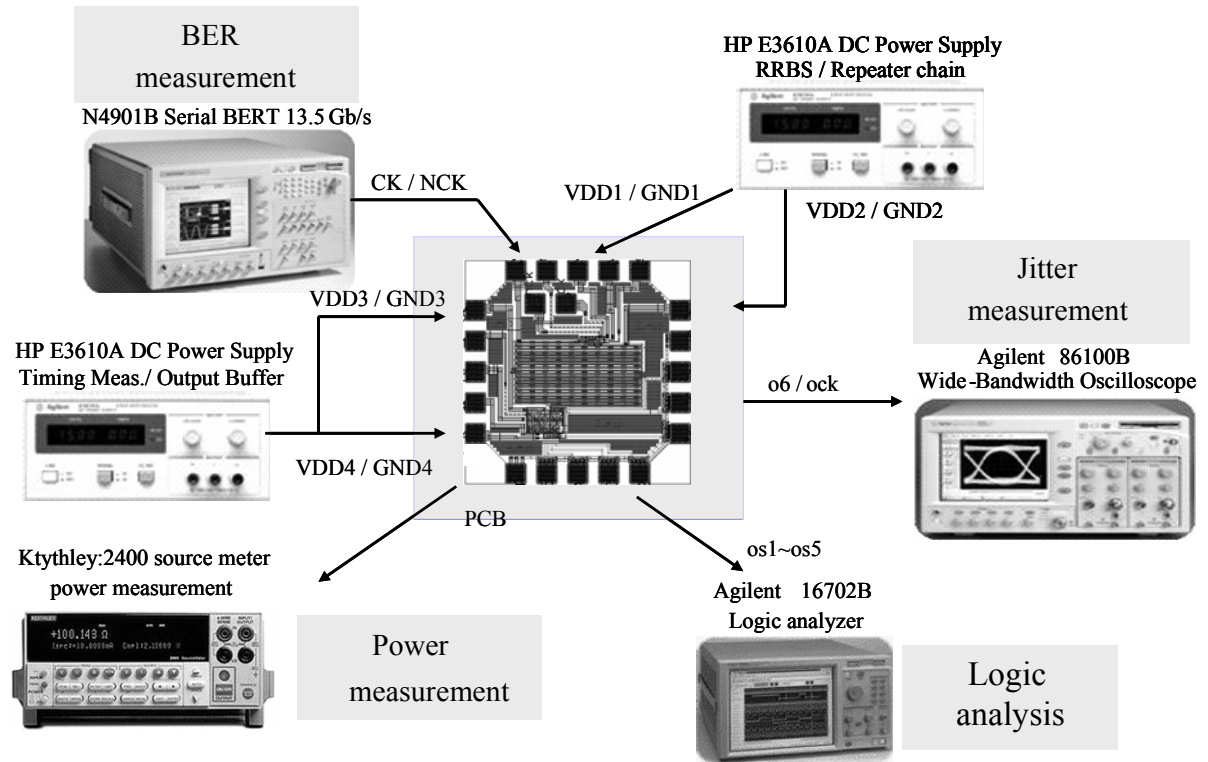


圖 5.20 晶片量測架構圖

5.8 總結

本章節使用 TSMC 0.13um RF 製程來實現整個電路架構，並且對電路做佈局後模擬，得到電路規格表。此電路可在供電壓為 0.8V~1.2V 下工作，傳輸速率為 1Gbps~2Gbps，Jitter 大小約為 0.2UI~0.4UI。功率消耗部份，在供電壓為 1.2V，傳輸速率為 2Gbps 時，PRBS 消耗功率為 1.36mW，BUS 消耗功率為 22.18mW，每一條傳輸線的消耗功率約為 2.77mW，TM 消耗功率為 9.75mW，BUF 消耗功率為 0.96mW，總消耗功率為 34.25mW。單位長度之位元功率消耗為 1.39pJ/bit*cm。

第六章

結論

6.1 結論

本論文使用最佳化的方法來決定全區域連接線的參數值，得到最佳傳輸線的線寬與最佳中繼器的並聯個數，並且在我們選擇傳輸速率大小時，獲得中繼器的尺寸與傳輸線的線距。我們將每一條總長度為 10mm 的全區域連接線切成 100 小段，選擇可以推動此分段的最小尺寸中繼器，目的是為了使功率消耗更低，同時也會讓傳輸延遲降低。

在電路的後端，我們設計了一時脈量測電路，藉由它所輸出的檢測訊號，來推算出眼圖張口的大小，進而算出時脈抖動的大小。接著，判斷在目前的情況之下，應該要怎樣調整供電壓或是調整傳輸速率，來改善眼圖和時脈抖動的大小。

我們使用的供電源為 0.8V 到 1.2V，操作的傳輸速率為 1Gbps 到 2Gbps。在供電壓為 1.2V 且傳輸速率為 2Gbps 時，每條傳輸線所消耗的功率為 2.77mW，單位位元之功率消耗為 1.39 pJ/bit*cm；而在供電壓為 0.8V 且傳輸速率為 1Gbps 時，每條傳輸線消耗的功率為 0.71mW，單位位元之功率消耗為 0.71 pJ/bit*cm。

6.2 未來發展

我們使用的傳輸線為單向傳輸，為了能夠使傳輸線的用途更為廣泛，希望能夠不限制傳輸的方向，雙向或是多向的傳輸資料，讓我們可以從各個分段傳輸線上得到需要的訊號。在時脈量測電路方面，則希望能使解析度 (Resolution) 更好，讓我們可以更精確的估算出眼圖張口與時脈抖動的大小。

參考文獻

- [1] S.M. Kang, Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*, Third Edition, McGRAW – HILL, 2003.
- [2] K. Banerjee and A. Mehrotra, “A Power-Optimal Repeater Insertion Methodology for Global Interconnects in Nanometer Designs,” *IEEE Trans. Electron Devices*, vol. 49, no. 11, pp. 2001-2007, Nov. 2002.
- [3] M.L. Mui, K. Banerjee and A. Mehrotra, “A Global Interconnect Optimization Scheme for Nanometer Scale VLSI with Implications for Latency, Bandwidth, and Power Dissipation,” *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 195-203, Feb. 2004.
- [4] M. Tang and M. Jun-Fa, “Optimization of Global Interconnects in High Performance VLSI Circuits,” *Proc. 19th Int. Conf. on VLSI Design 2006*, pp. 6, Jan. 2006.
- [5] L. Xiao-Chun, and et al., “Global Interconnect Width and Spacing Optimization for Latency, Bandwidth and Power Dissipation,” *IEEE Trans. Electron Devices*, vol. 52, no. 10, pp. 2272-2279, Oct. 2005.
- [6] A.P. Chandrakasan, and R.W. Brodersen, *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995.
- [7] C. Svensson, and A. Alvandpour, “Low Power and Low Voltage CMOS Digital Circuit Techniques,” *Proc. 1998 Int. Symp. Low Power Electronics and Design, 1998.*, pp. 7-10, Aug. 1998.
- [8] G.S. Garcea, N.P. van der Meijs, and R.H.J.M. Otten, “Simultaneous Analytical Area and Power Optimization for Repeater Insertion,” *Proc. Int. Conf. Computer Aided Design, 2003*, pp. 568–573, Nov. 2003.
- [9] L. Xun, P. Yuantao, and M.C. Papaefthymiou, “Practical Repeater Insertion for Low Power: What Repeater Library Do We Need?,” *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 25, no. 5, pp. 917-924, May 2006.
- [10] H.J.M. Veendrick, “Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits,” *IEEE J. Solid-State Circuits*, vol. 19, no. 4, pp. 468-473, Aug. 1984.
- [11] C. Shuming and L. Xiangyuan, “A Low-Latency and Low-Power Hybrid Insertion Methodology for Global Interconnects in VDSM Designs,” *Int. Symp. Networks-on-Chip, 2007. NOCS 2007.*, pp. 75-82, May 2007.
- [12] Y. Cao, et al., “Effects of Global Interconnect Optimizations on Performance Estimation of Deep Submicron Design,” *Proc. IEEE/ACM Int. Conf. Computer-Aided Design*, pp. 56-61, Nov. 2000.
- [13] D. Schinkel, and et al., “A 3-Gb/s/ch Transceiver for 10-mm Uninterrupted RC-Limited Global On-Chip Interconnects,” *IEEE J. Solid-State Circuits*, vol. 41, no. 1, pp. 297-306, Jan. 2006.

- [14] D. Pamunuwa, Z. Li-Rong, and H. Tenhunen, "Maximizing Throughput Over Parallel Wire Structures in the Deep Submicrometer Regime," *IEEE Trans. Very Large Scale Integration Systems*, vol. 11, no. 2, pp. 224-243, Apr. 2003.
- [15] R. Bashirullah, W. Liu, R. Cavin III, and D. Edwards, "A 16 Gb/s Adaptive Bandwidth On-Chip Bus Based on Hybrid Current/Voltage Mode Signaling," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 461-473, Feb. 2006.
- [16] V.V. Deodhar and J.A. Davis, "Optimization of Throughput Performance for Low-Power VLSI Interconnects," *IEEE Trans. Very Large Scale Integration Systems*, vol. 13, no. 3, pp. 308-318, Mar. 2005.
- [17] V.V. Deodhar and J.A. Davis, "Voltage Scaling, Wire Sizing and Repeater Insertion Design Rules for Wave-Pipelined VLSI Global Interconnect Circuits," *Proc. Sixth Int. Symp. Quality of Electronic Design*, 2005., pp. 592-597, Mar. 2005.
- [18] R.T. Chang, and et al., "Near Speed-of-Light Signaling Over On-Chip Electrical Interconnects," *IEEE J. Solid-State Circuits*, vol. 38, no. 5, pp. 834-838, May 2003.
- [19] J.J. Kang, J.Y. Park and M.P. Flynn, "Global High-Speed Signaling in Nanometer CMOS," *Asian Solid-State Circuits Conference*, 2005, pp. 393-396, Nov. 2005.

