

國立交通大學

電機與控制工程學系

碩士論文

以 90 奈米 CMOS 製程設計一應用於
前瞻串列式連結收發機
之超高速資料轉換器對

Design of a Very High Speed
Data Converter Pair in 90nm CMOS Process
for Advanced Serial Link Transceivers

研究生：陳永順

指導教授：洪浩喬 教授

中華民國九十七年九月

以 90 奈米 CMOS 製程設計一應用於
前瞻串列式連結收發機之超高速資料轉換器對

Design of a Very High Speed
Data Converter Pair in 90nm CMOS Process
for Advanced Serial Link Transceivers

研 究 生：陳永順

Student : Yung-Shun Chen

指 導 教 授：洪浩喬

Advisor : Hao-Chiao Hong

國 立 交 通 大 學 電 機 學 院
電 機 與 控 制 工 程 學 系
碩 士 論 文

A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

September 2008

Hsinchu, Taiwan, R.O.C

中華民國九十七年九月

以 90 奈米 CMOS 製程設計一應用於 前瞻串列式連結收發機之超高速資料轉換器對

研究生：陳永順

指導教授：洪浩喬 博士

國立交通大學

電機與控制工程學系碩士班

摘 要

本論文提出一組以聯電 90nm CMOS Mixed-Mode 製程設計製作之應用於前瞻串列式連結傳輸系統收發機之超高速資料轉換器對。該數位類比與類比數位轉換器之規格皆為每秒一百億次取樣率、四位元解析度。數位類比轉換器為電流導向的架構，且使用操作速度較快之電流式邏輯電路作為核心數位電路的設計。此種電流式邏輯除了適用於低電壓的操作環境之外，也可達到非常高速的切換能力並降低高速轉換中電源的抖動量。而其中較關鍵性的元件—開關輸出電流源使用疊接電流源電路，以提供在高頻時較高的輸出阻抗，使高頻操作的特性可以更好。另一方面，我們使用快閃式的架構來實現超高速類比數位轉換器。透過串接多級具備主動式負回授技術的前置放大器使比較器陣列具有超寬頻，與低功率的特點。而數位電路部份相同也採用電流式邏輯電路作設計。為了解決高速資料轉換器測試上的困難，我們加入一組可測試性電路並提供兩種測試模式，使實驗晶片可以進行全速運作下的動態參數以及眼圖的量測。晶片量測結果顯示，在全速運作的測試模式下，輸入一 1.111GHz 的弦波訊號，可得 27.0 dB 的訊號雜訊比以及 25.9 dB 的訊號雜訊失真比，對應到四位元的有效位元數。眼圖量測結果顯示此設計能提供達到每秒一百億位元的資料傳輸速率。在 1V 供應電源下，整個測試晶片共消耗約 322.8 mW 之功率。

Design of a Very High Speed Data Converter Pair in 90nm CMOS Process for Advanced Serial Link Transceivers

Student : Yung-Shun Chen

Advisor : Dr. Hao-Chiao Hong

Department of Electrical and Control Engineering
National Chiao Tung University

Abstract

This thesis presents a very high speed data converter pair in UMC 90nm CMOS Mixed-Mode technology for the design of the transceivers of advanced serial links. The digital-to-analog (DAC) and the analog-to-digital (ADC) converters achieve a 10GS/s sampling rate and 4-bit resolution. The DAC uses the current-steering architecture. The digital circuitry is implemented with the current mode logic (CML) gates which have faster switching. The CML gates not only have less gate delays, but also are suitable for low voltage operation. In addition, they alleviate the issue of severe power-ground bouncing. We also applied the switched cascode current source (SCCS) to provide a higher output impedance at higher frequencies. The proposed ADC is a flash type ADC. The very wide bandwidth and low power comparators were realized by cascading multi-stage active negative feedback pre-amplifiers. To address the difficulty of testing the data converters at the rated 10GS/s, we added the design-for-testability (DfT) circuitry which provides two test modes including the at-speed test mode and the eye diagram mode. The measurement results of the test chip show that the data converter pair achieves an SNR of 27.0 dB and an SNDR of 25.9 dB with the 1.111GHz sinusoidal inputs in the at-speed test mode. It corresponds to an ENOB of 4.0 bits. The measured eye diagrams show that the

data converter pair can provide a data rate up to 10Gbps. The test chip including the DfT circuitry consumes 322.8 mW from a 1V supply.



誌謝

能夠順利完成碩士論文，我由衷地感謝我的指導教授 洪浩喬 博士。在這兩年多的研究生活中，老師所帶給我的不僅是研究課題上的訓練以及專業知識上的指導，更有意義的是從老師言行上可以學到的獨立思考、實事求是以及面對問題努力不懈的精神，這一切著實都讓我有切身的體悟並且受益良多。在人生的這一站，很慶幸也很榮幸能遇到洪老師，老師帶給我的影響，是十足深刻且深遠的。

感謝蘇教授、李教授以及黃教授百忙之中抽空擔任我的口試委員，同時指出學生論文中的缺失，讓學生可以再多加思考，並使論文內容可以更趨完善。

感謝實驗室博士班的聖泉學長在研究上提供的一些寶貴意見與建議，同時也感謝諸多已畢業的學長：鼎鈞(Danny)、孟軒(Steven)、國銘(Kevin)、振綱(Vincent)以及榮洲(Allen)等等，謝謝你們，將寶貴的經驗與專業知識傳承於實驗室的學弟我們。尤其感謝提攜過我的振綱學長，因為你不厭其煩的對我要求，使我可以學得更多。而時常協助幫忙我的學弟韋傑(Jeff)，更是要謝謝你，多虧你適時的幫助，讓我得以如期完成我的晶片。還要感謝實驗室的同窗：宗殷(Azure)與勇成(Cloud)，因為你們的陪伴，讓碩一煩雜的修課作業與考試生活增添了許多樂趣。至於其他學弟：明達(Miller)與紹峰(Stanley)，感謝你們在日常生活互相協助與研究討論，讓實驗室有良好的研究氣氛與更多的歡笑聲。在 901 實驗室的八百多天個日子裡，能和你們在一起真的很開心。

另外，也感謝時常與我相互勉勵的舊識志文，特別是在趕論文的這段期間內所給予我生活上的協助。

最後，也是最重要的，感謝我的最親愛的家人，我的父母及哥哥，感謝你們無時無刻作為我最好的後盾並不斷的支持我，讓我可以無後顧之憂的完成學業。

謹以此論文獻給大家，感謝各位對我的幫助。

陳永順 謹識

中華民國九十七年九月

新竹 

目錄

中文摘要	I
英文摘要	II
誌謝	IV
目錄	V
圖目錄	VIII
表目錄	XII
第一章 緒論	1
1.1 研究背景	1
1.2 研究動機與目的	2
1.3 論文章節組織	6
第二章 資料轉換器對 ADC 與 DAC 之基本原理及架構.....	7
2.1 資料轉換器 (Data Converter) 的基本操作原理.....	7
2.1.1 類比數位轉換器 (Analog-to-Digital Converter, ADC)	8
2.1.2 數位類比轉換器 (Digital-to-Analog Converter, DAC)	10
2.2 資料轉換器的效能參數介紹[18][19][20][21][22].....	11
2.2.1 靜態參數 (Static Parameters)	12
2.2.1.1 準確性 (Accuracy)	12
2.2.1.2 解析度 (Resolution)	12
2.2.1.3 偏移誤差 (Offset Error)	13
2.2.1.4 增益誤差 (Gain Error)	13
2.2.1.5 差分非線性誤差 (Differential Non-Linearity, DNL)	14
2.2.1.6 累積非線性誤差 (Integral Non-Linearity, INL)	16
2.2.1.7 缺碼及單調性 (Missing Code & Monotonicity)	17
2.2.2 動態參數 (Dynamic Parameters)	18
2.2.2.1 量化雜訊 (Quantization Noise)	19
2.2.2.2 訊號對雜訊比 (Signal-to-Noise Ratio, SNR)	21
2.2.2.3 訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)	23
2.2.2.4 有效位元數 (Effective Number Of Bits, ENOB)	23
2.2.2.5 總諧波失真 (Total Harmonic Distortion, THD)	24
2.2.2.6 無假訊號動態範圍	

(Spurious-Free Dynamic Range, SFDR)	24
2.2.2.7 有效解析度頻寬	
(Effective Resolution Bandwidth, ERBW)	25
2.2.2.8 動態範圍 (Dynamic Range, DR)	26
2.3 ADC 及 DAC 各種架構簡介	27
2.3.1 ADC 之各種架構	27
2.3.2 DAC 之各種架構	30
第三章 應用於前瞻串列式連結之超高速資料轉換器對之設計	33
3.1 10GS/s 4-bit 數位類比轉換器 (DAC) 之設計	33
3.1.1 電流式邏輯 (Current Mode Logic, CML) 電路	35
3.1.2 數位電路之設計	38
3.1.3 輸出電流源之設計	39
3.2 10GS/s 4-bit 類比數位轉換器 (ADC) 之設計	44
3.2.1 分壓電阻串 (Resistor Ladder)	45
3.2.2 比較器電路之設計	47
3.2.2.1 多級串接放大器的設計考量	47
3.2.2.2 Gilbert-Cell	53
3.2.2.3 主動式負回授之前置放大器	
(Active negative feedback Pre-Amplifier)	55
3.2.2.4 完整比較器電路之設計	60
3.2.2.5 多級串接放大器 Slew-rate 之設計考量	64
3.2.3 泡沫錯誤更正電路 (Bubble Errors Correction)	64
3.2.4 編碼電路之設計	67
第四章 電路模擬結果	71
4.1 10GS/s 4-bit DAC 之模擬結果	71
4.1.1 DAC 靜態參數 (Static Parameters) 之模擬	71
4.1.2 DAC 動態參數 (Dynamic Parameters) 之模擬	72
4.1.3 DAC 眼圖 (Eye Diagram) 之模擬	75
4.1.4 DAC 功率消耗之模擬	76
4.2 10GS/s 4-bit ADC 之模擬結果	76
4.2.1 ADC 靜態參數 (Static Parameters) 之模擬	76
4.2.2 ADC 動態參數 (Dynamic Parameters) 之模擬	78
4.2.3 ADC 功率消耗之模擬	79
第五章 晶片可測試性設計、模擬與佈局	81
5.1 可測試性設計 (Design-for-Testability, DfT)	81
5.1.1 測試模式 A (The Test Mode A)	83

5.1.2 測試模式 B (The Test Mode B)	84
5.1.3 DfT 測試方式之驗證 (Verification of the DfT concept)	85
5.2 各種測試模式下之模擬結果	86
5.2.1 測試模式 A (Test Mode A) 之模擬結果	86
5.2.2 DAC 之 Zero-Order Hold (ZOH) 效應[50][51]	89
5.2.3 測試模式 B (Test Mode B) 之模擬結果	96
5.2.4 測試晶片功率消耗之模擬	97
5.3 測試晶片之佈局 (Layout)	98
第六章 實驗晶片量測結果	101
6.1 實體晶片顯微照 (Chip Micrograph)	101
6.2 晶片實驗測試板及測量環境設定	102
6.3 靜態參數 (Static Parameters) 量測結果	104
6.4 動態參數 (Dynamic Parameters) 量測結果	105
6.4.1 取樣時脈訊號頻率對各種動態參數 (Clock Frequency vs. Dynamic Parameters)	105
6.4.2 輸入訊號頻率對各種動態參數 (Input Frequency vs. Dynamic Parameters)	106
6.5 眼圖 (Eye Diagram) 之量測	114
6.6 功率消耗	117
6.7 量測結果總結與比較	117
第七章 結論與未來展望	121
參考文獻	124

圖目錄

圖 1.1 串列連結 (Serial Link) 傳輸系統示意方塊圖	4
圖 2.1 類比訊號與數位訊號介面示意圖[17].....	8
圖 2.2 理想之三位元 ADC 輸入輸出轉換特性曲線.....	9
圖 2.3 理想之三位元 DAC 輸入輸出轉換特性曲線.....	11
圖 2.4 ADC 與 DAC 之偏移誤差 (Offset Error) 示意圖	13
圖 2.5 增益誤差 (Gain Error) 示意圖	14
圖 2.6 ADC 與 DAC 之差分非線性誤差 (DNL) 示意圖	15
圖 2.7 ADC 與 DAC 之累積非線性誤差 (INL) 示意圖	16
圖 2.8 ADC/DAC 缺碼 (Missing code) 與單調性 (Monotonicity) 示意圖 ..	18
圖 2.9 ADC 之量化雜訊 (Quantization Noise)	20
圖 2.10 鋸齒波 (sawtooth) 訊號.....	21
圖 2.11 非理想之 6 位元 ADC 輸出訊號頻譜.....	22
圖 2.12 動態範圍 (DR) 示意圖.....	26
圖 2.13 各種常見 ADC 的架構與取樣速度之關係.....	28
圖 2.14 基本 Flash ADC 之架構	29
圖 2.15 溫度計碼式 Current-Steering (Unary Current-Steering) 示意圖.....	32
圖 3.1 超高速 10GS/s 4-bit 數位類比轉換器 (DAC) 之方塊圖	34
圖 3.2 基本電流式邏輯 (Current Mode Logic, CML) 電路之結構.....	36
圖 3.3 各種常見之 CML 電路.....	37
圖 3.4 電源擾動 (power/ground bounce) 經由寄生電感對電路產生之影響 ..	38
圖 3.5 (a)一般簡單之開關電流源與輸出阻抗 (b) 輸出阻抗之頻率響應	40
圖 3.6 開關疊接電流源 (Switched Cascode Current Source, SCCS) 電路...42	
圖 3.7 開關疊接電流源輸出阻抗之頻率響應	43
圖 3.8 開關疊接電流源電路陣列 (SCCS Array)	43
圖 3.9 超高速 10GS/s 4-bit 類比數位轉換器 (ADC) 之方塊圖	44
圖 3.10 變動的輸入訊號經差動對之寄生電容耦合 (couple) 至分壓電阻串 ..	46
圖 3.11 模擬之 GBW_S 與 $Power$ 對 N 的關係圖 (對 $N=2$ 做正規化)	51
圖 3.12 $N=4$ 時對應至所需之 GBW_S 約為 17GHz.....	52
圖 3.13 輸入級比較器電路 (Gilbert-Cell) [40][41][42].....	53
圖 3.14 主動式負回授 (Active negative feedback) 之前置放大器[34].....	56
圖 3.15 主動式負回授放大器之等效架構[34].....	57
圖 3.16 一般傳統二階放大器之等效架構	60
圖 3.17 包含多級串接放大器之完整比較器電路 (Comparator slice)	61
圖 3.18 CML Latch 電路.....	62
圖 3.19 主動式負回授前置放大器 (Active negative feedback Pre-Amplifier)	

模擬之頻率響應圖	63
圖 3. 20 完整比較器電路 (Comparator slice) 之頻率響應模擬結果.....	63
圖 3. 21 泡沫錯誤示意圖以及 ROM 編碼形式消除泡沫錯誤的邏輯電路....	65
圖 3. 22 因 offset 和 timing mismatch 發生的泡沫錯誤 (Bubble error) [49]....	66
圖 3. 23 使用 CML OR Array 消除可能發生的一階泡沫錯誤.....	67
圖 3. 24 Metastability 的問題發生於 4 位元溫度計碼轉二進碼編碼器之例子..	68
圖 3. 25 Metastability 的問題發生於 4 位元溫度計碼轉格雷碼編碼器之例子..	69
圖 3. 26 4 位元溫度計碼轉格雷碼 (Thermometer-to-Gray) 之編碼電路.....	70
圖 4. 1 取樣率為 10GS/s 時 DAC 輸入 Gray code 形式之漸增 ramp 訊號 模 擬之差動輸出波形	71
圖 4. 2 DAC 模擬之 DNL 與 INL (取樣率為 10GS/s)	72
圖 4. 3 取樣率為 10GS/s 時 輸入數位約 1.47GHz 之 sinusoidal 訊號 模擬之 DAC 差動輸出時域波形	73
圖 4. 4 取樣率為 10GS/s 時 輸入 1.4257GHz 之 sinusoidal 訊號 模擬之 DAC 輸出訊號的頻譜.....	73
圖 4. 5 取樣率為 10GS/s 時 DAC 模擬之各種輸入頻率與動態參數的關係....	74
圖 4. 6 取樣率為 10GS/s 時 DAC 模擬之各種輸入頻率與 輸出訊號功率 (Signal-tone) 之關係 (in dBFS)	74
圖 4. 7 取樣率為 10GS/s 時 DAC 模擬之眼圖 (Eye Diagram)	75
圖 4. 8 取樣率為 10GS/s 時 ADC 輸入 25V/ μ s 的 ramp 訊號 模擬之 4 位元 Gray code 輸出	77
圖 4. 9 ADC 模擬之 DNL 與 INL (取樣率為 10GS/s)	77
圖 4. 10 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時 模擬之 ADC 輸出訊號的頻譜.....	78
圖 4. 11 取樣率為 10GS/s 時 ADC 模擬之各種輸入頻率與動態參數的關係	79
圖 5. 1 可測試性設計 (Design-for-Testability, DfT) 之電路	82
圖 5. 2 測試模式 A—Cascade Mode.....	83
圖 5. 3 測試模式 B—Shuffle Mode.....	84
圖 5. 4 理想與實際設計之 4bits DAC 動態參數對輸入訊號頻率之模擬.....	85
圖 5. 5 測試模式 A 中模擬之 ADC-DAC 輸入輸出轉換特性曲線.....	87
圖 5. 6 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時 測試模式 A 時 模擬之輸出波形.....	87
圖 5. 7 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時 測試模式 A 時 模擬所得之輸出訊號頻譜.....	88
圖 5. 8 測試模式 A 時 模擬之各種輸入訊號頻率與動態參數的關係	88

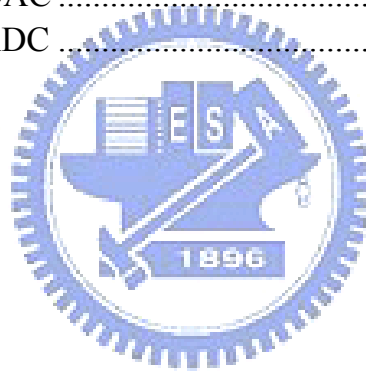
圖 5. 9 Zero-Order Hold (ZOH) 之訊號波形例子	90
圖 5. 10 取樣率為 10GS/s 之 ZOH 頻率響應 (振幅響應) 圖	91
圖 5. 11 (a)10GS/s DAC 頻率響應之振幅響應圖(in dB) (b) Zoomed in 10GHz	92
圖 5. 12 10GS/s DAC 之 Signal-tone Power 與 ZOH 振幅響應之頻率響應比較	92
圖 5. 13 (a) 10GS/s 之 Anti-SINC 頻率響應之振幅響應圖 (b) Zoomed in 10GHz	93
圖 5. 14 測試模式 A 時 輸入訊號頻率對 SNDR/SFDR ZOH 效應補償前後之比較	94
圖 5. 15 測試模式 A 時 輸入訊號頻率對 SNR ZOH 效應補償前後之比較	94
圖 5. 16 測試模式 A 經 ZOH 效應補償後與單獨 ADC 之 SNDR/SFDR 對輸入訊號頻率關係之比較	95
圖 5. 17 測試模式 A 經 ZOH 效應補償後與單獨 ADC 之 SNR 對輸入訊號頻率關係之比較	96
圖 5. 18 測試模式 B 中 取樣率 10GS/s 時 輸出眼圖 (Eye Diagram) 之模擬	97
圖 5. 19 測試晶片 (test chip) 之佈局圖 (Layout)	98
圖 5. 20 ADC 與 DAC 核心之佈局	99
圖 5. 21 三明治 (sandwich) 電容之結構	100
圖 6. 1 實驗晶片顯微照片 (Chip Micrograph)	101
圖 6. 2 晶片實驗測試板	102
圖 6. 3 晶片測試環境設定 (Measurement Setup)	103
圖 6. 4 測試模式 A 中量測之輸入輸出轉換特性曲線	104
圖 6. 5 測量之 DAC 與 ADC 之 DNL&INL	105
圖 6. 6 測量之不同取樣訊號頻率與各動態參數的關係	106
圖 6. 7 測量之不同輸入訊號頻率與各種動態參數之關係 (@ 10GS/s)	107
圖 6. 8 輸入 1.111GHz 之 sinusoidal 訊號且取樣率為 10GS/s 時 測得之頻譜	107
圖 6. 9 輸入 1.111GHz 之 sinusoidal 訊號且取樣率為 10GS/s 時 測得之波形	108
圖 6. 10 將圖 6.8 之頻譜結果作 ZOH 效應補償後所得之頻譜	108
圖 6. 11 測量之不同輸入訊號頻率對 SNDR/SFDR 參數 ZOH 效應補償前後之比較 (@ 10GS/s)	110
圖 6. 12 測量之不同輸入訊號頻率對 SNR 參數 ZOH 效應補償前後之比較 (@ 10GS/s)	110
圖 6. 13 測量之不同輸入訊號頻率與各種動態參數之關係 (@ 12GS/s)	111
圖 6. 14 輸入 1.33GHz 之 sinusoidal 訊號且取樣率為 12GS/s 時 測得之頻譜	112

圖 6. 15 測量之不同輸入訊號頻率對 SNDR/SFDR 參數 ZOH 效應補償前後之比較 (@ 12GS/s)	113
圖 6. 16 測量之不同輸入訊號頻率對 SNR 參數 ZOH 效應補償前後之比較 (@ 12GS/s)	113
圖 6. 17 1GHz(1Gbps)之 clock rate 下測得之 Eye Diagram(Data rate =4Gbps)	115
圖 6. 18 1.25GHz (1.25Gbps) 之 clock rate 下測得之 Eye Diagram (Data rate =5Gbps)	115
圖 6. 19 2GHz(2Gbps)之 clock rate 下測得之 Eye Diagram(Data rate =8Gbps)	116
圖 6. 20 2.5GHz (2.5Gbps) 之 clock rate 下測得之 Eye Diagram (Data rate =10Gbps)	116



表目錄

表 1.1 ADC 與 DAC 之規格.....	5
表 2.1 依解析度與取樣率區分 ADC 之種類[18].....	28
表 2.2 以調變形式區分 DAC 之種類.....	30
表 3.1 一階及二階電路轉移函數之比較.....	48
表 4.1 DAC 數位及類比部份電路模擬之各別功率消耗比較表.....	76
表 4.2 ADC 類比及數位部份電路模擬之各別功率消耗比較表.....	80
表 5.1 模擬之各部份電路功率消耗表.....	97
表 6.1 測試晶片之功率消耗比較表.....	117
表 6.2 Performance Summary.....	118
表 6.3 Benchmark of the DAC.....	119
表 6.4 Benchmark of the ADC.....	120



第一章

緒論

1.1 研究背景

高速介面電路在現今被廣泛的應用在各種通訊傳輸系統中，尤其在現今電腦系統的高度普及和運算處理速度已到了每秒數十億（GHz）的情況下，伴隨而來的是資料傳輸量的大幅增加，面對此一趨勢，提升資料傳輸率（data rate）的需求顯得更為迫切。在高速有線通訊（Wireline communication）傳輸系統中，以往盛行的並列式匯流排（Parallel Bus）已逐漸被串列式匯流排（Serial Bus）所取代，透過各種通訊調變的機制應用實現在串列連結（Serial Link）傳輸的系統上，可達到甚至超越原本並列傳輸系統提供的最大資料傳輸率，此外串列式傳輸可降低硬體設計及繞線的複雜度，且增進系統的功率消耗效率，使每一瓦特（Watts）的功率能提供更高的資料傳輸量 [1]。最為人熟知的例子就是目前個人電腦（PC）中所具備大量的通用序列匯流排（USB；Univeral Serial BUS）[2]連接埠，從一開始 USB 1.1 的 12Mbps 到現在 USB 2.0 所規範的 480Mbps，演變之間傳輸速度足足成長了有 40 倍之多，未來 USB 3.0 預計將可達到 4.8Gbps（600MB/s）的驚人傳輸速率。另外幾個顯著的例子是個人電腦中儲存系統裝置介面的 Serial-ATA[3]以及使用低壓差動訊號（LVDS；Low Voltage Differential Singaling）的匯流排介面的 PCI-Express[4]標準，兩者也都是透過串列方式以點對點（Point-to-Point）的形式來進行訊號的傳輸，避免頻寬共享而造成的傳輸資料率降低。


在未來運算平台的系統中可以預見的是晶片與晶片之間的通訊連線架構都不斷的要求介面電路可以提供更快的傳輸率，解決系統傳輸鏈結層的瓶頸，以因應高度整合下系統晶片（SoC；System on Chip）時代的來臨。因此高速的 I/O 單元等介面電路便成為其中的關鍵。

1.2 研究動機與目的

數位通訊系統中串列傳輸的機制裡，若不將訊號經過特別處理，就是將訊號以位元流（bit stream）的方式直接傳輸，即只傳送兩種邏輯準位的訊號，邏輯“0”或邏輯“1”，當資料量日趨龐大時，就必須靠提升傳輸率來縮短傳輸時間，然而當系統的傳輸率一再的被增加之後，最後必然會面對到收發端電路以及傳輸線的頻寬所限制，造成資料傳輸率無法被提升，使得此種位元流的傳輸方式顯得不夠具備效益。因此為了有效提升資料傳輸率，許多種傳輸調變機制便被提出，其中在串列連結傳輸中，multi-level-per-symbol 的多位準資料傳輸方式如 non-binary Pulse Amplitude Modulation（PAM）[5]或 Quadrature Amplitude Modulation（QAM）等已被大量應用，成為串列連結通訊系統中相當常見的技術。

在通訊中，最基本的符號（symbol）單位為位元（bit, binary digit），一個系統的訊息容量單位為每秒位元（bps, bits per second），而另一個用來度量訊息容量的單位是每秒符號（Baud rate, symbols per second）。使用 PAM 調變的系統中，將多個位元（multiple bits）表示成一個符號（symbol），因此若有 N 個位元，則表示出來的符號就有 2^N 個可能的狀態（State, S ），故 Baud rate 可計算得 $\log_2(S) = \log_2(2^N) = N$ （symbols per second），因此假設傳輸一個 symbol 的時間與原先傳送一個 bit 的時間（bit time）相同的情況下，則經由 PAM 等 multi-level 調變機制後的位元率（bit rate, bps）將會變為原

本的 $\log_2(S)$ 倍。以 $N=2$ 為例，調變後便可得到 4 個可能的電壓位準狀態的類比輸出訊號 ($Baud\ rate = 2$)，且由低到高，每個電壓位準所對應代表的數位訊號分別為 00、01、10 及 11，而相同假設傳輸一個 symbol 的時間與原先傳送一個 bit 的時間 (bit time) 相同的情況下，接收端在相同時間內所得到的位元率變為原先的 2 倍，也就是只花費一個位元的時間而可以接收到兩位元的資料，相較於原本的單純只傳 0 或 1 的位元流系統下，變成接收到一個位元資料所需的時間變為原先的一半，意即資料傳輸率變為原先的兩倍。同理如果 $Baud\ rate = 4$ ，則相同時間區間內可以接收到的資料量就為原先的四倍。這主要是由於在相同的時間區間內類比訊號可表示的電壓準位要比數位訊號的兩個位準來得多，因此在相同的傳輸時間下，一條透過 PAM 調變傳輸機制的傳輸線系統提供的最大傳輸資料量將為原先的 N 倍。



要實現此種具備 multi-level signaling modulation 如 PAM 的資料傳輸方式，常見的方法是在傳送端設計一組數位類比轉換器 (Digital-to-Analog Converter, DAC)，使得經過串列至並列轉換 (serial to parallel conversion) 機制的電路後將原本連續的位元流資料轉換成每 N 個位元為一組的並列訊號輸入到解析度為 N -bit 的 DAC 當中，進行多位準類比輸出訊號的調變轉換，便可經由傳輸線作串列式傳輸；而接收端為了將這些多位準的類比訊號正確解回原本代表的數位訊號，就必須使用一組類比數位轉換器 (Analog-to-Digital Converter, ADC)，且解析度也同為 N -bit，之後轉換解析成正確的數位結果再做進一步的處理，整個系統的示意方塊圖如圖 1-1 所示。

因此透過多位準調變 (Multi-level signaling modulation) 的方式應用在串列連結傳輸通訊系統上，確實可以大大地增加傳輸率，提高系統的資料吞吐量 (throughput)。

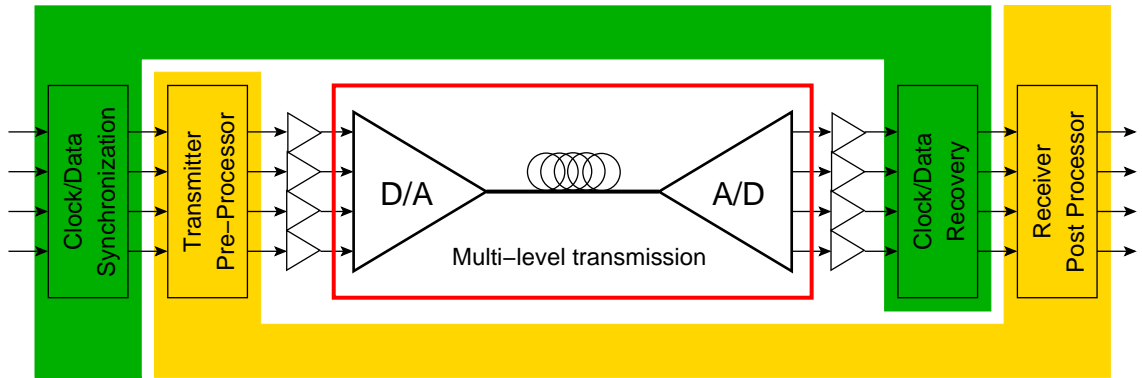


圖 1.1 串列連結 (Serial Link) 傳輸系統示意方塊圖

另外從通訊通道 (communication channel) 中的傳輸量來討論，令人感興趣的問題是在一條帶有可加性白高斯雜訊 (additive white Gaussian noise, AWGN) 分佈中的通訊通道中，究竟最大可以傳遞的位元率 (bps) 是多少？根據 Hartley-Shannon Channel Capacity Law (或 Hartley-Shannon Theorem) [6] 可知，通道訊息容量 (Channel capacity, C)、通道頻寬 (BW) 與接收到訊號的功率大小與該頻寬區段內雜訊的比值 (SNR, signal-to-noise ratio) 的關係可以表示成式 (1.1) 的形式，因此可知給定通道頻寬 BW 及接收到的 SNR，此定理提供了資料傳輸率理論上最大可達到的上限。

$$C = BW \log_2(1 + SNR) \quad (\text{bps}) \quad (1.1)$$

所以在傳輸通道頻寬有限的情況下，透過提升此通訊系統的訊雜比 (SNR)，如此一來整個通道的傳輸容量將可被大幅的提升。為實現這樣的系統，如同前述在收發端分別利用一組 ADC 與 DAC 作為系統的收發器 (transceiver)，即可有效的提升系統的 SNR，大幅提升傳輸通道的訊息容量，因此此組資料轉換器對 (Data Converter Pair, ADC & DAC) 成為系統中最關鍵的電路。

本論文為經濟部學界科專計畫—「晶片系統傳輸鏈之電路系統設計與驗證平台開發計畫」的執行成果之一。計畫目標主要是因應半導體技術已

進入奈米級 (100nm) 以下的世代，一個晶片將可容納數十億個電晶體，以系統層次面向來說，諸多工作在不同之時脈頻率的矽智財 (IP, Intellectual Property) 將會同時整合在一個晶片內成為一個系統晶片 (SoC)，因此可以預見的是屆時 SoC 的架構發展會遇到的問題就如同 PCB 的發展一樣，晶片內網路 (Network on Chip, NoC) 將會變得相當複雜，各個元件裝置互連 (Interconnect) 的訊號線傳輸速度將受限，成為整個系統效能的瓶頸。整個計劃以 10Gbps 的傳輸速率為目標，基於此一目標而配合整個系統所設計的超高速資料轉換器對 (Very High Speed Data Converter Pair—ADC & DAC) 因此成為非常關鍵的電路，主要特色是必須具備相當高速的取樣頻率，配合中低解析度 (Medium-low resolution) 的能力即可，因此依照總計畫整個傳輸鏈系統的需求，訂立出的資料轉換器對—ADC 與 DAC 之主要規格如下表 1.1 所示。


表 1.1 ADC 與 DAC 之規格

	ADC	DAC
Supply Voltage	1.0 V	
Sampling Rate	10 G-Samples/s	
Resolution	4 bits	
I/O Full Swing	Differential ± 400 mV	
I/O Termination	Internal 50 Ω	Internal 50 Ω // External 50 Ω (Double Termination)
Technology	UMC 90nm CMOS Mixed-Mode 1P9M Low-K	

在已知文獻中，能達成數 Giga-Samples/s 等級以上的超高速 ADCs 或 DACs，有相當大的一部分是使用 SiGe 或 GaAs 這類的製程來設計實現[7]—[10]，使用此類製程在高速場合的應用確實會比較出色，但往往也消耗相當大的功率。而 CMOS 製程成本較為低廉且技術成熟，所以現階段多數積體電路設計仍是以 CMOS 為主流，另外由於 CMOS 的應力特性較佳，適合製作大面積晶片，所以是相當適合 SoC 發展的平台，綜觀目前積體電路 (IC,

Integrated Circuit) 設計，大多數都是 CMOS 製程為主，顯見使用 CMOS 設計的電路將有較佳的競爭力與較高的整合度。然而以 CMOS 製程設計高速電路是較為困難的地方，所以如果要採用 CMOS 製程來設計此種超高速 ADC 與 DAC 的話，除了電路上的技巧之外，從系統層次來看可以使用 time-interleaved 型式的架構[7][11]–[16]使得等效輸出速率得以增加，但 time-interleaved 架構會遭遇到相當龐大的硬體電路以及驚人的功率消耗等問題，使其在實際的應用上也有不少限制。在此我們研究設計的此組超高速資料轉換器對乃是針對不使用 time-interleaved 的架構，並以計畫協助提供的聯電 (UMC) 90nm CMOS Mixed-Signal Low-K 製程作研製。

1.3 論文章節組織



本論文共分為七章。第二章首先介紹說明資料轉換器對 (ADC & DAC) 的基本原理及架構，同時解釋資料轉換器常見的各種效能評估參數。接下來的第三章將分析說明並討論我們所設計實現的此組超高速 10GS/s 4-bit 資料轉換器對各部份電路的設計議題及設計考量。先是發送端 DAC 電路設計的說明，接者是接收端 ADC 的部份。第四章呈現完整的 DAC 與 ADC 電路模擬結果。之後第五章對一般超高速資料轉換器電路在實際晶片測試的情況中容易遭遇到的問題作解說，並針對這些問題陳述我們在設計階段對整個 DAC 及 ADC 之測試晶片 (test chip) 所作的可測試性設計 (Design-for-Testability, DfT)，以及所加入的輔助測試電路，使測試晶片具有良好的可測試機制。接者顯示整合 DfT 電路後，完整測試晶片電路的模擬結果。然後藉由可測試機制電路的輔助，說明如何進行實驗晶片的量測。第六章詳述實驗晶片的測試環境設定以及完整的晶片量測結果。而最後在第七章對本論文做一總結。

第二章

資料轉換器對 ADC 與 DAC 之 基本原理及架構

本章節將介紹說明資料轉換器對—ADC 與 DAC 的基本操作原理以及各種用來評估描述其效能好壞的特性參數，由於這些參數在之後的內容中會時常被提及，因此能夠了解這些參數是能看懂模擬分析與量測結果的第一步。之後我們會簡單的說明目前 ADC 與 DAC 常見的幾種架構，並指明我們的設計所選用的架構。



2.1 資料轉換器（Data Converter）的基本操作原理

資料轉換器（Data Converter）指能夠將訊號形式轉換的 ADC 與 DAC 電路，廣泛地運用在各種通訊及電子裝置系統裡。在半導體技術快速進步的刺激下，使得數位系統如電腦資訊產業等的快速發展與之相輔相成，且基於數位訊號快速的處理能力與在各種通訊傳輸系統中的優勢下，更帶來數位化的潮流。為了有效率的應用數位訊號的諸多特點，必須使用的介面電路就是資料轉換器—ADC 與 DAC，由於真實世界的各種訊號都以類比的形式存在，欲藉由數位方式的處理則必須先經過 ADC 的作用將類比訊號轉換成數位訊號，然後透過各式各樣的數位訊號處理（DSP, Digital Singal Processing）技巧，使得訊號得以被更多元化以及更有效率的方式處理運用，經處理過後的訊號即可透過 DAC 的運作將訊號反向轉換成為類比的形式，使人類可以直接接受，整個系統的簡單示意圖如圖 2.1 所示。

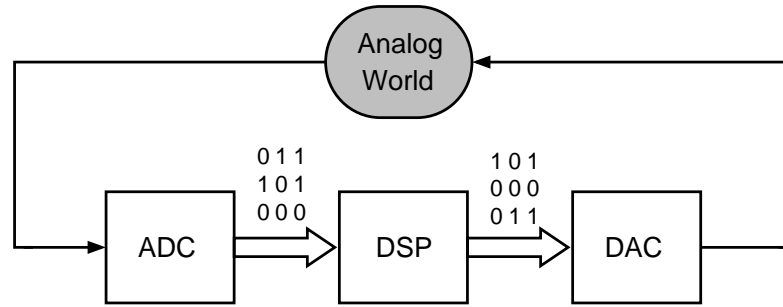


圖 2.1 類比訊號與數位訊號介面示意圖[17]

2.1.1 類比數位轉換器 (Analog-to-Digital Converter, ADC)

理想解析度(Resolution)為 N 位元的 ADC 將連續時間(continuous-time)的類比輸入訊號 (V_{in}) 轉換編碼成一連串 N 個位元為一組數位碼的離散時間 (discrete-time) 訊號，其轉換的過程滿足下式 (2.1) 的關係[18]：

$$V_{in} = V_{FS} \sum_{k=1}^n \frac{b_{n-k}}{2^k} + V_Q = V_{FS} \left(\frac{b_{n-1}}{2} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) + V_Q \quad (2.1)$$

其中 V_{FS} 為滿刻度電壓 (Full-Scale voltage)，表示該 ADC 可處理之最大類比電壓訊號 (訊號不一定為電壓的形式，電流或其他的電氣訊號皆可，為方便說明故以電壓來表示) 範圍； b_{n-k} 表示每個個別輸出的數位位元，而 V_Q 為類比數位轉換過程中必定會出現的量化誤差 (Quantization Error)，有關量化誤差的說明會在後面更詳細的討論到。將式 (2.1) 以最小單位刻度電壓 (V_{LSB}) 來表示，可以寫成式 (2.2) 的形式：

$$V_{in} = \frac{V_{FS}}{2^N} (b_{n-1} 2^{N-1} + b_{n-2} 2^{N-2} + \dots + b_1 2^{N-(n-1)} + b_0 2^{N-n}) + V_Q = V_{LSB} \sum_{k=1}^n b_{n-k} 2^{N-k} + V_Q \quad (2.2)$$

式 (2.2) 中定義出了最小單位刻度電壓 (V_{LSB}) 如式 (2.3) 所示，表示將輸入範圍允許的滿刻度範圍電壓 V_{FS} 均分成 2^N 個準位，明確的定義出每個準位之間的類比電壓差值為一個 V_{LSB} 的大小。

$$V_{LSB} \equiv \frac{V_{FS}}{2^N} \quad (2.3)$$

一般而言都把一個 V_{LSB} 的電壓值稱為一個 LSB (Least Significant Bit)，這是一個無單位 (Unitless) 的名詞，是將電壓值歸一化 (Normalized) 的比值結果。例如習慣上可能會稱說有 1.5LSB 的誤差，實際的意思就是表示此誤差量的電壓值為 V_{LSB} 的 1.5 倍。

以一個解析度為三位元的理想 ADC 來說，其輸入輸出的轉換特性曲線如圖 2.2 所示。

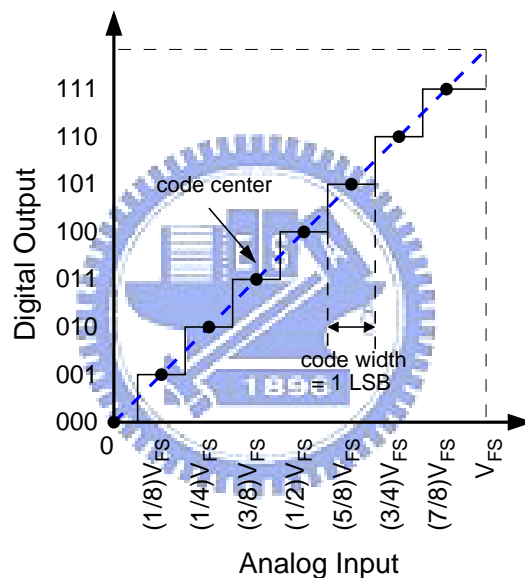


圖 2.2 理想之三位元 ADC 輸入輸出轉換特性曲線

轉換特性曲線中每個數位輸出碼 (Digital Output) 都對應到一小區段的類比輸入 (Analog Input) 訊號範圍，此一範圍就是 1 個 LSB 的寬度 (code width)，且每個 LSB 的中心點都座落在每個數位碼輸出區間內的正中間位置 (code center)。在滿刻度電壓範圍內任意的類比輸入電壓，都會被解析成該電壓值大小與某個 LSB 的中心點 (code center) 差距最近所對應到的數位碼輸出，因此得到的數位碼輸出是該有限解析度之 ADC 將輸入轉換成輸出做最近似的結果，這說明 ADC 的轉換行為是多對一的結果，因此這之

間便產生了某種程度的誤差存在。考慮圖 2.2 中，由階梯轉換曲線中每個步驟的中間點 (code center) 連接起來所代表的類比輸入訊號之斜虛線與數位輸出的轉換階梯狀曲線之差值，就是類比訊號被量化 (Quantize) 產生的誤差部分，稱之為量化誤差 (Quantization Error)，由於任意的 ADC 皆為有限的解析度，只能輸出有限個數的數位碼 (2^N)，因此即使是一個理想轉換特性的 ADC 必然也會產生若干的量化誤差。

2.1.2 數位類比轉換器 (Digital-to-Analog Converter, DAC)

為簡單說明 DAC 的基本操作原理，一樣以理想的 DAC 來做探討，一解析度為 N 位元的 DAC 將 N 個位元為一組的數位的輸入轉換為類比輸出訊號，轉換的過程滿足式 (2.4) 的關係[18]：

$$V_{out} = V_{FS} \sum_{k=1}^n \frac{b_{n-k}}{2^k} = V_{FS} \left(\frac{b_{n-1}}{2} + \frac{b_{n-2}}{2^2} + \dots + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right) = V_{FS} \times D_{in} \quad (2.4)$$

b_{n-k} 為每個個別輸入的數位位元 (Digit)。以最小單位刻度電壓 (V_{LSB}) 來表示的話，可以得到式 (2.5) 的結果：

$$V_{out} = \frac{V_{FS}}{2^N} (b_{n-1} 2^{N-1} + b_{n-2} 2^{N-2} + \dots + b_1 2^{N-(n-1)} + b_0 2^{N-n}) = V_{LSB} \sum_{k=1}^n b_{n-k} 2^{N-k} \quad (2.5)$$

從 (2.4) 與 (2.5) 的式子可以得知，在數位轉類比的程序中，不會產生類似於 ADC 的量化誤差項，這主要是因為數位類比的轉換行為是一組數位碼對應到一個固定的類比物理量輸出，是一對一的轉換結果，所以不會有取近似結果的情況發生，也就沒有誤差的成份發生。

同樣以解析度為三位元的理想 DAC 來說，輸入對輸出轉換特性曲線如圖 2.3 所示。

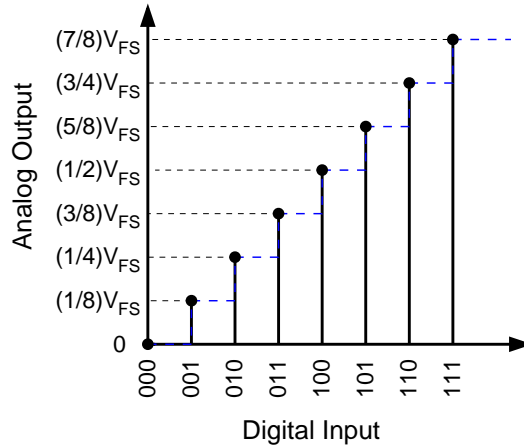


圖 2.3 理想之三位元 DAC 輸入輸出轉換特性曲線

轉換特性曲線中明確的指出對於每個數位的輸入碼 (Digital Input) 都可以對應到一個滿刻度電壓範圍以內的類比輸出電壓。

2.2 資料轉換器的效能參數介紹[18][19][20][21][22]

單純從 ADC 與 DAC 解析度的高低並無法完全的說明其實際上的轉換特性及效能好壞，真實設計出來的 ADC 或 DAC 可能會因許多方面因素的影響而偏離原本理想的特性轉換曲線。因此有許多用來描述分析 ADC 與 DAC 的特性參數，且因應用領域的不同會強調不同的特性參數，這些參數包括：準確性 (Accuracy)、解析度 (Resolution)、偏移誤差 (Offset Error)、增益誤差 (Gain Error)、差分非線性誤差 (Differential Non-Linearity, DNL)、累積非線性誤差 (Integral Non-Linearity, INL)、訊號對雜訊比 (Signal-to-Noise Ratio, SNR)、訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數 (Effective Number Of Bits, ENOB)、總諧波失真 (Total Harmonic Distortion, THD)、無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR)、有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) 與動態範圍 (Dynamic Range, DR) 等。一

般可將 ADC 與 DAC 的特性參數分為粗略區分為靜態參數 (Static Parameters) 以及動態參數 (Dynamic Parameters)，以下我們將分別介紹說明這些參數。

2.2.1 靜態參數 (Static Parameters)

對於 ADC 或 DAC 的靜態參數 (Static Parameters) 的獲得，必須對轉換器輸入低速的刺激訊號，該訊號的變化速度要夠緩慢，有時甚至會是輸入一個固定的訊號源 (constant input stimulus)。靜態參數包含了準確性 (Accuracy)、解析度 (Resolution)、偏移誤差 (Offset Error)、增益誤差 (Gain Error)、差分非線性誤差 (Differential Non-Linearity, DNL)、累積非線性誤差 (Integral Non-Linearity, INL)。

2.2.1.1 準確性 (Accuracy)

準確性的定義為當輸入一已知的訊號，而可預期到無誤差情況下轉換器的輸出結果與實際輸出包含所有各種靜態誤差量 (包括量化誤差、偏移誤差、增益誤差和所有非線性成份) 的總和，兩者之間的差異，主要就是用來指出 ADC 或 DAC 對理想特性轉換曲線的總偏移程度。

2.2.1.2 解析度 (Resolution)

解析度對 ADC 與 DAC 而言分別為輸出和輸入數位訊號的位元數，以 N 來表示的話，一理想的 N -bit 轉換器而言，其將可處理範圍內的訊號 (V_{FS}) 等量劃分成 2^N 個準位，也就是前述式子 (2.3) 所定義的，每個準位大小即為一個 V_{LSB} 之值，也常稱為一個 LSB。可以注意到的是，解析度的高低直接影響了一個 LSB 的大小，對 ADC 而言在固定 V_{FS} 的情況下，就是直接影響到特性轉換曲線 (圖 2.2) 裡每個輸出碼的寬度 (code width) 以及量化

誤差的大小。

2.2.1.3 偏移誤差 (Offset Error)

偏移誤差 (Offset Error, E_{offset}) 描述的是 ADC 或 DAC 的輸入輸出特性轉換曲線中，0 點位置偏移的誤差。對 ADC 而言發生偏移誤差的情形指的是「輸入」的偏移誤差，使實際和理想的輸入輸出特性轉換曲線之間在輸入訊號為 0 時，存在的一個固定平移差異，如圖 2.4(a) 所示，理想的轉換曲線中第一個使輸出轉態的電壓應該是 0.5LSB 的位置，實際轉換曲線中偏移此值的誤差量就是 ADC 的偏移誤差。另一方面對於 DAC 來說，發生偏移誤差是指「輸出」的偏移誤差，也就是假設輸入數位訊號皆為 0 時，輸出之類比訊號不為 0 的量，就是 DAC 的偏移誤差，如圖 2.4(b) 所示。

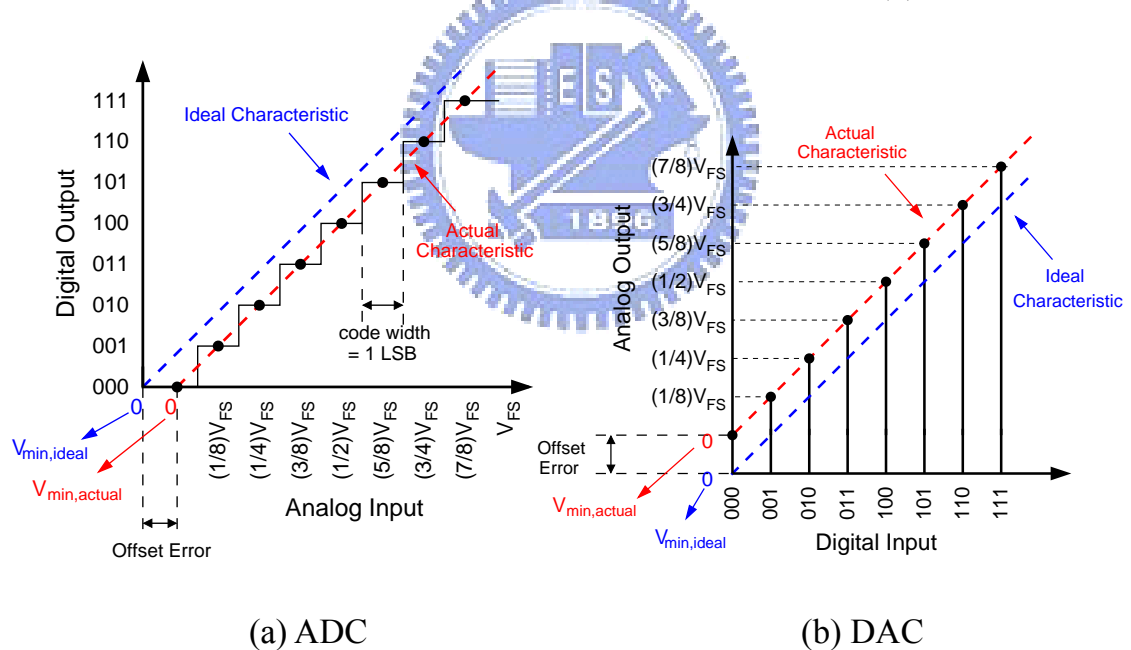


圖 2.4 ADC 與 DAC 之偏移誤差 (Offset Error) 示意圖

2.2.1.4 增益誤差 (Gain Error)

增益誤差 (Gain Error, E_{gain}) 指的是在沒有偏移誤差的情況下，實際與理想輸入輸出轉換特性曲線之間斜率的差異，對於理想的特性轉換曲線而言，其斜率大小應為 1，因此增益誤差描述的就是實際特性轉換曲線斜率大

於 1 或小於 1 的誤差。如圖 2.5 所示，靠近左上方向的斜虛線是理想的情況，而靠近右下的斜虛線則是實際包含增益誤差的結果，以數學式來表達，就是實際特性曲線中最後一個最高轉態點 ($V_{\max,actual}$) 與理想特性曲線裡最後一個最高轉態點 ($V_{\max,ideal}$) 之間的差值，然後再做正規化 (Normalize) 使結果可表示為多少個 LSB 的大小，即式子 (2.6) 所示。

$$E_{gain} = \frac{V_{\max,actual} - V_{\max,ideal}}{V_{\max,ideal}} = \frac{V_{\max,actual}}{V_{\max,ideal}} - 1 \quad (\text{LSB}) \quad (2.6)$$

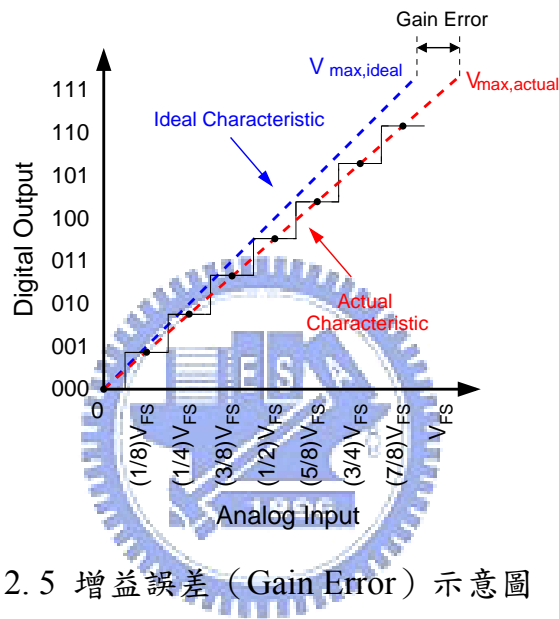


圖 2.5 增益誤差 (Gain Error) 示意圖

2.2.1.5 差分非線性誤差 (Differential Non-Linearity, DNL)

差分非線性誤差 (Differential Non-Linearity, DNL) 的討論是先行將轉換器的特性轉換曲線中偏移誤差及增益誤差去除的情況下而得的，對 ADC 來說，理想的轉換曲線每個步階寬度 (step width) 都應該相同為 1 個 LSB 的大小，也就是這些步階大小都應為均勻 (Uniform) 分佈，而非線性將造成步階大小 (step size) 為非均勻 (Non-uniform) 的分佈，DNL 就是用來描述每個步階大小不為 1 個 LSB 的分佈情況，所以將每兩個相鄰使輸出數位碼轉態的類比訊號準位間的差值再減去理想曲線中相同使數位碼轉態的類比訊號差值(即 1 個 LSB)的結果就是兩個連續的輸出數位碼之間的 DNL

值，而相同為了以多少個 LSB 來表示，就必須再對 1 個 LSB 大小作正規化。以數學式表示可寫成式 (2.7) 的形式，其中 $V_{actual}(n)$ 為實際轉換曲線中使第 n 個碼轉態到下一個數位碼所對應到的輸入類比電壓準位值。

$$DNL(n) = \frac{(V_{actual}(n+1) - V_{actual}(n)) - V_{LSB}}{V_{LSB}} = \frac{V_{actual}(n+1) - V_{actual}(n)}{V_{LSB}} - 1 \quad (\text{LSB}) \quad (2.7)$$

另一方面由於 DAC 的轉換關係是一對一的轉換特性，當輸入的數位碼每加 1 之後，理想的類比輸出訊號也就直接增加一個 V_{LSB} 的大小，因此當實際的類比輸出訊號增量不為一個 V_{LSB} 的大小時，此誤差與理想的 1 個 LSB 相減的結果即為 DNL 的值，同樣將結果對 1 個 LSB 作正規化即可得到以 LSB 為單位的 DNL 值，數學上表示的結果與式 (2.7) 相同，差別在於對 DAC 而言的 $V_{actual}(n)$ 為第 n 個數位輸入碼所產生對應到的第 n 個輸出類比電壓準位值，有別於 ADC 而言的「輸入」類比電壓值。

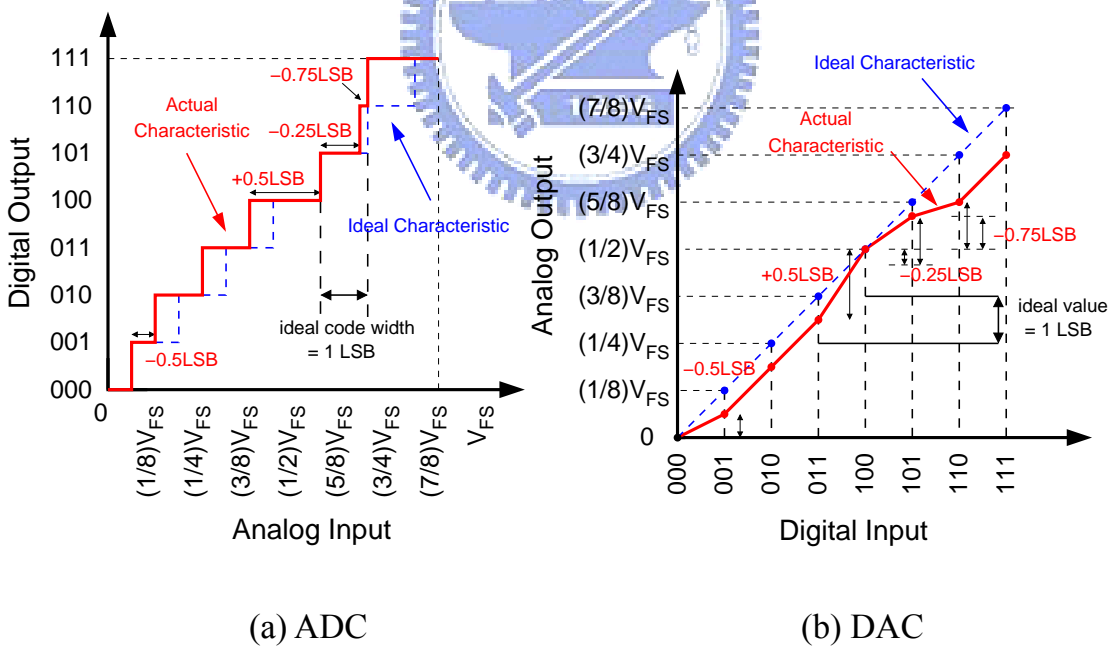


圖 2.6 ADC 與 DAC 之差分非線性誤差 (DNL) 示意圖

ADC 與 DAC 之 DNL 圖形上說明則分別顯示在圖 2.6(a)與 2.6(b)。從圖中可以想見到的是，愈理想的 ADC 其每個步階的寬度 (即相鄰兩個使輸出數位碼轉態的輸入類比電壓差值) 就愈接近 1 個 LSB，使得 DNL 也愈趨

近於 0LSB。而愈理想的 DAC 其每相鄰的兩個輸出類比電壓之差值就愈接近 1 個 LSB，也是使 DNL 越趨近於 0LSB。

2.2.1.6 累積非線性誤差 (Integral Non-Linearity, INL)

累積非線性誤差 (Integral Non-Linearity, INL) 也是將特性轉換曲線裡可能發生的偏移誤差以及增益誤差去除後而做的分析，INL 意義指的是實際轉換器的輸入輸出特性轉換曲線與理想的特性轉換曲線之間的誤差量，實際非理想 ADC 的轉換曲線由每個輸出數位碼的中間點 (code center) 連接而成，這些點與理想 ADC 轉換曲線中相對應的每個輸出數位碼中間點之間的差距就分別代表各個輸出數位碼的 INL 值；DAC 的輸入輸出轉換曲線可藉由連接每個輸入數位碼對應到的類比電壓輸出之值而得到，這些類比輸出電壓值的點與理想 DAC 轉換曲線中相對應的每個類比電壓輸出值的點之差值就是各個輸出的 INL 值。數學式可寫成式 (2.8) 的形式，圖 2.7 顯示了 ADC 與 DAC 各別的 INL 的示意圖。

$$INL(n) = \frac{V_{actual}(n) - V_{actual,min}}{V_{LSB}} - n \text{ (LSB)} \quad (2.8)$$

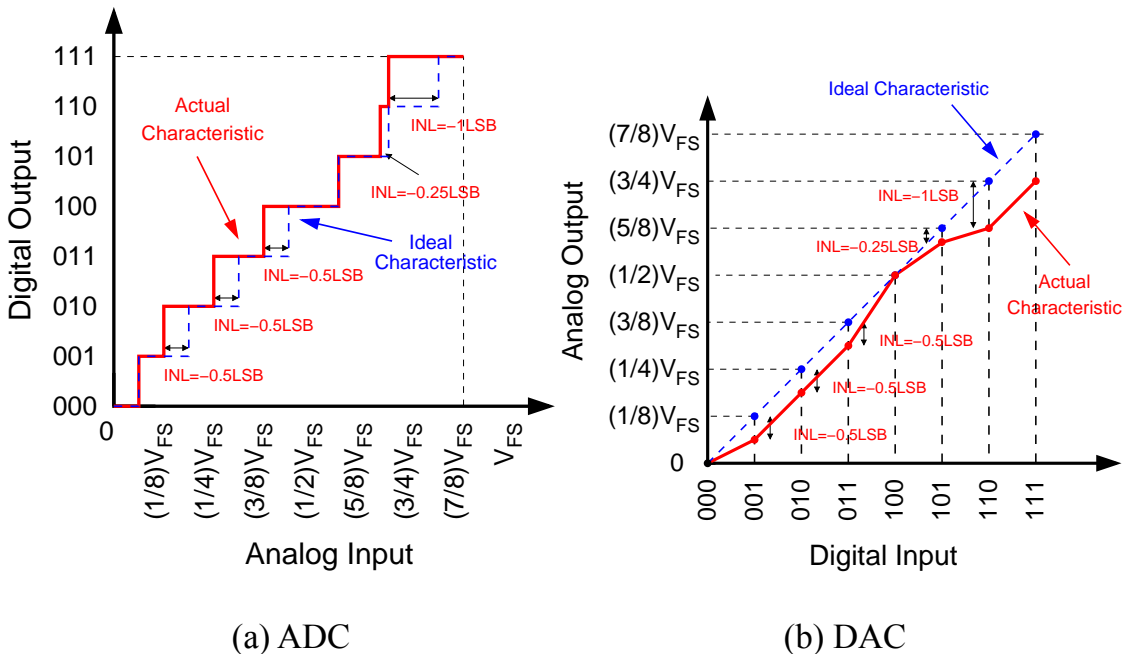


圖 2.7 ADC 與 DAC 之累積非線性誤差 (INL) 示意圖

從前述的討論以及圖 2.7 可知，要計算第 n 個碼的 INL 值，可以將第 1 個到第 n 個碼的 DNL 值作累加也可以得到相同結果，式子可寫成如(2.9) 式所示。

$$INL(n) = \sum_{i=1}^n DNL(i) \text{ (LSB)} \quad (2.9)$$

有時候計算 INL 時的比較參考對象可以不必是理想的轉換曲線，而是根據實際電路轉換曲線上的各個點來找出一條直線，該直線使原本發生最大 INL 值的數碼得以變得較小，而其他某些若干的 INL 卻可能會因此而稍微變大，以這條直線當參考對象的話，可以將原本每個碼的 INL 值作平均的作用，此直線通常稱為最佳符合線 (Best-Fit Line) [23]。之所以有這樣的計算方式主要是因為有時在資料轉換器的設計上，設計者只在乎電路最大或最小的 INL 和 DNL 表現，因此在許多的技術文獻上，INL 或 DNL 各只標明出一組較大及較小的值，代表的就是該資料轉換器最大和最小的 INL 及 DNL。



2.2.1.7 缺碼及單調性 (Missing Code & Monotonicity)

缺碼 (Missing Code) 的描述是對 ADC 的轉換特性曲線來討論的，在容許的類比電壓輸入範圍內，固定有某個數位輸出碼一直無法被轉換出，該數碼對於該 ADC 而言就是遺漏掉的數位結果，這主要是由於實際電路的轉換曲線在某個轉態步階有過大的 DNL 響應，一般若是 ADC 的最大 DNL 超過 1 個 LSB 或是最大的 INL 超過 0.5 個 LSB 的情況下就會發生缺碼的問題，如圖 2.8(a)所示，實線代表實際 ADC 的轉換曲線，輸出 011 的下一個輸出直接為 101 而跳過了 100 這個結果，因此可以說 100 這個數位碼是該 ADC 無法輸出的缺碼。相同用來描述 DAC 的類似情形稱為單調性 (Monotonicity)，DAC 的類比輸出隨數位輸入訊號的增加而增加，滿足此

情形的響應我們都說 DAC 呈現單調性，反之若 DAC 的轉換曲線中發生數位輸入訊號增加，但類比輸出訊號卻反之降低（即轉換曲線中存在負斜率的區段）的情況就是非單調性（Non-monotonicity），同樣當 DAC 有超過 1 個 LSB 的 DNL 或是超過 0.5 個 LSB 的 INL 的響應時，就會發生非單調性的問題，圖 2.8(b)描繪了 DAC 轉換曲線單調及非單調性的特徵，輸入數位訊號在 000 到 100 以及 101 到 111 這兩個區間內，輸出都隨輸入增加，但當輸入由 100 增加至 101 時，對應的類比輸出訊號卻不增反減，此即為非單調性的現象。

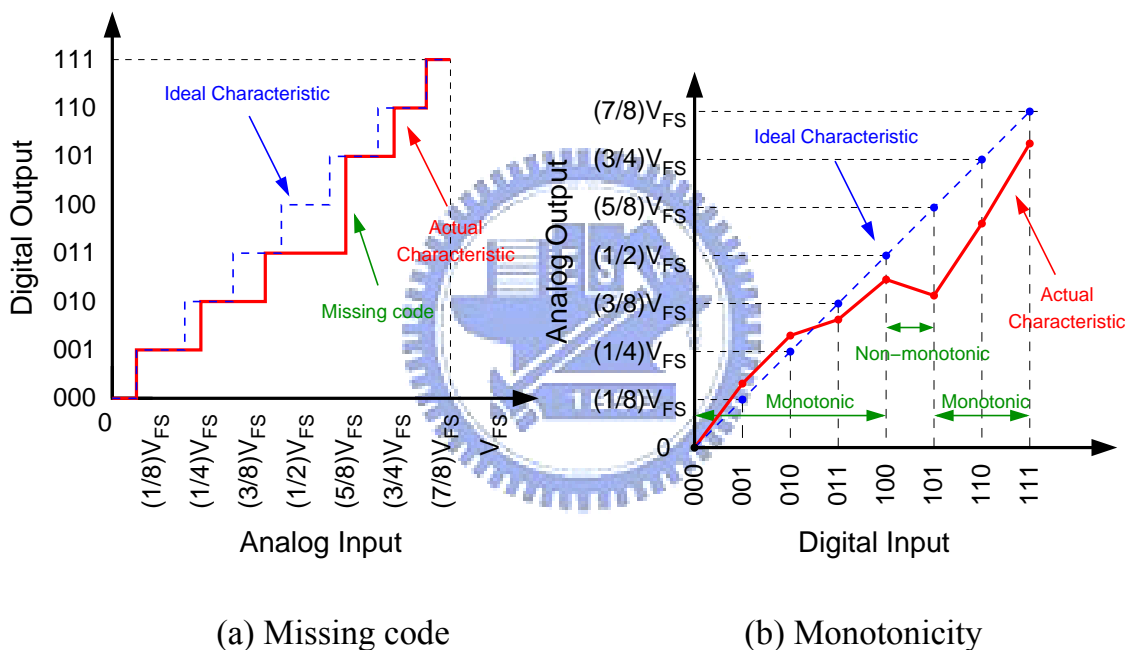


圖 2.8 ADC/DAC 缺碼 (Missing code) 與單調性 (Monotonicity) 示意圖

2.2.2 動態參數 (Dynamic Parameters)

前一小節提及的各種參數都是和輸入訊號無關的參數 (signal-independent 或 memory-less)，並不與轉換器輸入訊號的頻率有關，所以稱之為靜態參數。另外相對於靜態參數的描述就是與輸入訊號相關的 (signal-dependent) 動態參數 (Dynamic Parameters)，主要是用來特徵化資料轉換器在實際的操作環境下，對於各種不同頻率的輸入訊號所能反映出

的效能，由於通訊系統當中的資料轉換器通常都會操作在較高的頻帶範圍，因此動態參數可以評估資料轉換器真實呈現的轉換效能。常見的動態參數包含訊號對雜訊比 (Signal-to-Noise Ratio, SNR)、訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數 (Effective Number Of Bits, ENOB)、總諧波失真 (Total Harmonic Distortion, THD)、無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR)、有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) 與動態範圍 (Dynamic Range, DR) 等。

2.2.2.1 量化雜訊 (Quantization Noise)

在討論各種動態參數之前，必須要先知道的是 ADC 進行轉換過程中會發生的量化誤差 (Quantization Error)，量化誤差是由於 ADC 「有限的解析度 N 」而限制了該轉換器的訊號對雜訊比 (Signal-to-Noise Ratio, SNR)，這裡要強調的是有限解析度的觀念，因為 ADC 的轉換主要就是量化 (Quantize) 的結果，有限解析度 N 導致有限的 V_{LSB} 大小，因此當輸入類比電壓座落在某兩個連續使輸出數位碼轉態 (transition) 的範圍內，該類比電壓都會被解析成此範圍內所對應到的數位結果，也就是說只要在該電壓範圍裡，不管輸入的電壓大小為何，都一律被解釋成相同的輸出，這之間的誤差就是量化誤差。

要注意的是，即使具有理想轉換曲線的 ADC 也會因有限的解析度而產生量化誤差，圖 2.9 顯示一具有理想特性轉換曲線的三位元 ADC 所產生量化誤差的說明，假設輸入 V_{in} 為斜坡 (ramp) 形式的類比訊號 (圖 2.9 左圖之斜虛線)，而產生階梯狀 (staircase) 形式的輸出 V_{out} (圖 2.9 左圖之實線)，取 V_{out} 與 V_{in} 之差 ($V_{out} - V_{in}$) 可得到圖 2.9 右上方圖的量化誤差 V_Q 之結果，由於 V_Q 的響應類似雜訊般不斷上下變化，因此也常稱為量化雜訊

(Quantization Noise)。

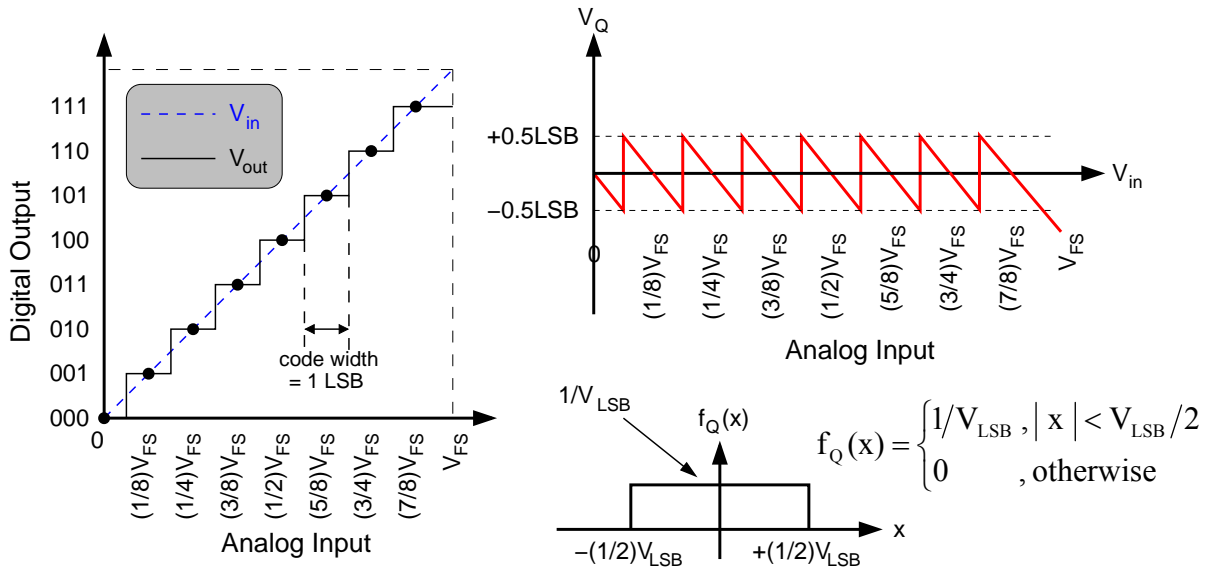


圖 2.9 ADC 之量化雜訊 (Quantization Noise)

量化雜訊 (V_Q) 的重要特性是其大小都被限制在 ± 0.5 個 LSB 之內，也就是在 $-(\frac{1}{2})V_{LSB} \sim +(\frac{1}{2})V_{LSB}$ 之間變化，更一般化定量 V_Q 的大小的方法是用統計的方式來描述，假設輸入訊號不是單純的斜坡函數輸入，而是大小在 V_{FS} 內快速變化的隨機訊號，使得隨機變數 V_Q 將均勻分佈 (uniform distributed) 在 $-(\frac{1}{2})V_{LSB} \sim +(\frac{1}{2})V_{LSB}$ 以內，且 V_Q 的平均值為 0 ($V_{Q(av)}=0$)，對應的機率密度函數 (Probability density function) $f_Q(x)$ 如圖 2.9 右下圖所示，從中計算 V_Q 的均方根 (root-mean-square) 值，如數學式 (2.9) 所示。

$$V_{Q(rms)} = \left[\int_{-\infty}^{\infty} x^2 f_Q(x) dx \right]^{\frac{1}{2}} = \left[\frac{1}{V_{LSB}} \int_{-V_{LSB}/2}^{V_{LSB}/2} x^2 dx \right]^{\frac{1}{2}} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.9)$$

了解量化雜訊的均方根值之後，可計算 ADC 「單純因量化雜訊」所導致的訊號對雜訊比 (Signal-to-Noise Ratio, SNR) 之結果。首先假設輸入訊號是在 V_{FS} 範圍內由最小值增加到最大值且重複不斷的鋸齒波 (sawtooth) 訊號，如圖 2.10 所示。

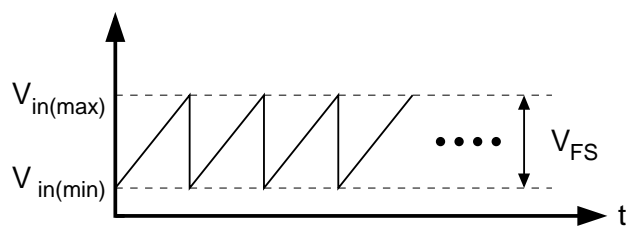


圖 2.10 鋸齒波 (sawtooth) 訊號

可計算此訊號的均方根值為 $V_{FS}/\sqrt{12}$ ，進一步求得 SNR 為：

$$SNR = 20 \log_{10} \left(\frac{V_{in(rms)}}{V_{Q(rms)}} \right) = 20 \log_{10} \left(\frac{V_{FS}/\sqrt{12}}{V_{LSB}/\sqrt{12}} \right) = 20 \log_{10} (2^N) = 6.02N \text{ (dB)} \quad (2.9)$$

而當輸入訊號變成在 V_{FS} 範圍內由最小值到最大值之間變化的弦波 (Sinusoidal) 時，此時輸入訊號的均方根值變為 $V_{FS}/2\sqrt{2}$ ，SNR 為：

$$SNR = 20 \log_{10} \left(\frac{V_{FS}/2\sqrt{2}}{V_{LSB}/\sqrt{12}} \right) = 20 \log_{10} \left(\sqrt{\frac{3}{2}} \times 2^N \right) = 6.02N + 1.76 \text{ (dB)} \quad (2.10)$$

其中 N 為解析度。比較 (2.9) 與 (2.10) 的結果，可知當輸入為弦波訊號時，可得到比鋸齒波訊號還多 1.76dB 的 SNR 值。而從 (2.10) 式可知當解析度 N 每增加 1-bit，SNR 便可增加約 6dB，這也相當直觀的可以从 ADC 的特性轉換曲線中了解當解析度 N 愈高時，量化雜訊也就會愈小，進而使 SNR 獲得較高的結果。另外式 (2.10) 的結果： $SNR = 6.02N + 1.76 \text{ (dB)}$ 常被用來描述 N -bit ADC 所能達到的最大 SNR 值 (Peak-SNR, PSNR)。

2.2.2.2 訊號對雜訊比 (Signal-to-Noise Ratio, SNR)

訊號對雜訊比 (Signal-to-Noise Ratio, SNR) 是指訊號與雜訊的比值，前一小節討論到的 SNR 中，雜訊功率是只有量化雜訊的部份，然而對一個實際的 ADC 來說，轉換過程中除了量化雜訊之外還會有電路本身所產生的雜訊以及因溫度造成的熱雜訊 (Thermal Noise)，因此當計算到這些所有雜

訊功率總和之後求得的 SNR 值，才會是真正 ADC 所能呈現的 SNR，通常要觀測計算這些總雜訊功率的量可以從頻譜上的結果來求得，常見的方法是將 ADC 的輸出訊號經由快速傅立業轉換 (Fast Fourier Transform, FFT) 到頻域中，計算加總輸入訊號可能出現的頻率範圍內所有的雜訊功率，以 Nyquist-rate ADC 來說，所關心的頻率範圍就是 DC 到 Nyquist 頻寬內所有雜訊的總和。而訊號功率是指 ADC 輸出的訊號頻譜中，座落在與 ADC 輸入訊號頻率相同位置上的音調 (Signal tone) 之功率。另外對 DAC 來說，雖然沒有量化雜訊的影響，但電路雜訊與熱雜訊依然存在，因此利用類似的方式可以計算得到 DAC 的 SNR。圖 2.11 顯示了一個頻譜的例子，主要輸入訊號的音調 (Signal tone) 以及雜訊水平 (Noise floor) 都清楚的被標示出，根據此圖可以簡單的將 SNR 表示成式 (2.11) 的形式。

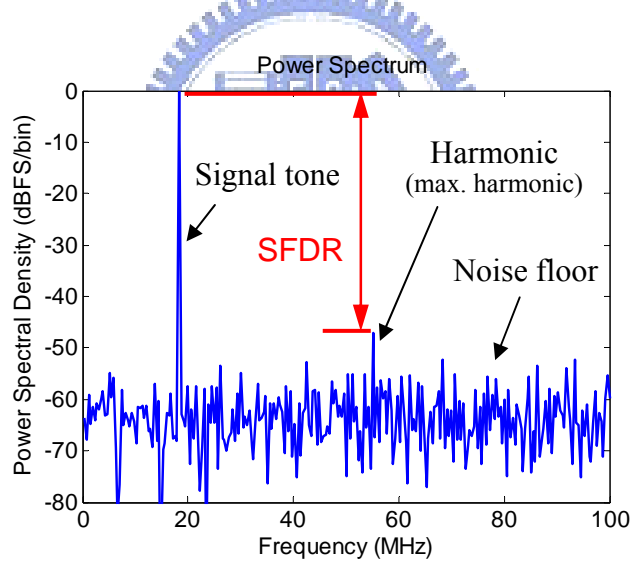


圖 2.11 非理想之 6 位元 ADC 輸出訊號頻譜

$$SNR = 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{noise}} \right) = 10 \cdot \log_{10} \left(\frac{\text{Signal Power}}{\text{Total Noise floor Power}} \right) \text{ (dB)} \quad (2.11)$$

2.2.2.3 訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR)

訊號對雜訊失真比 (Signal-to-Noise and Distortion Ratio, SNDR, 或 SINAD) 的定義與 SNR 類似，差別在於 SNDR 除了將所有的雜訊功率加總之外，還多加入了頻譜上可能出現的多次諧波失真 (Harmonic Distortion)，因為電路本身有許多非線性因素，使得最後轉換器輸出的頻譜中出現諧波失真的訊號，將這些個別的諧波訊號加總得到總諧波失真功率 $P_{\text{harmonics}}$ 再與總雜訊功率 P_{noise} 相加作為主訊號 (Signal tone) 以外的干擾量。圖 2.11 也標示出了諧波的位置，對應的數學式顯示在 (2.12) 式。

$$\begin{aligned} SNDR &= 10 \cdot \log_{10} \left(\frac{P_{\text{signal}}}{P_{\text{noise}} + P_{\text{harmonics}}} \right) \\ &= 10 \cdot \log_{10} \left(\frac{\text{Signal Power}}{\text{Total Noise and Distortion Power}} \right) \text{ (dB)} \quad (2.12) \end{aligned}$$

由於 SNDR 比起 SNR 還多計算了諧波的功率，因此 SNDR 參數除了可以看到雜訊的影響之外，還可以得知非線性諧波失真的影響程度，此參數是資料轉換器中相當常見的參數，也是最嚴苛最重要的指標參數之一。

2.2.2.4 有效位元數 (Effective Number Of Bits, ENOB)

有效位元數 (Effective Number Of Bits, ENOB) 的計算是根據式 (2.10) 的結果： $SNR = 6.02N + 1.76$ (dB)，不同解析度的轉換器將得到不同的最大 SNR 值，然而對於真實的轉換器而言，輸出訊號的頻譜可能存在若干因電路非線性的失真或是其他互調失真等的諧波訊號，此種情形用 SNDR 的結果來評估電路的真實效能會比較客觀的標準，因此式 (2.10) 可被修正成：

$$SNDR = 6.02N + 1.76 \text{ (dB)} \quad (2.13)$$

其中也是假設輸入為弦波訊號的前提下得到的結果。從實際量測到的頻譜

中計算得到的 SNDR 再代入式 (2.13)，便可從該頻譜得知受測的資料轉換器究竟具備多少「有效的」解析度能力，也就是有效位元數 N ，因此可以定義出一個資料轉換器的有效位元數為 (2.14) 式：

$$ENOB = \frac{SNDR - 1.76}{6.02} \text{ (bits)} \quad (2.14)$$

SNDR 與 ENOB 是最直接能表示資料轉換器實際效能的參數，因為可以直接看出設計的資料轉換器是否能達到原始設計規格所定義的解析度程度，而且也透露出此轉換器線性度的好壞。

2.2.2.5 總諧波失真 (Total Harmonic Distortion, THD)

總諧波失真 (Total Harmonic Distortion, THD) 是指在輸入訊號可能出現的頻帶範圍內 (對 Nyquist-rate 的資料轉換器而言就是 DC 到 Nyquist 之間的頻寬)，所有諧波訊號功率的總和對主輸入訊號 (Signal tone) 功率的比值，數學式可以寫成 (2.15) 式：

$$\begin{aligned} THD &= 10 \cdot \log_{10} \left(\frac{P_{\text{harmonics}}}{P_{\text{signal}}} \right) \\ &= 10 \cdot \log_{10} \left(\frac{\text{Total Harmonic Distortion Power}}{\text{Signal Power}} \right) \text{ (dB)} \quad (2.15) \end{aligned}$$

誠如先前所述，諧波訊號的產生可能是因為電路的非線性失真或其他互調失真等所導致的，透過 THD 的描述可以知道轉換器在各種不同頻率下，非線性影響的程度有多少。

2.2.2.6 無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR)

無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR) 定義的是在輸入訊號可能出現的頻帶範圍內，主輸入訊號 (Signal tone) 功率對最大的

假訊號 (Spurious) 或最大的諧波訊號 (Harmonic) 功率的比值，如式 (2.16) 所示，且單位為 dBc (in dB with respect to carrier)，圖形上的說明如圖 2.11 所繪。

$$SFDR = 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{spurious(max)/harmonic(max)}} \right)$$

$$= 10 \cdot \log_{10} \left(\frac{\text{Signal Power}}{\text{Largest Spurious or Harmonic Power}} \right) \text{ (dBc)} \quad (2.16)$$

Spurious (或簡稱 Spur) 係指頻譜中的突刺，這些明顯高於雜訊水平 (Noise floor) 的突刺可能是先前提及的各種諧波訊號，包含非線性失真諧波、互調失真諧波以及時序取樣點誤差所造成的諧波等等，由於通常這些諧波訊號的功率比雜訊還來得高許多，所以有時候可能會被其他頻帶的接收端給監聽到，因此也被稱為假訊號。

2.2.2.7 有效解析度頻寬 (Effective Resolution Bandwidth, ERBW)

有效解析度頻寬 (Effective Resolution Bandwidth, ERBW) 係指當轉換器的輸入訊號頻率不斷增加到某個值時，使 SNDR 的響應相較於輸入訊號為低頻時下降 3dB 點的位置 (以 ENOB 來看就是減少 0.5bit 之時)，就是該轉換器的 ERBW，換句話說，從 SNDR 對輸入訊號頻率的圖 (SNDR vs. Input frequency plot) 來看，假設低頻輸入訊號時的 SNDR 為 $SNDR_{low-freq}$ ，當 SNDR 的值變成 $(SNDR_{low-freq} - 3dB)$ 之時所對應到的輸入訊號頻率位置便是 ERBW 的結果，此參數主要是用來描述該資料轉換器所能處理的最大輸入訊號頻寬，對 ADC 而言，ERBW 通常受限於輸入級類比電路的頻寬以及 ADC 的最大取樣率 (maximal sampling frequency)。以 Nyquist-rate 的資料轉換器來說，其最大可能的輸入訊號頻率為 Nyquist-frequency，其值為取樣頻率的一半，因此良好的設計可使 ERBW 達到 Nyquist-frequency，意即該

資料轉換器能處理的輸入訊號頻寬可達理論值上限的 Nyquist-frequency。

另外計算 ERBW 時要注意的是通常下降 3dB 點的參考對象是低頻時候的 SNDR，而不是以理論上 N 位元資料轉換器所具備的最大的 SNDR (Peak-SNDR, $SNDR_{peak} = 6.02N + 1.76$) 為參考。

2.2.2.8 動態範圍 (Dynamic Range, DR)

動態範圍 (Dynamic Range, DR) 定義為在固定某個輸入訊號的頻率下, 作出 SNDR 對輸入訊號振幅(通常以 dBFS 來表示)的圖(SNDR vs. Input amplitude level plot), 找出有最大 SNDR (Peak-SNDR) 時的輸入振幅到最小可被偵測到訊號時的 SNDR 值(通常為 SNDR=0 之時), 這兩者之間的範圍就是動態範圍。對實際的資料轉換器來說, 通常可以得到最大 SNDR 的輸入振幅之位置都會略小於滿刻度電壓位準 (V_{FS} , 0-dBFS), 以數學式表示則如式 (2.17), 簡單的示意圖如圖 2.12 所示。

$$DR = 10 \cdot \log_{10} \left(\frac{P_{signal(max)}}{P_{signal(min)}} \right) = 10 \cdot \log_{10} \left(\frac{\text{Maximum signal power}}{\text{Smallest signal power}} \right) \quad (2.17)$$

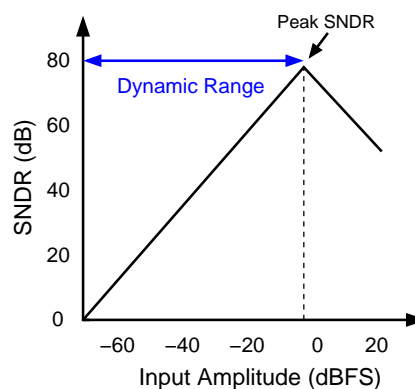


圖 2.12 動態範圍 (DR) 示意圖

2.3 ADC 及 DAC 各種架構簡介

本節將對常見 ADC 與 DAC 之架構做簡單的介紹，主要提及各架構所具備的特性，但並不對各種架構做深入的探討。

2.3.1 ADC 之各種架構

ADC 的架構相當多種，每種架構都有不同的特性，分別應用在各種不同的場合當中，ADC 的種類與特性主要都以解析度與取樣速度來做粗略的劃分，理想的轉換器其解析度與取樣速度當然都是越高越好，然而實際情形中，兩者往往卻是互相違背的，高解析度的設計就難以達到高取樣率的要求，而高速的取樣率也使得解析度的發展被侷限住。因此以這個指標來區分，大概可區分成三類，如表 2.1 所示。

表 2.1 列出的數種架構中，較為常見的只有 Oversampling (超取樣) 的 Σ - Δ (sigma-delta) ADC、Successive-approximation (連續漸進式) ADC、Flash (快閃式) ADC 以及 Pipelined (管線式) ADC。 Σ - Δ ADC 主要是利用 DSP 的技巧改變頻譜中量化雜訊的分佈，透過雜訊整形 (Noise-Shaping) 將雜訊推往較高頻的部份，之後經由數位濾波器隔絕掉大部分的雜訊能量，使得主訊號 (Signal tone) 出現的低頻段範圍內可以有較佳的 SNR 結果， Σ - Δ ADC 可以提供超過 20bits 精確程度的解析度，但容許的訊號頻率範圍也相對的較小，通常被應用在低速音頻訊號的領域中；Successive-approximation ADC 的操作速度可以較快一些，但由於製程上的若干限制使得可達到的解析度受到限制，只能提供中高等級的解析度，然而此種 ADC 最大的特點是在可允許的解析度範圍內，不論解析度為何，整個 ADC 內只有一個比較器 (Comparator) 來轉換訊號，所以使得此類 ADC 除了具備速度稍快的優勢之外，能達到低耗能 (Low power) 的特點是其最

主要的賣點，且多增加位元數所帶來的硬體功率消耗並不會成等比例的增加，因此 Successive-approximation ADC 常被應用於低耗能的場合，如可攜式的電子裝置，以提高電池的續航力。

表 2.1 依解析度與取樣率區分 ADC 之種類[18]

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
<ul style="list-style-type: none"> ■ Integrating ■ Oversampling (Σ-Δ) 	<ul style="list-style-type: none"> ■ Successive-approximation ■ Algorithmic (Cyclic) 	<ul style="list-style-type: none"> ■ Flash ■ Two-step ■ Interpolating ■ Folding ■ Pipelined ■ Time-interleaved

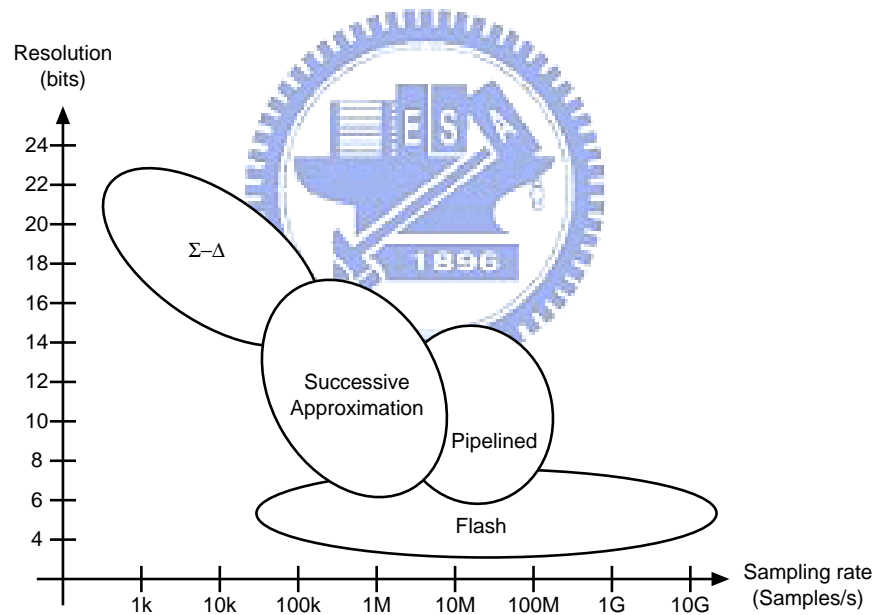


圖 2.13 各種常見 ADC 的架構與取樣速度之關係

而 Flash (快閃式) ADC 是最直接也最直觀的 ADC，其使用一連串大量的比較器將輸入訊號直接解析轉換成對應的數位輸出訊號，因此非常適合在高速的應用場合中，欲達到 N-bit 的解析度就必須使用 (2^N-1) 個數的比較器，也因此會有大量的功率消耗以及過大的輸入寄生電容等問題，以設計積體電路的觀點來看，Flash ADC 只適合低解析度與相當高速的應用時

機；Pipelined（管線式）ADC 利用管線化平行處理的概念，將輸入訊號分級做轉換，任意時間裡每一級都不斷的在轉換訊號，使得操作速度可以較快，但仍無法達到 Flash ADC 的轉換速度，不過 Pipelined ADC 可提供高於 Flash ADC 程度的解析度，通常在 8~12 bit 而取樣率約為 100~200MHz 的應用中，Pipelined ADC 是相當好的選擇。此四種架構 ADC 的解析度與取樣速率的關係如圖 2.13 所示。

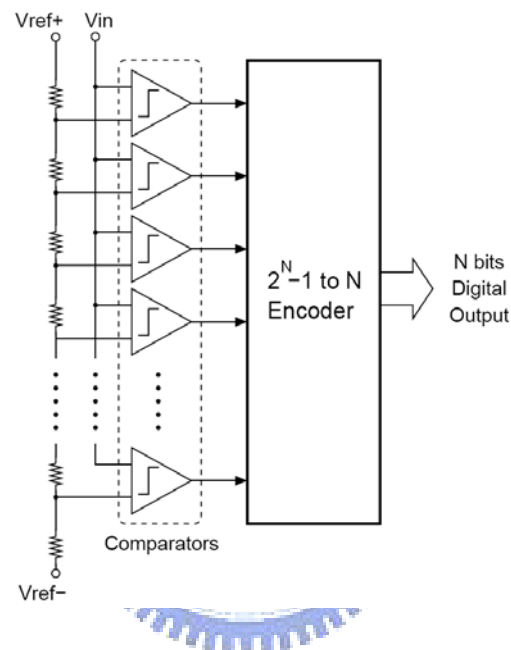


圖 2.14 基本 Flash ADC 之架構

從前面的討論中，可以知道對於我們需要的設計規格—10GS/s, 4-bit 的 ADC 來說，Flash 架構的 ADC 是最為適當的選擇，因此本論文所設計之資料轉換器對中的 ADC 即是使用 Flash 的架構。一個基本的 Flash ADC 架構簡圖如圖 2.14 所示， N -bit 的解析度需要 $(2^N - 1)$ 個比較器 (Comparator) 個數；輸入類比訊號直接連接到這一連串比較器的輸入端，每個比較器將輸入訊號與分壓電阻串 (Resistor ladder) 所產生的參考電壓 (reference voltage, V_{ref}) 作比較，對每個比較器而言，若輸入訊號大於對應的參考電壓時，則該比較器輸出為邏輯“1”，反之則輸出為邏輯“0”，正常情況下這些比較器的輸出會是隨輸入訊號變化的溫度計碼 (Thermometer code)，再經

由後續的編碼器便可得到 N-bit 的數位輸出。由於 Flash ADC 是用並列式的方式比較並轉換，每次轉換只需要一個取樣週期（或時脈週期，clock cycle）的時間就可以得到一筆數位輸出，所以幾乎是高速應用 ADC 首選的架構。

2.3.2 DAC 之各種架構

現今常見的 DAC 架構大致可區分為三類，分為電壓調變、電荷調變以及電流調變的方式，以此三種調變形式區分 DAC 之架構如表 2.2 所列。

電壓調變的 DAC 主要利用分壓電阻串將參考電壓 V_{ref} 劃分出數個與解析度相關的類比電壓準位，再透過輸入的數位訊號作為控制開關的訊號決定出哪個位準的類比電壓訊號應被送至輸出端，該輸出的類比電壓訊號之大小即代表輸入數位碼所應該對應到的類比輸出結果，因此可達到數位轉類比的目的，但此種依賴分壓電阻產生結果的 DAC 對於分壓電阻的準確度要求必須相當的高，尤其當考慮製程中電阻可能存在的誤差量時，就會使得此種 DAC 不適用於高解析度上的設計。

表 2.2 以調變形式區分 DAC 之種類

電壓調變	電荷調變	電流調變
<ul style="list-style-type: none"> ■ Resistor String ■ Folded Resistor String ■ Multiple Resistor String 	<ul style="list-style-type: none"> ■ Charge-Redistribution 	<ul style="list-style-type: none"> ■ Binary-Weighted Resistor ■ R-2R Based ■ Current-Mode Binary-Weighted code ■ Current-Mode Thermometer code

電荷調變式的 DAC 使用電容陣列儲存 2 的冪次方大小的電荷量，透過輸入的數位訊號作為控制開關的訊號，以控制各個電容作重置與重新分佈電荷（Charge-Redistribution）的動作，同時利用高精確度的運算放大器（OP）具備的輸入端虛短路（Virtual Short）的特性，將每次重新分佈電荷的結果

轉移到運算放大器負回授路徑的電容上，進而產生相對於輸入數位訊號的類比電壓。但實際設計上也會因製程的偏移等原因使得各個電容大小不會正好為 2 的冪次方的關係，造成儲存的電荷量大小產生誤差，使輸出結果受影響，且過大的電容值將會佔用相當大的晶片面積之外，也會限制可達到的轉換速度。

電流調變式 DAC 使用輸入數位訊號控制開關決定將有多少電流量會流向輸出電阻，以便決定輸出類比電壓的大小。要產生如此形態的電流有幾種方式，如果是採用直接二進位碼 (Binary code) 的控制方式的話，電流源就必須呈現 2 的冪次方大小 (binary-weighted current sources) 的關係，可藉由設計 2 的冪次方的電阻，然後在相同跨壓下產生 2 的冪次方的電流，另一方面也可直接設計具備 2 的冪次方關係大小的主動式電流源，得到與前者相同的結果，適當的控制這些電流導通至輸出就可以完成數位至類比的轉換，但使用二進位碼的控制方式容易造成因數位碼的進位特性所導致的輸出突波 (glitch) 現象，影響 DAC 的準確性。為解決此問題，通常使用溫度計碼 (Thermometer code) 來控制電流開關會是較佳的選擇，討論溫度計碼的特性，以 N-bit 為例，將有 (2^N-1) 個數位輸入碼作為控制電流開關的訊號，所以每個電流源的大小就可以設計成一樣 (unary current sources)，且有較佳的匹配度，也可避免輸出產生突波的問題，且依此方式設計出的 DAC 預期會有較佳的 DNL 與 INL，同時可確保輸出呈現單調性 (monotonicity) 的優點，所以對於解析度要求不太高的設計，使用溫度計碼的方式會是較佳的解決方案。

前面所提及的架構中，電流調變式的 DAC 是目前速度最快的架構，顯然在我們所要設計的超高速—10GS/s DAC 當中，使用此種形式之 DAC 為最佳的選擇。電流源的選取當中，我們知道電流源的產生可以是被動式或主動式，被動式電流源的準確度將會受電阻的影響，所以對積體電路的設

計來說不是很好的選擇，而採用主動式電流的設計方式可以提供較高的準確度，且主動式電流的切換速度又可以較快，因此我們採用主動式電流源的電流調變 DAC 架構，此種架構的 DAC 一般都稱為 Current-Steering DAC，是目前轉換速度最快的架構，在高速、高解析度規格，Current-Steering 架構通常是設計 DAC 的首選，原因是 Current-Steering DAC 中不需要額外的放大器來做電流／電壓轉換的工作，需要的僅是一組電阻（通常是 50Ω ）來做電流／電壓轉換。而數位控制碼的選擇也就使用在低解析度設計上具備諸多優勢的溫度計碼，4bits 的情況下對應到 15bits 的溫度計碼，配合主動式電流源的設計示意圖如圖 2.15 所示，其中每個主動式電流源都提供相同大小的電流量，更詳細的電路設計以及設計上的考量將會在第三章加以分析與說明。

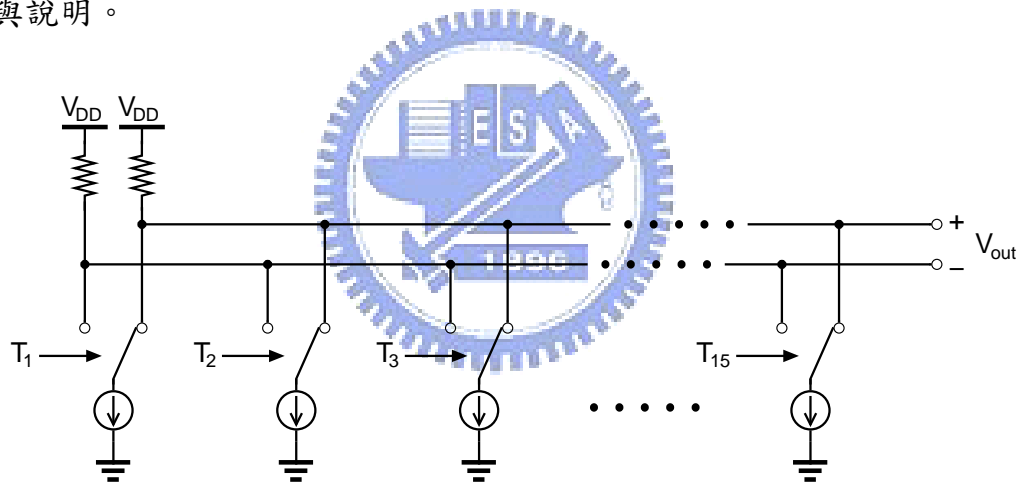


圖 2.15 溫度計碼式 Current-Steering (Unary Current-Steering) 示意圖

第三章

應用於前瞻串列式連結之 超高速資料轉換器對之設計

本章節將分析並討論此應用於前瞻串列式連結之超高速資料轉換器對 (Very High Speed Data Converter Pair for Advanced Serial Link Transceivers) 的設計，分為發送端的 DAC 與接收端的 ADC 兩部份來探討，兩者的主要設計規格都是定在每秒一百億次的取樣率且為四位元的解析度 (10GS/s 4-bit DAC & ADC)。許多高速電路在設計上容易遇到的問題以及我們所使用的解決方法都將會被提及並討論，詳細的設計考量也將一一說明。



3.1 10GS/s 4-bit 數位類比轉換器 (DAC) 之設計

圖 3.1 顯示整個 10GS/s 4-bit DAC 的方塊圖，使用具有最快轉換速度的 Current-Steering 架構。且為了要滿足超高速數位訊號的切換，所有的數位邏輯閘電路都是使用電流式邏輯 (Current Mode Logic, CML) 電路來設計。CML 電路為全差動 (fully-differential) 式的架構，除了具有較佳的抗共模雜訊干擾 (common-mode interference) 能力之外，也具備許多適用於數位訊號高速切換的優勢，這些 CML 電路詳細的特點將會在後續的章節中說明。

DAC 的輸入先經過一排的 CML Latch 將輸入的各位元訊號取樣並同步化，作時序上的校正 (retiming)，以確保輸入訊號的正確性，再透過格雷

碼轉溫度計碼解碼器 (Gray-to-Thermometer decoder) 將 4-bit Gray code 轉成 15-bit Thermometer code，其中由於 CML Latch 電路缺乏對後級電路的驅動能力，因此在輸入的 CML Latch 與 Gray-to-Thermometer decoder 之間插入了 CML 的 buffer，以解決推力不足的問題。解碼後的 Thermometer code 輸出再使用 15 個 CML Latch 將每個位元的訊號做同步，並用來控制輸出開關電流源電路，使輸出的 15 個開關疊接電流源可以被同時開啟或關閉，降低輸出發生突波 (glitch) 的可能性。

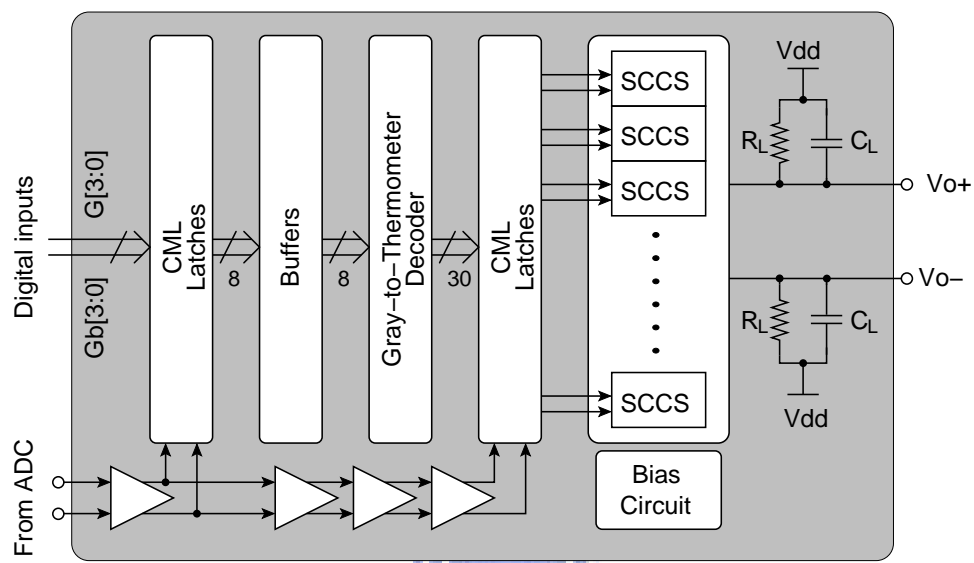


圖 3.1 超高速 10GS/s 4-bit 數位類比轉換器 (DAC) 之方塊圖

另外在轉換的過程中，訊號從輸入到輸出的轉換必定存在若干的延遲時間 (delay)，這些延遲的影響在高速取樣轉換的系統中顯得更為嚴重，以取樣率高達 10GS/s 的情形來說，半週期的時間只有 50ps，因此 DAC 數位電路部份的 critical path 所導致的延遲時間將非常容易超過容許的半週期時間範圍，因此在取樣時脈訊號的路徑上，我們使用常被應用在數位電路系統的 Wave-pipelining 技巧[24]，在最前端輸入的 CML Latch 以及控制開關電流源電路的 CML Latch 兩者的取樣時脈訊號之間，使用了一串 clock buffers，以補償這之間的延遲時間。而對於此種 DAC 架構影響效能最為關鍵的輸出開關電流源部份，我們採用開關疊接電流源 (Switched Cascode

Current Source, SCCS) 電路來設計製作，其比一般傳統的開關電流源有更高的低頻輸出阻抗 (output impedance) 以及較寬的阻抗頻寬，使高頻的響應可以較佳。且整個 DAC 也都為全差動的形式，可降低共模雜訊及偶次諧波失真 (even-harmonic distortion) 的干擾。另外 DAC 的輸出端設計了一個 on-chip 的 50Ω 終端電阻，目的是為了達成高頻操作時與負載的阻抗匹配。

3.1.1 電流式邏輯 (Current Mode Logic, CML) 電路

由於我們的設計必須操作在非常快的速度，所以數位電路的選擇上使用標準的 CMOS 邏輯電路並無法勝任如此高速切換的需求，因此我們使用高速電路設計中常見的電流式邏輯電路 (Current Mode Logic, CML) [25][26][27] 做為數位電路設計的基本邏輯閘。

簡單的 N 型 CML 電路結構的示意圖如圖 3.2 所示，具備一固定的電流源，同時為全差動式 (fully differential) 的架構，利用差動對 (differential pair) 結構的電路作為開關 (switches) 並根據輸入訊號的狀態來選擇將電流源 I 切換到輸出正端還是負端的提升電阻 (pull up resistances, R)，被切換流經電流的輸出端將產生 $\Delta V = I \times R$ 的壓降，邏輯上來看待就如同低準位的輸出狀態，而另一端輸出由於沒有電流流經，故輸出為 V_{DD} 的值，也就是高準位的邏輯狀態，所以單端輸出得到的擺幅 (swing) 大小為 ΔV ，因此適當的設計電流源 I 與負載值 R 的大小可得到所需的擺幅；可以知道的是，CML 電路所產生的擺幅大小無法達到軌對軌 (rail-to-rail) 的程度，也就是無法產生 V_{DD} 到 V_{SS} 之間如此大小的擺幅，且由於輸入是透過差動對的方式來切換電流源，因此差動輸入訊號的差值只需達到 $\sqrt{2}$ 倍的過驅動電壓 (overdrive voltage, V_{ov}) 大小時，就可使該差動對發生全切換 (fully switched)，將電流源完全的引導至某一邊的輸出，故可知 CML 電路的輸入和輸出都是可以在比較小的擺幅情況下操作，使得當訊號轉態切換從低準

位邏輯拉升至高準位邏輯或是由高準位邏輯轉換到低準位邏輯時所需的復原 (recovery) 時間可以較短，使操作速度可以較快。另外 CML 是透過切換電流的方式來得到電壓輸出的邏輯結果，電流的切換速度明顯快得許多，使得 CML 在高速數位電路的應用中更具吸引力，且相對的 CML 電路所消耗的功率也較低，這些都是 CML 本身固有的特色。

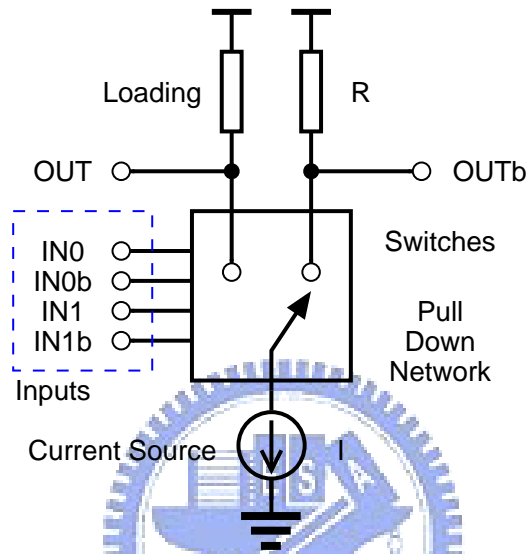


圖 3.2 基本電流式邏輯 (Current Mode Logic, CML) 電路之結構

在我們設計的整個 DAC 與 ADC 中，數位電路部份的邏輯都是使用 CML 來設計。圖 3.3 顯示了幾個我們使用到的 CML 電路，包含 Inverter/Buffer、AND/OR/NAND/NOR 以及 Latch，其中可看出 CML 的 Inverter/Buffer 就是一個簡單的差動放大器結構，只是這裡的差動對輸入是處理大訊號 (邏輯準位) 的情況，所以是用作開關使用，而不是訊號放大器的特性；而 CML AND/OR/NAND/NOR 為同一種電路，基本上該電路所要執行的邏輯函數為何，是由輸入訊號所給入的位置 (A, Ab, B, Bb 給定的位置) 與輸出訊號所抓取的位置 (Y, Yb 抓取的位置) 所決定，每組差動對的電晶體也是用作開關使用，其中我們多加入了一個恆為導通狀態的 dummy switch M6，目的是為了使兩端輸出往下看都可以看到相同數量的 MOS 電晶體疊接，可使輸出訊號較為匹配，電路也顯得較為對稱[28]。

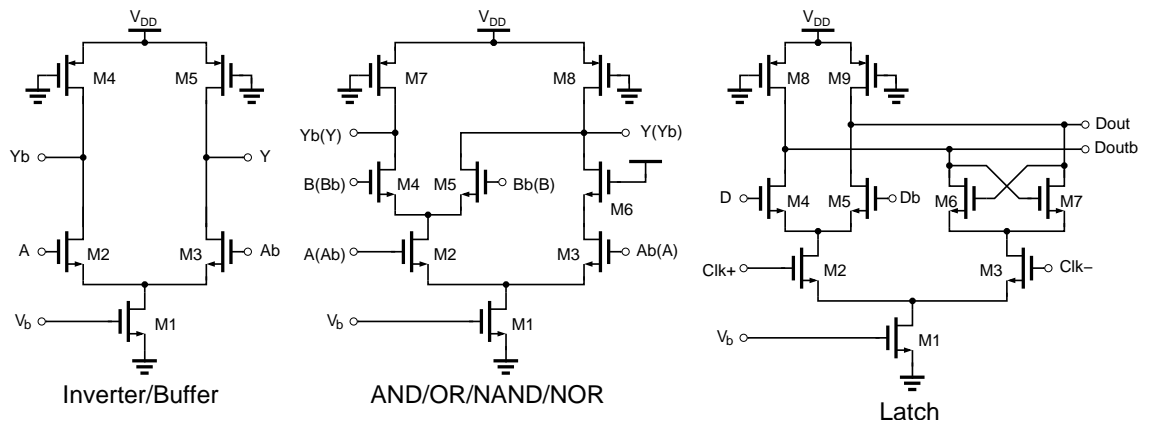


圖 3.3 各種常見之 CML 電路

另外值得一提的是 CML 電路因為具備固定的電流源，因此不論輸入訊號的狀態為何，從 V_{DD} 到 V_{SS} 之間總是有一固定的電流在流動，因此當發生邏輯轉態時產生的瞬間電流變化量並不明顯，這將使得電路中常見的電源跳動 (power/ground bounce) 問題可以大幅降低，反之傳統標準 CMOS 邏輯電路會在轉態時產生瞬間電流從 V_{DD} 或 V_{SS} 對負載作快速的充放電，使得瞬間的電流變化在 V_{DD} 或 V_{SS} 上出現，造成電源端產生明顯的跳動，且此跳動的頻率與輸入訊號變化的頻率成正比，當考慮實際電路中電源端的長導線所寄生的電感 (parasitic inductor) 或是實體晶片打線 (wire bonding) 的寄生電感時，由於電感的跨壓與電感大小以及電感上瞬間電流變化量成正比 ($V_L = L \frac{di}{dt}$)，此處瞬間電流變化量就可以看成是電源跳動的部份，因此可知當輸入訊號變化得越快，電源端的擾動變化也越快，造成寄生電感上的跨壓也就越大，使得實際電路所接受到 V_{DD} 與 V_{SS} 的電壓大小偏離原本供應的值，此現象如圖 3.4 所繪。因此可知，對於 CML 與標準 CMOS 邏輯電路而言，當輸入訊號頻率很高時，CML 電路產生的擾動會比 CMOS 邏輯電路還小得許多，再次凸顯出 CML 應用於高速電路的優勢。不過也由於 CML 的固定電流源，使得 CML 電路所消耗的功率與操作頻率無關，不同於 CMOS 邏輯電路的消耗功率與操作頻率成正比，但 CML 電路幾乎都是應用在高速的場合中，所以此問題的影響程度並不明顯。

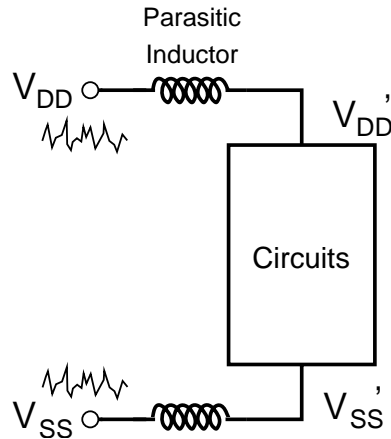


圖 3.4 電源擾動 (power/ground bounce) 經由寄生電感對電路產生之影響

3.1.2 數位電路之設計

DAC 最主要的電路部份就是中間解碼器的核心，而基於實際測試時的考量，整個測試晶片的設計將會是以 ADC 串接 DAC 的方式以利於量測(詳細原因將在第四章做說明)，且由於 ADC 編碼電路的編碼方式是使用較適合高速電路的 Gray code(理由將在後續作說明)，因此 DAC 必須接受 ADC 輸出的 Gray code 再進行解碼。另外輸出碼的形式使用先前第二章分析討論過可以降低 glitch error 以及得到較佳 DNL/INL 結果的 Thermometer code，因此 DAC 的數位電路部份便是將輸入的 Gray code 轉換成 Thermometer code，再控制 15 個電流源電路切換電流至輸出電阻，產生對應於輸入數位訊號的類比輸出電壓。在這樣的安排設計之下，Gray-to-Thermometer decoder 將 4-bit 的輸入轉換成 15-bit 的輸出，所以第一級 CML Latch 電路就必須設計能夠推動 15 組的解碼電路，這樣將會使得原本不具備太大驅動能力的 CML Latch 消耗相當大的功率，所以我們在 CML Latch 與 Gray-to-Thermometer decoder 之間使用了 CML 的 buffer 來解決此問題。為了達到高速切換能力以及降低電源抖動的干擾，解碼器的數位邏輯電路都是使用 CML 為基本 cell 所組合而成。

4-bit Gray-to-Thermometer decoder 由 15 組的組合邏輯 (combinational

logic) 電路所構成，每組電路將[G3:G0]的輸入分別轉成[T1:T15]的輸出，且都只使用 CML AND/OR (NAND/NOR) 的邏輯運算，為了不希望導致過大的延遲，整個 Gray-to-Thermometer decoder 都設計成只有兩個 gate delay，所以某些組的電路會使用具備 3 輸入的 CML AND/OR (NAND/NOR) 邏輯電路，至於這 15 組詳細的邏輯電路就不在此贅述。

3.1.3 輸出電流源之設計

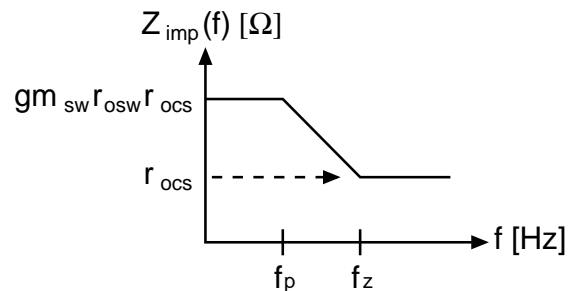
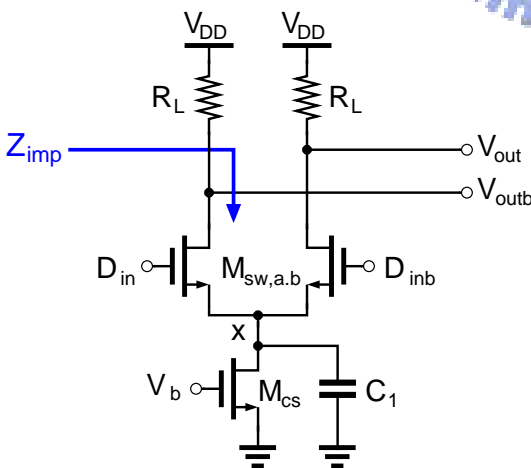
在 Current-Steering DAC 中，類比電路的部份主要由開關加上電流源所構成，而電流源的特性會直接影響 DAC 靜態及動態參數的好壞，例如若是電流源大小彼此不匹配，則會導致 DAC 顯現較差的 DNL 及 INL，也就是不夠線性，且如果電流源具備不夠的輸出阻抗，則 DAC 操作在較高的頻率下會造成動態參數的衰減[29][30][31]，因此對於 Current-Steering DAC 而言，電流源是最為關鍵的電路，因此選擇適當的電流源架構將有助於 DAC 之最佳化設計。

在佈局電路對稱的前提下，基本上每個電流源所引出的電流大小會相當接近，不過由於製程上的未知偏移還是會使電流源之間產生若干的誤差，對於此種錯誤可以使用校正 (calibrate) 電路的方式來修正電流源的誤差，例如具備開關電流源演算法 (Switched-Current Algorithmic) 的 Current-Steering DAC [18]，利用記憶電流源 (Memory cell) 的方式儲存正確的偏壓大小，再透過開關切換將正確的偏壓送至真實影響輸出訊號的電流源，可降低電流源大小誤差的程度；另外使用 DEM (Dynamic Element Matching) [32] 方式切換電流源的 DAC 可避免某些本身存在大量誤差的電流源總是被選擇到，使整體的精確度可獲得提升。然而透過電路修正技巧確實可得到高精確度的電流源，可設計實現高解析度的 DAC，但這些機制都不適用於非常高速切換的環境下，且由於高速、中低解析度 DAC 的設計

中，相對電流源準確度可容許的誤差範圍也較大，因此在我們 4-bit DAC 的設計中，輸出 15 個電流源的部份，將晶片佈局設計時盡量使走線及元件對稱匹配，期望可減輕降低可能發生的電流源不匹配問題。

另一方面，電流源有限的輸出阻抗 (finite output impedance) 也會大大地影響 Current-Steering DAC 的效能，實際開關電流源所具備的輸出阻抗是與輸入訊號相關的 (signal-dependant) 且會因電路寄生電容的影響使得輸出阻抗隨輸入訊號頻率增加而降低。這裡我們要更一般化的討論在高頻時電流源的輸出阻抗與輸入頻率變化的關係，考慮一般簡單的開關電流源如圖 3.5(a)所示，電晶體 M_{CS} 操作在飽和區 (saturation region) 產生固定電流且經由 $M_{SW,a,b}$ 根據輸入訊號切換選擇將此電流流經 V_{out} 或是 V_{outb} 的輸出；此種簡單的電流源能夠提供的輸出阻抗，也就是從輸出端看入的阻抗 Z_{imp} ，計算可得：

$$Z_{imp} = (1 + g_{msw} r_{osw}) \left(r_{ocs} \parallel \frac{1}{sC_1} \right) \cong g_{msw} r_{osw} r_{ocs} \frac{1 + j\omega C_1}{1 + j\omega C_1 r_{ocs}} \quad (3.1)$$



(a)

(b)

圖 3.5 (a)一般簡單之開關電流源與輸出阻抗 (b) 輸出阻抗之頻率響應

其中 C_1 等效為節點 x 到地所看到的總寄生電容。(3.1) 式顯示阻抗與頻率

為單一極點 (pole) 與零點 (zero) 的關係，極點頻率 $f_p = \frac{1}{2\pi r_{ocs} C_1}$ 且零點頻

率 $f_z = \frac{g_{msw}}{2\pi C_1}$ 。在一般的設計之中， $\frac{1}{r_{ocs}} < g_{msw}$ ，因此輸出阻抗的頻率響應如

圖 3.5(b)所示。低頻時的等效輸出阻抗約只有 $g_m r_o^2$ ，當頻率超過 f_p 時輸出阻抗的響應開始變小，直到超過 f_z 時輸出阻抗降到約只剩 M_{CS} 的小訊號輸出阻抗 r_{ocs} ，因此很明顯並不足以應用在相當高速的場合中，而且此種簡單的電流源電路會因輸入訊號切換差動對 $M_{SW,a,b}$ 之瞬間使電晶體通道內跑出的電荷導致圖 3.5(a)節點 x 產生相當程度的電壓變化 (ΔV_x)，致使 M_{CS} 定義出的電流源大小因其 V_{DS} 的變化發生通道長度調變的效應 (channel-length modulation)，造成電流源的不穩定。

為了解決這些問題，我們使用開關疊接電流源 (Switched Cascode Current Source, SCCS) [29]，如圖 3.6 的架構來設計，在主要電流源電晶體 M_{CS} 上疊接 M_{CAS} ，並在差動輸入開關 $M_{SW,a,b}$ 的上方也使用兩個恆為導通狀態的電晶體 $M_{SCA,ab}$ [33]，由於開關疊接電流源使用前級 CML Latch 的輸出作為控制訊號，而前級 CML Latch 因 10GHz 的高頻取樣訊號經由寄生電容所產生的時脈饋入 (feed-through) 效應，使得 CML Latch 輸出的數位訊號上帶有高速取樣訊號的擾動成分，因此若將此數位訊號直接用來切換電流源開關電晶體 $M_{SW,a,b}$ ，則此受到干擾的控制訊號源將會經由 $M_{SW,a,b}$ 的寄生電容 $C_{GD,SW,a,b}$ 耦合 (couple) 至輸出端，使最後輸出的類比電壓訊號上也帶有 10GHz 成分的擾動，因此藉由開關 $M_{SW,a,b}$ 上方疊接電晶體 $M_{SCA,ab}$ 的作用除了可降低此一干擾。此外也由於整個電流源設計的輸出共模準位在偏高的情況下，使得 $M_{SCA,ab}$ 操作在飽和區，進一步使得整個電流源的輸出阻抗可再增加約 $(g_{msca} r_{osca})$ 倍。

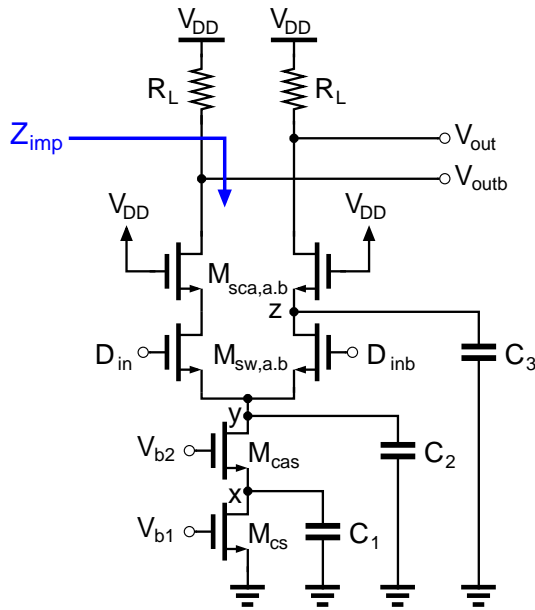


圖 3.6 開關疊接電流源（Switched Cascode Current Source, SCCS）電路

計算圖 3.6 開關疊接電流源的輸出阻抗，從輸出端往內看入的阻抗 Z_{imp} 約等於：

$$Z_{imp} \cong (g_{msca} r_{osca})(g_{msw} r_{osw})(g_{mcas} r_{ocas}) r_{ocs} \frac{1 + \frac{j\omega C_3}{g_{msca}}}{1 + j\omega C_3 r_{osw}} \frac{1 + \frac{j\omega C_2}{g_{msw}}}{1 + j\omega C_2 r_{ocas}} \frac{1 + \frac{j\omega C_1}{g_{mcas}}}{1 + j\omega C_1 r_{ocs}} \quad (3.2)$$

其中 C_1 、 C_2 與 C_3 各為節點 x、y、z 到地的等效寄生電容，式中顯示出經由雙重疊接（cascode）（ M_{cas} 與 $M_{sca,a,b}$ 之疊接）的作用使得電流源的輸出阻抗被放大約 $(g_m r_o)^2$ 倍，且為三個極點與零點的響應，一般設計情況下對應的阻抗頻率響應如圖 3.7 所示，可看出此種形式的電流源電路不論是低頻或高頻時都比前述的簡單形式電流源具有更高的輸出阻抗，對整個 DAC 而言可得到較佳的 SFDR 響應[29]，此外原本容易因輸入差動對開關 $M_{sw,a,b}$ 切換造成的通道電荷逸出對節點 x 的電壓擾動也因疊接 M_{cas} 的作用使得節點 x 產生的電壓變動量降低約為沒有疊接時的 $(g_m r_o)$ 倍，使得電流源電晶體 M_{cs} 獲得較穩定的 V_{DS} 電壓，進而產生較穩定的電流，因此使用疊接技巧對電流源電路的穩定性及準確性都可以獲得相當程度的提升。

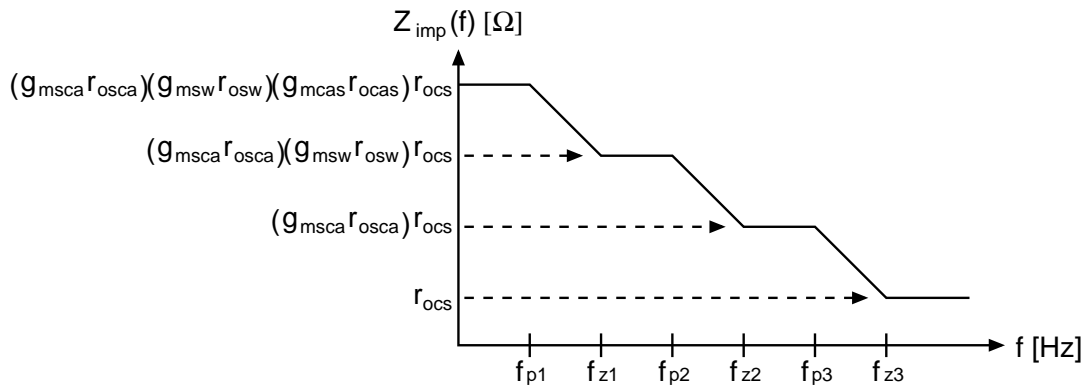


圖 3.7 開關疊接電流源輸出阻抗之頻率響應

圖 3.8 顯示經由解碼電路輸出 15bits 的 Thermometer code 再經由 CML Latch 後所連接控制的 15 組開關疊接電流源電路陣列 (SCCS Array)，其中輸出端的負載是設計成 on-chip 50Ω 的電阻，不過實際量測由於量測儀器也提供的 50Ω 輸入阻抗，所以 DAC 的輸出實際上是 double termination 的方式，因此單位電流源被切換流至的輸出負載會是 $50//50=25\Omega$ 的電阻值，而必須根據 25Ω double termination 的結果來設計單位電流源的電流量，使整個 DAC 的輸出可達到欲產生的擺幅 (swing) 大小。

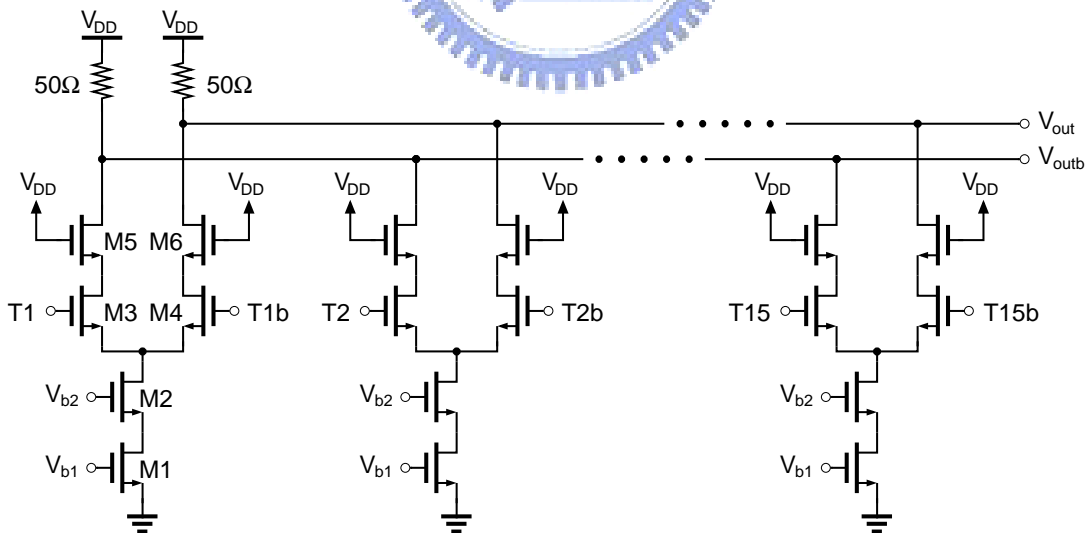


圖 3.8 開關疊接電流源電路陣列 (SCCS Array)

3.2 10GS/s 4-bit 類比數位轉換器 (ADC) 之設計

10GS/s 4-bit ADC 的方塊圖如圖 3.9 所示，誠如前一章所討論到的，若要設計相當高速且中低解析度的 ADC，則 Flash 架構會是最好的選擇，因此圖 3.9 所示的方塊圖正是 Flash 形式的架構。

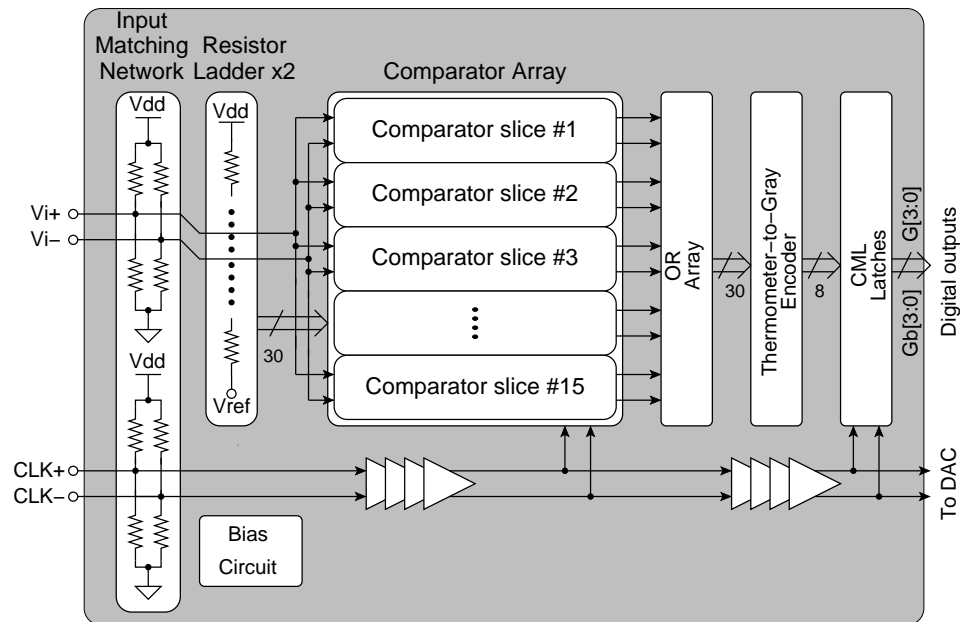


圖 3.9 超高速 10GS/s 4-bit 類比數位轉換器 (ADC) 之方塊圖

首先 ADC 的類比訊號輸入端與取樣時脈訊號的輸入端都是由一組分壓電阻所構成的網路，此組分壓電阻除了提供整個 ADC 輸入為 50Ω 的阻抗，以達成良好的匹配，使高頻訊號可以順利的輸入到電路當中之外，並將輸入端後級的電路偏壓在設計的共模準位 (common-mode level)。為了要達到如此高速操作的需求，在系統層次的設計上，我們使用了幾種方式來解決這些可能發生的問題。首先對於 Flash ADC 而言的輸入級比較器電路，是相當關鍵的部份，為了必須能夠處理承受高達數 GHz 的高速輸入訊號，所以比較器必須達到相當增益且足夠頻寬需求之設計，顯然可知只使用一般的 latch-comparator[17]是不足以應付這樣的應用需求，因此在我們比較器電路的設計當中，使用了多級串接 (multi-stage cascaded) 的方式作設計，使

得比較器增益與頻寬的需求可同時被滿足。而構成比較器的前置放大器（Pre-Amplifier）電路中，我們使用能有效提升放大器增益頻寬乘積（gain-bandwidth product, GBW）的主動式負回授（Active negative feedback）放大器[34]，以使得設計頻寬高達 5GHz 以內的類比輸入訊號都能夠被比較出結果並放大最後量化解析出正確的數位訊號；而在數位編碼器電路的設計方面，採用格雷碼（Gray code）的編碼方式，透過 Gray code 的特點可降低錯誤碼的發生機率。且為了要滿足超高速數位訊號的切換，所有的數位邏輯閘電路與 DAC 相同也都是使用 CML 電路來設計，達到最快的切換速度並降低 power/ground bounce 的干擾。

同樣由於輸入訊號經比較、放大並轉換的 propagation delay 時間以及比較放大後的數位訊號經過數位電路編碼的延遲時間也都相當容易超過半週期的 50ps，因此在 ADC 的取樣時脈訊號的路徑上，我們也使用了一連串 clock buffers 作 Wave-pipelining 的機制。將比較器的輸出以及整個 ADC 的最後輸出各使用一組電流式邏輯的 Latch（CML Latch）來取樣訊號，這中間編碼器的延遲時間就利用一串的 clock buffers 來做補償，將輸入的高速取樣訊號分級管線化傳遞下去，使得中間編碼器的延遲時間可以盡量被固定住，以降低 clock skew 對取樣時序的造成的負面影響，進而達到補償延遲過大的目的。整個 ADC 都為全差動的形式，可降低共模雜訊干擾或是電路的偶次諧波失真的影響。

大致說明整個 ADC 架構的主要特點之後，下面就分別將對各個比較主要 Block 的設計加以詳細說明。

3.2.1 分壓電阻串（Resistor Ladder）

在 Flash ADC 中，對每個比較器都必須提供一個直流的參考比較對象，通常這些參考電壓準位可以由一連串串聯的電阻所得到，根據所設計的解

析度 N 將滿刻度電壓 (V_{FS}) 範圍劃分出 (2^N-1) 個參考準位，供給輸入級 (2^N-1) 個比較器做比較，以得到輸入訊號與參考電壓準位比較之結果。對於每個分壓電阻值的選取，討論如下：

考慮圖 3.10 為一輸入訊號 (V_{in}) 與某參考電壓經由差動對 (differential pair, M1 and M2) 電路作比較的簡圖，理想上分壓電阻串產生的參考電壓 (V_{ref}) 應為固定不變的電壓值，然而實際上變動的輸入訊號將會透過 M1 及 M2 寄生的 C_{GS} 電容去耦合 (couple) 影響到參考電壓的值，此行為稱之為訊號的饋入 (signal feedthrough)，尤其當輸入訊號頻率越高時，經由寄生電容 feedthrough 產生的干擾越明顯，使參考電壓受影響的程度也就越大。

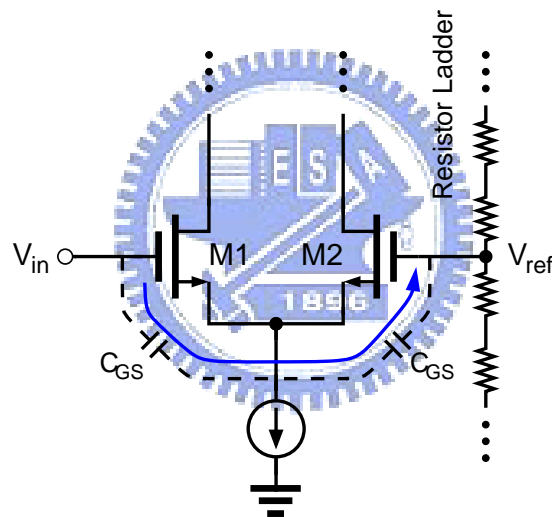


圖 3.10 變動的輸入訊號經差動對之寄生電容耦合 (couple) 至分壓電阻串

可經由等效電路的化簡得知在分壓電阻串最中間的點受影響的程度會最大，更一般化的表示這個現象，在[20]及[35]中有詳細討論到，並得到式 (3.3) 的結果，其中 V_{mid} 表示分壓電阻串最中間的點受到 feedthrough 影響而偏移原本應有之大小的差值， f_{in} 為輸入訊號的頻率， R 代表整個分壓電阻串所有電阻串聯的總和， C_{tot} 表示由輸入端 couple 到分壓電阻串上 V_{ref} 端點的的總寄生電容值，簡單的一個差動對從輸入到參考電壓節點看到的 coupling 電容為 $(1/2)C_{GS}$ ，若有 n 個並排的差動對連接到分壓電阻串上各自

的參考電壓節點，則總輸入端看到的 coupling 電容值為 $n(1/2)C_{GS}$ 。

$$\frac{V_{mid}}{V_{in}} = \frac{\pi}{4} f_{in} R C_{tot} \quad (3.3)$$

由式 (3.3) 可知，受影響的參考電壓之偏移量 (V_{mid}) 與 R 成正比，意即若希望 feedthrough 影響量小的話，則 R 值的選取就必須較小，但相對較小的 R 值會使得分壓電阻串上流經較大的電流，產生較大的功率消耗。經由進一步的推導可計算出參考電壓偏移量 (V_{mid}) 與解析度 (N)、輸入訊號頻率 (f_{in}) 以及總輸入端 couple 電容值 (C_{tot}) 之間對分壓電阻串最大總電阻值 ($R_{ladder,max}$) 之間的關係，如式 (3.4)，其中把 (V_{mid}/V_{in}) 寫成 $(\phi/2^N)$ 是為了將 feedthrough 的影響量換成以 LSB 為單位的表示方式，如此一來 ϕ 的值即為設計者對於分壓電阻串最中間的點所允許之最大的 feedthrough 量，通常可將 ϕ 設定為 1 個 LSB 的大小，去求得整個分壓電阻串所能使用的最大 R 值，值得一提的是，設定 $\phi = 1\text{LSB}$ 計算得到的總電阻 R 將是最差情況 (worst case) 下的討論，也因此設計時假定 $\phi = 1\text{LSB}$ 去計算 $R_{ladder,max}$ 將可得到較為妥善的結果。

$$R_{ladder,max} = \frac{4 \frac{V_{mid}}{V_{in}}}{\pi f_{in} C_{tot}} = \frac{4\phi}{\pi 2^N f_{in} C_{tot}} \quad (3.4)$$

3.2.2 比較器電路之設計

3.2.2.1 多級串接放大器的設計考量

對於我們的比較器電路設計，其至少必須要能夠提供約 25 倍也就是約 28 dB 的增益，此值的獲得是將最小的一個 LSB 的大小，也就是約 25mV，比較放大到 600mV 以上的擺幅 (swing)，所以計算可得將近需要 25 倍的增益；另一方面可估計輸入訊號最大的頻率約為 5GHz，也就是我們的應用

中，必須要設計出一個具有 25V/V 增益以及 5GHz 頻寬的比較器電路，顯然要達到這樣的設計目標，只使用單一級電路如 latched-comparator 的方式是無法達成的，單一級放大器的電路要同時滿足夠高的增益以及動輒數 GHz 的頻寬，除了會有功率消耗相當大的問題之外，即使達到頻寬的需求，卻也很容易使得電路的增益變得相當低。所以為了解決此問題，較合適的方法是使用多級串接的放大器 (multi-stage cascaded amplifier) 來達成，以數級相同或不同的放大器串接，每一級提供適當大小的增益以及相對足夠的頻寬，就會比較容易達成增益與頻寬的設計目標。這裡我們要討論的是，在滿足設計目標的需求下，如何選取串接放大器的級數以及怎樣形式的放大器增益級 (gain stage) 電路可以有較佳的功率效益 (power efficiency) 和較為實際、可實現的放大器增益頻寬乘積 (gain-bandwidth product, GBW)。尤其是我們的設計必須要達到 10GHz 的超高速而高速電路的設計往往會消耗掉驚人的功率，所以這些設計考量便顯得更為重要，因此能對多級串接的放大器做功率的最佳化，是在架構設計階段中不可或缺的考量。

常用放大器的選擇上，可以使用一階 (the first-order) 或二階 (the second-order) 的形式來設計，一階及二階電路的轉移函數 (transfer function) 顯示在表 3.1 中，此兩種形式的放大器各有較為適用的場合，我們主要就針對此兩種形式的放大器做探討，並選取出最適合我們設計規格所需的放大器類型以及放大器之架構。

表 3.1 一階及二階電路轉移函數之比較

The first-order	The second-order
$H(s) = \frac{A_0}{1 + s/\omega_0}$	$H(s) = \frac{A_0 \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2}$
A_0 : DC-gain ω_0 : -3dB bandwidth	A_0 : DC-gain ω_n : Natural frequency ζ : Damping factor

連續串接 (cascade) 多級相同的放大器，串接起來後整體放大器的頻寬 (BW_{CA}) 與單一級放大器所提供的頻寬 (BW_S) 之間的關係可以推導 [34][36][37]成：

$$BW_S = \frac{BW_{CA}}{\sqrt[2^m]{\sqrt{2}-1}} \quad (3.5)$$

其中 N 表示串接放大器所使用的級數， m 代表使用放大器的類型為一階或是二階的形式， $m=1$ 為一階的情況，而 $m=2$ 則為二階的情形；式 (3.5) 的結果中，要注意的是在二階情況的推導中，是假設該二階的放大器具有最大平坦響應 (maximally-flat response) 的特性，也就是 $\zeta = \sqrt{2}/2$ 的情形。

(3.5) 式明確指出了多級串接放大器提供的頻寬與單一級放大器頻寬之間的關係，故可知若欲設計之目標的為 BW_{CA} 定值，當串接的級數越多，則每一級放大器的頻寬 (BW_S) 就必須設計得越大。而對於一個放大器來說，頻寬增益乘積 (gain-bandwidth product, GBW) 在相同的功率下趨近一個定值 (constant)，因此只從頻寬的關係來討論是不足以描述某種架構的放大器形式在某一 N 值的選擇下，計算得到每一級所需要的頻寬是否貼近真實電路設計時可實現的情況，所以為了更一般化得到放大器確切能達到的增益跟頻寬，將 (3.5) 式改成用增益頻寬乘積來表達會是較好的方式，可直接評估出可達到的 GBW 是否較為實際。以 GBW 改寫後得到的結果如式 (3.6) 所示 [38][39]，其中 $GBW_S = A_S \times BW_S$ ，為單一級放大器的 GBW， A_S 為單一級放大器的低頻增益 (DC-gain)， A_{CA} 為整個多級串接放大器的低頻增益，且 $A_S = (A_{CA})^{\frac{1}{N}}$ 。

$$GBW_S = BW_{CA} \times \frac{\sqrt[2^m]{A_{CA}}}{\sqrt[2^m]{\sqrt{2}-1}} \quad (3.6)$$

將 (3.6) 式對 N 微分，可得到構成某多級串接放大器的每一級放大器最小

所需 GBW_S 所對應到的最佳化級數 (N_{opt}) 的結果[36]，如下式 (3.7)：

$$N_{opt} = \frac{\ln 2}{\ln \left(\frac{\ln A_{CA}}{\ln \sqrt[2^m]{2} / A_{CA}} \right)} \quad (3.7)$$

也就是說，使用 N_{opt} 的級數所設計的多級串接放大器，則每級的放大器所需的 GBW 會是最小的結果，可用來評估計算得到的 GBW 在某特定製程下是否為實際可實現的要求。另外使用最小要求 GBW 的設計可以減輕設計時的困難度；但如果單純只依 N_{opt} 的結果來設計多級串接放大器是不夠完善的，為了做最佳化的設計，除了 GBW 的變化之外，還有必須要考慮到的因素是多級串接放大器使用各種不同的級數與整體功率消耗 (power) 之間的關係。簡單分析一個 CMOS 的共源極電壓放大器 (common-source amplifier)，考慮放大器的轉導 (transconductance) 為 g_m ，輸出負載電容為 C_L ，偏壓電流為 I_D ，這樣的放大器近似的增益頻寬乘積 (GBW) 可寫成式 (3.8) 的形式：

$$GBW = \frac{g_m}{C_L} \propto \frac{\sqrt{I_D}}{C_L} \quad (3.8)$$

因此從 (3.8) 式可以概略的估計出連續串接 N 級的多級放大器，可能的總功率消耗 ($Power$) 約可近似寫為[38]：

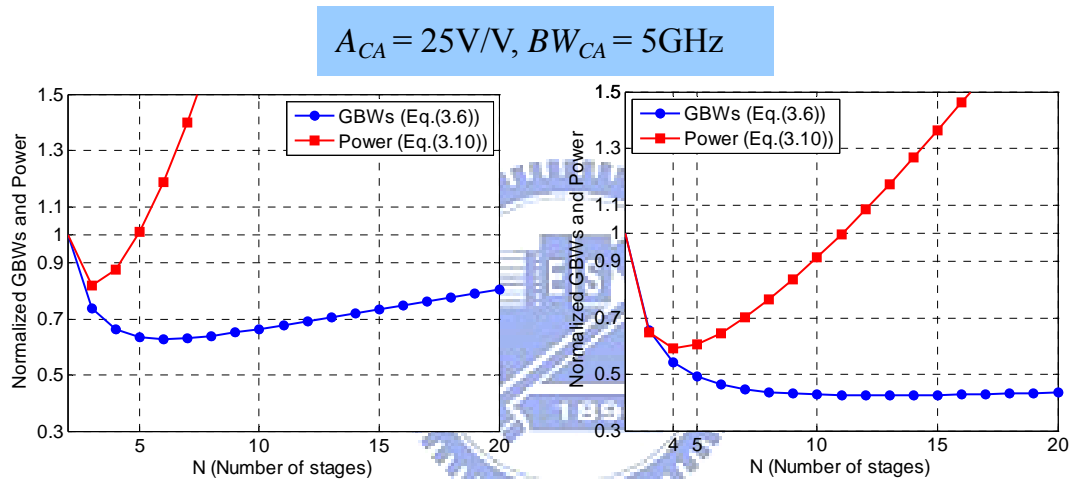
$$Power = \alpha \times N \times (GBW)^2 \quad (3.9)$$

其中 α 為與電路相關的某個正比係數 (proportional factor)，將 (3.9) 式對 α 作 normalize，可得：

$$Power = N \times (GBW)^2 \quad (3.10)$$

因此可利用 (3.10) 式的結果去更進一步描述多級串接放大器可能的總功率

消耗。由 (3.6) 與 (3.10) 式的結果，可畫出多級串接放大器其 GBW_S 與 $Power$ 對不同級數 N 之間個關係圖。我們分別以一階及二階放大器的情況下進行討論，且給定我們的設計條件：整個多級串接放大器構成的比較器須要提供至少約 25 倍 ($A_{CA} = 25V/V$)，且至少要有超過 5GHz 的頻寬，即 $BW_{CA} = 5GHz$ ；套入這些條件，進行模擬並將模擬得到之 GBW_S 與 $Power$ 的結果各自對 $N=2$ 時的 GBW_S 與 $Power$ 做正規化 (normalized)，畫出正規化後的 GBW_S 與 $Power$ 對級數 N 的結果如圖 3.11(a)的一階放大器情形與 3.11(b)的二階放大器情況所示。



(a) With the first-order amplifiers (b) With the second-order amplifiers

圖 3.11 模擬之 GBW_S 與 $Power$ 對 N 的關係圖 (對 $N=2$ 做正規化)

從圖 3.11(a)一階放大器的設計情形的關係可看出，導致有最低 GBW_S 的串接級數之 N 值為 6，然而此時對應到 $Power$ 曲線的結果卻是一個較大功率消耗的情形；即使在同一張圖中具有最低功率消耗時之 N 值所對應到的 GBW_S 大小，此 GBW_S 的值對於一個一階放大器的設計情形卻也是一個無法實現的值。顯然一階放大器的設計不是個良好的設計方式。

另一方面圖 3.11(b)二階放大器的設計情況中，導致有最低 GBW_S 的串接級數之 N 值為 13，而串接如此多數級的放大器會使得每一級只需約 2 倍 ($2V/V$) 大小的增益，這種每級較低增益的放大器 (low-gain-per-stage) 連

續串接將非常容易使得雜訊 (noise) 被快速的累積 (accumulate)，在已知有關多級串接放大器設計的文獻[34][37][38]上，一般都建議設計的級數不超過 5 級才是較適當的選擇。此外圖 3.11(b)中也可以清楚的看出當 N 超過 5 之後，整個多級串接的放大器其 $Power$ 曲線的變化呈現相當驚人的成長幅度，更加顯示出過多級數所造成的負面影響。且可看出當 $N > 5$ 之後 GBW_S 曲線的變化相對並不大，可知 $Power$ 的變化比 GBW_S 的變化來得明顯，因此我們根據 $Power$ 的曲線找出導致有最低功率消耗時的 N 值，當 $N = 4$ 時，對整個多級串接的放大器來說，可以有最低的功率消耗，且 GBW_S 的曲線在 $N = 4$ 與 $N = 5$ 的差異也不會變化太大，且以 $N = 4$ 作設計相較於 $N = 5$ 的設計可稍加提高每一級的增益，可對 noise 累積的問題有更好的降低效果。

且考量到我們所設計的 ADC 將需要相當多數的比較器及放大器，為了符合超寬頻的設計情形下，每個放大器必然需要具備足夠大的頻寬，勢必會消耗可觀的功率，因此以功率消耗的觀點作為級數 N 的選取依據，應是適當的設計理念。在這裡我們便選取 $N = 4$ 的設計級數作為整個多級串接放大器所需的級數。根據 $N = 4$ 代入式 (3.6)，而其他參數條件不變，得到每一級放大器最小所需的 GBW 約為 17GHz，如下圖 3.12 所示。

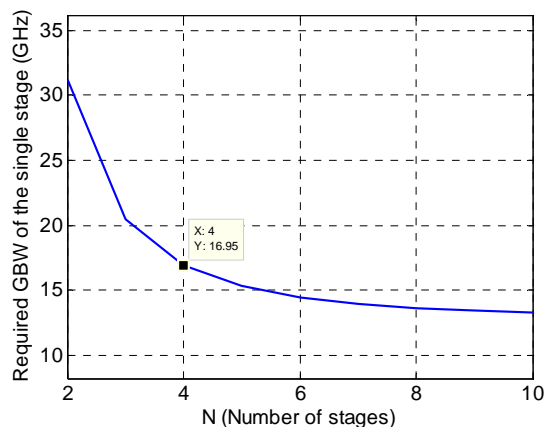


圖 3.12 $N = 4$ 時對應至所需之 GBW_S 約為 17GHz

3.2.2.2 Gilbert-Cell

對 Flash ADC 而言，輸入級比較器電路是前端類比電路中最为關鍵的部份。在超高速的比較器當中通常不會使用太複雜的電路架構，所以我們使用簡單的差動對來設計高速比較器的電路，此外為了達成全差動形式的訊號比較，所以我們使用兩組具有相同負載的差動對來達成，且為開迴路（open-loop）的形式，更適合於高速比較的應用，電路如圖 3.13 所示。此種形式的電路在射頻（Radio Frequency, RF）通訊積體電路的設計中也常被稱為 Gilbert-Cell。在設計上，M2、M3 及 M7、M8 的寬長比（ W/L ratio）會設計成一樣，且 M1 的寬長比也必須與 M6 相同，才能進行對稱的比較。在這樣的設計下，可知輸出對輸入的轉換關係可寫成

$$V_o = g_{m2,3} R_{on4,5} ((V_{in+} - V_{ref+}) - (V_{in-} - V_{ref-})) \quad (3.11)$$

其中 R_{on} 表示負載 M4 及 M5 的等效阻抗，式 (3.11) 指明出此電路的功能正是比較出輸入訊號與參考訊號的差值，並把該差值結果放大 ($g_m R_{on}$) 倍。

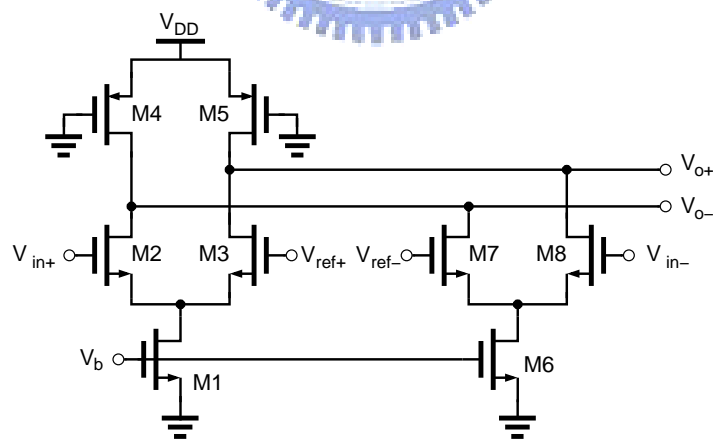


圖 3.13 輸入級比較器電路 (Gilbert-Cell) [40][41][42]

實際設計的考量上，由於所設計的 ADC 解析度為 4bits，在 V_{FS} 單端輸入為 400mV 的情況下，得到的一個 V_{LSB} 大小為 25mV，而輸入訊號的頻率將會高達數 GHz 的範圍，因此這樣的情形下，為了能順利正確的比較出

結果，此 Gilbert-Cell 較為適當的設計考量是電路的頻寬會較增益來得重要，加上此電路是整個 ADC 的輸入級，也必須注意到線性度 (linearity) 的問題，所以我們將 Gilbert-Cell 設計為具備低增益且超寬頻 (low-gain and wide-bandwidth) 的特性，使得輸入數 GHz 頻率範圍內的訊號都可被比較出結果。在這樣的設計下，Gilbert-Cell 輸出的最小差值訊號約為 1 個 LSB 的大小，這些差值可再經由後級連續串接的寬頻放大器作用，在很短的時間將微小的差值放大成數位電路可以判別的邏輯準位訊號。

由於 Gilbert-Cell 設計成低增益且超寬頻的特性，因此我們必須多考慮電路雜訊 (noise) 可能產生的干擾，分析圖 3.13 Gilbert-Cell 電路中單位頻寬輸出的雜訊電壓 (noise voltage per unit bandwidth, $\overline{V_{n,out}^2}$) 約等於：

$$\overline{V_{n,out}^2} \cong 8kT(2\gamma g_m R_{on}^2 + R_{on}) \quad (\text{V}^2/\text{Hz}) \quad (3.12)$$

其中只考慮佔雜訊成份中絕大多數的熱雜訊 (Thermal noise)，式子中 $k = 1.38 \times 10^{-23}$ (J/K) 為波茲曼常數 (Boltzmann constant)， T 為絕對溫度，單位為 $^{\circ}\text{K}$ ，一般室溫下 $T \cong 300$ $^{\circ}\text{K}$ ， γ 為 MOS 的製程參數， g_m 為輸入差動對 M2、M3 及 M7、M8 的轉導值 ($g_{m2} = g_{m3} = g_{m7} = g_{m8} = g_m$)， R_{on} 為負載 M4 及 M5 的等效阻抗，將 (3.12) 式除上電路增益的平方 ($\cong g_m^2 R_{on}^2$)，可得到單位頻寬的輸入相關雜訊電壓 (input-referred noise voltage per unit bandwidth) 為：

$$\overline{V_{n,in}^2} \cong 8kT \left(2\gamma \frac{1}{g_m} + \frac{1}{g_m^2 R_{on}} \right) \quad (\text{V}^2/\text{Hz}) \quad (3.13)$$

在 Gilbert-Cell 所設計的偏壓條件下，我們由 (3.13) 式計算當 $T \cong 300$ $^{\circ}\text{K}$ 且次微米 (submicron) 製程中， γ 約為 2.5 (以 0.25- μm 的製程參數而言) [43]

的情形下，單位頻寬的輸入相關雜訊電壓 $\overline{V_{n,in}^2}$ 約等於 $2.96 \times 10^{-17} \text{ (V}^2/\text{Hz)}$ ，因此我們所關心的頻寬範圍內（DC-5GHz），總輸入相關的雜訊電壓（total input-referred noise voltage）約為：

$$\overline{V_{n,in,tot}^2} = \overline{V_{n,in}^2} \times 5G \cong 1.48 \times 10^{-7} \text{ (V}^2\text{)}$$

開根號可得到總輸入相關雜訊電壓的有效值（ V_{rms} ）表示結果：

$$V_{n,in,tot} \cong 384.37 \mu\text{V}_{\text{rms}}$$

而利用 SPICE 對電路雜訊的模擬，結果顯示在 DC-5GHz 內的總輸入相關的雜訊電壓的有效值為 $311.35 \mu\text{V}_{\text{rms}}$ ，與手算的結果存在部分的差異，這主要應該是由於無法得知所使用製程之精確的 γ 值，但手算與模擬的結果也都顯示出雜訊的干擾量仍遠小於 1 個 LSB 的大小。

另外值得一提的是，圖 3.13 中差動輸入訊號（ V_{in+} 與 V_{in-} ）與差動型式參考電壓（ V_{ref+} 與 V_{ref-} ）的安排是比較好的結果[40]，因為如果把 V_{in-} 從 M8 的 gate 端改接到 M3 的 gate 端，而把 V_{ref+} 從 M3 的 gate 端移至 M8 的 gate 端，如此將很容易因為 V_{in+} 和 V_{in-} 之間如果發生差值很大的情況時，會造成 M2、M3 形成的差動對中有一顆電晶體進入截止（cut-off）工作區，使得電路無法正確的表示出比較的結果，基於此一觀點，採用圖 3.13 的連接方式會比較好的選擇。

3.2.2.3 主動式負回授之前置放大器 (Active negative feedback Pre-Amplifier)

由前述的討論可知，多級串接放大器的設計中，每一級放大器的形式選用二階的放大器來設計製作會有較具效益的功率消耗，且為了在有限的功率消耗下設計出 GBW 較大的放大器，因此我們參考使用了 B. Razavi 所

提出的主動式負回授 (Active negative feedback) 放大器[34]架構，如圖 3.14 所示。此放大器主要是由高速放大器電路中廣為人知的 Cherry-Hooper Amplifier [44]改良而來的，將原本 Cherry-Hooper Amplifier 中 shunt-shunt feedback 的被動電阻性負回授改成主動式電晶體的負回授方式，能更進一步提升電路的增益頻寬之乘積 (GBW)。

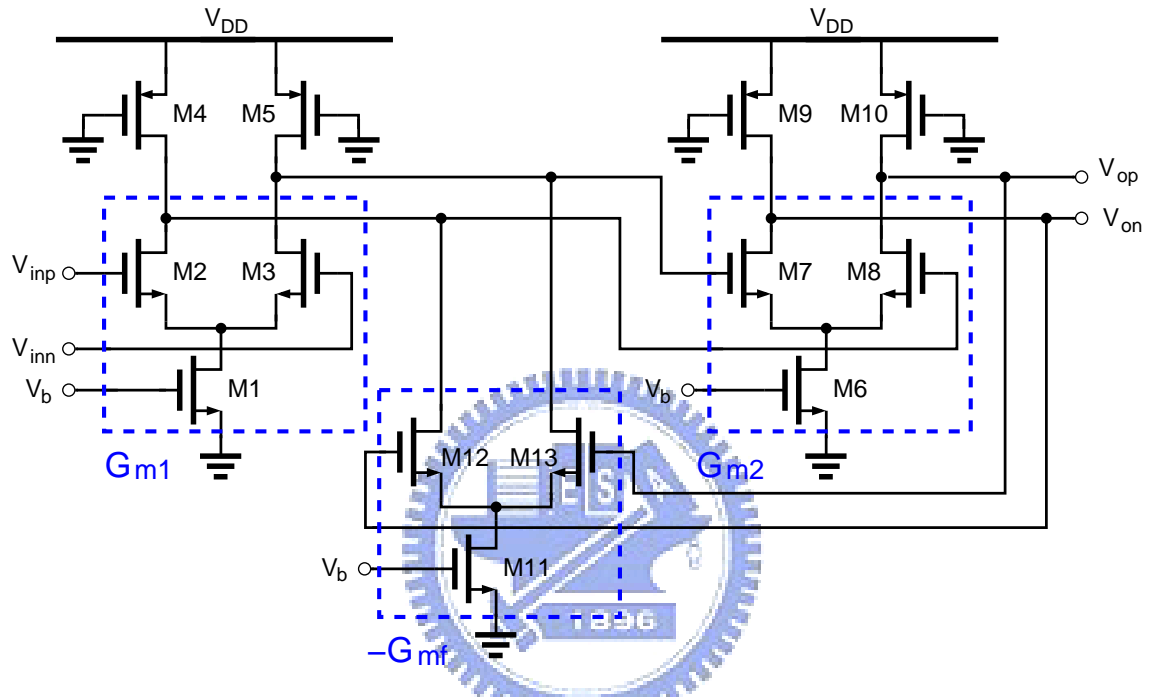


圖 3.14 主動式負回授 (Active negative feedback) 之前置放大器[34]

此類超高速的放大器常見於光纖通訊系統接收端中 Limiting Amplifier 的設計上[37]，光纖通訊的領域中，傳輸率動輒都在數 Gbps 的範圍之間，而 Limiting Amplifier 在光纖通訊中所扮演的重要角色就是將前端轉阻放大器 (Transimpedance Amplifier, TIA) 所送出微小且變化相當快速的訊號放大成具有數位邏輯準位的訊號，因此 Limiting Amplifier 的設計訴求就是能夠提供高增益且寬頻 (high-gain & wide-bandwidth) 的特性，另一方面，在超高速 ADC 的設計當中，所要使用到的前置放大器 (Pre-Amplifier) 也正是需要這樣的特性，因此對於我們的設計，使用此種寬頻的放大器將比較後的微小差值作快速的放大，使類比的差值變成數位型態的結果，應是相

當合適的選擇。

對圖 3.14 的電路作分析，可將其等效成圖 3.15 的架構， G_{m1} 、 R_{L1} 和 G_{m2} 、 R_{L2} 分別代表兩級串接放大器之轉導（transconductance）及其負載，對應到圖 3.14 中， G_{m1} 由 M1~M3 所構成， G_{m2} 由 M6~M8 所組成，而 $-G_{mf}$ 為主動式負回授等效的轉導值，由圖 3.14 的 M11~M13 連接而成，另外 C_1 與 C_2 分別為第一級與第二級輸出節點的等效寄生電容。

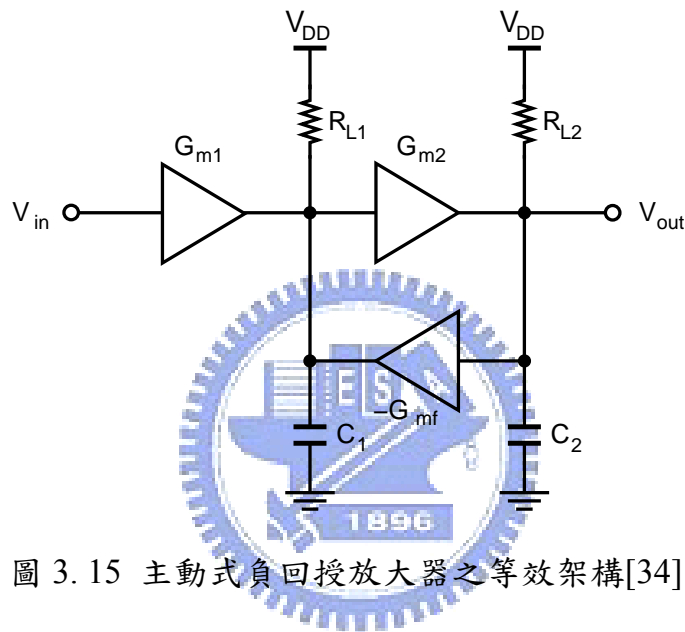


圖 3.15 主動式負回授放大器之等效架構[34]

推導圖 3.15 電路的轉移函數可得到式 (3.14) 的結果，再對照標準的二階轉移函數 ((3.15) 式)，可計算得到式 (3.16)、(3.17) 以及 (3.18) 的結果。

$$H(s) = \frac{V_{out}}{V_{in}}(s) = \frac{\frac{G_{m1} G_{m2}}{C_1 C_2}}{s^2 + \frac{R_{L1} C_1 + R_{L2} C_2}{R_{L1} C_1 R_{L2} C_2} s + \frac{1 + G_{mf} G_{m2} R_{L1} R_{L2}}{R_{L1} C_1 R_{L2} C_2}} \quad (3.14)$$

$$H(s) = \frac{A_0 \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (3.15)$$

對照 (3.14) 與 (3.15) 式，可得：

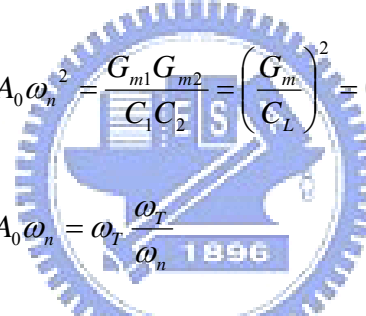
$$A_0 \omega_n^2 = \frac{G_{m1} G_{m2}}{C_1 C_2} \quad \text{且} \quad \omega_n^2 = \frac{1 + G_{mf} G_{m2} R_{L1} R_{L2}}{R_{L1} C_1 R_{L2} C_2} \quad (3.16)$$

再計算 A_0 與 ζ ：

$$A_0 = \frac{G_{m1} G_{m2} R_{L1} R_{L2}}{1 + G_{mf} G_{m2} R_{L1} R_{L2}} \quad (3.17)$$

$$\zeta = \frac{1}{2} \frac{R_{L1} C_1 + R_{L2} C_2}{\sqrt{R_{L1} C_1 R_{L2} C_2 (1 + G_{mf} G_{m2} R_{L1} R_{L2})}} \quad (3.18)$$

另一方面，對一個簡單的差動放大器而言，其增益頻寬乘積 (GBW)，通常也近似於單增益頻率 (unity-gain frequency, ω_T)，可寫成 G_m / C_L ，因此式 (3.16) 表示成：



$$\begin{aligned} A_0 \omega_n^2 &= \frac{G_{m1} G_{m2}}{C_1 C_2} = \left(\frac{G_m}{C_L} \right)^2 = (\omega_T)^2 \\ \rightarrow A_0 \omega_n &= \omega_T \frac{\omega_T}{\omega_n} \end{aligned} \quad (3.19)$$

其中假設 $(G_{m1} / C_1) \cong (G_{m2} / C_2) = (G_m / C_L) = \omega_T$ ，又假設系統具有最大平坦響應 (maximally-flat response) 的情況下，即 $\zeta = \sqrt{2}/2$ 之時，該二階系統的 ω_n 會等同於該系統的 -3 dB 點頻寬，也就是 $\omega_n = \omega_{-3dB}$ ，因此式 (3.19) 可寫成：

$$A_0 \omega_{-3dB} = \omega_T \frac{\omega_T}{\omega_{-3dB}} \quad (3.20)$$

$$A_0 f_{-3dB} = f_T \frac{f_T}{f_{-3dB}} \quad (3.21)$$

其中 A_0 為整個主動式負回授放大器系統的低頻增益， f_{-3dB} 為整個主動式負回授放大器增益降 3 dB 時的頻率，也就是頻寬，而 f_T 為單一個一階放大器的單增益頻率 (unity-gain frequency)。對一般的放大器來說，單增益頻率可

近似為放大器的增益頻寬之乘積 ($GBW = A_0 f_{-3dB} \cong f_T$)。而從 (3.21) 式的結果可知，整個二階主動式負回授的放大器之增益頻寬乘積 (GBW) 等於單一個一階放大器的單增益頻率 (f_T) 再乘上 (f_T/f_{-3dB}) 倍，且一般正常設計下，單一個一階放大器的 f_T 會比整個主動式負回授二階放大器的 f_{-3dB} 還來得大許多，故可知使用主動式負回授的放大器其 GBW 會比單一個放大器的 GBW 還大了 (f_T/f_{-3dB}) 倍。也就是主動式負回授的放大器對於 $A_0 > 3$ dB 的設計情形能將其 GBW 提升 (f_T/f_{-3dB}) 倍，說明了主動式負回授的技巧確實可有效的增加電路的 GBW 。另外簡單計算此種主動式負回授放大器的 GBW ($GBW_{active-feedback}$) ($\zeta = \sqrt{2}/2$ 時) 可得：

$$GBW_{active-feedback} = A_0 \omega_{-3dB} \cong \frac{G_{m1}}{G_{mf}} \times \sqrt{\frac{G_{mf} G_{m2}}{C_1 C_2}} = \frac{G_{m1}}{C} \times \sqrt{\frac{G_{m2}}{G_{mf}}} \quad (3.22)$$

其中：

$$A_0 = \frac{G_{m1} G_{m2} R_{L1} R_{L2}}{1 + G_{mf} G_{m2} R_{L1} R_{L2}} \cong \frac{G_{m1}}{G_{mf}}$$

$$\omega_{-3dB} = \omega_n = \sqrt{\frac{1 + G_{mf} G_{m2} R_{L1} R_{L2}}{R_{L1} C_1 R_{L2} C_2}} \cong \sqrt{\frac{G_{mf} G_{m2}}{C_1 C_2}}$$

且假設 $C_1 = C_2 = C$ 。而檢視一般簡單的二階放大器，簡圖如圖 3.16 所示。其中 G_{m1} 、 R_{L1} 和 G_{m2} 、 R_{L2} 分別代表兩級串接放大器的轉導值及負載， C_1 及 C_2 分別等效為第二級輸入及輸出節點的總寄生電容。其對應的轉移函數，可推得：

$$H(s) = \frac{V_{out}}{V_{in}}(s) = \frac{\frac{G_{m1} G_{m2}}{C_1 C_2}}{s^2 + \frac{R_{L1} C_1 + R_{L2} C_2}{R_{L1} C_1 R_{L2} C_2} s + \frac{1}{R_{L1} C_1 R_{L2} C_2}} \quad (3.23)$$

對應 (3.15) 式，並假設圖 3.16 二階放大器的第一級與第二級為相同的，即具有相同的轉導以及相同的負載： $G_{m1} = G_{m2} = G_m$ 、 $R_{L1} = R_{L2} = R$ 以及 $C_1 = C_2 = C$ 時，則可得知：

$$A_0 = G_{m1}G_{m2}R_{L1}R_{L2} = (G_m R)^2 \quad \text{且} \quad \omega_n = \sqrt{\frac{1}{R_{L1}C_1R_{L2}C_2}} = \frac{1}{RC} \quad (3.24)$$

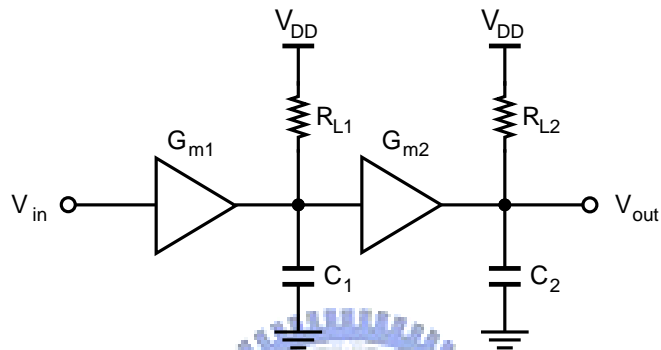


圖 3.16 一般傳統二階放大器之等效架構

可計算出此種一般的二階放大器之 $GBW_{general}$ 約為：

$$GBW_{general} = \sqrt{\sqrt{2}-1} \times G_m^2 \frac{R}{C} \cong 0.644 \times G_m^2 \frac{R}{C} \quad (3.25)$$

比較 (3.22) 與 (3.25) 式，可知主動式負回授的二階放大器與一般的二階放大器兩者 GBW 的大小其實都是根據設計的參數而定，但在多數的設計情形下，使用主動式負回授的二階放大器會在不產生過多的功率消耗下，而獲得較大的 GBW 結果，說明了主動式負回授的放大器更適用於高速電路的特色。

3.2.2.4 完整比較器電路之設計

圖 3.17 為整個比較器之電路 (Comparator slice)，由寬頻的比較功能電路 Gilbert-Cell 作為輸入級，並以連續三級串接的主動式負回授前置放大器

(Active-negative feedback Pre-Amplifier) 將 Gilbert-Cell 比較後的差進行放大的工作，最後再使用一個 CML Latch 電路[17][40]把比較放大後的結果擷取並儲存維持取樣時脈訊號的半週期時間。

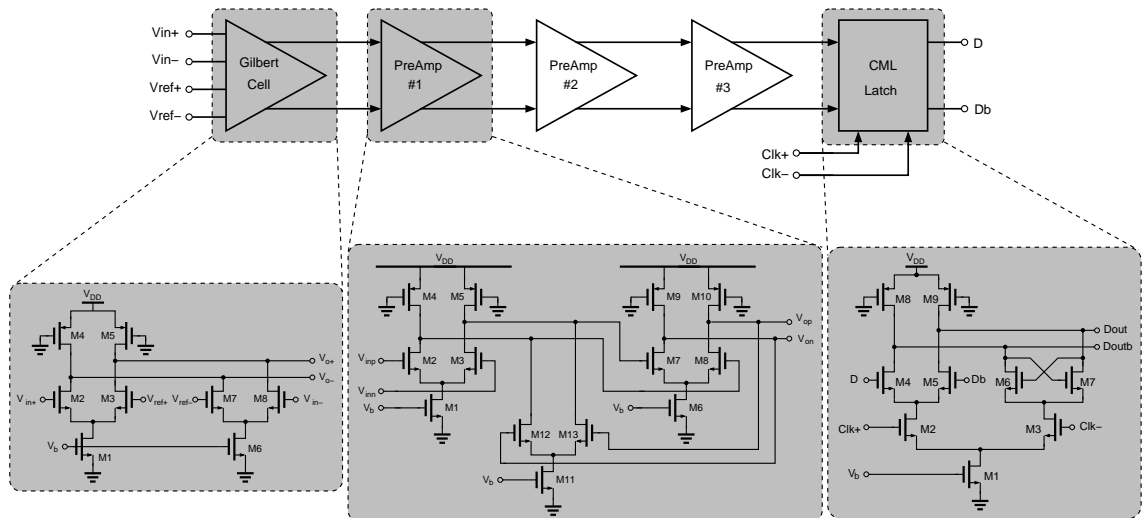


圖 3.17 包含多級串接放大器之完整比較器電路 (Comparator slice)

CML Latch 電路重繪如圖 3.18 所示，其提供兩種運作的階段 (phase)，當 Clk+ 為 high，Clk- 為 low，M2 導通而 M3 關閉，這時電路操作在放大模式 (amplification phase)，由 M4、M5、M8 及 M9 構成的一階差動放大器可對輸入訊號做放大的工作，因此在此模式下，此電路可視為一階的放大器。反之當 Clk+ 為 low，Clk- 為 high 時，M2 關閉 M3 導通，此時變成 M6、M7 與負載 M8、M9 作用，電路操作在再生模式 (regeneration phase) [45][46]，藉由 M8、M9 形成的正回授 (positive feedback) 機制將先前放大模式中，雙端輸出的差值再拉大 (regeneration) 並將結果儲存在正回授的迴路中。可知 CML Latch 電路提供半週期時間為一階放大器的形式，因此結合了第一級 Gilbert-Cell 與最後一級 CML Latch 所提供的半週期為一階放大器特性的作用之後，因此整個 Comparator slice 的確是由 4 組二階形式的放大器連續串接的近似結果，滿足先前 3.2.2.1 小節所討論的結果。

此外最後一級 CML Latch 電路在 regeneration phase 提供的正回授機制

可使得整個 Comparator slice 電路將最初的輸入訊號與參考電壓之間比較後的差值再拉得更開，更有利於後級數位電路的判別。值得說明的是，為了確保在 regeneration phase 狀態下可以將輸出結果永久的儲存，則必須要滿足 $g_{m6,7}R_{on8,9} > 1$ 的設計條件，其中 $R_{on8,9}$ 為 M8 及 M9 等效的阻抗。

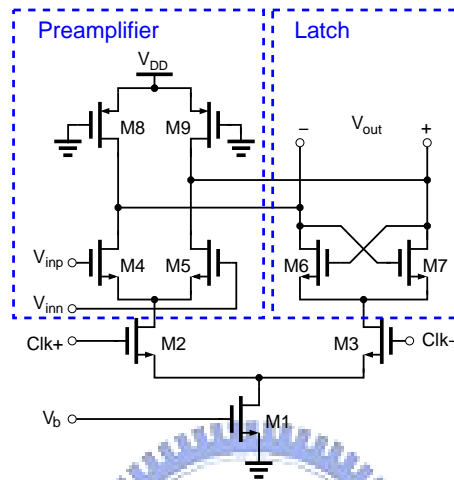


圖 3.18 CML Latch 電路

實際電路設計中，我們將 CML Latch 電路操作在放大模式時的增益設計得較小，而把頻寬拉得較大一些，使電路操作在放大模式時提供稍低的增益，之後再讓下一個 phase 的正回授機制把訊號差拉大。觀察圖 3.17 的整個比較器電路中，第一級的 Gilbert-Cell 設計成高頻寬的輸入訊號比較能力，其缺乏對增益的貢獻，且最後一級的 CML Latch 放大並儲存比較後的結果。可以預見的是，單純把 Gilbert-Cell 與 CML Latch 串接起來形成的二階放大器能達到的 GBW 將會不及使用 Active negative feedback 前置放大器的 GBW 程度，因此在整個 Comparator slice 中，小訊號放大，也就是增益部份的貢獻 (gain contribution) 主要由中間連續三級的前置放大器所提供，為達到先前討論所計算的約 28 dB 的增益，可知平均每一級必須提供約 10 dB 左右的增益，且前置放大器每一級的增益頻寬乘積 (GBW_S) 也將必須設計成比 17GHz 還來的大。單一 Active negative feedback 前置放大器的交流分析的模擬結果如圖 3.19 所示，低頻增益約為 10.4 dB，且 GBW 達到約

22.75GHz。而整個 Comparator slice (圖 3.17) 的頻率響應模擬的結果，如圖 3.20 所示，低頻增益約為 34.2 dB，且-3 dB 頻寬可達 6.43GHz，增益與頻寬都合乎先前對比較器電路設計時的討論。

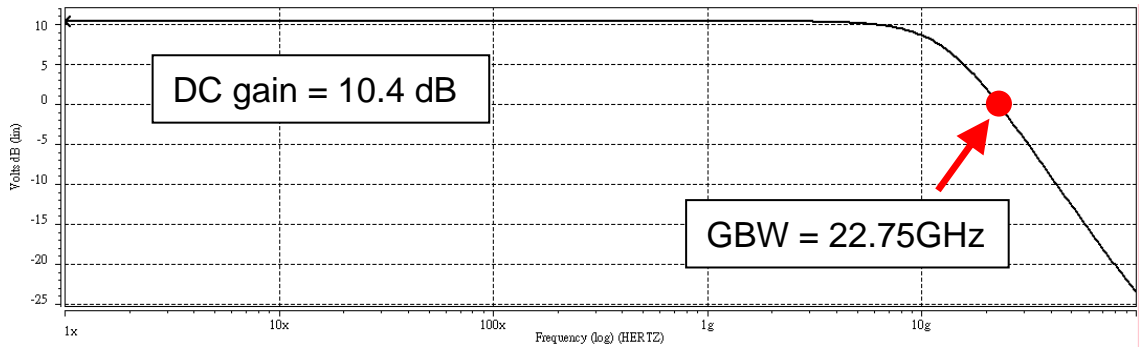


圖 3.19 主動式負回授前置放大器 (Active negative feedback Pre-Amplifier) 模擬之頻率響應圖

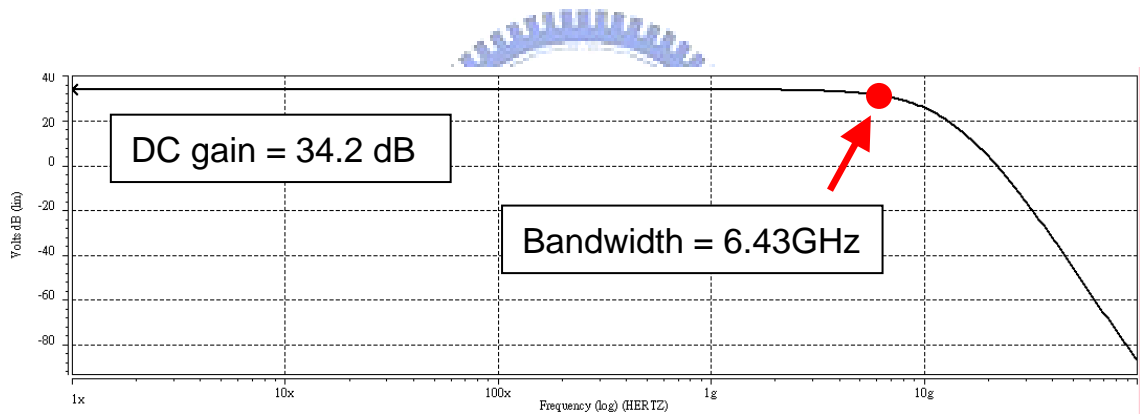


圖 3.20 完整比較器電路 (Comparator slice) 之頻率響應模擬結果

而在比較器電路 offset 影響的考量上，由於對於我們 4bits ADC 的設計情況來說，在 supply voltage 為 1V 的設計環境下，offset 等影響要到超過 1 個 LSB 的 25mV 或是 0.5 個 LSB 的 12.5mV 之機率顯然相對低得許多。且由於無法確切得知所使用製程之 mismatch 等的製程參數，以致於無法計算出可能的 offset 大小。有部份文獻[45][47][48]等使用特定電路機制來消除可能發生的 offset 等問題，在[45]之 4GS/s ADC 的設計中使用了電流式 DAC 的方式來 trimming 前置放大器輸出節點的 offset。而[47]的 3.2GS/s 的 ADC 則藉由數位訊號來控制調整前置放大器負載的電阻值。這些方法都可以達

到消除 offset 的效果，但其所加入的電路或是較大尺寸的開關電晶體都會在放大器的高速輸出訊號節點多引入了額外且不可忽略的寄生電容，使得前置放大器和比較器的頻寬受到嚴重的影響。因此為了使我們的設計能夠達到 10GS/s 的超高速，我們作了速度(speed)及準確度(accuracy)的 trade-off。

3.2.2.5 多級串接放大器 Slew-rate 之設計考量

前述討論之差動多級串接放大器的設計中，目的是要將比較後的差值訊號逐級放大成數位形式準位的訊號。考慮當第一級或第二級放大的輸出訊號若已具備相當程度的擺幅 (swing)，此訊號將使其後差動放大器的差動對 (differential pair) 發生全切換 (fully switched) 的現象，開啟某一側的電晶體而關閉另一側的電晶體，使得電路變成操作在大訊號的模式之中。而這些差動對在達到完全開啟或關閉之間的行為稱之為 slewing。對於此種高速變化的大擺幅訊號，影響電路能否跟隨輸入變化的因素就是 slew-rate 的問題，也就是 slew-rate 影響頻寬的問題。對一具有 V_0 振幅大小且頻率為 ω_0 的大擺幅輸入訊號，則電路所應具備的 slew-rate 至少應大於 $V_0\omega_0$ 之值。因此在我們的設計情況下，對於輸入最大可能之 V_0 約為 400mV，且 f_0 最大為 5GHz ($\omega_0 = 2\pi \times f_0$)，可計算得前置放大器所需之 slew-rate 必須大於 12.56V/ns，此值提供了前置放大器最小所需之 slew-rate 的設計指標。我們可藉由計算前置放大器 tail current 與輸出總負載電容 (C_L) 的比值 (I/C_L) 可計算出約略的 slew-rate，由模擬結果計算出我們所設計的前置放大器，其 slew-rate 約可達到 22V/ns，滿足此小節對 slew-rate 需求的討論。

3.2.3 泡沫錯誤更正電路 (Bubble Errors Correction)

在 Flash ADC 的架構中，輸入訊號經由比較器與各個參考電壓比較之

後的輸出，由上而下應該是一連串的 0，然後接者一連串的 1（以正邏輯的觀點來看），此類型的數位碼稱之為溫度計碼（Thermometer code）。然而實際的比較結果卻可能發生一連串的 1 之中突然出現一個 0，且此 0 通常會出現在靠近一連串 1 頂端的位置，造成之後的編碼電路輸出錯誤的結果，如圖 3.21 所示。此種現象稱為泡沫錯誤（Bubble error，有時也稱為 Sparkle），就像是裝水的試管中，靠近水面的位置下產生一個氣泡或泡沫。

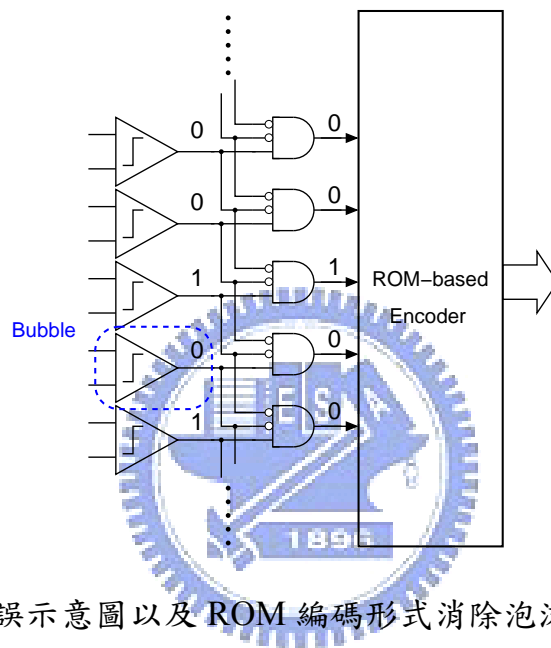
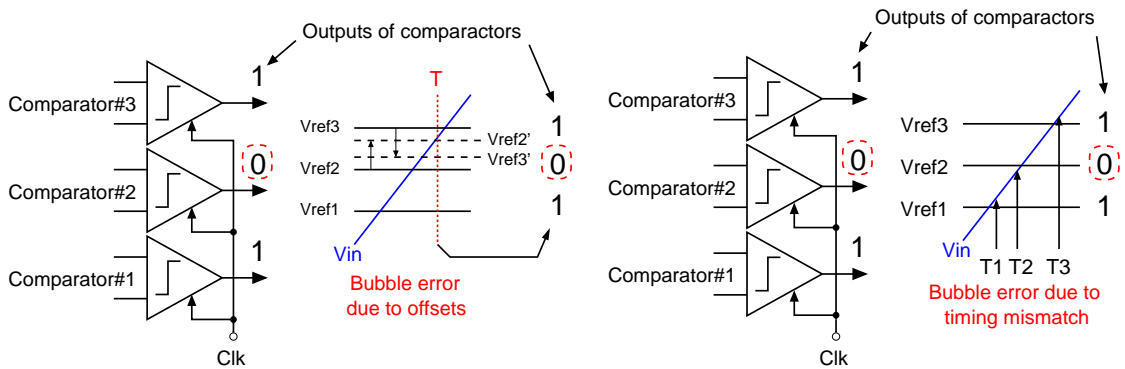


圖 3.21 泡沫錯誤示意圖以及 ROM 編碼形式消除泡沫錯誤的邏輯電路

此現象的成因可能是由於製程變異使得每個比較器電路產生不同程度的偏移（offset）量，結果各個比較器比較的參考電壓也因此可能會有所偏移，如圖 3.22(a)所示，第二個比較器的參考電壓 V_{ref2} 往上偏移到 V_{ref2}' 的位置，且三個比較器的參考電壓 V_{ref3} 往下偏移到 V_{ref3}' 的位置，使得在時間 T 的時候得到的比較結果產生泡沫錯誤，此種情形特別容易發生在處理輸入訊號與參考電壓很靠近的比較器（一連串 1 最頂端所對應的比較器），因為對該比較器而言，輸入與參考電壓的差值不明顯，進而使得原本應為 1 的輸出變成 0 的輸出，產生泡沫錯誤；此外電路雜訊（noise）和高速取樣時脈的抖動量（clock jitter）造成的取樣時序偏移（timing mismatch）也會導致泡沫錯誤，如圖 3.22(b)中因為每個比較器取樣訊號的延遲時間不

一，使得比較器 1~3 分別在不同的時間 T1、T2 及 T3 的時間點取樣，導致取樣比較後的結果產生泡沫錯誤，此種情形導致的泡沫錯誤會因越高速的輸入訊號而變得更加容易發生[49]。



(a) Bubble error due to offsets (b) Bubble error due to timing mismatch

圖 3.22 因 offset 和 timing mismatch 發生的泡沫錯誤 (Bubble error) [49]

另外圖 3.21 也顯示了 Flash ADC 中數位編碼電路使用常見的 ROM 編碼方式來設計的例子。ROM 的編碼機制是必須先將比較器輸出的溫度計碼轉成一連串 0 中只有一個 1 的“1-of-N code”，且 1 的位置會落在原本溫度計碼 0 與 1 交界的轉態點中，最上面 1 的位置，如果只是要作如此數碼的轉換，使用兩輸入的邏輯閘便可達成，而同時為了要消除較為可能發生的一階泡沫錯誤 (the 1st-order Bubble error) 時，就必須再多使用一個輸入來作邏輯上的操作，也就是使用三輸入的邏輯閘，故可知以 ROM 編碼形式設計的編碼器，若要消除 n 個可能的泡沫錯誤，就必須使用 (n+2) 個輸入的邏輯閘。雖然 ROM 的編碼方式是較為簡單且直觀的，但可達到的操作速度相當有限，因此當使用 Flash 的架構把速度往上提升時，ROM 的編碼方式便顯得不敷使用，因此我們藉由 CML 電路可操作在非常高速的優勢，設計直接以 CML 電路為基本 cell 的編碼器電路，同時也就不需要將溫度計碼轉成 1-of-N code 的機制，且消除泡沫錯誤的電路直接使用兩層開關邏輯能夠處理兩個輸入的 CML OR gate 來消除一階的泡沫錯誤，此種方式欲達到

消除 n 個泡沫錯誤的功能，就必須使用 $(n+1)$ 個輸入的邏輯閘。對於我們設計的 4-bit ADC 來說，在電路佈局時做到對稱匹配的情況下，發生兩個以上泡沫錯誤的機率比一階的泡沫錯誤發生機率還低得許多，因此我們使用一連串兩個輸入的 CML OR gate (CML OR Array) 消除一階可能的泡沫錯誤，如圖 3.23 所示。

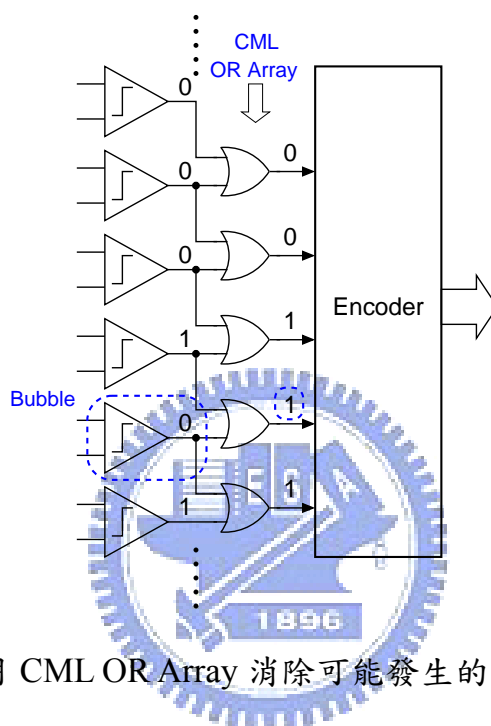


圖 3.23 使用 CML OR Array 消除可能發生的一階泡沫錯誤

3.2.4 編碼電路之設計

在討論分析編碼器電路的設計之前，必須要先知道的是比較器電路中常見的 metastability 現象。當比較器輸入的訊號與參考電壓差值很小時，使得在很短的時間週期內，比較器輸出無法穩定平衡至有效的邏輯準位，在 Flash ADC 中就是指當輸入訊號非常靠近某個比較器對應的比較參考電壓，使得該比較器無法判知正確的輸出邏輯準位，這將使得該比較器後級所驅動的邏輯閘出現未知 (unknown) 的邏輯狀態，進而使編碼電路產生錯誤的數位碼輸出。若編碼電路使用 ROM 的形式設計，當發生 metastability 之時，可能會造成沒有任何 1 條或是有超過 1 條的 ROM 選擇線 (ROM lines) 被選取到，導致整個錯誤的數位輸出碼。

另一方面討論若是使用邏輯閘為基礎 (logic gate based) 的溫度計碼轉二進碼編碼器 (Thermometer-to-Binary Encoder) 之情形，如圖 3.24 所示當 metastability 的問題發生於 4 位元溫度計碼轉二進碼編碼器，假設比較器輸出 T8 發生 metastability 的現象，輸出呈現 unknown (X) 的狀態，而根據 (3.26) 式之 4 位元溫度計碼轉二進碼的布林函數 (boolean function) 可知 T8 的 unknown 狀態將導致整個 4 位元二進碼輸出 (B[3:0]) 的結果也都為 unknown 的狀態。因此可知使用 binary-code 的編碼器相當容易因為 metastability 的問題造成輸出產生兩個位元以上的錯誤輸出碼。

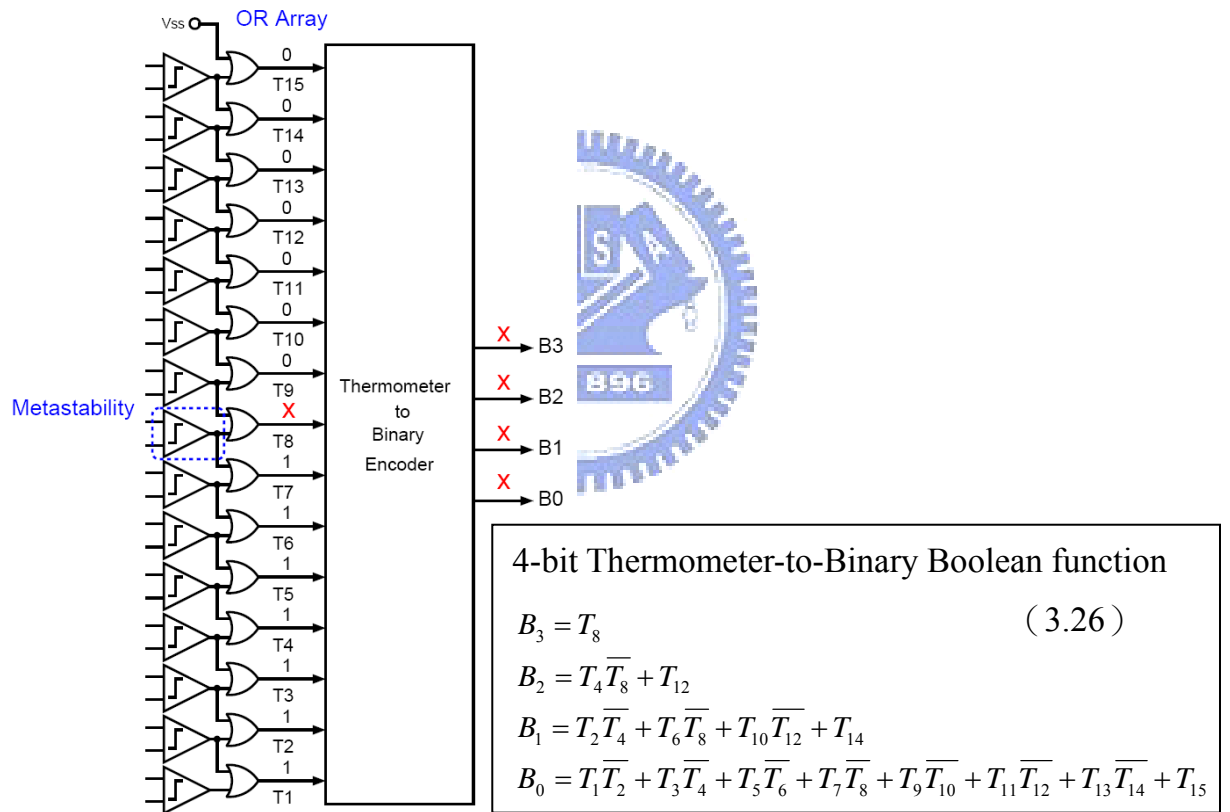


圖 3.24 Metastability 的問題發生於 4 位元溫度計碼轉二進碼編碼器之例子

Flash ADC 中另一種以邏輯閘為基礎且常用的編碼為溫度計碼轉格雷碼 (Thermometer-to-Gray Encoding) 的方式。格雷碼 (Gray code) 的一個重要特性就是其任意相鄰的兩個數碼之間只有一個位元不同，所以 Gray code 輸出的電路每個位元轉態的次數將會大幅的減少，以電路的觀點來看

就是充放電 (charge/discharge) 的次數會降低，因開關切換所導致的雜訊或是其他干擾就都可以變小許多。因此 Gray code 的編解碼方式相當有利於高速訊號的操作，常被應用於高速的系統當中。在 4 位元溫度計碼轉格雷碼的編碼機制中，如圖 3.25 所示的例子，同樣假設當比較器輸出 T8 發生了 metastability，然後根據式 (3.20) 的 4 位元溫度計碼轉格雷碼的布林函數可知，輸出結果將只有 G3 一個位元是 unknown 的，且無論 metastability 發生在哪個比較器上，只要只有一個 metastability 發生，輸出的數位碼最多都只會有一個位元受到影響。可知使用 Gray code 的編碼器發生兩個以上錯誤輸出的機率相對會小得許多。

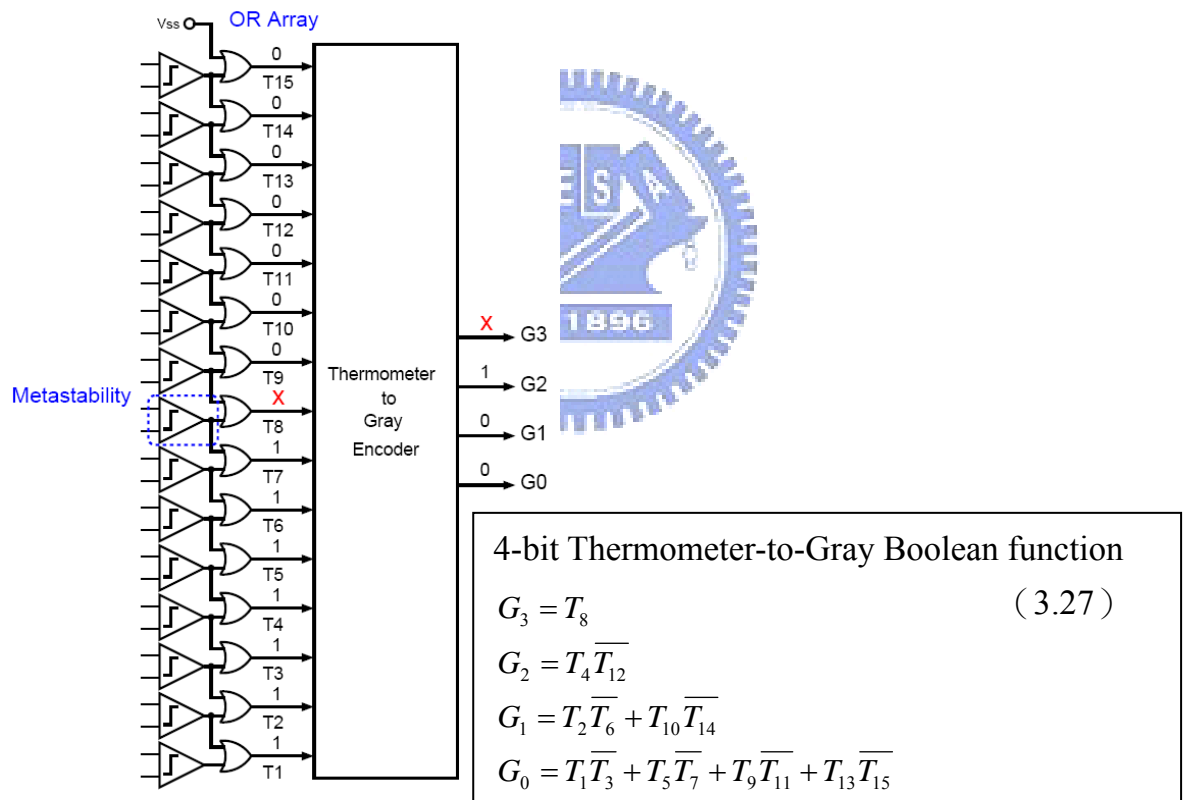


圖 3.25 Metastability 的問題發生於 4 位元溫度計碼轉格雷碼編碼器之例子

由前述討論可知 Gray code 的編碼在高速應用中確實具備較多的優勢，因此我們設計的 Flash ADC 便是使用 Gray code 的編碼方式，詳細 4 位元溫度計碼轉格雷碼的編碼邏輯電路如圖 3.26 所示，只使用 AND 和 OR 的邏輯

組合而成，且都是使用全差動式的 CML 邏輯電路作設計，因此對於每個反相的訊號都不需要再經由額外的反相器來得到，使得電路佈局 (Layout) 時也可以做到相當對稱的優點。此外為了使每條訊號路徑都能夠有相近的邏輯閘延遲時間 (gate delay)，所以額外插入了一些 CML 的 buffer 來使每條訊號路徑都具有相當的延遲時間。

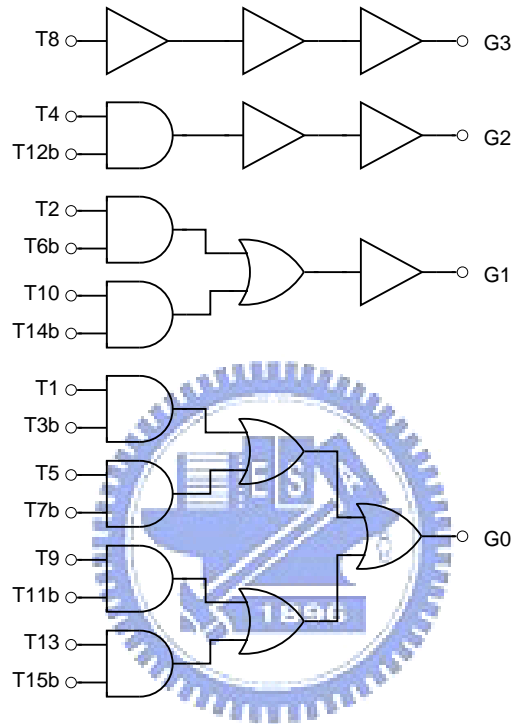


圖 3.26 4 位元溫度計碼轉格雷碼 (Thermometer-to-Gray) 之編碼電路

使用 Gray code 的編碼除了前述的諸多優點之外，Gray code 的編碼電路也比 binary-code 的編碼電路有較低的功率消耗，考慮式 (3.26) 的 binary encoding 布林函數，假設都使用兩輸入的邏輯閘來實現，那麼將需要 22 個的邏輯閘數目 (gate count)。反之相同以兩輸入的邏輯閘實現 (3.27) 式 Gray encoding 的布林函數，則變成只需要 11 個邏輯閘數目即可，因此 Gray encoding 相較於 binary encoding 只需約一半的硬體數量以及功率消耗，更提升了 Gray code 應用的競爭力。

第四章

電路模擬結果

前一章節對整個資料轉換器對 (Data Converter Pair) 的設計都作了詳盡的分析與解說，本章節將顯示出此組 10GS/s 4bits DAC&ADC 的 HSPICE 模擬結果，DAC 和 ADC 各別完整的模擬結果都將一一呈現在本章節中。

4.1 10GS/s 4-bit DAC 之模擬結果

4.1.1 DAC 靜態參數 (Static Parameters) 之模擬

首先模擬 DAC 靜態參數的特性，對 DAC 輸入一個數位 Gray code 形式的漸增 ramp 訊號，且取樣頻率為 10GS/s 的 sinusoidal 訊號，差動輸出的結果如圖 4.1 所示。

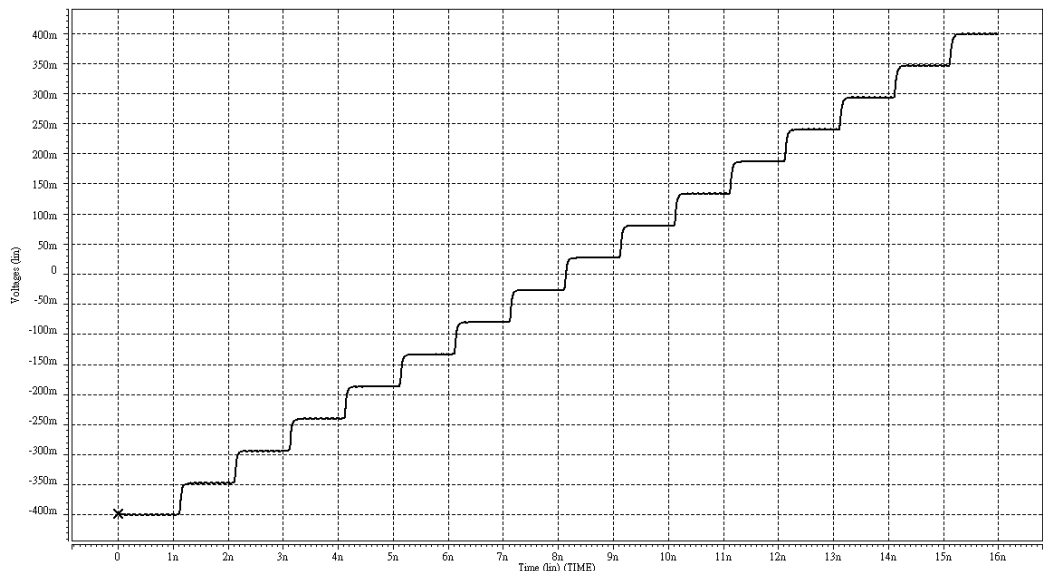


圖 4.1 取樣率為 10GS/s 時 DAC 輸入 Gray code 形式之漸增 ramp 訊號模擬之差動輸出波形

從圖 4.1 的模擬結果中可看出 DAC 呈現良好的單調性(monotonicity)，16 個類比電壓輸出準位都有正確的顯現出來，且每個輸出準位上明顯都沒有受到取樣時脈饋入的干擾，表示電流源開關之上的疊接電晶體確實有效發揮作用。而差動輸出的擺幅達到預期所設計的 $\pm 400\text{mV}$ ，反映出每個開關疊接電流源電路產生的電流都被正確的設計在所想要的大小。由此模擬結果計算 DAC 的 DNL 與 INL，結果顯示在圖 4.2 中，DNL 的變化約在 -0.011 到 0.003LSB 之間，INL 則介於 -0.014 與 0.006LSB 之間，DNL 與 INL 都相當的小，指示出 DAC 本身具備良好的線性度。

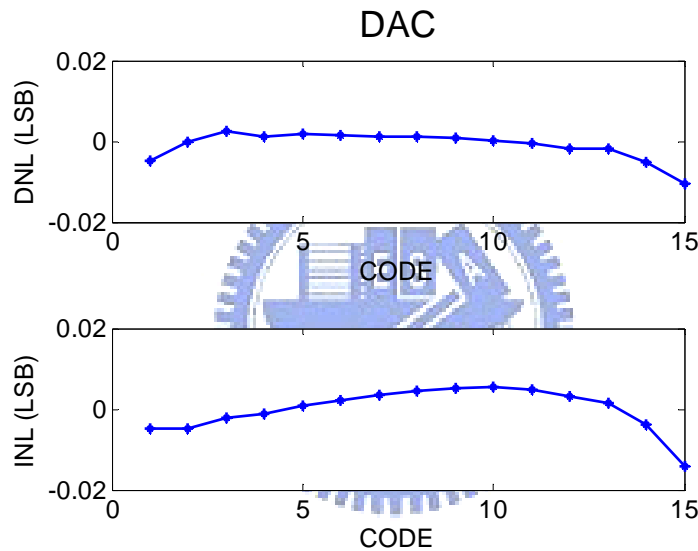


圖 4.2 DAC 模擬之 DNL 與 INL (取樣率為 10GS/s)

4.1.2 DAC 動態參數 (Dynamic Parameters) 之模擬

動態參數方面的模擬，對 DAC 輸入一個數位約 1.47GHz 的 sinusoidal 訊號，且取樣頻率為 10GS/s，得到同頻率的類比差動輸出訊號如圖 4.3 所示，圖中顯示擺幅的大小仍然可達 $\pm 400\text{mV}$ 的程度，將此時域波形取樣 1024 點並經由 FFT 轉換得到頻譜如圖 4.4 的結果 (1024-point FFT)。從該頻譜圖中計算動態參數可得：SNR 為 27.48 dB、SNDR 為 26.71 dB，對應可達到 4bits 程度的 ENOB 且 SFDR 高達 34.63 dBc，其中 SNDR 的結果超出式 (2.13) 所定義的理論最大值，可能的原因是由於模擬環境中低估了可能產

生的 noise 或其他干擾因素。

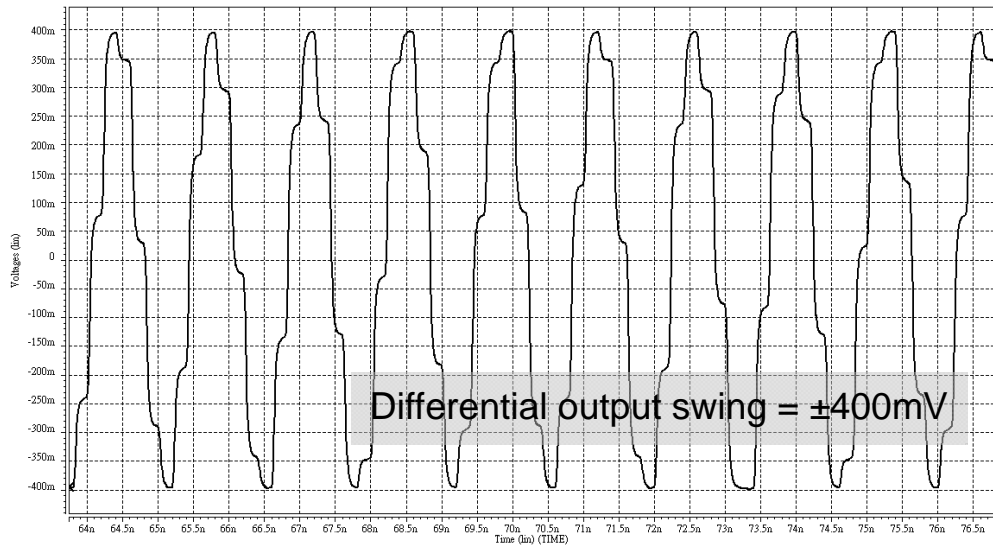


圖 4.3 取樣率為 10GS/s 時 輸入數位約 1.47GHz 之 sinusoidal 訊號
模擬之 DAC 差動輸出時域波形

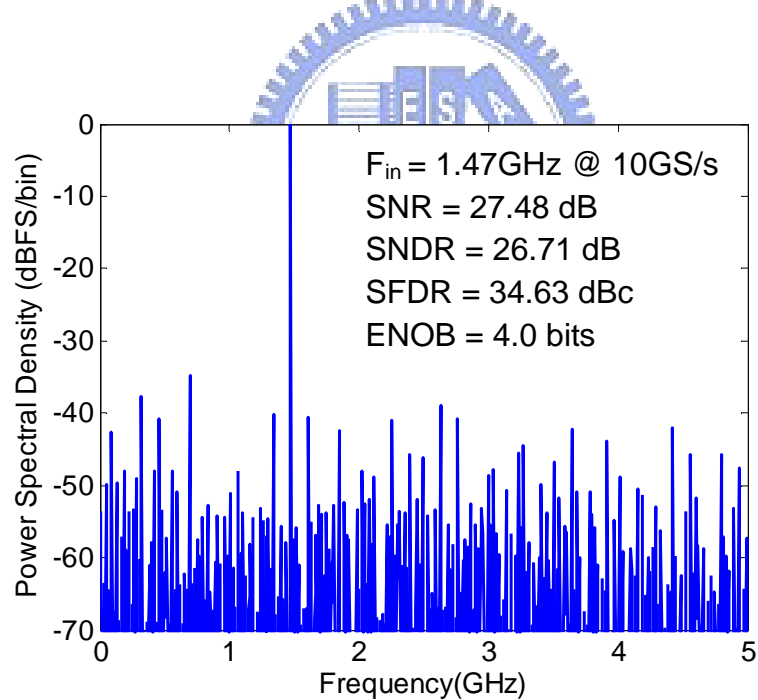


圖 4.4 取樣率為 10GS/s 時 輸入 1.4257GHz 之 sinusoidal 訊號
模擬之 DAC 輸出訊號的頻譜

圖 4.5 為取樣頻率在 10GS/s 下，各種不同輸入訊號頻率對動態參數變化的關係圖，由此圖的模擬結果可知，SNDR 的曲線在 DC 到 5GHz 的頻率範圍內都沒有下降超過 3 dB 的程度，可知 DAC 的 ERBW 達到 nyquist

frequency 的 5GHz，另外由於開關疊接電流源的高輸出阻抗，使得 SFDR 的響應在 5GHz 頻寬以內也幾乎都有超過 30 dBc 的水準，這些動態參數的模擬結果顯示出 DAC 的效能幾乎相當接近理想的情況。

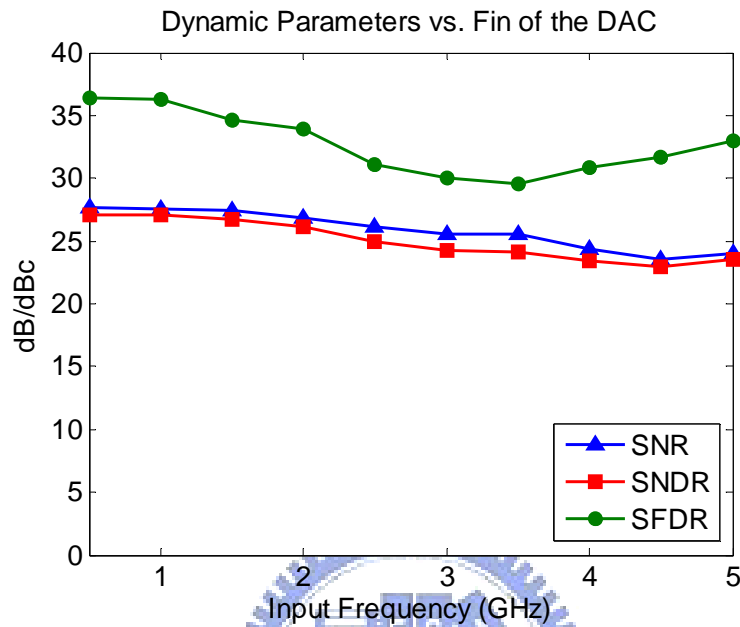


圖 4.5 取樣率為 10GS/s 時 DAC 模擬之各種輸入頻率與動態參數的關係

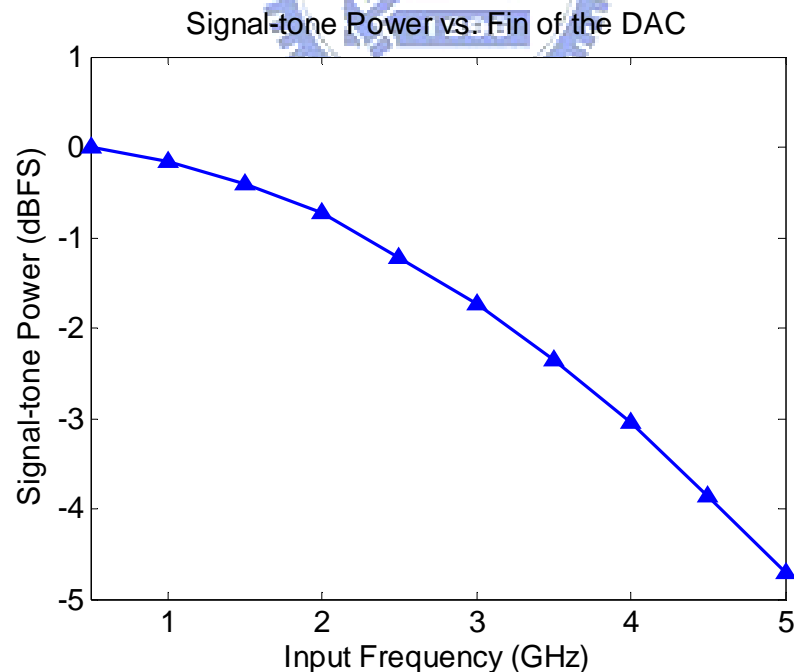


圖 4.6 取樣率為 10GS/s 時 DAC 模擬之各種輸入頻率與輸出訊號功率 (Signal-tone) 之關係 (in dBFS)

圖 4.6 為 DAC 在各種不同輸入訊號頻率時，輸出訊號主 tone 功率大小的變化，其中功率大小是以正規化的 dBFS (dB Full-Scale) 來表示；可看出 DAC 輸出的主訊號 (主 tone) 功率很明顯的隨輸入訊號頻率的增加而遞減，這將是高频輸入訊號時，DAC 動態參數降低的主要原因之一，此現象的探討將在第五章有詳盡的解說。

4.1.3 DAC 眼圖 (Eye Diagram) 之模擬

由於整個串列式連結的收發器 (serial link transceiver) 中，傳輸端是透過 DAC 將輸入的數位訊號做多位準 (multi-level) 的調變，為了模擬 DAC 更貼近真實情況下的操作，我們對 DAC 輸入一連串 PRBS (Pseudo Random Bit Sequence) 的隨機訊號，將 DAC 的輸出進行疊眼圖 (Eye Diagram) 的模擬，且取樣頻率為 10GS/s，模擬結果如圖 4.7 所示。由於 DAC 的解析度為 4bits，可產生 16 種不同準位的類比電壓，Eye Diagram 的結果可看出 16 個位階的眼都很清楚地張開，如此 16 個位階的調變可適用於 16-PAM 的傳輸系統，每個 symbol 可傳遞 4bits 的訊息，即 $Baud\ rate = 4$ ，也就是可達到的最大傳輸資料量將可大幅提升為原先的 4 倍。

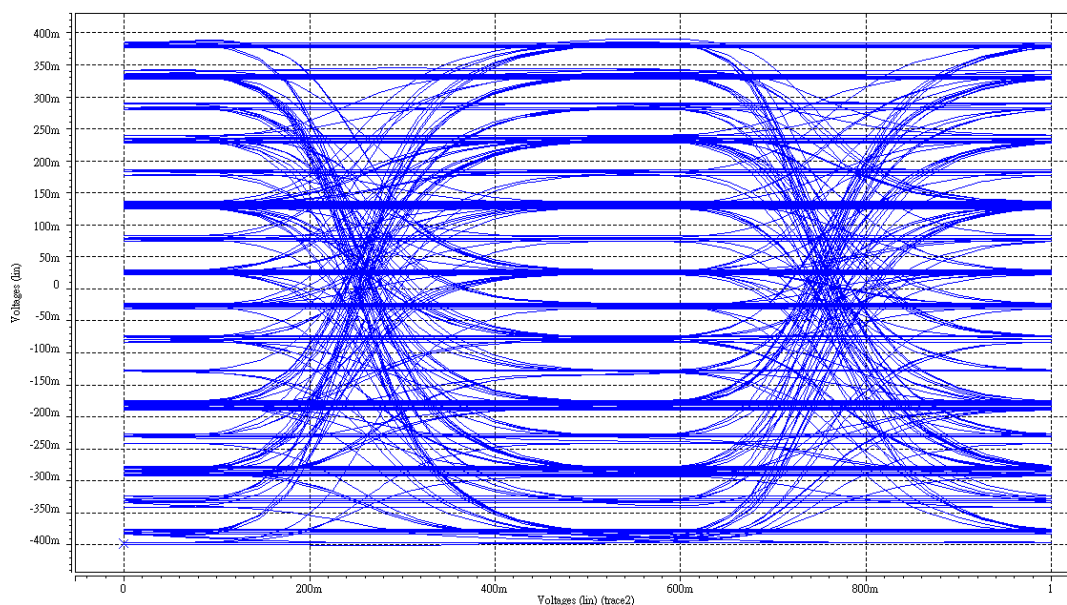


圖 4.7 取樣率為 10GS/s 時 DAC 模擬之眼圖 (Eye Diagram)

4.1.4 DAC 功率消耗之模擬

DAC 中數位電路部份及類比電路部份模擬之平均功率消耗結果顯示在表 4.1 中，為 1V 的供應電壓大小且取樣時脈訊號為 10GS/s 所獲得的模擬結果。數位電路共消耗約 91.2mW 的功率，包含用來使輸入側及輸出側數位訊號同步的 CML Latch，以及由 CML 邏輯電路組成的 Decoder 和用來推動 Decoder 的 CML buffer，此外數個用作 Wave-pipelining 的 clock buffer 也使用數位部份的電源；類比電路部份則主要只有 15 個開關疊接電流源 (SCCS)，共消耗約 17mW 的功率。

表 4.1 DAC 數位及類比部份電路模擬之各別功率消耗比較表

Power Domain	Functional Blocks	Power Consumption (mW) @ 1V supply voltage & 10GS/s
Digital Part	<ul style="list-style-type: none">■ (CML Latch) ×19■ (Driving CML Buffer) ×4■ (CML based Decoder) ×1■ (Wave-pipelining clock buffers) ×1	91.2
Analog Part	<ul style="list-style-type: none">■ (Switched Cascode Current Source) ×15■ (Bias Circuit) ×2	17.0
Total Power Consumption (mW) @ 1V supply voltage & 10GS/s		108.2

4.2 10GS/s 4-bit ADC 之模擬結果

4.2.1 ADC 靜態參數 (Static Parameters) 之模擬

對 ADC 輸入一個低速 25V/ μ s 的漸增斜坡 (ramp) 訊號，且取樣頻率 (sampling frequency) 為 10GS/s 的弦波 (sinusoidal) 訊號，得到的 4-bit Gray code 差動 (differential) 輸出訊號如圖 4.8 所示。

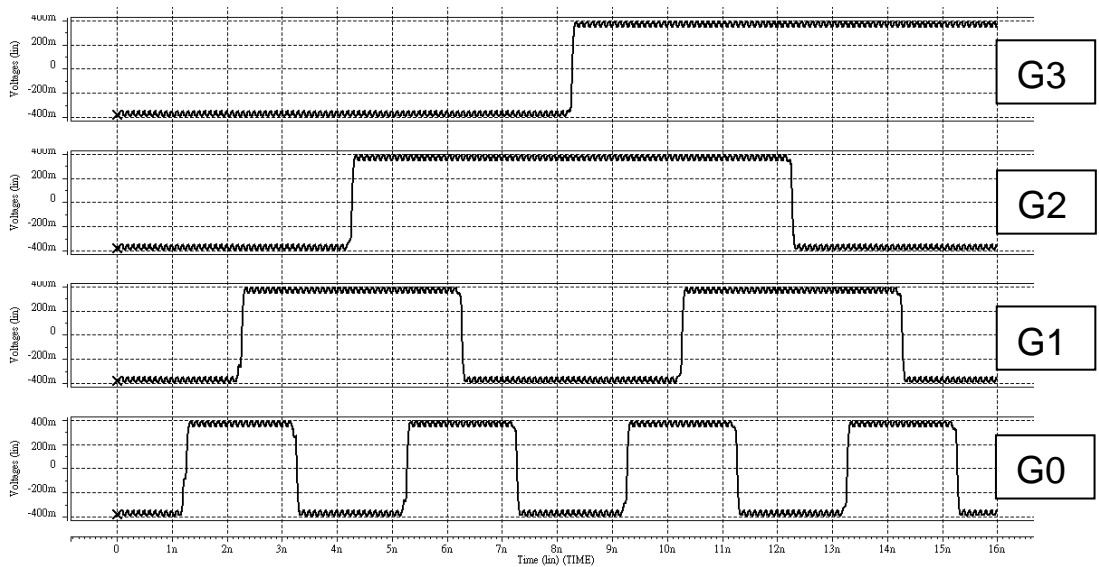


圖 4.8 取樣率為 10GS/s 時 ADC 輸入 25V/ μ s 的 ramp 訊號
模擬之 4 位元 Gray code 輸出

從圖 4.8 的模擬結果中可以清楚的看出 AD 的轉換都沒有任何的缺碼 (missing code)，且由模擬結果計算出 ADC 的 DNL 和 INL，如圖 4.9 所示，DNL 的變化為 -0.010 到 0.009LSB，INL 則為 -0.0067 到 0.0057LSB 之間，可以看出 DNL 與 INL 都相當的小，遠小於 1 個 LSB，顯示我們所設計之 ADC 本身具備良好的線性特性。

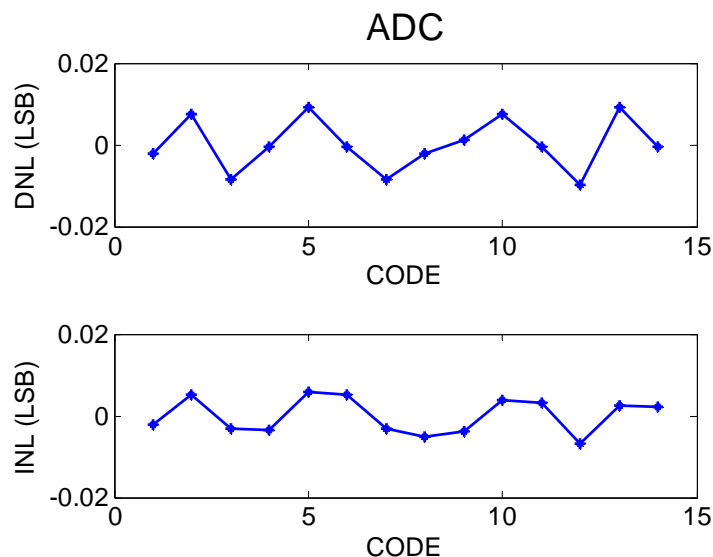


圖 4.9 ADC 模擬之 DNL 與 INL (取樣率為 10GS/s)

4.2.2 ADC 動態參數 (Dynamic Parameters) 之模擬

動態參數的模擬中，我們對 ADC 輸入一個約 1.4257GHz 的 sinusoidal 訊號，而取樣頻率為 10GS/s，將模擬後 ADC 輸出的數位訊號作 FFT (Fast Fourier Transform)，得到頻譜上的結果，如圖 4.10 所示，其中取樣點數為 512 點 (512-point FFT)。從此頻譜可計算出在此輸入訊號頻率下的動態參數結果：SNR 為 25.82 dB、SNDR 為 24.97 dB，計算得 ENOB 可達 3.86 bits 且 SFDR 則為 32.47 dBc。

進一步改變輸入訊號的頻率，模擬在 10GS/s 的高速取樣情況下，輸入訊號頻率對各種動態參數變化的關係圖，如圖 4.11 所示，觀察 SNDR 的曲線，顯示當輸入訊號頻率超過 3GHz 時 SNDR 下降的幅度約達 3 dB 左右，也就是 ADC 的 ERBW 在 3GHz~3.5GHz 之間，而 SNR 的曲線表現得較為平坦，一直到當輸入訊號頻率超過 4.5GHz 時，下降的幅度才超過了 3 dB；而 SFDR 的曲線主要是受到三階諧波失真的影響，且當輸入頻率越高，影響越明顯。

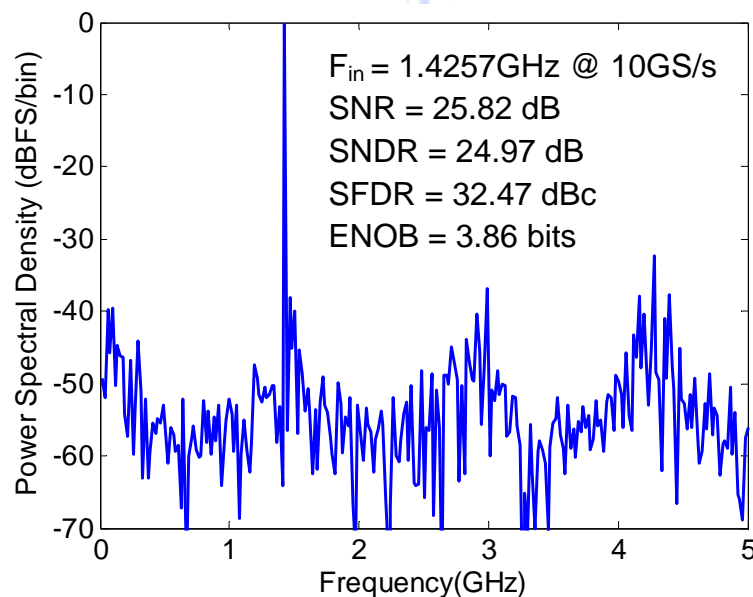


圖 4.10 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時模擬之 ADC 輸出訊號的頻譜

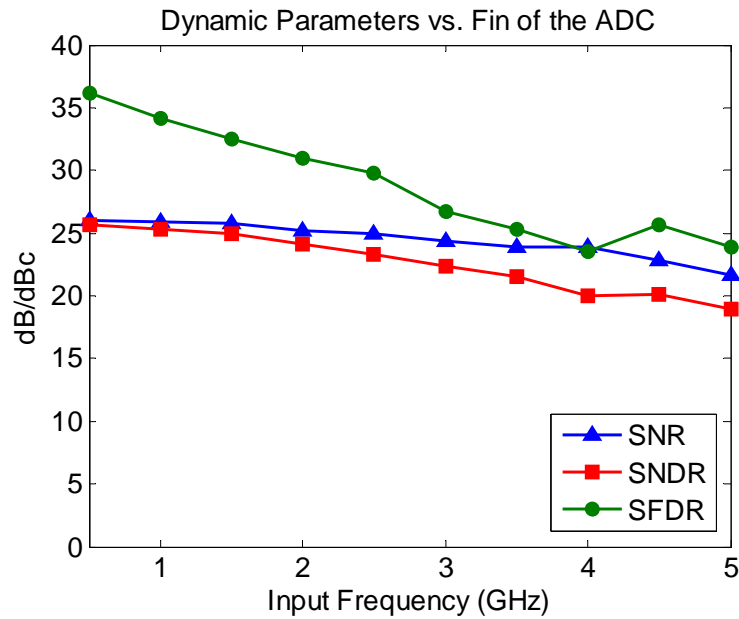


圖 4.11 取樣率為 10GS/s 時 ADC 模擬之各種輸入頻率與動態參數的關係

4.2.3 ADC 功率消耗之模擬

表 4.2 列出了 ADC 類比與數位電路部份在供應電壓源為 1V 且取樣時脈訊號在 10GS/s 時所模擬的平均功率消耗，類比電路的部分主要包含 15 組的 Gilbert-Cell 與總共 45 個的 Active negative feedback Pre-Amplifier，共消耗約 147mW；而完整比較器電路 Comparator slice 中最後一級的 CML Latch 因為其所處理的輸入訊號已接近數位訊號程度的擺幅，且為了避免類比電路受到 CML Latch 高速取樣訊號的干擾，因此使用數位部份的電源作為其供應電壓源。剩餘主要的數位電路包含由 CML 邏輯電路構成的 Encoder 和最後用來使輸出訊號同步的 CML Latch 電路，以及數個用作 Wave-pipelining 的 clock buffer 也都是使用數位部份的電源，這些數位電路佔用掉約 130.6mW 的功率；整個 ADC 的功率消耗約為 277.6mW。

表 4.2 ADC 類比及數位部份電路模擬之各別功率消耗比較表

Power Domain	Functional Blocks	Power Consumption (mW) @ 1V supply voltage & 10GS/s
Analog Part	<ul style="list-style-type: none"> ■ (Resistor ladder) ×2 ■ (Gilbert-Cell) ×15 ■ (Active negative feedback Pre-Amplifier) × 45 ■ (Bias Circuit) ×2 	147.0
Digital Part	<ul style="list-style-type: none"> ■ (Latched-Preamplifier) ×15 ■ (CML based Encoder) ×1 ■ (Retiming output CML Latch) ×4 ■ (Wave-pipelining clock buffers) ×1 	130.6
Total Power Consumption (mW) @ 1V supply voltage & 10GS/s		277.6



第五章

晶片可測試性設計、模擬與佈局

分析討論完 10GS/s 4-bit DAC 與 ADC 個別的設計之後，本章節將解說我們如何測試此組超高速資料轉換器對 (Data Converter Pair)，並且針對實際測試上會遭遇到的問題來設計我們的量測晶片，也就是在實驗晶片中加入一些測試機制的電路，作整個晶片的可測試性設計 (Design-for-Testability, DfT)，使得這些測試上的困難可以獲得解決。

5.1 可測試性設計 (Design-for-Testability, DfT)

一般測量 DAC 的方式是給定取樣用的時脈訊號後，並由波形產生器 (Pattern Generator) 所產生多位元的數位訊號來作為 DAC 的主要輸入訊號，再透過示波器 (Oscilloscope) 觀察 DAC 的時域響應，或是利用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 評估 DAC 頻域上的效能。然而，對於 10GS/s 的 nyquist-rate DAC 而言，最快的輸入數位訊號頻率將高達 5GHz，目前市面上仍無能夠產生 5GHz 的數位訊號產生器，這使得對於我們設計的 10GS/s DAC 來說，將無法進行接近全速 (at-speed) 時的量測。另一方面，量測 ADC 的方法是給予輸入的類比訊號源 (stimulus) 以及取樣時脈訊號後，在 ADC 的輸出端利用邏輯分析儀 (Logic Analyzer, LA) 抓取並儲存 ADC 輸出的有效數位結果。其中邏輯分析儀透過 ADC 送出的時脈觸發訊號作為時序上的存取資料的依據，而對於 Flash 架構的 ADC 而言，取樣率 (sampling rate) 就等於其轉換率 (conversion rate)，因此邏輯分析

儀的取樣能力就必須要大於或等於待測 ADC 的最大取樣率，才能對該 ADC 做頻寬內各種頻率的測試。之後再將邏輯分析儀擷取到的資料經由電腦或其他輔助工具將結果做進一步的分析。然而目前市面上並無取樣率能高達 10G-Sample/s 的邏輯分析儀，因此實際測試將會遇到無法測試全速操作下的 10GS/s ADC。由前述討論可知在我們所設計之取樣率高達 10GS/s 的情況下，我們將無法單獨針對 DAC 與 ADC 進行個別量測，此問題為目前高速資料轉換器在測試時的重大問題。

為了順利完成 10GS/s DAC 與 ADC 全速運作下的完整測試，我們將 DAC 與 ADC 的配置設計成串接 (cascade) 的形態，以 ADC 串接 DAC 形成 digital loop-back[40]的方式進行所有量測，也就是 ADC+DAC Test，且在 ADC 與 DAC 之間我們設計了一組主要由數個開關電路以及 Buffer 所構成的可測試性設計 (Design-for-Testability, DfT) 電路，其提供兩種測試模式 (Test Mode)，分別為模式 A 的 Cascade Mode 與模式 B 的 Shuffle Mode，如圖 5.1 所示。

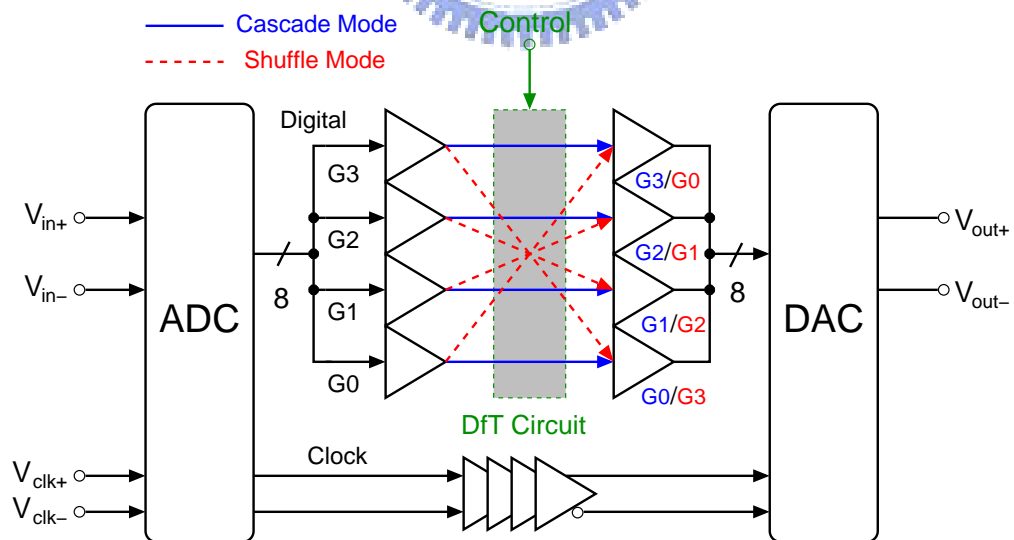


圖 5.1 可測試性設計 (Design-for-Testability, DfT) 之電路

經由選擇控制訊號 Control 將 DfT 電路作用在不同的測試模式，當

Control 訊號等於 0 時，為測試模式 A (Test Mode A)，反之則為測試模式 B (Test Mode B)。

5.1.1 測試模式 A (The Test Mode A)

在測試模式 A—Cascade Mode 中，如圖 5.2 所示，ADC 的數位輸出 $G_{ADout}[3:0]$ 將會輸入到相對應之 DAC 數位輸入 $G_{DAin}[3:0]$ 。在這樣的設定下，使用高頻類比訊號產生器 (Analog Signal Generator) 作為整個測試晶片的輸入訊號源，而 ADC 串接 DAC 後的輸出訊號便可直接使用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 觀測。如此一來，此組資料轉換器便可以在 10GS/s 的全速取樣率之下進行測試，可直接量測得到全速運作下的動態參數結果，解決高速 ADC 與 DAC 單獨測試時的困難；另外在此模式下，對 ADC 輸入一差動的直流電壓，則 DAC 將會產生一相對應的輸出電壓值，逐步改變輸入的直流電壓值之後，可得到 ADC 串接 DAC 的輸入輸出轉換特性曲線 (input-output characteristic curve)，經由該曲線可直接計算出 ADC 與 DAC 各別的 DNL 和 INL，且此測得的 DNL 與 INL 也都會是在 10GS/s 的取樣率下得到的結果。

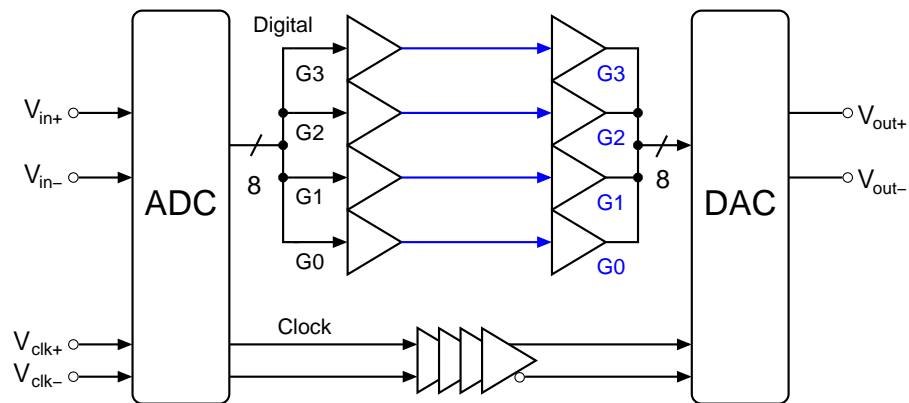


圖 5.2 測試模式 A—Cascade Mode

5.1.2 測試模式 B (The Test Mode B)

測試模式 B 主要是希望透過眼圖 (Eye Diagram) 的量測，以評估此組資料轉換器對用於串列傳輸系統中，多位準 (multi-level) 的調變能力以及最大可傳遞的資料傳輸速率 (data rate)。我們藉由打亂 (randomize) ADC 輸出接入到 DAC 的數位訊號，使 DAC 所接收到數位訊號可以變成近似於 PRBS (Pseudo Random Bit Sequence) 的訊號。然後可以在主要輸出 (primary outputs)，也就是 DAC 的輸出，使用示波器 (Oscilloscope) 量測得到 Eye Diagram。我們在不增加額外硬體電路的情形下，使用以下技巧打亂 ADC 輸出所送至 DAC 的數位訊號：將 ADC 量化輸出之數位訊號中的最低有效位元 (Least Significant Bit, LSB) $G0_{ADout}$ ，移位送至 DAC 輸入的最高有效位元 (Most Significant Bit, MSB) $G3_{DAin}$ ，而其餘 ADC 的輸出位元也依照類似的方式交錯移位輸入到 DAC 當中，如圖 5.3 所示，也就是 $G0_{ADout} \rightarrow G3_{DAin}$ ， $G1_{ADout} \rightarrow G2_{DAin}$ ， $G2_{ADout} \rightarrow G1_{DAin}$ ， $G3_{ADout} \rightarrow G0_{DAin}$ 的交錯方式 (Shuffle)。如此一來可使 DAC 輸入看到的訊號變成近似於一隨機訊號 (random signal)。

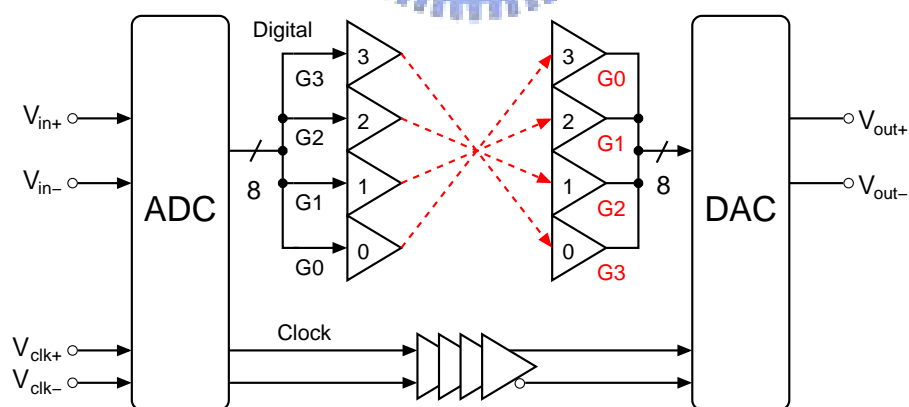


圖 5.3 測試模式 B—Shuffle Mode

其理由是因為 ADC 轉換出的 LSB 位元，是最接近於量化雜訊 (Quantization Noise) 的訊號，其與輸入訊號的相關性程度最低，即與輸入訊號較無關 (independent of the input)，也就是具備類似於雜訊般隨機

(random) 的特性。因此若將 ADC 輸出的 LSB 訊號用來控制決定 DAC 超過二分之一輸出量的 MSB 訊號，這樣即可使大部分 DAC 的輸出結果變成隨機的特性。利用此方式依序將 ADC 輸出的 LSB-n 訊號用來控制 DAC 輸入的 MSB-n 訊號， $n \leq 3$ ，就可產生更近似於四位元隨機訊號的結果，使 DAC 的輸出可以進行 Eye Diagram 的量測。

5.1.3 DfT 測試方式之驗證 (Verification of the DfT concept)

為驗證前述 ADC 串接 DAC 形成 digital loopback 的測試方式不會因非理想 DAC 的干擾而使得 ADC 真實量測到的效能受到太大的影響，因此我們透過 MATLAB 設計模擬了一個理想 4bits DAC 動態參數響應對輸入訊號頻率 (Dynamic Parameters vs. Input Frequency) 的關係，並與我們實際所設計的 DAC 模擬結果做比較，結果如圖 5.4 所示。其中在理想 4bits DAC 的模擬當中，我們根據實際設計模擬的 10GS/ 4bits DAC 其輸出端可能所具備的總 RC 時間常數 (RC time constant)，加入到理想 4bits DAC 的模擬環境當中，也就是假定理想的 DAC 為一階指數充放電的系統 (the first order exponential system)，期望使模擬得到的結果可以較為客觀。

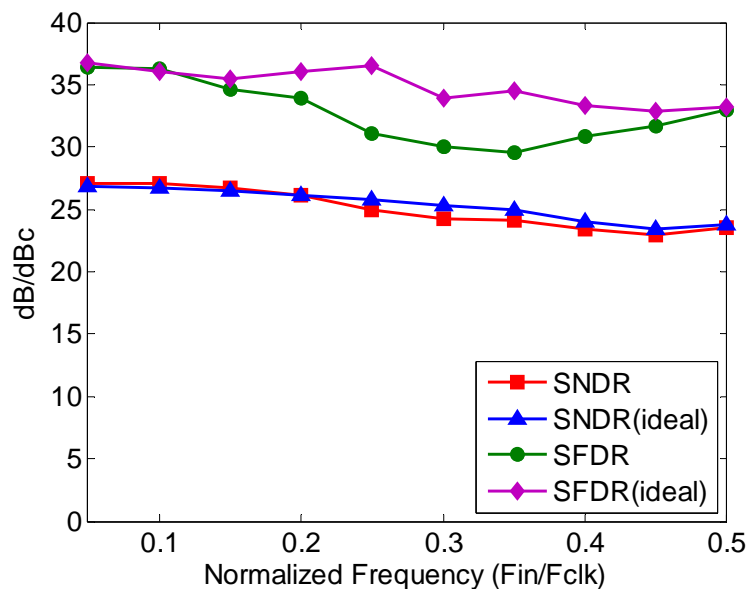


圖 5.4 理想與實際設計之 4bits DAC 動態參數對輸入訊號頻率之模擬

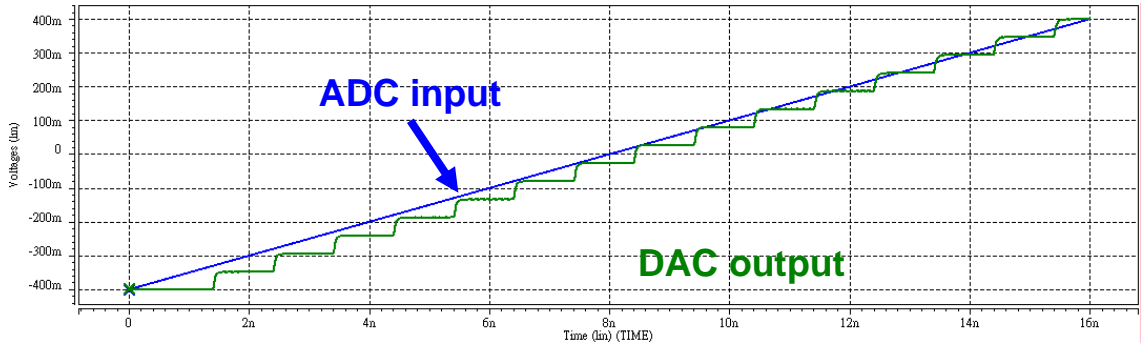
從圖 5.4 的模擬結果可看出，比較理想與實際設計的 4bits DAC 兩者 SFDR 的響應曲線中，約在 0.2 到 0.4 倍(F_{in}/F_{clk})的區間有較大差異，這可能主要是由於實際設計之 10GS/s 4bits DAC 的有限電流源輸出阻抗 (finite output impedance of the current source) 所導致；但在 SNDR 的響應曲線中，實際設計之 DAC 確實相當接近理想的情況，顯示我們所設計之 10GS/s 4bits DAC 的效能在某種程度上的確相當貼近理想的 4bits DAC，也說明了 ADC 串接 DAC 形成的 digital loopback 測試方式確實是可行的。

5.2 各種測試模式下之模擬結果

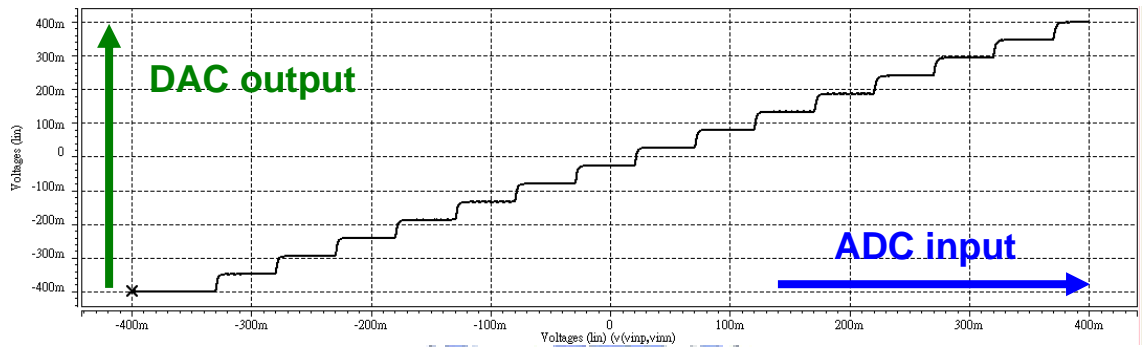
5.2.1 測試模式 A (Test Mode A) 之模擬結果

如同先前所述，測試模式 A 將 ADC 與 DAC 對應的輸出與輸入直接連接起來，此模式對實際的測試晶片而言可做全速時的量測。圖 5.5(a)與 5.5(b) 顯示在測試模式 A 中，輸入一個低速 25V/ μ s 的漸增 ramp 訊號，且取樣訊號為 10GHz 的 sinusoidal 訊號，得到的 ADC-DAC 輸入輸出轉換特性曲線 (input-output characteristic)，可知 ADC 沒有 Missing code 且 DAC 為 Monotonic。

圖 5.6 為相同的測試模式下，輸入一個約 1.4257GHz 的 sinusoidal 訊號，取樣頻率為 10GS/s，得到的同頻率類比輸出波形。將此時域波形取樣 1024 點的資料並作 FFT 的轉換後可得到圖 5.7 的頻譜結果 (1024-point FFT)，計算此時的動態參數可得 SNR 為 26.52 dB、SNDR 為 26.14 dB，對應的 ENOB 可達到 4bits 的程度，而 SFDR 約為 36.95 dBc。可以注意到的是，這些動態參數的模擬結果都比第三章單獨 ADC 同頻率 (1.4257GHz) 輸入訊號下的模擬結果還來得好，這主要是由於 DAC 本身的 Zero-Order Hold (ZOH) 效應所造成的，詳細原因將在下一小節有更詳盡的探討。



(a) ADC input 與 DAC output 之波形



(b) ADC input 對 DAC output 之轉換特性曲線

圖 5.5 測試模式 A 中模擬之 ADC-DAC 輸入輸出轉換特性曲線

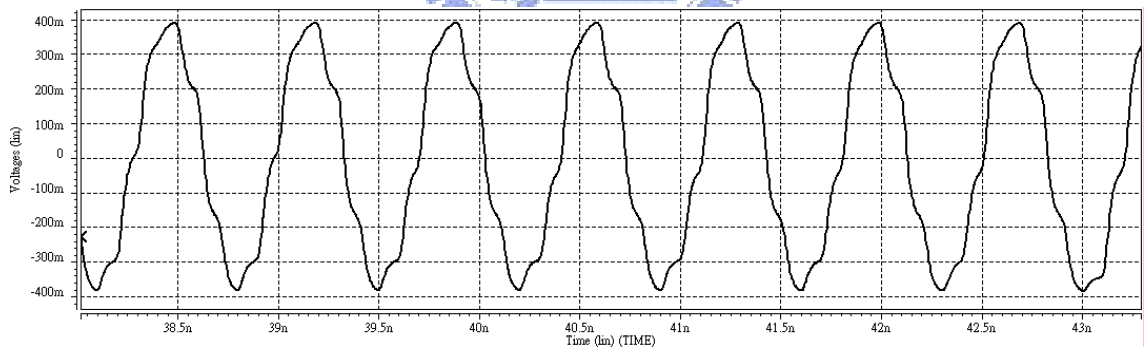


圖 5.6 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時
測試模式 A 時模擬之輸出波形

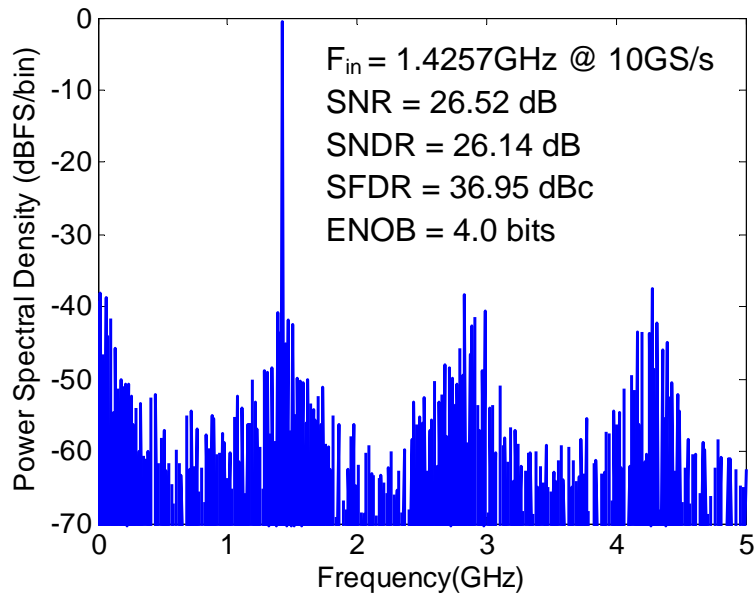


圖 5.7 輸入 1.4257GHz 之 sinusoidal 訊號且取樣率 10GS/s 時
測試模式 A 時模擬所得之輸出訊號頻譜

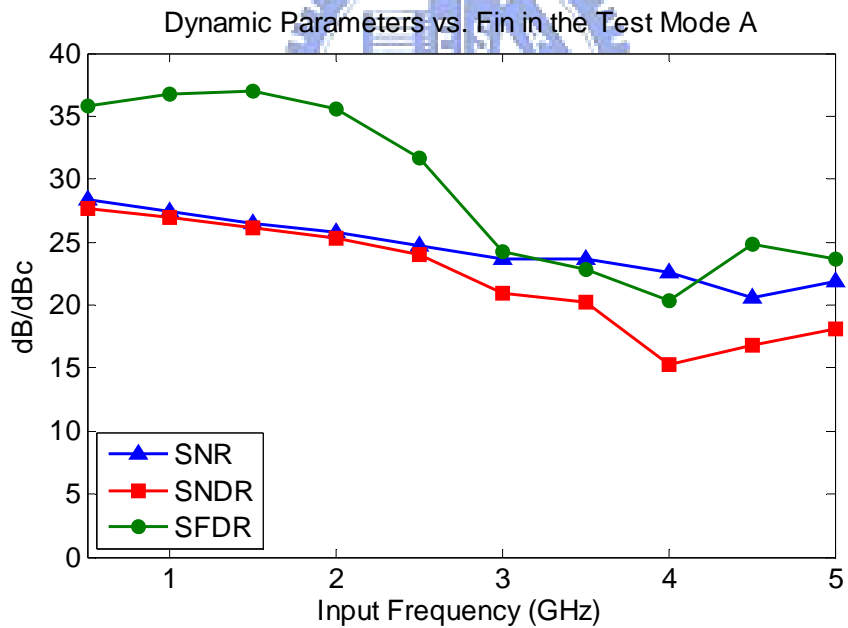


圖 5.8 測試模式 A 時 模擬之各種輸入訊號頻率與動態參數的關係

進一步改變輸入訊號的頻率，將測試模式 A 中各種輸入訊號頻率下得到的動態參數繪成圖，如圖 5.8 所示。其中在輸入訊號頻率 2.5GHz 至 3GHz 的區間內，SNDR 曲線下降的幅度達到 3 dB 的程度，可知在測試模式 A 的模擬中，整個串接資料轉換器對的 ERBW 約在 2.5GHz 到 3GHz 之間；SNR

的響應曲線則是直到輸入訊號頻率超過 4GHz 之後才下降超過 3 dB。SFDR 在輸入頻率 2.5GHz 以內的範圍內，都可達到 30 dBc 以上。不過必須知道的是，這些動態參數的模擬結果實際上低估了 ADC 真實的效能，因為 DAC 所造成的 ZOH 效應，使高頻時的輸入訊號功率會被衰減 (attenuate)，原因也在下一小節作探討。

5.2.2 DAC 之 Zero-Order Hold (ZOH) 效應[50][51]

理想 DAC 將一連串離散 (discrete) 的數位訊號轉換成連續 (continuous) 的類比輸出訊號，數學可表達寫成：

$$x(t) = \sum_{n=-\infty}^{\infty} x[n]h_0(t-nT) \quad (5.1)$$

$x(t)$ 代表類比的輸出結果， $x[n]$ 為離散時間 (discrete-time) 的輸入序列 (sequence)，而 $h_0(t)$ 為 Zero-Order Hold (ZOH) 之脈衝響應 (impulse response)，其定義為：

$$h_0(t) = \begin{cases} 1, & 0 \leq t < T, \\ 0, & \text{otherwise.} \end{cases} \quad (5.2)$$

其中 $T = \frac{1}{f_s}$ ，為取樣轉換系統的取樣週期 (sampling period)， f_s 為取樣頻率 (sampling frequency)。可知 DAC 輸出的波形具有 ZOH 的特性，也就是轉換離散時間訊號至連續時間訊號，並維持每次取樣轉換的輸出值穩定在一個取樣週期時間 (T) 之內，為 piecewise-constant 型態的訊號。另外取樣保持 (Sample-and-Hold) 電路之輸出也具有相同的特性，簡單的波形示意如圖 5.9 所示，圖中虛線為某一類比連續的訊號，而實線為相對應於該類比連續訊號可能的 ZOH 波形，如同 Sample-and-Hold 電路輸入及輸出各別的波形，且理想 DAC 的輸出也是如圖中 ZOH 的波形，維持固定值在每個取樣週期時間內，直到下個取樣時間才根據輸入訊號更新 (update) 輸出的結果。

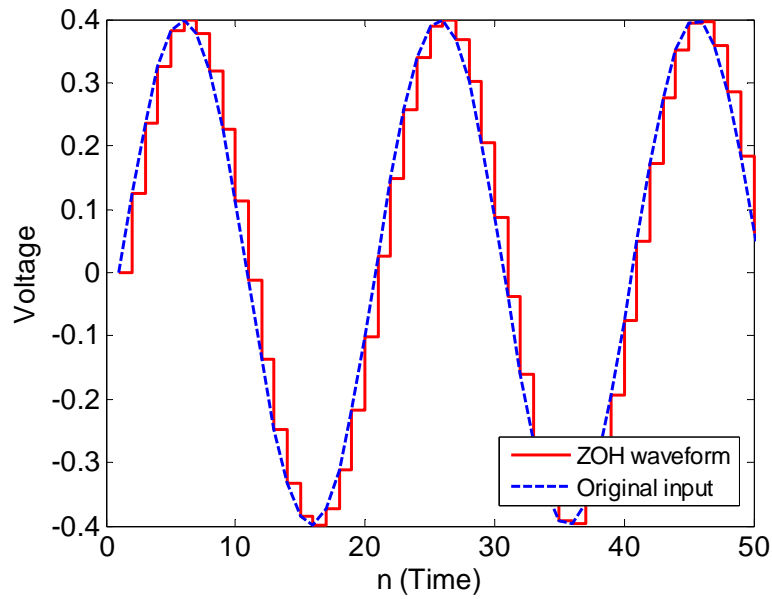


圖 5.9 Zero-Order Hold (ZOH) 之訊號波形例子

對於時域響應具有 ZOH 特性的濾波器或電路而言，其頻率響應 (frequency response) 可以計算證明得到[50]：

$$H_o(j\Omega) = \frac{2 \sin(\Omega T / 2)}{j\Omega} e^{-j\Omega T / 2} \quad (5.3)$$

且可寫成：

$$H_o(j\Omega) = T \cdot \text{sinc}\left(\frac{\Omega T}{2}\right) \times e^{-j\Omega T / 2} \quad (5.4)$$

由式 (5.4) 可知 ZOH 的頻率響應即為一 SINC-function，其振幅響應 (magnitude response) 如圖 5.10 所示。在取樣頻率的整數倍 (10GHz, 20GHz, ...) 上都會有零點 (zero) 存在，且從 DC 到 sampling frequency 頻率範圍內顯示出訊號的大小會隨頻率的增加而不斷衰減，呈現類似低通濾波 (low-pass filtering) 的響應。

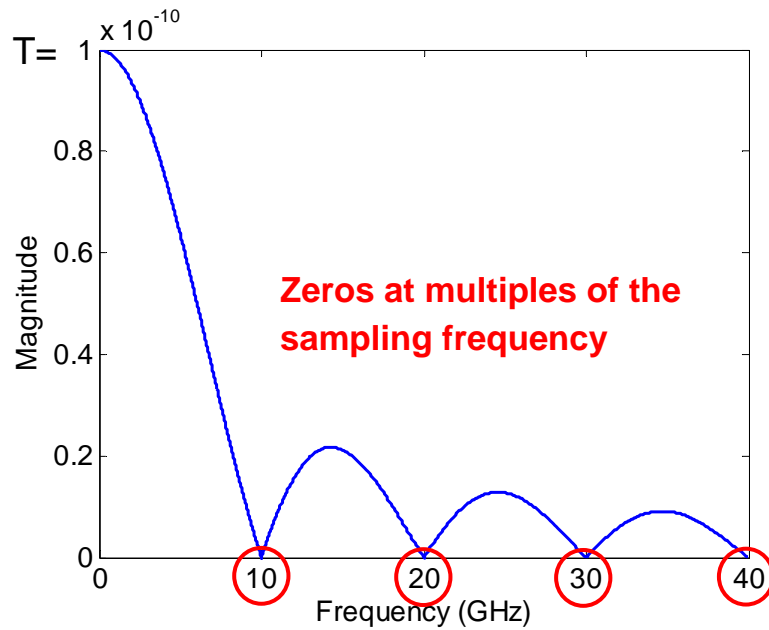


圖 5.10 取樣率為 10GS/s 之 ZOH 頻率響應 (振幅響應) 圖

另外必須要注意的是，ZOH 的振幅響應在 DC 時的大小為原本訊號的 T 倍，但實際上訊號是先經過取樣再進行轉換，若假設原本訊號的頻譜在 DC 時的大小為 A ，則取樣後變為 (A/T) ，再經由 DAC 本身的 ZOH 效應得到之訊號其頻譜在 DC 時的大小仍為 A ，也就是整個 DAC 系統的振幅響應在 DC 時為 1，當輸入頻率為 DC 時不會改變訊號振幅的大小，因此整個 DAC 取樣轉換系統的振幅響應可寫成：

$$|H_{DA}(j\Omega)| = \left| \frac{2\sin(\Omega T/2)}{\Omega T} \right| = \left| \text{sinc}\left(\frac{\Omega T}{2}\right) \right| \quad (5.5)$$

畫出以 dB 來表示的 10GS/s DAC 整個系統包含取樣及 ZOH 效應的振幅響應 ((5.5) 式)，如圖 5.11(a)，在 DC 時的振幅響應為 0 dB，也就是 1 倍。觀察 DC-5GHz 的 nyquist bandwidth 頻率範圍之中，如圖 5.11(b)。由 (5.5) 式計算當頻率為 nyquist frequency ($T = \pi/\Omega$) 時，得到的振幅響應為原本的 $(2/\pi)$ 倍，也就是衰減約 3.922 dB (或衰減為原本的 0.637 倍)。

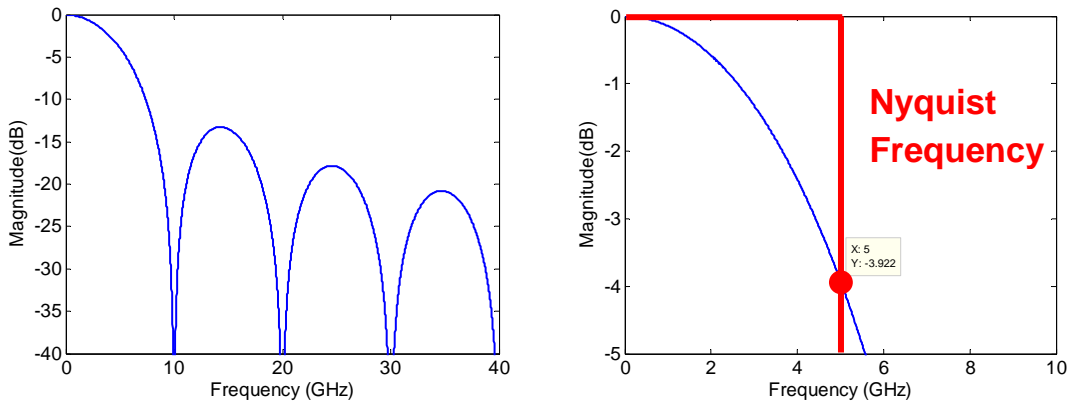


圖 5.11 (a)10GS/s DAC 頻率響應之振幅響應圖 (in dB)
(b) Zoomed in 10GHz

由前述討論得知，訊號經過 DAC 轉換輸出之後，在頻域的特性如同低通 (low-pass) 的效應，即便是理想的 DAC 也會有相同的現象。在第四章，圖 4.10 正是模擬出 DAC 輸出訊號主訊號功率 (Signal-tone) 隨輸入訊號頻率增加而衰減的現象。將圖 4.10 的資料與 10GS/s 的 ZOH 振幅響應畫在一起，如圖 5.12 所示。虛線為 10GS/s ZOH SINC-function 的頻率響應，實線為我們所設計並模擬之 10GS/s DAC 之主訊號功率隨頻率衰減的趨勢，可看出兩者隨頻率變化的關係相當接近，印證了 DAC 明顯的 ZOH 效應。

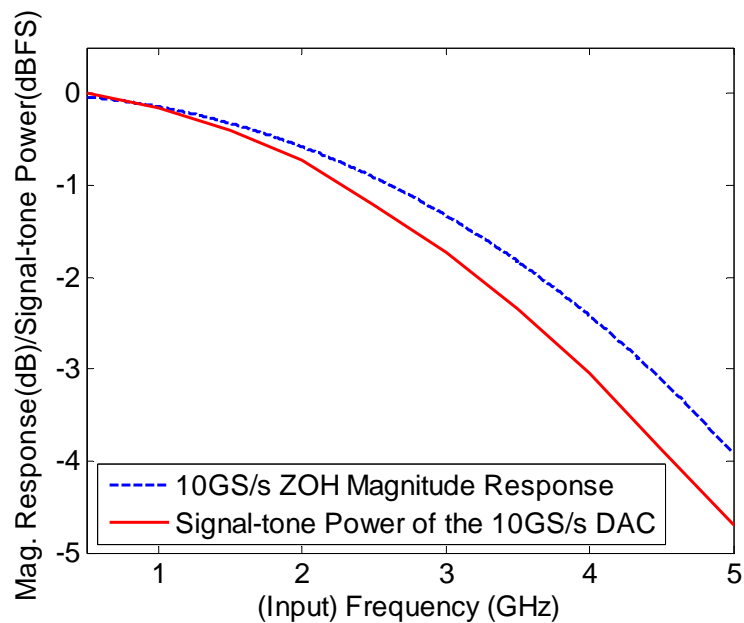


圖 5.12 10GS/s DAC 之 Signal-tone Power 與 ZOH 振幅響應之頻率響應比較

因此可知圖 5.8 中，測試模式 A 時，ADC 串接 DAC 模擬得到的動態參數對輸入訊號頻率變化的響應必然包含受到 DAC ZOH 影響的結果。為了正確得知 ADC 較接近真實的效能，我們將各種輸入訊號頻率下得到的輸出頻譜結果作相反於 ZOH 頻率響應的補償 (compensate)，也就是使用頻率響應特性為 Anti-SINC filter 的方式作補償。經由式 (5.3) 及 (5.5) 可推導出 Anti-SINC filter 的頻率響應如 (5.6) 式，畫出在 10GS/s 取樣頻率時的頻率響應之振幅響應圖如圖 5.13(a)，而放大 DC 到 nyquist frequency (5GHz) 之間的頻率範圍如圖 5.13(b)所示。圖中可看出從 DC 到 nyquist frequency (5GHz)，振幅響應的大小隨頻率而增加，直到 5GHz 時提供 $\pi/2$ 倍約 3.922 dB 的增益，恰好補償了 ZOH 效應的振幅頻率響應在 nyquist bandwidth 頻率範圍衰減的量。因此藉由套用此 Anti-SINC filter 的頻率響應特性，理論上可以消除 ADC 因受到 DAC 之 ZOH 效應的影響，得到接近實際 ADC 所應有的效能。

$$H_r(j\Omega) = \frac{\Omega T/2}{\sin(\Omega T/2)} e^{j\Omega T/2} \quad (5.6)$$

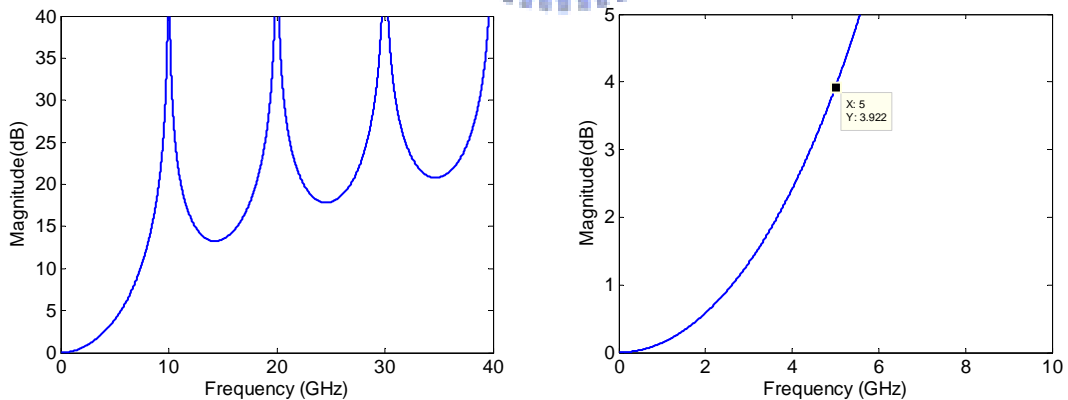


圖 5.13 (a) 10GS/s 之 Anti-SINC 頻率響應之振幅響應圖
(b) Zoomed in 10GHz

將測試模式 A 中各種輸入訊號頻率下輸出得到的頻譜都進行 ZOH 效應的補償，也就是套用 Anti-SINC 的頻率響應特性，然後重新計算各動態參數的值，並將這些動態參數畫出與輸入頻率的關係，如圖 5.14(SNDR/SFDR

vs. F_{in} w/wo ZOH compensation) 與圖 5.15 (SNR vs. F_{in} w/wo ZOH compensation) 所示。

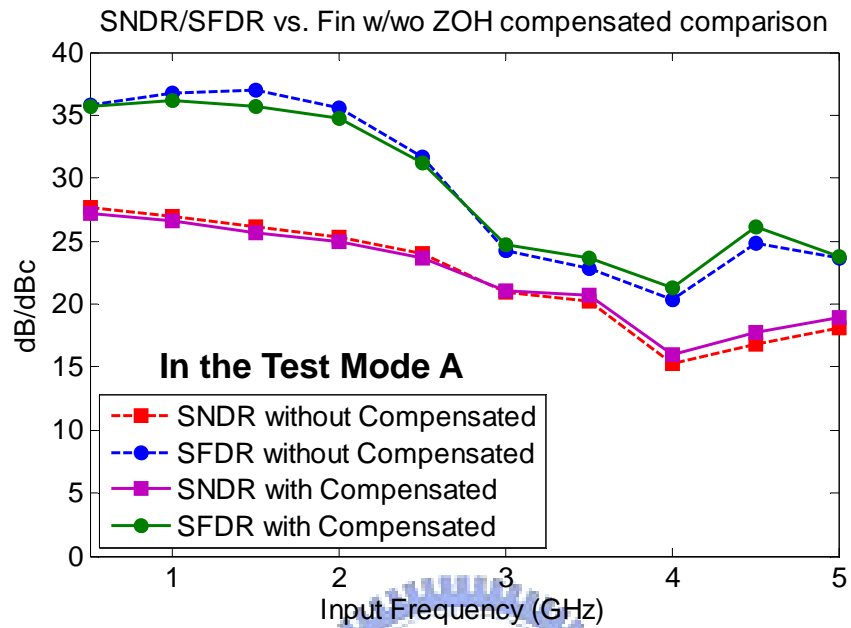


圖 5.14 測試模式 A 時 輸入訊號頻率對 SNDR/SFDR ZOH 效應補償前後之比較

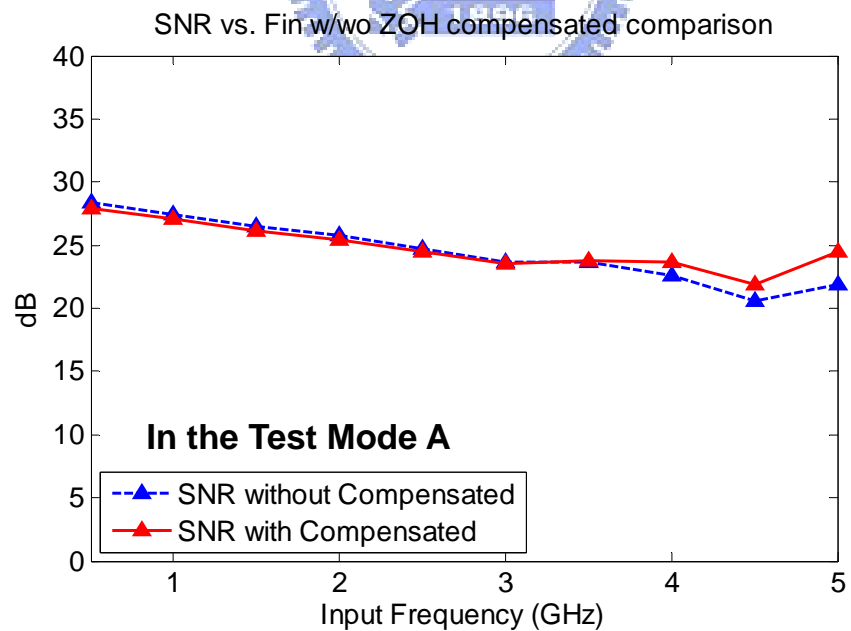


圖 5.15 測試模式 A 時 輸入訊號頻率對 SNR ZOH 效應補償前後之比較

圖 5.14 與 5.15 兩張圖中，虛線都表示為補償之前，實線都為補償之後

的結果，可看出補償後在較高頻時的動態參數都有所提升。值得注意的是，由於先前的討論都是假設 DAC 為理想的情況，也就是假設 DAC 只有 ZOH 的效應而沒有其他額外的非理想性 (non-ideality)，因此將實際電路在測試模式 A 模擬或量測到的資料進行補償，則補償後的結果可以認定是 ADC 效能的最糟情形 (worst case) 結果。為了更明確的說明此論點，我們將模擬之測試模式 A 中經過 ZOH 效應補償後的結果與單獨 ADC 兩者的動態參數對輸入訊號頻率變化的關係繪成圖 5.16 (SNDR/SFDR) 與圖 5.17 (SNR) 以方便比較。其中虛線都代表測試模式 A 中經過 ZOH 補償後的結果，實線則為單獨 ADC 的情況。圖 5.16 可看出在較高的輸入訊號頻率時，單獨 ADC 的 SNDR 響應曲線比測試模式 A 的結果來得好，可知 ADC 的 ERBW 應可超過 3GHz，且圖 5.17 的 SNR 響應曲線在輸入訊號較高頻時也是相似的情形。從這些模擬結果可知，在測試模式 A 的運作下，即使經過 ZOH 效應的補償後，得到的效能參數確實是低估 ADC 可能潛在的真實效能。因此測試模式 A 所模擬或量測到的結果的確可認定為 ADC 效能的最糟情形結果。

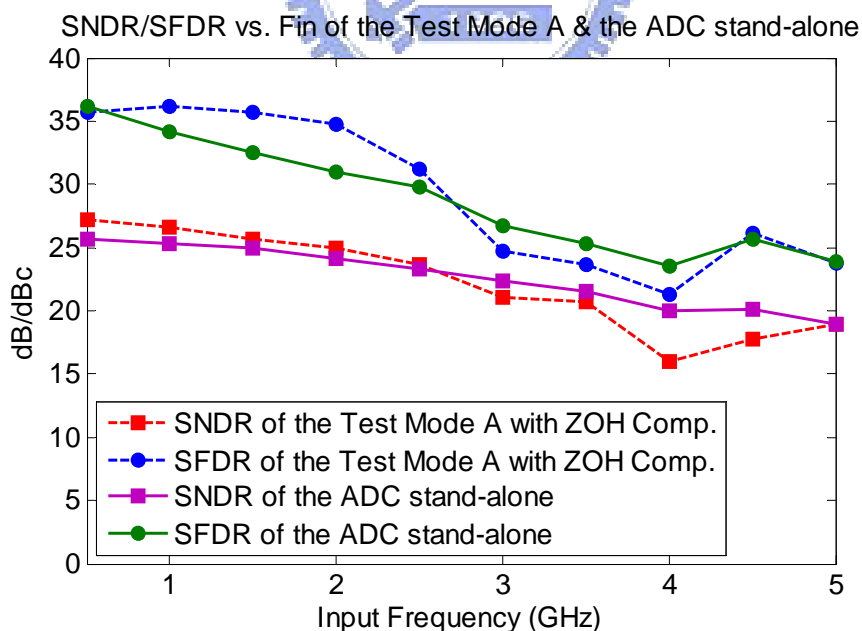


圖 5.16 測試模式 A 經 ZOH 效應補償後與單獨 ADC 之 SNDR/SFDR 對輸入訊號頻率關係之比較

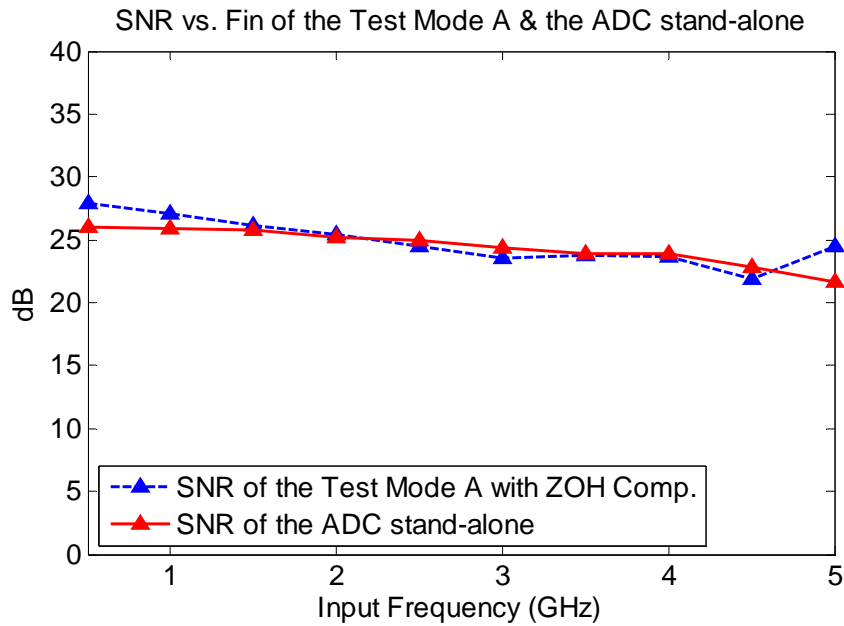


圖 5.17 測試模式 A 經 ZOH 效應補償後與單獨 ADC 之 SNR 對輸入訊號頻率關係之比較

5.2.3 測試模式 B (Test Mode B) 之模擬結果

ADC 與 DAC 在測試模式 B 的運作如圖 5.3 所示。我們對 ADC 輸入一個約 0.5GHz 的 sinusoidal 訊號，且取樣時脈訊號為 10GHz 下，所得到 DAC 輸出的 Eye Diagram 如圖 5.18 所示(約 100 個 cycles)。可看出 16 個位階的眼都還是可以清楚地辨認出來，顯示整個資料轉換器對在多位準 (multi-level) 通訊系統上的應用能力。

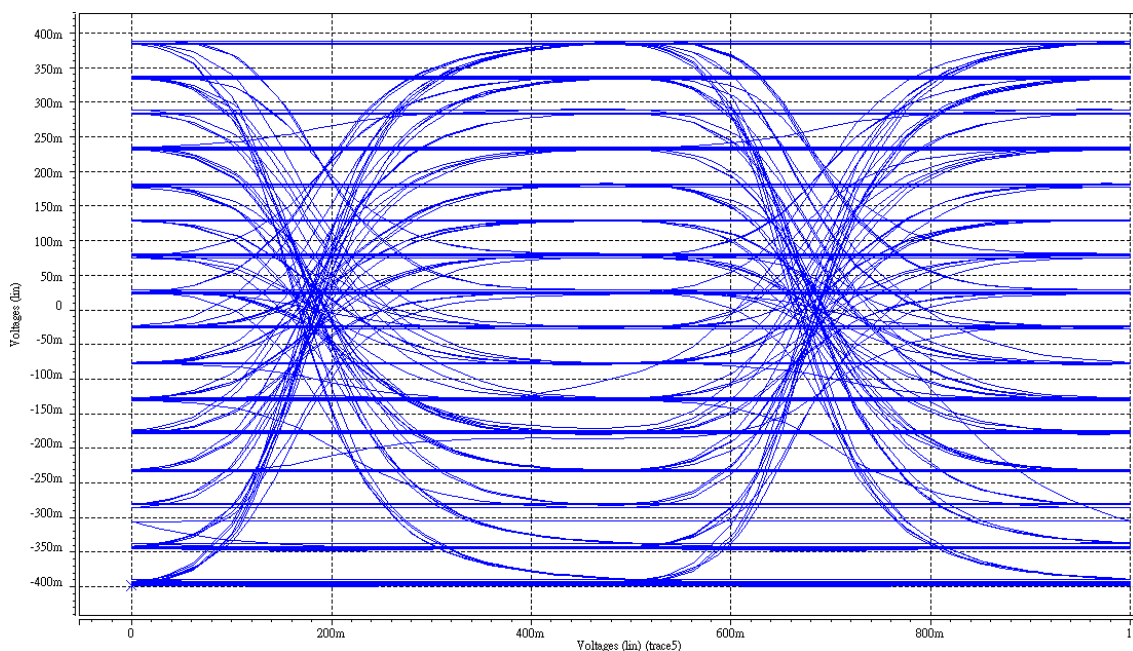


圖 5.18 測試模式 B 中 取樣率 10GS/s 時 輸出眼圖 (Eye Diagram) 之模擬

5.2.4 測試晶片功率消耗之模擬

整個測試晶片電路包含 ADC、DAC 與 DfT 三大部份。由於 DfT 電路介於 ADC 與 DAC 之間，其主要包含數個開關電路以及 Buffer 所構成，且 DfT 電路處理的訊號為數位型式的訊號，因此設計使用數位部份的電源作為其供應電源。在供應電壓源為 1V 且取樣時脈訊號在 10GS/s 時所模擬的平均功率消耗結果如表 5.1 所示。單獨 ADC 與 DAC 各消耗 277.6mW 與 108.2mW，DfT 電路消耗約 32.2mW，整個測試晶片電路共消耗約 418mW。

表 5.1 模擬之各部份電路功率消耗表

Blocks	Power Consumption (mW) @ 1V supply voltage & 10GS/s
ADC	277.6
DAC	108.2
DfT	32.2
Total	418

5.3 測試晶片之佈局 (Layout)

圖 5.19 顯示整個 ADC 與 DAC 之晶片佈局圖(Layout)，使用 UMC 90nm CMOS Mixed-Mode 1P9M Low-K 的製程。ADC 的有效面積 (active area) 約為 0.1mm^2 ，DAC 的有效面積約為 0.04mm^2 。

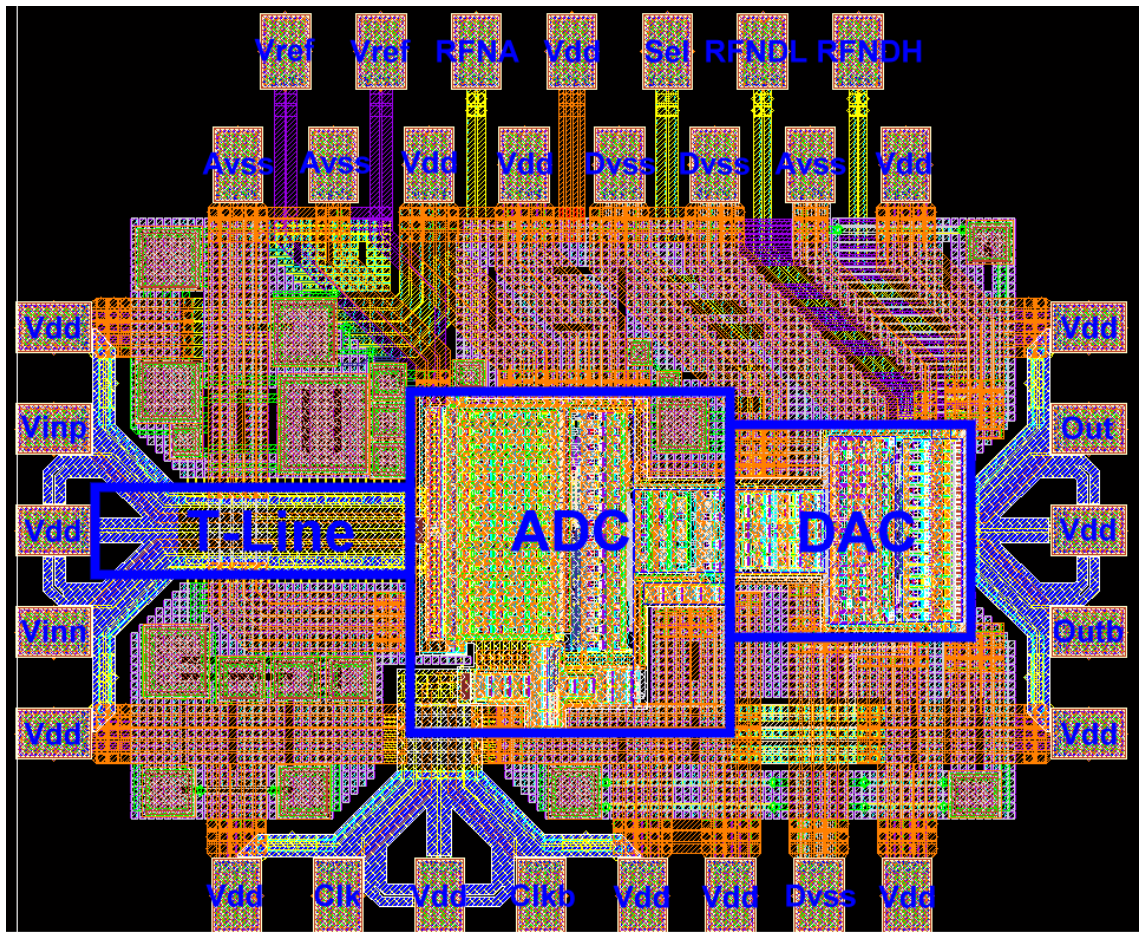


圖 5.19 測試晶片 (test chip) 之佈局圖 (Layout)

由於考量到晶片下針量測的需求，因此主要訊號的走向為由左至右，左邊為主要訊號輸入端 (primary inputs)，下方為取樣時脈訊號輸入端，而右方為主要訊號的輸出端 (primary outputs)，故 ADC 與 DAC 分別放置 (placement) 在左側以及右側。另外左右兩側的輸入輸出以及下方取樣訊號輸入側的 PAD 都依照探針的規範來擺放，上方就只放置所有 DC 訊號用

的 PAD。由於整個晶片會消耗相當程度的功率，因此必需使用適當數量的 PAD，以作傳輸電源之用。而為了節省晶片面積，上排的 PAD 我們用交錯（Staggered PAD）的擺放方式，這些 PAD 呈現品字型的排列。整個晶片的面積約為 $1.09 \times 0.903 \text{ mm}^2$ 。

另外因為所有 PAD 所圍住區域的寬度及高度都大於 ADC 和 DAC 組成的核心，所以為了使高頻訊號可以順利進入主要電路當中，我們在主要訊號的輸入及輸出端，還有下方取樣訊號的輸入端，都設計了一組具備 50Ω 特性阻抗（characteristic impedance）的傳輸線（Transmission Line），將外部接入 PAD 上的訊號可以順利的被引入到 ADC 當中，且後端 DAC 輸出的訊號也經由一組傳輸線輸出至 PAD 上。在佈局 on-chip 傳輸線的設計上，我們使用最上層的金屬（Metal9）來設計，使得該傳輸線對基底有較小的寄生電容效應，並根據製程資料計算出適當的線寬。

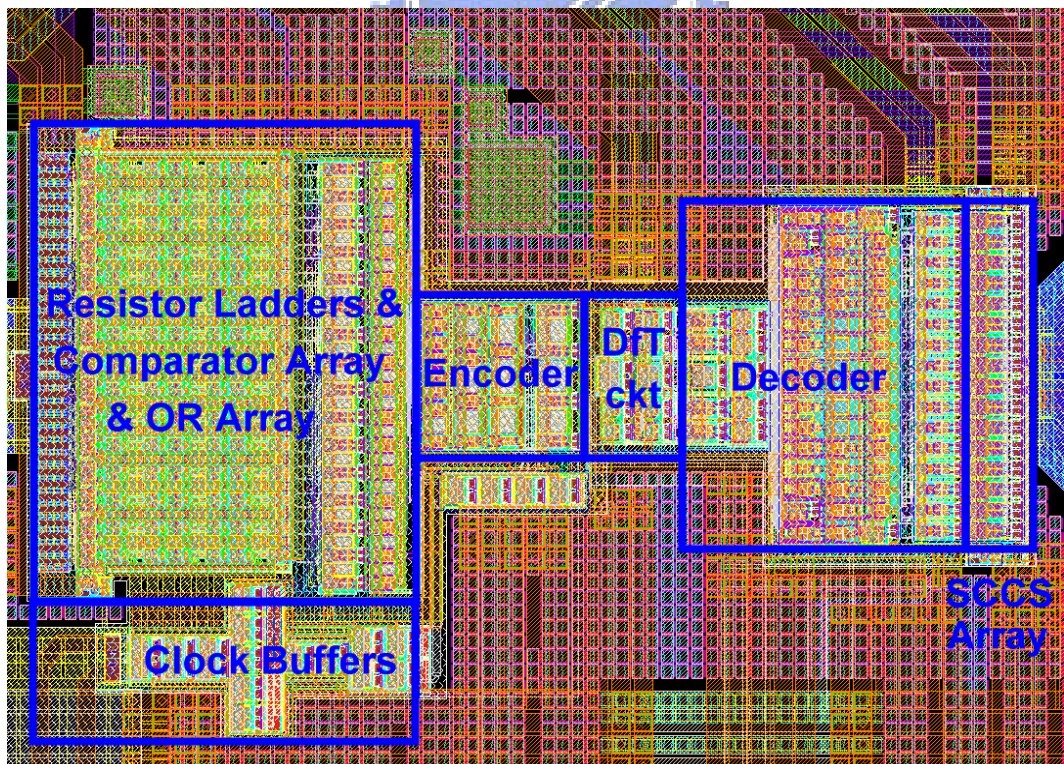


圖 5.20 ADC 與 DAC 核心之佈局

圖 5.20 顯示晶片核心 ADC 及 DAC 的佈局圖，主要的 functional block

也都標示在圖中。在核心電路以外的地方，我們在幾個比較大面積的空間使用 MIM (Metal-Insulator-Metal) 電容，用來解耦合 (decoupling) DC 訊號上可能出現的雜訊或其他干擾，以獲得較穩定的 DC 訊號；而其他部分的零星面積，我們大量使用如圖 5.21 所示的三明治 (sandwich) 電容結構鋪滿整個晶片。這主要是利用各層金屬之間的材質當作電容的介電質，可得到類似於電容的效果。實際的佈局中，我們使用 Metal1 至 Metal5 這幾層來製作，且相同也都是用作解耦合電容 (Decoupling Capacitor)，穩定 DC 訊號並降低電源端的擾動。

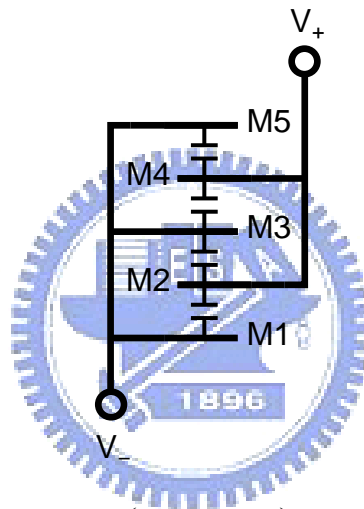


圖 5.21 三明治 (sandwich) 電容之結構

第六章

實驗晶片量測結果

6.1 實體晶片顯微照 (Chip Micrograph)

圖 6.1 為使用 UMC 90nm CMOS Mixed-Mode 1P9M Low-K 製程製作的實驗晶片顯微照片 (Chip Micrograph)，且各部份主要的方塊都標示在圖中。整個晶片的面積約為 $1.09 \times 0.903 \text{ mm}^2$ 。

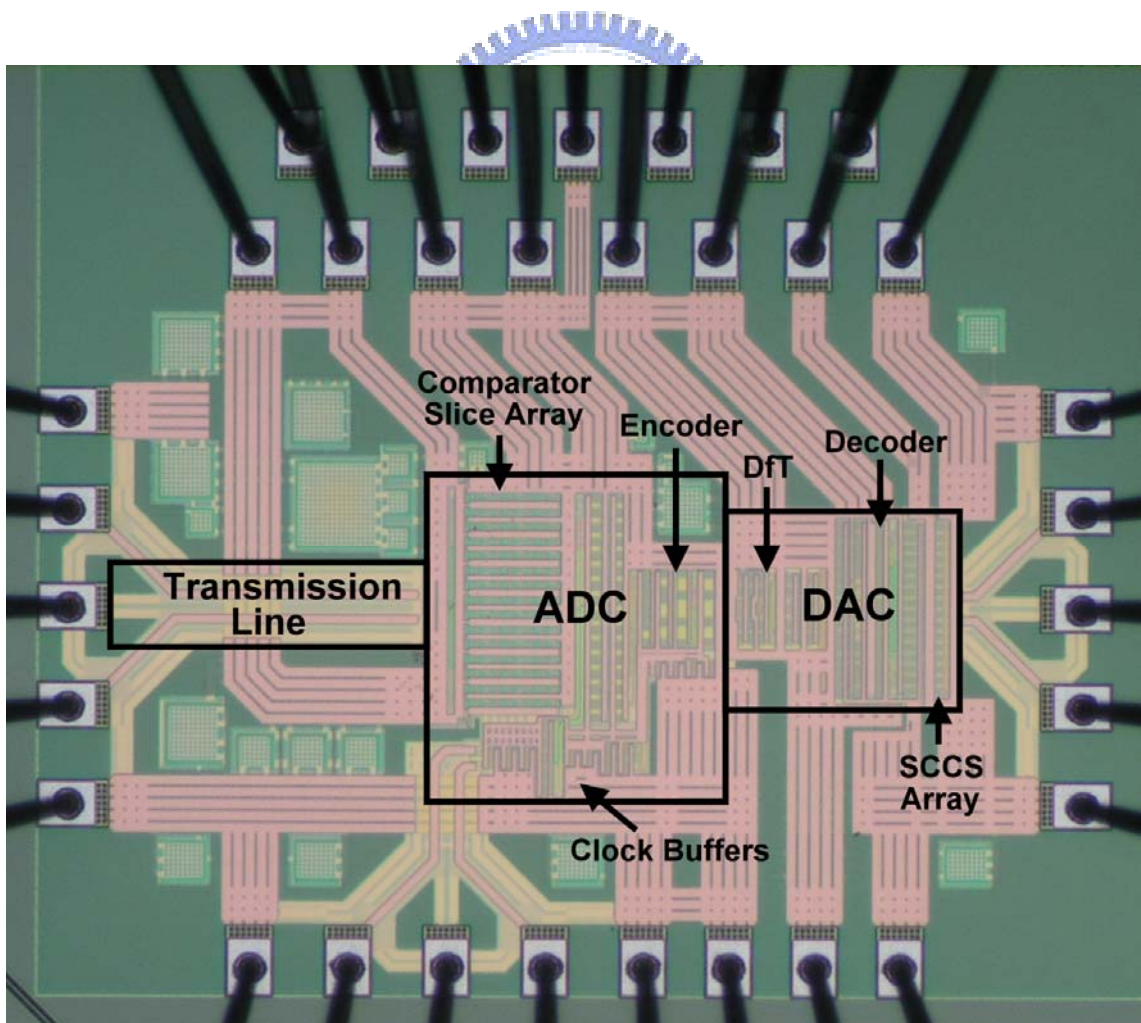


圖 6.1 實驗晶片顯微照片 (Chip Micrograph)

6.2 晶片實驗測試板及測量環境設定

晶片的量測是直接放置在印刷電路板 (Print Circuit Board, PCB) 上，並經由打線 (wire bonding) 連接測試晶片 (test chip) 與 PCB，免去封裝 (package) 時可能引入過大的寄生元件效應。圖 6.2 為晶片實驗測試板的實體照片。測試晶片位於電路板下半部份的中心位置，且主要輸入輸出 (I/O) 訊號的走向與晶片之佈局一致。為了使高頻訊號可以順利經由 PCB 輸入至晶片，以及晶片输出的高速訊號可以順利的傳送至 PCB 右側的输出，在這些主要的 I/O 與晶片之間我們繪製了具備 50Ω 特性阻抗的傳輸線 (Transmission Line)，如圖中各端 SMA 接頭與晶片之間的黑色實線所示，另外其他主要的元件配置也都如圖中所標示。

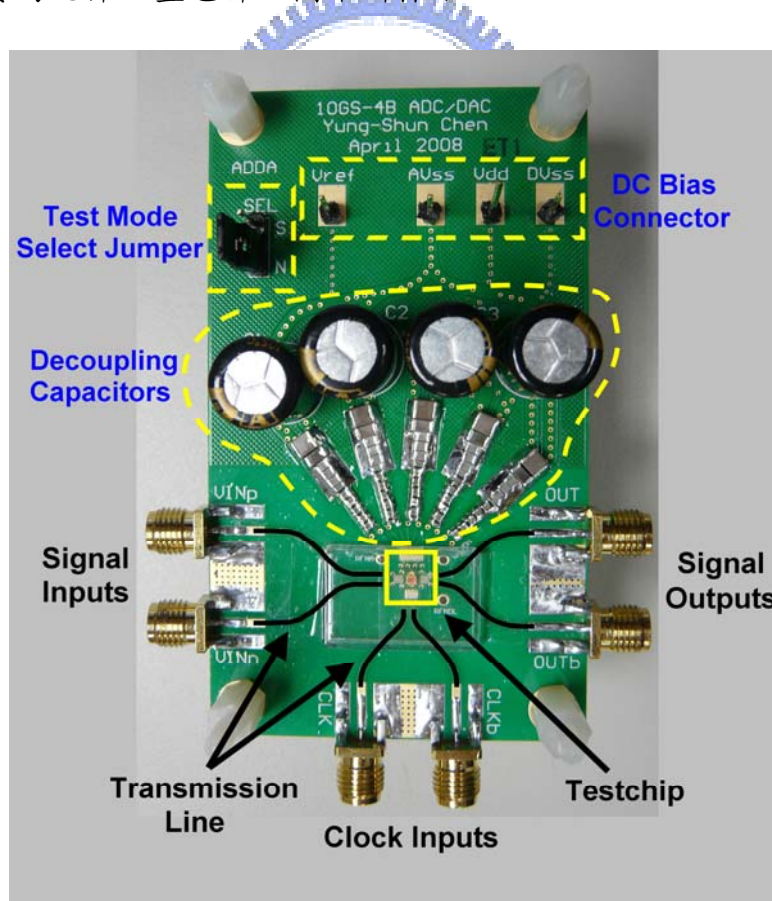


圖 6.2 晶片實驗測試板

實驗晶片的測量環境設定 (Measurement Setup) 如圖 6.3 所示，所有量測使用到的儀器也都標示在圖中。使用高頻類比訊號產生器放置在左側並輸入至電路，取樣時脈訊號也由高頻類比訊號產生器產生，並從下方輸入。而右側的輸出根據所設定的測試模式 (Test Mode) 選用功率頻譜分析儀 (Power Spectrum Analyzer, PSA) 或是示波器 (Oscilloscope) 來分別作動態參數 (Dynamic Parameters) 以及眼圖 (Eye Diagram) 的量測。

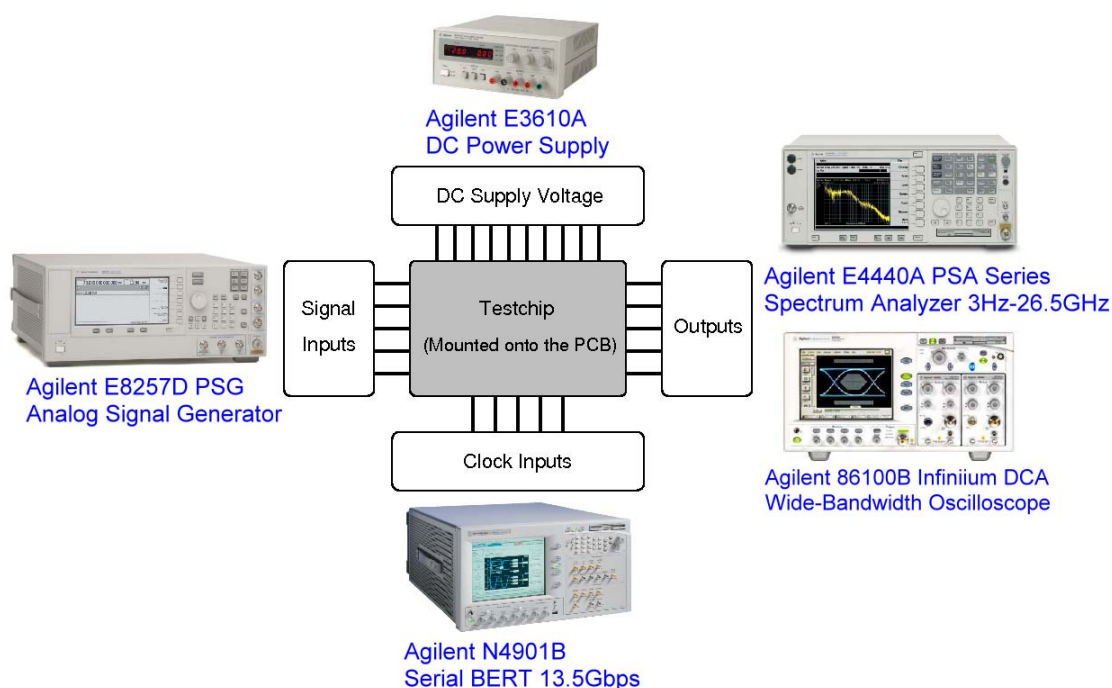


圖 6.3 晶片測試環境設定 (Measurement Setup)

由於訊號產生器只提供單端 (single-ended) 的輸出埠，因此我們利用 Balun (180° Hybrid Coupler) 將訊號轉成雙端差動的形式，再經由兩個寬頻的 DC-blocking 將儀器輸出可能帶有的直流成份濾除，只留下交流訊號進入到電路當中。且測試晶片輸出之差動訊號也經過相同的 DC-blocking 與 Balun，分別濾除電路輸出的直流成份以及轉換成單端形式的訊號供功率頻譜分析儀及示波器直接接收並分析。

6.3 靜態參數 (Static Parameters) 量測結果

在測試模式 A 中，給予 10GHz 的取樣訊號，對 ADC 輸入一差動的直流電壓，使 DAC 產生相對應於輸入的輸出電壓值，以此方式逐步改變輸入 ADC 的直流電壓值之後，利用測得的數據可畫出測試模式 A 時，ADC 串接 DAC 的輸入輸出轉換特性曲線 (input-output characteristic curve)，如圖 6.4 所示。經由此轉換曲線可計算出 DAC 與 ADC 個別的 DNL 和 INL，結果如圖 6.5 所示。DAC 的 DNL 變化從 -0.10 到 0.08 LSB，INL 則介於 -0.12 到 0.12 LSB 之間。ADC 的 DNL 為 -0.22 到 0.27 LSB，INL 從 -0.25 到 0.16 LSB。可知 DAC 和 ADC 的 DNL 都不超過 0.5LSB，且 INL 也都甚小於 1 個 LSB，顯示 DAC 與 ADC 本身良好的線性度。值得注意的是，這些測得的 DNL 與 INL 都是在 10GS/s 的取樣率下得到的結果。

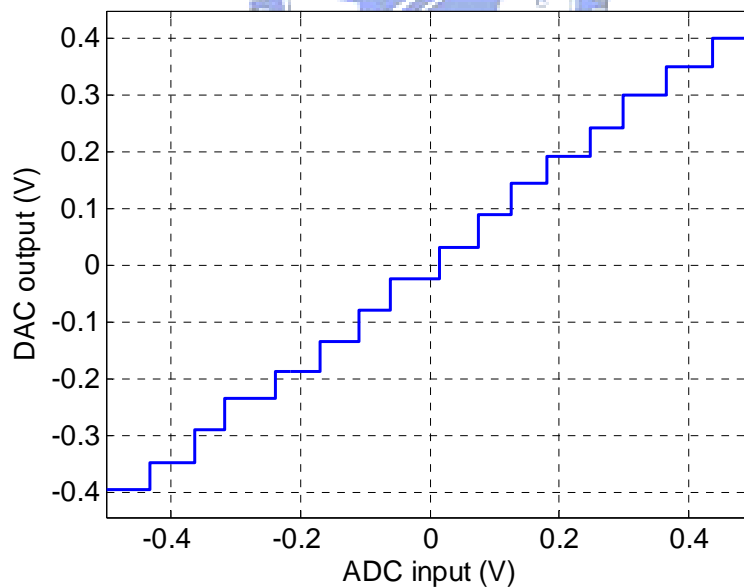


圖 6.4 測試模式 A 中量測之輸入輸出轉換特性曲線

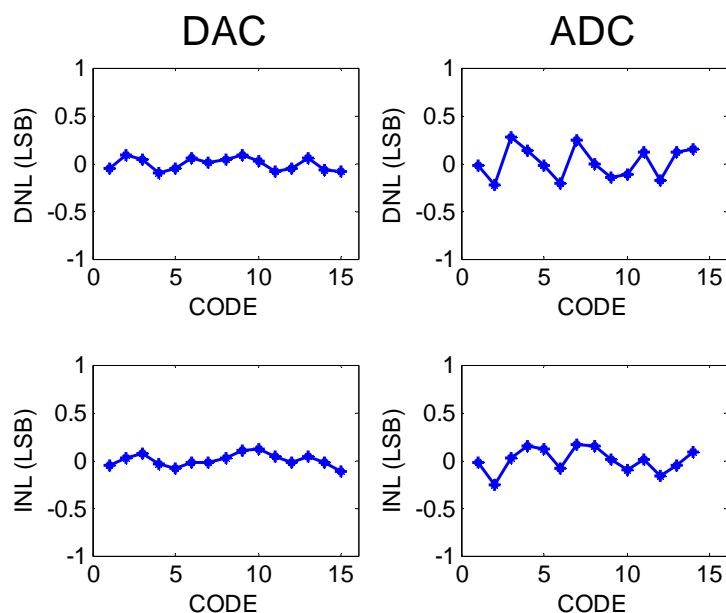


圖 6.5 測量之 DAC 與 ADC 之 DNL&INL

6.4 動態參數 (Dynamic Parameters) 量測結果

將測試晶片操作在測試模式 A (Test Mode A) 中形成 digital loopback 的型態，可作所有動態參數 (Dynamic Parameters) 的量測與分析，本節所有提及的量測結果都是在此測試模式下得到的結果。

6.4.1 取樣時脈訊號頻率對各種動態參數 (Clock Frequency vs. Dynamic Parameters)

輸入 1.111GHz、-1dBFS 的 sinusoidal 訊號，但改變取樣時脈訊號的頻率，從 6GS/s 逐步往上增加到 13.5GS/s，每個取樣訊號頻率下得到的各種動態參數如圖 6.6 所示。可看出整個資料轉換器對 (Data Converter Pair) 在取樣訊號頻率從 6GS/s 到 12GS/s 之間，SNR、SNDR 與 SFDR 此三個動態參數都沒有太大的變化，維持在相當程度的情形，且計算此取樣頻率範圍之間的 ENOB 都可達到 3.9x bits 的解析程度。

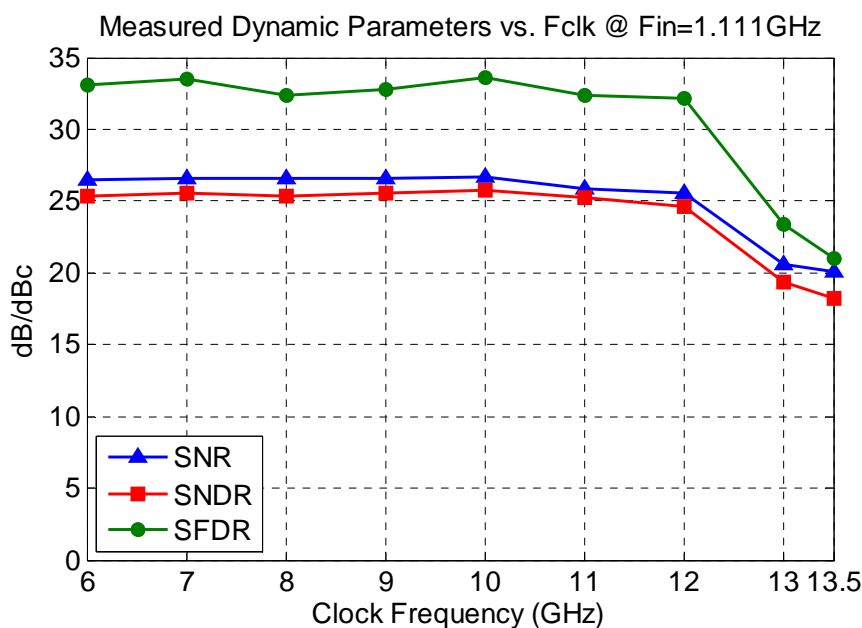


圖 6.6 測量之不同取樣訊號頻率與各動態參數的關係

6.4.2 輸入訊號頻率對各種動態參數 (Input Frequency vs. Dynamic Parameters)

在 10GS/s 的取樣頻率下，將輸入的 sinusoidal 訊號頻率從 0.517GHz 逐漸增加到約 4.5GHz，可測得圖 6.7 的輸入訊號頻率對各種動態參數的關係。觀察 SNDR 的響應曲線，可知整組資料轉換器對的 ERBW 約在 2.5GHz 到 3GHz 之間。而當輸入訊號超過 3GHz 之後，主要因為訊號主 tone 的功率下降幅度變快，而導致動態參數發生更明顯的下降。而 SFDR 在輸入訊號頻率 2.22GHz 以下的範圍之間，都可達到超過 30 dBc 以上的水準。另外可以注意到的是，SNR 與 SNDR 兩者響應曲線的差異在大多數的輸入訊號頻率下都不超過 2 dB，可知電路並沒有過大的諧波失真 (Harmonic Distortion) 發生。圖 6.8 顯示 10GS/s 取樣頻率下且輸入訊號頻率為 1.111GHz 時測得的輸出訊號頻譜，計算該頻譜的動態參數可得 SNR 為 27.0 dB、SNDR 為 25.9 dB 且 SFDR 可達 34.9 dBc。圖 6.9 則為相同輸入訊號與取樣訊號頻率下所測得的輸出波形。

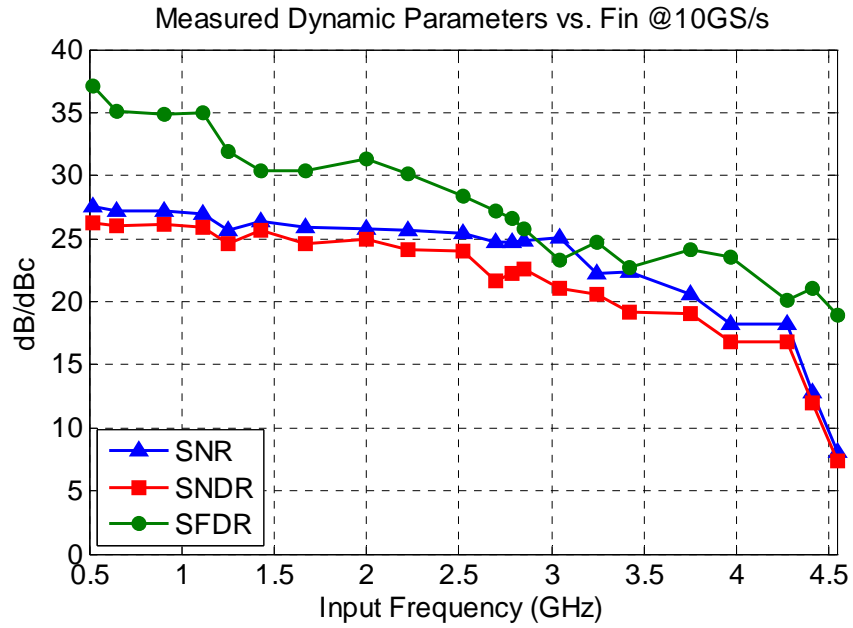


圖 6.7 測量之不同輸入訊號頻率與各種動態參數之關係 (@ 10GS/s)

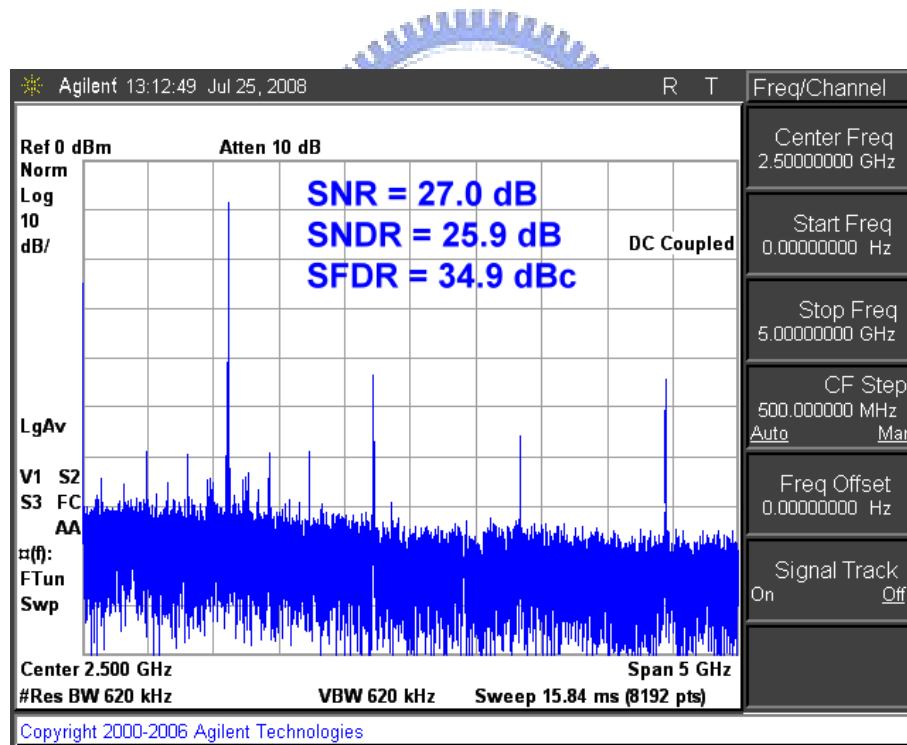


圖 6.8 輸入 1.111GHz 之 sinusoidal 訊號且取樣率為 10GS/s 時 測得之頻譜

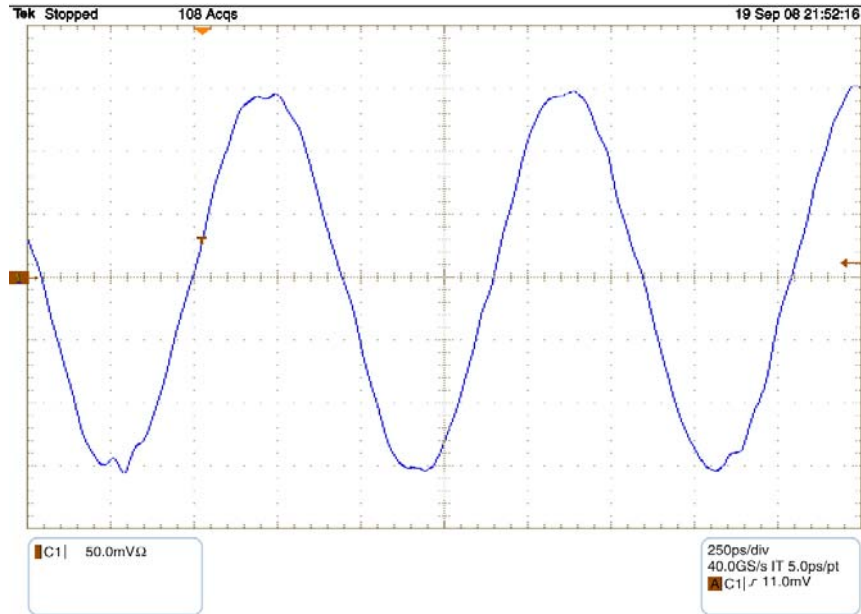


圖 6.9 輸入 1.111GHz 之 sinusoidal 訊號且取樣率為 10GS/s 時 測得之波形

由前一章 5.2.2 節的討論及模擬結果可知，圖 6.7 的量測結果必然包含了 DAC 本身所導致之 ZOH 效應的影響。將圖 6.8 測得的頻譜資料作 ZOH 效應的補償，可得到圖 6.10 的頻譜結果，計算此時的動態參數，SNR 為 26.8 dB、SNDR 為 25.4 dB 而 SFDR 為 34.4 dBc。

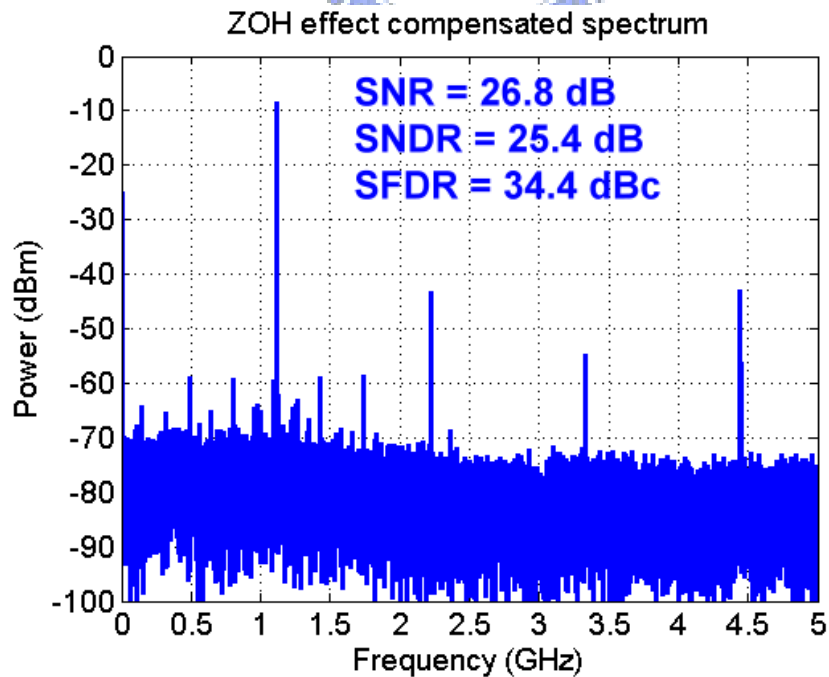


圖 6.10 將圖 6.8 之頻譜結果作 ZOH 效應補償後所得之頻譜

可發現補償後的結果比補償前還來得稍差。這是因為 Anti-SINC 的振幅響應如前一章圖 5.13 所示，補償的量由 DC 時的 1 倍一直增加到 nyquist frequency 的 $\pi/2$ ($\cong 1.57$) 倍。而由於圖 6.8 補償前的頻譜中，輸入訊號主 tone 是在相較於 nyquist frequency 偏低的位置，因此套用 ZOH 補償的因數 (factor) 後，訊號主 tone 獲得補償的量並不顯著，反倒是較靠近 nyquist frequency 的那些諧波 (Harmonic) 及雜訊 (Noise) 得到較大的放大因數，使得補償後頻譜的動態參數較未補償時還來的差。比較圖 6.8 與圖 6.10 靠近 nyquist frequency 的雜訊水平 (noise floor) 可看出，圖 6.8 的頻譜在 5GHz 附近的 noise floor 較低於 -70 dBm 的準位，而圖 6.10 補償後的頻譜顯示在 5GHz 附近的 noise floor 卻較靠近 -70 dBm 的準位，這就是造成較低輸入訊號頻率下，ZOH 效應補償後，動態參數變差的原因。

而為了反映出單獨 ADC 在全速運作下較真實的動態參數效能，我們將圖 6.7 中每個輸入訊號頻率點所量測得的頻譜結果都作相反於 ZOH 效應的 Anti-SINC 響應之補償，並重新計算各輸入訊號頻率時的動態參數，與補償前的曲線作比較，結果如圖 6.11 (Measured SNDR/SFDR vs. F_{in} @ 10GS/s w/wo ZOH compensation) 與 6.12 所示 (Measured SNR vs. F_{in} @ 10GS/s w/wo ZOH compensation)。由圖 6.11 與 6.12 兩張圖中可以看出，在輸入訊號頻率超過約 3GHz 的時候，補償過後的動態參數才逐漸大於補償前的響應。這些補償後的動態參數與輸入訊號頻率變化的關係可做為單獨 ADC 最差可能之效能。從補償後 SNDR 的響應曲線來看，其 ERBW 更接近 3GHz，也就是理論上 ADC 最差可能的 ERBW 約在 3GHz 左右。

Measured SNDR/SFDR vs. Fin @10GS/s w/wo ZOH Comp. Comparison

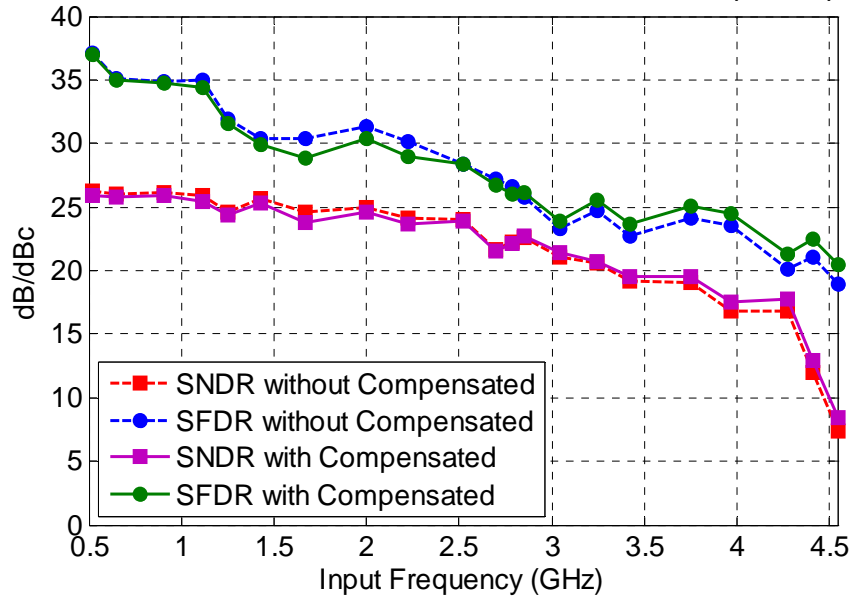


圖 6.11 測量之不同輸入訊號頻率對 SNDR/SFDR 參數 ZOH 效應補償前後之比較 (@ 10GS/s)

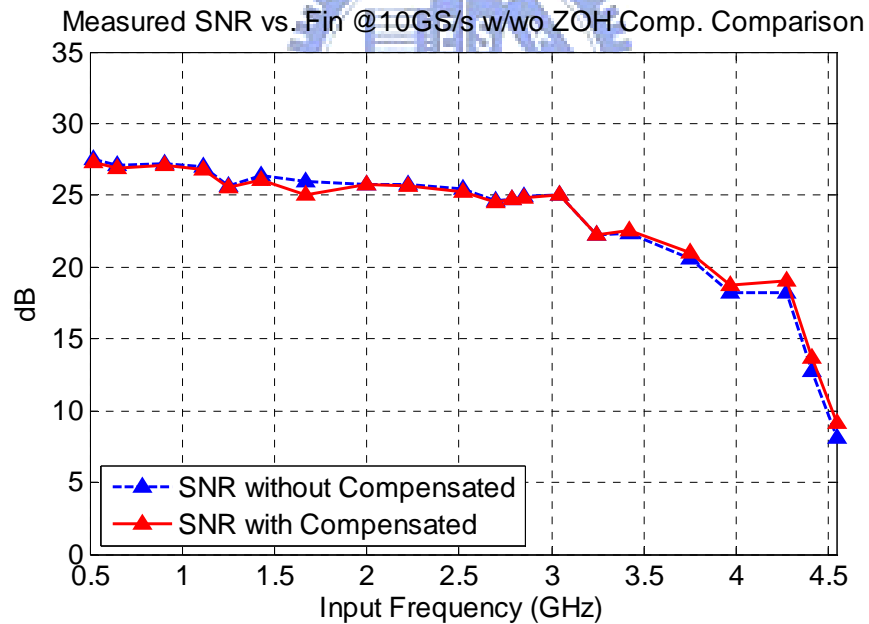


圖 6.12 測量之不同輸入訊號頻率對 SNR 參數 ZOH 效應補償前後之比較 (@ 10GS/s)

另外由圖 6.6 的量測結果可以得知，我們設計的此組資料轉換器對最大可能的取樣訊號頻率可超過 10GS/s，直到超過 12GS/s 的取樣頻率之後，動態參數才有明顯的下降。因此我們將取樣訊號頻率給在 12GS/s，並重新量

測不同輸入訊號頻率對各種動態參數的關係，量測結果如圖 6.13 所示。

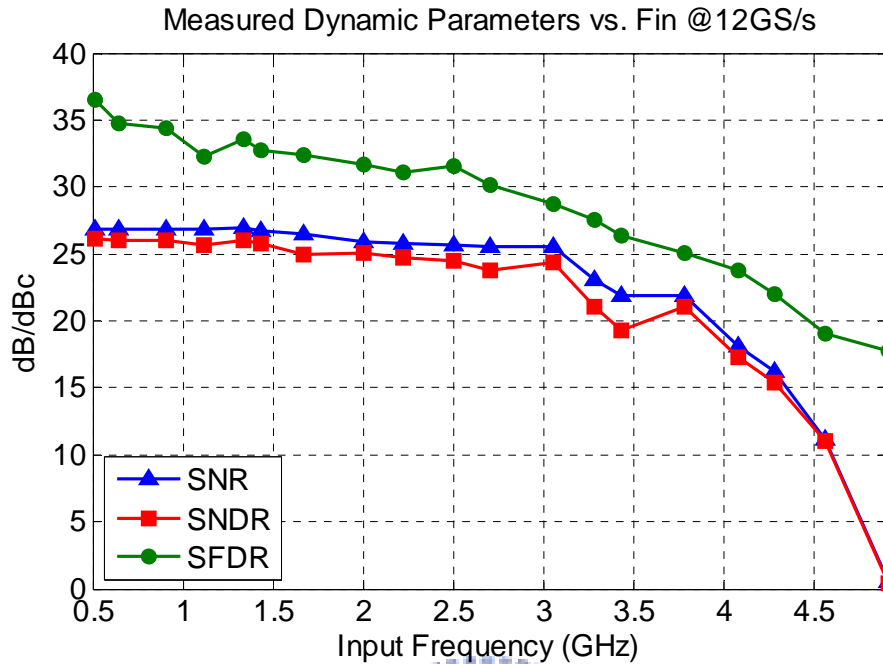


圖 6.13 測量之不同輸入訊號頻率與各種動態參數之關係 (@ 12GS/s)

由圖 6.13 看出 SNR 與 SNDR 兩者的曲線在 DC 到約 3GHz 的頻寬範圍之間呈現緩慢的下降趨勢。且從 SNDR 的響應曲線可得知，直到當輸入訊號頻率超過 3GHz 之後，SNDR 下降的幅度才超過 3 dB。因此在 12GS/s 的取樣率之下，此組資料轉換器對的 ERBW 可超過 3GHz。較高輸入訊號頻率時，動態參數變差的主要原因也是由於主 tone 的功率迅速降低所導致，這點從 SNR 與 SNDR 兩條曲線相當接近的響應就可以觀察出來。且各個輸入訊號頻率之下，SNR 與 SNDR 兩者的差異幾乎也都不超過 2 dB，顯示電路即使在高達 12GHz 的取樣頻率下，也沒有過大的諧波失真發生。SFDR 的響應在 DC 到約 2.7GHz 之間的輸入訊號頻率範圍內，都有超過 30 dBc 以上的水準。

圖 6.14 為取樣訊號頻率 12GS/s 而輸入訊號頻率約為 1.33GHz 時，測得之輸出訊號頻譜，其 SNR 為 26.9 dB、SNDR 為 26.0 dB 且 SFDR 為 33.6 dBc。

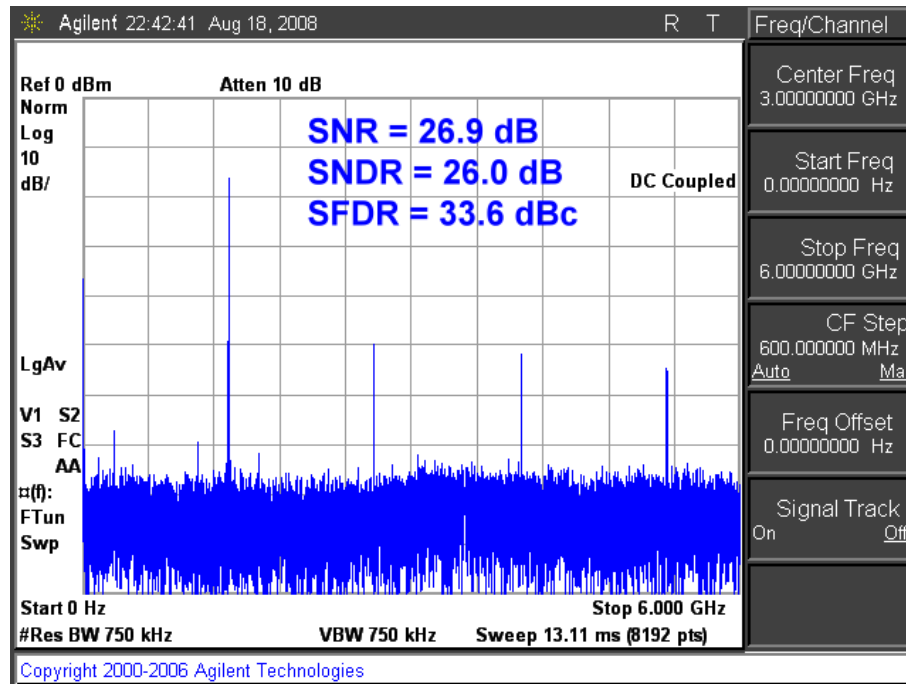


圖 6.14 輸入 1.33GHz 之 sinusoidal 訊號且取樣率為 12GS/s 時 測得之頻譜

依照先前相同的方式，將 12GS/s 取樣率下得到的圖 6.13 結果都作 ZOH 效應的補償。重新計算各種輸入訊號頻率下動態參數的結果，並與未補償時的曲線作比較，結果如圖 6.15 (Measured SNDR/SFDR vs. F_{in} @ 12GS/s w/wo ZOH compensation) 與 6.16 (Measured SNR vs. F_{in} @ 12GS/s w/wo ZOH compensation) 所示。從這兩張圖的結果可以看出，補償後的動態參數結果也是在輸入訊號頻率超過約 3GHz 的時候，才會逐漸大於未補償時的響應。這些補償後的動態參數提供我們檢視單獨 ADC 操作在 12GS/s 時，最差可能之效能。由補償後 SNDR 的曲線來看，當輸入訊號頻率約為 3.16GHz 時，SNDR 相較於低頻輸入訊號時的值才下降達到 3 dB 的程度，可知當取樣頻率為 12GS/s 時，ADC 最差可能的 ERBW 約為 3.16GHz。

Measured SNDR/SFDR vs. Fin @12GS/s w/wo ZOH Comp. Comparison

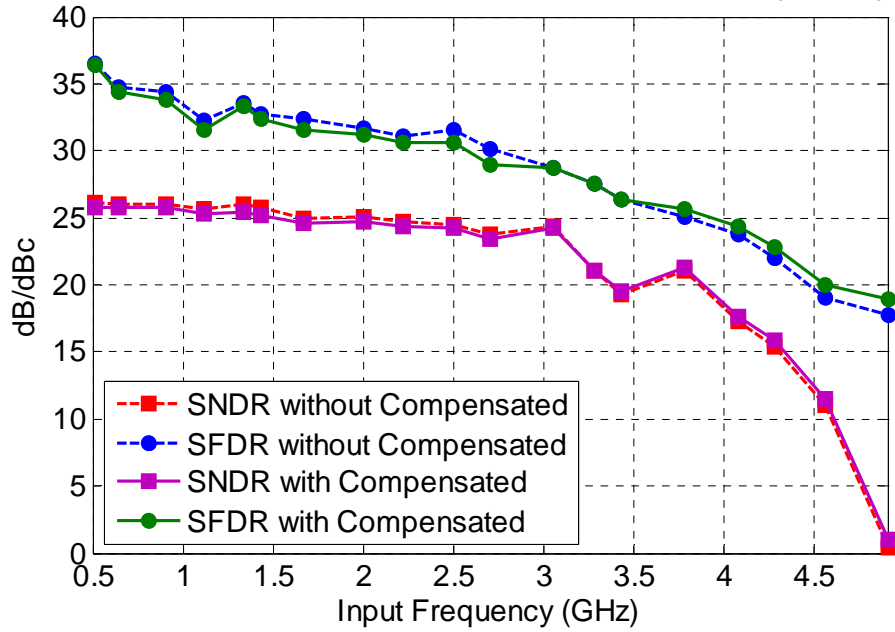


圖 6.15 測量之不同輸入訊號頻率對 SNDR/SFDR 參數 ZOH 效應補償前後之比較 (@ 12GS/s)

Measured SNR vs. Fin @12GS/s w/wo ZOH Comp. Comparison

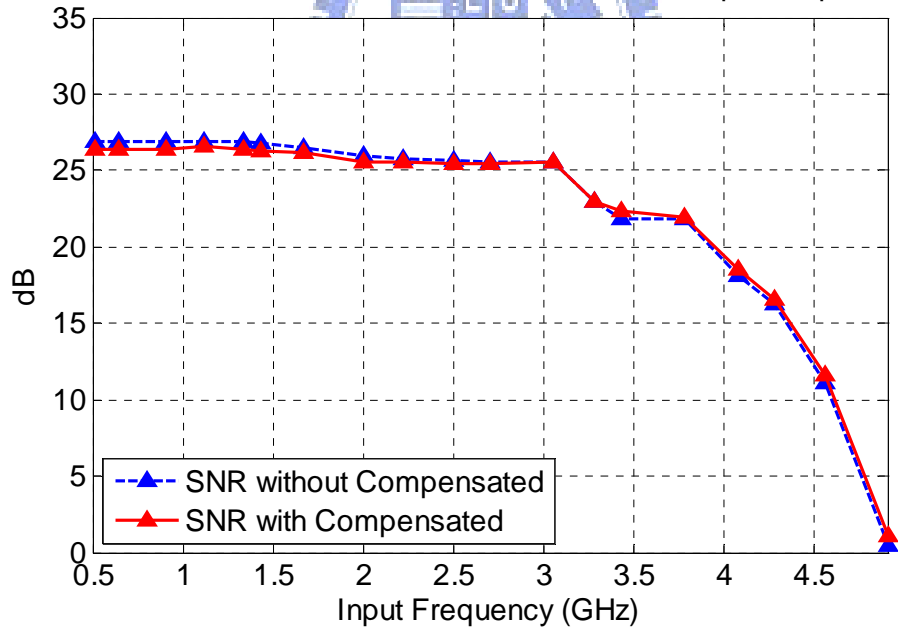


圖 6.16 測量之不同輸入訊號頻率對 SNR 參數 ZOH 效應補償前後之比較 (@ 12GS/s)

6.5 眼圖 (Eye Diagram) 之量測

將測試晶片設定在測試模式 B，藉由交錯 ADC 量化輸入之類比訊號得到的數位訊號來作為 DAC 的輸入，使 DAC 如同接收到隨機般的數位訊號，並在 DAC 的輸出端使用示波器觀察波形以及眼圖 (Eye Diagram) 的結果，以評估電路的多位準調變能力以及最高可能達到的資料傳輸速率 (data rate)。圖 6.17 為輸入 1GHz (1Gbps) 的 clock rate，也就是一個 symbol 的時間 (symbol time) 為 1ns 時，而由 ADC 輸入 128.67MHz 的類比 sinusoidal 訊號，DAC 輸出所量測到的 Eye Diagram。可清楚地看出 16 個位階 (level) 都能正確的顯示出來，證明此組資料轉換器對能適用於 16-PAM 的串列傳輸晶片通訊系統。每個 symbol 的時間區間 (1ns) 內提供 16 種不同的狀態，也就是一個 symbol 可傳遞 4 個位元 (bit) 的訊息，即 $Baud\ rate = 4$ 。由圖 6.17 的量測結果可約略計算出等效的位元傳輸速率為 $1Gbps \times 4 = 4Gbps$ ，也就是表示此組資料轉換器對能提供高達 4Gbps 的傳輸位元率 (bit rate)。圖 6.18、6.19 及 6.20 分別為 clock rate 設定在 1.25GHz (1.25Gbps, symbol time = 0.8ns)、2GHz (2Gbps, symbol time = 0.5ns) 以及 2.5GHz (2.5Gbps, symbol time = 0.4ns) 時量測得到的 Eye Diagram，且由 ADC 輸入的類比 sinusoidal 訊號頻率依序為 119.75MHz、113.7MHz 以及 113.7MHz。可看出各種 clock rate 下輸出得到的 Eye Diagram 都清楚的顯示出 16 個不同的位階。並且計算得到我們所設計的資料轉換器對在這些情況下，等效的位元傳輸速率依序分別可達到 5Gbps、8Gbps 以及 10Gbps。

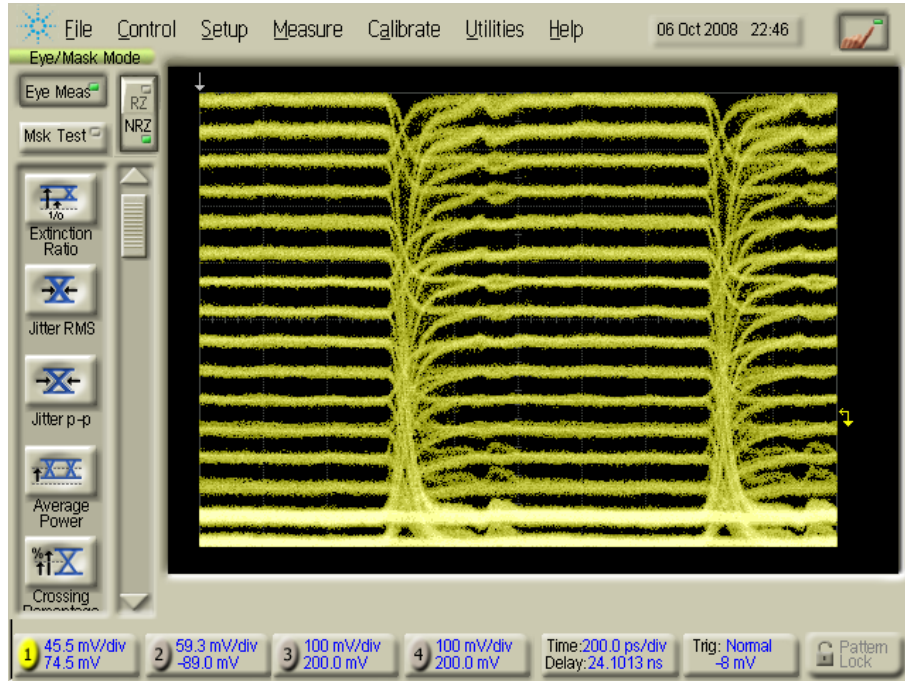


圖 6. 17 1GHz (1Gbps) 之 clock rate 下測得之 Eye Diagram (Data rate = 4Gbps)

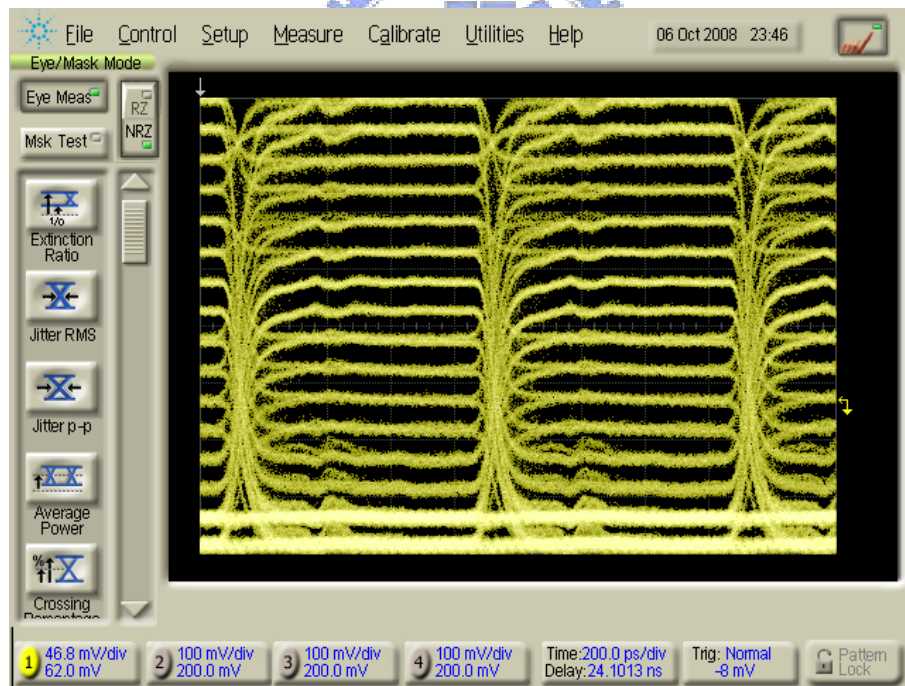


圖 6. 18 1.25GHz (1.25Gbps) 之 clock rate 下測得之 Eye Diagram (Data rate = 5Gbps)

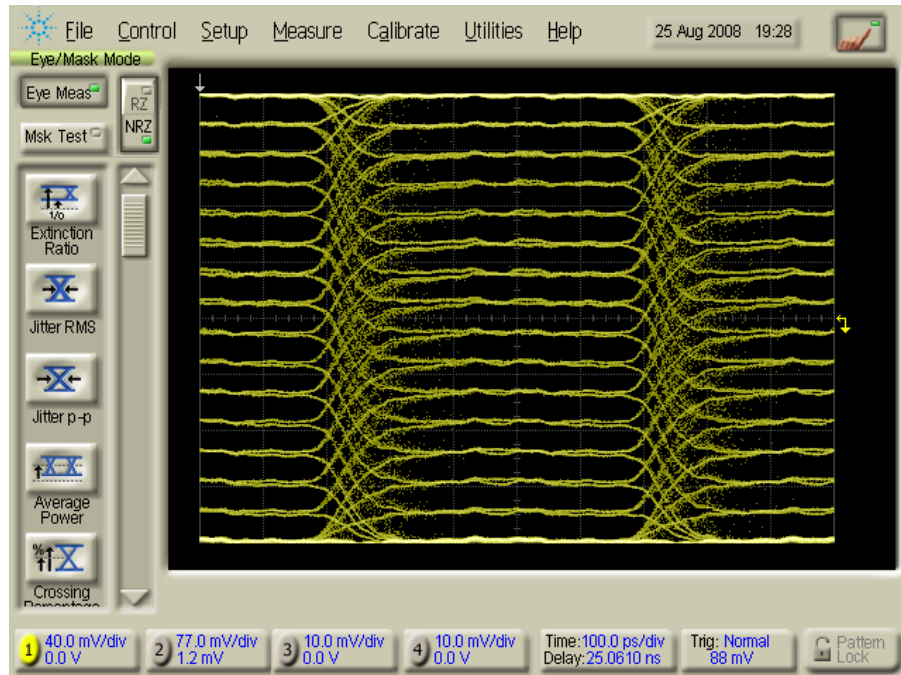


圖 6. 19 2GHz(2Gbps)之 clock rate 下測得之 Eye Diagram(Data rate =8Gbps)

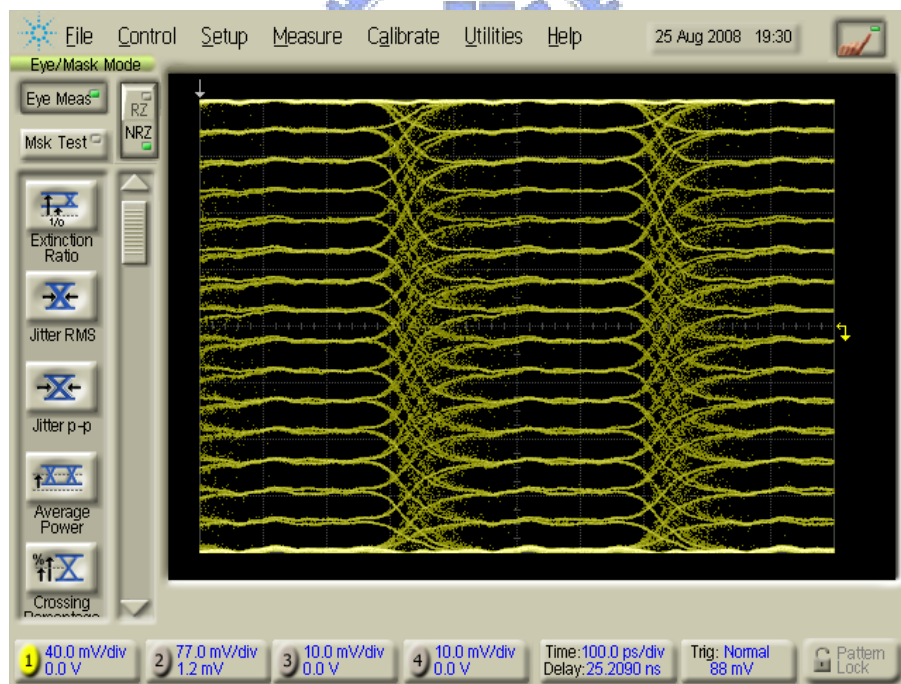


圖 6. 20 2.5GHz (2.5Gbps) 之 clock rate 下測得之 Eye Diagram
(Data rate =10Gbps)

6.6 功率消耗

整個測試晶片的功率消耗如表 6.1 所示，在 10GS/s 以及 12GS/s 的取樣頻率以及 1V 的供應電源下，DAC 只消耗約 83.8mW 的功率，且 ADC 也僅消耗約 215.4mW，與一些 prior-art[7][8][9][10][16][52][53][54][55]相比，我們的設計能高達 10GS/s 甚至 12GS/s 的超高速取樣率，但所消耗的功率卻相對低得許多。說明了我們在先前 Comparator slice 的設計上，對前置放大器的級數與功率確實有朝向最佳化的效果。整個測試晶片包含 DfT 部分的電路總共消耗約 322.8mW。

表 6.1 測試晶片之功率消耗比較表

Sources Blocks	Analog	Digital	Total
DAC	17	66.8	83.8
ADC	119.8	95.6	215.4
Total Power Consumption of the DAC & ADC	136.8	162.4	299.2
Total Power Consumption including the DfT Circuits	136.8	186.0	322.8

Unit : mW

6.7 量測結果總結與比較

表 6.2 整理總結列出了整個資料轉換器對 (DAC & ADC) 的效能參數量測結果。其中動態參數的部份包含了 10GS/s 與 12GS/s 不同取樣訊號頻率下的結果。

表 6. 2 Performance Summary

Item	Specification	
Technology	UMC 90nm CMOS Mixed-Mode 1P9M Low-K	
Supply voltage	1V	
Sampling rate	10GS/s	12GS/s
Resolution	4bits	
DNL (LSB)	DAC: -0.10 ~ 0.08 ADC: -0.22 ~ 0.27	
INL (LSB)	DAC: -0.12 ~ 0.12 ADC: -0.25 ~ 0.16	
SNR	26.95 dB @ $F_{in} = 1.111\text{GHz}$	26.92 dB @ $F_{in} = 1.33\text{GHz}$
SNDR	25.88 dB @ $F_{in} = 1.111\text{GHz}$	26.02 dB @ $F_{in} = 1.33\text{GHz}$
SFDR	34.93 dBc @ $F_{in} = 1.111\text{GHz}$	33.55 dBc @ $F_{in} = 1.33\text{GHz}$
ENOB	4bits @ $F_{in} = 1.111\text{GHz}$	4bits @ $F_{in} = 1.33\text{GHz}$
Effective Resolution Bandwidth (ERBW)	> 2.58GHz	> 3.14GHz
Power Dissipation of the Test Chip from the 1V supply	DAC	83.8 mW
	ADC	215.4 mW
	DAC + ADC	299.2mW
	Total (including the DfT circuits)	322.8mW

將我們設計的 DAC 與近幾年的知名國際期刊或會議論文上的幾篇同為超高速的 DAC 作一比較，如表 6.3 所示。由於通常單一 DAC 的設計較少會有低於 6bits 解析度的設計，因此表 6.3 的其他比較對象都以相同為數 GS/s 取樣率的 DAC 為主。可以看出我們設計的 DAC 具有最高的轉換速率，在高達 12GS/s 的取樣轉換能力之下，僅消耗約 83.8mW 的功率。且以消耗功率與取樣頻率之比值 (Power/GHz) 作為能量效益 (energy efficiency) 的比較基準，可看出我們的設計是裡面中最低的，只有 6.98pJ。

表 6. 3 Benchmark of the DAC

Sources Item	ISSCC 2001 JSSC 2001 [54][55]	JSSC 2004 [56]	A-SSCC 2007 [57]	A-SSCC 2007 [40]	This work DAC
Sample Rate	8 GS/s	0.8 GS/s	3 GS/s	10 GS/s	12 GS/s
Resolution	8 bits	9 bits	6 bits	4 bits	4 bits
Technology	0.25 μ m CMOS	0.35 μ m CMOS	0.13 μ m CMOS	0.13 μ m CMOS	90nm CMOS
Supply Voltage	2.5V	3.3V	1.2V	1.2V	1V
SNDR	N/A	N/A	N/A	> 25.0 dB @ $F_{in}=1.11\text{GHz}$	> 26.02 dB @ $F_{in}=1.33\text{GHz}$
SFDR	N/A	55 dBc @ low freq.	36.2 dBc @ $F_{in}=1.43\text{GHz}$	> 27.3 dBc @ $F_{in}=1.11\text{GHz}$	> 33.55 dBc @ $F_{in}=1.33\text{GHz}$
Power	1900 mW	174 mW	29 mW	142 mW	83.8 mW
Power/GHz	237.5 pJ	217.5 pJ	9.67 pJ	14.2 pJ	6.98 pJ

另外也將我們設計的 ADC 與近幾年知名國際期刊或會議論文上的幾篇同為超高速且 4~6 位元解析度的 ADC 相比較，如表 6.4 所示。可看出我們的設計能夠在 pure CMOS 的製程下，不使用 time-interleaving 的架構而達到 10GS/s 甚至 12GS/s 的超高速。同樣以 Power/GHz 的能量效益比作比較，我們設計的 ADC 也是裡面中最低的，每 GHz 只耗用掉 17.95pJ 的能量。

表 6. 4 Benchmark of the ADC

Sources Item	VLSI Ckt 2007 [58]	CICC 2007 [59]	ISSCC 2006 JSSC 2007 [45][46]	A-SSCC 2007 [40]	This work ADC
Sample Rate	3.5 GS/s	4.2 GS/s	4 GS/s	10 GS/s	12 GS/s
Resolution	6 bits	5 bits	4 bits	4 bits	4 bits
Technology	90nm CMOS	0.13μm CMOS	0.18 μm CMOS	0.13μm CMOS	90nm CMOS
Supply Voltage	0.9V	1.2V	A: 1.8V D: 2.1-2.5V	1.2V	1V
SNDR	31.18 dB @ nyquist	27.12 dB @ F _{in} =1.3GHz, 3.2GS/s	22.71 dB @ F _{in} =100MHz	> 25.0 dB @ F _{in} =1.11GHz	> 26.02 dB @ F_{in}=1.33GHz
SFDR	38.67 dBc @ nyquist	35.80 dBc @ F _{in} =1.3GHz, 3.2GS/s	N/A	> 27.3 dBc @ F _{in} =1.11GHz	> 33.55 dBc @ F_{in}=1.33GHz
ERBW	1.75 GHz	1.75 GHz	0.9 GHz	> 1.6 GHz	> 3.16 GHz
Power	98 mW	180 mW ³	619 mW	210 mW	215.4 mW
Power/GHz	28 pJ	42.86 pJ	154.8 pJ	21 pJ	17.95 pJ
FOM¹	0.95 ² pJ/step	2.8 pJ/step	23.2 pJ/step	< 4.10 pJ/step	< 2.07 pJ/step

$$1: FOM \equiv \frac{Power}{2^{ENOB@DC} \times 2ERBW}$$

$$2: FOM \equiv \frac{Power}{2^{ENOB@DC} \times f_s}$$

3: excluding the output buffers

第七章

結論與未來展望

本論文提出並設計了一組應用於前瞻串列式連結 (Advanced Serial Link) 收發機之超高速資料轉換器對 (DAC & ADC)。在取樣率高達 10GS/s 且解析度為 4bits 的設計目標下，DAC 使用 Current-steering 的架構作設計，其數位電路的核心使用電流式邏輯 (CML) 電路來設計製作。CML 除了適合於低電壓的設計環境之外，也可達到最高速的切換能力並同時降低高速轉換下容易發生的 power-ground bounce 問題。而關鍵的輸出電流源電路使用高頻響應較佳的開關疊接電流源電路 (SCCS)，能有效提升電流源高頻時的輸出阻抗。且為了克服訊號轉換的延遲時間大於取樣訊號半週期時間 (50ps) 的問題，在 DAC 的取樣時脈訊號路徑上使用數個 clock buffers 建立 waveform pipeline 機制，使過短的取樣訊號半週期時間問題可獲得解決。另一方面，ADC 的設計使用 Flash 的架構，以多級 (multi-stage) 主動式負回授前置放大器 (Active negative feedback Pre-Amplifier) 串接來完成整個寬頻比較器的設計。且藉由分析多級串接前置放大器的設計級數與功率消耗之關係來達到最佳功率消耗效益的設計結果。ADC 編碼器的數位電路部份也都使用 CML 的邏輯電路作設計，且編碼器為 Gray code 編碼方式的設計，利用 Gray code 的特性可降低因比較器發生 metastable 現象而發生的編碼錯誤。同樣為了解決訊號 propagation delay 的時間過大，在 ADC 的取樣時脈訊號路徑上相同使用了 waveform pipeline 的技巧，使 Latch 電路能正確的擷取並儲存正確的資料。為了完成超高速 DAC 及 ADC 的測試，我們加入了輔助測試的 DfT 電路，以 ADC 串接 DAC 形成 digital loopback 的組態，

以完成全速運作下的量測。同時 DfT 的電路也提供了 Eye Diagram 測試模式，可檢視評估此組資料轉換器對應用於串列式傳輸系統中，最大所能達到的位元傳輸率。

以 UMC 90nm CMOS Mixed-Mode 1P9M Low-K 製程製作的實驗晶片之量測結果顯示，DAC 的 DNL 都小於 $\pm 0.10\text{LSB}$ ，INL 則不超過 $\pm 0.12\text{LSB}$ 。ADC 之 DNL 介於 $\pm 0.27\text{LSB}$ ，INL 在 $\pm 0.25\text{LSB}$ 以內。在 10GS/s 的取樣頻率下，輸入 1.111GHz 的 sinusoidal 訊號，輸出訊號之頻譜結果可得到 27.0 dB 的 SNR、25.9 dB 的 SNDR 以及高達 34.9 dBc 的 SFDR 之動態參數結果，此時 SNDR 對應到的 ENOB 可達到 4bits。串接後的整個資料轉換器對之 ERBW 可超過 2.5GHz。若再經 DAC 之 ZOH 效應的補償後，可檢視出單獨 ADC 最差可能之 ERBW 可超過 2.6GHz。量測結果也顯示電路具備能操作在 12GS/s 的更高取樣頻率，在 12GS/s 時的量測結果顯示，輸入 1.33GHz 的 sinusoidal 訊號，輸出的 SNR 為 26.9 dB，SNDR 為 26.0 dB 而 SFDR 可高達 33.6 dBc，且 ENOB 也可達到 4bits 的解析度。12GS/s 時的 ERBW 可超過 3GHz 的輸入訊號頻寬，單獨 ADC 最差可能之 ERBW 則可超過 3.16GHz。而 Eye Diagram 的量測結果顯示，當 clock rate 為 2.5Gbps 之時，DAC 輸出之 Eye Diagram 仍可清楚地分辨出 16 個不同的準位，說明此資料轉換器對確實能應用於 16-PAM 的晶片系統串列傳輸連結，且此時相對應的等效位元傳輸率可高達 10Gbps 的超高速。在供應電壓源為 1V 的情況下，DAC 與 ADC 分別消耗約 83.8mW 與 215.4mW 的功率。整個測試晶片包含 DfT 電路共消耗約 322.8mW。

對於 10GS/s 的 ADC 而言，理論上應要能達到 5GHz 的 ERBW，但由於缺乏能夠處理 10GHz 取樣訊號以及使用 CMOS 製程製作的取樣保持電路 (Sample-and-Hold circuit)，使得 ADC 能達到的頻寬受到限制。目前雖然有超高速 ADC 整合保持電路的設計[16]，但其使用 time-interleaved 的方式

來達成高速的取樣轉換率，且使用 SiGe 等較昂貴的製程製作，且動輒消耗數瓦（Watt）的功率。而且 ERBW 也依然無法達到理論上的結果。現階段以 CMOS 製程所設計的超高速取樣保持電路已有所文獻[60]可供參考，但真正將此類超高速的取樣保持電路整合進高速 ADC 的設計卻相對較少，且整合之後卻也容易遇到其他方面的問題。未來針對超高速 ADC 的設計，若是能逐一克服 CMOS 製程設計上的這些困難，將可以應用在我們的設計當中，使效能可更趨完善。



參考文獻

- [1] M. Ghoneima, Y. Ismail, M. Khellah, J. Tschanz, and V. De, “Serial-Link Bus: A Low-Power On-Chip Bus Architecture,” in *Proc. IEEE/ACM International Conf. Computer-Aided Design (ICCAD)*, pp. 540–545, Nov. 2005.
- [2] Universal Serial Bus (USB) organization website, <http://www.usb.org/home>
- [3] Serial-ATA (SATA) IO official website, <http://www.serialata.org/>
- [4] PCI Special Interest Group (PCI SIG) website, <http://www.pcisig.com/specifications/pciexpress/>
- [5] K. Farzan, and D. A. Johns, “A CMOS 10-Gb/s Power-Efficient 4-PAM Transmitter,” *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 529 - 532, March 2004.
- [6] S. Haykin, “Communication Systems, 4th Edition,” John Wiley & Sons, 2001
- [7] Y. Yao, X. Yu, D. Yang, F. Dai, J.D. Irwin, and R.C. Jaeger, “A 3-Bit 20GS/s Interleaved Flash Analog-to-Digital Converter in SiGe Technology,” in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp.420 - 423, Nov. 2007.
- [8] W. Cheng, W. Ali, M.J. Choi, K. Liu, T. Tat, D. Devendorf, L. Linder, and R. Stevens, “A 3b 40GS/s ADC-DAC in 0.12 μ m SiGe,” in *ISSCC Digest of Technical Papers*, pp. 262 - 263, Feb. 2004.
- [9] J. Lee, P. Roux, U.V. Koc, T. Link, Y. Baeyens, and Y.K. Chen, “A 5-b 10-GSample/s A/D Converter for 10-Gb/s Optical Receivers,” *IEEE J. Solid-State Circuits*, vol. 39, no. 10, pp. 1671 - 1679, Oct. 2004.
- [10] P. Schvan, D. Pollex, S.C. Wang, C. Falt, and N. Ben-Hamida, “A 22GS/s 5b ADC in 0.13 μ m SiGe BiCMOS,” in *ISSCC Digest of Technical Papers*, pp. 2340 - 2349, Feb. 2006.
- [11] S.M. Louwsma, A.J.M. van Tuijl, M. Vertregt, and B. Nauts, “A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13 μ m CMOS,” *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 778 - 786, April 2008.
- [12] S. Gupta, M. Choi, M. Inerfield, and J. Wang, “A 1GS/s 11b Time-Interleaved ADC in 0.13 μ m CMOS,” in *ISSCC Digest of Technical Papers*, pp. 2360 - 2369, Feb. 2006.

- [13] X. Jiang, and M.-C. F. Chang, "A 1-GHz Signal Bandwidth 6-bit CMOS ADC with Power-Efficient Averaging," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 532 - 535, Feb. 2005.
- [14] X. Jiang, Z. Wang, and M.F. Chang, "A 2GS/s 6b ADC in 0.18 μ m CMOS," in *ISSCC Digest of Technical Papers*, pp. 322 - 497, Feb. 2003.
- [15] K. Poulton, R. Neff, A. Muto, W. Liu, A. Burstein, and M. Heshami, "A 4Gsample/s 8b ADC in 0.35 μ m CMOS," in *ISSCC Digest of Technical Papers*, pp. 166 - 457, Feb. 2002.
- [16] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, "A 20GS/s 8b ADC with a 1MB memory in 0.18 μ m CMOS," in *ISSCC Digest of Technical Papers*, pp. 318 - 496, Feb. 2003.
- [17] B. Razavi, "Principles of Data Conversion System Design," IEEE Press, 1995.
- [18] David A. Johns, and Ken Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc., 1997.
- [19] P. E. Allen, and D. R. Holberg, "CMOS Analog Circuit Design, 2nd Edition," Oxford University Press, 2002.
- [20] Rudy J. van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, 2nd Edition," Kluwer Academic Publishers, 2003.
- [21] Mikael Gustavsson, J. Jacob Wikner, and Nianxiong Nick Tan, "CMOS Data Converters for Communications," Kluwer Academic Publishers, 2000.
- [22] Kent H. Lundberg, "Analog-to-Digital Converter Testing," 2002.
- [23] M. Burns, and G. W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement," Oxford University Press, 2001.
- [24] W. P. Burlison, M. Ciesielski, F. Klass, and W. Liu, "Wave-Pipelining: A Tutorial and Research Survey," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 6, no. 3, pp. 464 - 474, Sep. 1998.
- [25] J. Musicer, and J. Rabaey, "MOS Current Mode Logic for Low Power, Low Noise CORDIC Computation in Mixed-Signal Environments," in *Proc. International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 102 - 107, 2000.
- [26] C. S. Vaucher, I. Ferencic, M. Locher, S. Sedvallson, U. Voegeli, and Z. Wang, "A Family of Low-Power Truly Modular Programmable Dividers in Standard

- 0.35- μm CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 35, no. 7, pp. 1039 - 1045, July 2000.
- [27] M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, and H. Yamada, “A GHz MOS Adaptive Pipeline Technique Using MOS Current-Mode Logic,” *IEEE J. Solid-State Circuits*, vol. 31, no. 6, pp. 784 - 791, June 1996.
- [28] S. Sheikhaei, S. Mirabbasi, and A. Ivanov, “A 0.18 μm CMOS pipelined encoder for a 5 GS/s 4-bit flash analogue-to-digital converter,” *Canadian Journal of Electrical and Computer Engineering*, vol. 30, no. 4, pp. 183 - 187, Fall 2005.
- [29] A. V. den Bosch, M. Steyaert, and W. Sansen, “SFDR-BANDWIDTH LIMITATIONS FOR HIGH SPEED HIGH RESOLUTION CURRENT STEERING CMOS D/A CONVERTERS,” in *Proc. IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, vol. 3, pp. 1193 - 1196, Sept. 1999.
- [30] A. V. den Bosch, M. A. F. Borremans, M. S. J. Steyaert, and W. Sansen, “A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter,” *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 315 - 324, March 2001.
- [31] D. A. Mercer, “Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18- μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1688 - 1698, Aug. 2007.
- [32] Rudy J. van de Plassche, “Dynamic Element Matching for High-Accuracy Monolithic D/A Converters,” *IEEE J. Solid-State Circuits*, vol. 11, no. 6, pp. 795 - 800, Dec. 1976.
- [33] D. Seo, and G. H. McAllister, “A Low-Spurious Low-Power 12-bit 160-MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter,” *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 486 - 495, March 2007.
- [34] S. Galal, and B. Razavi, “10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18- μm CMOS Technology,” *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138 - 2146, Dec. 2003.
- [35] A. G. W. Venes, and R. J. van de Plassche, “An 80-MHz, 80-mW, 8-b CMOS Folding A/D converter with Distributed Track-and-Hold Preprocessing,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1846 - 1853, Dec. 1996.
- [36] R. P. Jindal, “Gigahertz-Band High-Gain Low-Noise AGC Amplifiers in Fine-Line NMOS,” *IEEE J. Solid-State Circuits*, vol. 22, no. 4, pp. 512 - 521, Aug.

1987.

- [37] B. Razavi, "Design of Integrated Circuits for Optical Communications," McGraw Hill, 2002.
- [38] W.-Z. Chen, and C.-H. Lu, "Design and Analysis of A 2.5-Gbps Optical Receiver Analog Front-End in a 0.35- μm Digital CMOS Technology," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 53, no. 4, pp. 977 - 983, April 2006.
- [39] W.-Z. Chen, and S.-H. Huang, "A 2.5 Gbps CMOS Fully Integrated Optical Receiver with Lateral PIN Detector," in *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 293 - 296, Sept. 2007.
- [40] S.-C. Liang, D.-J. Huang, C.-K. Ho, and H.-C. Hong, "10 GSamples/s, 4-bit, 1.2V, Design-for-Testability ADC and DAC in 0.13 μm CMOS technology," in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp.416 - 419, Nov. 2007.
- [41] Y.-Z. Lin, Y.-T. Liu, and S.-J. Chang, "A 6-Bit 2-GS/s Flash Analog-to-Digital Converter in 0.18- μm CMOS Process," in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp.351 - 354, Nov. 2006.
- [42] H.-Y. Huang, Y.-Z. Lin, and S.-J. Chang, "A 5-bit 1 GSamples/s Two-Stage ADC with a New Flash Folded Architecture," *IEEE TENCON*, no. ThSC-O4.1, 2007.
- [43] B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, 2001.
- [44] E. M. Cherry, and D. E. Hooper, "The Design of Wide-Band Transistor Feedback Amplifier," *Inst. Elec. Eng. Proc.*, vol. 110, no. 2, pp. 375 - 389, Feb. 1963.
- [45] S. Park, Y. Palaskas, and M. P. Flynn, "A 4GS/s 4b Flash ADC in 0.18 μm CMOS," in *ISSCC Digest of Technical Papers*, pp. 2330 - 2339, Feb. 2006.
- [46] S. Park, Y. Palaskas, and M. P. Flynn, "A 4-GS/s 4-bit Flash ADC in 0.18- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 9, pp. 1865 - 1872, Sept. 2007.
- [47] Y.-Z. Lin, C.-W. Lin, and S.-J. Chang, "A Digitally Calibrated 5-bit 3.2-GS/s Flash ADC," in *Proc. VLSI Design/CAD Symposium*, Aug. 2008.
- [48] S. Park, Y. Palaskas, A. Ravi, R. E. Bishop, M. P. Flynn, "A 3.5 GS/s 5-b Flash ADC in 90 nm CMOS," in *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 489 - 492, Sept. 2006.
- [49] K. Uyttenhove, and M. S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1115 - 1122,

July 2003.

- [50] A. V. Oppenheim and R. W. Schaffer, "Discrete-Time Signal Processing, 2nd Edition," Prentice Hall, 1999.
- [51] J. Jacob Wikner, "STUDIES ON CMOS DIGITAL-TO-ANALOG CONVERTERS," Linköping Studies in Science and Technology Dissertation No. 667.
- [52] W. Ellersick, C.-K. K. Yang, M. Horowitz, and W. Dally, "GAD: A 12-GS/s CMOS 4-bit A/D Converter for an Equalized Multi-Level Link," in *Symposium on VLSI Circuits*, pp. 49 - 52, June 1999.
- [53] C. Paulus, H.-M. Bluthgen, M. Low, E. Sicheneder, N. Bruls, A. Courtois, M. Tiebout, and R. Thewes, "A 4GS/s 6b Flash ADC in 0.13 μ m CMOS," in *Symposium on VLSI Circuits*, pp. 420 - 423, June 2004.
- [54] W. Ellersick, C.-K. K. Yang, V. Stojanovic, S. Modjtahedi, and M. A. Horowitz, "A Serial-Link Transceiver Based on 8GSample/s A/D and D/A Converters in 0.25 μ m CMOS," in *ISSCC Digest of Technical Papers*, pp. 58 - 59, Feb. 2001.
- [55] C.-K. K. Yang, V. Stojanovic, S. Modjtahedi, M. A. Horowitz, and W. F. Ellersick, "A Serial-Link Transceiver Based on 8-GSamples/s A/D and D/A Converters in 0.25- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1684 - 1692, Nov. 2001.
- [56] B.-D. Yang, J.-H. Choi, S.-H. Han, L.-S. Kim, and H.-K. Yu, "An 800-MHz Low-Power Direct Digital Frequency Synthesizer With an On-Chip D/A Converter," *IEEE J. Solid-State Circuits*, vol. 39, no. 5, pp. 761 - 774, May 2004.
- [57] P. Palmers, X. Wu, and M. Steyaert, "A 130 nm CMOS 6-bit Full Nyquist 3GS/s DAC," in *Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC)*, pp. 348 - 351, Nov. 2007.
- [58] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, and T. Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90nm CMOS," in *Symposium on VLSI Circuits*, pp. 64 - 65, June 2007.
- [59] Y.-Z. Lin, Y.-T. Liu, and S.-J. Chang, "A 5-bit 4.2-GS/s Flash ADC in 0.13- μ m CMOS," in *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 213 - 216, Sept. 2007.
- [60] S. Shahramian, S. P. Voinigescu, and A. C. Carusone, "A 30-GS/sec Track and Hold Amplifier in 0.13 μ m CMOS Technology," in *Proc. IEEE Custom Integrated*

Circuits Conference (CICC), pp. 493 - 496, Sept. 2006.

- [61] M. Choi, and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D Converter in 0.35- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847 - 1858, Dec. 2001.

