

國立交通大學
電控工程研究所

碩士論文

一個具備數位背景校正技術使用開迴路式殘值放
大器之導管式類比數位轉換器

A Digitally Background Calibrated Pipelined ADC
Using Open-Loop Residue Amplifiers

研究生：何明達

指導教授：洪浩喬 教授

中華民國 九十九年九月

一個具備數位背景校正技術使用開迴路式殘值放大器之導管式類比數位轉換器

A Digitally Background Calibrated Pipelined ADC
Using Open-Loop Residue Amplifiers

研究生：何明達

Student : Ming-Ta Ho

指導教授：洪浩喬 教授

Advisor : Hao-Chiao Hong



Submitted to Institute of Electrical Control Engineering
College of Electrical and Computer Engineering
National Chiao-Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master
in
Electrical Control Engineering

September 2010
Hsinchu, Taiwan, R.O.C

中華民國九十九年九月

一個具備數位背景校正技術使用開迴路式殘值放大器之導管式類比數位轉換器

研究生：何明達

指導教授：洪浩喬 教授

國立交通大學
電控工程研究所碩士班

摘要

如何設計一個具備高效能且高良率的類比數位轉換器一直是重要的研究課題，而在數位電路直接受惠於製程演進的利基下，利用數位校正機制使類比數位轉換器可達到操作在高速、高解析度且具有低功率消耗的特性，更是當下時勢之所趨。

有鑑於此，本論文提出一個可精確估測殘值放大器線性與三階非線性增益誤差的設計，透過全數位背景式的校正機制應用在導管式類比數位轉換器上，可有效大幅改善其電路效能，我們並以台積電 0.18 μm Mixed-Mode RF CMOS 製程實現一個數位背景校正每秒一億次取樣十二位元使用開迴路式殘值放大器設計之導管式類比數位轉換器，電路架構共分三級：前二級校正級為(3+1)-bit，每校正級中殘值放大器之理想增益為 8 且其 Multiplying DAC (MDAC) 皆以開迴路式架構實現，因製程所產生之線性與非線性增益誤差則藉由可精確估測殘值放大器線性與三階非線性增益誤差的方法，再透過數位電路將誤差補償校正；而第三級為一個 6-bit flash ADC。

當二級校正級均導入 10%的線性和三階非線性增益誤差時，模擬結果顯示靜態參數校正前為 $DNL=0.5/-1.0LSB$ 、 $INL=16.7/-16.7LSB$ ，而校正後可提升至 $DNL=0.8/-1.0LSB$ 、 $INL=0.6/-0.6LSB$ 。動態參數方面在校正前 $SFDR=54.1dBc$ 、 $SNR=46.2dB$ 、 $SNDR=44.4dB$ 、 $ENOB=7.1$ bits，而校正後可大幅提升至 $SFDR=94.5dBc$ 、 $SNR=71.0dB$ 、 $SNDR=71.0dB$ 、 $ENOB=11.5$ bits。在不包含全數位實現的 Estimation 和 Calibration 電路時此 ADC 功率消耗為 71.2mW。

而晶片量測結果校正前 $ENOB=4.1$ bits，校正後 $ENOB=5.3$ bits，導致校正結果與模擬結果有差距的原因之一為模擬時未完整考量到當每一級解出的數位碼發生偏移誤差時，對後續估測和校正機制產生的影響。因為校正的演算法為一非線性函數，當含有偏移誤差之數位碼經過校正的演算法後，將影響到估測增益誤差的精確度，進而影響電路校正的結果。



A Digitally Background Calibrated Pipelined ADC Using Open-Loop Residue Amplifiers

Student : Ming-Ta Ho

Advisor : Hao-Chiao Hong

Institute of Electrical Control Engineering
National Chiao-Tung University

Abstract

The design of a high performance analog-to-digital converter (ADC) with a high yield is an important research issue. An interesting approach is designing the ADCs with the aid of some kinds of digital calibration schemes. Such an approach benefits from the low-power, high-resolution, high-speed, and portability features of digital circuits, while the analog design can be much simplified by using the simplest circuits to achieve low-power, high-resolution, and high-speed as well. This thesis proposes a digital background calibration design that can accurately estimate and calibrate the linear and the 3rd-order non-linear gain errors of the residue amplifiers in the pipelined ADC.

The proposed 12-bit 100MS/s digitally background calibrated pipelined ADC using open-loop residue amplifiers was realized in TSMC 0.18 μ m Mixed-Mode RF CMOS technology. The pipelined ADC consists of cascaded three stages. The former two are the stages under calibration. Each of them has (3+1)-bit resolution and the nominal gains of the residue amplifiers in them are all eight. The final stage is a 6-bit flash ADC. The multiplying DACs in the stages under calibration are implemented using open-loop

topology. By employing an estimation method that can accurately estimate the linear and the 3rd-order non-linear gain errors of the residue amplifiers and compensating these errors in the digital domain, the pipelined ADC can be calibrated to achieve a high SNDR even though the practical residue amplifiers have severe linear and non-linear gain errors due to fabrication variations.

We added 10% linear and 10% the 3rd-order non-linear gain errors to the residue amplifiers in the stages under calibration to verify the effectiveness of the calibration scheme. The simulation results show that, the DNL and the INL of the ADC without calibration are within 0.5/-1.0 LSB and 16.7/-16.7 LSB, respectively and the SFDR=54.1dBc, SNR=46.2dB, SNDR=44.4dB, ENOB=7.1 bits. After activating the calibration, the DNL and the INL of the ADC are improved to be within 0.8/-1.0 LSB and 0.6/-0.6 LSB, respectively and the SFDR=94.5dBc, SNR=71.0dB, SNDR=71.0dB, ENOB=11.5 bits. All the simulation results show that the proposed digital background calibration design can significantly improve the ADC's performances. Furthermore, the power consumption of the ADC is 71.2mW excluding the estimation and calibration circuits.

The measurement results of the proposed 12-bit 100MS/s digitally background calibrated pipelined ADC show that the ENOB of the ADC with and without calibration are 5.3 bits and 4.1 bits, respectively. The ENOB is improved by 1.2 bits after activating the calibration. The improvement is not as much as what the simulations show. The main reason is that the calibration function used in this design is not linear. If the backend ADC has some offset, then the calibration function can not provide accurate data for the estimation block to estimate the gain errors of the residue amplifiers. It is our future work to address this issue.

誌謝

本論文研究得以順利完成，首先我要感謝我的指導教授洪浩喬教授。從事學術研究工作是條辛苦而漫長的道路，在這期間每每遇到困難或挫折時，老師總能適時地引導我正確的方向，進而突破困境開創出新的視野，除此之外，在為人處事及生涯規劃上，老師亦不吝惜於教導、建議與分享，著實讓我獲益良多，老師的諄諄教誨我會永遠銘記於心。

另外，我要特別感謝李順裕教授、黃弘一教授和張孟凡教授，能夠百忙之中撥空在我的畢業論文口試中蒞臨指導，給予我許多寶貴的意見，讓本論文研究更加完整。

研究期間能夠和實驗室的學長、同學及學弟相互研討是最開心的一件事，和樂的氣氛、不吝惜的分享，營造出一個快樂的學習環境，同時在研究之餘大家一起聚餐、一起運動、一起出遊，這一切都讓我留下了最珍貴的回憶，感謝實驗室的每一位伙伴。同時，在此我也要感謝在這段期間曾加鼓勵過我的身旁好友們，你們的關心讓我時時刻刻感受的到溫暖。

最後，我要感謝我最愛的家人，你們的付出，讓我的人生可以走的更為順遂，你們的支持，使我堅強並勇於面對各種挑戰，而你們的愛更是促使我不斷前進的原動力，感謝你們！我愛你們！

謹以此論文獻給摯愛的諸位。

何明達 謹識
中華民國九十九年九月
新竹 國立交通大學

目錄

摘要	i
Abstract.....	iii
誌謝.....	v
目錄	vi
圖目錄	viii
表目錄	xi
第一章 緒論	1
1.1 研究背景與動機	1
1.2 數位背景校正之目的	4
1.3 論文章節組織	7
第二章 導管式類比數位轉換器簡介	8
2.1 ADC 效能參數介紹	8
2.1.1 Resolution	8
2.1.2 Differential Non-Linearity (DNL)	8
2.1.3 Integral Non-Linearity (INL)	10
2.1.4 Signal-to-Noise Ratio (SNR)	10
2.1.5 Signal-to-Noise and Distortion Ratio (SNDR)	12
2.1.6 Effective Number of Bits (ENOB)	13
2.1.7 Spurious-Free Dynamic Range (SFDR)	13
2.2 Pipelined ADC 原理及架構	14
第三章 具數位背景校正功能之 Pipelined ADC 文獻介紹	19
3.1 [Boris Murmann, JSSC 2003]	19
3.2 [John P. Keane, TCSI 2005]	21
3.3 [Hung-Chih Liu, JSSC 2005]	25
3.4 [Andrea Panigada, TCSI 2006]	27
3.5 [Anand Meruva, ISCAS 2007]	30
第四章 適用於導管式類比數位轉換器之數位背景校正技術	33
4.1 Open-Loop & Close-Loop Residue Amplifier 比較	33
4.2 具數位背景校正技術之 Pipelined ADC 架構	35
4.3 Calibration 技術	36

4.3.1	3rd-order Non-linear Gain Errors Cancellation 演算法	37
4.3.2	Digital Error Correction (DEC)分析	38
4.4	Estimation 技術	42
4.4.1	Multi-Correlation Estimation (MCE)演算法分析	42
4.4.2	Least Mean Square (LMS)演算法分析	44
4.5	Matlab 模擬結果	46
第五章	類比電路實現與模擬結果	52
5.1	A 12-bit 100MSample/s Pipelined ADC 電路架構	52
5.2	Sample and Hold (S/H)電路架構	52
5.2.1	Bootstrapped Switch 電路	53
5.2.2	Folded-cascode op amp 電路	54
5.2.3	S/H 電路模擬結果	57
5.3	Under Calibration Stage 電路架構	58
5.3.1	Sub_ADC 電路	58
5.3.2	Sub_ADC 電路模擬結果	58
5.3.3	Dynamic Element Matching (DEM)技術	60
5.3.4	Pseudo-random Number Generator (PNG)電路	61
5.3.5	Multiplying DAC (MDAC)電路	62
5.3.6	MDAC 電路模擬結果	63
5.4	Backend Stage 電路架構	64
5.4.1	Averaging & Interpolating 技術	65
5.4.2	6-bit flash ADC 電路	66
5.4.3	Backend Stage 電路模擬結果	69
5.5	8-Phase Non-overlapping Clock Generator 電路	70
5.6	整體電路佈局及模擬結果	71
第六章	量測結果與分析	75
6.1	量測環境設定	75
6.2	量測電路設計及晶片照	76
6.3	誤差校正前後之量測結果比較	79
6.4	量測結果分析	83
第七章	結論與未來發展	87
7.1	結論	87
7.2	未來可改進方向之建議	88
	文獻參考	90

圖目錄

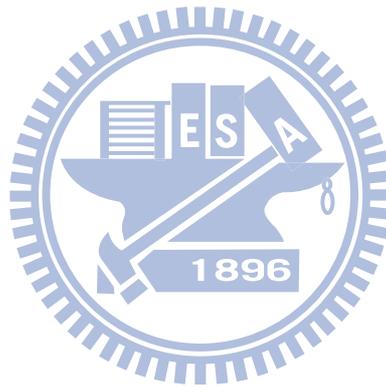
圖 1-1	類比/數位訊號轉換介面示意圖	1
圖 1-2	Recent ADC Performance Needs for Important Product Classes	2
圖 1-3	不同架構 ADC 的適用範圍	3
圖 1-4	CMOS 製程技術的演進	5
圖 2-1	ADC 轉移曲線示意圖	9
圖 2-2	ADC 之差分非線性誤差(DNL)示意圖	9
圖 2-3	ADC 之累積非線性誤差(INL)示意圖	10
圖 2-4	量化雜訊之機率密度函數分布圖	11
圖 2-5	假雜訊頻譜示意圖	13
圖 2-6	導管式類比數位轉換器原理說明	14
圖 2-7	一般導管式類比數位轉換器架構圖	15
圖 2-8	(a)比較器產生偏移誤差 (b)增益級產生增益誤差	16
圖 2-9	1.5-bit/stage 轉移曲線及數位錯誤修正	17
圖 2-10	以開關電容電路實現之 1.5-bit/stage 電路架構	18
圖 3-1	Boris Murmann 所提出之校正方式	19
圖 3-2	二種 MODE 下的轉移曲線	20
圖 3-3	線性和非線性增益誤差所造成轉移曲線的變化	20
圖 3-4	以計數器量測獲得增益誤差的資訊	21
圖 3-5	導管式類比數位轉換器單級架構圖	21
圖 3-6	導管式類比數位轉換器單級架構之等效模組化	22
圖 3-7	導管式類比數位轉換器包含三階非線性增益誤差之等效模組化	23
圖 3-8	導管式類比數位轉換器校正級架構圖	25
圖 3-9	導管式類比數位轉換器校正級轉移曲線	25
圖 3-10	以 SC 電路實現校正級之電路架構	26
圖 3-11	取得轉移曲線高度的數位背景校正法	27
圖 3-12	Andrea Panigada 所提出之校正方式	28
圖 3-13	含有高階非線性增益誤差時估測誤差量方法之修正	29
圖 3-14	模組化含線性與非線性增益誤差之導管式類比數位轉換器單級架構	30
圖 4-1	以 SC 電路實現之閉迴路式增益級	33
圖 4-2	以 SC 電路實現之開迴路式增益級	34
圖 4-3	具數位背景校正技術之 Pipelined ADC 架構	35
圖 4-4	單一校正級模組化	36
圖 4-5	Calibration 技術	37
圖 4-6	使用傳統 DEC 方式之(3+1)-bit/stage 轉移曲線	38

圖 4-7	轉移曲線偏移使下一級輸入訊號超過可處理範圍	38
圖 4-8	未導入隨機校正訊號時之轉移曲線	39
圖 4-9	導入隨機校正訊號- N_{d1} 時之轉移曲線	40
圖 4-10	導入隨機校正訊號+ N_{d1} 時之轉移曲線	40
圖 4-11	導入隨機校正訊號- N_{d2} 時之轉移曲線	41
圖 4-12	導入隨機校正訊號+ N_{d2} 時之轉移曲線	41
圖 4-13	Estimation 技術	42
圖 4-14	LMS Loop	44
圖 4-15	Matlab 模擬校正前 DNL	47
圖 4-16	Matlab 模擬校正前 INL	47
圖 4-17	Matlab 模擬校正後 DNL	48
圖 4-18	Matlab 模擬校正後 INL	48
圖 4-19	Matlab 模擬校正前頻譜分析	49
圖 4-20	Matlab 模擬校正後頻譜分析	49
圖 4-21	Matlab 模擬第一級校正參數 P_1 收斂結果	50
圖 4-22	Matlab 模擬第一級校正參數 P_3 收斂結果	50
圖 4-23	Matlab 模擬第二級校正參數 P_1 收斂結果	51
圖 4-24	Matlab 模擬第二級校正參數 P_3 收斂結果	51
圖 5-1	校正級類比電路實現部份	52
圖 5-2	S/H 電路架構	53
圖 5-3	Bootstrapped Switch 電路	53
圖 5-4	Folded-cascode op amp 電路	54
圖 5-5	Op amp 使用之偏壓電路	55
圖 5-6	CMFB 電路	55
圖 5-7	Op amp 在各 Corner 下 post-simulation 模擬結果	55
圖 5-8	S/H pre-simulation 頻譜分析圖	57
圖 5-9	S/H post-simulation 頻譜分析圖	57
圖 5-10	Sub_ADC pre-simulation 頻譜分析圖	59
圖 5-11	Sub_ADC post-simulation 頻譜分析圖	59
圖 5-12	Dynamic Element Matching (DEM) 技術	61
圖 5-13	31-bit Linear-Feedback Shift Registers (LFSR)	62
圖 5-14	Multiplying DAC (MDAC) 電路	62
圖 5-15	MDAC 使用之偏壓電路	63
圖 5-16	MDAC pre-simulation 模擬結果	63
圖 5-17	MDAC post-simulation 模擬結果	64
圖 5-18	6-bit Flash ADC 電路架構	64
圖 5-19	Averaging & Interpolating 技術	65
圖 5-20	Differential Difference Amplifier 電路	66

圖 5-21	Pre-amplifier 電路.....	67
圖 5-22	Comparator & SR Latch 電路.....	68
圖 5-23	消除一階 Bubble error 示意圖.....	68
圖 5-24	3-bit Thermometer to Binary Encoder 示意圖.....	69
圖 5-25	Backend Stage pre-simulation 頻譜分析圖.....	69
圖 5-26	Backend Stage post-simulation 頻譜分析圖.....	70
圖 5-27	Non-overlapping Clock Generator 電路.....	71
圖 5-28	整體電路佈局圖.....	72
圖 5-29	電路分布位置示意圖.....	72
圖 5-30	整體電路 pre-simulation 頻譜分析圖.....	73
圖 5-31	整體電路 post-simulation 頻譜分析圖.....	73
圖 6-1	量測環境設定.....	75
圖 6-2	輸入訊號源電路.....	76
圖 6-3	電源供應電路.....	76
圖 6-4	參考電壓源電路.....	77
圖 6-5	時脈訊號源電路.....	77
圖 6-6	數位輸出訊號電路.....	77
圖 6-7	晶片顯微照片.....	78
圖 6-8	測試電路板實體照片.....	78
圖 6-9	量測第二級校正參數 P_1 收斂結果.....	80
圖 6-10	量測第二級校正參數 P_3 收斂結果.....	80
圖 6-11	量測第一級校正參數 P_1 收斂結果.....	81
圖 6-12	量測第一級校正參數 P_3 收斂結果.....	81
圖 6-13	量測校正前頻譜分析結果.....	82
圖 6-14	量測校正後頻譜分析結果.....	82
圖 6-15	Matlab 模擬量測之誤差量校正後頻譜分析結果.....	83
圖 6-16	含有偏移誤差時 Matlab 模擬第二級校正參數 P_1 收斂結果.....	84
圖 6-17	含有偏移誤差時 Matlab 模擬第二級校正參數 P_3 收斂結果.....	84
圖 6-18	含有偏移誤差時 Matlab 模擬第一級校正參數 P_1 收斂結果.....	85
圖 6-19	含有偏移誤差時 Matlab 模擬第一級校正參數 P_3 收斂結果.....	85
圖 6-20	含有偏移誤差時 Matlab 模擬校正後頻譜分析結果.....	86
圖 7-1	消除 Body Effect 後 S/H pre-simulation 頻譜分析圖.....	89

表目錄

表 1-1	類比數位轉換器種類	4
表 5-1	Op amp 在各 Corner 下模擬結果數據表	56
表 5-2	S/H 在各 Corner 下模擬結果數據表	58
表 5-3	Sub_ADC 在各 Corner 下模擬結果數據表	60
表 5-4	Backend Stage 在各 Corner 下模擬結果數據表	70
表 5-5	整體電路在各 Corner 下模擬結果數據表	74
表 7-1	Benchmark of the ADC	88



第一章 緒論

1.1 研究背景與動機

在數位時代來臨下「數位化」的電子產品逐漸取代了傳統的電子產品，如：數位相機、數位電視...等，且功能更是日益強大，因此現在數位產品幾乎佔據了大半的市場，成為科技產品中的主流，主要的原因便是因為數位訊號處理（Digital Signal Processing, DSP）的能力相當強大，不但可以處理得更快速且能夠儲存的容量也更大。

但自然界中能夠為人類所接受的訊號卻都是類比訊號，諸如影像、聲音、溫度、壓力...等，為了發展出人類和電子產品的溝通橋樑，且訊號都能夠以數位形式處理保有數位電路的優點，就必須擁有類比與數位訊號的轉換介面，而類比轉數位與數位轉類比介面中最重要的便是類比數位轉換器（Analog to Digital Converter, ADC）與數位類比轉換器（Digital to Analog Converter, DAC），其訊號處理過程如圖 1-1 所示。相較於數位電路對雜訊及半導體製程變異敏感度較低的特性而言，當類比電路受到雜訊干擾時則影響相當嚴重，因此設計一個高速、高解析度且低功率消耗的資料轉換器將是類比電路設計的重要挑戰。

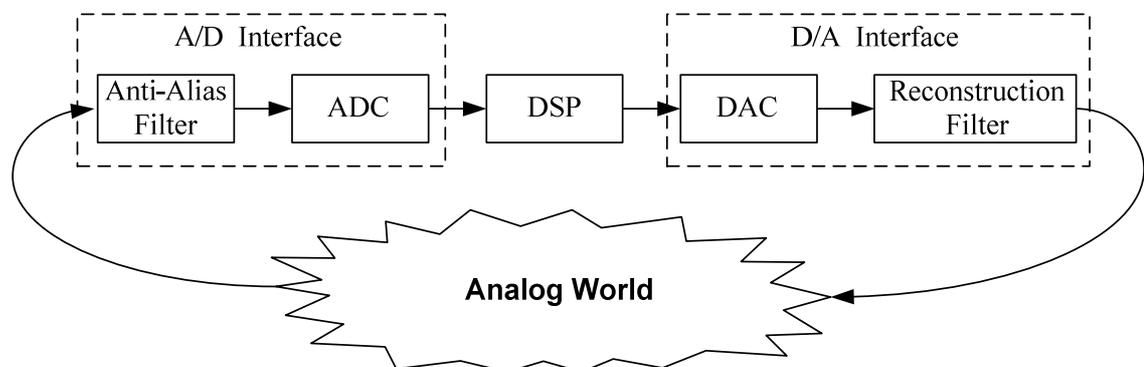


圖 1-1 類比/數位訊號轉換介面示意圖

每一項數位產品或技術依據應用上的不同所需要類比數位轉換器的規格也不盡相同，像是音頻訊號的處理雖然是操作在低頻，但卻需要高解析度的類比數位轉換器；而高速通訊傳輸介面，如：通用序列匯流排（Universal Serial Bus，USB）、序列 ATA 傳輸技術（Serial Advanced Technology Attachment，SATA）...等，所需要的通常是可以操作在每秒十億次取樣（Giga Hertz，GHz）以上的超高速類比數位轉換器。圖 1-2 顯示了近年來市場主流的各種數位產品或技術所需要類比數位轉換器的對應規格[1]。

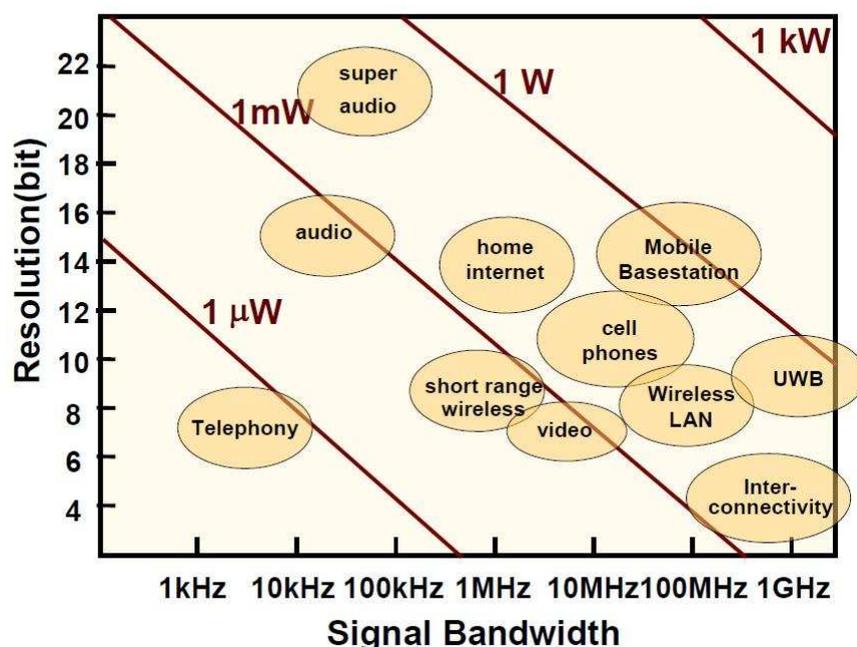


圖 1-2 Recent ADC Performance Needs for Important Product Classes

市面上商用規格的類比數位轉換器中最常見的架構包含有：快閃式類比數位轉換器（Flash A/D Converter）、導管式類比數位轉換器（Pipelined A/D Converter）、連續近似式類比數位轉換器（Successive Approximation Register，SAR A/D Converter）、 $\Sigma \Delta$ 類比數位轉換器（Sigma-Delta A/D Converter）...等，但不論哪一種架構在操作速度和解析度上總是難以兼具，像是快閃式類比數位轉換器可以操作在非常高速，近年來所發表的論文已達到 GHz 的速度[2,3]，但 Flash ADC 在解

析度上卻很少超過6位元(Bits)以上;而 $\Sigma\Delta$ 類比數位轉換器則是利用超取樣(Over Sampling)和雜訊移頻(Noise Shaping)的技術,所以具有高解析度的特性,可以達到16 bits以上[4,5],但因為超取樣的關係可操作的訊號頻寬通常不高,因此相當適合音頻系統上的應用;Pipelined ADC則恰好介於其中,具有中高速、中高解析度的特性,一般常見的應用在8-12 bits、10-200MHz之間[6,7];另一個近年來廣為研究發展的架構則是SAR ADC,因為其架構具有低功率消耗的特色[8,9],在生醫系統上的應用也相當受到矚目。圖1-3顯示了上述四種類比數位轉換器架構各自不同的適用範圍,除了上述四種架構外依然還有許多不同架構的類比數位轉換器,但同樣的依據其架構特性各自會有較適合的應用範圍,如果簡單分類的話可以如表1-1所示[10],也就是說當為了某一產品或技術的應用上需要設計一個類比數位轉換器時,第一步選擇一個適合的架構是相當重要的考量。

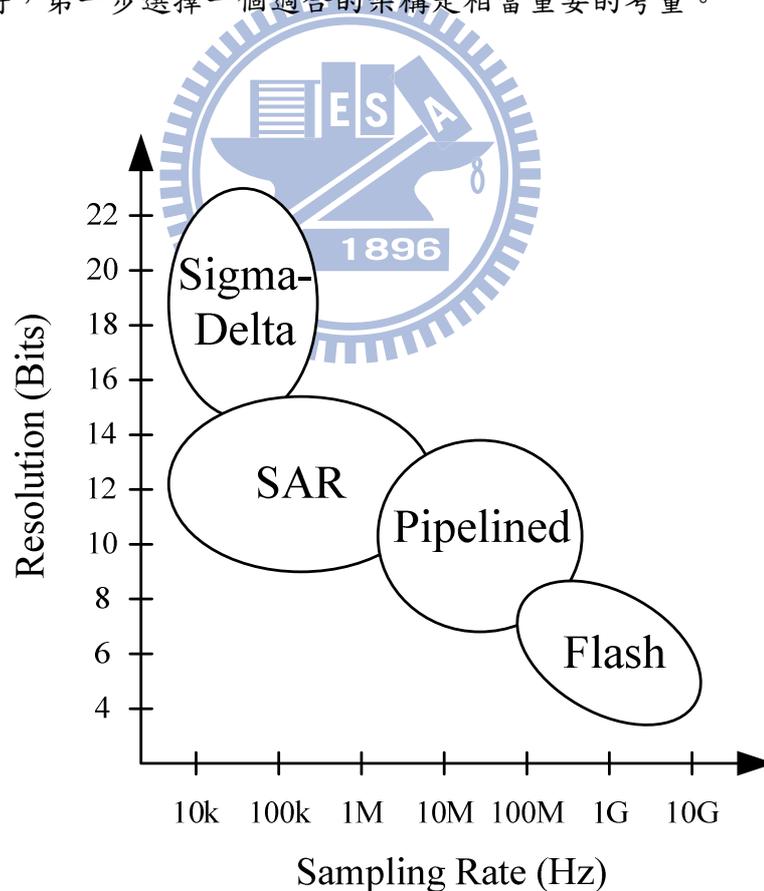


圖 1-3 不同架構 ADC 的適用範圍

表 1-1 類比數位轉換器種類

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Integrating Oversampling	Successive approximation Algorithmic	Flash Two-step Interpolating Folding Pipelined Time-interleaved

1.2 數位背景校正之目的

可攜式電子產品，如：筆記型電腦、行動電話、PDA、MP3 Player ...等，在生活中已是不可或缺的必需品，且人們對可攜式電子產品的效能要求也越來越高，尤其功率消耗的部份成為可攜式電子產品中最重要的效能指標。

而自從 1947 年發展出第一顆電晶體後半導體時代正式來臨，促進了電子產業快速且蓬勃的發展，人類的生活也有了重大的改變，隨後 CMOS (Complementary Metal-Oxide-Semiconductor) 製程技術的演進如圖 1-4 [11]，使單晶片下電晶體的集積數目一直可以遵循著莫爾定律 (Moore's Law)，約每 18 個月單晶片下電晶體的集積數目就有 2 倍的成長，在 2000 年時更因為曝光顯影技術的重大突破得以進入「奈米的時代」，隨著製程技術的進步可攜式電子產品體積變得更小、重量更輕、效能也越高，其中直接受惠的便是數位電路的發展，不但電晶體的操作頻率 f_T 因為通道長度 (Gate Channel Length) 的縮小而提升 (式 1.1) 外，隨著供應電壓的下降功率消耗也顯著的大幅減少 (式 1.2)。然而在單晶片系統的整合 (System On a Chip, SOC) 中卻可發現類比數位轉換器的功率消耗，相對於整個晶片而言比例卻越來越高甚至超過 50% 以上，顯然製程技術的進步對類比電路而言並沒有帶來更好的效能尤其是在功率消耗上。

$$f_T \cong \frac{1}{2\pi} \frac{\mu \cdot V_{ov}}{L^2} \quad (1.1)$$

μ : 通道中載子的遷移率、 L : 通道長度、 V_{ov} : 電晶體之過驅動電壓

$$Power = \frac{1}{2} \times C \times f \times V^2 \quad (1.2)$$

C : 負載電容、 f : 操作頻率、 V : 供應電壓

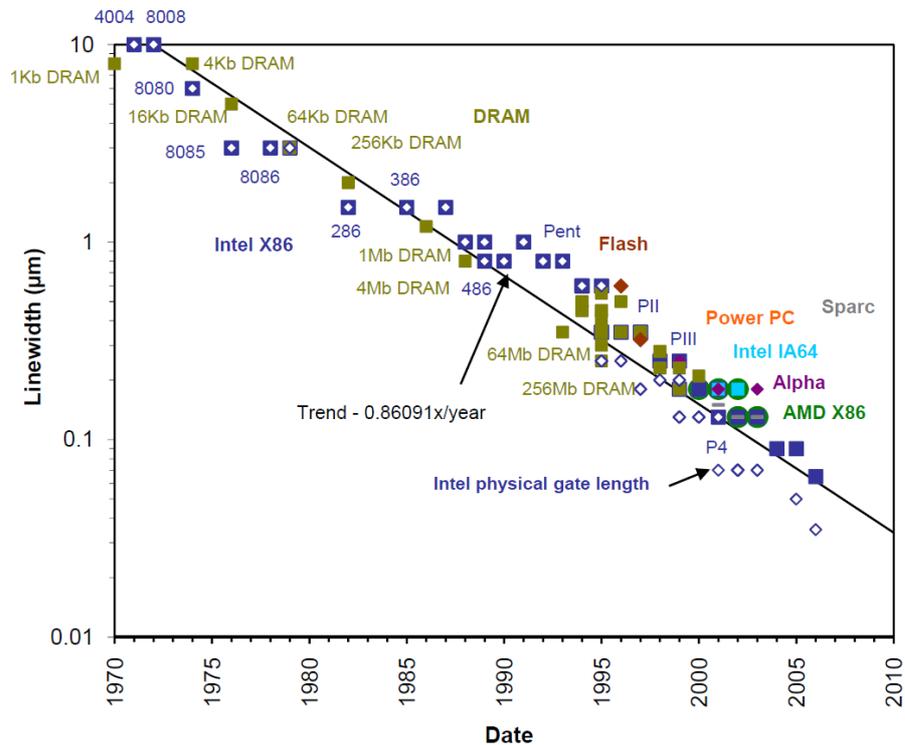


圖 1-4 CMOS 製程技術的演進

類比電路中最基本的元件就是放大器，放大器常用來做取樣、放大或比較訊號的功能，包括運算放大器 (Operational Amplifier)、前端放大器 (Pre-amplifier) 和比較器 (Comparator) ... 等，在先進製程下類比電路設計遇到的第一個難題就是供應電壓下降使輸出擺幅 (Output Swing) 受到限制，而在放大器電路中因為擺幅受限使得不能再以疊接組態 (Cascode Stage) 的方式來增加放大器增益 (Gain)，若採用串接多級增益級 (Multi-stage) 的架構來增加增益又會面臨到穩定度 (Stability) 的問題，因此很難達到高增益的需求。在 CMOS 製程中電晶體的內在

增益 (Intrinsic Gain) 為 (式 1.3), 當製程進步時通道長度縮小使得輸出阻抗 (r_o) 跟著變小, 轉導 (gm) 也因為過驅動電壓 (Overdrive Voltage) 的縮小而降低 (式 1.4), 因此先進製程下 $gm \times r_o$ 的值反而變小, 這也就是為什麼製程技術的進步對類比電路而言在功率消耗上並沒有帶來更好的效能。

$$Gain = gm \times r_o \quad (1.3)$$

gm : 轉導 (Transconductance)、 r_o : 元件輸出阻抗

$$gm = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \quad (1.4)$$

μC_{ox} : 製程參數、 W/L : 元件寬長比、 $V_{gs} - V_{th}$: 過驅動電壓

其中 V_{gs} 為閘極源極的電壓差, V_{th} 為電晶體導通之臨界電壓

要有效解決類比電路在先進製程下所面臨的難題, 唯有發展不同於以往的電路架構, 尤其是如果能以數位電路取代類比電路的功能, 或是能降低類比電路的效能而以數位電路校正 (Digital Calibration) 取代, 則在先進製程下才有機會達到高速、低功率消耗的效能優勢。因此近年來具有數位校正功能的類比數位轉換器受到廣泛地注意與研究, 而校正方式可分為前景式校正 (Foreground Calibration) 和背景式校正 (Background Calibration) 二種, Foreground Calibration 的方法無法在類比數位轉換器正常工作時同時進行, 必須在類比數位轉換器正常操作前先行完成校正的動作, 而當電路受溫度、供應電壓或外在環境因素...等變異時則必須重新做一次校正, 但在許多實際應用上並不允許中斷類比數位轉換器的方式做校正。而 Background Calibration 的方法則沒有上述之問題, 因此本論文研究實現了一個使用嶄新的數位背景校正方法校正之導管式類比數位轉換器, 且這個校正方法可適用於使用開迴路式殘值放大器設計之導管式類比數位轉換器, 進而達到低功率消耗的目的以符合現今市場之所需。

1.3 論文章節組織

本論文共分為七章，各章節簡介如下：

- 第二章：介紹類比數位轉換器的各項效能參數及導管式類比數位轉換器的基本原理與架構。
- 第三章：回顧近年所發表具有數位背景校正功能之導管式類比數位轉換器的論文文獻。
- 第四章：提出一個嶄新具有數位背景校正功能之導管式類比數位轉換器的架構，包含校正 (Calibration) 誤差和估測 (Estimation) 誤差的方法及演算法分析，並以 Matlab 軟體驗證模擬結果。
- 第五章：實現一個數位背景校正每秒一億次取樣十二位元使用開迴路式殘值放大器設計之導管式類比數位轉換器 (A 12-bit 100MS/s Digitally Background Calibrated Pipelined ADC using Open-Loop Residue Amplifier)，包含各電路架構介紹、模擬結果以及電路佈局 (Layout)。
- 第六章：晶片量測的環境設定與量測電路之設計，以及量測結果的分析。
- 第七章：結論與未來可改進方向的建議。

第二章 導管式類比數位轉換器簡介

2.1 ADC 效能參數介紹

本章節將針對各種評定類比數位轉換器效能之參數做說明，包含屬於靜態參數 (Static Parameters) 的：解析度 (Resolution)、差分非線性誤差 (Differential Non-Linearity, DNL)、累積非線性誤差 (Integral Non-Linearity, INL)；以及動態參數 (Dynamic Parameters) 的：訊號對雜訊比 (Signal-to-Noise Ratio, SNR)、訊號對雜訊及失真比 (Signal-to-Noise and Distortion Ratio, SNDR)、有效位元數 (Effective Number of Bits, ENOB)、無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR)。



2.1.1 Resolution

解析度 (Resolution)，一個 N -bit 解析度的類比數位轉換器代表的是其可輸入訊號範圍 V_{ref} 能夠分成 2^N 個數位位準 (Level) 來表示，因此我們定義類比轉數位訊號的一個最小步階 (Least Significant Bit, LSB) 為 $1/2^N$ ，在此須特別注意到 LSB 的表示方式為正規化 (Normalized) 後的結果所以是沒有單位的，而相鄰數位位準所對應之類比訊號的電壓差為 V_{LSB} (式 2.1)，單位則為伏特 (Voltage)。

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (2.1)$$

2.1.2 Differential Non-Linearity (DNL)

差分非線性誤差 (Differential Non-Linearity, DNL)，一個理想的類比數位轉

換器相鄰數位位準所對應之類比訊號的電壓差應該都要相同，但實際上卻不是這麼理想，圖 2-1 顯示一個 3-bit 類比數位轉換器的轉移曲線 (Transfer Curve)，實線代表理想的轉移曲線；虛線則表示轉移曲線可能發生的真實情況，而 DNL 說明了當每個相鄰數位位準所對應之類比訊號的電壓差不等於一個 V_{LSB} 時的誤差資訊，可以用 (式 2.2) 及圖 2-2 表示。

$$DNL(j) = \frac{(V_{actual}(j+1) - V_{actual}(j)) - V_{LSB}}{V_{LSB}} \quad (LSB) \quad (2.2)$$

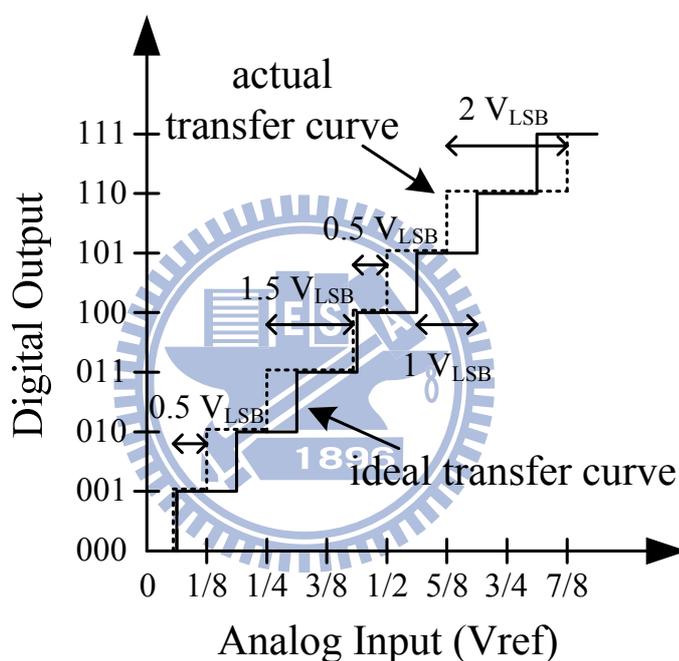


圖 2-1 ADC 轉移曲線示意圖

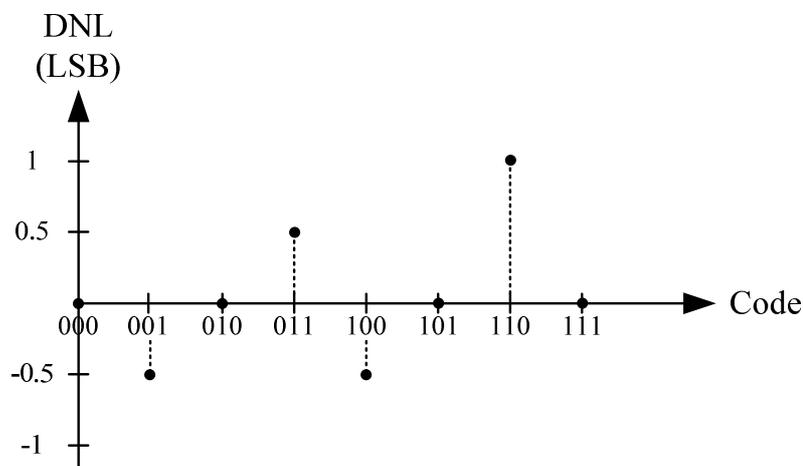


圖 2-2 ADC 之差分非線性誤差(DNL)示意圖

2.1.3 Integral Non-Linearity (INL)

累積非線性誤差 (Integral Non-Linearity, INL)，顯示的是實際類比數位轉換器轉移曲線與理想轉移曲線間的誤差資訊，即每個數位位準所對應之類比訊號電壓值和理想應該對應之電壓值之間的誤差，同樣以圖 2-1 為例說明，INL 可以用(式 2.3) 及圖 2-3 表示。

$$INL(j) = \frac{V_{actual}(j) - V_{actual,min}}{V_{LSB}} - j \text{ (LSB)} \quad (2.3)$$

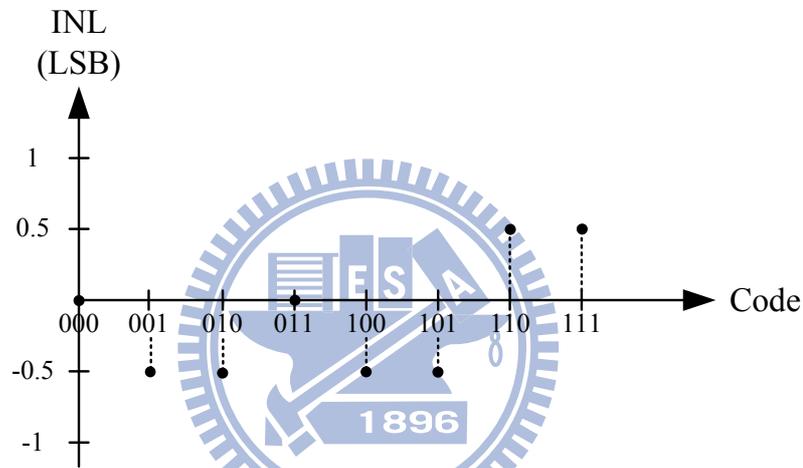


圖 2-3 ADC 之累積非線性誤差(INL)示意圖

經由上述分析我們亦可發現第 j 個數位位準的 INL 為累加第 1 個到第 j 個數位位準 DNL 的結果，如 (式 2.4) 表示。

$$INL(j) = \sum_{i=1}^j DNL(i) \text{ (LSB)} \quad (2.4)$$

2.1.4 Signal-to-Noise Ratio (SNR)

訊號對雜訊比 (Signal-to-Noise Ratio, SNR)，代表的是訊號功率與雜訊 (Noise) 功率之比值，通常以分貝 (decibel, dB) 來表示如 (式 2.5)，雜訊除了電路本身及環境所產生之外還包含有：量化雜訊 (Quantization Noise)、熱雜訊 (Thermal

Noise)、閃爍雜訊 (Flicker Noise) ... 等，但計算 SNR 時雜訊並不包含訊號各倍頻上的諧波失真 (Harmonic Distortion)。

$$SNR = 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{noise}} \right) \quad (dB) \quad (2.5)$$

而縱使是一個理想的類比數位轉換器也還是會有量化雜訊，這是因為使用了有限解析度來量化類比訊號的關係，當類比數位轉換器的輸入訊號為一快速變動的訊號時，我們從統計的角度來看量化雜訊 V_Q ，則 V_Q 將具有白色雜訊 (White Noise) 的特性，在 $\pm \frac{V_{LSB}}{2}$ 間為一均勻分布的隨機變數 (Uniform Distribution Random Variable)，其機率密度函數 (Probability Density Function) $f_Q(x)$ 如圖 2-4 所示。

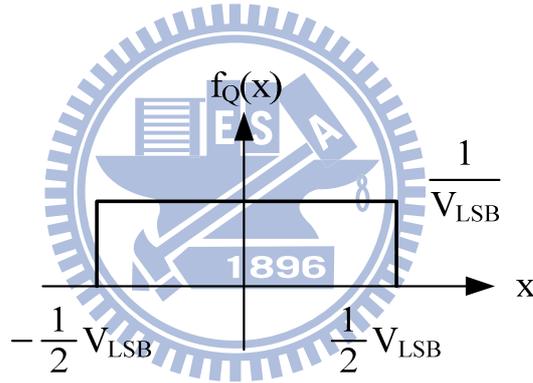


圖 2-4 量化雜訊之機率密度函數分布圖

如果直接計算 V_Q 的平均值如 (式 2.6) 會發現其值為 0，因此改以均方根 (Root Mean Square) 值取代如 (式 2.7)。

$$V_{Q,avg} = \int_{-\infty}^{\infty} x \cdot f_Q(x) dx = \frac{1}{V_{LSB}} \int_{-V_{LSB}/2}^{V_{LSB}/2} x dx = 0 \quad (2.6)$$

$$V_{Q,rms} = \left[\int_{-\infty}^{\infty} x^2 \cdot f_Q(x) dx \right]^{1/2} = \left[\frac{1}{V_{LSB}} \int_{-V_{LSB}/2}^{V_{LSB}/2} x^2 dx \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}} \quad (2.7)$$

同樣我們也可以計算當輸入訊號為一弦波且峰對峰值 (Peak-to-Peak) 為 V_{ref} 時

其均方根值為 $\frac{V_{ref}}{2\sqrt{2}}$ ，因此由上述分析可以知道一個理想 N-bit 的類比數位轉換器當

輸入訊號為弦波且輸入範圍為 V_{ref} 時，可得到最大 SNR 值如（式 2.8）。

$$\begin{aligned} SNR_{max} &= 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{noise}} \right) = 10 \cdot \log_{10} \left(\frac{V_{in,rms}}{V_{Q,rms}} \right)^2 \\ &= 20 \cdot \log_{10} \left(\frac{V_{ref}/2\sqrt{2}}{V_{LSB}/\sqrt{12}} \right) = 20 \cdot \log_{10} \left(\sqrt{\frac{3}{2}} 2^N \right) \end{aligned}$$

$$SNR_{max} = 6.02 \cdot N + 1.76 \quad (dB) \quad (2.8)$$

2.1.5 Signal-to-Noise and Distortion Ratio (SNDR)

訊號對雜訊及失真比（Signal-to-Noise and Distortion Ratio，SNDR）更嚴格的定義了訊號和雜訊功率比的關係，因為其雜訊還要加上訊號各倍頻上的諧波失真，因此定義 SNDR 如（式 2.9）所示。

$$SNDR = 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{noise} + P_{harmonic}} \right) \quad (dB) \quad (2.9)$$

我們知道當弦波經過一個非線性系統時便會在訊號基頻外產生諧波失真，且這些諧波失真往往帶有比一般雜訊更大的功率而對系統影響甚大，從下列分析可

以看到在訊號二階和三階諧波上分別帶有 $\left(\frac{a_2 A^2}{2} \right)^2$ 和 $\left(\frac{a_3 A^3}{4} \right)^2$ 的功率，因此

SNDR 在類比數位轉換器中是一個不可忽略的效能參數指標。

$$\begin{aligned} y(t) &= a_1 (A \cos(\omega t)) + a_2 (A \cos(\omega t))^2 + a_3 (A \cos(\omega t))^3 + \dots \\ &= a_1 (A \cos(\omega t)) + \frac{a_2 A^2}{2} [1 + \cos(2\omega t)] + \frac{a_3 A^3}{4} [3 \cos(\omega t) + \cos(3\omega t)] + \dots \end{aligned}$$

2.1.6 Effective Number of Bits (ENOB)

有效位元數 (Effective Number of Bits, ENOB) 可以反映出類比數位轉換器實際具有多少有效位元的解析度，我們知道當輸入一弦波訊號時類比數位轉換器可得到的最大 SNR 值 (式 2.8)，因此以包含所有雜訊和諧波失真定義的 SNDR 取代 (式 2.8) 的 SNR_{max} ，則可定義出類比數位轉換器實際具有的解析度能力即有效位元數，如 (式 2.10)。

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (bits) \quad (2.10)$$

2.1.7 Spurious-Free Dynamic Range (SFDR)

無假訊號動態範圍 (Spurious-Free Dynamic Range, SFDR) 定義為訊號對最大的假訊號 (Spurious) 功率之比值，通常以 dBc (in dB with respect to carrier) 來表示如 (式 2.11)，假訊號指的是頻譜 (Power Spectrum) 上除了訊號外帶有高功率的突刺，造成突刺的原因很多可能是電路本身的問題亦有可能是環境因素而產生，但一般來說通常會是電路非線性諧波失真所造成，如圖 2-5 所示。

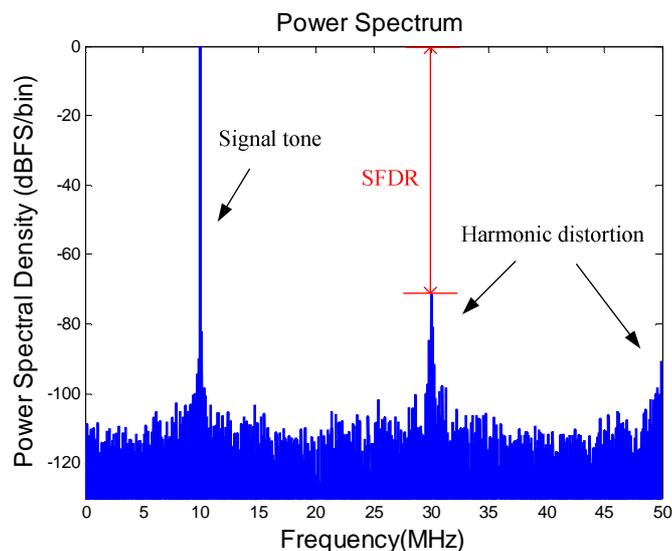
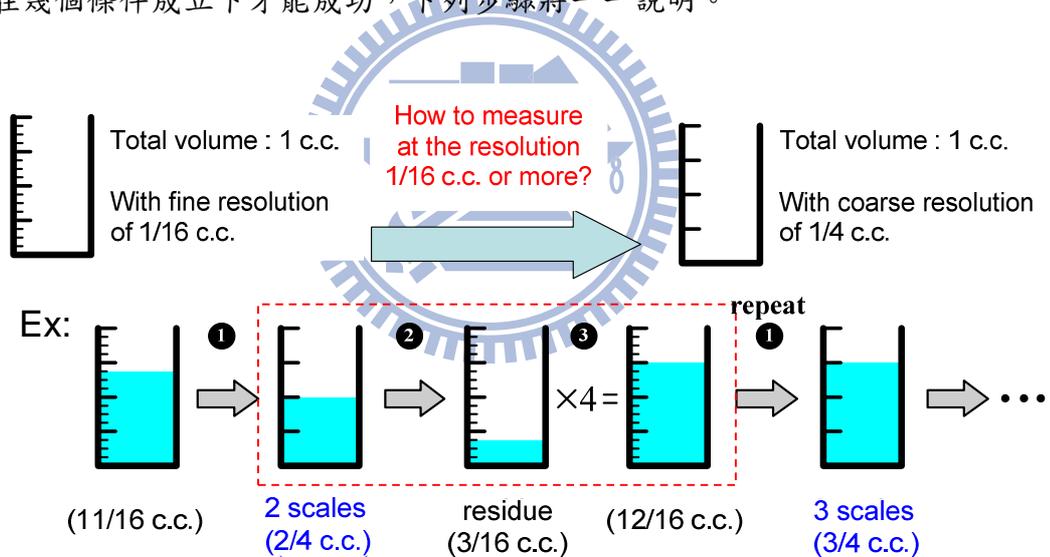


圖 2-5 假雜訊頻譜示意圖

$$SFDR = 10 \cdot \log_{10} \left(\frac{P_{signal}}{P_{spurious,max}} \right) \quad (dBc) \quad (2.11)$$

2.2 Pipelined ADC 原理及架構

發展出導管式類比數位轉換器的基本想法是希望藉由串接多級低解析度的類比數位轉換器電路架構，再透過合併每一級的輸出最後達到一個具有高解析度的類比數位轉換器電路架構，我們先以一個生活常例來做說明：容量相同的量杯中具有小刻度的量杯在量測水量時必然比大刻度的量杯來的精確，但能否多次利用大刻度的量杯而能達到小刻度量杯量測的精確度呢？答案是可以在圖 2-6，但必須在幾個條件成立下才能成功，下列步驟將一一說明。



Result : (2/4) c.c. + (3/4) c.c. / 4 = (11/16) c.c. (at the resolution 1/16 c.c.)

圖 2-6 導管式類比數位轉換器原理說明

- 步驟 1：將待量測水量倒入大刻度量杯中到可完全填滿的刻度位置，此步驟的重點是反映出最多能完全填滿的刻度。
- 步驟 2：將原來水量減去上個步驟大刻度量杯中的水量，當然這剩餘的水量必定不足以填滿大刻度量杯的一個刻度。

- 步驟 3：將剩餘的水量放大至大刻度量杯所擁有刻度的倍數，此例中大刻度量杯有 4 個刻度所以是放大 4 倍，這個步驟的重點自然是放大倍率的準確度了，後續回到第一個步驟開始重新依序進行。

圖 2-7 是一般導管式類比數位轉換器的架構和單一級輸出對輸入訊號之轉移曲線[12]，一般導管式類比數位轉換器架構的每一級包含子類比數位轉換器 (Sub_ADC)、子數位類比轉換器 (Sub_DAC)、減法器 (Subtraction) 和殘值放大器 (Residue Amplifier)，而子數位類比轉換器、減法器和殘值放大器可以用開關電容電路 (Switch Capacitor Circuit, SC Circuit) 結合，稱為 Multiplying DAC (MDAC)，因為開關電容電路已具備取樣保持 (Sample and Hold, S/H) 電路的功能，因此電路實現上只有第一級前面需要再加一個取樣保持電路。

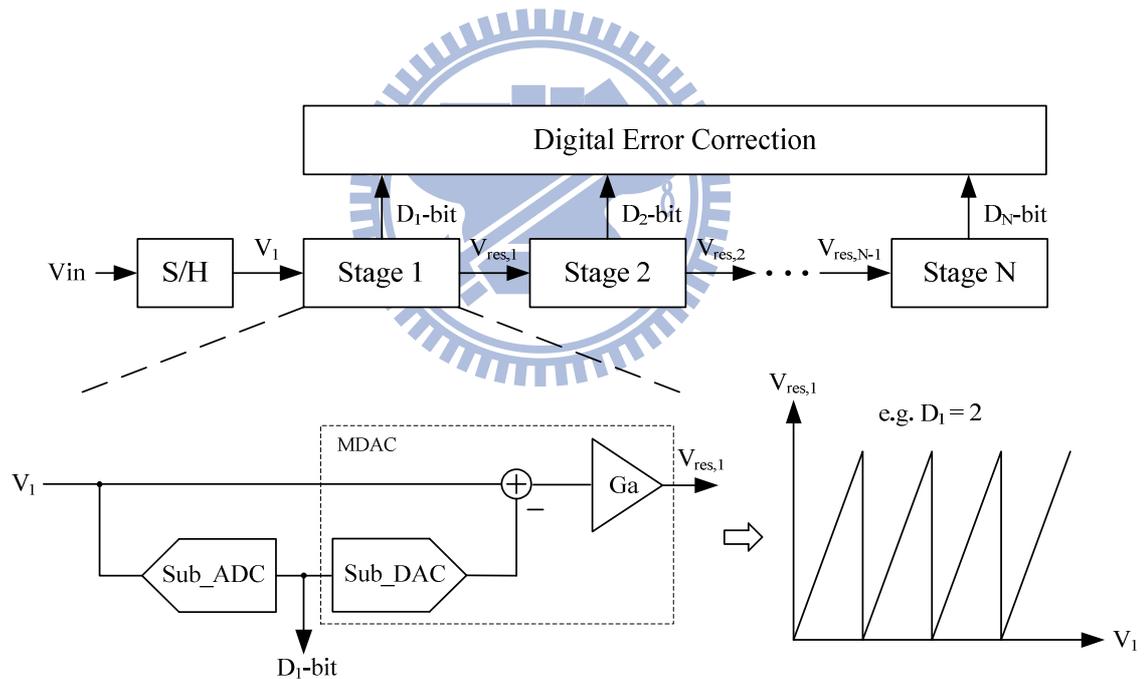


圖 2-7 一般導管式類比數位轉換器架構圖

Sub_ADC 如同步驟 1 先對訊號做粗略解析度的轉換，可得到一低位元數的數位訊號 D_1 -bit，再透過 Sub_DAC 還原回類比訊號後與原來訊號相減，如同步驟 2 的動作，此時相減後的訊號必然小於 Sub_ADC 的 V_{LSB} ，最後將相減後的訊號經過

殘值放大器放大 2^{D_i} 倍，即步驟3之後繼續交由下一級重複上述步驟。從原理的分析中可以知道殘值放大器的精確度和線性度（Linearity）將是影響整體效能的關鍵，也因此 MDAC 通常採用閉迴路式（Close-Loop）架構作為增益級以提供精確且線性的放大倍率，但 Close-Loop 提供精確且線性放大倍率的前提是需要有一個相當高開迴路增益的放大器，因此成為功率消耗最大的元件，在第四章中將會對閉迴路式架構和開迴路式（Open-Loop）架構的差異作詳細之說明。

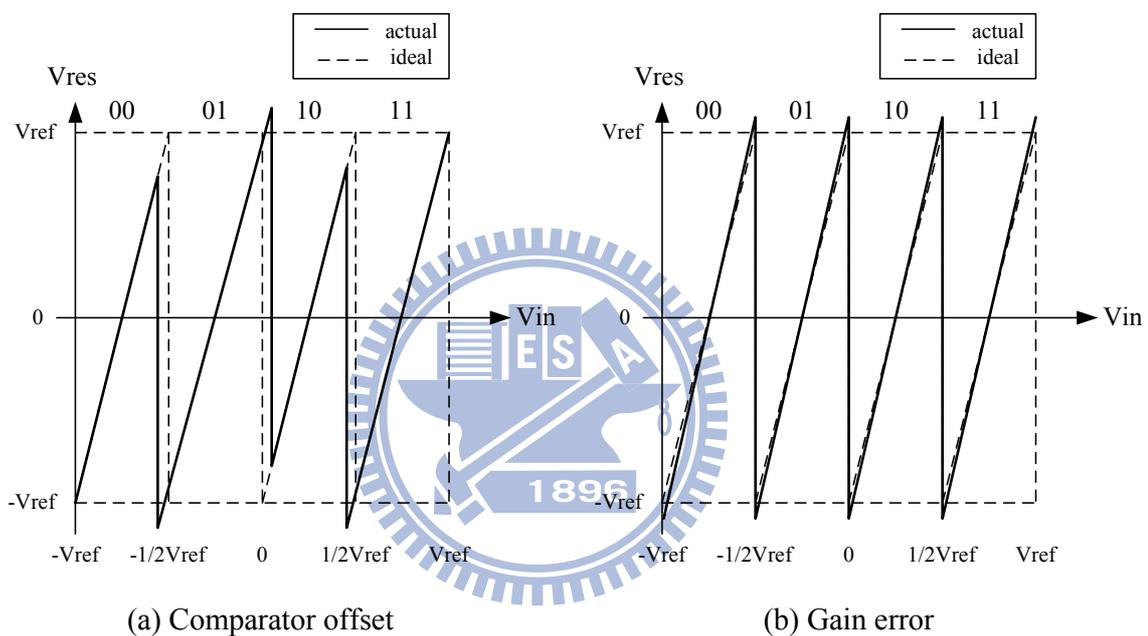


圖 2-8 (a)比較器產生偏移誤差 (b)增益級產生增益誤差

在圖 2-7 的架構中還有一個數位錯誤修正（Digital Error Correction，DEC）電路尚未介紹，需要有 DEC 的原因是因為電路的實現上並不像我們想像的這麼理想，從上述中可以知道導管式類比數位轉換的每一級輸入訊號範圍應該都要相同，但是當 Sub_ADC 中的比較器（Comparator）產生偏移誤差（Offset Error）或是增益級產生增益誤差（Gain Error）時，如圖 2-8 所示，則輸出訊號也就是下一級的輸入訊號將超過最大可輸入訊號範圍 $\pm V_{ref}$ ，為了解決這個問題通常將增益級

的放大倍率減半，並將轉移曲線的特性向右偏移 $\frac{1}{2}V_{LSB}$ ，向右偏移 $\frac{1}{2}V_{LSB}$ 的目的是為了後續數位錯誤修正電路的方便，從改變後轉移曲線的特性可以發現數位錯誤修正的方法只需要將前後級數位輸出的一個位元疊加起來即可完成錯誤修正，以 2-bit/stage 為例（轉移曲線為圖中細實線），原本每級應該有 {00,01,10,11} 四個位準的數位輸出，但改變後的轉移曲線特性只剩下 {00,01,10} 三個位準的數位輸出，經過數位錯誤修正的疊加後每一級提供 1-bit 的有效位元，因此稱為 1.5-bit/stage 架構（轉移曲線為圖中粗實線），如圖 2-9 所示[13]。

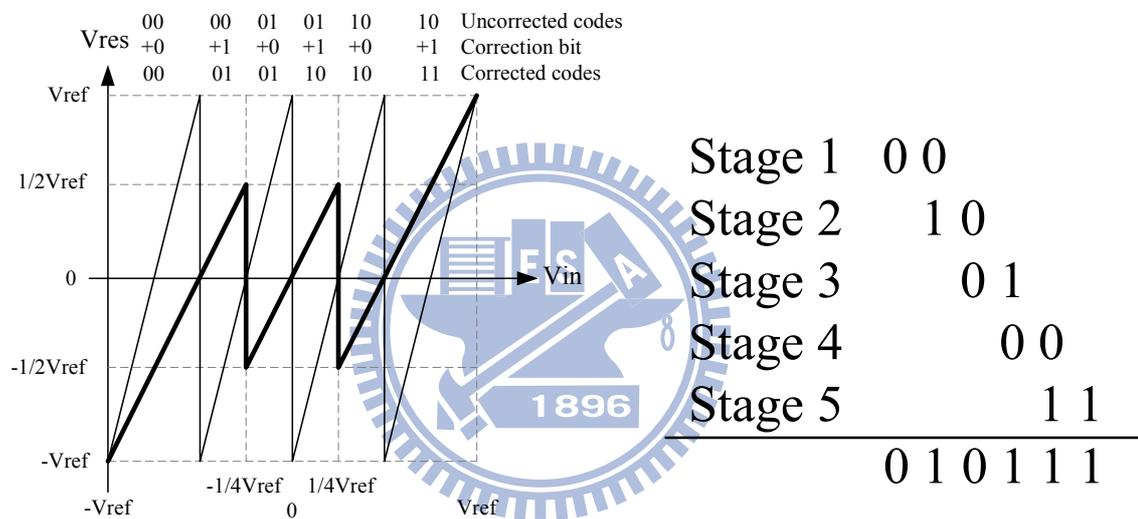


圖 2-9 1.5-bit/stage 轉移曲線及數位錯誤修正

以單端簡化表示 1.5-bit/stage 電路架構如圖 2-10 所示[14]， ϕ_1 時 C_f 和 C_s 電容同時對輸入訊號作取樣， ϕ_2 時 C_f 接為回授(Feedback)電容， C_s 電容則依據 Sub_ADC 解出的 {00,01,10} 三個位準分別決定將一端接至 $\pm V_{ref}$ 或共模位準 (Common mode)，若選擇 $C_f = C_s$ 則轉移函式如下：

$$V_{res} = \begin{cases} 2V_{in} - V_{ref} & , Sub_ADC = (10) \\ 2V_{in} & , Sub_ADC = (01) \\ 2V_{in} + V_{ref} & , Sub_ADC = (00) \end{cases}$$

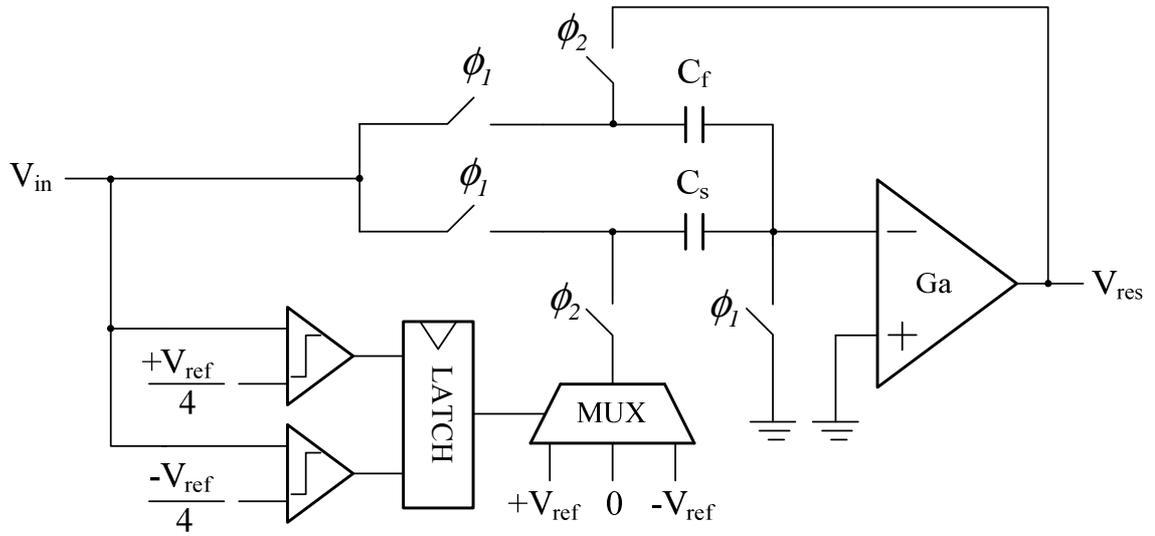
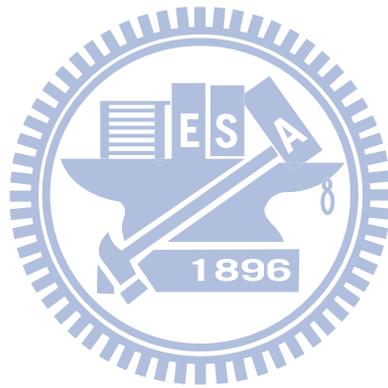


圖 2-10 以開關電容電路實現之 1.5-bit/stage 電路架構



第三章 具數位背景校正功能之 Pipelined

ADC 文獻介紹

3.1 [Boris Murmann, JSSC 2003]

此篇 [15] 及其相關論文 [16] 使用開迴路式殘值放大器實現一個 12-bit 75MSample/s 之導管式類比數位轉換器，其校正方式如圖 3-1，如果能成功預測校正參數 P_1 、 P_3 的值，如 (式 3.1) 則 P_1 將可校正殘值放大器之線性增益誤差而 P_3 可利用反函式 $e(D_b)$ (式 3.2) 校正殘值放大器之三階非線性增益誤差。

$$P_1 = a_1, P_3 = \frac{a_3}{a_1^3} \quad (3.1)$$

$$e(D_b) \cong D_b - 2\sqrt{\frac{-1}{3p_3}} \cos \left[\frac{\pi}{3} + \frac{1}{3} \cos^{-1} \left(\frac{1}{2} \frac{D_b^{96}}{\sqrt{-1}} \right) \right] \quad (3.2)$$

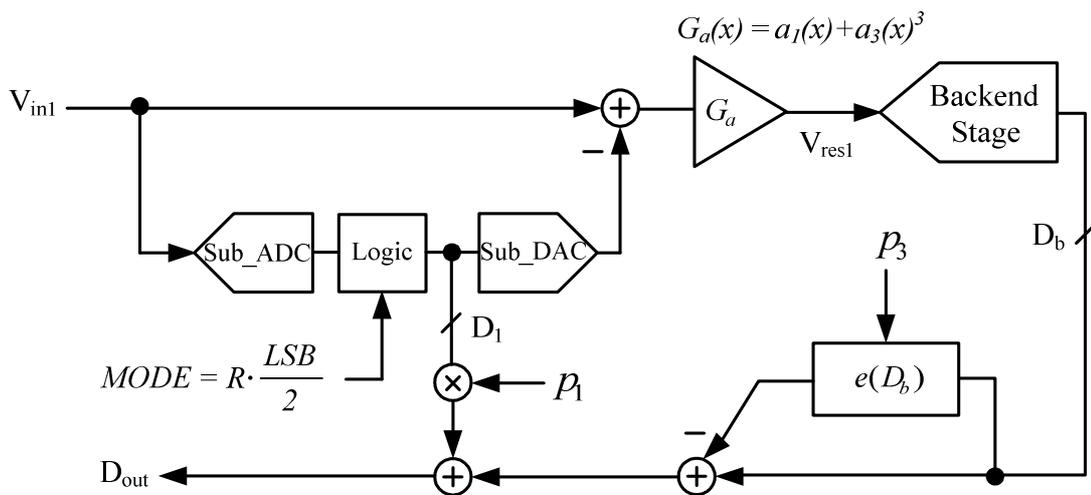


圖 3-1 Boris Murmann 所提出之校正方式

尋找誤差資訊的方法是在 Sub_DAC 前端加入一個訊號 $MODE=R*LSB/2$ ，其中 R 為隨機訊號 (Random Sequences) $R \in \{-1, +1\}$ ，使 $R = \{-1, +1\}$ 時形成二種不同的轉移曲線，如圖 3-2 所示。但因為殘值放大器含有線性和非線性增益誤差因此實際上轉移曲線的變化如圖 3-3，則可從測量轉移曲線的距離獲得殘值放大器線性與非線性增益誤差的資訊。

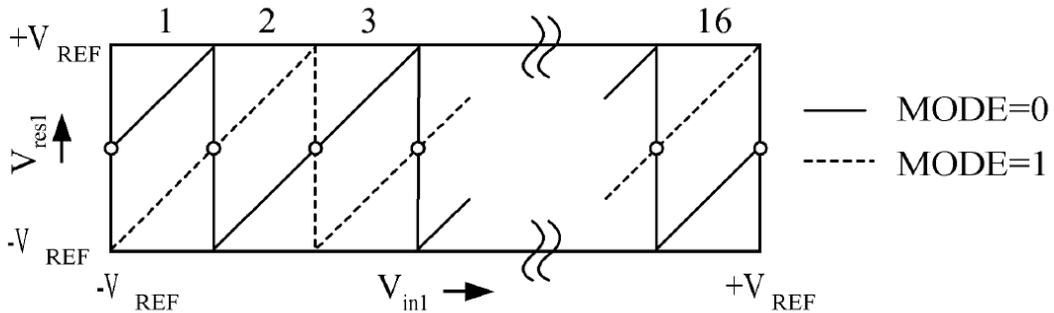


圖 3-2 二種 MODE 下的轉移曲線

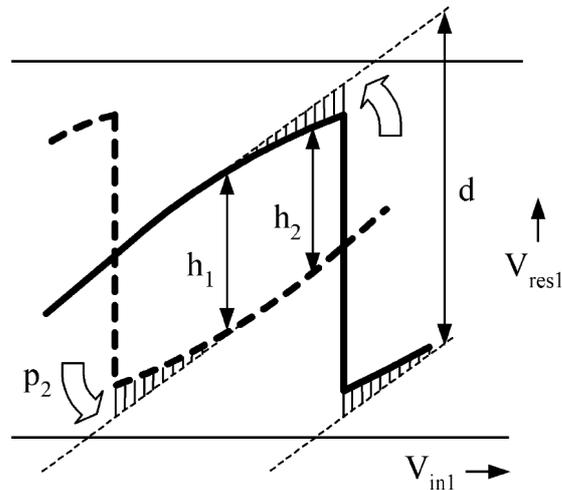


圖 3-3 線性和非線性增益誤差所造成轉移曲線的變化

測量轉移曲線距離 $h_{1,2}$ 的方式是利用累積分布函數 (Cumulative Distribution Function, CDF) 的概念，以計數器 (Counter) 量測在固定輸入點下 D_b 的分布情形，因為 R 為隨機訊號所以找出計數器計數最接近的即可獲得轉移曲線距離 $h_{1,2}$ 。

方法是放一個計數器記錄 $R=-1$ 時轉移曲線的 CDF，而在 $R=+1$ 以計數器陣列記錄找出與 $R=-1$ 的計數器最接近的計數值則可得到增益誤差量，如圖 3-4。

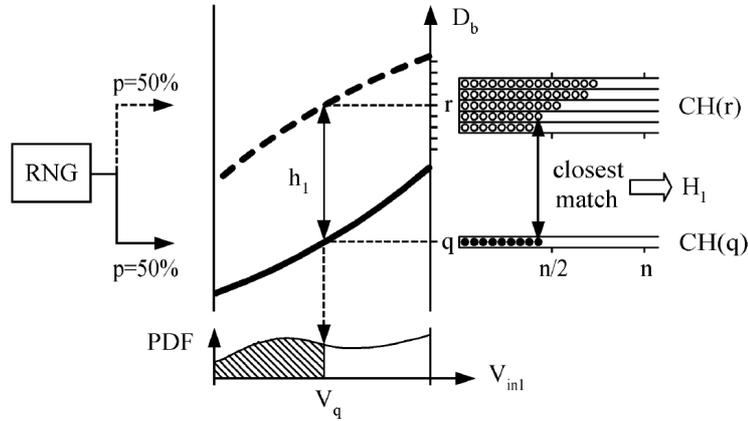


圖 3-4 以計數器量測獲得增益誤差的資訊

但此方法的缺點是只有輸入訊號為隨機訊號時才具備這樣的特性，但現實應用上輸入訊號不可能皆為隨機訊號，另外計數器陣列的分布範圍有限，當誤差量越大使 D_b 的分布越廣時，則需要大量增加計數器個數才能成功獲得誤差資訊，但如此一來將付出高成本的代價。

3.2 [John P. Keane, TCSI 2005]

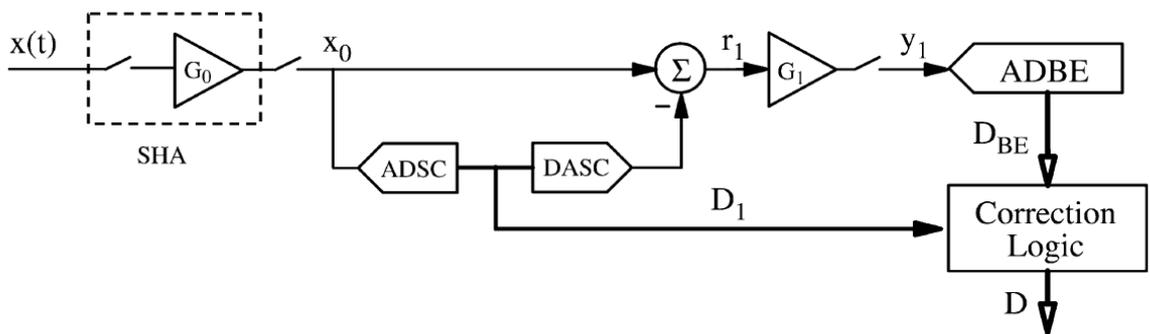


圖 3-5 導管式類比數位轉換器單級架構圖

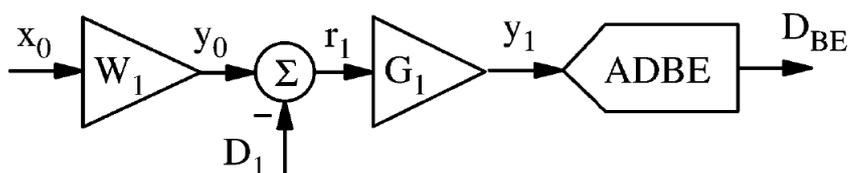


圖 3-6 導管式類比數位轉換器單級架構之等效模組化

此篇論文[17] 提出一個數位演算法並藉由模擬結果驗證可校正導管式類比數位轉換器增益級的線性和三階非線性增益誤差。將圖 3-5 導管式類比數位轉換器的單級架構模組化如圖 3-6，若 Backend Stage（即圖中 ADBE）為理想時可得：

$$D = y_0(1 + e_m) - D_1 e_m \quad (3.3)$$

其中 $e_m = \frac{\hat{m}_1 - m_1}{m_1}$ ，（ \hat{m}_1 為估測 m_1 之值， $m_1 = I/G_1$ ），也就是當 $e_m = 0$ 時可得到理想輸出 $D = y_0$ ，為了達到此目的作者在 Sub_DAC（即圖中 DASC）的輸入 D_1 中加入一個隨機訊號 $R \in \{-1, +1\}$ 使 $D_1 = \bar{D}_1 + R\Delta D_1$ ，其中 $\bar{D}_1 = (1/2)(D_{1+} + D_{1-})$ ， $\Delta D_1 = (1/2)|D_{1+} - D_{1-}|$ ，（ D_{1+} ， D_{1-} 分別代表引入 D_1 的隨機訊號為 +1 或 -1），將 D_1 代入（式 3.3）中可得：

$$D = y_0(1 + e_m) - \bar{D}_1 e_m - R\Delta D_1 e_m$$

定義 $z = D - \bar{D}_1$ 則 $E[Rz] = -\Delta D_1 e_m$ 可獲得線性增益誤差資訊 e_m ，再透過（式

3.4）使預測值 \hat{m}_1 逼近 m_1 達到預測並校正增益級之線性增益誤差。

$$\hat{m}_1[k] = \hat{m}_1[k-1] + \mu_m R[k-1] z[k-1] \quad (3.4)$$

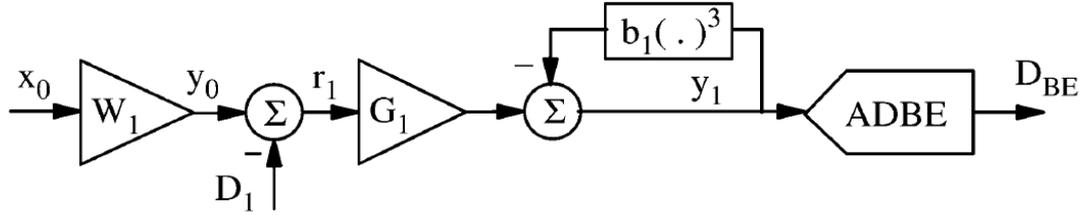


圖 3-7 導管式類比數位轉換器包含三階非線性增益誤差之等效模組化

三階非線性增益誤差之估測及校正方法為模組化導管式類比數位轉換器單級架構如圖 3-7 所示，若 Backend Stage 為理想時可得：

$$D = y_0(1 + e_m) - D_1 e_m + \hat{m}_1(\hat{b}_1 - b_1) D_{BE}^3 \quad (3.5)$$

其中 $D_{BE} = G_1(y_0 - D_1) - b_1 D_{BE}^3$ ，而 \hat{b}_1 為估測 b_1 之值，即三階非線性增益誤差量，若假設 $D_{BE}^3 \approx G_1^3(y_0 - D_1)^3$ ，(表示非線性增益誤差甚小) 時(式 3.5)可表示為：

$$D \approx y_0(1 + e_m) - D_1 e_m + \hat{m}_1 G_1^3(\hat{b}_1 - b_1)(y_0 - D_1)^3$$

同樣在 Sub_DAC 的輸入 D_1 中加入一個隨機訊號 $R \in \{-1, +1\}$ 使 $D_1 = \bar{D}_1 + R\Delta D_1$ 並定義 $z = D - \bar{D}_1$ 則：

$$z = Y(1 + e_m) + Y^3 e_b + 3Y(\Delta D_1)^2 e_b - R\Delta D_1 e_m - R(\Delta D_1)^3 e_b - R3\Delta D_1 Y^2 e_b$$

其中 $Y = (y_0 - \bar{D}_1)$, $e_b = G_1^3 \hat{m}_1(\hat{b}_1 - b_1)$ 若計算 Rz 和 Y^2 的共變異數 (Covariance) , 如下分析 :

$$\begin{aligned} K_{(Rz)Y^2} &= E[(Rz)Y^2] - E[Rz]E[Y^2] \\ &= -3e_b \Delta D_1 K_{Y^2 Y^2} \end{aligned}$$

$K_{Y^2 Y^2}$ 表示 Y^2 的變異數 (Variance) 則由上述結果可獲得非線性增益誤差資訊 e_b , 但 $Y = (y_0 - \bar{D}_1)$ 與輸入訊號 y_0 有關無法在正常的操作模式下得知 , 因此再假設 $D \approx y_0$ (表示線性和非線性增益誤差都甚小) 時 , 改以計算 Rz 和 z^2 的共變異數

$K_{(Rz)z^2}$ 並於計算過程中忽略 e_m 、 e_b 之高次項 , 以近似式表示來獲得非線性增益誤差資訊 e_b , 如下分析 :

$$\begin{aligned} K_{(Rz)z^2} &= E[(Rz)z^2] - E[Rz]E[z^2] \\ &\approx 3E[(Rz)Y^2] - E[Rz]E[Y^2] \end{aligned}$$

定義 $B = E[(Rz)z^2] - 3E[Rz]E[z^2]$ 則

$B \approx 3E[(Rz)Y^2] - 3E[Rz]E[Y^2] = -9e_b \Delta D_1 K_{Y^2 Y^2}$ 可獲得非線性增益誤差資訊 e_b , 如

同線性增益誤差分析再透過 (式 3.6) 使預測值 \hat{b}_1 逼近 b_1 達到預測並校正增益級之三階非線性增益誤差。

$$\hat{b}_1[n+1] = \hat{b}_1[n] + \mu_b B_{est}[n] \quad (3.6)$$

其中 $B_{est} = \hat{E}[Rz^3] - 3\hat{E}[Rz]\hat{E}[z^2]$, $(\hat{E}[x] = \frac{1}{N_{est}} \sum_{k=1}^{N_{est}} x[k])$, N_{est} 代表每取樣

到一定數量後再更新一次 \hat{b}_1)。

經過上述分析，可看出所提出之演算法必須在假設誤差量很小且諸多近似條件下才會成立，因此無法真正達到精確估測增益級之線性與三階非線性增益誤差量，另外估測非線性增益誤差之演算法與輸入訊號變異數有關 ($K_{Y^2Y^2}$)，因此當輸入為直流訊號時，非線性增益誤差的預測將無法收斂。

3.3 [Hung-Chih Liu, JSSC 2005]

此篇[18]及其相關論文[19.20]所提出的背景式數位校正方法，是透過不斷監測轉移曲線來對數位輸出進行校正。而校正對象為電容的不匹配 (Capacitor Mismatch) 與殘值放大器有限開迴路增益而造成的線性增益誤差。

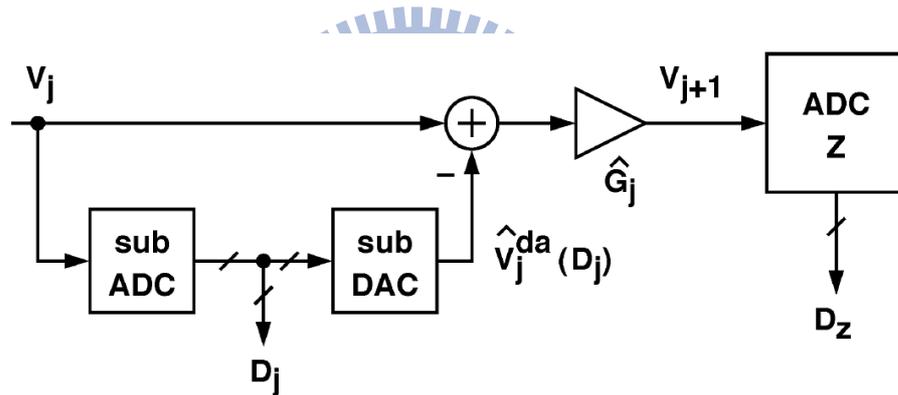


圖 3-8 導管式類比數位轉換器校正級架構圖

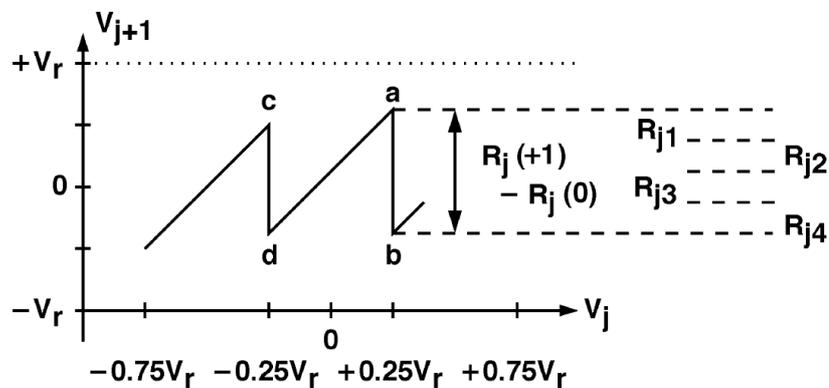


圖 3-9 導管式類比數位轉換器校正級轉移曲線

圖 3-8 是導管式類比數位轉換器校正級架構圖，ADCZ 是第 j 級後的 Backend Stage，若能提供線性的類比數位轉換則可用來校正 \hat{G}_j 和 $V_j^{da}(D_j)$ ，即第 j 級的電容不匹配與殘值放大器有限開迴路增益所造成的線性增益誤差，而圖 3-9 為輸出對輸入訊號的轉移曲線，若要對第 j 級進行校正則必須量測出該級轉移曲線的高度（如圖 3-9 中 ab 的距離和 cd 的距離），並經由 Backend Stage 數位化後再透過數位方式做校正的動作。

透過改變 Sub_DAC 的輸入 D_j ，在原 Sub_ADC 解出的 D_j 和相鄰 1 個位準的輸出值之間跳動可以量測到轉移曲線的高度 R_j ，例如定義當 V_j 小於 $-0.25V_r$ 時的 Sub_ADC 解出的數位輸出 D_j 為 -1；當 V_j 落於 $-0.25V_r$ 與 $+0.25V_r$ 之間時的數位輸出為 0；而當 V_j 大於 $+0.25V_r$ 時的數位輸出 D_j 為 +1。則若是 D_j 不斷於 -1、0 之間跳動時，我們可以測得圖 3-9 中 cd 的距離，而當數位輸出 D_j 不斷於 0、+1 之間跳動時，我們可以測得圖 3-9 中 ab 的距離（即 $R_j(+1)-R_j(0)$ ），有了這些資訊後即可對 ADC 進行校正的動作。

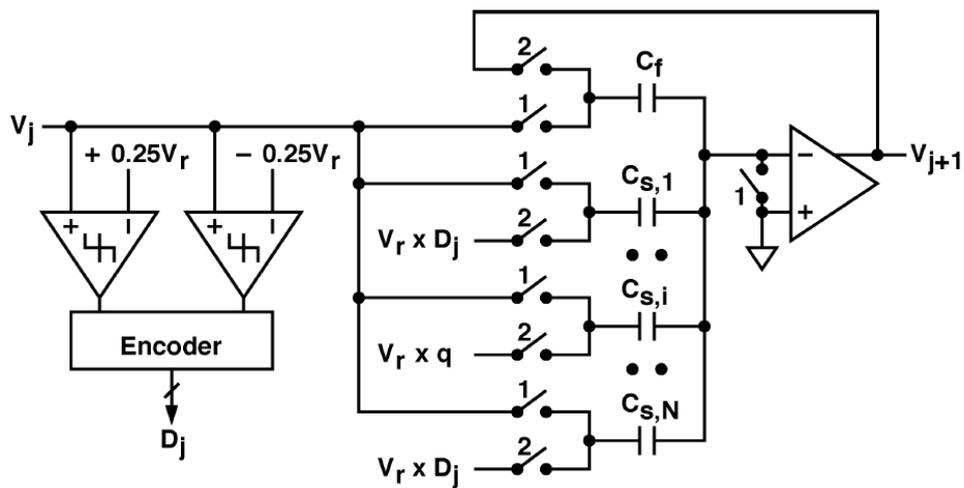


圖 3-10 以 SC 電路實現校正級之電路架構

圖 3-10 為電路實現的方法，其做法是將 C_s (Sample 電容) 切成 N 等份，當 ϕ_2

時 C_s 一端會接在 $V_r * D_j$ 但其中一個 $C_{s,i}$ 則在會接在 $V_r * q$ ， q 為隨機訊號序列 $q \in \{-1, 0, +1\}$ 。當要量測高度 ab 時 q 會在 $\{+1, 0\}$ 之間跳動；而要量測高度 cd 時 q 則會在 $\{-1, 0\}$ 之間跳動，後續透過圖 3-11 的方式將此訊息在數位背景的操作環境下萃取出來。

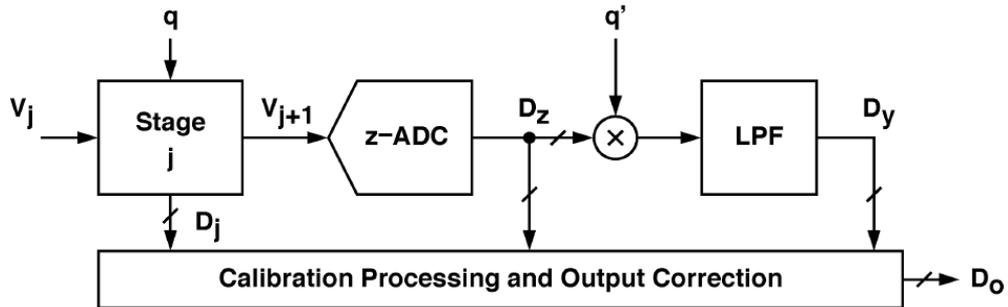


圖 3-11 取得轉移曲線高度的數位背景校正法

其萃取方式為輸出 V_{j+1} 經過 z -ADC 轉為數位輸出 D_z 之後再與 q' 相乘，經過取平均的動作（即圖中之 LPF）後即可得到轉移曲線高度之訊息，再將此訊息送至後續的校正電路中進行校正之動作以得到精確的輸出 D_o 。

不難發現此校正方法無法對增益級之非線性增益誤差進行校正，當增益級有非線性增益誤差時其轉移曲線並非如圖 3-9 所示，然而非線性增益誤差對 ADC 效能之影響甚劇，因此提出之校正方法將有所受限。

3.4 [Andrea Panigada, TCSI 2006]

此篇 [21] 及其相關論文 [22.23] 所提出的背景式數位校正是透過在 Sub_ADC 之後加入一組隨機校正訊號 $\sum_{k=1}^m t_k[n]$ ，且振幅均為 $\pm A$ （其中 m 代表欲校正增益級最高階之非線性增益誤差），則可延伸估測並校正增益級之線性與高階非

線性增益誤差，如圖 3-12 所示。

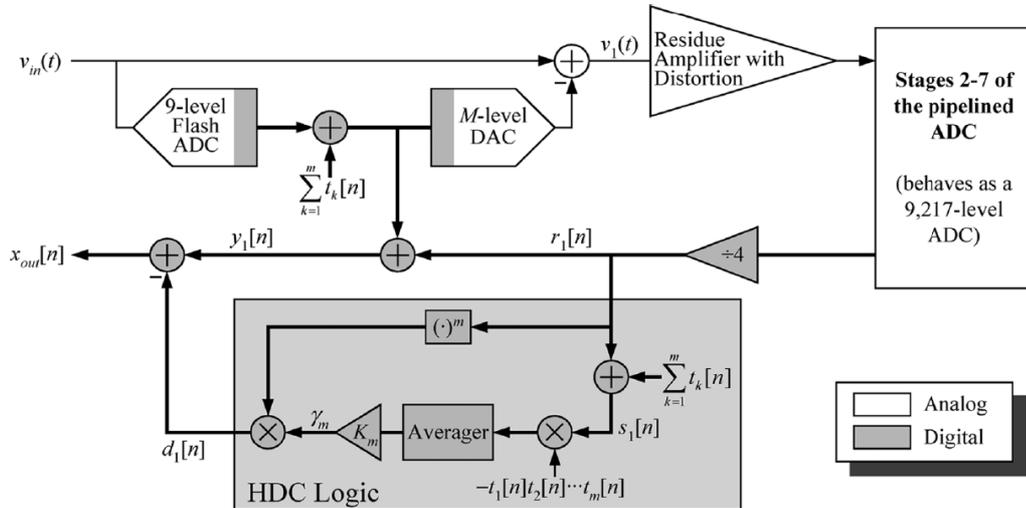


圖 3-12 Andrea Panigada 所提出之校正方式

校正方法為 $r_1[n]$ 加上隨機校正訊號 $\sum_{k=1}^m t_k[n]$ 再乘上序列 $-t_1[n]t_2[n] \dots t_m[n]$ 之後取平均，則可得到 $(m!)A^{2m}\alpha_m$ (其中 α_m 為增益級中 m 階非線性增益誤差之係數)，再將此值乘以 $K_m = A^{-2m}/(m!)$ 則可得到 α_m 的估測值 γ_m ，隨後將此值乘上 $r_1[n]$ 的 m 次方來近似增益級的 m 階非線性增益誤差大小，最後將此結果 $d_1[n]$ 送至輸出相減以完成校正的動作。

於此，稍做觀察可發現作者將 $r_1[n]$ 近似成 $v_1(t)$ 的數位化之結果，顯而易見地，這樣的近似結果其實隱含了增益級之非線性增益誤差必須很小的訊息。

在此簡單舉三階為例，若直接拿 $r_1[n]$ 近似成 $v_1(t)$ 的數位化之結果，則增益級三階非線性增益誤差為 $\alpha_3 r_1^3[n] \cong \alpha_3 v_1^3(nT_s) + 3\alpha_3^2 v_1^5(nT_s) + 3\alpha_3^3 v_1^7(nT_s) + 3\alpha_3^4 v_1^9(nT_s)$ (其中 T_s 為取樣週期)，可以看到受忽略之高次項會在輸出被多減掉因而造成誤差。

所以若要假設這些誤差影響不大的話，前提是增益級具有很小的非線性增益誤差，而在這樣的假設下提出之校正方法的可校正範圍就會受限，即增益級的非線性增益誤差越大時此校正機制是無法得到正確的結果。

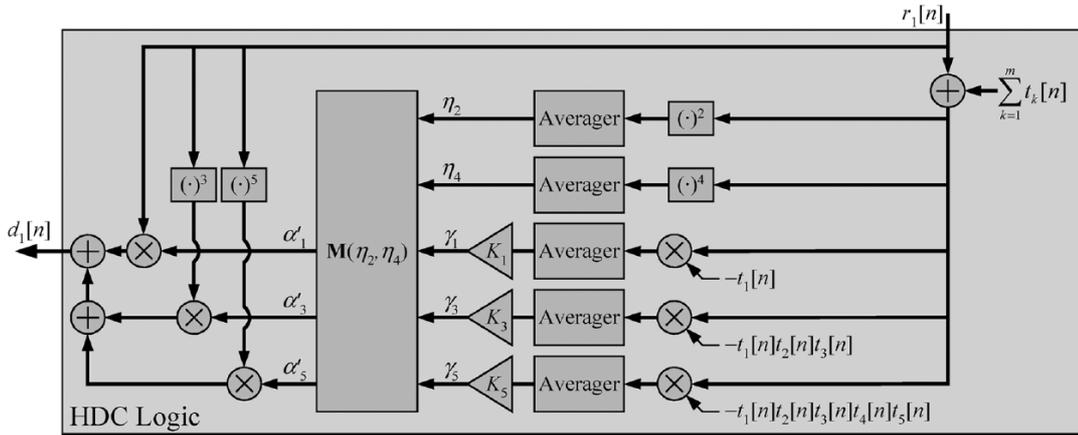


圖 3-13 含有高階非線性增益誤差時估測誤差量方法之修正

另外，此篇所提出的估測方法，當增益級帶有越多不同階次的非線性增益誤差時，其估測機制需做如圖 3-13 之修正，因為增益級越高階的非線性增益誤差係數會影響到越低階的非線性增益誤差係數之估測結果。

舉例若增益級具有一、三、五階之非線性增益誤差，透過上述的估測方式，五階的係數可透過一樣的方式估測得到，但一階與三階之係數則會帶有多階係數之影響，如下列所示：

$$\gamma_3 = \alpha_3 + [30A^2 + 10 \langle e_{ADC1}^2[n] \rangle] \alpha_5$$

$$\gamma_1 = \alpha_1 + [13A^2 + 3 \langle e_{ADC1}^2[n] \rangle] \alpha_3 + [241A^2 + 130A^2 \langle e_{ADC1}^2[n] \rangle + 5 \langle e_{ADC1}^4[n] \rangle] \alpha_5$$

(圖 3-13 中 η_2 收斂至 $\langle e_{ADC1}^2[n] \rangle$ ：Sub_ADC 量化誤差平方的平均值； η_4 收斂至 $\langle e_{ADC1}^4[n] \rangle$ ：Sub-ADC 量化誤差四次方的平均值)。

因此，尚需經過一個矩陣 $M(\eta_2, \eta_4)$ 將這些不必要的部份消除掉，而當增益級

的非線性增益誤差階數越多時，這個矩陣也會跟著越來越大。

$$M(\eta_2, \eta_4) = \begin{bmatrix} 1 & -13A^2 - 3\eta_2 & -241A^4 + 390A^6 + 90A^4\eta_2 + 30\eta_2^2 - 5\eta_4 \\ 0 & 1 & -30A^2 - 10\eta_2 \\ 0 & 0 & 1 \end{bmatrix}$$

圖 3-13 中 $\alpha'_m = M(\eta_2, \eta_4)\gamma$ 會收斂至 α_m ，其中 $\alpha_m = \begin{bmatrix} \alpha_1 \\ \alpha_2 \\ \alpha_3 \end{bmatrix}$ ， $\gamma = \begin{bmatrix} \gamma_1 \\ \gamma_2 \\ \gamma_3 \end{bmatrix}$ 。

3.5 [Anand Meruva, ISCAS 2007]

此篇[24]及其相關論文[25,26]結合部分[17]和[21]的方法，提出一個藉由輸入多組隨機訊號之和的方式來估測並校正導管式類比數位轉換器增益級的線性和高階非線性增益誤差，再透過模擬結果驗證其可行性。以校正線性和三階非線性誤差為例，模組化導管式類比數位轉換器單級架構如圖 3-14 所示，可得：

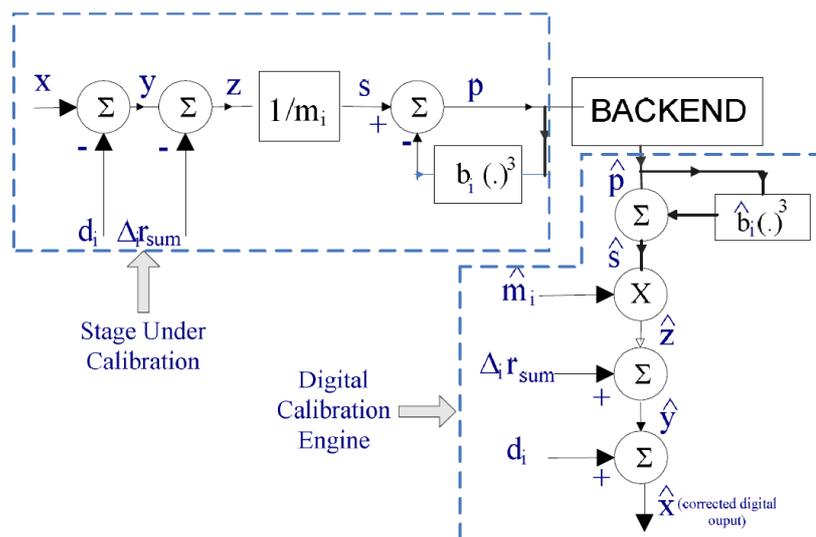


圖 3-14 模組化含線性與非線性增益誤差之導管式類比數位轉換器單級架構

$$p = \left(\frac{y - \Delta_i r_{sum}}{m_i} \right) - b_i (p)^3$$

$$\hat{y} = (\hat{p} + \hat{b}_i \hat{p}^3) \hat{m}_i + \Delta_i r_{sum}$$

其中 m_i 、 b_i 分別代表增益級的線性和非線性增益誤差， \hat{m}_i 、 \hat{b}_i 為其估測值， r_{sum} 是三組隨機訊號之和 $r_{sum} = r_1 + r_2 + r_3$ ， $r_{1\sim3} \in \{-1, +1\}$ 之隨機訊號， Δ_i 為一常數確保額外加入 r_{sum} 之輸出不會超出下一級輸入的操作範圍，當 Backend Stage 為理想時可得：

$$\hat{y} = y(1 + e_m) - e_m \Delta_i r_{sum} + \hat{m}_i e_b \hat{p}^3$$

其中 $e_m = \frac{\hat{m}_i - m_i}{m_i}$ ， $e_b = \hat{b}_i - b_i$ （即當 $e_m = e_b = 0$ 時可得到 \hat{y} 之理想輸出 $\hat{y} = y$ ），

當要估測線性增益誤差時可透過（式 3.7）獲得線性增益誤差資訊 e_m ，再透過（式 3.8）使預測值 \hat{m}_i 逼近 m_i 達到預測並校正增益級之線性增益誤差，方法與[17]相似。

$$E[\hat{y} r_i] = -\Delta_i e_m \quad (3.7)$$

$$\hat{m}_{i+1} = \hat{m}_i + \mu_m r_i \hat{y} \quad (3.8)$$

三階非線性增益誤差的估測和[17]一樣，假設非線性增益誤差甚小

$\hat{p}^3 = (1/m_i^3)(y - \Delta_i r_{sum})^3$ 時可得：

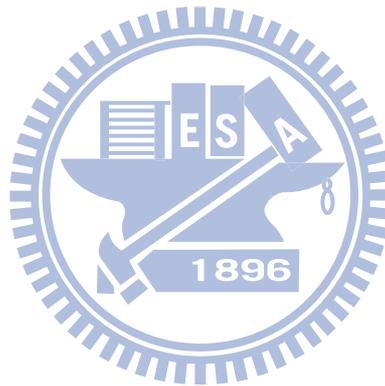
$$\hat{y} = y(1 + e_m) - e_m \Delta_i r_{sum} + (\hat{m}_i / m_i^3) e_b (y - \Delta_i r_{sum})^3$$

透過（式 3.9、式 3.10）可獲得非線性增益誤差資訊 e_b 並使預測值 \hat{b}_i 逼近 b_i 達到預測並校正增益級之非線性增益誤差。

$$E[\hat{y} r_1 r_2 r_3] = -6(\hat{m}_i / m_i) e_b \Delta_i^3 \quad (3.9)$$

$$\hat{b}_{i+1} = \hat{b}_i + \mu_b E[\hat{y} r_1 r_2 r_3] \quad (3.10)$$

然而上述分析過程中可以發現二個問題，一是所提演算法的推導過程只有在非線性增益誤差很小的時候才會成立，另一個問題就是非線性增益誤差的估測(式 3.9) 中含有 \hat{m}_i 項，表示非線性增益誤差的估測會與線性增益誤差估測的結果有關而影響到估測之精確度。



第四章 適用於導管式類比數位轉換器之數

位背景校正技術

4.1 Open-Loop & Close-Loop Residue Amplifier 比較

在第二章中已經提到為了增益級能夠提供精確且線性的放大倍率，因此 MDAC 通常採用閉迴路式架構實現，在此將先針對閉迴路式與開迴路式電路架構進行分析，進而說明其使用上的優缺點。

圖 4-1 為使用開關電容電路實現之閉迴路式增益級， A_0 代表放大器之開迴路增益 (Open-Loop Gain)； C_p 為寄生電容； C_s 、 C_f 分別為取樣電容及回授電容，其轉移函式如 (式 4.1)：

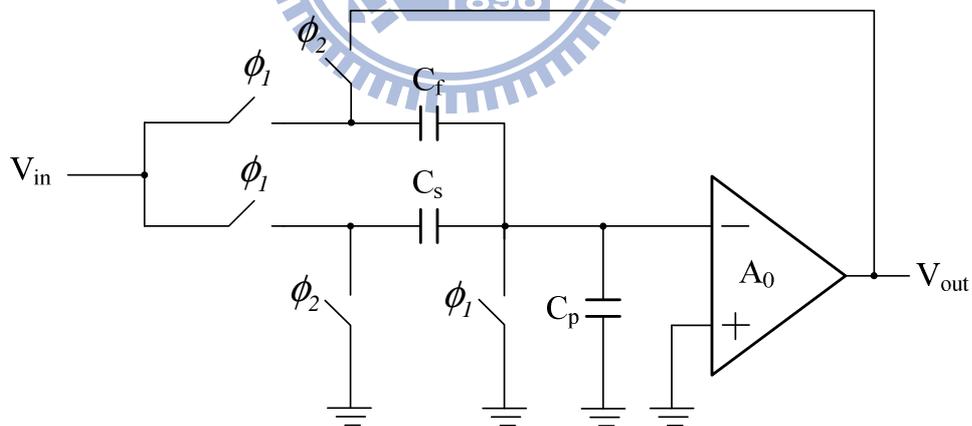


圖 4-1 以 SC 電路實現之閉迴路式增益級

$$V_{out} = \frac{\frac{C_s + C_f}{C_f}}{1 + \frac{1}{A_0} \left(\frac{C_s + C_f + C_p}{C_f} \right)} V_{in} \quad (4.1)$$

從上式可發現若 $A_0 \rightarrow \infty$ 時，增益級的放大倍率將只和 C_s 、 C_f 電容的比值有關，在製程技術中由電容比值來決定放大倍率相較來說是比較精確且線性的，但 A_0 要趨近無限大當然是不可能的，若放大器使用一般常見的架構如：伸縮組態 (Telescopic)、摺疊疊接組態 (Folded-cascode)、雙級組態 (Two-stage) ... 等，約可達到 60~80 dB，然而如同前述所提在越先進製程下這將會是個艱鉅的挑戰且功率消耗也會成為一大問題。

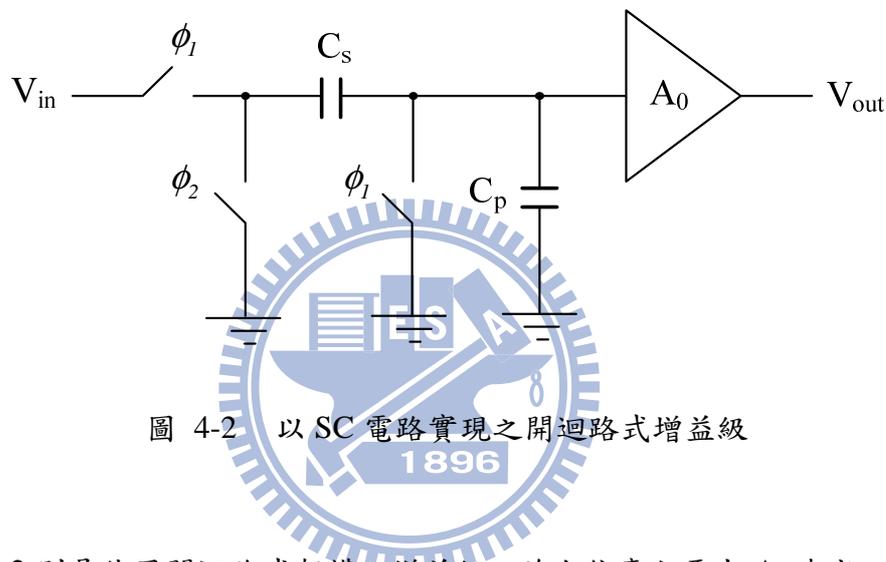


圖 4-2 以 SC 電路實現之開迴路式增益級

圖 4-2 則是使用開迴路式架構之增益級，放大倍率主要由 A_0 決定以電晶體的內在增益 $g_m r_o$ 表示時轉移函式如 (式 4.2)，雖然放大倍率一般來說小於 10，所以放大器可以使用簡單的差動對 (Differential Pair) 實現而大幅降低功率消耗，但從 (式 4.2) 也可以發現 $g_m r_o$ 和寄生電容 C_p 均會影響增益級的放大倍率和線性度，尤其是 $g_m r_o$ 會受到雜訊、溫度、製程... 等變異的影響而不易掌控。

$$V_{out} = g_m r_o \times \frac{C_s}{C_s + C_p} \times V_{in} \quad (4.2)$$

4.2 具數位背景校正技術之 Pipelined ADC 架構

圖 4-3 為本論文預計實現一個 12-bit 具有數位背景校正技術之導管式類比數位轉換器的架構圖，共分為三級：前二級校正級為(3+1)-bit，校正級中殘值放大器之理想增益為 8 且 MDAC 將以開迴路式架構實現，因製程所產生之線性與非線性增益誤差則藉由可精確估測增益級線性與三階非線性增益誤差的方法，再透過數位電路將誤差校正，而第三級 Backend Stage 則提供 6-bit 有效解析度位元，使整體電路具備操作在高速、高解析度且具有低功率消耗的特性。

訊號 V_{in} 經過取樣保持電路後，Stage 1,2 為上述中一般導管式類比數位轉換器的每一級，包含 Sub_ADC 和 MDAC 電路，而校正級中另外三個電路分別為：

- Pseudo-random Calibration Sequence Generator (PCSG)：提供不同振幅之隨機校正訊號 $\{\pm N_{d1}, \pm N_{d2}\}$ ，且 $N_{d2} = \frac{N_{d1}}{2} = \frac{\Delta}{4}$ ， Δ 表示每一校正級 Sub_ADC 之 LSB。
- Estimation：精確且快速估測殘值放大器之線性與三階非線性增益誤差。
- Calibration：將獲取的誤差量作補償校正。

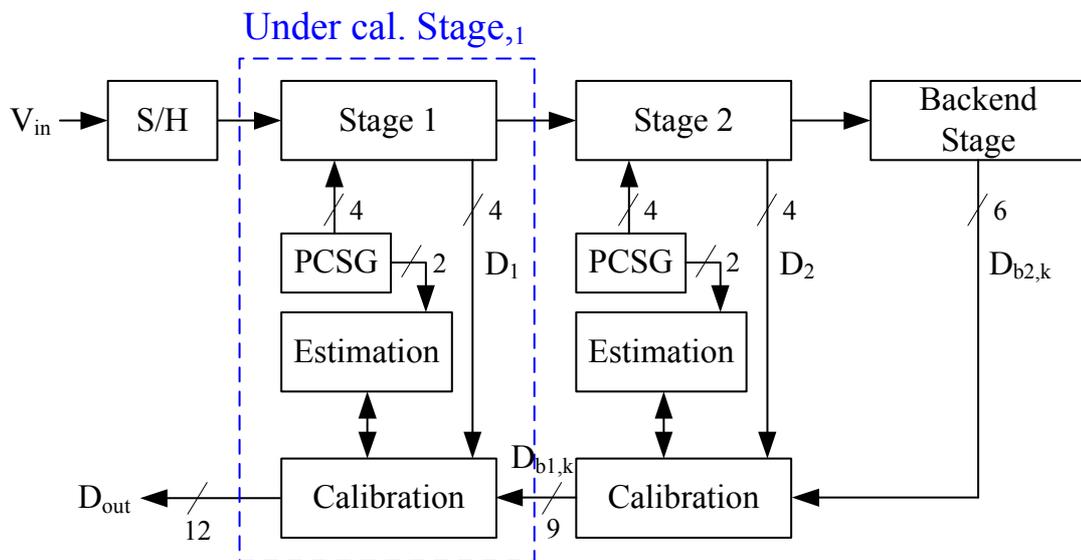


圖 4-3 具數位背景校正技術之 Pipelined ADC 架構

簡化單一級校正模組如圖 4-4 所示，當殘值放大器使用全差動電路（Fully Differential）實現時可忽略偶次項諧波失真（Even Harmonic Distortion），因此殘值放大器的轉移函式以一、三階多項式表示。

在 PCSG 中包含二個電路，分別為：

- Pseudo-random Number Generator (PNG)：提供隨機訊號 $R \in \{-1, +1\}$ 。
- Dynamic Element Matching (DEM)：使隨機校正訊號可精確達到 $N_{d2} = N_{d1}/2$ 降低不匹配（Mismatch）時可能產生的問題。

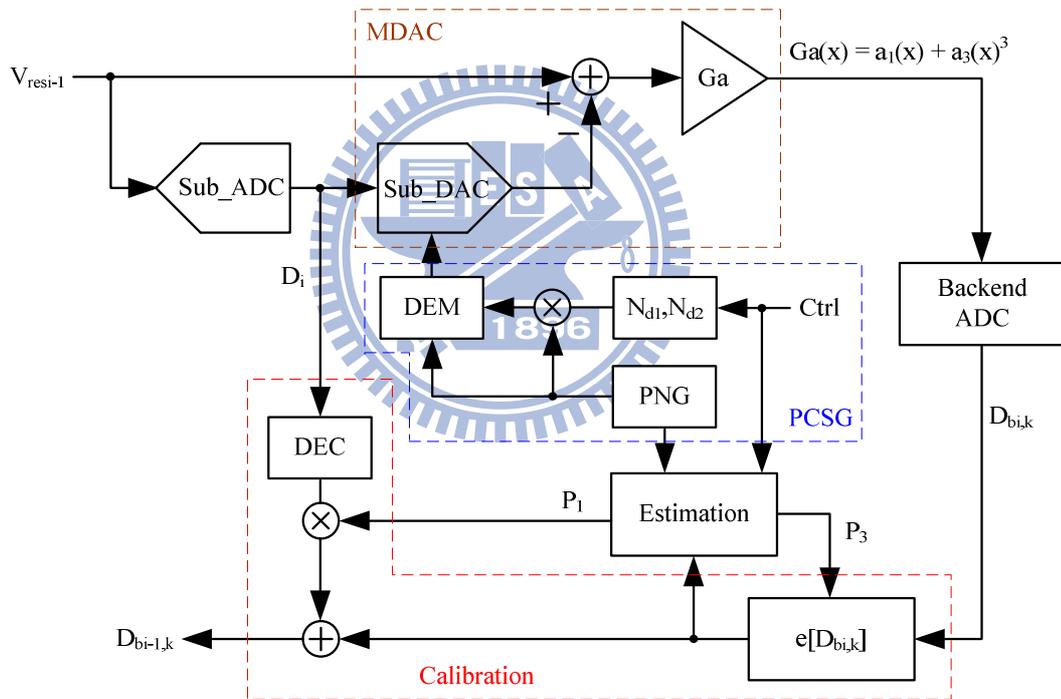


圖 4-4 單一校正級模組化

4.3 Calibration 技術

Calibration 技術主要包含二個部份：3rd-order Non-linear Gain Errors Cancellation 演算法和 Digital Error Correction (DEC)，如圖 4-5。因為在電路中額

外引進了隨機校正訊號 $\pm N_{d1}, \pm N_{d2}$ ，因此這邊提出的 DEC 方法與第二章介紹的傳統方法將有所差異。

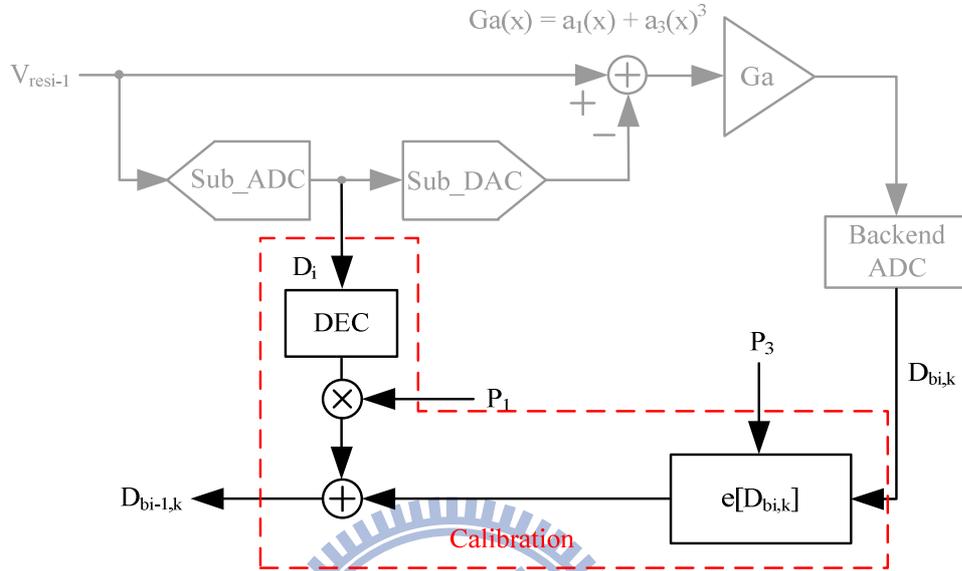


圖 4-5 Calibration 技術

4.3.1 3rd-order Non-linear Gain Errors Cancellation 演算法

校正三階非線性增益誤差的方法參照[15]，使用反函式（式 4.3）將誤差量消除，利用這個方法的原因是若能夠精確取得校正參數（Calibration Parameter） P_1 、 P_3 ，則相較於其他文獻來說，這樣的校正方法可容許當電路產生較嚴重的三階非線性增益誤差，其校正參數的理想值為 $P_3 = P_{3,optima} = \frac{a_3 \times V_{ref}^2}{a_1^3}$ 時可完成三階非線性增益誤差的校正補償，而線性增益誤差的校正補償是當 $P_1 = P_{1,optima} = a_1$ 時完成。

$$e[D_{bi,k}] \cong 2\sqrt{\frac{-1}{3p_3}} \cos \left[\frac{\pi}{3} + \frac{1}{3} \cos^{-1} \left(\frac{D_{bi,k}}{2\sqrt{\frac{-1}{27p_3}}} \right) \right] \quad (4.3)$$

4.3.2 Digital Error Correction (DEC)分析

DEC 電路主要是將 Sub_ADC 解出的數位碼，因為增益級增益減半和額外導入隨機校正訊號後所產生的錯誤量修正回正確之輸出，圖 4-6 為使用傳統 DEC 方式之(3+1)-bit/stage 轉移曲線，但因為額外導入的隨機校正訊號，使轉移曲線會作上下的偏移，當導入 $R \cdot N_{dl}$ 時轉移曲線如圖 4-7 所示，則可發現輸出訊號將超過下一級訊號可輸入範圍，因此後續將提出適用的 Digital Error Correction 來取代傳統的方式。

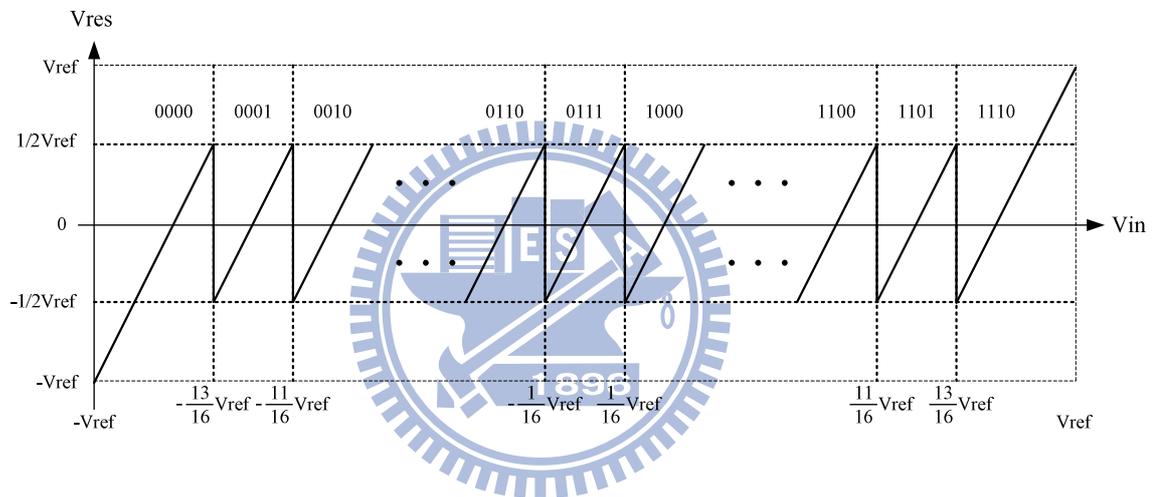


圖 4-6 使用傳統 DEC 方式之(3+1)-bit/stage 轉移曲線

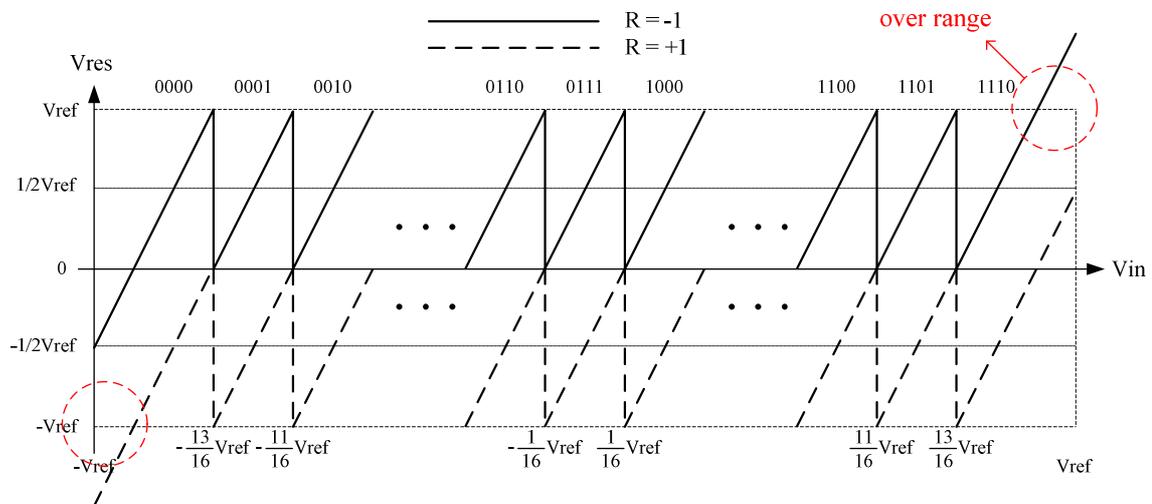


圖 4-7 轉移曲線偏移使下一級輸入訊號超過可處理範圍

以下針對5種可能發生的轉移曲線圖形來說明適用的DEC方法,圖4-8到4-12分別為未導入隨機校正訊號和導入隨機校正訊號 $\pm N_{d1}$ 、 $\pm N_{d2}$ 時之轉移曲線,與傳統DEC不同的是在未加入隨機校正訊號時的轉移曲線我們不做向右偏移 $\frac{1}{2}V_{LSB}$ 的動作,如此一來當加入隨機校正訊號使曲線上下偏移時,則輸出訊號就不會超過下一級訊號可輸入範圍,然而這麼一來各級輸出之數位碼在疊加時就一定需要經過修正,而修正的量可以從比較不同轉移曲線下的各級數位輸出差異得知:

- 未導入隨機校正訊號時:除了第一級外,各級須額外減掉前一級0.5 LSB。
- 導入隨機校正訊號 $-N_{d1}$ 時:除了第一級外,各級須額外減掉前一級1 LSB。
- 導入隨機校正訊號 $+N_{d1}$ 時:各級輸出不需做任何改變。
- 導入隨機校正訊號 $-N_{d2}$ 時:除了第一級外,各級須額外減掉前一級0.75 LSB。
- 導入隨機校正訊號 $+N_{d2}$ 時:除了第一級外,各級須額外減掉前一級0.25 LSB。

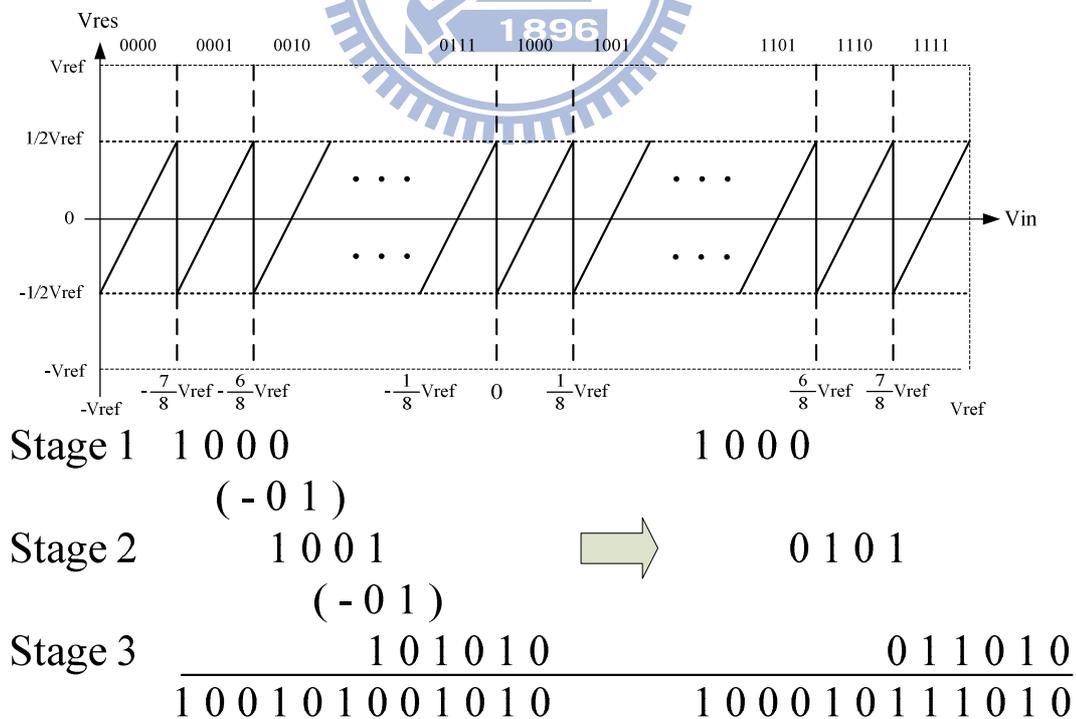


圖 4-8 未導入隨機校正訊號時之轉移曲線

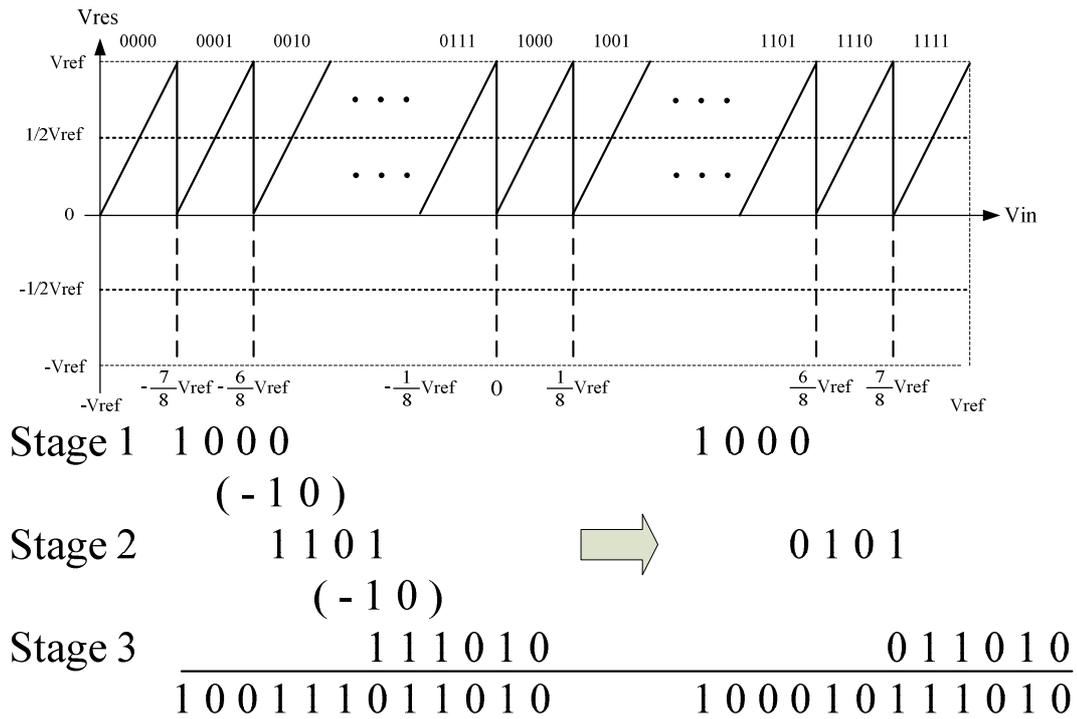


圖 4-9 導入隨機校正訊號 $-N_{d1}$ 時之轉移曲線

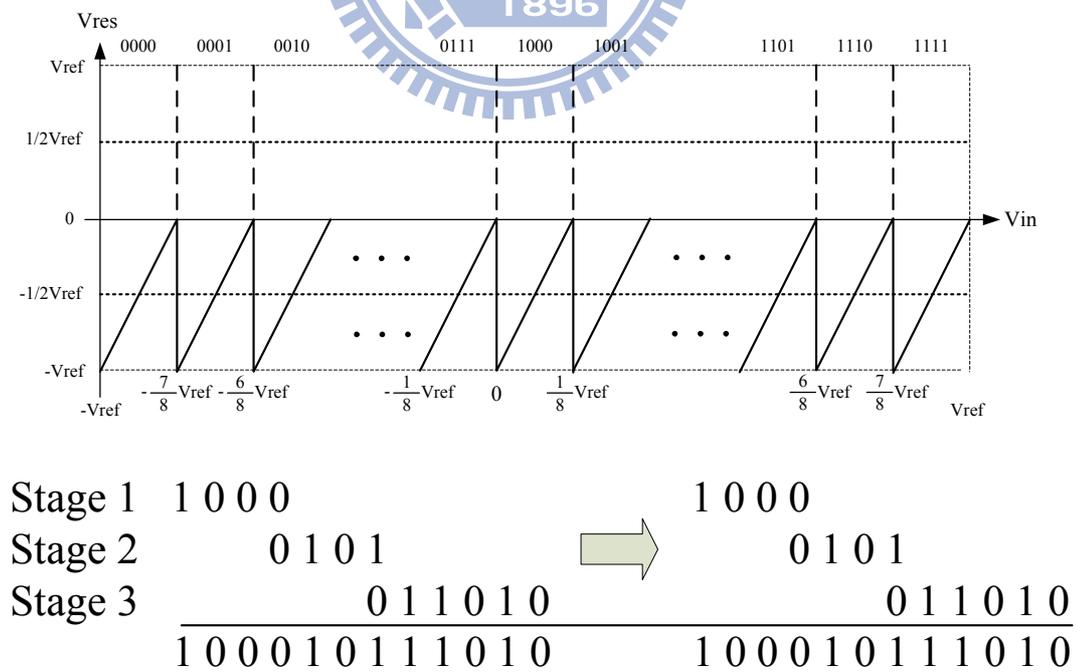


圖 4-10 導入隨機校正訊號 $+N_{d1}$ 時之轉移曲線

4.4 Estimation 技術

Estimation 電路的核心包含 Multi-Correlation Estimation (MCE) 演算法[27]和 Least Mean Square (LMS) 演算法[28]，如圖 4-13 所示，前者 MCE 演算法的目的在獲取殘值放大器線性與三階非線性增益誤差之資訊，然後再利用 LMS 演算法對校正參數 P_1 、 P_3 進行收斂至理想值 $P_{1,optima}$ 、 $P_{3,optima}$ ，以提供 Calibration 電路作校正補償，後續將針對這二個演算法作詳細分析。

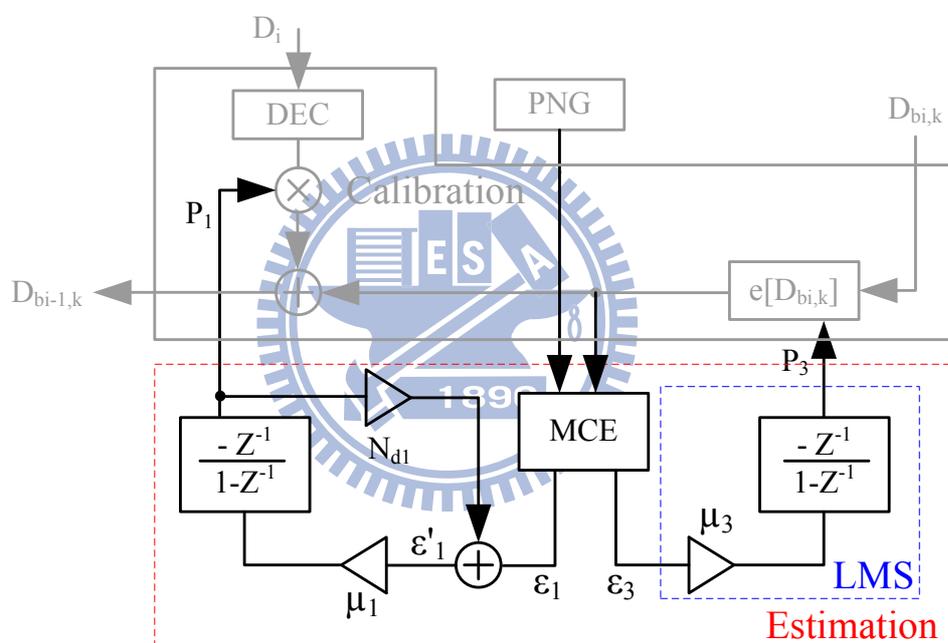


圖 4-13 Estimation 技術

4.4.1 Multi-Correlation Estimation (MCE)演算法分析

從圖 4-4 中可以知道經過 Backend ADC 後，其數位輸出對類比輸入的轉移函式如下式所列：

$$\begin{aligned}
V_{ref} \cdot D_{bi,k} &= a_1 (V_x) + a_3 (V_x)^3 + \varepsilon_b \\
&= a_1 (-\varepsilon_a - R_i \cdot N_{dk} \cdot V_{ref}) + a_3 (-\varepsilon_a - R_i \cdot N_{dk} \cdot V_{ref})^3 + \varepsilon_b, \quad k \in \{1,2\}; R_i \in \{+1,-1\}
\end{aligned}$$

ε_a 、 ε_b ：分別代表 Sub_ADC 和 Backend ADC 的量化雜訊

在此，我們先對上式中的各參數作正規化，以方便後續演算法的推導，重新定義 $A_1 = a_1$ ， $A_3 = a_3 \cdot V_{ref}^2$ ， $N_{qa} = \frac{\varepsilon_a}{V_{ref}}$ ， $N_{qb} = \frac{\varepsilon_b}{V_{ref}}$ 則 Backend ADC 的數位輸出

$D_{bi,k}$ 如 (式 4.4)

$$D_{bi,k} = A_1 (-N_{qa} - R_i \cdot N_{dk}) + A_3 (-N_{qa} - R_i \cdot N_{dk})^3 + N_{qb} \quad (4.4)$$

如果對 $D_{bi,k}$ 乘上隨機訊號 R_i 後取平均值 (Mean)，可得到：

$$\begin{aligned}
E[R_i D_{bi,k}] &= E\left[A_1 (-N_{qa} R_i - N_{dk}) + A_3 (-N_{qa}^3 R_i - 3N_{qa}^2 N_{dk} - 3N_{qa} N_{dk}^2 R_i - N_{dk}^3) + R_i N_{qb}\right] \\
&= A_1 (-N_{dk}) + A_3 (-3N_{qa}^2 N_{dk} - N_{dk}^3)
\end{aligned}$$

定義 $\varepsilon_3 = E[R_i D_{bi,1}] - 2E[R_i D_{bi,2}]$ 則：

$$\begin{aligned}
\varepsilon_3 &= E[R_i D_{bi,1}] - 2E[R_i D_{bi,2}] = -\frac{3}{4} A_3 N_{d1}^3 \propto a_3 \\
&= -\frac{3}{4} a_1^3 N_{d1}^3 (P_{3,opt} - P_3)
\end{aligned}$$

若 (式 4.4) 中三階非線性增益誤差可以被消除後，同樣我們定義 $\varepsilon_1 = E[R_i D_{bi,1}]$ 則：

$$\varepsilon_1 = E[R_i D_{bi,1}] = A_1 (-N_{d1}) \propto a_1$$

為了利用 LMS 演算法來取得校正參數，因此我們改寫上式為：

$$\varepsilon'_1 = \varepsilon_1 + P_1 \cdot N_{d1} = -N_{d1} (P_{1,opt} - P_1)$$

由上述分析結果可知 ε_3 和 ε'_1 即含有殘值放大器線性與三階非線性增益誤差的資訊，當 $\varepsilon_3=0$ 時，可獲得 $P_3 = P_{3,optima} = a_3 \times V_{ref}^2 / a_1^3$ 提供 Calibration 電路作三階非線性增益誤差量的校正補償，而當 $\varepsilon'_1=0$ 時，可獲得 $P_1 = P_{1,optima} = a_1$ 提供 Calibration 電路作線性增益誤差量的校正補償。

4.4.2 Least Mean Square (LMS)演算法分析

圖 4-14 為 LMS Loop，輸入訊號 ε_3 和 ε'_1 含有殘值放大器線性與三階非線性增益誤差的資訊， μ_i 為一固定常數與校正參數 P_1 、 P_3 的收斂有關後續會作詳細分析，由圖中可得 LMS 演算法如 (式 4.5 和 4.6)。

$$P_1[n+1] = P_1[n] - \mu_i \varepsilon'_1 \quad (4.5)$$

$$P_3[n+1] = P_3[n] - \mu_3 \varepsilon_3 \quad (4.6)$$

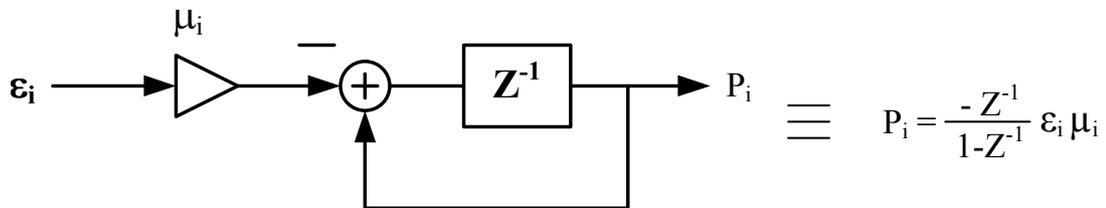


圖 4-14 LMS Loop

將 $\varepsilon_3 = -\frac{3}{4}a_1^3 N_{dl}^3 (P_{3,opt} - P_3[n])$ 代入 (式 4.6) 可得：

$$\begin{aligned} P_3[n+1] &= P_3[n] - \mu_3 \varepsilon_3 \\ &= P_3[n] - \mu_3 \left[-\frac{3}{4}a_1^3 N_{dl}^3 (P_{3,opt} - P_3[n]) \right] \\ &= P_3[n] \left(1 - \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 \right) + \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 P_{3,opt} \end{aligned}$$

$$\begin{aligned} P_3[n+1] - P_{3,opt} &= P_3[n] \left(1 - \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 \right) + \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 P_{3,opt} - P_{3,opt} \\ &= (P_3[n] - P_{3,opt}) \left(1 - \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 \right) \end{aligned}$$

令 $V[n] = P_3[n] - P_{3,opt}$ 則 $V[n] = V[0] \left(1 - \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 \right)^n$ ，若希望 $V[n]$ 最後能夠收

斂且趨近於 0 時，須滿足 (式 4.7) 故選定 μ_3 範圍如 (式 4.8) 即可達到 $P_3[n] = P_{3,optima}$ 。

$$\left| 1 - \mu_3 \frac{3}{4}a_1^3 N_{dl}^3 \right| < 1 \quad (4.7)$$

$$\frac{8}{3a_1^3 N_{dl}^3} > \mu_3 > 0 \quad (4.8)$$

獲得 $P_1[n] = P_{1,optima}$ 的過程和上述分析一樣，將 $\varepsilon'_1 = -N_{dl} (P_{1,opt} - P_1[n])$ 代入 (式 4.5) 可得：

$$\begin{aligned} P_1[n+1] &= P_1[n] - \mu_1 \varepsilon'_1 \\ &= P_1[n] - \mu_1 \left[-N_{dl} (P_{1,opt} - P_1[n]) \right] \end{aligned}$$

$$P_1[n+1] - P_{1,opt} = (P_1[n] - P_{1,opt}) (1 - \mu_1 N_{dl})$$

令 $V[n] = P_l[n] - P_{l,opt}$ 則 $V[n] = V[0](1 - \mu_l N_{dl})^n$ ，滿足 (式 4.9) 故選定 μ_l 範圍

如 (式 4.10) 即可獲得 $P_l[n] = P_{l,optima}$ 。

$$|1 - \mu_l N_{dl}| < 1 \quad (4.9)$$

$$\frac{2}{N_{dl}} > \mu_l > 0 \quad (4.10)$$

4.5 Matlab 模擬結果

使用 Matlab 軟體模擬驗證上述所提的架構及演算法，設計一個 12-bit 100MSample/s 的導管式類比數位轉換器，第一、二級為(3+1)-bit/stage，分別提供有效解析度位元 3bits，其中 MDAC 使用開迴路式架構實現，而殘值放大器之理想增益為 8，在使用全差動式電路設計可忽略偶次項諧波失真的條件下，殘值放大器轉移函式以一、三階多項式近似，二級均導入 10% 的線性和三階非線性增益誤差，如 (式 4.11) 表示，並搭配前述所提 PCSG、Estimation 和 Calibration 電路，完成殘值放大器之線性與三階非線性增益誤差補償校正，最後一級為 6-bit/stage，以一理想 ADC 模擬並提供 6 bits 的有效解析度位元。當操作在最大輸入範圍為 1.2V 的情況下，則 Estimation 所估測的校正參數為 $P_{1,optima} = 7.2$ 、 $P_{3,optima} = -0.5486$ 。

$$G_a(V_x) = 7.2V_x - 142.2V_x^3 \quad (4.11)$$

圖 4-15、4-16、4-17、4-18 為補償校正前後的 DNL 和 INL，模擬結果為：校正前 DNL=0.5/-1.0LSB、校正後 DNL=0.8/-1.0LSB，而校正前 INL=16.7/-16.7LSB 完成補償校正後 INL=0.6/-0.6LSB，由 DNL 模擬結果可看出在校正前 ADC 因為受

到增益級線性和三階非線性增益誤差的影響產生許多缺碼 (Missing Code)，因此累加後 INL 的模擬結果上顯示了相當大的誤差量，而在校正後可獲得很好的改善。

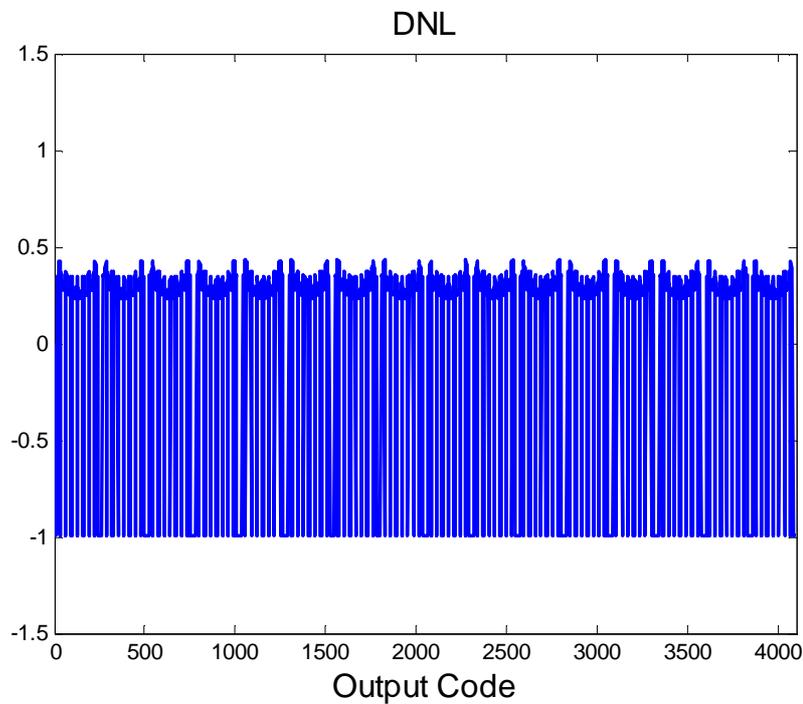


圖 4-15 Matlab 模擬校正前 DNL

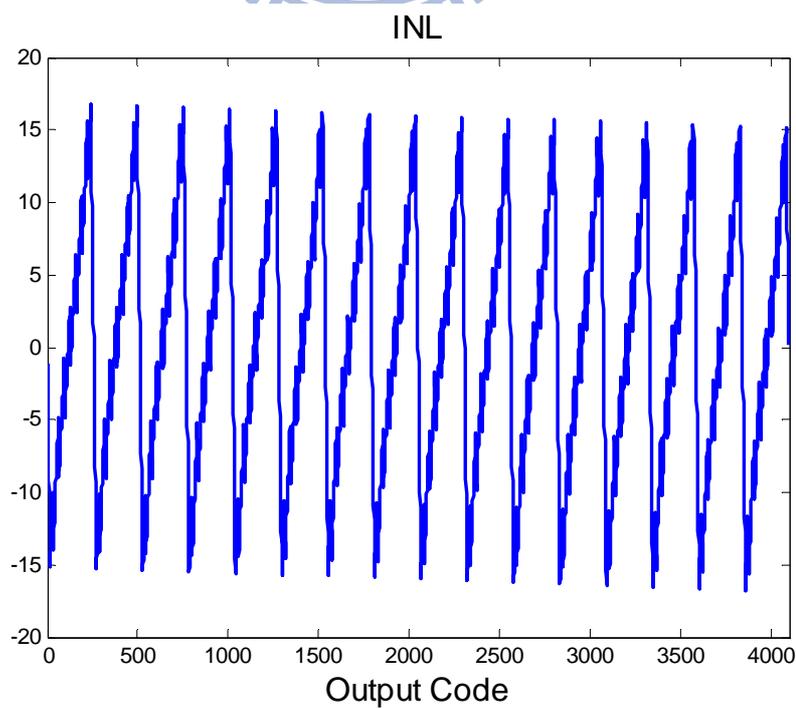


圖 4-16 Matlab 模擬校正前 INL

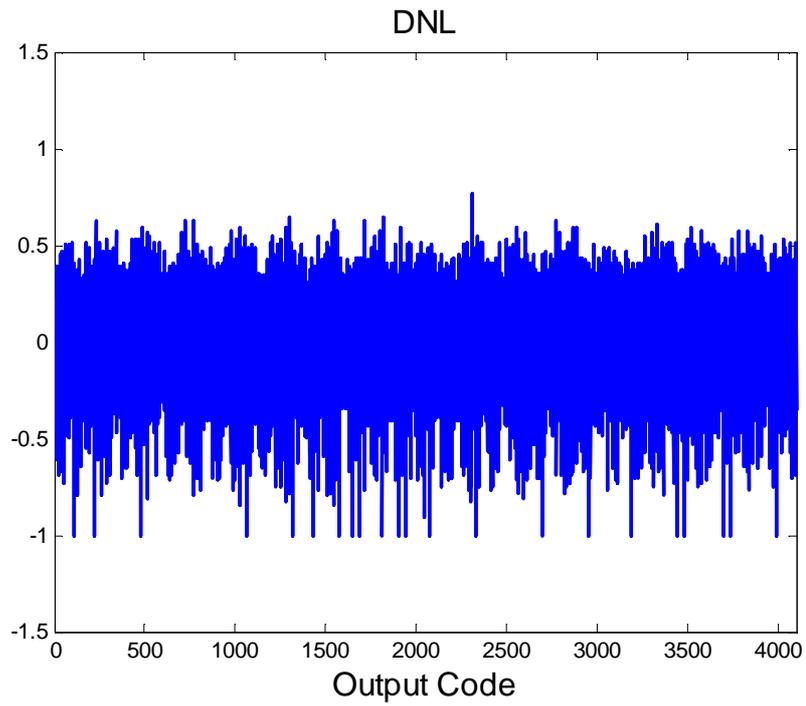


圖 4-17 Matlab 模擬校正後 DNL

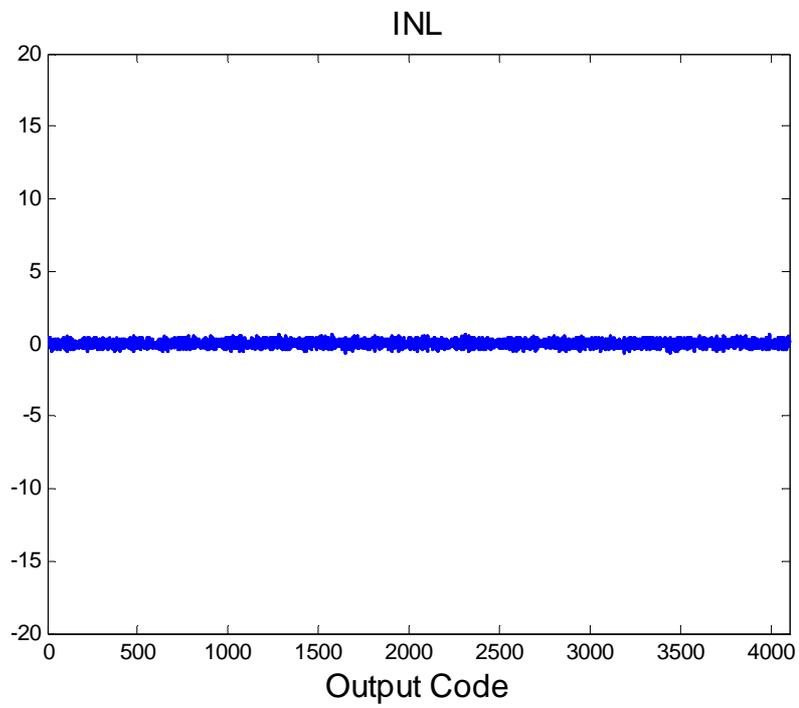


圖 4-18 Matlab 模擬校正後 INL

圖 4-19、4-20 分別為補償校正前後的頻譜圖（Power Spectrum）分析，模擬結果顯示 SNDR 和 ENOB 在校正前後分別為，校正前 SNDR=44.4dB、ENOB=7.1 bits，而校正後 SNDR=71.0dB、ENOB=11.5 bits。

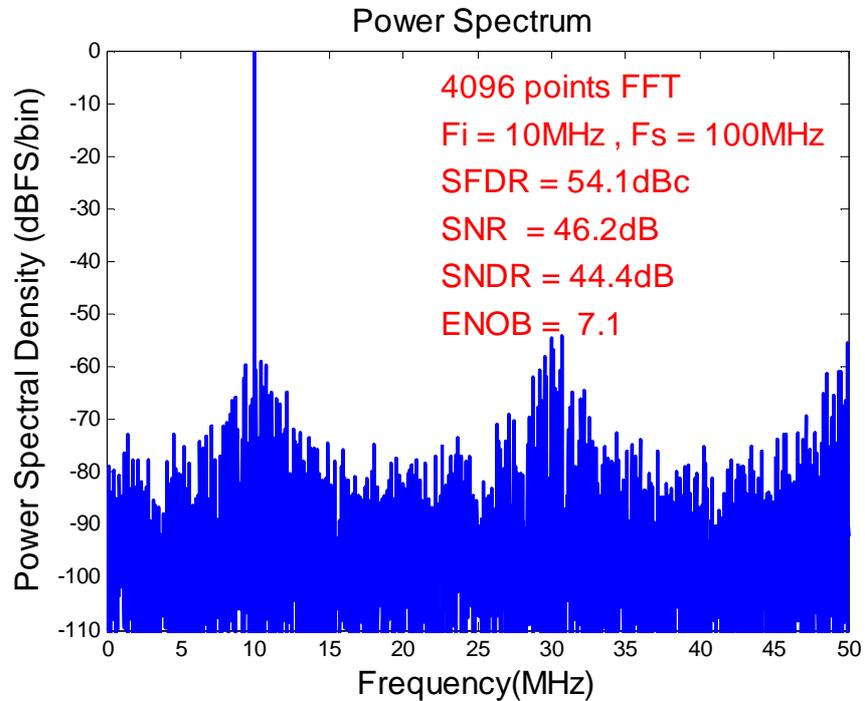


圖 4-19 Matlab 模擬校正前頻譜分析

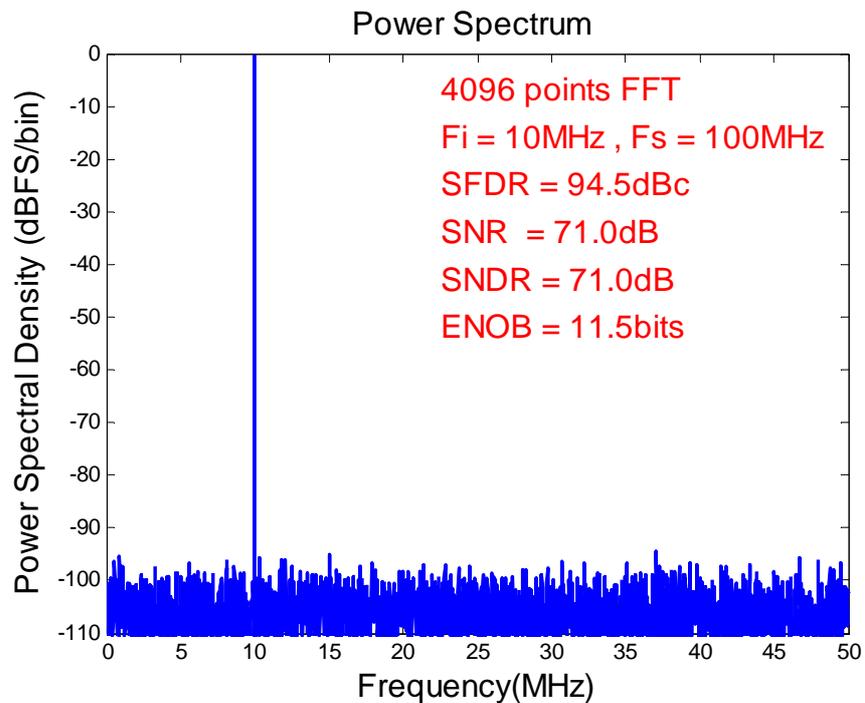


圖 4-20 Matlab 模擬校正後頻譜分析

圖 4-21、4-22、4-23、4-24 分別為第一、二校正級 Estimation 電路所估測校正參數 P_1 、 P_3 的收斂結果，由圖可見約在 2^{25} 次取樣內均可收斂到理想值。

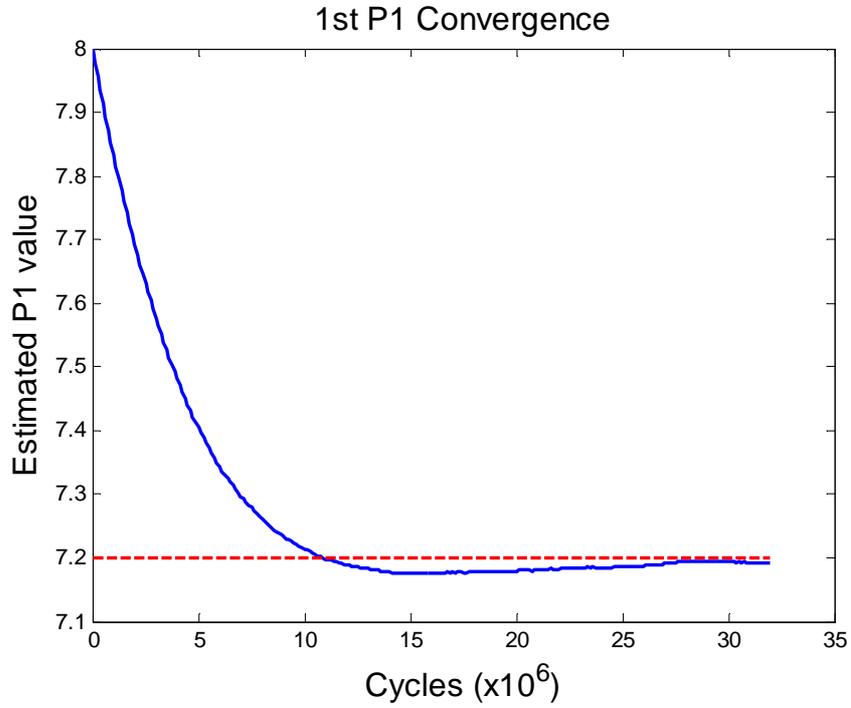


圖 4-21 Matlab 模擬第一級校正參數 P_1 收斂結果

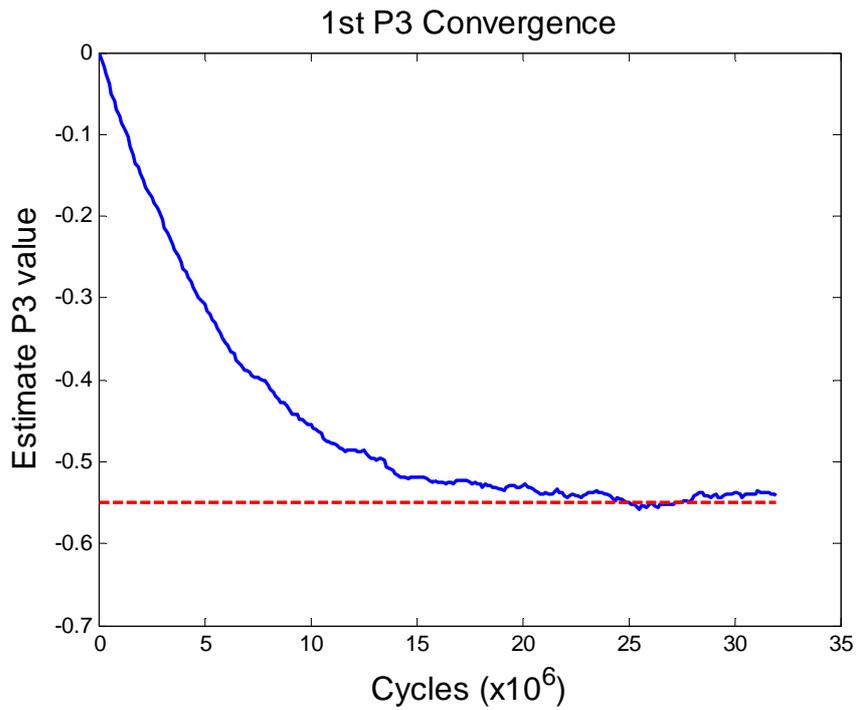


圖 4-22 Matlab 模擬第一級校正參數 P_3 收斂結果

從第二級的收斂結果中可以看到，其收斂速度略快於第一級，這是因為校正方式為逐級依序往前校正，如架構圖 4-3 所示，但第一級的 Backend Stage (2+3 級) 提供了 9 bits 的有效解析度位元，也因此校正參數的收斂會比第二級更為精確。

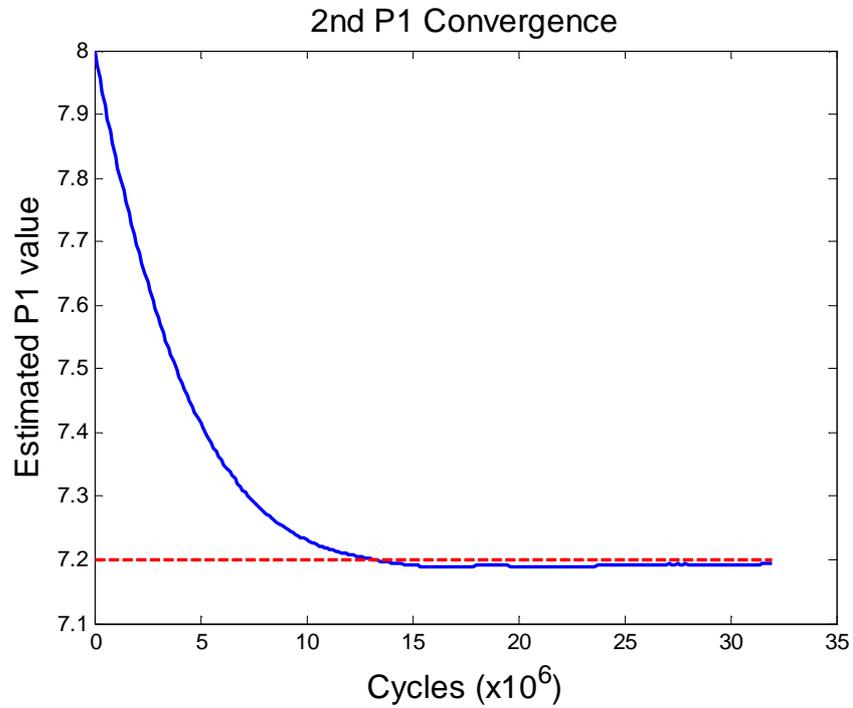


圖 4-23 Matlab 模擬第二級校正參數 P₁ 收斂結果

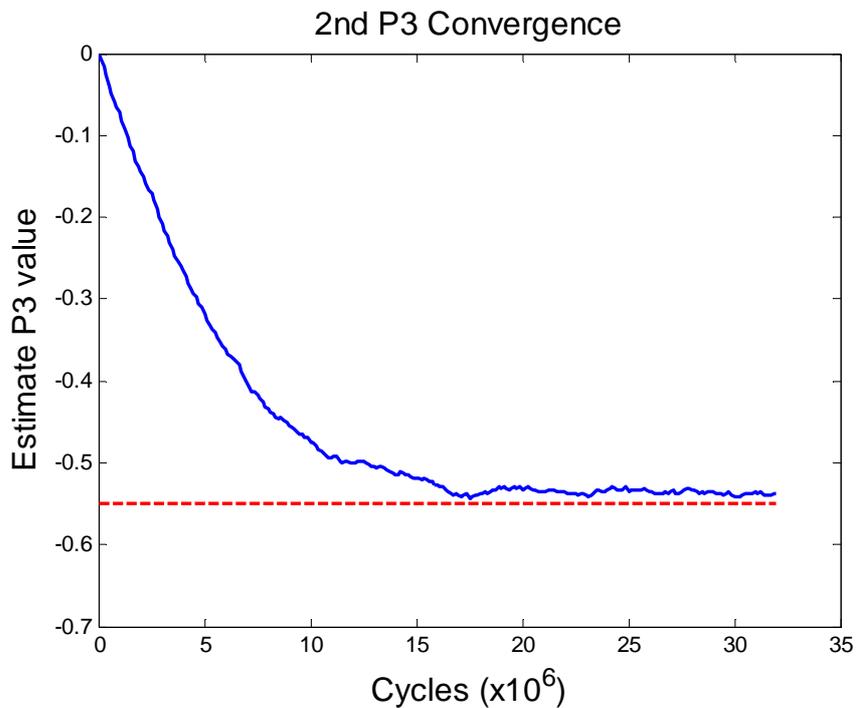


圖 4-24 Matlab 模擬第二級校正參數 P₃ 收斂結果

第五章 類比電路實現與模擬結果

5.1 A 12-bit 100MSample/s Pipelined ADC 電路架構

整體電路架構如圖 4-3、4-4 所示，在此章節將介紹電路實現之架構與模擬結果，包含：S/H 電路、校正級電路和 Backend Stage 電路，其中校正級裡的 Calibration 電路和 Estimation 電路由全數位方式實現，因此後續電路介紹時校正級電路僅針對圖 5-1 架構作說明。

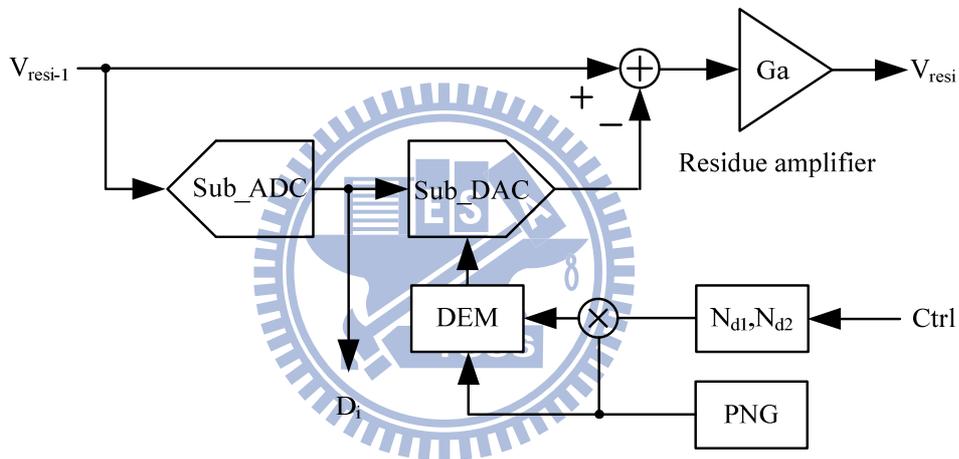


圖 5-1 校正級類比電路實現部份

5.2 Sample and Hold (S/H)電路架構

圖 5-2 為取樣保持電路，採用 Flip-Around 架構，其回授係數 (Feedback Factor) $\beta \approx 1$ ，相較於一般 Charge-Redistribution 的架構，優點有[29.30]：

- 較低的 kT/C 雜訊。
- 因放大器增益誤差所導致的失真較小。

- 在操作速度考量上，放大器僅需一半的單增益頻寬（Unity-Gain Bandwidth）即可達到相同的頻寬要求，也就是具有低功率消耗的特性。

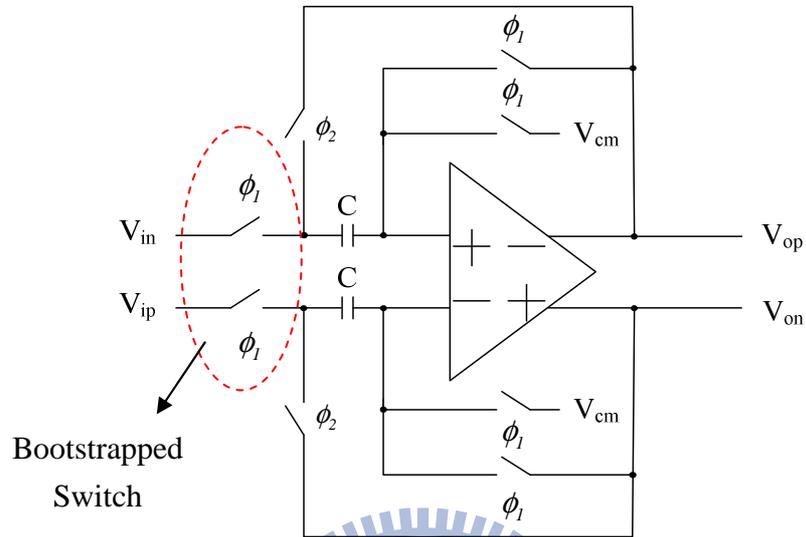


圖 5-2 S/H 電路架構

5.2.1 Bootstrapped Switch 電路

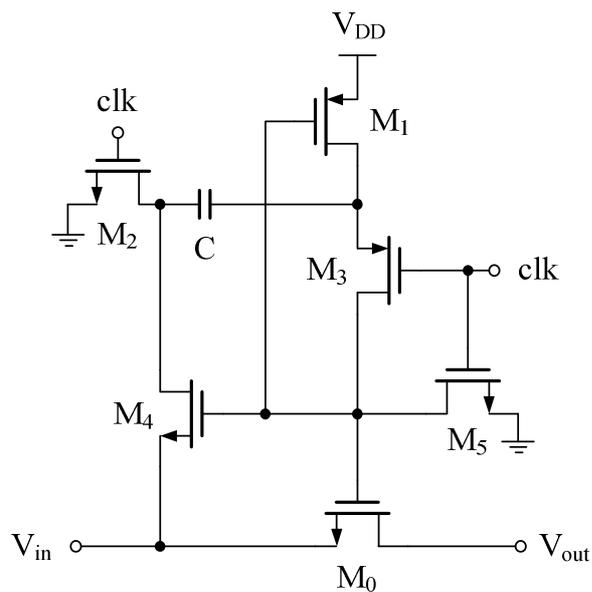


圖 5-3 Bootstrapped Switch 電路

連接輸入端的開關因為受輸入訊號變動影響甚大，為了使開關具有線性導通阻值的特性以達到高解析度的要求，所以使用 Bootstrapped Switch 架構，如圖 5-3 所示[22]，當時脈訊號 $\text{clk}=1$ 時 M_1 、 M_2 、 M_5 電晶體導通其餘電晶體關閉，使電容二端跨壓為 V_{DD} ，而時脈訊號 $\text{clk}=0$ 時 M_0 、 M_3 、 M_4 電晶體導通其餘電晶體關閉，訊號經由 V_{in} 端傳送至 V_{out} 端，此時縱然訊號在 V_{in} 端有變化，但電晶體 M_0 的閘極源極電壓 V_{gs} 仍維持 V_{DD} 的跨壓不變，也就是開關的導通阻值為一定值不受訊號的改變而改變。

5.2.2 Folded-cascode op amp 電路

運算放大器電路使用 Folded-cascode 架構，以容許 S/H 電路有較大的共模輸入範圍 (Input Common-mode Range)，並以全差動式電路實現如圖 5-4，而運算放大器電路所需要的偏壓 (Bias) 由圖 5-5 的偏壓電路提供。

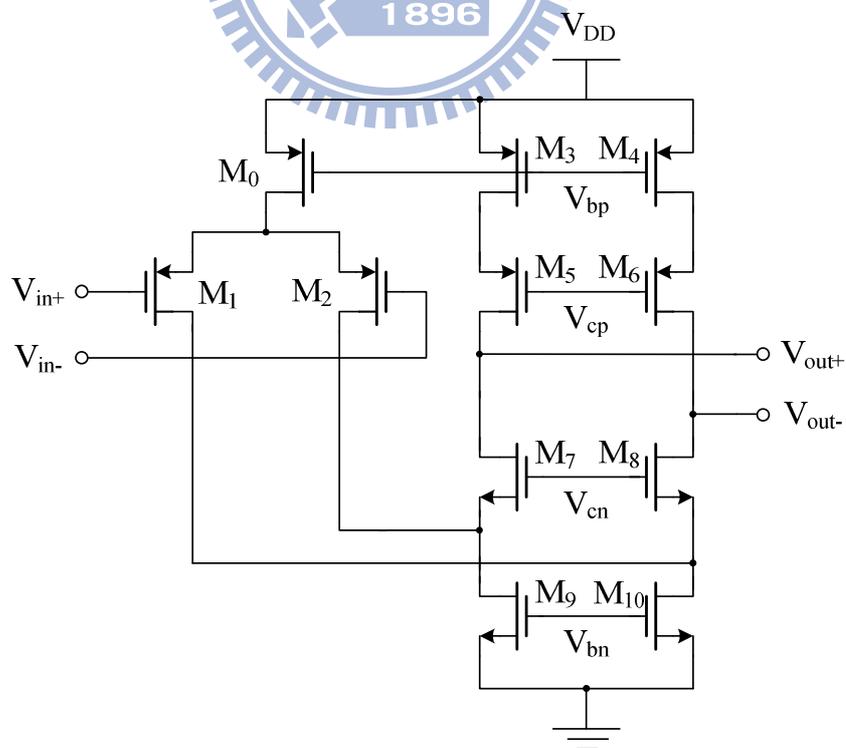


圖 5-4 Folded-cascode op amp 電路

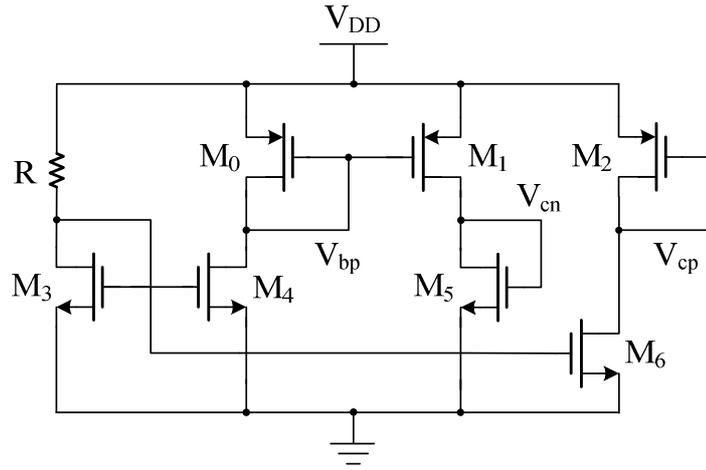


圖 5-5 Op amp 使用之偏壓電路

因為電路容易受到製程變異的影響，使運算放大器輸出點 V_{out+} 、 V_{out-} 電壓飄移，所以需要共模回授 (Common Mode Feedback, CMFB) 電路來調節輸出點工作電壓，共模回授電路如圖 5-6 所示，當輸出點偏離參考電壓 V_{cm} 時，其壓差會經由 M_0 - M_5 二組差動對產生偏差電流，再透過 M_6 回授到運算放大器 M_9 、 M_{10} ，使輸出點的共模位準回到 V_{cm} 。

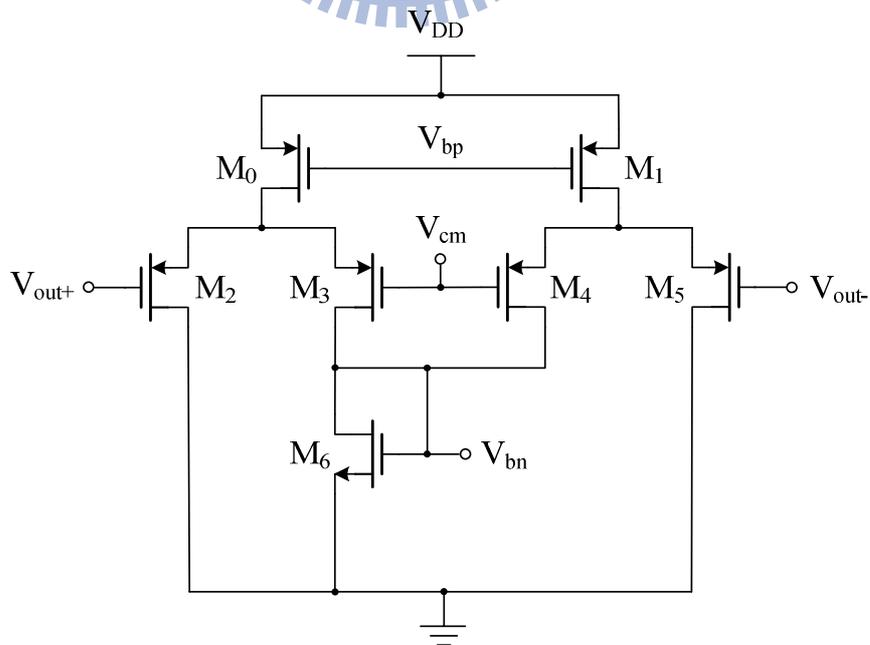


圖 5-6 CMFB 電路

訊號在經過 S/H 電路之後才由後續各級依序將類比訊號轉為數位碼，因此欲設計一個 12-bit ADC 其前端 S/H 電路也必須達到 12-bit 以上的精確度，而從（式 4.1）中我們可以知道放大器 open-loop gain 的大小決定了 S/H 轉移函式的精確度，為了達到 12-bit 以上的精確度可以推出放大器 open-loop gain 須達到 70dB 以上，另外 unity-gain bandwidth 在經驗上也必須有 5 倍左右的 ADC 頻寬。圖 5-7 為 op amp 在 TT、SS、FF、SF 和 FS Corner 下 post-simulation 的模擬結果，而表 5-1 為其模擬結果的詳細數據。

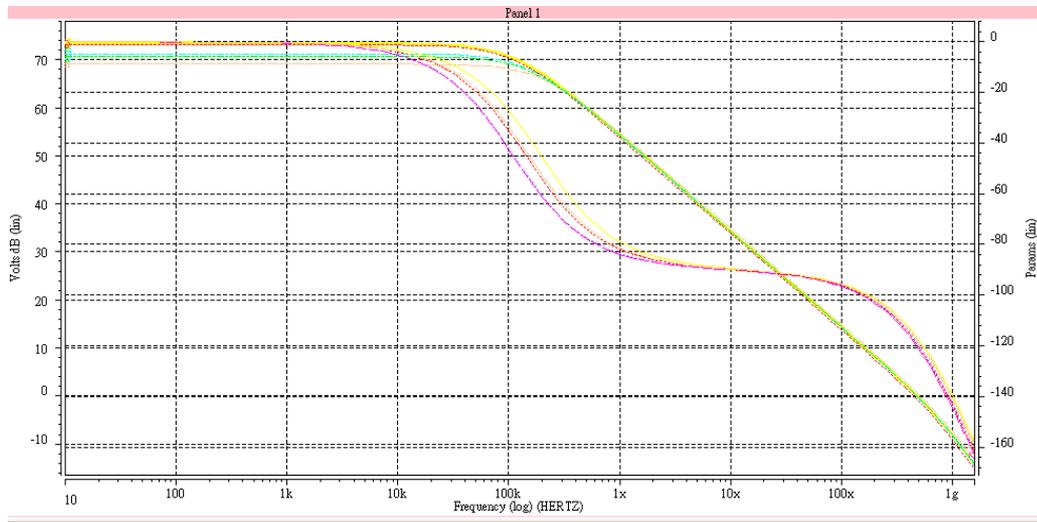


圖 5-7 Op amp 在各 Corner 下 post-simulation 模擬結果

表 5-1 Op amp 在各 Corner 下模擬結果數據表

	TT	SS	FF	SF	FS
Open-Loop Gain	73.3 dB	73.1 dB	69.1 dB	71.3 dB	70.7 dB
Phase Margin	61.7°	61.5°	62.1°	61.0°	62.7°
Unity-Gain Bandwidth	481.0 MHz	452.8 MHz	513.6 MHz	479.1 MHz	483.3 MHz

5.2.3 S/H 電路模擬結果

圖 5-8、5-9 分別為 S/H 電路 pre-simulation 和 post-simulation 的頻譜分析結果。

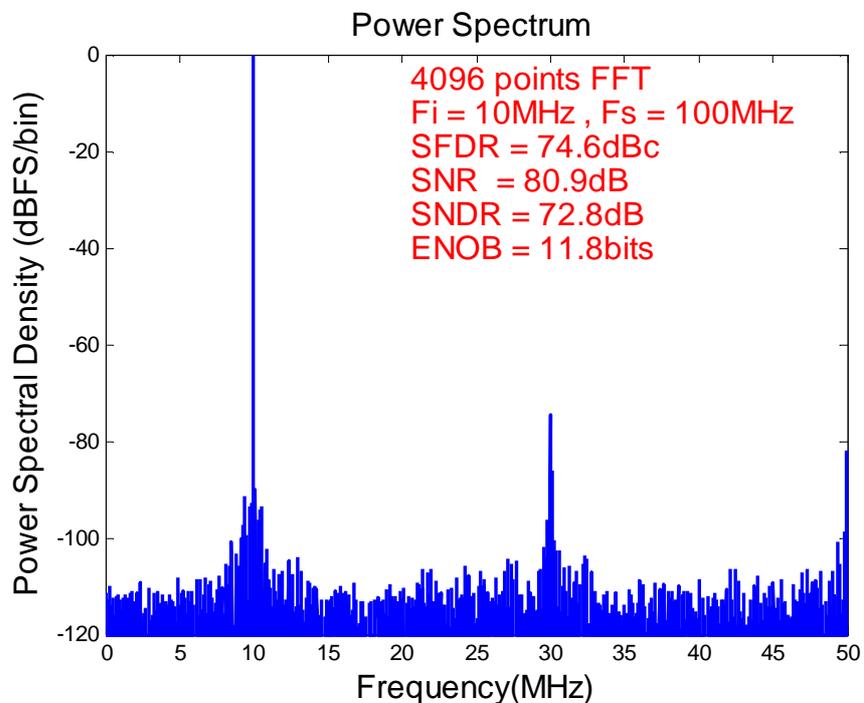


圖 5-8 S/H pre-simulation 頻譜分析圖

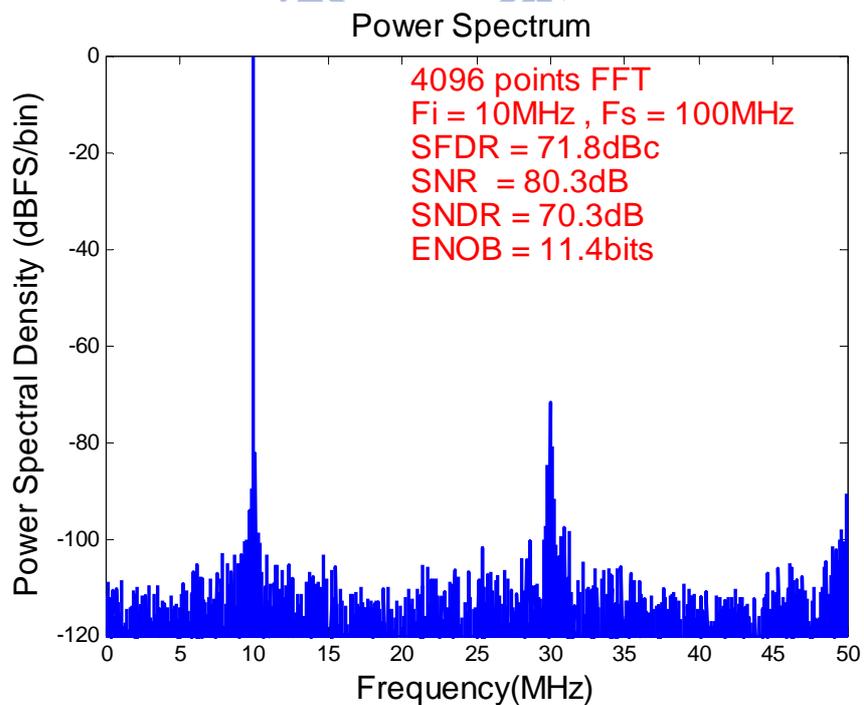


圖 5-9 S/H post-simulation 頻譜分析圖

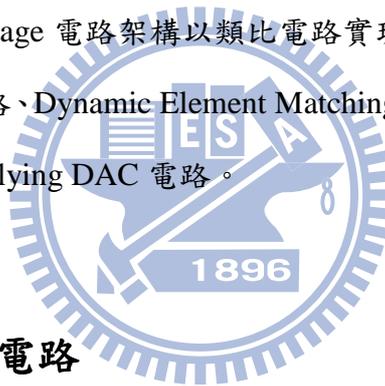
表 5-2 為 S/H 電路在 5 個 Corner：TT、FF、SS、FS、SF 下的模擬數據。

表 5-2 S/H 在各 Corner 下模擬結果數據表

Coner	pre-simulation				post-simulation
	SFDR(dBc)	SNR(dB)	SNDR(dB)	ENOB(bits)	ENOB(bits)
TT	74.6	80.9	72.8	11.8	11.4
FF	71.3	79.7	71.6	11.6	11.3
SS	65.6	77.4	69.2	11.2	11.1
FS	69.8	79.3	71.1	11.5	11.3
SF	67.3	77.9	69.8	11.3	10.9

5.3 Under Calibration Stage 電路架構

Under Calibration Stage 電路架構以類比電路實現的部分如圖 5-1 所示，以下將分別介紹 Sub_ADC 電路、Dynamic Element Matching 技術、Pseudo-random Number Generator 電路和 Multiplying DAC 電路。



5.3.1 Sub_ADC 電路

Sub_ADC 為一個 4-bit flash ADC，其電路與架構和 Backend Stage 的 6-bit flash ADC 相似，僅因 4-bit flash ADC 使用的比較器數目甚少於 6-bit flash ADC，所以不額外使用 Interpolating 的技巧。一般一個 6-bit 的 flash ADC 至少需要用到 63 個比較器，因比較器數目甚多，為避免過大的輸入端寄生電容影響電路效能而使用了 Interpolating 的技巧，詳細 4-bit 和 6-bit flash ADC 的電路與架構將在後續 5.4 章節一並做完整介紹，在此先看 Sub_ADC 電路的模擬結果。

5.3.2 Sub_ADC 電路模擬結果

圖 5-10、5-11 分別為 Sub_ADC 電路 pre-simulation 和 post-simulation 的頻譜分析結果。

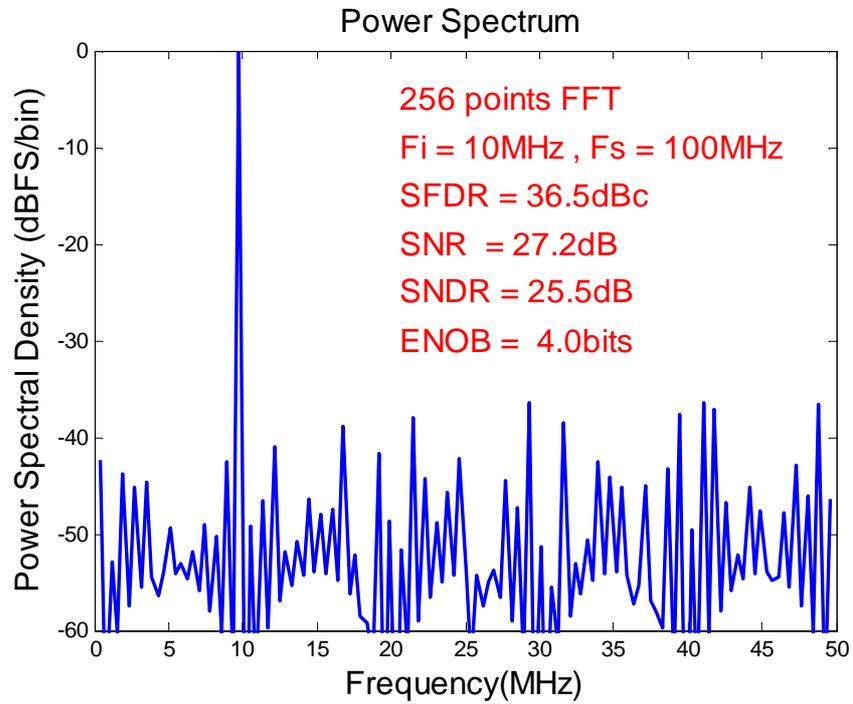


圖 5-10 Sub_ADC pre-simulation 頻譜分析圖

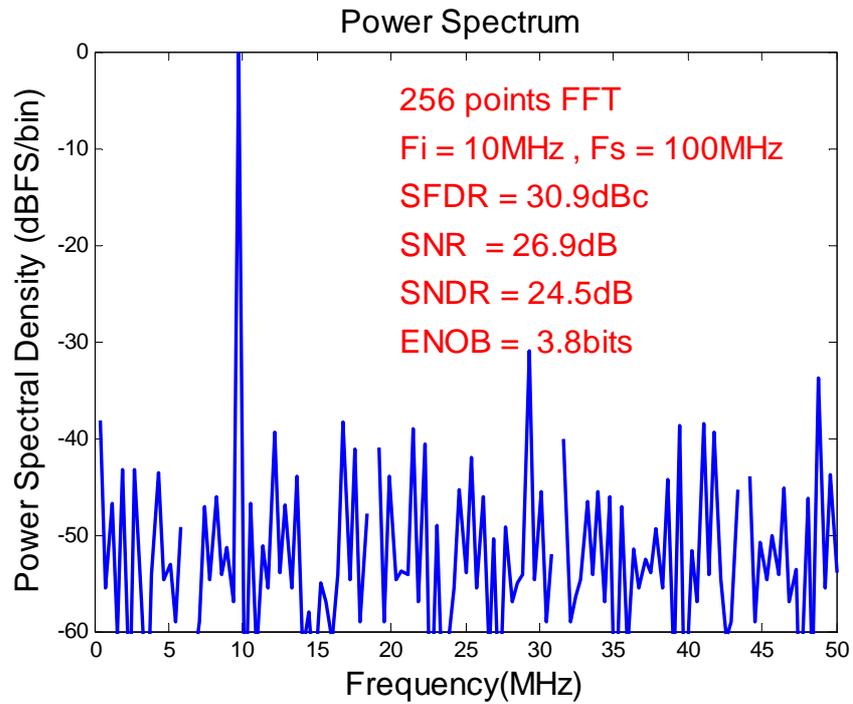


圖 5-11 Sub_ADC post-simulation 頻譜分析圖

表 5-3 為 Sub_ADC 在 5 個 Corner：TT、FF、SS、FS、SF 下的模擬數據。

表 5-3 Sub_ADC 在各 Corner 下模擬結果數據表

Coner	pre-simulation				post-simulation
	SFDR(dBc)	SNR(dB)	SNDR(dB)	ENOB(bits)	ENOB(bits)
TT	36.5	27.2	25.5	4.0	3.8
FF	33.4	26.5	24.6	3.8	3.9
SS	26.8	24.4	22.3	3.4	3.6
FS	31.3	26.2	24.1	3.7	3.8
SF	28.5	24.8	22.8	3.5	3.7

5.3.3 Dynamic Element Matching (DEM)技術

為了有效達到精確估測殘值放大器的線性與三階非線性增益誤差，額外加入 MDAC 的隨機校正訊號 $\{\pm N_{d1}, \pm N_{d2}\}$ 需有精確的比例關係 $N_{d2} = N_{d1}/2$ ，而隨機校正訊號可由實現 MDAC 之開關電容電路中的電容比值所產生，因此我們藉由 Cali、Select 和 R 三個訊號產生四組控制訊號 A、B、C、D，來控制四個電容在不同模式下分別應該接至 $+V_{ref}$ 或 $-V_{ref}$ ，以產生對應之隨機校正訊號，其中 Cali、Select 和 R 分別代表：

- Cali：校正/非校正模式
- Select：輸入之隨機校正訊號為 N_{d1} 或 N_{d2}
- R：隨機訊號 $\{-1, +1\}$

而控制訊號 A、B、C、D 分別為（式 5.1-5.3）：

$$A = B = R + \overline{Cali} \quad (5.1)$$

$$C = Cali \times (R + Select) \quad (5.2)$$

$$D = Cali \times R \times \overline{Select} \quad (5.3)$$

雖然上述方式已經可以產生隨機校正訊號 N_{d1} 、 N_{d2} ，但還有一個問題是當電容有不匹配的問題存在時隨機校正訊號則無法達到精確的比例關係，因此我們再加入 DEM 的技術[22.31.32]，利用二個隨機訊號 R_{S1} 、 R_{S2} 使四組控制訊號得以隨機選取控制的電容，如圖 5-12 所示，以確保估測殘值放大器線性與三階非線性增益誤差時的精確度。

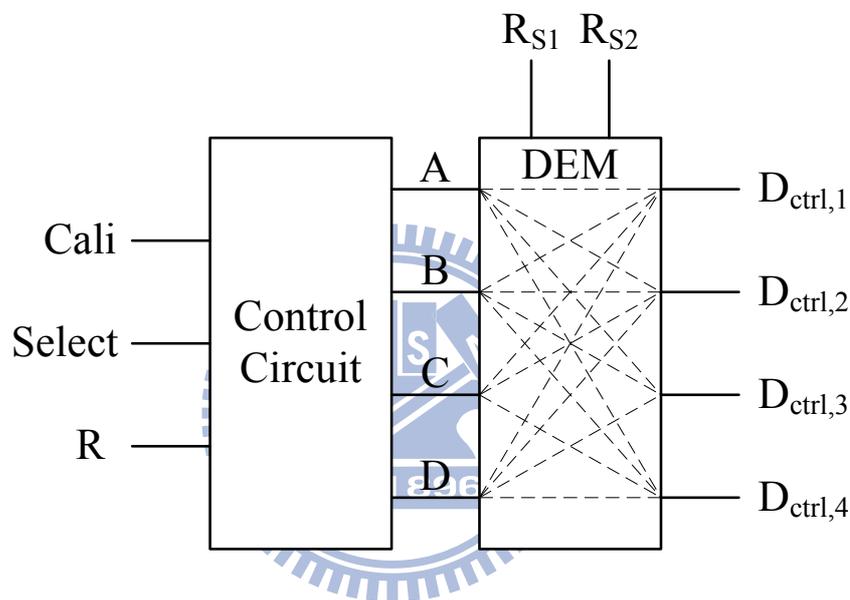


圖 5-12 Dynamic Element Matching (DEM)技術

5.3.4 Pseudo-random Number Generator (PNG)電路

隨機訊號產生器採用 Linear-Feedback Shift Registers (LFSR) 架構如圖 5-13 所示[33]，而在第四章的模擬結果中可知校正參數 P_1 、 P_3 約在 2^{25} 次取樣內可收斂到理想值，因此產生的隨機訊號序列也必須有 2^{25} 以上，故選定 31-bit 的 LFSR，其特徵方程式 (Characteristic polynomial) 為 $1 + x^{28} + x^{31}$ ，代表產生的隨機訊號序列每 $2^{31}-1$ 次後才會重複。

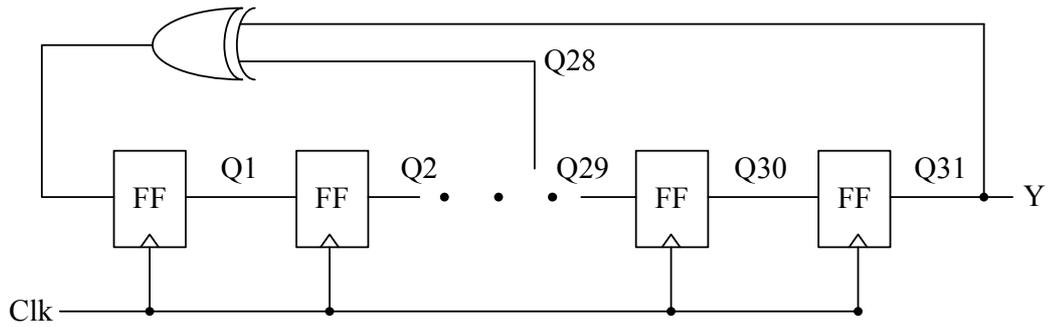


圖 5-13 31-bit Linear-Feedback Shift Registers (LFSR)

5.3.5 Multiplying DAC (MDAC) 電路

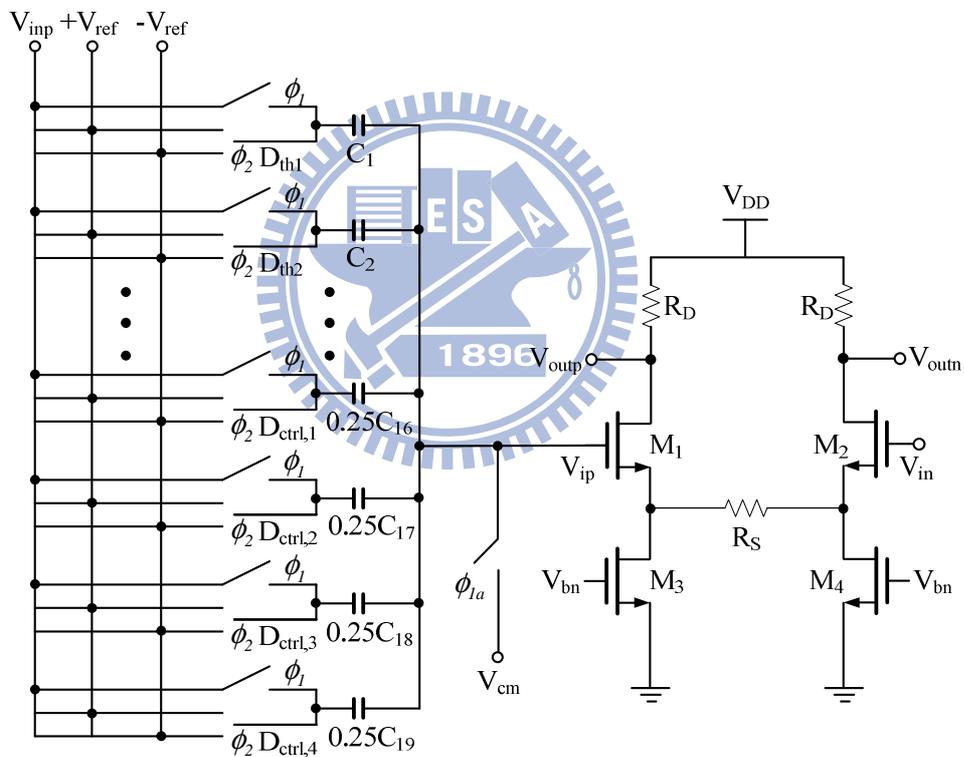


圖 5-14 Multiplying DAC (MDAC) 電路

MDAC 電路以開關電容電路實現，並採用開迴路式架構如圖 5-14，其中殘值放大器使用源極退化之共源極組態 (Common-Source Stage with Source Degeneration) 以達低增益、高線性度的需求。電容 $C_1 = C_2 = \dots = C_{19}$ 在 ϕ_1 時電容一端統一接至輸入訊號，而 ϕ_2 時 $C_1 \dots C_{15}$ 由 Sub_ADC 解出的數位溫度計碼

(Thermometer Code) 決定應該接到 $+V_{ref}$ 或 $-V_{ref}$ ， $C_{16} \cdots C_{19}$ 則由 5.3.3 章節中所提到的控制訊號決定，值得注意的是電路為全差動式架構，圖中為簡化以單端表示之，偏壓點由圖 5-15 之偏壓電路提供。

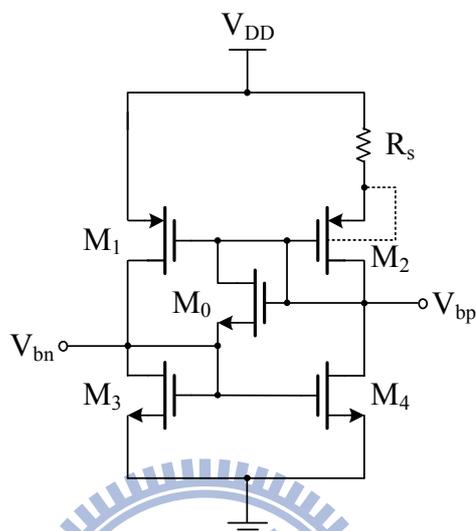


圖 5-15 MDAC 使用之偏壓電路

5.3.6 MDAC 電路模擬結果

圖 5-16、5-17 分別為 MDAC pre-simulation 和 post-simulation 的模擬結果，可看出在未校正和導入 $\pm N_{d1}$ 、 $\pm N_{d2}$ 的五種模式下均可得到正確預期的輸出結果。

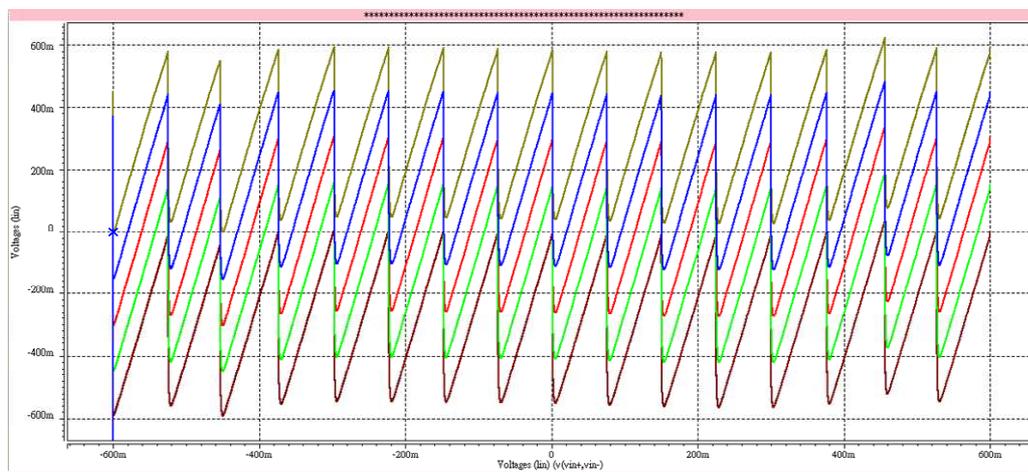


圖 5-16 MDAC pre-simulation 模擬結果

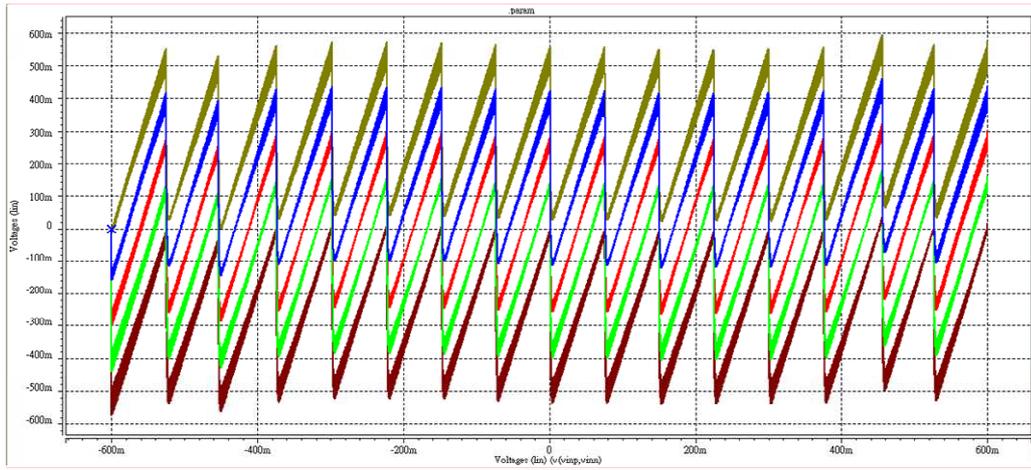


圖 5-17 MDAC post-simulation 模擬結果

5.4 Backend Stage 電路架構

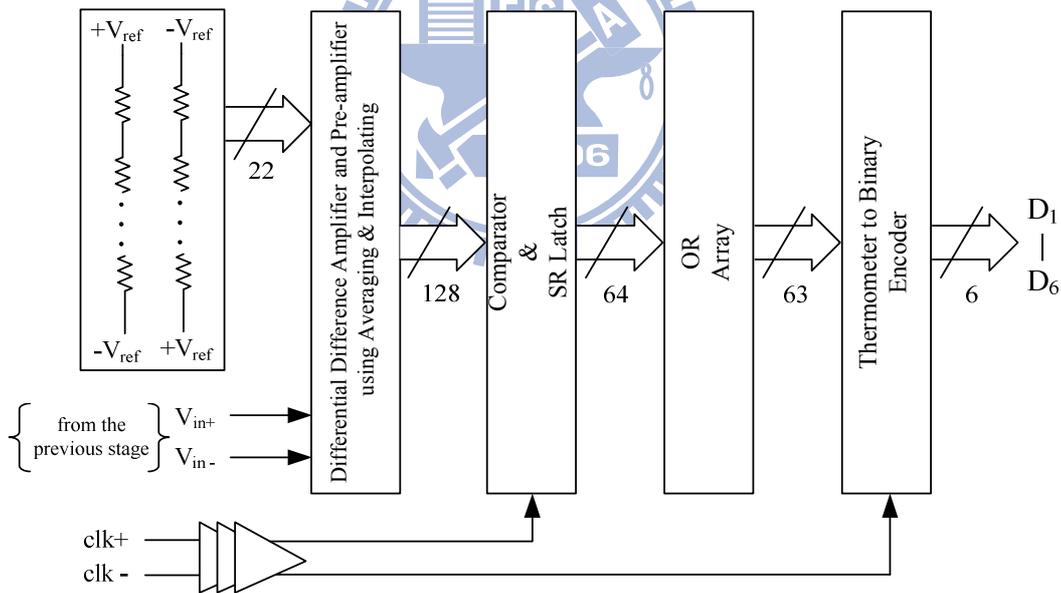


圖 5-18 6-bit Flash ADC 電路架構

Backend Stage 為一個 6-bit Flash ADC，其架構如圖 5-18 所示[34]，首先由差動差值放大器（Differential Difference Amplifier，DDA）對輸入訊號和分壓電阻串（Resistor String）之分壓進行比較，再由前端放大器（Pre-amplifier）將差值訊號

進行放大，DDA 和 Pre- amplifier 共分三級，並加入 Averaging 和 Interpolating 的技巧，以降低比較器偏移誤差和輸入端寄生電容產生的影響，後續經過 Comparator 和 SR Latch 將訊號拉至數位位準以提供後續標準元件 (Standard Cell) 電路操作，包含一串 OR 邏輯閘陣列 (OR Array) 和數位溫度計碼轉二進位碼之編碼器 (Thermometer to Binary Encoder)，以下將針對 Averaging & Interpolating 技巧、DDA、Pre- amplifier、Comparator、SR Latch 電路和 OR Array 的作用作詳細說明。

5.4.1 Averaging & Interpolating 技術

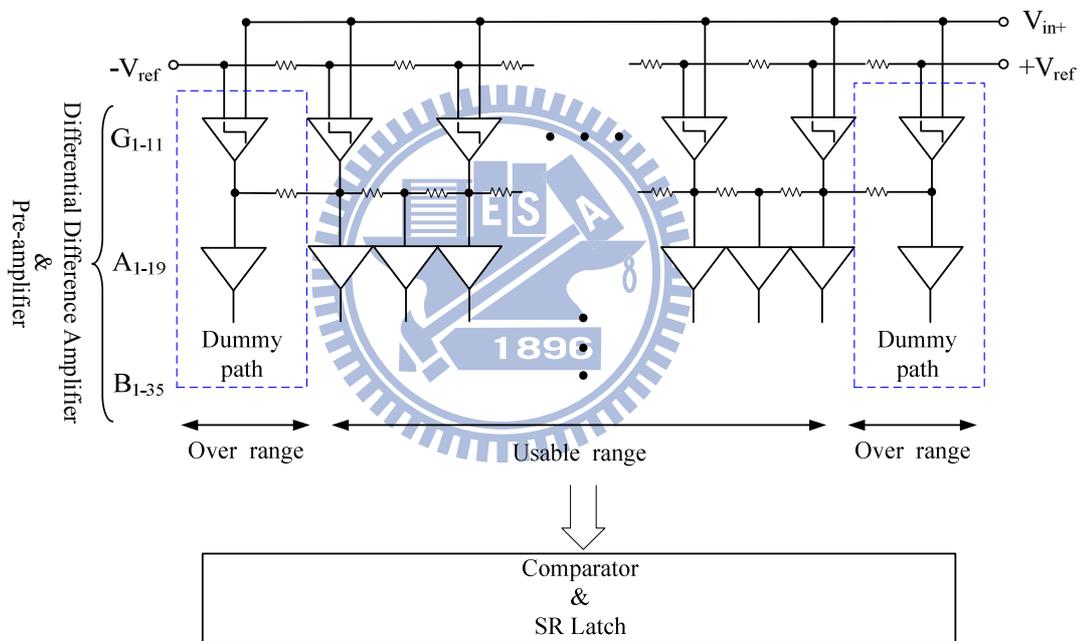


圖 5-19 Averaging & Interpolating 技術

6-bit Flash ADC 至少需比較出 63 個電壓位準，也就是至少需要 63 個比較器，如果只用一級直接串 63 個比較器，則會有很大的輸入端寄生電容影響電路效能，Interpolating 的技巧即是逐步內插出需要比較的訊號，第一級只用 11 個 DDA 之後經由電阻分壓內插出 19 個訊號，依序第二、三級分別使用 19 個和 35 個 Pre-amplifier 逐步放大訊號，在第三級的 35 個 Pre-amplifier 輸出一樣經過內插後即可

得到 67 個訊號，其中二端的訊號可當作 Dummy Path 取中間的 63 個訊號在後續 Comparator 和 SR Latch 進行比較，而內插的電阻亦可作為 Averaging 的技巧之用，原本 63 個比較器之間並無關聯分別比較出 63 個訊號，因此比較器的 Offset 為主要決定電路效能的因素，現在每個比較器間有分壓電阻連接，若選擇適當的分壓電阻之阻值與 Dummy Path 上的阻值，則可使節點上任一點看到的等效電阻值均相同，且當比較器有 Offset 時可將 Offset 的影響平均分散以改善對 DNL、INL 的影響[35-37]，Averaging 和 Interpolating 的技巧如圖 5-19 所示意。

5.4.2 6-bit flash ADC 電路

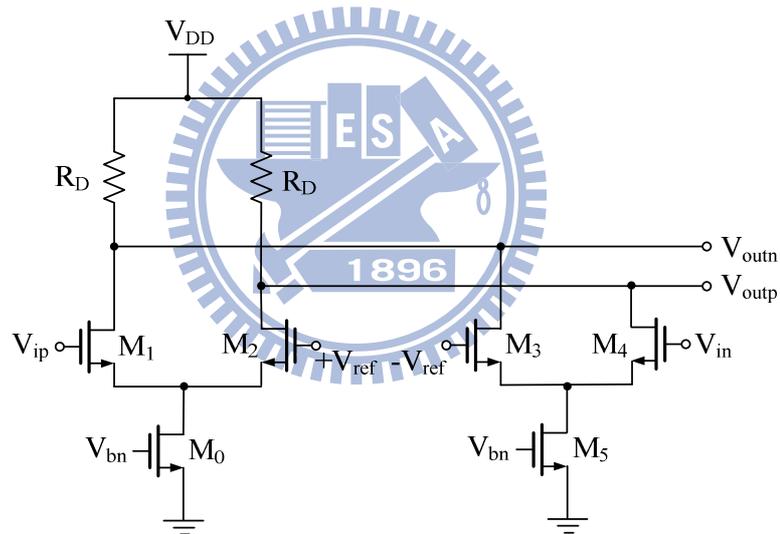


圖 5-20 Differential Difference Amplifier 電路

Differential Difference Amplifier 電路如圖 5-20 所示，由二組差動輸入對 $M_{1,2}$ 和 $M_{3,4}$ 比較出輸入訊號與 V_{ref} 間的差值，其輸入、輸出之關係為 (式 5.4)，Pre-amplifier 則採用負載二極體之共源極組態 (Common-Source Stage with Diode-Connected Load)，可獲得穩定之電壓增益並可在 $M_{1,2}$ 的閘極和輸出端之間加上電阻，以提高電壓增益 (式 5.5)，其電路如圖 5-21。

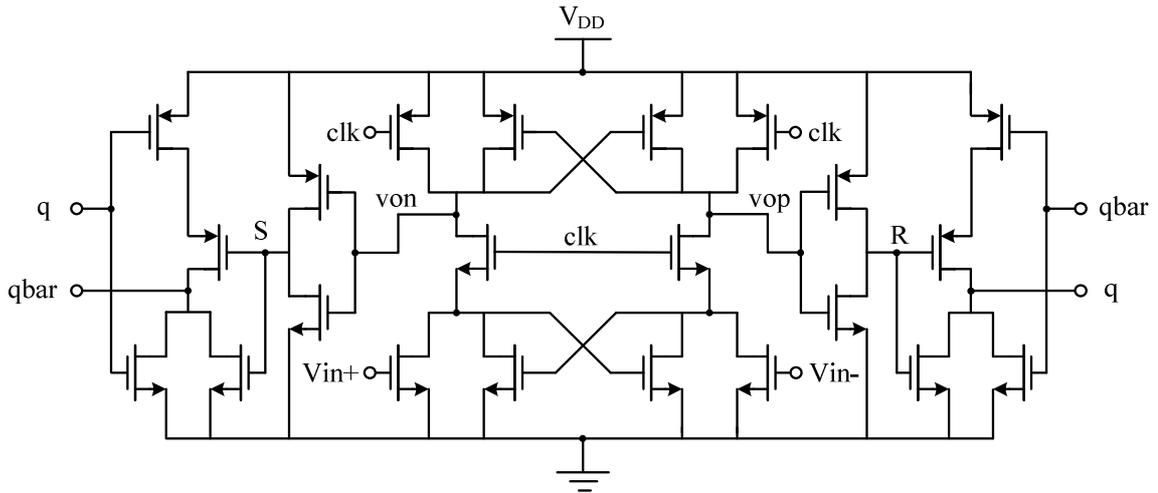


圖 5-22 Comparator & SR Latch 電路

加入 OR Array 目的在預防 Bubble Error 的發生，理論上一組 Thermometer Code 由 Most Significant Bit (MSB) 到 Least Significant Bit (LSB) 的輸出，當遇到第一個輸出為 1 後往下的比較器輸出應該都是 1，但可能受到比較器 Offset 或電路 Noise... 等因素的影響，而可能在一串 1 的輸出中出現為 0 的輸出，即稱為 Bubble Error，但透過 OR Array 後可修正當發生一階 Bubble Error 時對電路造成的影響，其示意圖如圖 5-23 所示。

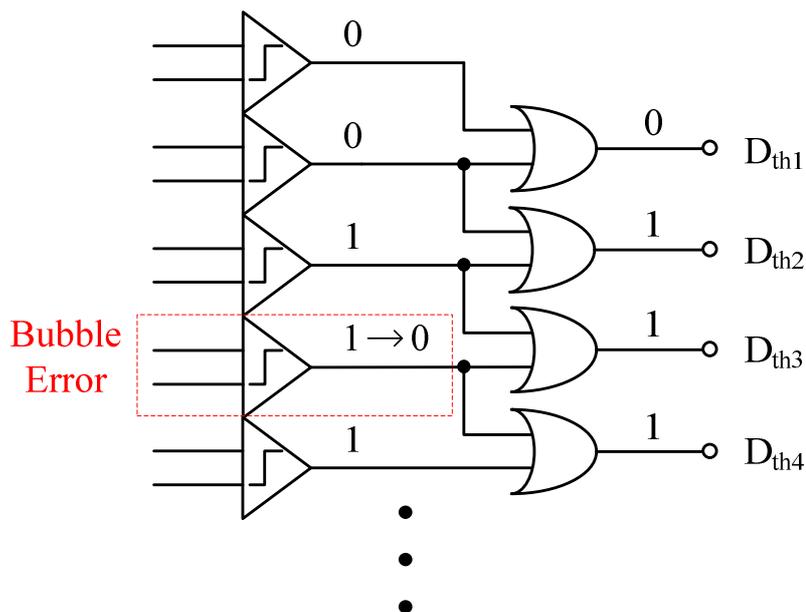


圖 5-23 消除一階 Bubble error 示意圖

為簡化輸出訊號的分析與輸出訊號的個數最後我們將 Thermometer Code 轉為 Binary Code，圖 5-24 為一個 3-bit Thermometer to Binary Encoder 示意圖。

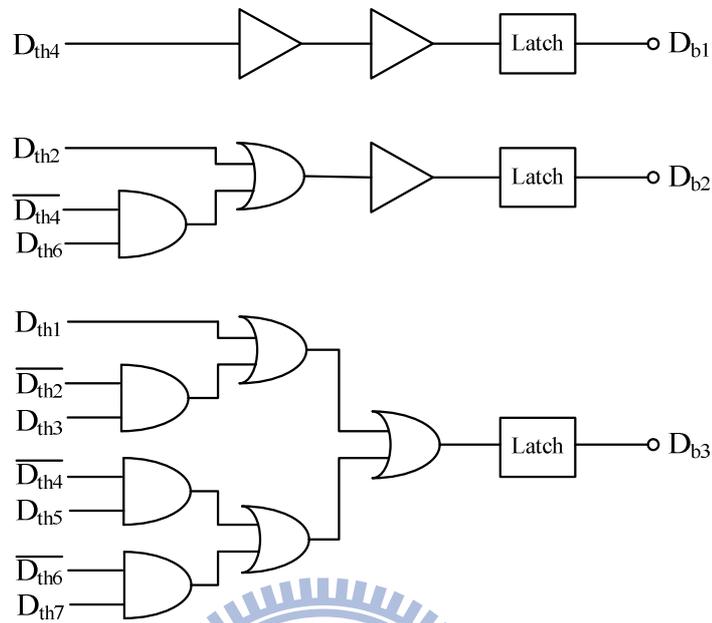


圖 5-24 3-bit Thermometer to Binary Encoder 示意圖

5.4.3 Backend Stage 電路模擬結果

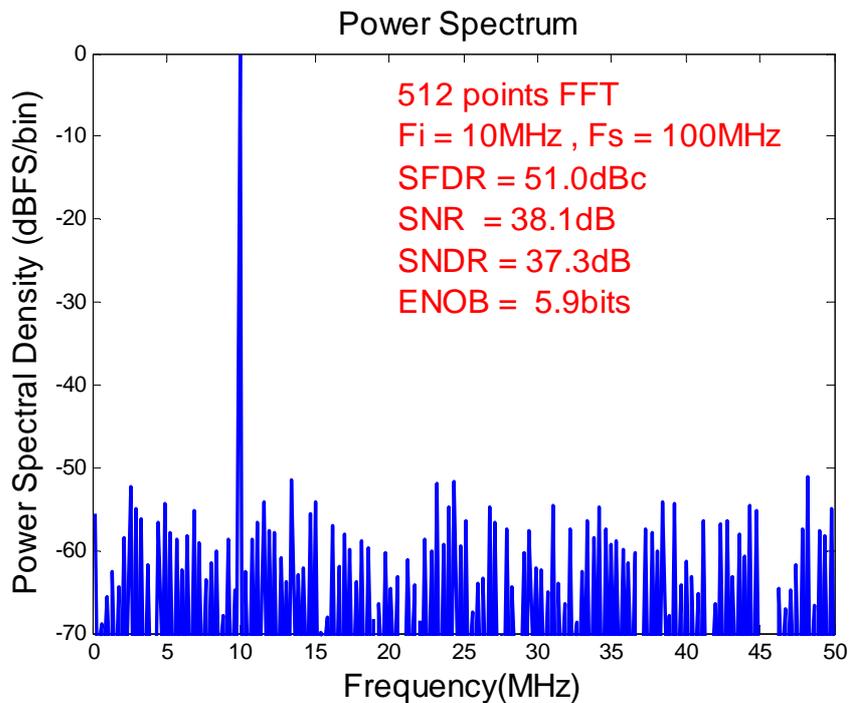


圖 5-25 Backend Stage pre-simulation 頻譜分析圖

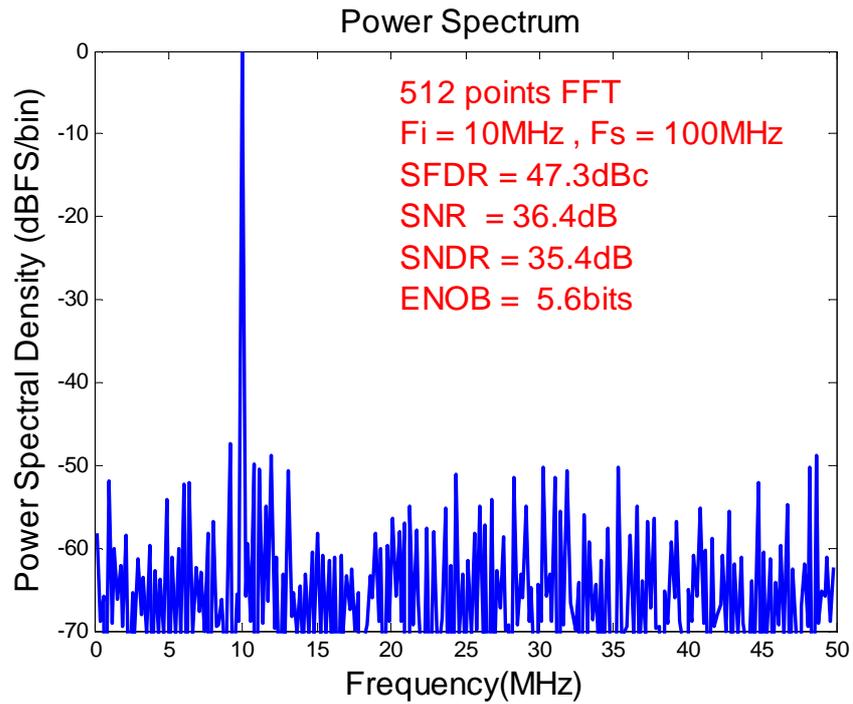


圖 5-26 Backend Stage post-simulation 頻譜分析圖

圖 5-25、5-26 分別為 Backend Stage 電路 pre-simulation 和 post-simulation 的頻譜分析結果。表 5-4 則為 5 個 Corner：TT、FF、SS、FS、SF 下的模擬數據。

表 5-4 Backend Stage 在各 Corner 下模擬結果數據表

Coner	pre-simulation				post-simulation
	SFDR(dBc)	SNR(dB)	SNDR(dB)	ENOB(bits)	ENOB(bits)
TT	51.0	38.1	37.3	5.9	5.6
FF	47.8	37.5	36.7	5.8	5.5
SS	41.2	35.1	34.3	5.4	5.3
FS	45.6	36.9	36.1	5.7	5.4
SF	43.4	35.8	34.9	5.5	5.4

5.5 8-Phase Non-overlapping Clock Generator 電路

為了預防 Clock Feedthrough 和 Charge Injection 對電路造成的影響，我們需要

非重疊的時脈產生器 (Non-overlapping Clock Generator)，圖 5-27 可產生 8 組非重疊的時脈提供內部電路使用。

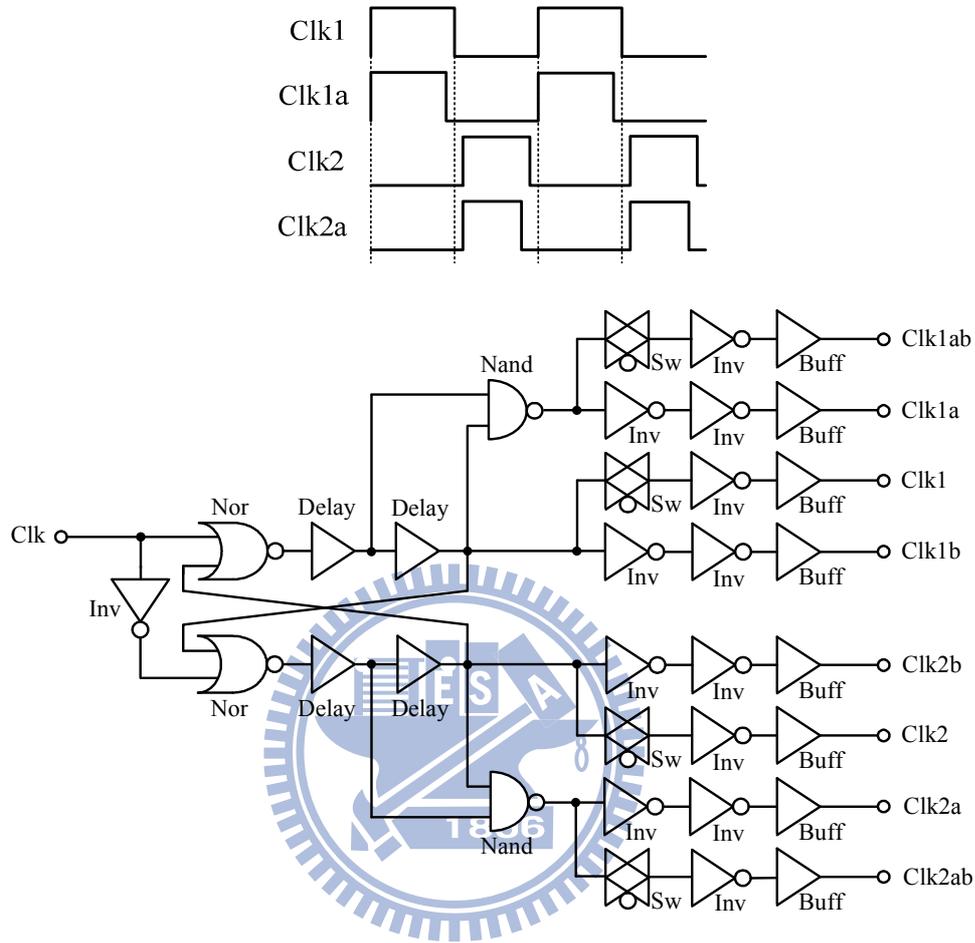


圖 5-27 Non-overlapping Clock Generator 電路

5.6 整體電路佈局及模擬結果

圖 5-28 為包含靜電放電 (Electrostatic Discharge, ESD) 保護電路與焊墊 (Pad) 的整體電路佈局 (Layout) 圖，總面積為 $1.56 \times 1.31 \text{mm}^2$ ，電路分布位置如圖 5-29 所示。

而整體電路 pre-simulation 和 post-simulation 的頻譜分析結果則如圖 5-30、5-31 所示，可看出在未經過校正前僅有第一級 Sub_ADC 的 4 bits 輸出，因為後面的訊號經過開迴路式架構的 MDAC，在未經過校正前無法得到正確之輸出。

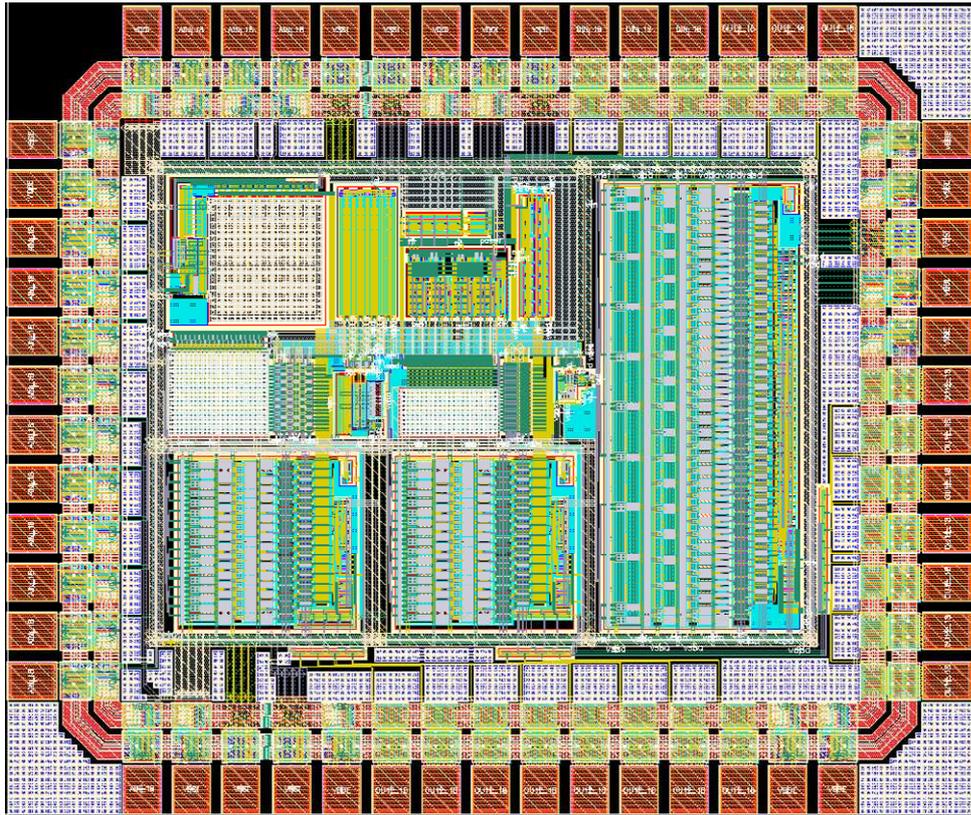


圖 5-28 整體電路佈局圖

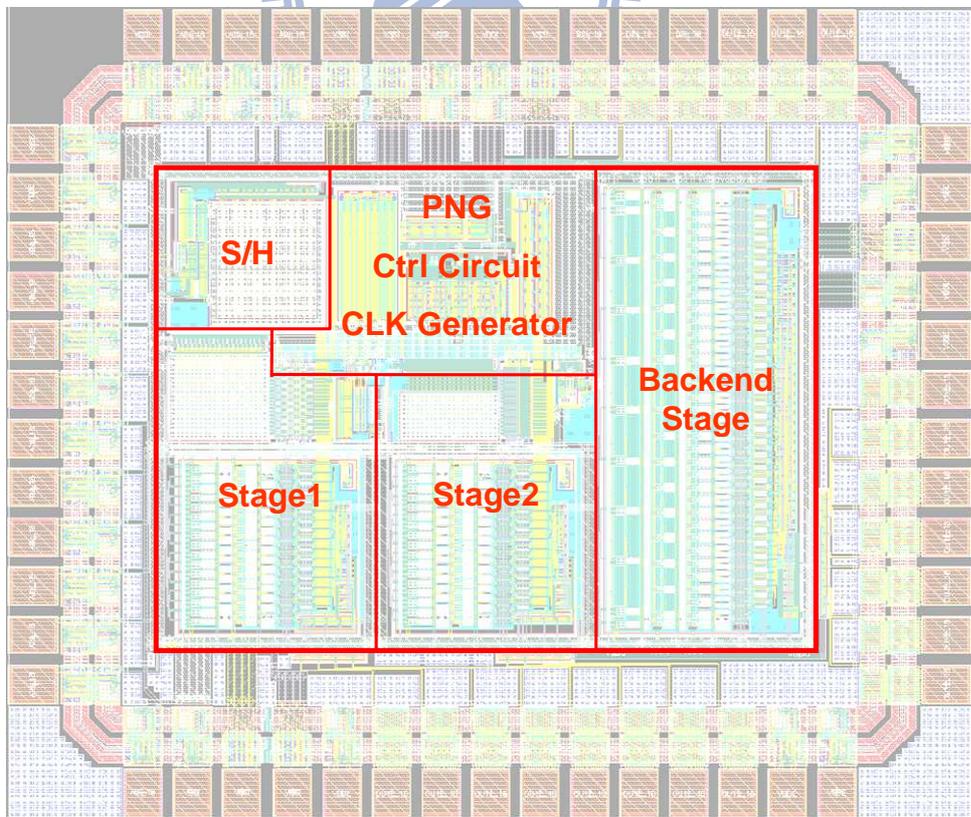


圖 5-29 電路分布位置示意圖

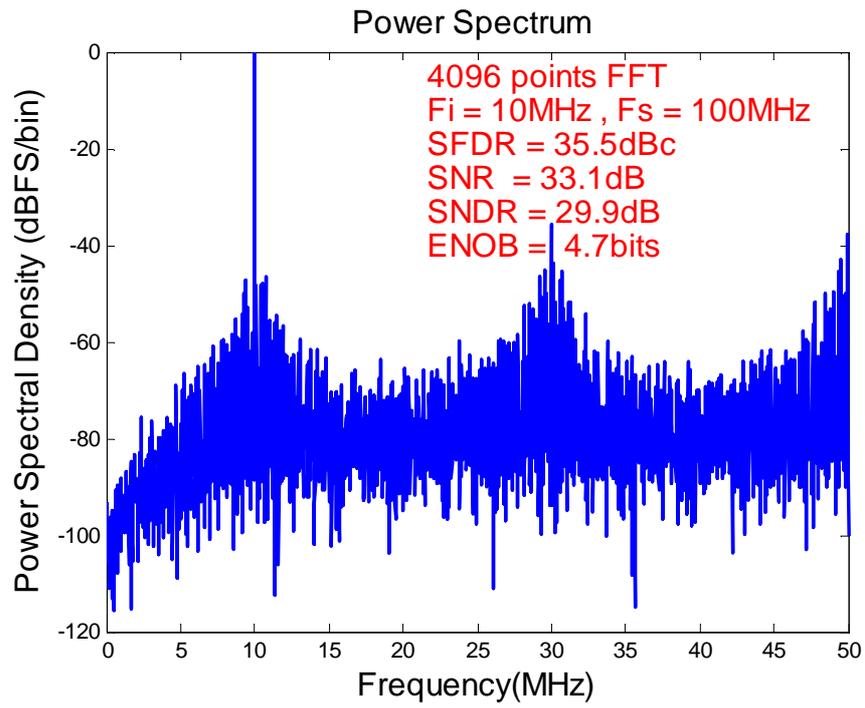


圖 5-30 整體電路 pre-simulation 頻譜分析圖

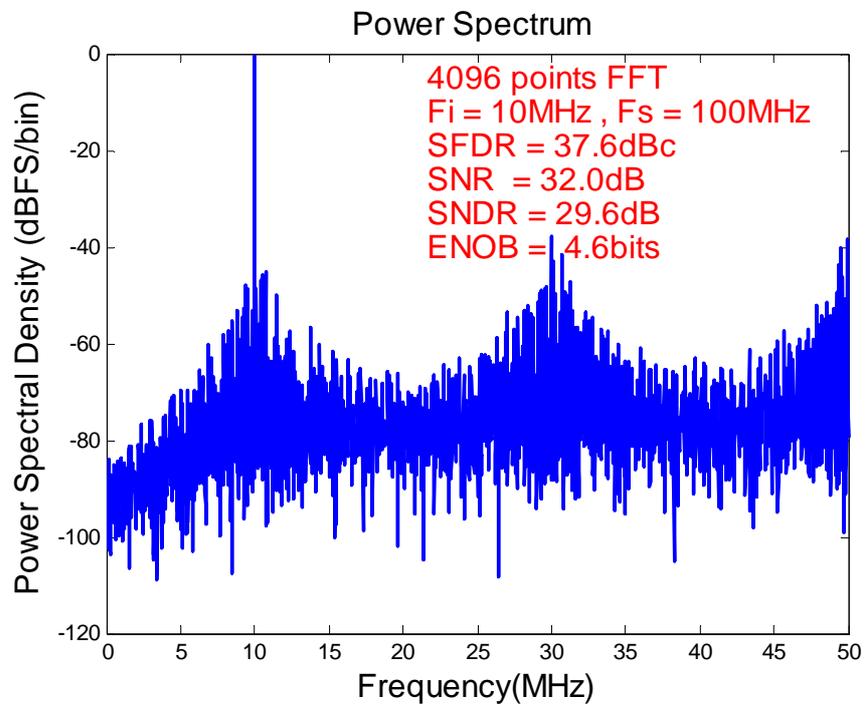
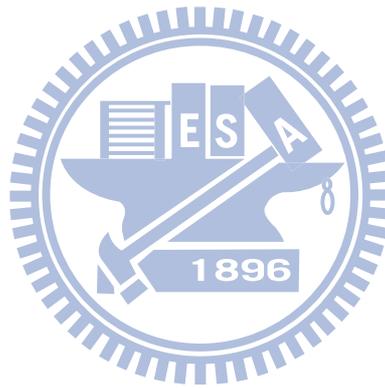


圖 5-31 整體電路 post-simulation 頻譜分析圖

表 5-5 為整體電路在 5 個 Corner：TT、FF、SS、FS、SF 下的模擬數據，及校正後 behavior 的模擬結果。

表 5-5 整體電路在各 Corner 下模擬結果數據表

	Without cal. pre-simulation/ post-simulation				With cal. simulation
Coner	SFDR(dBc)	SNR(dB)	SNDR(dB)	ENOB(bits)	ENOB(bits)
TT	35.5	33.1	29.9	4.7 / 4.6	11.5 (behavior)
FF	32.4	31.6	29.4	4.6 / 4.6	
SS	24.8	28.4	26.8	4.3 / 4.2	
FS	29.7	30.5	28.6	4.5 / 4.4	
SF	27.5	29.6	27.9	4.4 / 4.4	



第六章 量測結果與分析

6.1 量測環境設定

在待測物 (Device Under Test, DUT) 量測的環境設定上，類比輸入訊號由 Agilent 33250A Signal Generator 產生，再經過 TTE KC5T 的 Bandpass Filter (BPF) 以獲得良好之類比訊號輸入源，時脈則由 Agilent 81130A Clock Generator 產生，電源供應的部分為 Agilent E3610A Power Supply 提供，而輸出訊號經過 Altera DE2-70 的 FPGA 板完成 Estimation 和 Calibration，最後由 Agilent 16702B Logical Analyzer 分析晶片的量測結果，量測環境之設定如圖 6-1 所示。

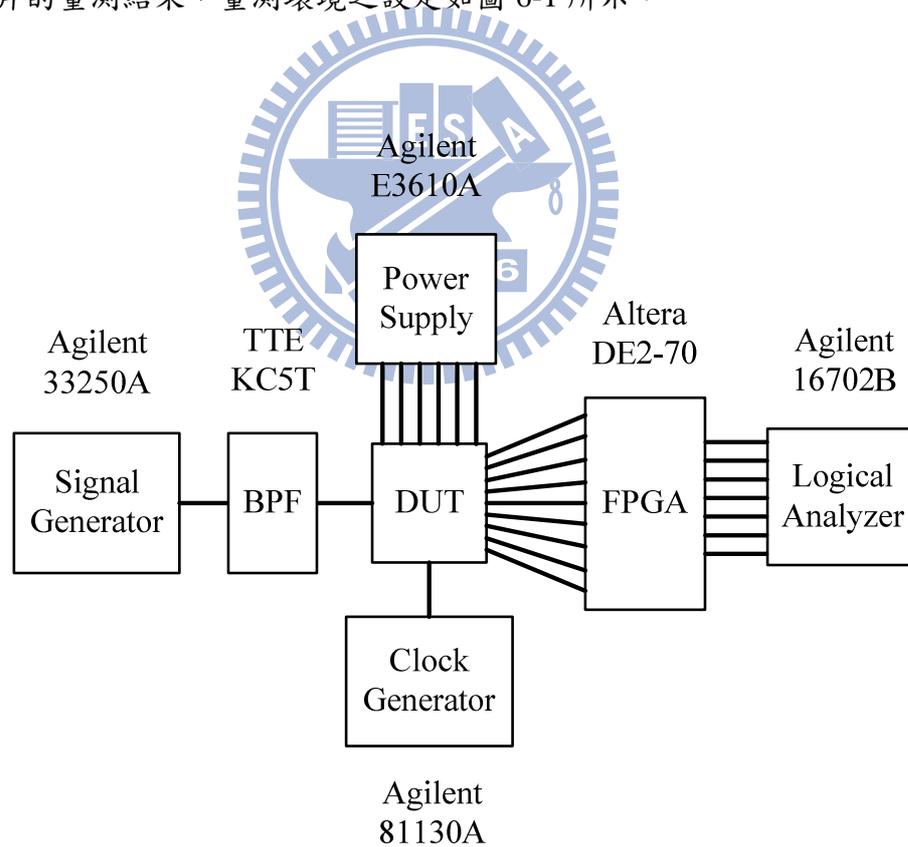


圖 6-1 量測環境設定

6.2 量測電路設計及晶片照

以下為測試板上量測電路的設計[38]，因為輸入訊號源 Agilent 33250A 為單端輸出，所以輸入訊號源需透過 ADT1-1WT 高頻變壓器 (Transformer) 轉成雙端訊號，其電路如圖 6-2 所示。而晶片內所需要的 1.8V 電壓由 ADP3339AKC-1.8 穩壓器 (Regulator) 提供，如圖 6-3 所示，其中 VDDA、VDDD、VDDE 分別代表提供晶片內類比電路、數位電路和靜電防護電路之電壓供應，區分電源供應可使電路獲得較佳之電壓源使彼此間不受干擾。

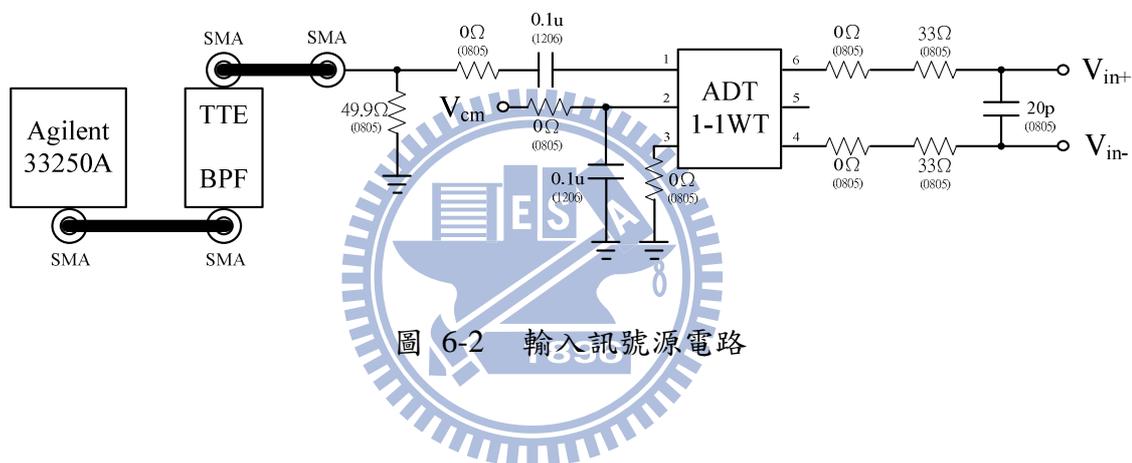


圖 6-2 輸入訊號源電路

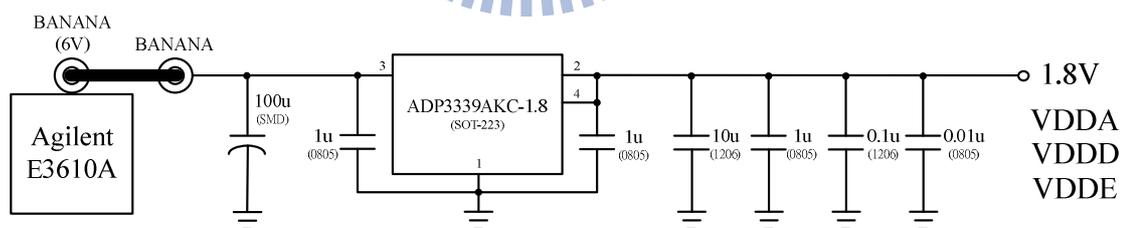


圖 6-3 電源供應電路

測試晶片還需要二個參考電壓 $+V_{ref}$ 、 $-V_{ref}$ 和一個 Common mode 電壓 V_{cm} ，可由圖 6-4 的電路產生，時脈訊號和輸入訊號源電路前端所加的 49.9Ω 為阻抗匹配之用，如圖 6-5 所示，而測試晶片的輸出訊號經過 74LVC244 緩衝器 (Buffer) 產生足夠的推力後輸出至 FPGA 或由 Logical Analyzer 擷取分析，如圖 6-6。

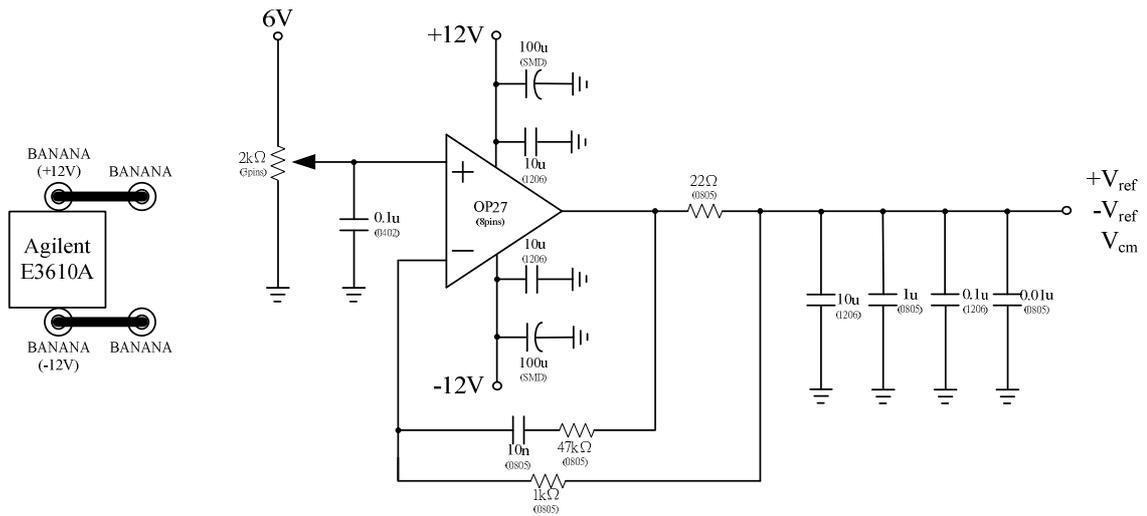


圖 6-4 參考電壓源電路

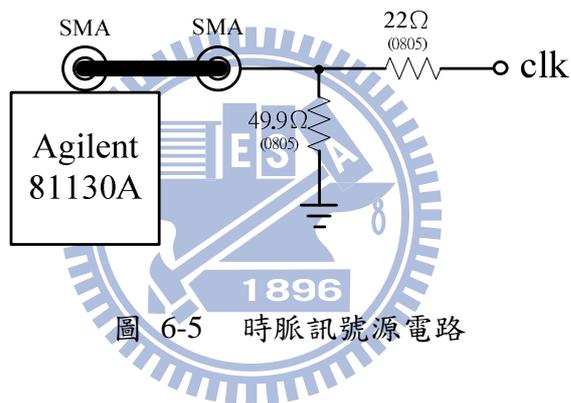


圖 6-5 時脈訊號源電路

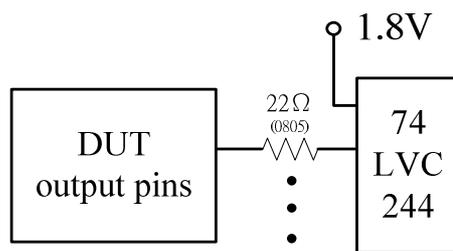


圖 6-6 數位輸出訊號電路

圖 6-7 為打線接合 (Wire Bonding) 後的晶片顯微照片 (Chip Micrograph)。圖 6-8 為電路測試板與 FPGA 板連接之實體照片。

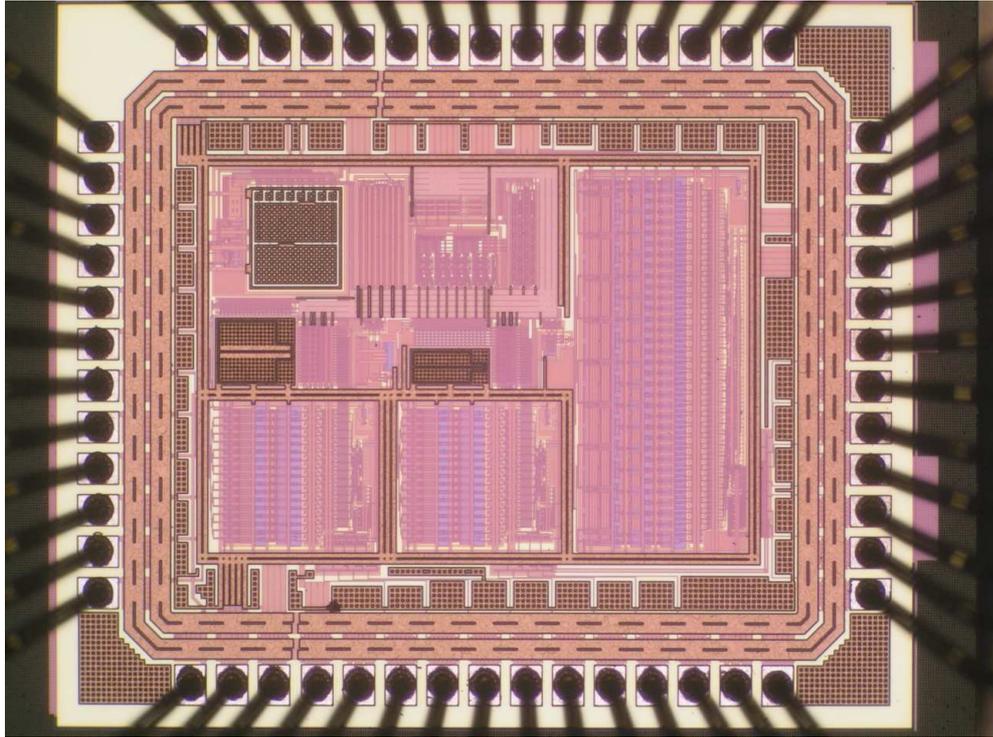


圖 6-7 晶片顯微照片

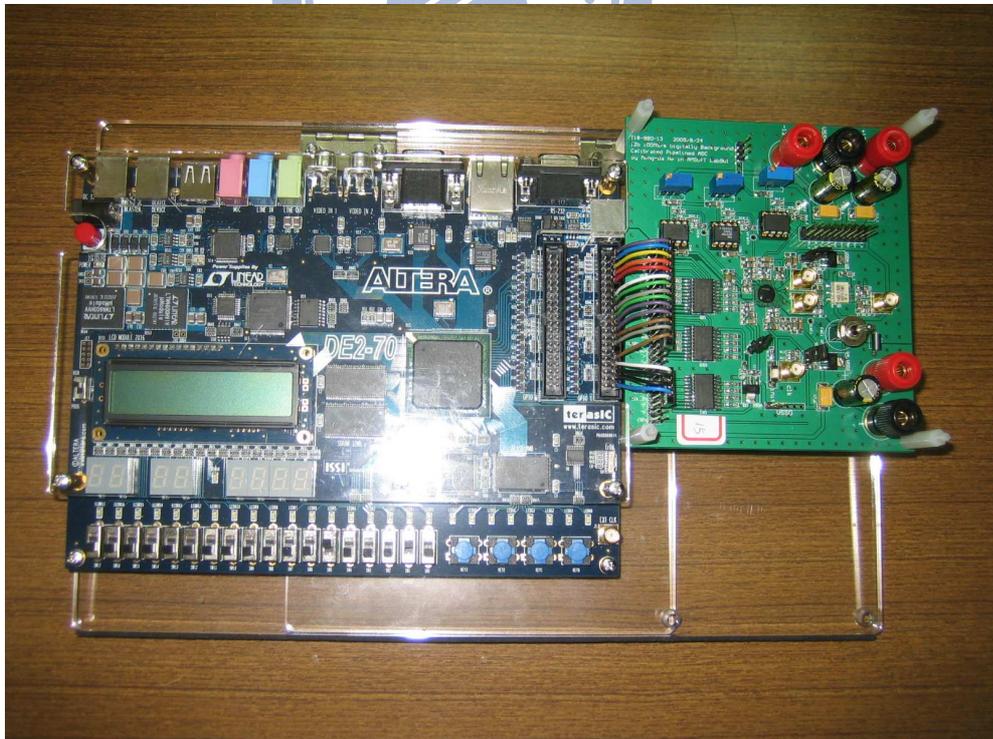


圖 6-8 測試電路板實體照片

6.3 誤差校正前後之量測結果比較

圖 6-9、6-10 分別為第二級校正參數 P_1 、 P_3 的收斂結果 $P_1 = 7.26$ 、 $P_3 = -0.423$ ，可藉由校正參數推出其殘值放大器轉移函式為（式 6.1），從第二級的收斂結果來看不論是誤差量的大小或是校正參數收斂的速度，都與模擬結果預估的相近，約 10% 的線性和三階非線性增益誤差，且 Estimation 電路在每 2^{17} 次取樣後做一次取平均動作的條件下，校正參數經過 LMS 演算法約可在 2^8 次更新後達到收斂，但量測結果中第一級的校正參數收斂結果 $P_1 = 3.96$ 、 $P_3 = -0.779$ 卻明顯有問題，不但誤差量大小或校正參數收斂速度都不盡合理，下一章節將做可能的原因分析，收斂結果如圖 6-11、6-12 所示，其殘值放大器轉移函式為（式 6.2）。

$$G_a(V_x) = 7.26V_x - 112.4V_x^3 \quad (6.1)$$

$$G_a(V_x) = 3.96V_x - 33.6V_x^3 \quad (6.2)$$

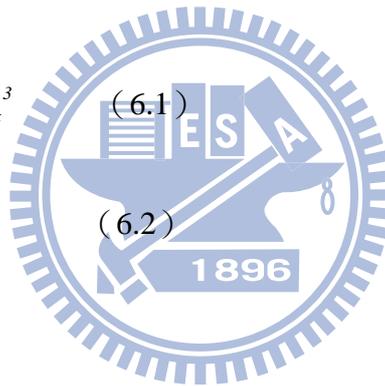


圖 6-13 為校正前頻譜分析結果 ENOB=4.1 bits，而圖 6-14 為校正後頻譜分析結果 ENOB=5.3 bits，因為第一級所估測到的校正參數就有問題，而第一級又是影響 ADC 效能最重要的關鍵，所以校正前後解析度並沒有如預期獲得大幅度的改善。

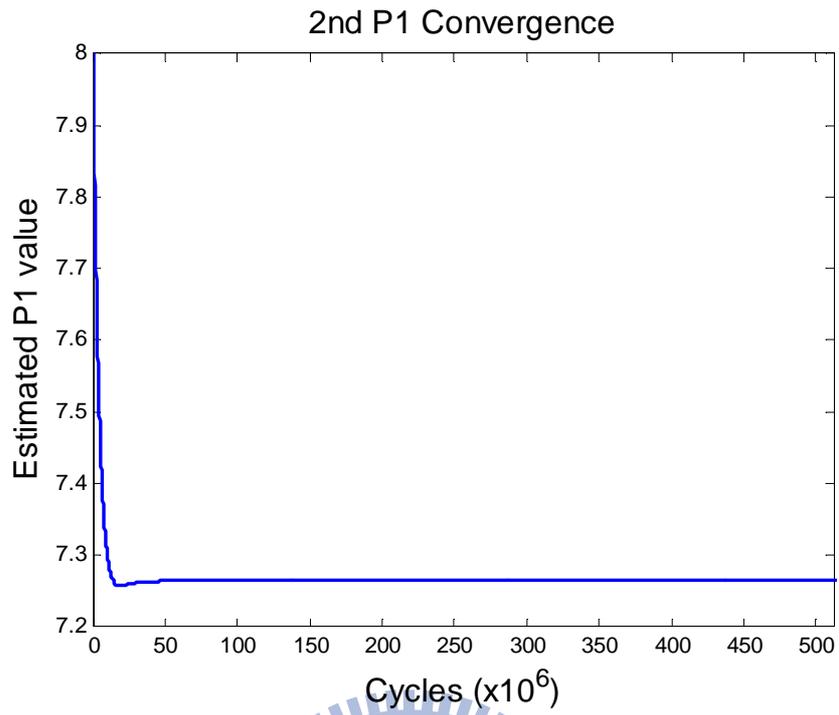


圖 6-9 量測第二級校正參數 P₁ 收斂結果

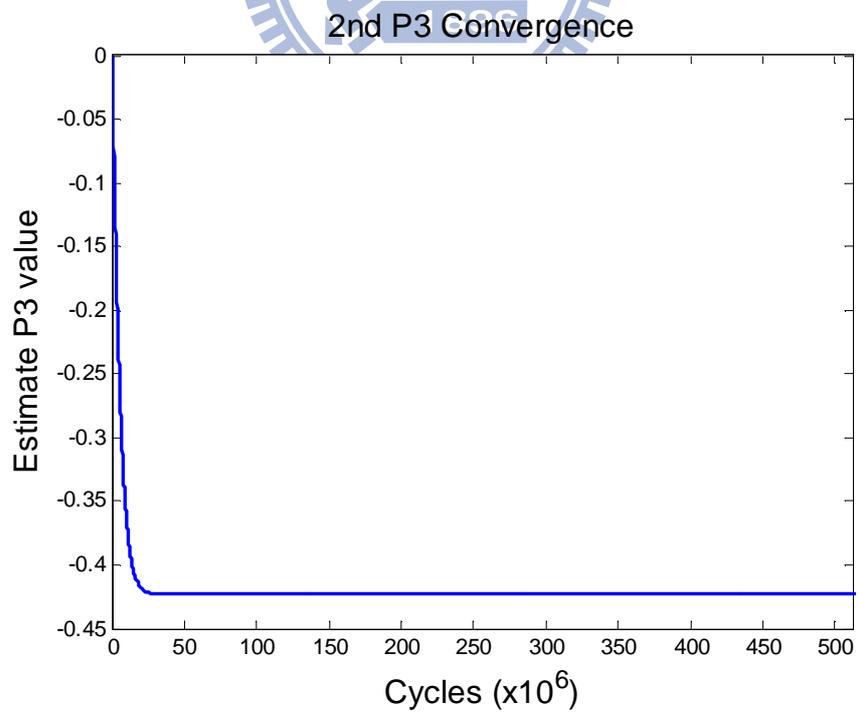


圖 6-10 量測第二級校正參數 P₃ 收斂結果

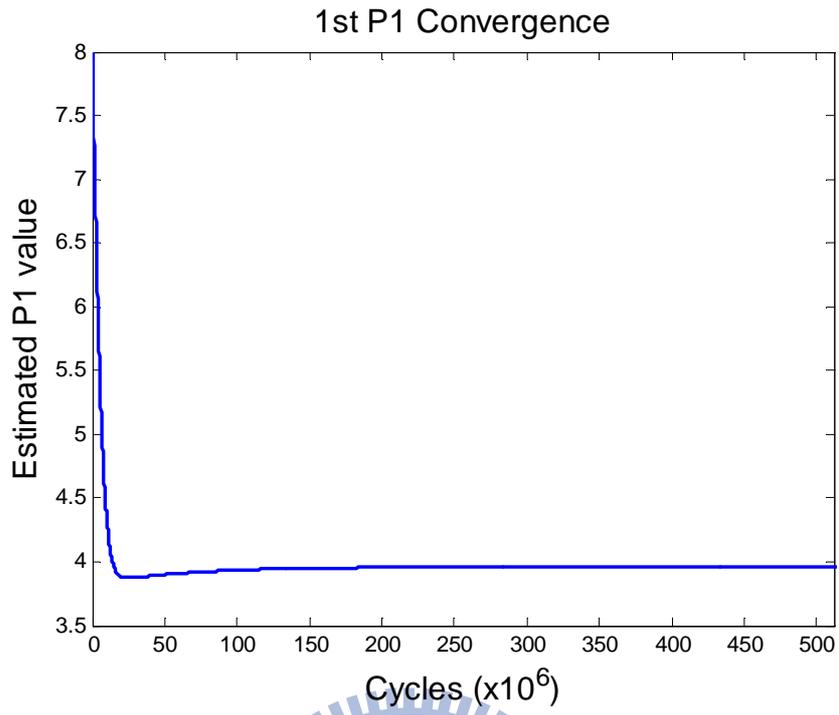


圖 6-11 量測第一級校正參數 P_1 收斂結果

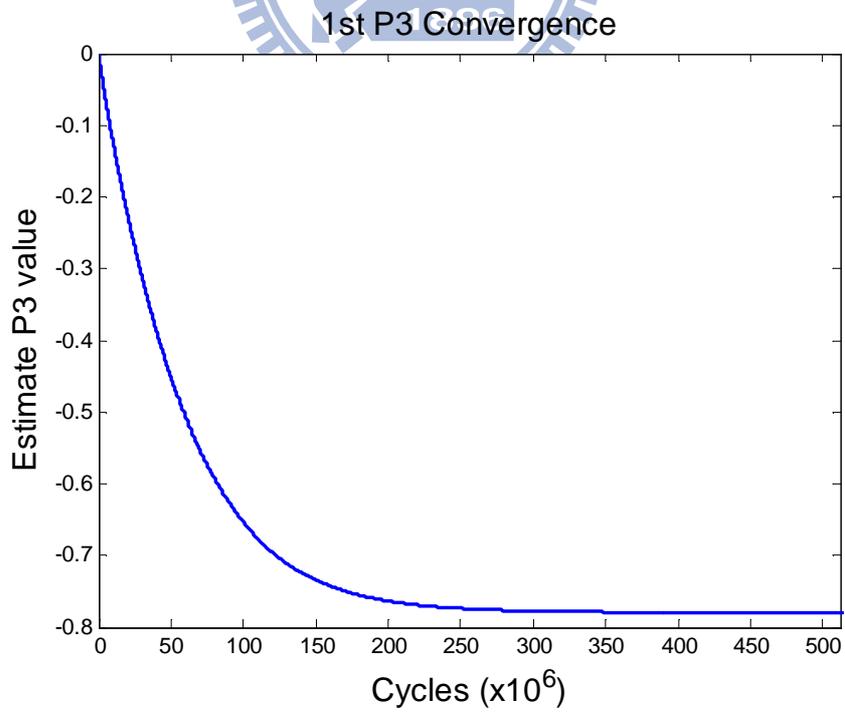


圖 6-12 量測第一級校正參數 P_3 收斂結果

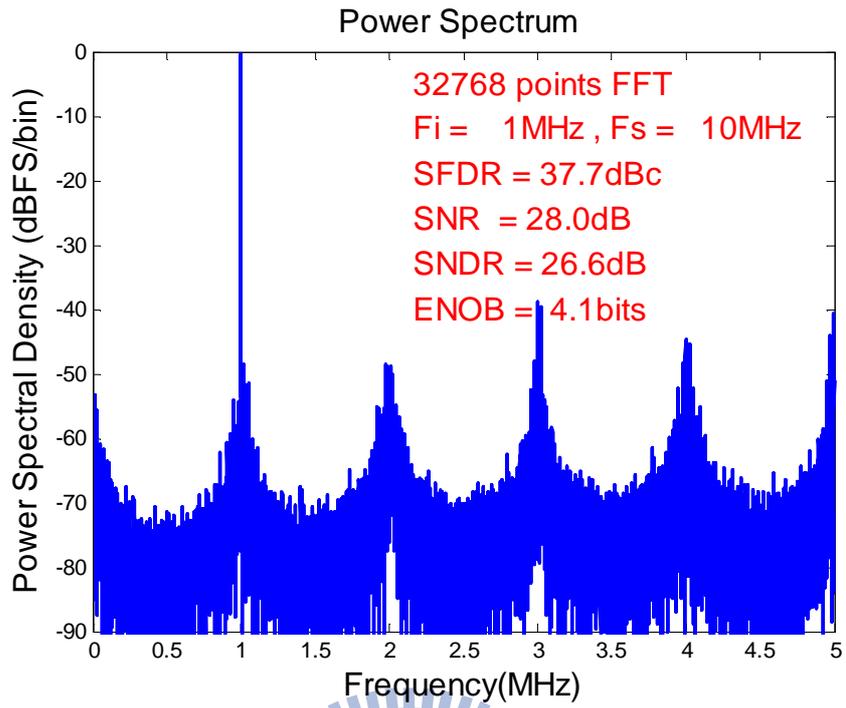


圖 6-13 量測校正前頻譜分析結果

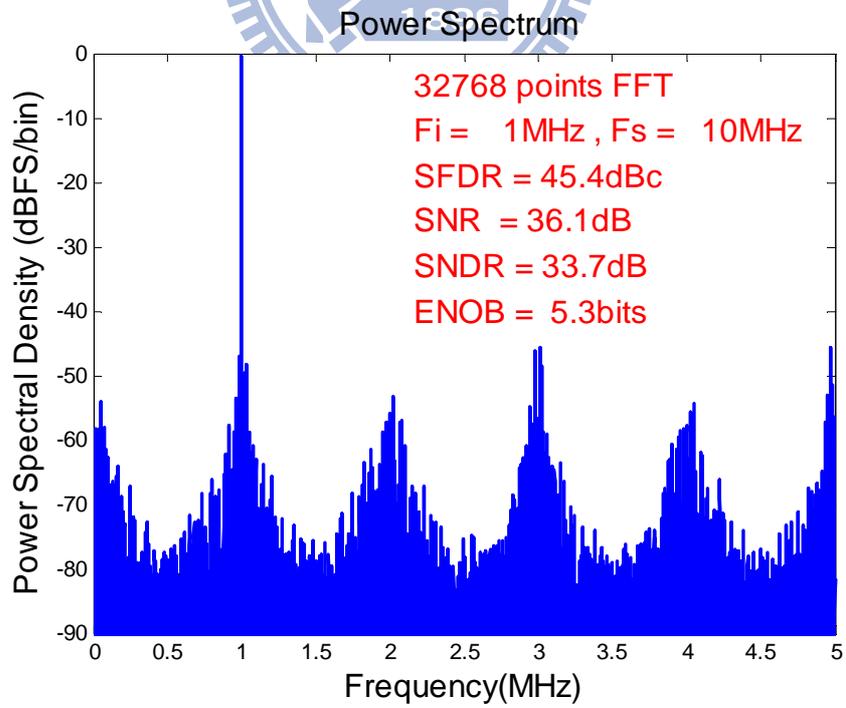


圖 6-14 量測校正後頻譜分析結果

6.4 量測結果分析

以量測到的校正參數：第一級 $P_1 = 3.96$ 、 $P_3 = -0.779$ 、第二級 $P_1 = 7.26$ 、 $P_3 = -0.423$ ，可反推回殘值放大器的線性和三階非線性增益誤差量，即（式 6.1）和（式 6.2），若以此誤差量由 Matlab 模擬驗證，設定條件同 4.5 章節的情況下頻譜分析結果顯示依舊可校正回 ENOB=10.6 bits，如圖 6-15 所示，由此可知應該有其他因素影響了估測校正參數的結果，進而導致校正結果不甚理想，主要原因是模擬 Backend Stage 時預設為一理想之 6-bit ADC，雖然電路以 6-bit flash ADC 架構實現且模擬時達到 5.9 bits，但從圖 4-4 之校正模組可發現 Backend ADC 透過 Calibration 的反函式（式 4.3）來進行三階非線性增益誤差之校正補償，而反函式 $e[D_{bi,k}]$ 為一非線性函式，因此若 Backend ADC 含有 Offset 時則可能造成前一級的校正參數估測和收斂錯誤，因此我們模擬當 Backend Stage 導入 8LSB 的 Offset 時，校正參數的收斂結果如圖 6-16、6-17、6-18、6-19 所示，可發現校正參數並未收斂至理想值且誤差甚大，同時也造成校正後頻譜分析結果不甚理想，如圖 6-20 所示。

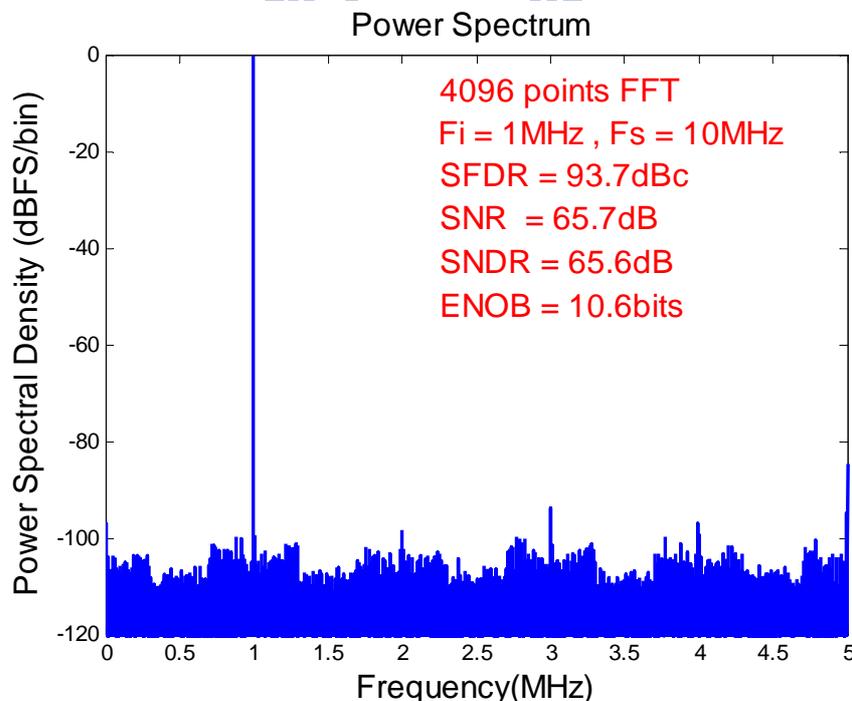


圖 6-15 Matlab 模擬量測之誤差量校正後頻譜分析結果

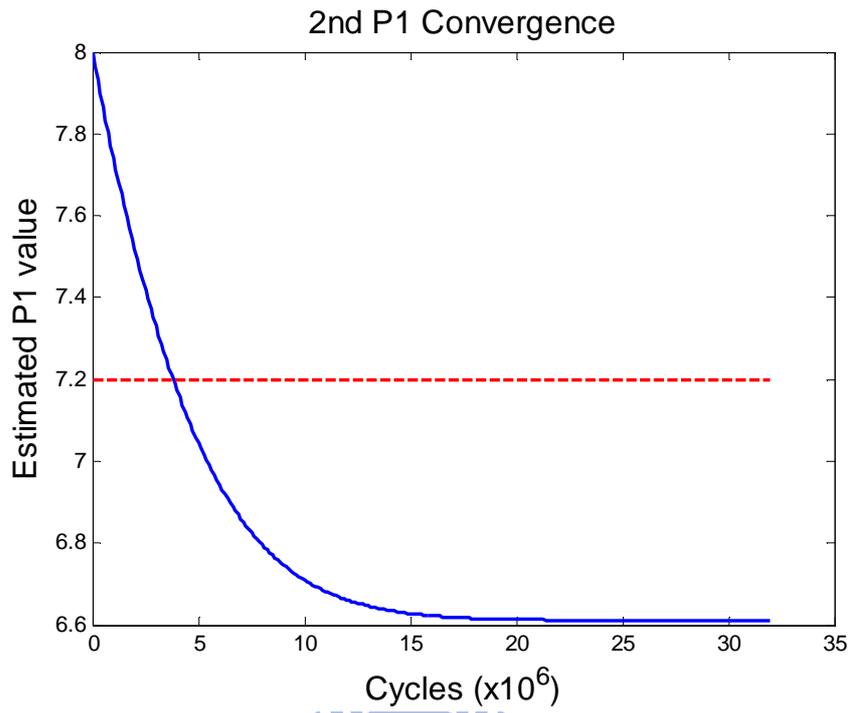


圖 6-16 含有偏移誤差時 Matlab 模擬第二級校正參數 P₁ 收斂結果

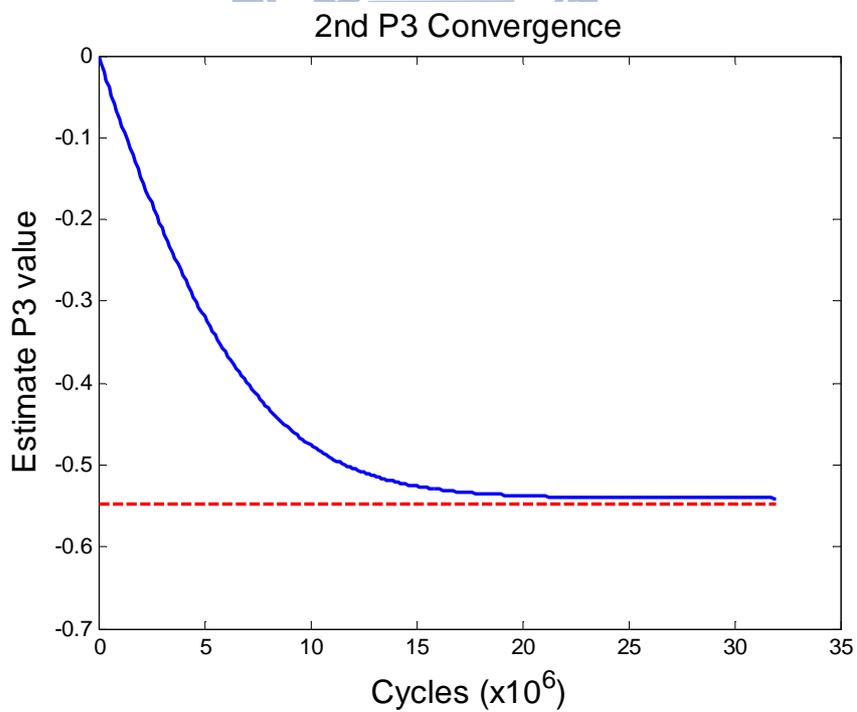


圖 6-17 含有偏移誤差時 Matlab 模擬第二級校正參數 P₃ 收斂結果

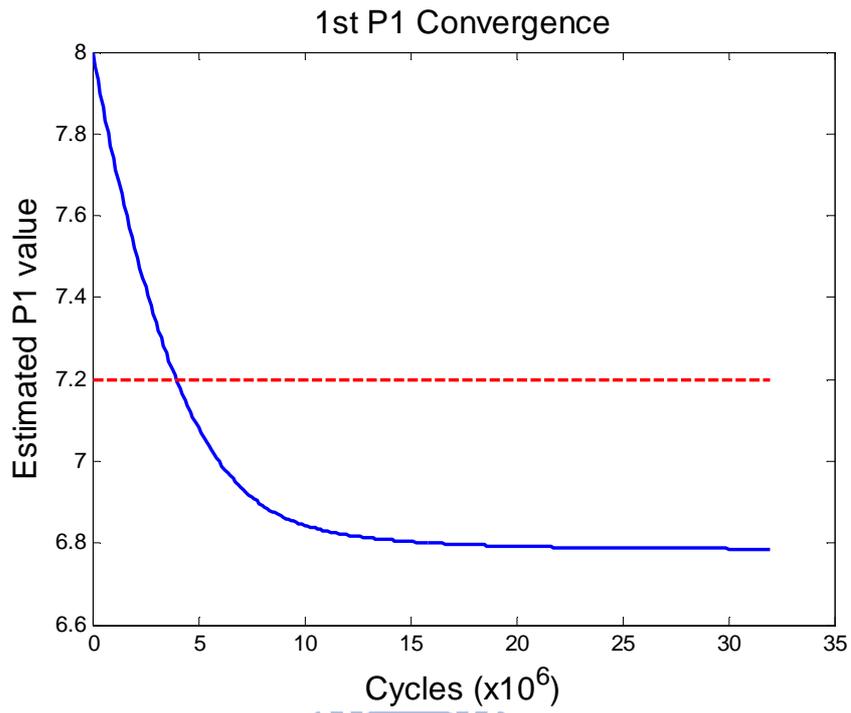


圖 6-18 含有偏移誤差時 Matlab 模擬第一級校正參數 P_1 收斂結果

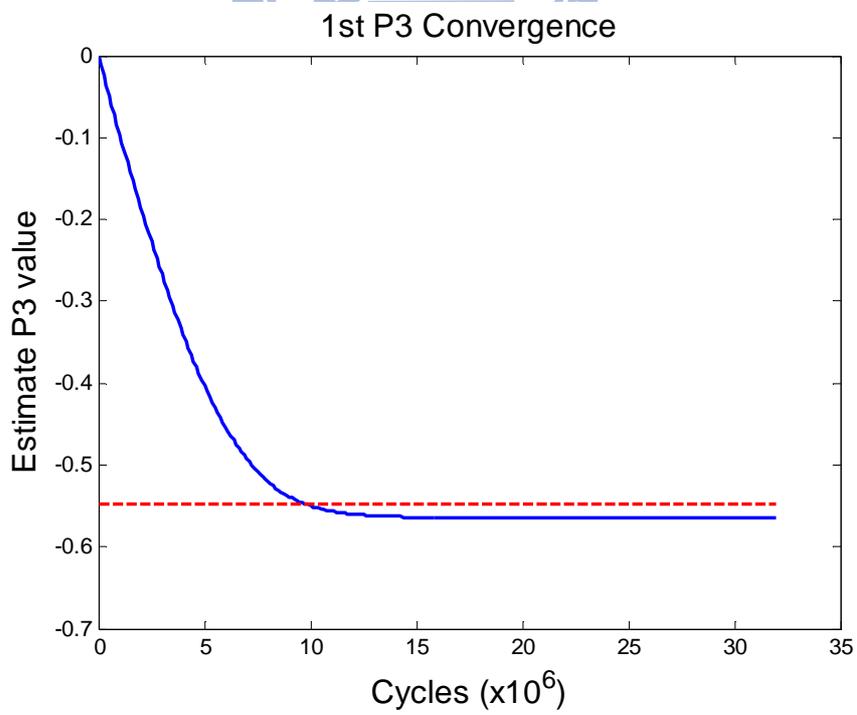


圖 6-19 含有偏移誤差時 Matlab 模擬第一級校正參數 P_3 收斂結果

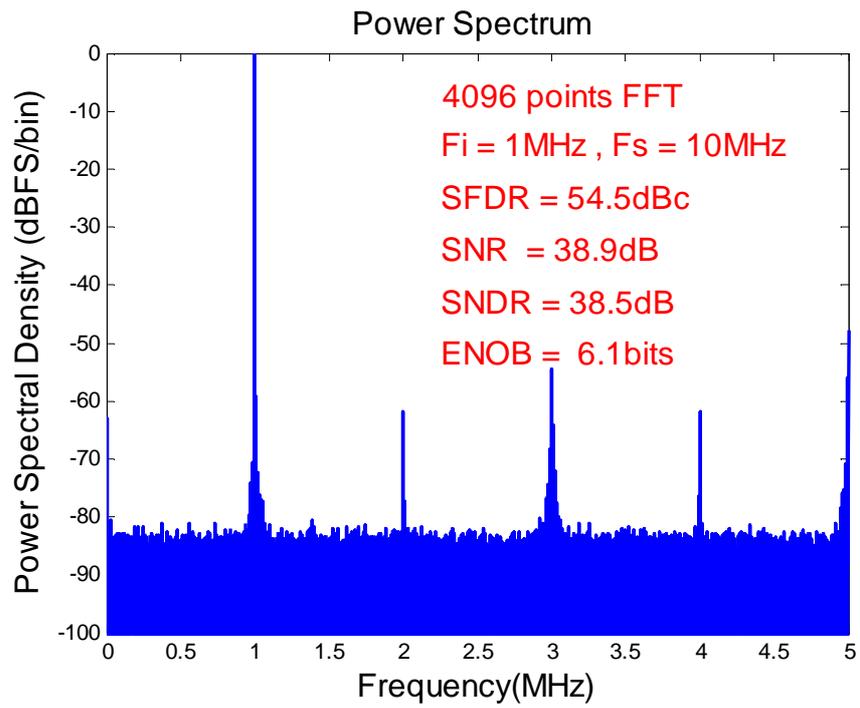


圖 6-20 含有偏移誤差時 Matlab 模擬校正後頻譜分析結果



第七章 結論與未來發展

7.1 結論

低功率消耗的類比數位轉換器已是重要的研究趨勢，而輔以數位校正機制使在低功率消耗下的類比數位轉換器同時又可達到高效能之表現更是勢在必行，綜觀近幾年關於各種架構的類比數位轉換器之文獻均是如此[39,40]，因此本論文提出一個具備數位背景校正技術使用開迴路式殘值放大器之導管式類比數位轉換器 (A Digitally Background Calibrated Pipelined ADC Using Open-Loop Residue Amplifiers)，以具備操作在高速、高解析度且具有低功率消耗的特性，模擬結果顯示校正前 $DNL=0.5/-1.0LSB$ 、 $INL=16.7/-16.7LSB$ 而校正後 $DNL=0.8/-1.0LSB$ 、 $INL=0.6/-0.6LSB$ 可獲得大幅改善，動態參數的表現上校正前 $SFDR=54.1dBc$ 、 $SNR=46.2dB$ 、 $SNDR=44.4dB$ 、 $ENOB=7.1$ bits，而校正後也可大幅提升至 $SFDR=94.5dBc$ 、 $SNR=71.0dB$ 、 $SNDR=71.0dB$ 、 $ENOB=11.5$ bits，在不包含全數位實現的 Estimation 和 Calibration 電路時此 ADC 功率消耗為 71.2mW，而電路實現上我們以台積電 0.18 μm Mixed-Mode RF CMOS 製程，具體實現一個數位背景校正每秒一億次取樣十二位元使用開迴路式殘值放大器設計之導管式類比數位轉換器 (A 12-bits 100MS/s Digitally Background Calibrated Pipelined ADC using Open-Loop Residue Amplifier)，雖然電路實現的量測結果顯示校正機制尚未完全成功，但從模擬結果來看成功後與近幾年重要文獻相較上，本論文所提出之校正方法將具有相當的優勢，參考表 7-1 所示。

表 7-1 Benchmark of the ADC

	ISSCC '06[41]	JSSC '07[16]	JSSC '09[42]	ISSCC '09[23]	This Work (behavior)
Process	0.13um	0.35um	90nm	90nm	0.18um
Supply voltage	1.5V	3V	1.2V	1.2V	1.8V
Sampling rate	100MS/s	75MS/s	100MS/s	100MS/s	100MS/s
Peak SNR	71.4dB	66.5dB	73.0dB	70.0dB	71.0dB
Peak SFDR	--	75.8dBc	90.0dBc	68.8dBc	94.5dBc
Peak SNDR	--	65.6dB	73.0dB	68.8dB	71.0dB
Power consumption	224mW	284mW	250mW	130mW	71.2mW (excluding all digital circuit)

7.2 未來可改進方向之建議

經過量測及分析結果後，有下列幾點建議提供作為未來可改進之方向：

- 因為整體電路架構複雜又有些演算法是由 FPGA 實現，且因為運用到 Correlation-based 的概念，模擬上需要的資料量過於龐大，僅能做 Behavior-simulation 而無法進行電路的 post-simulation，故可在各級之間加入測試電路 (Design-for-Testability, DfT) 單獨量測各級，在除錯 (Debug) 時才能更精確掌握問題發生之原因。
- 設法解決當 Backend ADC 或 Sub_ADC 存在 Offset 時，可能會對後續 Estimation 和 Calibration 演算法產生的影響。
- 可將導入之隨機校正訊號 $\pm N_{d1}, \pm N_{d2}$ 的振幅縮小，則當 Sub_ADC 中的比較器產生偏移誤差或是增益級產生增益誤差時，增加 MDAC 可容許錯誤範圍，不過相對來說缺點是這樣會使校正參數的收斂時間拉長。

- 雖然此論文所提的校正方法可用在多級校正級，但設計的 12-bit Pipelined ADC 前二級均為校正級，使得架構複雜度大為提升，故初步階段可考慮僅先使用單一級校正級，確保電路可校正成功後再往下發展。
- 為追求低功率消耗的設計本論文 MDAC 採用 Open-Loop 的架構設計，亦可考慮以低開迴路增益之 Close-Loop 架構實現，再評估二種架構的功率消耗和穩定度之表現。
- 圖 5-3 Bootstrapped Switch 電路中電晶體 M_0 的基板 (Body)，可藉由提供的 Deep N-well 製程技術，將基板電壓接至源極 (Source) 端以消除基板效應 (Body Effect)，使開關具有更為線性的導通阻值進而提升整體 S/H 電路效能，圖 7-1 為消除 Body Effect 後 S/H 電路 pre-simulation 的頻譜分析結果，ENOB 可由原來的 11.8 bits 提升至 12.5 bits。

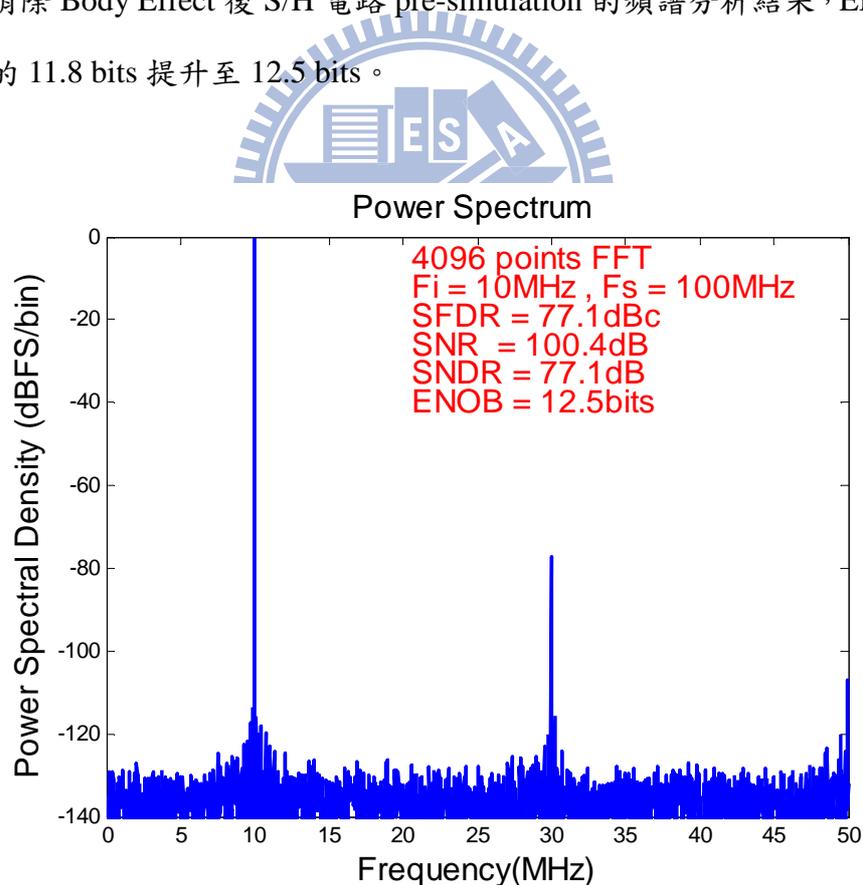


圖 7-1 消除 Body Effect 後 S/H pre-simulation 頻譜分析圖

文獻參考

-
-
- [1] ITRS, International Technology Roadmap for Semiconductors 2009 Update System Drivers.
- [2] S.-C. Liang, D.-J. Huang, C.-K. Ho, and H.-C. Hong, "10 G Samples/s, 4-bit, 1.2V, Design-for-Testability ADC and DAC in 0.13 μ m CMOS technology," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp.416 - 419, Nov. 2007.
- [3] C.-K. Ho and H.-C. Hong, "A 6-GS/s, 6-bit, At-speed Testable ADC and DAC pair in 0.13 μ m CMOS," in *Proc. Int. Symp. on VLSI Design, Automation and Test (VLSI-DAT)*, pp. 207-210, Apr. 2009.
- [4] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*. John Wiley & Sons, Inc. NJ: Hoboken, 2005.
- [5] L.Yao, M. Steyaert, and W. Sansen, "A 1V 88dB 20kHz $\Sigma\Delta$ Modulator in 90nm CMOS," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, vol. 1, pp. 80–514, 2009.
- [6] I. Mehr and L.Singer, "A 55-mW, 10-bit, 40-Msample/s Nyquist-Rate CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 318–325, Mar. 2000.
- [7] B.-M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s Pipelined CMOS ADC," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 324–325, 2003.
- [8] H.-C. Hong and G.-M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2161–2168, Oct. 2007.
- [9] C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, C.-M. Huang, C.-H. Huang, L. Bu, and C.-C. Tsai, "A 10b 100MS/s 1.13mW SAR ADC with Binary-Scaled Error Compensation," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 386–387, 2010.
- [10] D. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 1997.
- [11] IC Knowledge, Exponential Trends in the Integrated Circuit Industry.

- [12] Y. Chiu and P. R. Gray, "A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139–2151, Dec. 2004.
- [13] S. H. Lewis and P. R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 22, no. 6, pp. 954–961, Dec. 1987.
- [14] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599–606, May 1999.
- [15] B. Murmann and B. E. Boser, "A 12-bit 75-Ms/s Pipelined ADC Using Open-Loop Residue Amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040–2050, Dec. 2003.
- [16] E. Iroaga and B. Murmann, "A 12-Bit 75-Ms/s Pipelined ADC Using Incomplete Settling," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 748–756, Apr. 2007.
- [17] J. P. Keane, P. J. Hurst, and S. H. Lewis, "Background Interstage Gain Calibration Technique for Pipelined ADCs," *IEEE Trans. on Circuits and Syst. I, Reg. Papers*, vol. 52, no. 1, pp. 32–43, Jan. 2005.
- [18] H.-C. Liu, Z.-M. Lee, and J.-T. Wu, "A 15-b 40-MS/s CMOS Pipelined Analog-to-Digital Converter With Digital Background Calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1047–1056, May 2005.
- [19] Z.-M. Lee, C.-Y. Wang, and J.-T. Wu, "A CMOS 15-bit 125-MS/s Time-Interleaved ADC With Digital Background Calibration," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2149–2160, Oct. 2007.
- [20] J.-L. Fan, C.-Y. Wang, and J.-T. Wu, "A Robust and Fast Digital Background Calibration Technique for Pipelined ADCs," *IEEE Trans. on Circuits and Syst. I, Reg. Papers*, vol. 54, no. 6, pp. 1213–1223, Jun. 2007.
- [21] A. Panigada and I. Galton, "Digital Background Calibration of Harmonic Distortion in Pipelined ADCs," *IEEE Trans. on Circuits and Syst. I, Reg. Papers*, vol. 53, no. 9, pp. 1885–1895, Sep. 2006.
- [22] E. Siragusa and I. Galton, "A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126–2138, Dec. 2004.
- [23] A. Panigada and I. Galton, "A 130mW 100MS/s Pipelined ADC with 69dB SNDR Enabled by Digital Harmonic Distortion Correction," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 162–163, 2009.

- [24] A. Meruva and B. Jalali, "Digital Background Calibration of Higher Order Nonlinearities in Pipelined ADCs," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1233-1236, May 2007.
- [25] B. J. Farahani and A. Meruva, "Low Power High Performance Digitally Assisted Pipelined ADC," *IEEE Computer Society Annual Symposium on VLSI*, pp. 111-116, Apr. 2008.
- [26] A. Meruva and B. J. Farahani, "A 14-b 32MS/s Pipelined ADC with Novel Fast-Convergence Comprehensive Background Calibration," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 956-959, Sep. 2009.
- [27] M.-S. Wu, "A Novel Digital Background Calibration Scheme for Multistage ADCs," Master's thesis, National Chiao-Tung University, Taiwan, Department of Electrical and Control Engineering, Jul. 2006.
- [28] B. Widrow and S. D. Stearns, *Adaptive Signal Processing*. Englewood Cliffs, NJ: Prentice-Hall, 1985.
- [29] X. Wang, P. J. Hurst, and S. H. Lewis, "A 12-Bit 20-Msample/s Pipelined Analog-to-Digital Converter With Nested Digital Background Calibration," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1799-1808, Nov. 2004.
- [30] W. Yang, D. Kelly, I. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC With 85-dB SFDR at Nyquist Input," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1931-1936, Dec. 2001.
- [31] I. Galton, "Why Dynamic-Element-Matching DACs Work," *IEEE Trans. on Circuits and Syst. II, Exp. Briefs*, vol. 57, no. 2, pp. 69-74, Feb. 2010.
- [32] T.-S. Mohammad and A. A. Hamoui, "Analysis of Dynamic Element (DEM) in Pipelined ADCs," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 5263-5266, Sep. 2006.
- [33] N. H. E. Weste and D. Harris, *CMOS VLSI Design: a Circuits and Systems Perspective*. Pearson Education, Inc., Boston: Addison Wesley, 2005.
- [34] C.-K. Ho, "Design of 5GS/s 6-bit ADC and DAC," Master's thesis, National Chiao-Tung University, Taiwan, Department of Electrical and Control Engineering, Jul. 2007.
- [35] K. Kattmann and J. Barrow, "A Technique for Reducing Differential Non-Linearity Errors in Flash A/D Converters," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 170-171, 1991.

- [36] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D Converter in 0.35- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847–1858, Dec. 2001.
- [37] P. C. S. Scholtens and M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18- μ m CMOS Using Averaging Termination," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1599-1609, Dec. 2002.
- [38] Analog Devices Inc., 14-Bit, 150MSPS, 1.8V Analog-to-Digital Converter AD9254 Datasheet.
- [39] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC Using Dynamic Source Follower Residue Amplification," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1057-1066, Apr. 2009.
- [40] Y.-Z. Lin, C.-C. Liu, G.-Y. Huang, Y.-T. Shyu, and S.-J. Chang, "A 9-bit 150-MS/s 1.53-mW Subranged SAR ADC in 90-nm CMOS," *IEEE Symp. On VLSI Circuits*, pp.243-244, Jun. 2010.
- [41] P. Bogner, F. Kuttner, C. Kropf, T. Hartig, M. Burian, and H. Eul, "A 14b 100MS/s Digitally Self-Calibrated Pipelined ADC in 0.13 μ m CMOS," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 832–841, 2006.
- [42] H. V. de Vel, B. A. J. Buter, H. van der Ploeg, M. Vertregt, G. J. G. M. Geelen, and E. J. F. Paulus, "A 1.2-V 250-mW 14-b 100-MS/s Digitally Calibrated Pipeline ADC in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1047–1056, Apr. 2009.