

第六章 結論與未來展望

6.1 結論

在本篇論文中，我們設計一個用於數位訊號處理(DSP)應用，功率意識管線式正負號 Dadda 乘法器。並且使用雙節制技術：即同時節制乘積與輸入，來達到功率意識的效果。

本論文是用 VHDL 設計，以 Synopsys 公司的 Design Analyzer 作合成，Prime Power 做為估計 power 的工具，我們以訊號-雜音比 (Signal-Noise Ratio, SNR) 來代表品質，並且使用 Battery Design Player 模擬 battery lifetime。

根據損失品質的功率意識指標做法，我們設定 mode 數為 4， $Q_{ave} = 72$ dB， $Q_{th} = 50$ dB。選擇 battery lifetime 最長的節制方式，即輸入設為零與乘積保留前值 (IZ-PD) 做為功率意識乘法器，其 4-mode 為 (ori-ori, I2-P13, I2-P14, I3-P13) 的 battery lifetime 為 215815 分鐘。使用 Design Analyzer 估計面積，為 6313.96。

我們另外比較 16 × 16 bit 未做功率意識的 Dadda 乘法器，這個乘法器同樣是做正負號乘法並且插入 6 stages 管線暫存器，與功率意識乘法器的差別在於輸入暫存器為一般的暫存器而不做節制輸入之用，1st 管線暫存器為一般的暫存器而不做節制乘積之用，並且沒

有控制節制輸入與乘積的combination circuit。其SNR為 85.542 dB，跟功率意識乘法器的ori-ori模式的SNR是相同的。以Prime Power估計power為 2.956 mW，模擬battery lifetime為 157256.3 分鐘。使用Design Analyzer估計面積，為 6474.45。

圖 57 為功率意識乘法器與未做功率意識乘法器的 battery lifetime，因為二者在 mode 1 的功率差不多，所以在 mode 1 的 battery lifetime 是很接近的，之後 lifetime 的差異才開始擴大。表 9 為二者的比較，可得知功率意識乘法器的 battery lifetime 比未做功率意識乘法器增加 $(215815 - 157256.3) / 157256.3 = 37.24\%$ ，SNR 下降 $85.542 - 72 = 13.542$ dB，面積增加 $(6474.45 - 6313.96) / 6313.96 = 2.54\%$ 。

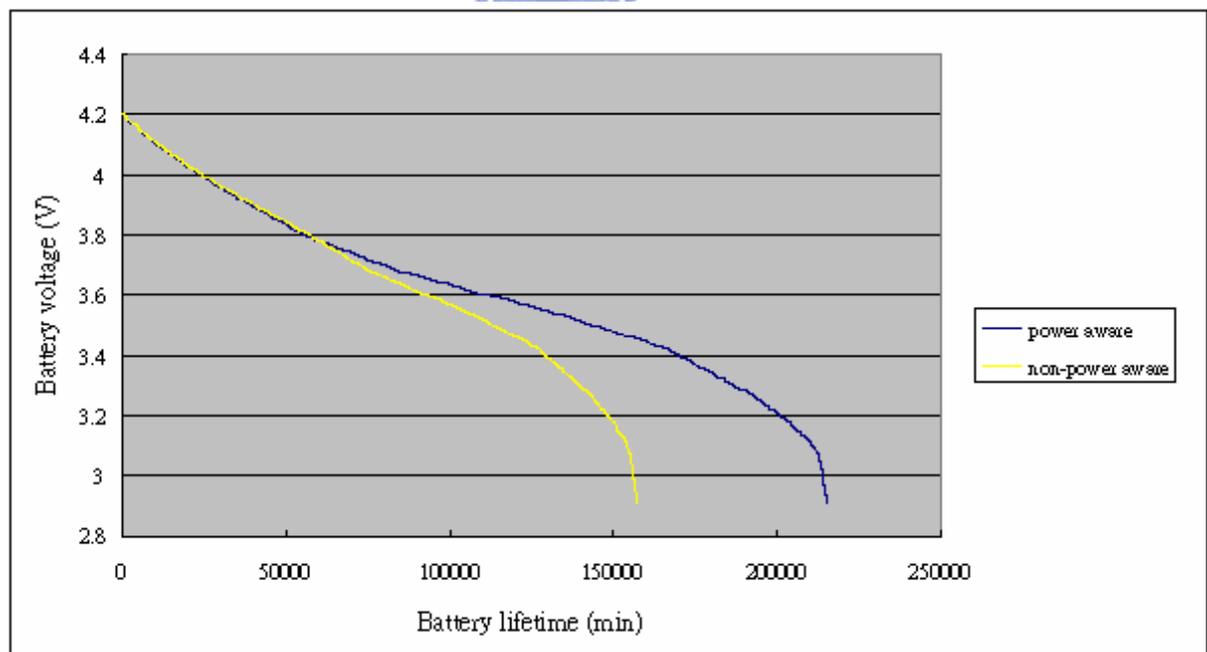


圖 57 功率意識乘法器與未做功率意識乘法器的 battery lifetime

Multiplier type	Power (mW)	SNR (dB)	Battery lifetime (min)	Area (gate count)
16x16 bit non-power aware Dadda multiplier	2.956	85.542	157256.3	6313.96
16x16 bit power aware Dadda multiplier	(3.037, 1.887, 1.802, 1.791)	72	215815	6474.45
Increase ment	N/A	-13.542	37.24%	2.54%

表 9 功率意識乘法器與未做功率意識乘法器的比較

6.2 未來展望

本論文設計的乘法器應用於數位訊號處理(DSP)，可由使用者自行訂定mode數、 Q_{ave} 、以及 Q_{th} ，實驗將此乘法器用於DSP濾波器，可大幅降低DSP濾波器的功率消耗，延長battery lifetime，而且不會對品質造成太大的影響。

