

# 目 錄

中文提要	.....	i
英文提要	.....	ii
誌謝	.....	iii
目錄	.....	iv
表目錄	.....	vi
圖目錄	.....	vii
一、	緒論	1
1.1	研究動機	1
1.2	章節安排	4
二、	功率意識指標	6
2.1	未損失品質的功率意識指標	6
2.2	損失品質的功率意識指標	12
三、	研究背景	37
3.1	Baugh-Wooley 乘法演算法	37
3.2	各種乘法器之架構	39
3.2.1	陣列乘法器	39
3.2.2	Wallace 乘法器	44
3.2.3	Dadda 乘法器	46
3.2.4	比較分析	48
3.3	管線正負號 Dadda 乘法器之架構	50
3.3.1	Brent-Kung CLA 加法器	51
3.3.2	管線暫存器之設置	54
四、	功率控制之機制	59
4.1	節制乘積	60
4.2	節制輸入	65
4.3	組合節制乘積與節制輸入的四種方式	67
五、	功率意識乘法器架構	73
5.1	分析結果	73
5.1.1	輸入設為零與乘積設為零 (IZ-PZ) 之結果	73
5.1.2	輸入保留前值與乘積設為零 (ID-PZ) 之結果	81
5.1.3	輸入設為零與乘積保留前值 (IZ-PD) 之結果	86

5.1.4	輸入保留前值與乘積保留前值(ID-PD)之結果.....	91
5.1.5	功率意識乘法器架構之選擇.....	96
5.2	功率意識乘法器之實現.....	97
六、	結論與未來展望.....	102
6.1	結論.....	102
6.2	未來展望.....	104
參考文獻	.....	105



## 表目錄

表 1	n=16 的常數 .....	16
表 2	常數修正位置 .....	17
表 3	HE18650 鋰電池之規格與工作容許範圍 .....	25
表 4	(original, I0, I2, I4) 操作模式的條件 .....	32
表 5	(original, I1, I2, I3) 操作模式的條件 .....	33
表 6	各種乘法器的比較 .....	48
表 7	功率意識乘法器之操作模式 .....	98
表 8	輸入/輸出接腳列表 .....	100
表 9	功率意識乘法器與未做功率意識乘法器的比較 .....	104

## 圖目錄

圖 1	16 × 16 bit 陣列乘法器能量消耗曲線	7
圖 2	最佳系統的方塊圖	8
圖 3	16 × 16 bit 乘法器與最佳系統的能量消耗曲線	9
圖 4	16 × 16 bit 乘法器的模式效率	10
圖 5	16 × 16 bit 乘法器應用於說話濾波的模式機率	11
圖 6	常數修正圖示	15
圖 7	Dadda 乘法器加入修正係數之總和圖解(n=16, k=7)	18
圖 8	16 × 16 = 16 bit 乘法的圍繞至最接近修正	19
圖 9	二種修正法的功率比較	20
圖 10	二種修正法的 SNR 比較	20
圖 11	輸入設為零之 n × n bit 乘法	22
圖 12	16 × 16 bit 乘法輸入設為零的功率	23
圖 13	16 × 16 bit 乘法輸入設為零的 SNR	23
圖 14	電流為 1 與 0.5 Amp 之 Battery lifetime 比較	26
圖 15	電池放電作用	27
圖 16	相同電流但不同操作順序的電壓曲線	28
圖 17	相同電流但不同操作順序的電流曲線	29

圖 18	電池與負載電路示意圖	30
圖 19	(original, I0, I2, I4)與(original, I1, I2, I3)操作模式的電壓 曲線	34
圖 20	(original, I0, I2, I4)與(original, I1, I2, I3)操作模式的電流 曲線	35
圖 21	8 × 8 bit 無正負號(unsigned)乘法	38
圖 22	8 × 8 bit Baugh-Wooley 正負號(signed)乘法	38
圖 23	8 × 8 bit 陣列乘法器的總和圖解	40
圖 24	8 × 8 bit 陣列乘法器線路圖	41
圖 25	4 bit 漣波-進位加法器	42
圖 26	4 bit 進位-向前看加法器	44
圖 27	8 × 8 bit Wallace 乘法器的總和圖解	45
圖 28	8 × 8 bit Dadda 乘法器的總和圖解	46
圖 29	8 × 8 bit Dadda 乘法器線路圖	47
圖 30	進位-向前看產生元(CLG)	52
圖 31	16 bit Brent-Kung 加法器	53
圖 32	1 bit 管線暫存器	54
圖 33	16 × 16 bit 正負號 Dadda 乘法器的總和圖解	56
圖 34	16 × 16 bit Dadda 乘法器的管線配置	58

圖 35	(a)節制乘積 (b)節制輸入 .....	59
圖 36	乘積設為零之 $n \times n$ bit 乘法.....	60
圖 37	節制乘積之防衛閂 .....	61
圖 38	節制輸入之輸入暫存器 .....	66
圖 39	輸出暫存器.....	69
圖 40	組合節制乘積與節制輸入四種方式之功率意識乘法器.....	72
圖 41	IZ-PZ 的功率.....	75
圖 42	16 × 16 bit 乘法節制輸入 I0 bit.....	76
圖 43	IZ-PZ 的 SNR.....	78
圖 44	IZ-PZ 8 種組合的 battery lifetime.....	81
圖 45	ID-PZ 的功率.....	83
圖 46	ID-PZ 的 SNR.....	84
圖 47	ID-PZ 6 種組合的 battery lifetime.....	86
圖 48	IZ-PD 的功率.....	88
圖 49	IZ-PD 的 SNR.....	89
圖 50	IZ-PD 7 種組合的 battery lifetime.....	91
圖 51	ID-PD 的功率.....	92
圖 52	ID-PD 的 SNR.....	94
圖 53	ID-PD 5 種組合的 battery lifetime.....	96

圖 54	IZ-PZ/ID-PZ/IZ-PD/ID-PD 最佳 battery lifetime 之比較.....	97
圖 55	功率意識乘法器線路圖.....	98
圖 56	功率意識乘法器之 layout 圖 .....	100
圖 57	功率意識乘法器與未做功率意識乘法器的 battery lifetime .....	103

