

第五章 功率意識乘法器架構

在本章將以不同節制部位與節制方法的四種組合，分析品質與功率的模擬結果，並且根據損失品質的功率意識指標，求取 battery lifetime 最長的組合，實現最佳化的功率意識乘法器。

5.1 分析結果

在本節使用 $16 \times 16 = 16$ bit 正負號管線 Dadda 乘法器，以 4.3 節介紹的組合節制乘積與節制輸入四種方法來做實驗，我們以 Matlab 隨機產生 10000 筆的 16 bit 被乘數與乘數當做輸入，經過我們設計的功率意識乘法器得到 10000 筆的乘積，以 Prime Power 做為估算 switching activities 消耗功率的工具，並且經由(5)式計算出 SNR。以 2.2 節介紹的損失品質的功率意識指標，我們設定 mode 數為 4， $Q_{ave} = 72$ dB， $Q_{th} = 50$ dB，使用 Battery Design Player 模擬四種方法的 battery lifetime，並且選出其中一種 battery lifetime 最長的方法，做為功率意識乘法器。

5.1.1 輸入設為零與乘積設為零(IZ-PZ)之結果

將被乘數與乘數較小的次要位元(lower bits)設為零，並且將乘

積較小的次要位元設為零。以 2.2 節介紹的損失品質的功率意識指標做法，求取 battery lifetime 最長的操作模式，以下分為 3 個步驟來做說明。

步驟 1: 求取功率意識系統的功率與 SNR

圖 41 為 IZ-PZ 的功率，X 軸為 Input precision，original 代表不節制任何輸入，I0 代表節制輸入 I0 bit，I1 代表節制輸入 I0 至 I1 bit，I2 代表節制輸入 I0 至 I2 bit，……依此類推。因為是 16 × 16 bit 正負號乘法，MSB(I15) 為正負號位元，所以最多節制輸入 I0 到 I13 bit。以圖 36 的控制訊號 sel_input 節制輸入，original 為 sel_input=15，I0 為 sel_input=0，I1 為 sel_input=1，……，I13 為 sel_input=13。

Y 軸為 Product precision，original 代表不節制任何乘積，P0 代表節制乘積 P0 bit，P1 代表節制乘積 P0 至 P1 bit，P2 代表節制乘積 P0 至 P2 bit，……依此類推。因為節制 P15 到 P31 bit 的乘積將影響正負號位元的結果，因此最多節制乘積 P0 到 P14 bit。以圖 40 的控制訊號 sel_product 節制乘積，original 為 sel_product=15，P0 為 sel_product=0，P1 為 sel_product=1，……，P14 為 sel_input=14。

組合節制輸入與節制乘積，我們以(節制輸入 bit-節制乘積 bit)代表節制的位元。舉例來說，original-original 代表乘積與輸入皆不節制的結果，則圖 40 的控制訊號 sel_input=sel_product=15。I0-P0 代表節制輸入 I0 bit 與節制乘積 P0 bit，則 sel_input=sel_product=0。I0-P1 代表節制輸入 I0 bit 與節制乘積 P0 至 P1 bit，則 sel_input=0，sel_product=1。

Power (mW)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	3.046	2.851	2.617	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P0	3.042	2.851	2.617	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P1	3.029	2.851	2.617	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P2	3.006	2.841	2.617	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P3	2.975	2.821	2.617	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P4	2.935	2.792	2.602	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P5	2.877	2.747	2.572	2.325	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P6	2.816	2.697	2.537	2.31	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P7	2.745	2.635	2.489	2.284	2.094	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P8	2.662	2.563	2.429	2.247	2.075	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P9	2.572	2.483	2.365	2.195	2.04	1.848	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P10	2.474	2.395	2.29	2.143	2	1.829	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P11	2.365	2.294	2.203	2.072	1.943	1.789	1.596	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P12	2.244	2.182	2.101	1.986	1.872	1.738	1.573	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P13	2.122	2.066	1.993	1.89	1.794	1.683	1.537	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P14	2.003	1.953	1.889	1.803	1.717	1.618	1.489	1.333	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608

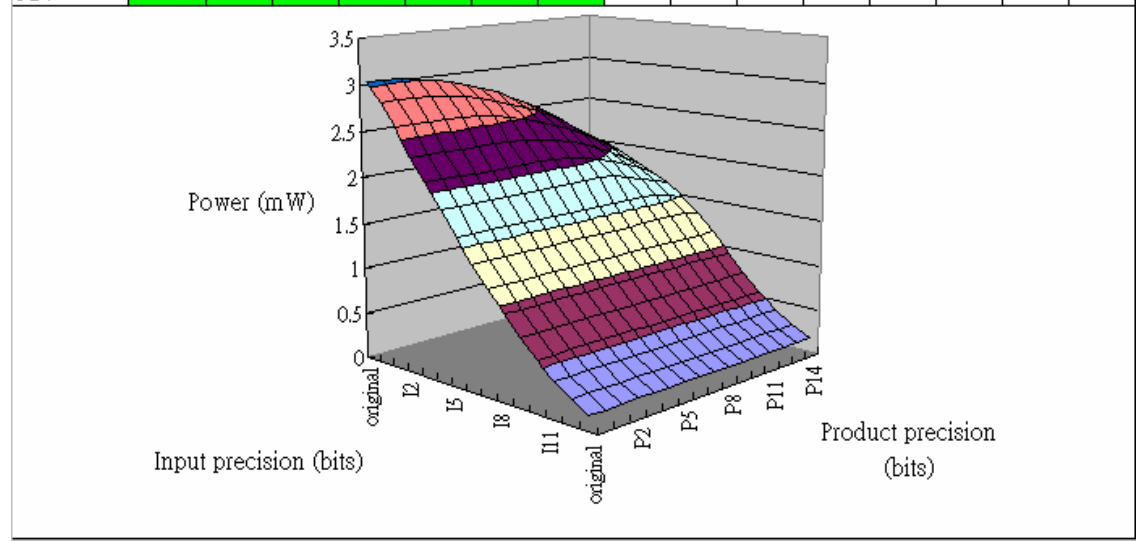


圖 41 IZ-PZ 的功率

由圖 41 可知 original-original 的消耗功率最大，為 3.046 mW，節制輸入或節制乘積 bit 數越多，因 switching activities 變少，所以消耗功率越少。以固定節制輸入 original 為例，當節制乘積 bit 數越多，消耗的功率越少。

若以固定節制輸入 I0 bit 為例，可以發現節制乘積 original 至 P1 bit 的功率皆為 2.851 mW，這是因為節制輸入 I0 bit 所影響的部分乘積已經涵蓋了節制乘積 original 至 P1 bit 所影響的部分乘積，因此功率皆相同。如圖 42 所示，X 為被乘數，Y 為乘數，S 為部分乘積， $S_{i,j} = X_i \text{ AND } Y_j$ ，P 為將部分乘積相加而得到的乘積。節制輸入 I0 bit 則如圖框起來的部分乘積設為零，涵蓋了節制乘積 original 至 P1 bit 所影響的部分乘積 $S_{0,0}$ 、 $S_{1,0}$ 、以及 $S_{0,1}$ ，因此節制乘積 original 至 P1 bit 的功率皆相同。

								X15	X14		X2	X1	X0
								Y15	Y14		Y2	Y1	Y0
								$S_{15,0}$	$S_{14,0}$	$S_{3,0}$	$S_{2,0}$	$S_{1,0}$	$S_{0,0}$
								$S_{15,1}$	$S_{14,1}$	$S_{2,1}$	$S_{1,1}$	$S_{0,1}$	
								$S_{15,2}$	$S_{14,2}$	$S_{1,2}$	$S_{0,2}$		
						$S_{0,3}$			
						
			$S_{15,13}$	$S_{14,13}$	$S_{2,13}$	$S_{1,13}$	$S_{0,13}$						
			$S_{15,14}$	$S_{14,14}$	$S_{2,14}$	$S_{1,14}$	$S_{0,14}$						
			$S_{15,15}$	$S_{14,15}$	$S_{2,15}$	$S_{1,15}$	$S_{0,15}$						
E31	E30	E29	E28	E27	...	E17	E16	E15	E14	E13	...	E3	E2	E1	E0	

圖 42 16 × 16 bit 乘法節制輸入 I0 bit

節制輸入 bit 數越多，涵蓋節制乘積 bit 數也越多，因此相同功率也越多。節制輸入 I7 bit 所影響的部分乘積，已經完全涵蓋了節制乘積 original 至 P14 bit 所影響的部分乘積，因此從節制輸入 I7 bit 以後其消耗功率皆相同。另外，IZ-PZ 的全部平均功率為 1.388 mW。

圖 43 為 IZ-PZ 的 SNR，其全部平均 SNR 為 45.091 dB。由圖可得知在 original-original 的 SNR 為 85.542 dB。以固定節制輸入 original 為例，可以發現節制乘積 original 至 P6 bit 的功率皆為 85.542 dB，這是因為乘積只取 16 bit 而不是 32 bit，節制乘積 original 至 P6 bit 對於進位的影響相當小，因此不會影響 SNR 的結果。節制輸入或節制乘積 bit 數越多，得到的乘積越不精確，所以 SNR 越小。如同圖 37，節制輸入 bit 數越多，涵蓋節制乘積 bit 數也越多，因此相同 SNR 也越多。

觀察圖 41 與圖 43，可以發現 Input precision 在 original 至 I5 的區間以及 Product precision 在 P8 至 P14 的區間，其功率可以減少很多但是 SNR 只有少許降低，同樣地這是因為乘積只取 16 bit 而不是 32 bit，因此節制乘積可以減少功率但不會降低太多 SNR，我們就是挑選此區間的操作模式來做為功率意識乘法器。

SNR (dB)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	85.542	82.587	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P0	85.542	82.587	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P1	85.542	82.587	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P2	85.542	82.587	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P3	85.542	82.587	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P4	85.542	82.586	76.562	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P5	85.542	82.582	76.561	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P6	85.542	82.581	76.56	70.03	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P7	85.54	82.586	76.565	70.031	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P8	85.53	82.581	76.565	70.032	63.712	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P9	85.486	82.548	76.559	70.037	63.711	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P10	85.282	82.417	76.558	70.032	63.713	57.43	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P11	84.395	82.083	76.517	70.019	63.713	57.429	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P12	81.688	80.721	76.266	69.977	63.703	57.428	51.364	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P13	76.482	77.141	75.058	69.782	63.676	57.42	51.362	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618
P14	70.251	71.393	71.656	68.907	63.538	57.396	51.358	45.179	39.148	33.135	27.136	21.096	15.054	9.0108	2.9618

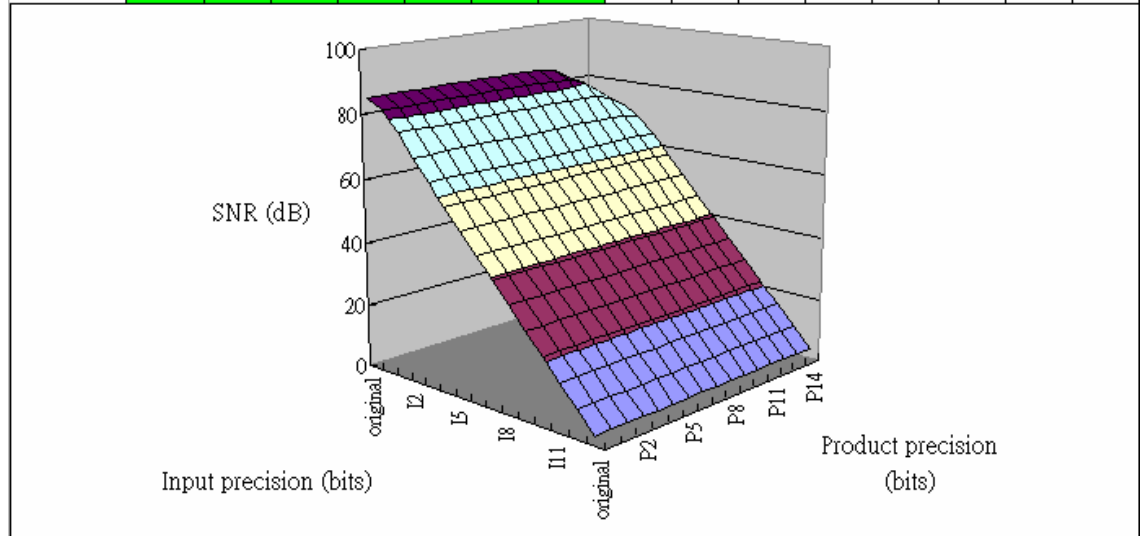


圖 43 IZ-PZ 的 SNR

步驟 2: 由 SNR 設定 mode 數、 Q_{ave} 、以及 Q_{th} ，並且選擇操作模式

我們設定 mode 數為 4， $Q_{ave} = 72$ dB， $Q_{th} = 50$ dB。由圖 43 Input precision 從 I6 至 I13 的 SNR 小於 50 dB，所以不使用 I6 至 I13 的操作模式。

另外，由圖 41 與圖 43 得知，若 Input precision 固定為

original，則 Product precision 在 original 至 P8 的 SNR 是相當接近的，但是 P8 的功率為最小，因此可以剔除 SNR 差不多但功率較大的操作模式，以減少操作模式的選擇。我們定義在同一個 Input precision 下，以 Product precision 為 original 的 SNR 為基準，每一個 SNR 都跟基準 SNR 做比較，若差距小於 0.05 dB 則視為相同的 SNR，保留 SNR 相同而且功率最小的操作模式，其餘的操作模式則加以剔除。

舉例來說，若 Input precision 固定為 original，Product precision 為 original 的 SNR 為 85.542 dB，根據我們的定義差距小於 0.05 dB 則視為相同的 SNR，因此 85.542~85.492 dB 的 SNR 皆視為相同，即 Product precision 從 original 至 P8 的 SNR 皆相同，而且 P8 的功率最小，所以我們剔除 original 至 P7 的操作模式，只保留 P8 的操作模式。

若 Input precision 固定為 I0，Product precision 為 original 的 SNR 為 82.587 dB，根據我們的定義差距小於 0.05 dB 則視為相同的 SNR，因此 82.587~82.537 dB 的 SNR 皆視為相同，即 Product precision 從 original 至 P9 的 SNR 皆相同，而且 P9 的功率最小，所以我們剔除 original 至 P8 的操作模式，只保留 P9 的操作模式。其他 Input precision 的做法亦相同，最後我們保留的操作模式則如

圖 43 上表灰色區域所示。

我們選擇original-original，亦即未做任何節制為第一個操作模式。當設定mode數為4， $Q_{ave}=72$ dB，若以小數點第二位做四捨五入計算，則71.9500~72.0499 dB皆視為72 dB。以Matlab撰寫程式，挑選圖 39 上表灰色區域中 $Q_{ave}=72$ dB 的4個mode，則共有8種組合。我們以(mode 1, mode 2, mode 3, mode 4)代表4個mode，而操作模式是以功率由大到小做排列，因此mode的功率大小為mode 1 > mode 2 > mode 3 > mode 4。

IZ-PZ $Q_{ave}=72$ dB的8種組合分別如下所列：

1. (ori-ori, ori-P12, I3-P14, I4-P14)
2. (ori-ori, I1-P12, I2-P14, I4-P14)
3. (ori-ori, I1-P13, I2-P12, I4-P14)
4. (ori-ori, I1-P13, I3-P13, I3-P14)
5. (ori-ori, I2-P12, I2-P14, I3-P14)
6. (ori-ori, I2-P13, I2-P14, I3-P13)
7. (ori-ori, I0-P11, I2-P14, I5-P14)
8. (ori-ori, I0-P12, ori-P14, I5-P14)

其中ori代表original，I-P中I為Input precision而P為Product precision。

步驟 3:使用 Battery simulation tool 求取 battery lifetime

以 2.2 節介紹的方式,已知 4 個 mode 的消耗功率以及將 battery 電壓值從 4.1 V 至 2.9 V 分割成 40 個小區域,所以由 $I=P / V$ 可得到電流值。使用 Battery Design Player 模擬 8 種組合的 battery lifetime,如圖 44 所示,其中每種組合皆含有 ori-ori,因此省略不寫。由圖可得知,因為每種組合 mode 1 皆為 ori-ori,所以在 mode 1 的 battery lifetime 皆相同,之後差異才開始擴大。8 種組合中以 (ori-ori, I2-P13, I2-P14, I3-P13) 的 battery lifetime 最長,為 215452.3 分鐘。

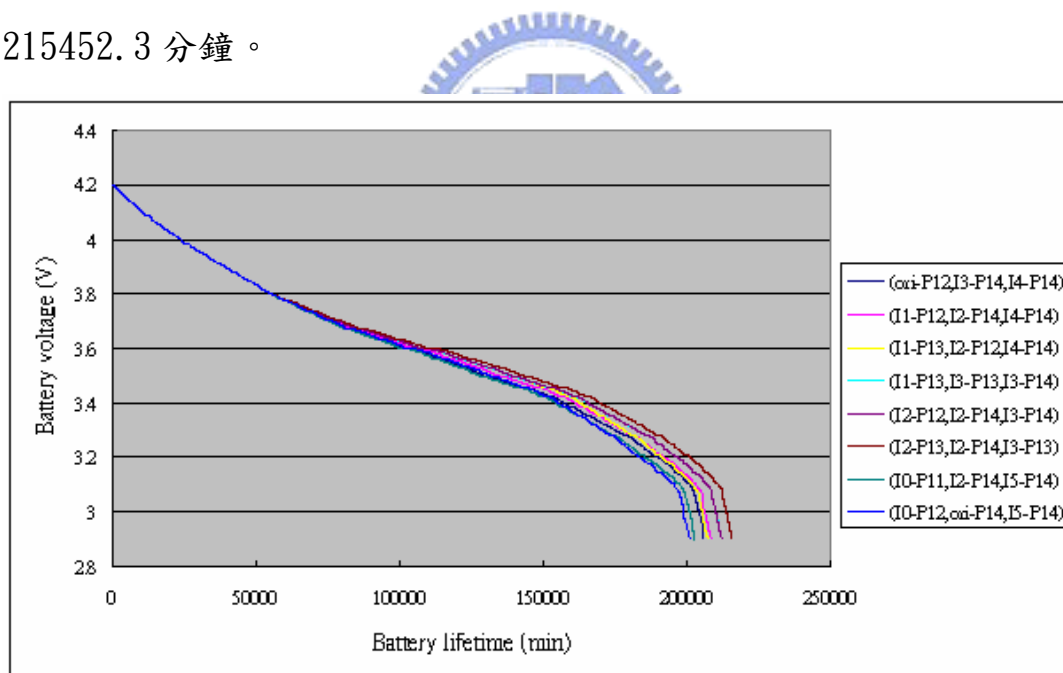


圖 44 IZ-PZ 8 種組合的 battery lifetime

5.1.2 輸入保留前值與乘積設為零(ID-PZ)之結果

將被乘數與乘數較小的次要位元(lower bits)保留第一筆資

料，並且將乘積較小的次要位元設為零，IZ-PZ 與 ID-PZ 的硬體差異在於輸入暫存器的內部結構不同，而其餘的元件皆一樣。

步驟 1: 求取功率意識系統的功率與 SNR

圖 45 為 ID-PZ 的功率，由圖可知 original-original 的消耗功率最大，為 3.087 mW，因為 IZ-PZ 與 ID-PZ 在輸入暫存器的結構不同，所以二者 original-original 的消耗功率會有差異。節制輸入或節制乘積 bit 數越多，因 switching activities 變少，所以消耗功率越少。以固定節制輸入 original 為例，當節制乘積 bit 數越多，消耗的功率越少。

若以固定節制輸入 I0 bit 為例，可以發現節制乘積 original 至 P0 bit 的功率皆為 3.038 mW，這是因為節制輸入所影響的部分乘積已經涵蓋了節制乘積所影響的部分乘積，因此功率皆相同。但是不同於 IZ-PZ 的是，IZ-PZ 固定節制輸入 I0 bit，其節制乘積 original 至 P1 bit 的功率皆相同，而 ID-PZ 只有 original 至 P0 bit 的功率相同。這是因為 ID-PZ 的節制輸入是保留第一筆的資料，只有在節制被乘數與乘數重疊的部分，其 switching activities 才會相同。如圖 42 所示，部分乘積 S0, 0 為節制被乘數與乘數重疊的部分，因此節制乘積 original 至 P0 bit 的功率皆相同。

另外，ID-PZ 全部平均功率為 1.993 mW，比較 IZ-PZ 與 ID-PZ 的功率，可以發現 ID-PZ 的全部平均功率較高，這也是因為 ID-PZ 的節制輸入是保留第一筆的資料，所以其 switching activities 會多於節制輸入設為零的 IZ-PZ。

Power (mW)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	3.087	3.038	2.968	2.754	2.685	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P0	3.083	3.038	2.968	2.754	2.685	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P1	3.07	3.029	2.966	2.754	2.685	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P2	3.047	3.008	2.954	2.754	2.685	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P3	3.016	2.98	2.926	2.739	2.685	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P4	2.976	2.942	2.89	2.708	2.665	2.565	2.428	2.279	2.107	1.899	1.651	1.458	1.322	1.119	0.8637
P5	2.918	2.886	2.836	2.668	2.625	2.539	2.424	2.276	2.105	1.899	1.651	1.458	1.322	1.119	0.8637
P6	2.857	2.826	2.778	2.622	2.585	2.499	2.392	2.276	2.105	1.899	1.651	1.458	1.322	1.119	0.8637
P7	2.786	2.756	2.71	2.564	2.53	2.454	2.347	2.244	2.104	1.899	1.651	1.458	1.322	1.119	0.8636
P8	2.703	2.675	2.631	2.5	2.467	2.399	2.304	2.201	2.073	1.899	1.651	1.458	1.322	1.119	0.8636
P9	2.613	2.584	2.542	2.421	2.388	2.32	2.235	2.146	2.018	1.861	1.645	1.458	1.322	1.119	0.8636
P10	2.515	2.488	2.447	2.335	2.303	2.238	2.158	2.082	1.965	1.809	1.623	1.458	1.322	1.119	0.8636
P11	2.406	2.38	2.339	2.237	2.208	2.147	2.076	2.006	1.904	1.755	1.569	1.422	1.311	1.119	0.8636
P12	2.285	2.259	2.217	2.118	2.089	2.032	1.967	1.902	1.815	1.685	1.521	1.375	1.276	1.105	0.8589
P13	2.162	2.136	2.098	2.009	1.979	1.921	1.857	1.796	1.726	1.602	1.457	1.329	1.232	1.07	0.8571
P14	2.044	2.017	1.983	1.905	1.871	1.813	1.753	1.692	1.627	1.52	1.382	1.272	1.182	1.019	0.8178

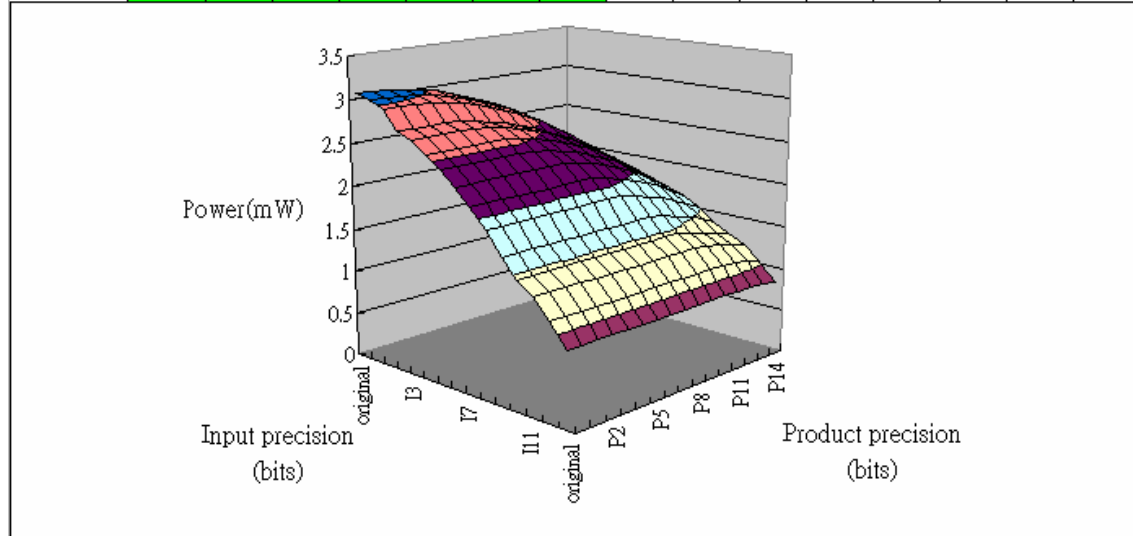


圖 45 ID-PZ 的功率

圖 46 為 ID-PZ 的 SNR, original-original 的 SNR 為 85.542 dB,

因為 original-original 未做任何節制，所以無論哪一種節制的方式 original-original 的 SNR 皆為 85.542 dB。節制輸入或節制乘積 bit 數越多，得到的乘積越不精確，所以 SNR 越小。全部平均 SNR 為 46.490 dB，比較 IZ-PZ 與 ID-PZ 的 SNR，可以發現 ID-PZ 的平均 SNR 較高，這是因為 ID-PZ 的節制輸入是保留第一筆的資料，所以其 SNR 會高於設為零的 IZ-PZ，因此對於功率與 SNR 而言 IZ-PZ 與 ID-PZ 各有利弊。

SNR (dB)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P0	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P1	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P2	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P3	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P4	85.542	82.481	79.537	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P5	85.542	82.485	79.536	72.575	66.765	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P6	85.542	82.486	79.534	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P7	85.54	82.495	79.531	72.574	66.764	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P8	85.53	82.486	79.52	72.576	66.765	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P9	85.486	82.44	79.511	72.581	66.768	59.073	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P10	85.282	82.355	79.446	72.572	66.766	59.072	52.115	45.652	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P11	84.395	81.869	79.226	72.538	66.758	59.074	52.115	45.652	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P12	81.688	80.206	78.182	72.346	66.723	59.076	52.118	45.652	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P13	76.482	76.001	75.13	71.596	66.534	59.046	52.112	45.653	39.409	33.27	29.197	22.544	18.557	11.129	4.1172
P14	70.251	70.164	69.935	69.057	65.649	58.911	52.095	45.655	39.412	33.271	29.196	22.544	18.557	11.129	4.1174

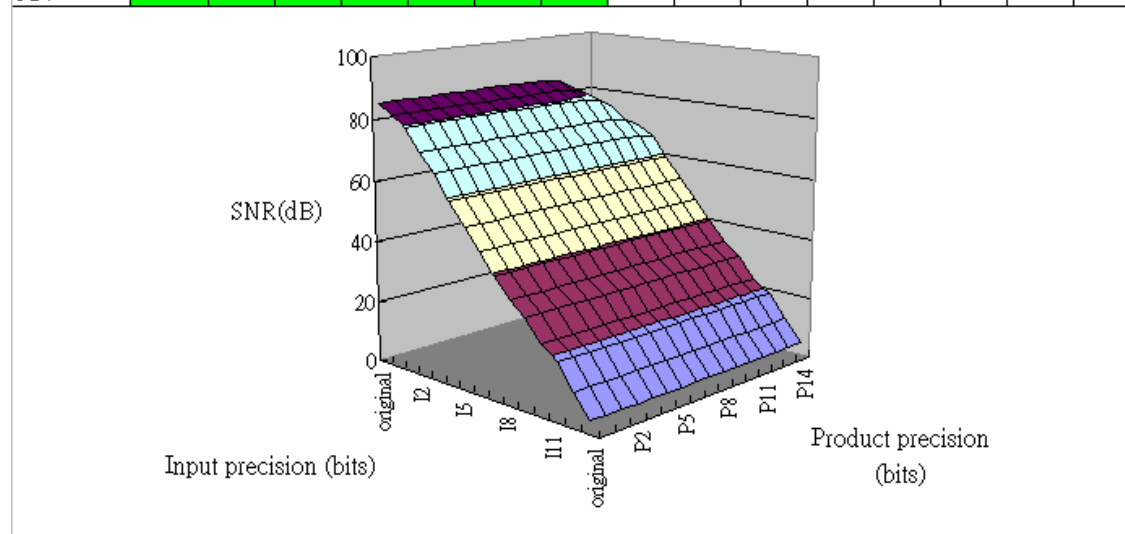


圖 46 ID-PZ 的 SNR

步驟 2: 由SNR設定mode數、 Q_{ave} 、以及 Q_{th} ，並且選擇操作模式

如同IZ-PZ，設定mode數為4， $Q_{ave}=72$ dB， $Q_{th}=50$ dB。由圖 46 Input precision從I6至I13的SNR小於50 dB，所以不使用I6至I13的操作模式。另外，須剔除SNR相同但功率較大的操作模式。我們定義在同一個Input precision下，以Product precision為original的SNR為基準，每一個SNR都跟基準SNR做比較，若差距小於0.05 dB則視為相同的SNR，保留SNR相同而且功率最小的操作模式，其餘的操作模式則加以剔除。最後我們保留的操作模式則如圖 46 上表灰色區域所示。

我們選擇original-original，亦即未做任何節制為第一個操作模式。以Matlab撰寫程式，挑選圖 46 上表灰色區域中 $Q_{ave}=72$ dB 的4個mode，則共有6種組合。每種組合的操作模式皆以功率由大到小做排列，如下所示：

1. (ori-ori, ori-P11, I4-P13, I4-P14)
2. (ori-ori, I0-P12, I0-P14, I5-P14)
3. (ori-ori, I0-P14, I3-P13, I3-P14)
4. (ori-ori, I3-P12, I1-P14, I3-P14)
5. (ori-ori, I3-P12, I3-P13, I2-P14)
6. (ori-ori, I1-P12, I2-P12, I5-P14)

步驟 3:使用 Battery simulation tool 求取 battery lifetime

使用 Battery Design Player 模擬 6 種組合的 battery

lifetime，如圖 47 所示，其中每種組合皆含有 ori-ori，因此省略

不寫。由圖可得知，6 種組合中以(ori-ori, I0-P14, I3-P13, I3-P14)

的 battery lifetime 最長，為 203465.7 分鐘。

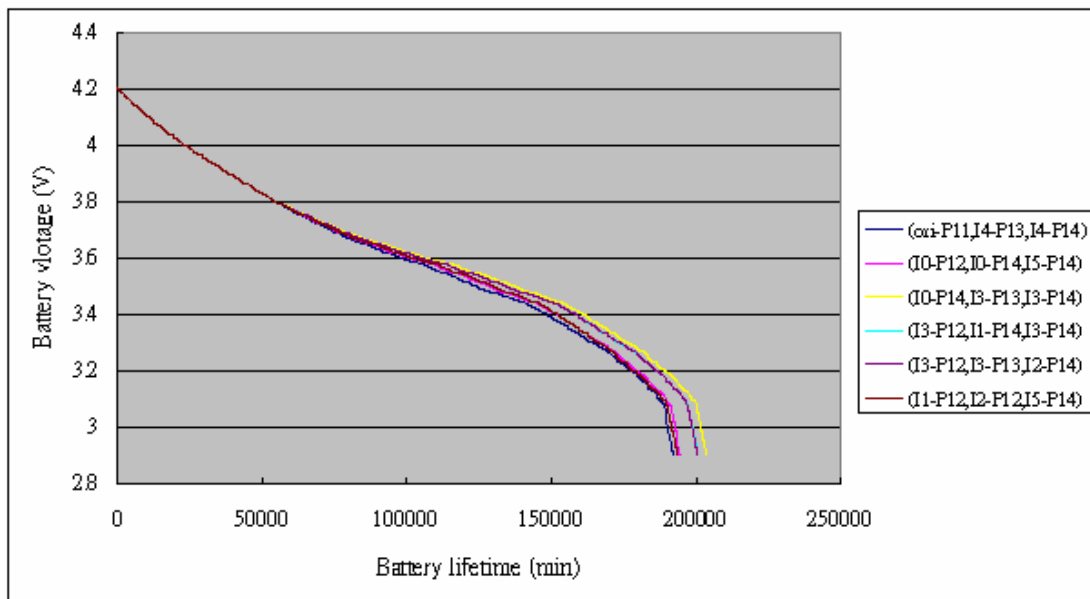


圖 47 ID-PZ 6 種組合的 battery lifetime

5.1.3 輸入設為零與乘積保留前值(IZ-PD)之結果

將被乘數與乘數較小的次要位元(lower bits) 設為零，並且將乘積較小的次要位元保留第一筆資料。IZ-PZ 與 IZ-PD 的硬體差異在於節制乘積的防衛門內部結構不同，而其餘的元件皆一樣。

步驟 1: 求取功率意識系統的功率與 SNR

圖 48 為 IZ-PD 的功率，original-original 的消耗功率最大，為 3.037 mW。節制輸入或節制乘積 bit 數越多，因 switching activities 變少，所以消耗功率越少。以固定節制輸入 original 為例，當節制乘積 bit 數越多，消耗的功率越少。

若以固定節制輸入 I0 bit 為例，可以發現節制乘積 original 至 P1 bit 的功率皆為 2.843 mW，這是因為節制輸入所影響的部分乘積已經涵蓋了節制乘積所影響的部分乘積，因此功率皆相同。這是跟 IZ-PZ 相同之處，因為 IZ-PD 是先節制輸入設為零，之後雖然節制乘積保留第一筆的資料，但是此時第一筆的資料已經被設為零，所以節制輸入涵蓋了節制乘積所影響的部分乘積。如圖 42 所示，節制輸入 I0 bit 則如圖框起來的部分乘積設為零，涵蓋了節制乘積 original 至 P1 bit 所影響的部分乘積 S0, 0、S1, 0、以及 S0, 1，因此節制乘積 original 至 P1 bit 的功率皆相同。

另外，IZ-PD 全部平均功率為 1.387 mW，因為節制輸入對於部分乘積的影響大於節制乘積，所以 IZ-PD 與 IZ-PZ 的全部平均功率較為接近，而且小於 ID-PZ 的全部平均功率，這是因為節制輸入保留第一筆的資料的 switching activities 會多於節制輸入設為零的方法。

Power (mW)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	3.037	2.843	2.611	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P0	3.033	2.843	2.611	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P1	3.023	2.843	2.611	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P2	2.998	2.833	2.611	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P3	2.966	2.814	2.611	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P4	2.926	2.785	2.596	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P5	2.873	2.744	2.567	2.322	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P6	2.81	2.693	2.531	2.307	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P7	2.739	2.631	2.484	2.28	2.092	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P8	2.653	2.556	2.423	2.243	2.072	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P9	2.569	2.481	2.36	2.192	2.037	1.847	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P10	2.465	2.387	2.285	2.14	1.998	1.827	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2717	0.1608
P11	2.366	2.288	2.197	2.068	1.941	1.788	1.595	1.357	1.146	0.932	0.7365	0.5604	0.3933	0.2718	0.1608
P12	2.243	2.175	2.096	1.982	1.87	1.737	1.573	1.357	1.146	0.932	0.7366	0.5604	0.3933	0.2718	0.1608
P13	2.121	2.064	1.988	1.887	1.791	1.682	1.537	1.357	1.146	0.932	0.7366	0.5604	0.3933	0.2718	0.1608
P14	2.005	1.955	1.886	1.802	1.716	1.618	1.488	1.333	1.146	0.932	0.7366	0.5604	0.3933	0.2718	0.1608

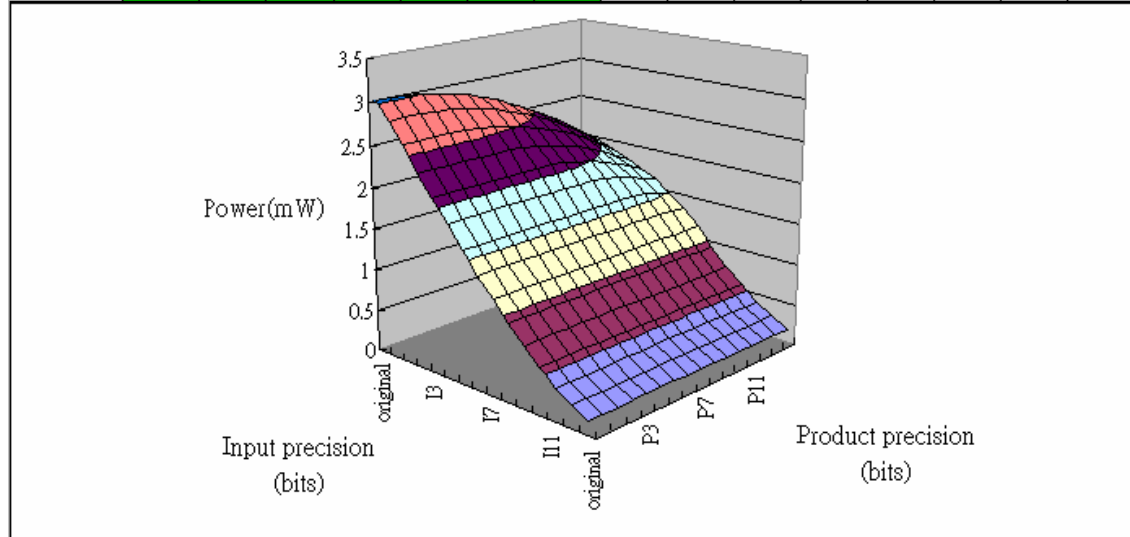


圖 48 IZ-PD 的功率

圖 49 為 IZ-PD 的 SNR，其平均 SNR 為 45.144 dB，跟 IZ-PZ 的全部平均 SNR 較接近。比較 IZ-PD 與 IZ-PZ，節制輸入的方法相同，所以若 product precision 固定為 original，二者 input precision 從 original 至 I13 bit 的 SNR 皆相同。因此不論功率或 SNR，IZ-PD 與 IZ-PZ 較接近，這是因為節制輸入比節制乘積所影響的部分乘積較

多，所以節制輸入同樣為 IZ 的功率或 SNR 較接近。

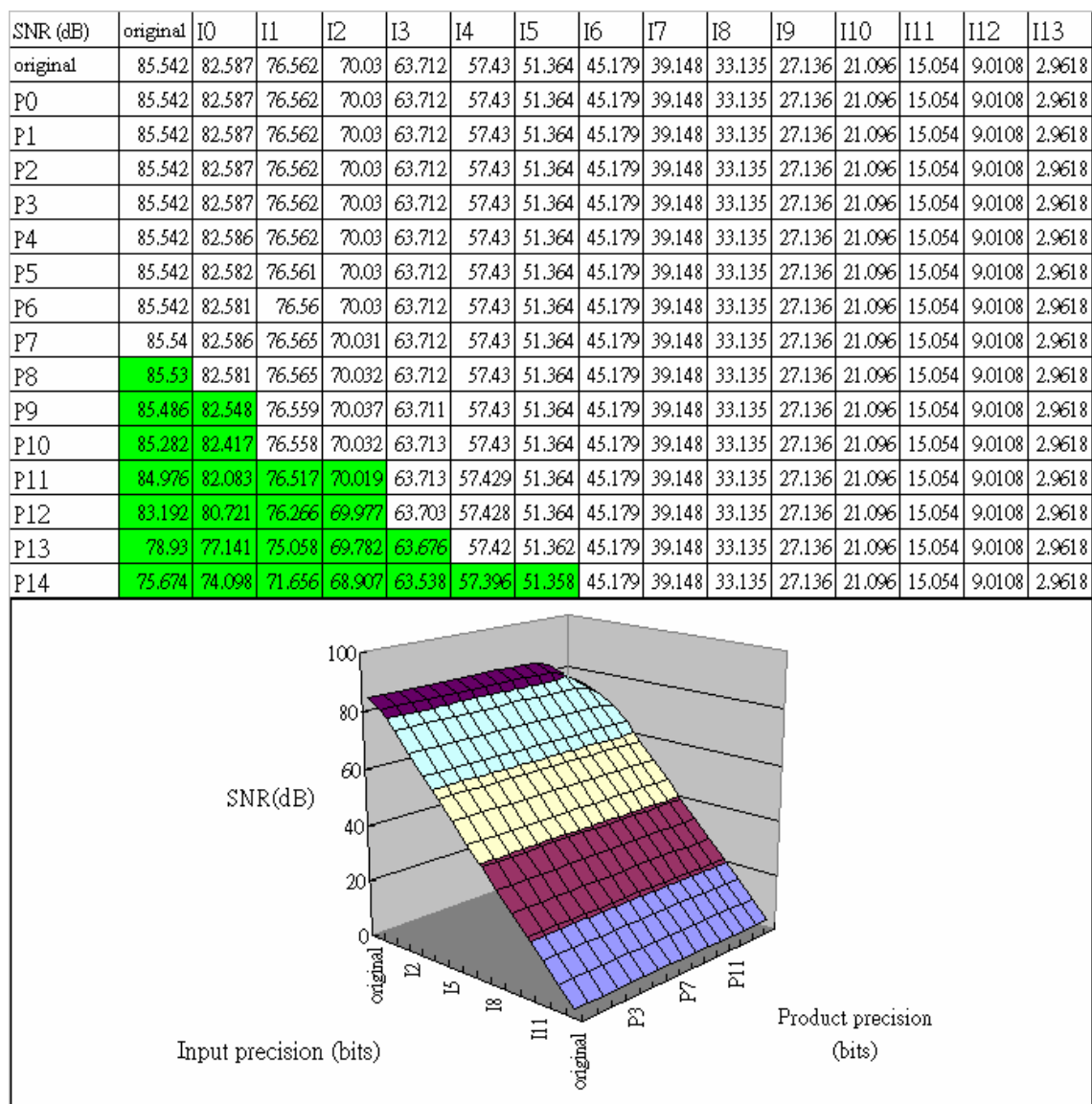


圖 49 IZ-PD 的 SNR

步驟 2: 由 SNR 設定 mode 數、 Q_{ave} 、以及 Q_{th} ，並且選擇操作模式

設定 mode 數為 4, $Q_{ave} = 72 \text{ dB}$, $Q_{th} = 50 \text{ dB}$ 。由圖 49 Input precision 從 I6 至 I13 的 SNR 小於 50 dB，所以不使用 I6 至 I13 的操作模式。另外，須剔除 SNR 相同但功率較大的操作模式。我們定義在同一個 Input

precision下，以Product precision為original的SNR為基準，每一個SNR都跟基準SNR做比較，若差距小於 0.05 dB則視為相同的SNR，保留SNR相同而且功率最小的操作模式，其餘的操作模式則加以剔除，最後保留的操作模式如圖 49 上表灰色區域。

我們選擇original-original，亦即未做任何節制為第一個操作模式。以Matlab撰寫程式，挑選圖 49 上表灰色區域中 $Q_{ave}=72$ dB 的 4 個mode，則共有 7 種組合。每種組合的操作模式皆以功率由大到小做排列，如下所示：

1. (ori-ori, I0-P11, I2-P14, I5-P14)
2. (ori-ori, I0-P13, I0-P14, I5-P14)
3. (ori-ori, I1-P12, I2-P14, I4-P14)
4. (ori-ori, I1-P13, I2-P12, I4-P14)
5. (ori-ori, I1-P13, I3-P13, I3-P14)
6. (ori-ori, I2-P12, I2-P14, I3-P14)
7. (ori-ori, I2-P13, I2-P14, I3-P13)

步驟 3:使用 Battery simulation tool 求取 battery lifetime

使用 Battery Design Player 模擬 7 種組合的 battery lifetime，如圖 50 所示，其中每種組合皆含有 ori-ori，因此省略

不寫。由圖可得知，7種組合中以(ori-ori, I2-P13, I2-P14, I3-P13)的 battery lifetime 最長，為 215815 分鐘。

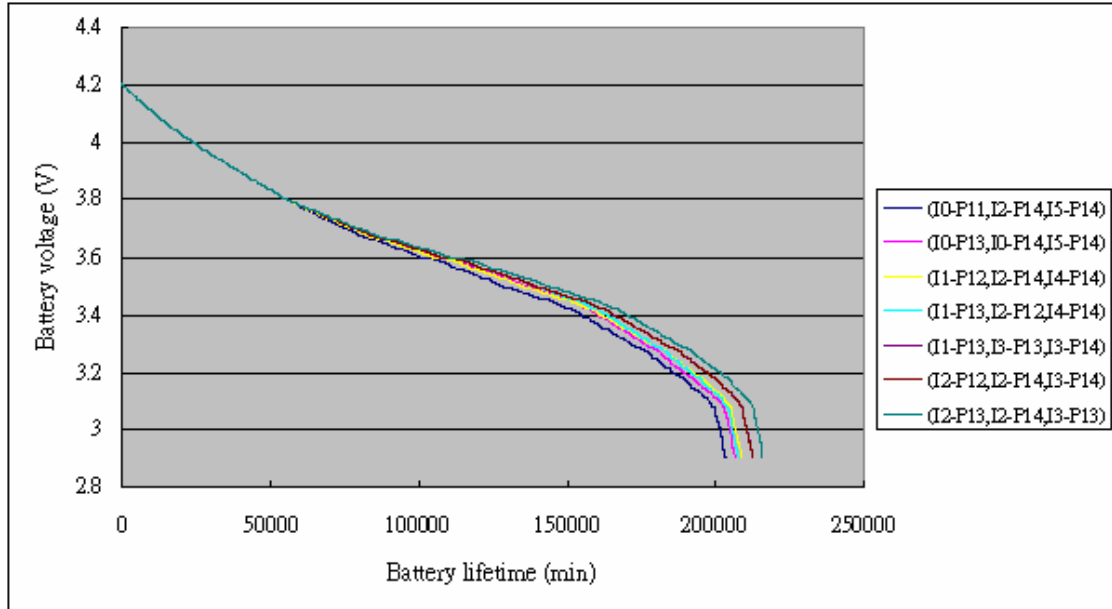


圖 50 IZ-PD 7種組合的 battery lifetime



5.1.4 輸入保留前值與乘積保留前值(ID-PD)之結果

將被乘數與乘數較小的次要位元(lower bits)保留第一筆資料，並且將乘積較小的次要位元保留第一筆資料。ID-PD 與 ID-PZ 的硬體差異在於節制乘積的防衛門內部結構不同，其餘的元件皆一樣。

步驟 1: 求取功率意識系統的功率與 SNR

圖 51 為 IZ-PD 的功率，original-original 的消耗功率最大，為 3.078 mW。節制輸入或節制乘積 bit 數越多，因 switching

activities 變少，所以消耗功率越少。以固定節制輸入 original 為例，當節制乘積 bit 數越多，消耗的功率越少。

Power (mW)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	3.078	3.03	2.96	2.748	2.68	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P0	3.074	3.03	2.96	2.748	2.68	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P1	3.063	3.023	2.96	2.748	2.68	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P2	3.038	3.001	2.946	2.748	2.68	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P3	3.007	2.972	2.918	2.733	2.68	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P4	2.967	2.934	2.882	2.701	2.659	2.56	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P5	2.913	2.882	2.833	2.666	2.624	2.539	2.424	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P6	2.851	2.821	2.773	2.619	2.582	2.497	2.391	2.276	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P7	2.78	2.751	2.705	2.561	2.528	2.452	2.346	2.244	2.104	1.896	1.649	1.456	1.32	1.118	0.8636
P8	2.694	2.667	2.623	2.493	2.461	2.394	2.3	2.198	2.07	1.896	1.649	1.456	1.32	1.118	0.8636
P9	2.61	2.582	2.54	2.42	2.388	2.321	2.237	2.149	2.021	1.864	1.649	1.456	1.32	1.118	0.8636
P10	2.506	2.48	2.439	2.329	2.298	2.234	2.154	2.078	1.962	1.806	1.62	1.456	1.32	1.118	0.8636
P11	2.407	2.381	2.341	2.241	2.212	2.152	2.082	2.013	1.911	1.762	1.577	1.431	1.32	1.118	0.8636
P12	2.284	2.258	2.219	2.125	2.097	2.04	1.976	1.912	1.825	1.697	1.532	1.387	1.288	1.118	0.8636
P13	2.161	2.136	2.098	2.012	1.981	1.923	1.86	1.799	1.729	1.608	1.464	1.338	1.236	1.075	0.8636
P14	2.045	2.019	1.987	1.913	1.881	1.823	1.763	1.703	1.638	1.531	1.393	1.284	1.194	1.036	0.8319

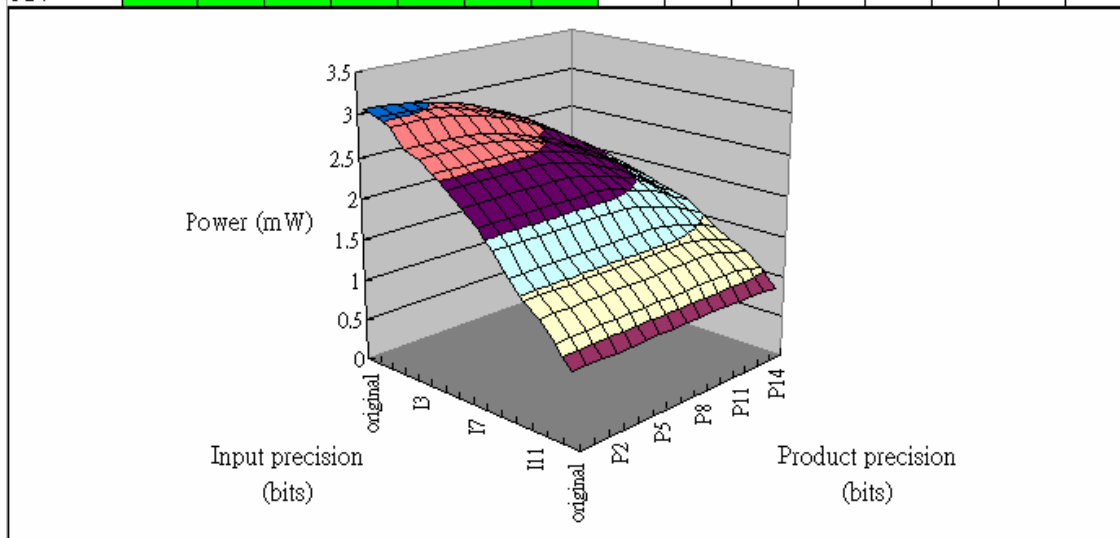


圖 51 ID-PD 的功率

若以固定節制輸入 I0 bit 為例，可以發現節制乘積 original 至 P0 bit 的功率皆為 3.03 mW，這是因為節制輸入所影響的部分乘積已經涵蓋了節制乘積所影響的部分乘積，因此功率皆相同。如同 ID-PZ，

節制輸入是保留第一筆的資料，只有在節制被乘數與乘數重疊的部分，其 switching activities 才會相同。如圖 42 所示，部分乘積 S0,0 為節制被乘數與乘數重疊的部分，因此節制乘積 original 至 P0 bit 的功率皆相同。

另外，ID-PD 全部平均功率為 1.992 mW，因為節制輸入對於部分乘積的影響大於節制乘積，所以 ID-PD 與 ID-PZ 的全部平均功率較為接近，而且大於 IZ-PD 的全部平均功率，這是因為節制輸入保留第一筆的資料的 switching activities 會多於節制輸入設為零的方法。



圖 52 為 ID-PD 的 SNR，original-original 的 SNR 亦為 85.542 dB。節制輸入或節制乘積 bit 數越多，得到的乘積越不精確，所以 SNR 越小。全部平均 SNR 為 46.616 dB，跟 ID-PZ 的平均 SNR 較接近。比較 ID-PD 與 ID-PZ，節制輸入的方法相同，所以若 product precision 固定為 original，二者 input precision 從 original 至 113 bit 的 SNR 皆相同。因此不論功率或 SNR，ID-PD 與 ID-PZ 較接近，這是因為節制輸入比節制乘積所影響的部分乘積較多，所以節制輸入同樣為 ID 的功率或 SNR 較接近。

SNR (dB)	original	I0	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12	I13
original	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P0	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P1	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P2	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P3	85.542	82.479	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P4	85.542	82.481	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P5	85.542	82.485	79.536	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P6	85.542	82.486	79.534	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P7	85.54	82.495	79.531	72.576	66.766	59.071	52.115	45.651	39.409	33.269	29.197	22.544	18.556	11.129	4.1169
P8	85.53	82.486	79.52	72.576	66.766	59.071	52.115	45.651	39.408	33.269	29.197	22.544	18.556	11.129	4.1169
P9	85.486	82.44	79.511	72.581	66.766	59.073	52.115	45.651	39.408	33.269	29.197	22.544	18.556	11.129	4.1169
P10	85.282	82.355	79.446	72.572	66.766	59.072	52.115	45.652	39.408	33.269	29.197	22.544	18.556	11.129	4.1169
P11	84.976	82.195	79.378	72.566	66.768	59.073	52.115	45.652	39.408	33.269	29.197	22.544	18.556	11.129	4.1169
P12	83.192	81.221	78.886	72.484	66.747	59.075	52.115	45.652	39.408	33.27	29.197	22.544	18.556	11.129	4.1169
P13	78.93	78.185	76.77	72.033	66.654	59.067	52.116	45.654	39.41	33.27	29.196	22.544	18.557	11.129	4.1169
P14	75.674	75.448	74.735	71.347	66.493	59.065	52.124	45.659	39.412	33.272	29.195	22.544	18.557	11.129	4.1169

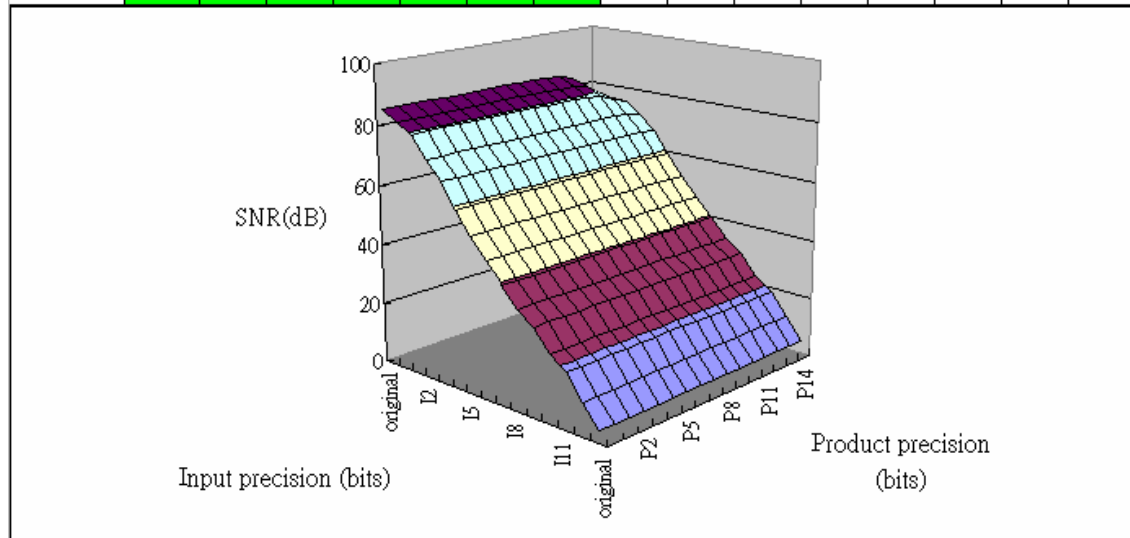


圖 52 ID-PD 的 SNR

步驟 2: 由 SNR 設定 mode 數、 Q_{ave} 、以及 Q_{th} ，並且選擇操作模式

設定 mode 數為 4, $Q_{ave} = 72$ dB, $Q_{th} = 50$ dB。由圖 52 Input precision 從 I6 至 I13 的 SNR 小於 50 dB，所以不使用 I6 至 I13 的操作模式。另外，須剔除 SNR 相同但功率較大的操作模式。我們定義在同一個 Input precision 下，以 Product precision 為 original 的 SNR 為基準，每一

個SNR都跟基準SNR做比較，若差距小於 0.05 dB則視為相同的SNR，保留SNR相同而且功率最小的操作模式，其餘的操作模式則加以剔除，最後我們保留的操作模式則如圖 52 上表灰色區域所示。

我們選擇original-original，亦即未做任何節制為第一個操作模式。以Matlab撰寫程式，挑選圖 52 上表灰色區域中 $Q_{ave}=72$ dB 的 4 個mode，則共有 5 種組合。每種組合的操作模式皆以功率由大到小做排列，如下所示：

1. (ori_ori, ori-P13, I2-P14, I5-P14)
2. (ori-ori, I0-P13, I2-P13, I5-P14)
3. (ori-ori, I0-P14, I1-P14, I5-P14)
4. (ori_ori, I1-P13, I3-P14, I4-P14)
5. (ori-ori, I2-P13, I2-P14, I4-P14)

步驟 3:使用 Battery simulation tool 求取 battery lifetime

使用 Battery Design Player 模擬 6 種組合的 battery lifetime，如圖 53 所示，其中每種組合皆含有 ori-ori，因此省略不寫。由圖可得知，5 種組合中以(ori-ori, I2-P13, I2-P14, I4-P14) 的 battery lifetime 最長，為 206001.7 分鐘。

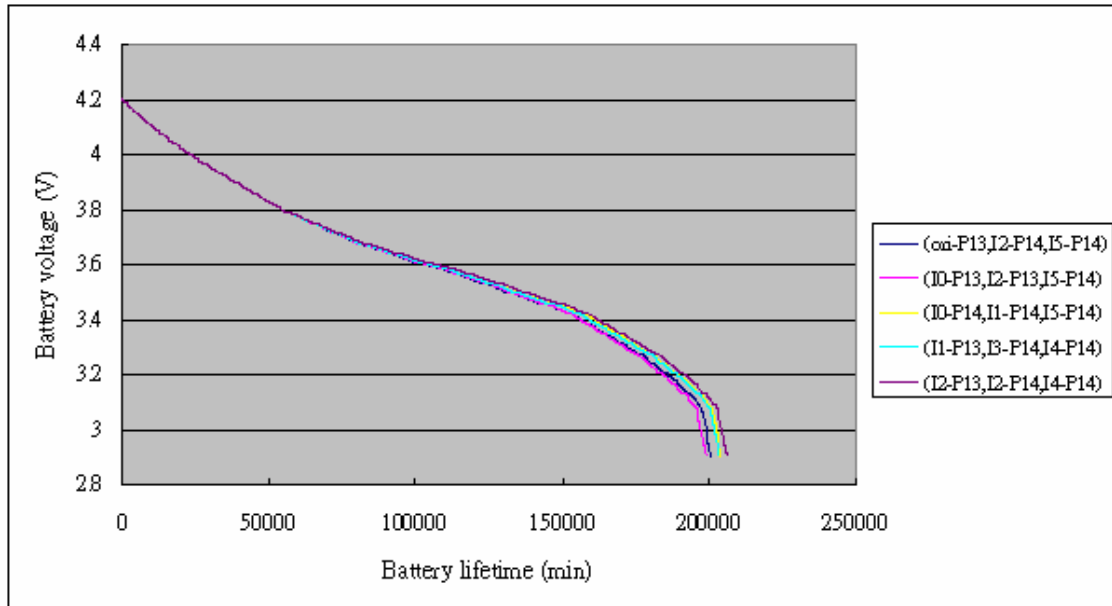


圖 53 ID-PD 5 種組合的 battery lifetime

5.1.5 功率意識乘法器架構之選擇

由前面的分析結果，比較 IZ-PZ / ID-PZ / IZ-PD / ID-PD 這四種方法的最佳 battery lifetime，如圖 54 所示。由圖得知 IZ-PZ 與 IZ-PD 的 battery lifetime 接近，而 ID-PZ 與 ID-PD 的 battery lifetime 接近。其中以 IZ-PD (ori-ori, I2-P13, I2-P14, I3-P13) 操作模式的 battery lifetime 最長，為 215815 分鐘，因此我們選擇 IZ-PD 當作功率意識乘法器之架構。

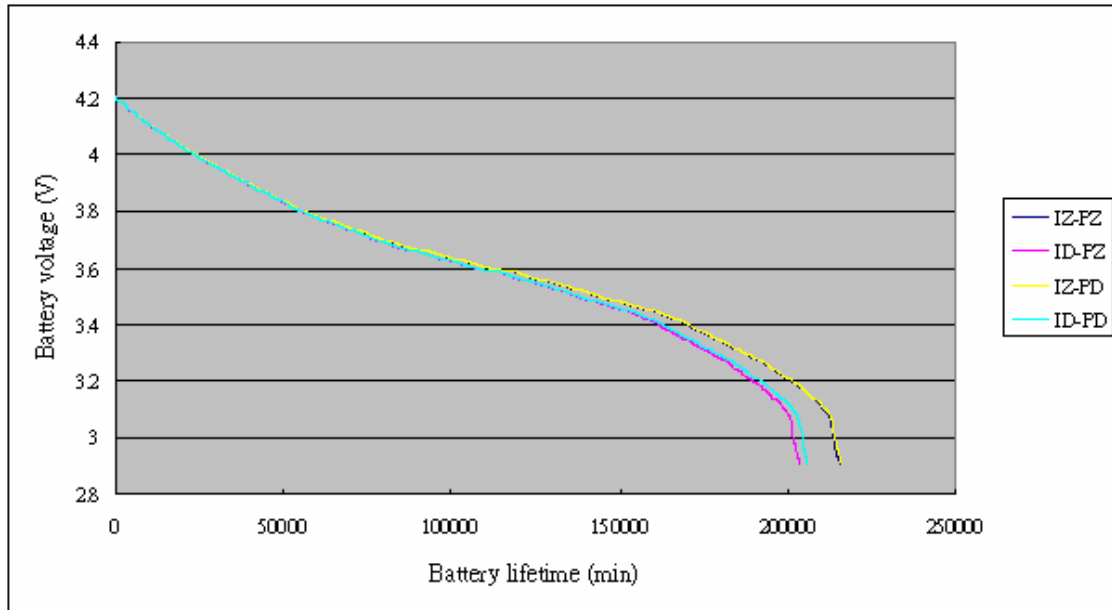


圖 54 IZ-PZ/ID-PZ/IZ-PD/ID-PD 最佳 battery lifetime 之比較

5.2 功率意識乘法器之實現

在本節我們將以 IZ-PD battery lifetime 最長的 4 個操作模式 (ori-ori, I2-P13, I2-P14, I3-P13)，實現功率意識乘法器，並討論其效能。

圖 55 為功率意識乘法器線路圖。X_{in}、Y_{in} 分別代表 16 bits 被乘數與乘數，Q 代表 16 bits 乘積，reset 為乘法器重致訊號，mode 代表操作模式之控制訊號，sel_input 為節制輸入的控制訊號，disable 為節制乘積的控制訊號。

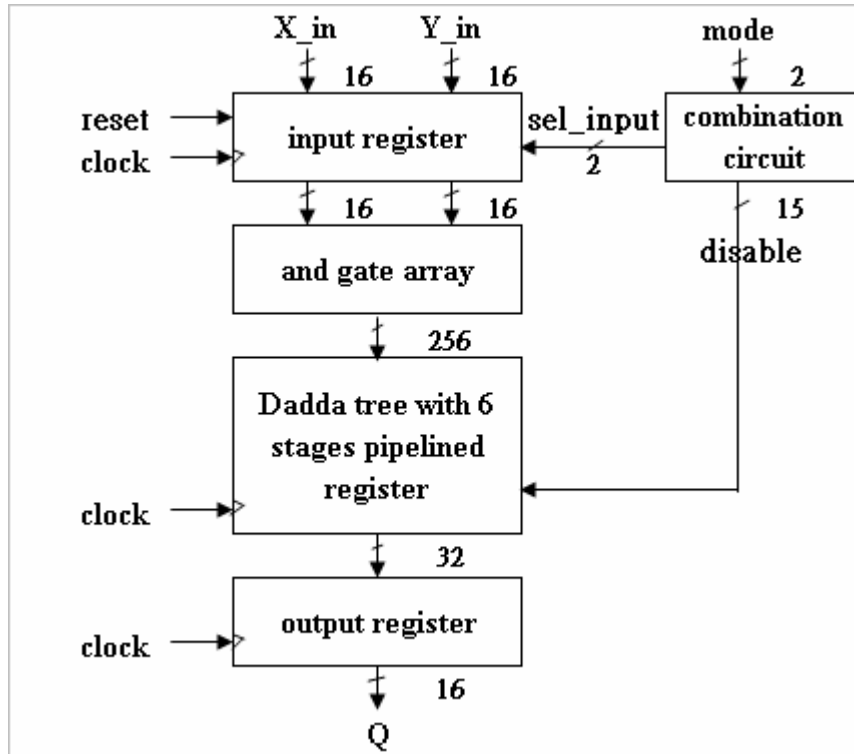


圖 55 功率意識乘法器線路圖

跟圖 40 比較，我們修改 combination circuit，輸入 mode 用來選擇節制乘積與輸入的操作模式，亦即控制節制輸入的 sel_input 以及節制乘積的 disable。表 7 為功率意識乘法器之操作模式，以下將分別敘述控制訊號 mode、sel_input、以及 disable。

操作模式	ori-ori	I2-P13	I2-P14	I3-P13
mode[1:0]	0	1	2	3
sel_input[1:0]	0	1	1	2
disable[14:0]	disable[14]=0	disable[14]=0	disable[14]=1	disable[14]=0
	disable[13]=0	disable[13]=1	disable[13]=1	disable[13]=1
	disable[12]=0	disable[12]=1	disable[12]=1	disable[12]=1

	disable[0]=0	disable[0]=1	disable[0]=1	disable[0]=1

表 7 功率意識乘法器之操作模式

1. 操作模式之控制訊號 mode:

操作模式的控制順序由 mode=0, 1, 2, 3 依序切換，因共有 4 個操作模式，所以 mode 的位元數為 2。

2. 節制輸入之控制訊號 sel_input:

表 7 中節制輸入共有三種模式，為 ori、I2、以及 I3，因此圖 55 的 sel_input 的位元數為 2。當節制輸入 ori 時，sel_input=0；當節制輸入 I2 時，sel_input=1；當節制輸入 I3 時，sel_input=2。

3. 節制乘積之控制訊號 disable

表 7 中節制乘積共有三種模式，為 ori、P13、以及 P14，因為節制乘積最多至 P14 bit，所以 disable 的位元數為 14。當節制乘積 ori 時， $\text{disable}[14]=\text{disable}[13]=\dots=\text{disable}[0]=0$ ；當節制乘積 P13 時， $\text{disable}[14]=0$ ， $\text{disable}[13]=\text{disable}[12]=\dots=\text{disable}[0]=1$ ；當節制乘積 P14 時， $\text{disable}[14]=\text{disable}[13]=\dots=\text{disable}[0]=1$ 。

在晶片實現方面，我們在 Apollo 的環境下 AutoRoute 所產生，經過 DRC 及 LVS 驗證無誤後，得到的 layout 如圖 56 所示。

表 8 為輸入/輸出接腳列表，這個晶片的接腳共有 56 根，包括被乘數 X_in、乘數 Y_in、與乘積 Q 各 16 根，mode 2 根，reset 與 clock 各 1 根，再加上 VDD_AC、VSS_AC、VDD_CORE_DC、與 VSS_CORE_DC

各 4 根，因此總共 56 根接腳。

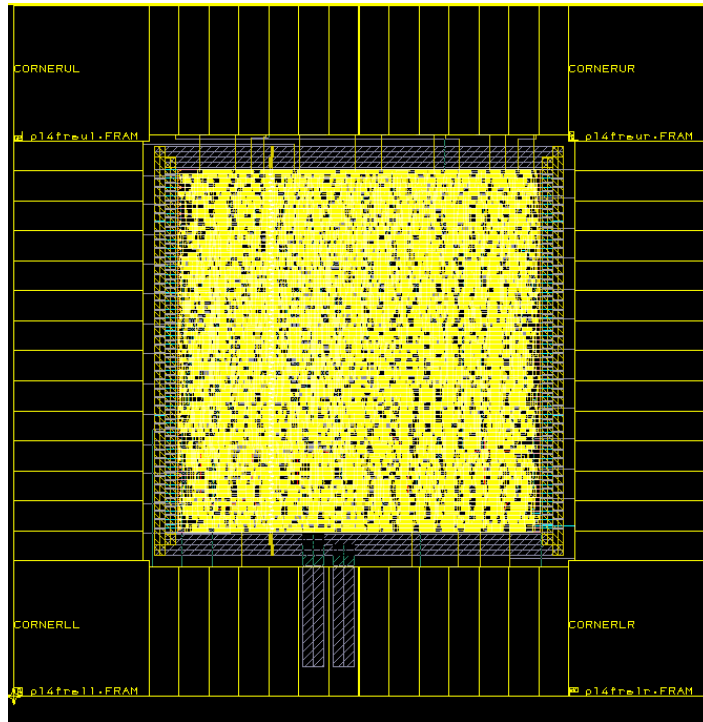


圖 56 功率意識乘法器之 layout 圖

Signal	Pin	Signal	Pin	Signal	Pin	Signal	Pin
X_in(0)	Left 1	X_in(14)	Top 1	Q(6)	Right 1	mode(0)	Bottom 1
X_in(1)	Left 2	X_in(15)	Top 2	Q(7)	Right 2	mode(1)	Bottom 2
X_in(2)	Left 3	Y_in(0)	Top 3	Q(8)	Right 3	reset	Bottom 3
X_in(3)	Left 4	Y_in(1)	Top 4	Q(9)	Right 4	clk	Bottom 4
X_in(4)	Left 5	Y_in(2)	Top 5	Q(10)	Right 5	VDD_AC	Bottom 5
X_in(5)	Left 6	Y_in(3)	Top 6	Q(11)	Right 6	VDD_CORE_DC	Bottom 6
X_in(6)	Left 7	Y_in(4)	Top 7	Q(12)	Right 7	VSS_CORE_DC	Bottom 7
X_in(7)	Left 8	Y_in(5)	Top 8	Q(13)	Right 8	VSS_AC	Bottom 8
X_in(8)	Left 9	Y_in(6)	Top 9	Q(14)	Right 9	Q(0)	Bottom 9
X_in(9)	Left 10	Y_in(7)	Top 10	Q(15)	Right 10	Q(1)	Bottom 10
X_in(10)	Left 11	Y_in(8)	Top 11	Y_in(15)	Right 11	Q(2)	Bottom 11
X_in(11)	Left 12	Y_in(9)	Top 12	Y_in(14)	Right 12	Q(3)	Bottom 12
X_in(12)	Left 13	Y_in(10)	Top 13	Y_in(13)	Right 13	Q(4)	Bottom 13
X_in(13)	Left 14	Y_in(11)	Top 14	Y_in(12)	Right 14	Q(5)	Bottom 14

表 8 輸入/輸出接腳列表

在晶片效能方面，我們整理如下：

- * clock frequency: 156.25 MHz
- * Number of Module Cells: 2364
- * Total Standard Cell Area: 342074.88 (μm^2)
- * Total Pad Cell Area: 2412860.32 (μm^2)
- * Core Size: width 1047.2, height 1045.8; area 1095161.76 (μm^2)
- * Chip Size: width 1991.8, height 1991.6; area 3966868.88 (μm^2)
- * Cell/Chip Ratio: 69.4486 %

