

國立交通大學

電機資訊學院 電機與控制學程

碩士論文

應用於 IEEE 802.11a 之 10 位元 100MS/s
數位類比轉換器實現

10 Bits 100MS/s Digital to Analog
Converter for IEEE 802.11a

研究生：朱陳糧

指導教授：董蘭榮 博士

中華民國九十四年九月

應用於 IEEE 802.11a 之 10 位元 100MS/s
數位類比轉換器實現

10 Bits 100MS/s Digital to Analog
Converter for IEEE 802.11a

研究生：朱陳糧

Student : Liang ChuChen

指導教授：董蘭榮 博士

Advisor : Dr. Lan-Rong Dung

國立交通大學
電機資訊學院 電機與控制學程
碩士論文



A Thesis

Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

September 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年九月

應用於 IEEE 802.11a 之 10 位元 100MS/s

數位類比轉換器實現


學生：朱陳糧

指導教授：董蘭榮 博士

國立交通大學電機資訊學院 電機與控制學程

(研究所) 碩士班

摘 要



本論文設計實現一個應用於 802.11a 之 10 位元 100MS/s 數位類比轉換器，在數位/類比轉換器電路的實現，切換電流源式是一個很好的實現方法。但由於製程參數漂移的關係，使得數位/類比轉換器的規格很難達到較高的精確度。傳統使用校正電路雖可改善數位/類比轉換器的精確度，但所付出的成本與複雜度也提高許多。故本論文參考一個電流源偏壓技巧，稱為『抗製程漂移偏壓電流源』技術，改善臨界電壓漂移與電源導線壓降造成電流誤差，並應用於電流源的設計，經蒙地卡羅模擬結果證實，利用此方法，受製程參數影響造成 V_{th} 漂移以及(W/L)誤差和電源電壓誤差的影響有顯著的改善。在考量梯度誤差方面電流源採用四象限對稱佈置，消除線性和拋物線梯度誤差。最後使用 TSMC 0.35 μm Mixed Signal 2P4M 製程完成 12bit 電流源式數位/類比轉換器之設計，完成電路後證實，此一電流源式數位/類比轉換器，有效克服和改善製程漂移，梯度誤差等問題。

10 Bits 100MS/s Digital to Analog Converter for IEEE 802.11a

student : Liang Chuchen

Advisors : Dr. Lan-Rong Dung

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

ABSTRACT

This thesis describes a 10-bit 100MS/s digital to analog converter (DAC) for IEEE 802.11a. For high-speed application, The current-source mode has been popular in high speed digital to analog converter applications. However, to obtain accurate current-source is not easy due to process variation. Although several calibration circuits are proposed to improve the accuracy, the cost and circuit complexity are usually very large. In this thesis, based on traditional threshold-voltage compensation method, we use a new current source biasing technique to reduce the current error caused by inevitable threshold-voltage variation, transistor (w/l) size variation, power-source variation and temperature change. Finally we apply this technique to 10-bit weighted-current-source digital to analog converter. SPICE simulations show that for 0.35- μm TSMC Mixed Signal 2P4M process with a 3.3 V power supply; the digital to analog converter variation is reduced significantly.

誌 謝

回首生活，而今終能有所小成，頗有輕舟已過萬重山之感。而能完成此篇論文，深覺得之於人者太多，出之於己者太少，故書此誌謝獻給所有曾幫助過我的人。

首先最要感謝的，即是我的指導教授 董蘭榮博士，讓我有幸跨入積體電路設計領域的殿堂，在為學處事各方面給予的教誨，銘感五內，永誌難忘。

感謝 張隆國老師、陳科宏老師、黃錫瑜老師 撥冗指導，對這篇論文提出許多寶貴的建議，使其內容更加完備。

再者，要感謝博士班學長張騰轟，在我研究過程中不厭其煩的教導與幫助。其次要感謝葉丁豪在我研究低潮時給予我的勉勵與鼓舞，以及學弟呂文豪與所有實驗室同學的陪伴與幫助。

最要感謝的，是從小辛苦生育、養育、教育我的父母，對我全心全力的付出，若不是他們長久來的支持，不可能有我今天的小小成果。感謝女友秦宇給予我精神上的支持與鼓勵。謹以此篇論文獻給所有關心我的人，謝謝你們！

目錄

中文摘要.....	I
ENGLISH ABSTRACT	II
誌謝.....	III
目錄.....	IV
表目錄.....	VII
圖目錄.....	VIII
第一章 緒論.....	1
1.1 簡介.....	1
1.2 研究動機.....	2
1.3 論文組織.....	3
第二章 數位/類比轉換器原理.....	4
2.1 數位/類比轉換器(DAC).....	4
2.2 理想數位/類比轉換器(IDEAL DAC).....	4
2.3 數位/類比轉換器(DAC)規格參數.....	5
2.3.1 解析度(Resolution).....	5
2.3.2 偏移誤差(Offset error).....	5
2.3.3 增益誤差(Gain error).....	6
2.3.4 精確度(Accuracy).....	7
2.3.5 累積非線性誤差(Integral nonlinearity error INL).....	7
2.3.6 差動非線性誤差(differential nonlinearity error DNL).....	8
2.3.7 穩定時間(settling time).....	8

2.3.8	轉換率(Conversion rate)	8
2.3.9	單調增加特性(Monotonicity)	8
2.4	數位類比轉換器基本架構	9
2.4.1	電阻串列式數位/類比轉換器(Resistor-String DAC)	9
2.4.2	兩級電阻式數位/類比轉換器(2-STAGE RESISTOR-STRING DAC)	10
2.4.3	權重電阻式數位/類比轉換器(BINARY-WEIGHTED RESISTOR DAC)	10
2.4.4	R-2R 電阻梯式數位/類比轉換器(R-2R ladders DAC)	11
2.4.5	電容電荷重新分布式數位/類比轉換器(CHARGE-REDISTRIBUTION SWITCHED-CAPACITOR DAC)	12
2.4.6	二進位碼權重電流切換式數位/類比轉換器	14
2.4.7	溫度計碼電流切換式數位/類比轉換器(CURRENT MODE THERMOMETER CODE DAC)	16
2.4.8	溫度計碼與二進位碼共用的區段式電流源數位/類比轉換器	18
2.4.9	超取樣頻率數位/類比轉換器(OVERSAMPLING DAC)	21
第三章	切換電流源式數位/類比轉換器電路設計	27
3.1	12 BIT 數位/類比轉換器規格	27
3.2	12-BIT 數位/類比轉換器電路	28
3.2.1	12-bit 數位/類比轉換器電路架構	28
3.2.2	電流源電路—抗製程變因的偏壓電流源技術	29
3.2.3	差動式切換開關驅動控制電路	30
3.2.4	減少開關切換所產生突波對 DAC 輸出影響	32
3.2.5	電流源電路—增加電流源輸出阻抗技術	35
3.2.6	電流源 gradient error 問題解決技術	35
3.2.7	二進碼轉溫度計碼編碼電路	38
3.2.8	完整電路	41
3.3	電路模擬結果	42
第四章	晶片佈局	47

4.1 電流源設計和佈局.....	47
4.1.1 電流源設計	47
4.1.2 溫度計碼電流源佈局	50
5.1 溫度計碼編碼電路設計和佈局	51
5.1.1 二進位碼轉溫度計碼編碼電路	52
5.2 Post simulation 模擬結果	59
第五章 測試設定和量測結果.....	62
5.1 測試環境設定.....	62
5.2 量測結果	65
第六章 結論與未來工作展望.....	69
REFERENCE.....	70



表目錄

表 2.1	二進位碼和溫度計碼數位到類比轉換器非線性誤差比較	19
表 2.2	二進位碼和溫度計碼數位到類比轉換器面積比較	19
表 3.1	12 BITS DAC PRE-SIMULATION 結果	45
表 4.1	電流源電路及偏壓源電晶體規格	49
表 4.2	切換電晶體及驅動控制電路電晶體規格	50
表 4.3	三位元二進碼轉換為七碼溫度計碼各碼轉碼電路電晶體規格	55
表 4.4	CELL DECODER 電路電晶體規格	56
表 4.5	LATCH 電路電晶體規格	58
表 4.6	12 BIT DAC 佈局後模擬結果	61



圖目錄

圖 1.1	DAC 在無線網路中基本架構.....	1
圖 2.1	數位/類比轉換器基本架構.....	4
圖 2.2	DAC 偏移誤差和增益誤差.....	6
圖 2.3	累積非線性誤差.....	7
圖 2.4	電阻串列式數位/類比轉換器.....	9
圖 2.6	二進位權重電阻式數位/類比轉換器.....	11
圖 2.7	R-2R 電阻梯式數位/類比轉換器.....	12
圖 2.8	電容電荷重新分布式數位/類比轉換器.....	13
圖 2.9	二進位碼電流切換式數位/類比轉換器.....	14
圖 2.10	MIDCODE GLITCHES.....	15
圖 2.12	溫度計碼電流切換式數位/類比轉換器.....	17
圖 2.13	十位元數位/類比轉換器採用溫度計碼和二進碼區段位元關係圖.....	20
圖 2.14	超取樣頻率數位/類比轉換器.....	21
圖 2.15	超取樣頻率數位/類比轉換器.....	22
圖 2.16	超取樣頻率數位/類比轉換器.....	23
圖 2.17	一階超取樣頻率數位/類比轉換器模型.....	24
圖 3.1	兩級式切換電流源數位/類比轉換器.....	28
圖 3.2	抗製程變因的偏壓電流源.....	29
圖 3.3	抗製程變因的偏壓電流源，蒙第卡羅模擬 128 次電流變化結果.....	30
圖 3.4	(A)全差動式切換開關驅動控制電路及，(B)INV1，(C)INV (D)電壓波形.....	31
圖 3.5	GLITCH 抑制電流源電路(A)~(E)及波型比較.....	34
圖 3.6	電流源電路，增加電流源輸出阻抗.....	35
圖 3.7	二維線性 GRADIENT ERROR.....	36

圖 3.8	二維拋物線 GRADIENT ERROR.....	36
圖 3.9	四象限對稱佈置.....	37
圖 3.10	交插對稱順序溫度計碼排列方式.....	37
圖 3.11	3 位元二進碼到溫度計碼編碼器.....	39
圖 3.12	6 位元二進碼到 63 碼溫度計碼編碼器.....	39
圖 3.13	栓鎖電路.....	40
圖 3.14	6 位元 2 進位碼轉溫度計碼.....	40
圖 3.15	完整晶片電路架構.....	41
圖 3.16	6 BIT 交叉對稱順序溫度計碼 DAC 輸出電流波型.....	42
圖 3.17	6 BIT 交叉對稱順序溫度計碼 DAC 輸出 DNL 值.....	43
圖 3.18	6 BIT 交叉對稱順序溫度計碼 DAC 輸出 INL 值.....	43
圖 3.19	6 BIT 交叉對稱順序溫度計碼 DAC 輸出 MONTE CARLO 128 次電流分佈圖.....	43
圖 3.20	6 BIT 交叉對稱順序溫度計碼 DAC 輸出 MONTE CARLO 128 次 DNL 分佈圖.....	44
圖 3.21	6 BIT 交叉對稱順序溫度計碼 DAC 輸出 MONTE CARLO 128 次 INL 分佈圖.....	44
圖 3.21	12 BIT DAC 6 BIT 交叉對稱順序溫度計碼+ 6 BIT 二進權重碼(SS 25°C).....	44
圖 3.22	12 BIT DAC 輸出 DNL=0.54 I LSB (SS 25°C).....	45
圖 3.23	12 BIT DAC 輸出 INL=0.3 I LSB (SS 25°C).....	45
圖 4.1	電流源電路及偏壓電路.....	48
圖 4.2	電流源電路佈局結果.....	48
圖 4.3	切換電晶體及驅動控制電路.....	49
圖 4.4	開關切換電路及驅動電路佈局結果.....	50
圖 4.5	電流源及開關、驅動電路佈局.....	51
圖 4.6	三位元二進碼轉換為七碼溫度計碼各碼轉碼電路.....	53
圖 4.7	三位元二進碼轉換為七碼溫度計碼各碼轉碼電路佈局.....	54
圖 4.8	6 位元二進碼轉換為 63 碼溫度計碼完整轉碼電路.....	55

圖 4.9	CELL DECODER 電路.....	56
圖 4.10	CELL DECODER 電路佈局.....	56
圖 4.11	LATCH 電路.....	57
圖 4.12	LATCH 電路佈局.....	58
圖 4.13	6 位元二進碼轉換為 63 碼溫度計碼及栓鎖電路完整轉碼電路佈局.....	58
圖 4.14	數位到類比轉換器佈局.....	59
圖 4.15	POST SIMULATION 輸出電流波形結果.....	60
圖 4.16	DNL 結果 (TT 25°C).....	60
圖 4.17	INL 結果 (TT 25°C).....	60
圖 5.1	晶片測試圖.....	62
圖 5.2	步階波輸出波形.....	65
圖 5.3	DNL=0.9 LSB.....	65
圖 5.4	INL=2.5 LSB.....	66
圖 5.5	SIN 波輸出波形，FS=685.48KHZ FC=108MHZ.....	66
圖 5.6	SIN 波頻譜 SFDR 為=70.99dB (11.5 BIT).....	66
圖 5.7	SIN 波頻譜，FS=685.55KHZ，FC=108MHZ.....	67



第一章 緒論

1.1 簡介

為了達到頻寬需求在日漸擴增的應用程式下，資料傳輸速度最高達到54Mbps的802.11a被視為下一代高速無線區域網路規格。因應802.11a之系統規格，本論文設計實現一個轉換頻率可達100MHz並具有十位元解析度之數位類比轉換器，藉由數位類比轉換器將數位訊號轉換成類比訊號，再由RF電路輸出，完成無線區域網路發射之動作，如圖1.1所示。

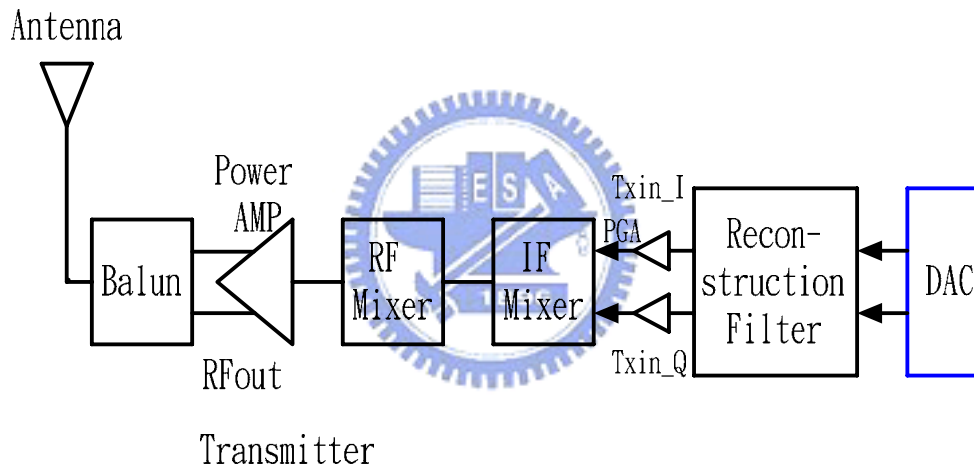


圖 1.1 DAC 在無線網路中基本架構

在數位/類比轉換器(DAC)電路製作上，在高速、高解析度、穩定…等的訴求將會是本論文的研究主題。電流源式的數位/類比轉換器在目前要求高速資料轉換率上，有最優異特性，而電流源間要求高度相似性，此直接影響電路性能。採用溫度計碼的電流源式數位/類比轉換器，每一電流源間有相同規格設計，可以有最好的線性度，但是複雜拉線增加佈局困難度，很難單獨使用此一方法完成高位元的數位/類比轉換器，而採用二進位權重的電流源式數位/類比轉換器，雖然容易完成高位元電路設計，但是每一個電流源間呈 2^n 倍比例，要達到高精準的比例很不容易，並且在中間碼轉換時會產生嚴重突波問題(mid-code glitch)，所以在設計高速數位/類比轉換器上權衡溫度計碼

電流源和二進碼電流源，以達到最佳效能，本文以12位元數位/類比轉換器，採用高六位元溫度計碼和低六位元二進位權重碼設計。高六位元溫度計碼控制電流源，尤其重視電流源間因為製程因素和特性漂移差異的影響，使用抗製程變因的偏壓電流源技術 [1]，電流源間的差異可以降到最小。在考量電流源切換對輸出電流產生突波影響上，此時最大突波發生在溫度計碼電流源間的切換，設計上只要克服此部分突波問題即可，因為在低六位元二進位權重碼電流源切換上，突波值不會超過溫度計碼電流源間的切換值。而實際上造成電流源切換突波可從兩方面了解，其一是路徑上流過電流的改變產生變化，另一原因為開關電晶體閘極電位變化，導致電流路徑電荷變化，在開關突波上採用串連緩衝電晶體 [2]，能有效克服此一問題。除以上問題外，採用溫度計碼控制電流源，佔用比較大的晶片面積，梯度誤差問題的影響會比較明顯，解決方法為採用四對稱排列消除線性和拋物線誤差 [3]。

由於數位/類比轉換器實現方法及技巧非常多，而且各種方法均有其優缺點，並不能面面俱到的考量到所有的規格需求，本論文同時考量到製程參數變化，開關突波問題以及大面積晶片佈局的梯度影響，最後完成設計並且得到很好的結果。

1.2 研究動機

在閱讀相關文獻之後，了解各種數位/類比轉換器的作法以及優缺點，在這些方法之中，二進位權重電流源式(binary weighted current source)和溫度計碼電流源式(thermometer code current source)兩者分段配置很適合去闡訴『抗製程漂移偏壓電流源』技術，對提高電流源準確性，製程導致臨界電壓的飄移，同時在溫度改變和外加電壓變化下分析此數位/類比轉換器特性方面，予以驗證其理論的可行性，我們以一個十二位元的數位到類比轉換器其中低六位元採用二進位權重電流源，高六位元採用溫度計碼電流源，以此架構予以實做，得到相當優越效能，同時確定其改進效果如預期所言。

1.3 論文組織

第一章 緒論。

第二章 原理介紹:數位/類比轉換器定理，架構及實作方法。

第三章 介紹 12 位元的數位/類比轉換器架構，以溫度計碼控制的電流源和二進位權重碼控制電流源並用方式完成設計。

第四章 12 位元數位到類比轉換器晶片佈局及佈局後模擬結果。

第五章 為 12 位元數位到類比轉換器量測。

第六章 結論及未來工作展望。



第二章 數位/類比轉換器原理

本章將介紹數位/類比轉換器(digital to analog converter)的基本知識，設計參數規格定義和原理，電路架構等，電路在應用系統中的腳色和地位方塊圖，理想的數位/類比轉換器，以及其規格參數的定義。

2.1 數位/類比轉換器(DAC)

數位/類比轉換器(DAC)在電路中的目的就是要將系統中處理完成的數位訊號轉換為類比訊號，供人類的感觀接收，在自然界中大部分訊息都是類比的訊號，我們人類的感觀所能接受的訊息也是類比訊號，但是訊號的處理幾乎都是用數位地方式做處理，輸出是數位的信號，再經由數位/類比轉換器轉換為電的類比信號去驅動機械裝置轉換到我們所能接收的訊號。

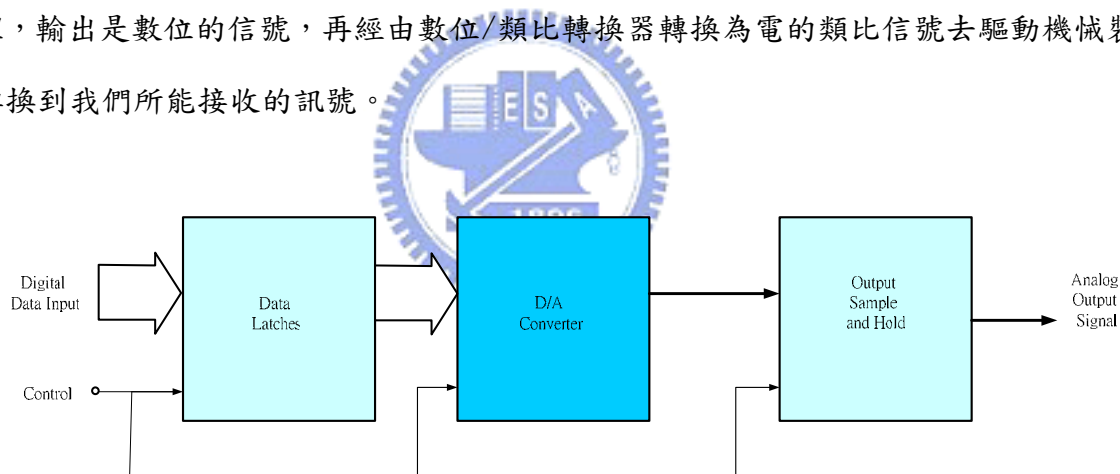


圖 2.1 數位/類比轉換器基本架構

圖 2.1 為數位/類比轉換基本架構，包括數位資料輸入及信號保持電路，以提供數位/類比轉換器一個短時靜態的輸入，再輸出部分為一個相對的類比信號，當然這些信號的轉換都是由控制信號逐步一筆一筆予以轉換。

2.2 理想數位/類比轉換器(Ideal DAC)

2.1 式輸出電壓 V_{out} 為理想數位/類比轉換器的類比輸出電壓大小， V_{ref} 為類比電壓

的參考信號電位，為最大類比輸出電位的 1/2。輸出 V_{out} 和 V_{ref} 參考信號的關係為依照數位訊號 $b_1, b_2 \dots b_n$ 輸入乘以所對應的權重 ($2^{-1}, 2^{-2} \dots 2^{-n}$)， b_1 相對應的權重值最大為 (2^{-1})，我們稱 b_1 為 MSB，而 b_n 相對應的權重 (2^{-n}) 值最小，我們稱 b_n 為 LSB， n 即為此數位/類比轉換器的數位數入數目或是稱作解析度。

$$V_{out} = V_{ref} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (2.1)$$

在 2.2 式中我們會定義 V_{LSB} 的值，此值為最小類比輸出變化量。

$$V_{LSB} \equiv \frac{V_{ref}}{2^n} \quad (2.2)$$

2.3 數位/類比轉換器(DAC)規格參數

2.3.1 解析度(Resolution)：

此參數定義類比輸出變化位階相對於數位輸入訊號的二進制數目量，單位為 bit，因此 N bit 數位/類比轉換器(DAC)代表類比輸出有 2^N 個位階的電位變化輸出能力，以 12 位元數位到類比轉換器為例，輸出最大值到輸出最小值間將有 $2^{12}=4096$ 個位階，且其數位碼對應的類比電位和計算值誤差要在 0.5 LSB 以內，才能確保沒有漏碼情況產生。

2.3.2 偏移誤差(Offset error)：

在 2.3 式中定義 $E_{off(DAC)}$ 的值，如圖 2.2 所示，DAC 實際響應輸出量和理想輸出量 (計算值) 之間的誤差值除以單位變化量 (V_{LSB}) 的值，單位為 bit，在電路實現上，偏移誤差是很難避免的，我們也沒有必要一定要完全消除它，但是在對輸出訊號的應用或是量測上，我們要知道怎樣去使其影響降到最小，在計算電路性能時，我們要將其考慮進去，並且修正輸出數據，因為這些偏移在一般情況下是可以被接受的。

(2.3)

$$E_{\text{off}(DAC)} \equiv \frac{V_{\text{out}}}{V_{\text{LSB}}} \Big|_{0\dots0} \quad (\text{LSB})$$

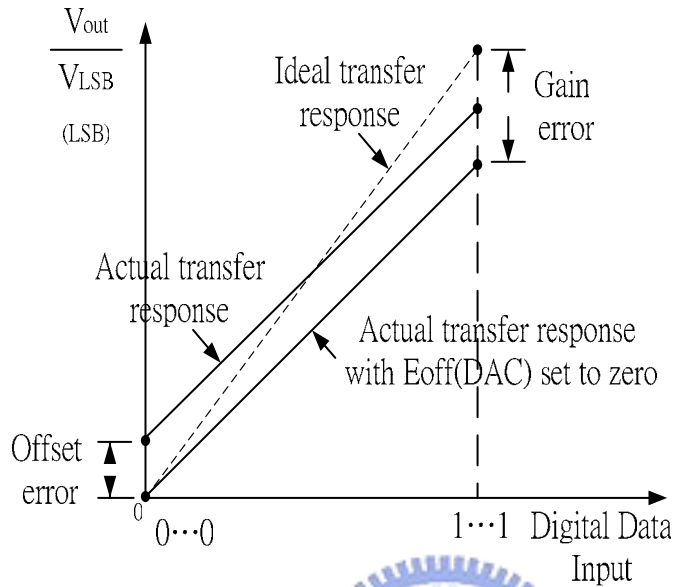


圖 2.2 DAC 偏移誤差和增益誤差

2.3.3 增益誤差(Gain error)：

在 2.4 式中定義 $E_{\text{gain}(DAC)}$ 的值，參考圖 2.2，增益誤差量為 DAC 修正偏移誤差量後實際輸出響應和理想輸出量之間的誤差值除以單位變化量 (V_{LSB})，單位為 bit，我們之所以要考慮偏移誤差和增益誤差，是因為我們接下去要計算 DAC 的性能，考慮這些因素後，修正數據再予以計算我們要量測的指標，包刮 DNL 和 INL...等，為電路精確度的指標。

$$E_{\text{gain}(DAC)} \equiv \left[\frac{V_{\text{out}}}{V_{\text{LSB}}} \Big|_{1\dots1} - \frac{V_{\text{out}}}{V_{\text{LSB}}} \Big|_{0\dots0} \right] - (2^N - 1) (\text{LSB}) \quad (2.4)$$

2.3.4 精確度(Accuracy)：

絕對精確度(absolute accuracy)：

為理想輸出響應和實際響應間的差量，包括偏移誤差量、增益誤差量及線性誤差量。

相對精確度(relative accuracy)：

為理想輸出響應和實際輸出響應在移除或修正偏移誤差量及增益誤差量後的誤差值。精確度的單位為 bit，且誤差量要小於 0.5 個 LSB，因此以一個 N bit 精確度的 DAC，則所有的誤差量包刮累積非線性誤差和個別非線性誤差要小於 $0.5 * (V_{ref}/2^N)$ 。

2.3.5 累積非線性誤差(Integral nonlinearity error INL)：

累積非線性誤差(INL)為實際輸出響應在排除和修正後偏移誤差和增益誤差後和理論值之間的差量，如圖 2.3 所示，將前述誤差修正後實際量和理想值間的最大差量，

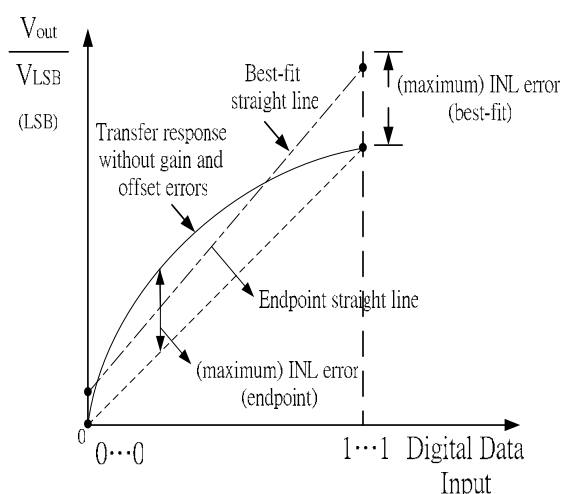


圖 2.3 累積非線性誤差

在 2.5 式中定義的值即為所稱的 INL，一般我們所稱的 INL 為最大誤差值，其最大值不一定發生在端點，且最大值不可以大於 0.5 個 V_{LSB} ，才算達到設計要求規格。

$$INL_n = \frac{Vn(actual) - Vn(ideal)}{V_{step}(ideal)}, n \leq 2^N - 1, V_{step}(ideal) = 1V_{LSB} \quad (LSB) \quad (2.5)$$

2.3.6 差動非線性誤差(differential nonlinearity error DNL) :

差動非線性誤差(DNL)為針對個別相鄰間的變化量差值減去 $1V_{LSB}$ 所得到的差量的值，在 2.6 式中定義的值即為一般所稱的 DNL，而一般我們所要求的是最大的 DNL 值必須小於 0.5 個 V_{LSB} ，才算達到設計要求規格。

$$DNL_n = \frac{Vn_{step}(actual) - V_{step}(ideal)}{V_{step}(ideal)}, V_{step}(ideal) = 1V_{LSB} \quad (LSB) \quad (2.6)$$

2.3.7 穩定時間(settling time) :

為前一狀態轉換到下一個穩定狀態(電位)的時間，定義狀態改變後和理想值間的誤差小於 $0.5V_{LSB}$ 以內所需的時間，一般而言我們會去考慮中間碼部份，因為這是改變量最大的地方，穩定時間會是最長的。

2.3.8 轉換率(Conversion rate) :

為最大連續有效轉換資料的速度，為使資料有效轉換，DAC 輸出值和理想值亦必需誤差小於 $0.5V_{LSB}$ 以內，而轉換時間最長將會發生在中間碼部份，因此最大轉換率就是穩定時間的倒數。

2.3.9 單調增加特性(Monotonicity) :

一個具有單調增加特性的數位到類比轉換器(DAC)，當數位碼增加時，對應的類比輸出要相對的增加，當數位碼減少時，對應的類比輸出要相對的下降，DAC 要達到單調增加特性則 DNL 要小於 $0.5 V_{LSB}$ 以內，若 DNL 僅小於一個 V_{LSB} 以內，而且要保有單調增加特性則 INL 要小於 $0.5 V_{LSB}$ 以內。

2.4 數位類比轉換器基本架構

本節將介紹數位/類比轉換器(digital to analog converter)的基本架構，包括電阻串列式(resistor string DAC)，兩級電阻串列式(two stage resistor string DAC)，二進位權重電阻式(binary-weighted resistor DAC)，R-2R 電阻梯式(r-2r ladders DAC)，電容電荷重新分布式(charge-redistribution switched-capacitor DAC)，二進位碼電流源切換式(current mode binary-weighted code DAC)，溫度計碼電流源切換式(current mode thermometer code DAC)…等。

2.4.1 電阻串列式數位/類比轉換器(Resistor-String DAC):

圖 2.4 為電阻串列式數位到類比轉換器[4]，數位信號轉換為相對應開關控制信號以控制對應的開關，將電阻分壓上電壓傳送到運算放大器輸入(緩衝器)，此電路缺點在於不容易實現高解析度的數位到類比轉換器，因為開關數量為 2^N 個，電阻數量為 $2^N - 1$

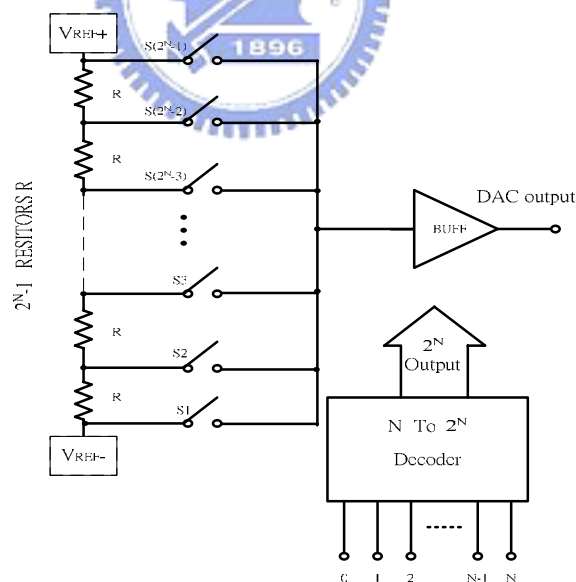


圖 2.4 電阻串列式數位/類比轉換器

個，以 12 為元為例，開關數量為 $2^{12}=4096$ 個，電阻數量為 $2^{12}-1=4095$ 個，因此所佔面積會很大，而其優點在於，被動元件電阻在製程上可以有很高的線行特性，若搭配其他技術，將此類轉換器轉換低位元部份(LSB)，可以達到很高的解析度。

2.4.2 兩級電阻式數位/類比轉換器(2-Stage Resistor-String DAC):

相較於電阻串列式數位到類比轉換器(DAC)在實現多位元時需要大量的電晶體開關和大數量的電阻，並且佔用大面積的缺點，[5]做一改進，在圖 2.5 為改進後的電阻串列式數位到類比轉換器，稱為兩級電阻串列式，數位信號分為高位元和低位元兩組，分別解碼以控制開關動作順序，如此轉換器相對應開關控制信號數目為 $2 \times 2^{N/2} + 2^{N/2}$ 個，電阻為 $2 \times 2^{N/2} - 1$ 個，以 12 為元為例，開關數量為 $2 \times 2^{12/2} + 2^{12/2} = 192$ 個，電阻數量為 $2 \times 2^{12/2} - 1 = 128$ 個，相較於圖 3.1 此電路大幅減少開關數目和電阻數目，晶片佈局面積也大幅縮小，但是為了使第二級不會成為第一級的負載，前級和後級間要加入單位增益緩衝器，對於實現高解析度的數位到類比轉換器，相對的也比較可行。以相同原理若是採用三級或是更多級時將會更節省開關數目和電阻面積。

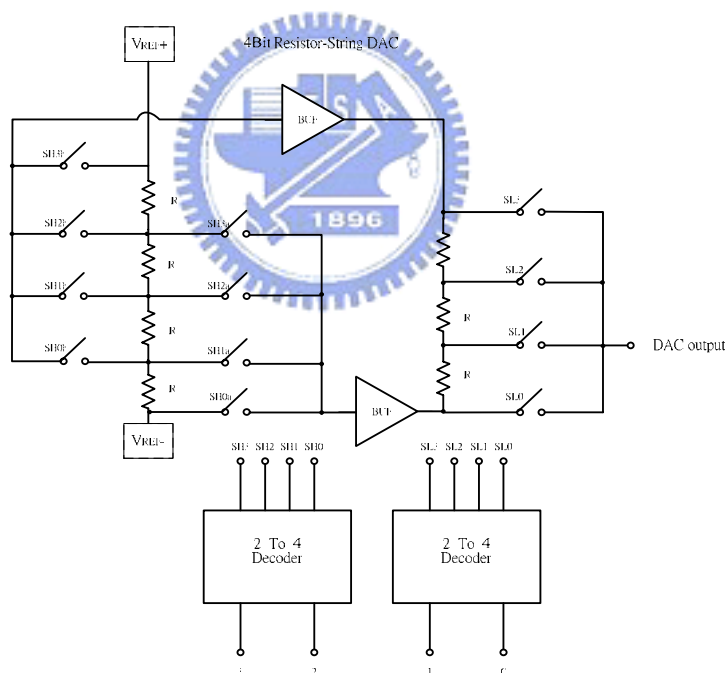


圖 2.5 兩級電阻串列式數位/類比轉換器

2.4.3 權重電阻式數位/類比轉換器(Binary-Weighted Resistor DAC):

相較於前兩節的電阻串式的數位到類比轉換器，需要比較多的開關控制和大數量電阻的缺點，在圖 2.6 中為二進碼權重電阻式的數位到類比轉換器，輸入電阻以倍數

方式增加，MSB 部分電阻最小，LSB 電阻最大，對 N 位元轉換器而言，兩者阻抗相差 2^N 倍，電阻大小在實作時要很注意比例匹配問題，但是架構上是相對簡單，輸出電壓如 2.7 式所示，控制開關數目和位元數相同，而開關為訊號路經的一部份，開關電阻必須考慮到輸入電路電阻內，位元切換時因為每一路徑有不同的時間常數，在 LSB 部分有最大阻抗和最大時間常數，而中間碼部分有最大變化，尤其要注意輸出狀態是否已經穩定，因此在轉換速度上會有相當限制。電位偏移量也是影響性能的因素之一，要消除偏移電位問題可採用全差動式架構，同時可修正為同相輸出。

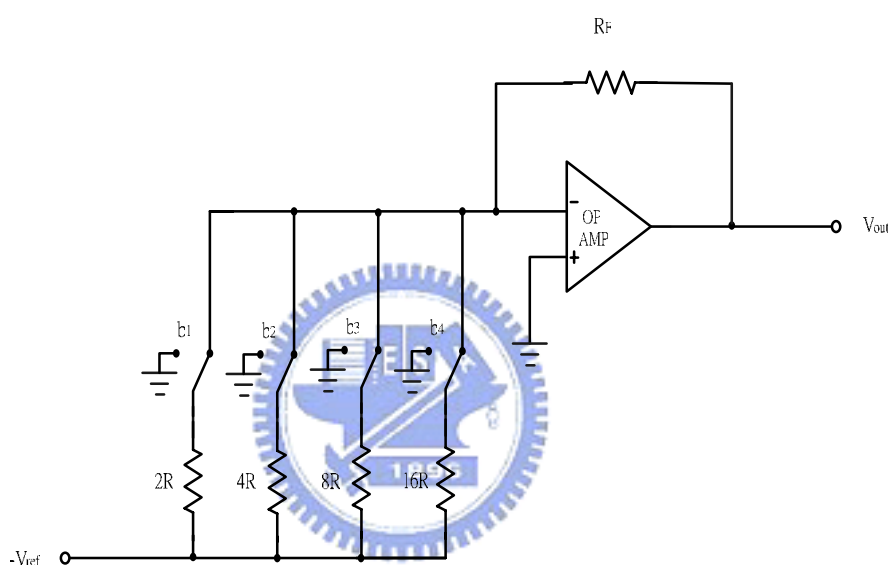


圖 2.6 二進位權重電阻式數位/類比轉換器

$$\begin{aligned}
 V_{out} &= -R_F V_{ref} \left(\frac{b_1}{2R} + \frac{b_2}{4R} + \frac{b_3}{8R} + \dots \right) \\
 &= - \left(\frac{R_F}{R} V_{ref} \right) B_{in} \\
 B_{in} &= b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \dots + b_n 2^{-n}
 \end{aligned} \tag{2.7}$$

2.4.4 R-2R 電阻梯式數位/類比轉換器(R-2R ladders DAC):

相較於二進碼權重電阻式的數位到類比轉換器的輸入阻抗比例過大和時間常數太大的缺點，在圖 2.7 中為 R-2R 電阻梯式的數位到類比轉換器，輸入電阻為 R 和 2R 固定大小以階梯狀排列，正好克服了二進碼權重電阻式 DAC 在電阻實作上匹配以及每一

路徑時間常數相差過大的缺點，在實作上更為節省面積和有更好的頻率響應能力，輸出電壓如 2.8 式所示，控制開關數目和位元數相同，而開關為訊號路經的一部份，併入 2R 電路電阻內考慮，位元切換時因為每一路徑不同的時間常數，和流經電流不同而互相補償而得到很均勻地響應速度。

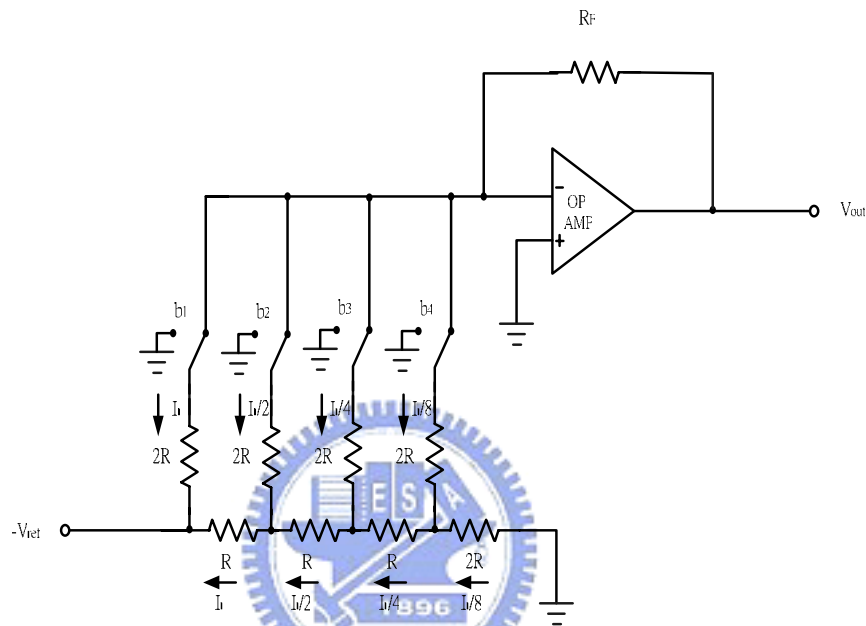


圖 2.7 R-2R 電阻梯式數位/類比轉換器

$$V_{out} = R_F \sum_{i=1}^N \frac{b_i I_r}{2^{i-1}} = \left(\frac{R_F}{R} V_{ref} \right) \sum_{i=1}^N \frac{b_i}{2^i} \quad (2.8)$$

$$I_r = \frac{V_{ref}}{2R}$$

2.4.5 電容電荷重新分布式數位/類比轉換器 (Charge-Redistribution

Switched-Capacitor DAC):

此電路基本原理為依照數位碼控制重置輸入各電容值，經由切換開關控制，將輸入端電容電荷轉換到運算放大器迴授端電容器上，依電荷不減定律，輸出端產生對應

電位 V_{out} ，在圖 2.8 中為四位元 DAC 例子， b_1 為 MSB， b_4 為 LSB， Φ_1 導通時，因為運算放大器輸入端虛接地，迴授電容 $16C$ 兩端放電， C 到 $8C$ 電容依照數位碼情況充電到電位 V_{ref} ，當 Φ_2 導通時， $C \sim 8C$ 電容上電荷 ($b_i C V_{ref}$)，轉換到運算放大器迴授電容 $16C$ 兩端，同時產生輸出電壓，電壓大小如 2.9 式所示。電路中 C_2 為電位偏移補償電路， Φ_{1a} 導通時，放大器輸出端偏移電荷將會存入 C_2 ， Φ_{2a} 導通時將此電荷補償到輸出端，此電位偏移補償電路適用於單端輸出架構，若採用全差動(fully differential) 電路架構時，電位偏移量會儲存在放大器的兩個迴授電容上，而自動抵消，這也就是為何設計電路時，設計者喜歡採用全差動電路架構切換電容電路的原因[7]。而此種電路缺點在於電容間會有不匹配(miss match)問題和電容面積大以及充放電時間常數大等[8]。

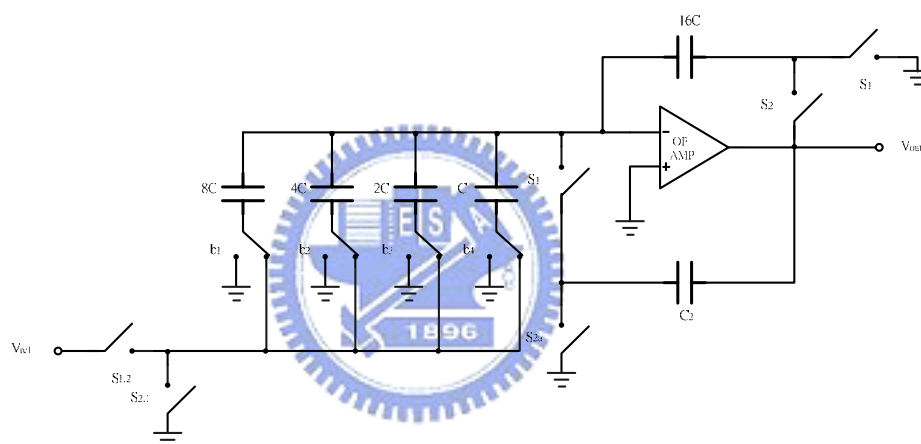


圖 2.8 電容電荷重新分布式數位/類比轉換器

$$V_{out} = -V_{ref} \sum_{i=1}^N \frac{b_i}{2^i} \quad (2.9)$$

無論是電阻式或是電容電荷重新分布式，在完成高位元數和高速要求下，都會面臨反應速度上和晶片面積過大的瓶頸，所以在實現高位元，高資料轉換速度，小面積以及高解析度參數上，會採用電流源切換式的數位到類比轉換器，接下來部分我會介紹二進位碼權重電流源切換式，相同電流源式或是溫度計碼控制電流源式，以及分段式的權重電流源或是相同電流源間的分配架構。

2.4.6 二進位碼權重電流切換式數位/類比轉換器 (Current Mode Binary-Weighted Code DAC):

圖 2.9 中所示為四位元二進制碼數位到類比轉換器，2.10 式為輸出電壓公式，是直接以二進制碼數位碼控制電流源的開關，決定該電流源的導通與否，由於 DAC 輸入碼均為二進制碼，所以二進制碼數位到類比轉換器不需要解碼電路，這樣的特性可以使數位電路部份的複雜度大大下降，進而減少數位電路的佈局面積，並且在電路

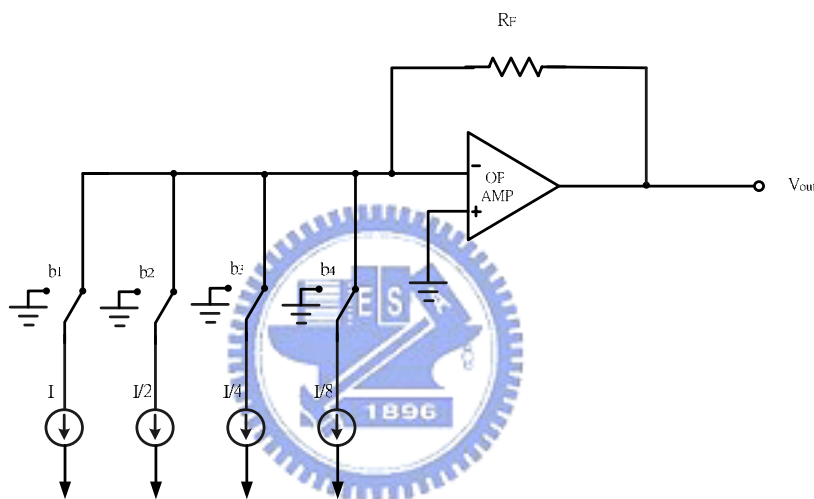


圖 2.9 二進位碼電流切換式數位/類比轉換器

操作速度上有最少的延遲，儘管擁有這些優點，使設計者喜歡採用於電路中，但在下列因素的缺點下，此電路仍然有很大限制：

中間碼突波(Middle code glitch)，二進位碼數位到類比轉換器，在中間碼(Middle code)轉換時，以圖 2.10 說明，當輸入碼由 011~11 轉換到 100~00 會產生最大的差動非線性誤差，和最大的突波現象，這是因為開關動作使電流源在導通和關閉第瞬間會有電荷回沖(Charge injection)，產生突波現象，而在中間碼時二進位碼數位到類比轉換器的所有電流源皆有導通或是關閉地動作，因此此時的突波現象會是在整個轉換過程中最大最嚴重的，同時最差的差動非線性誤差也可能在此產生。此外，由於各個電流源為獨立電源，大小不同，在電晶體上產生的壓降也不一樣，相關性最小，因此在數位碼為遞增或是遞減時要保證輸出訊號也是相同的遞增或是遞減會比較困難

的，保有單調增加特性(Monotonicity)將會是一項考驗。

$$V_{out} = R_F \sum_{i=1}^N \frac{b_i I}{2^{i-1}} \quad (2.10)$$

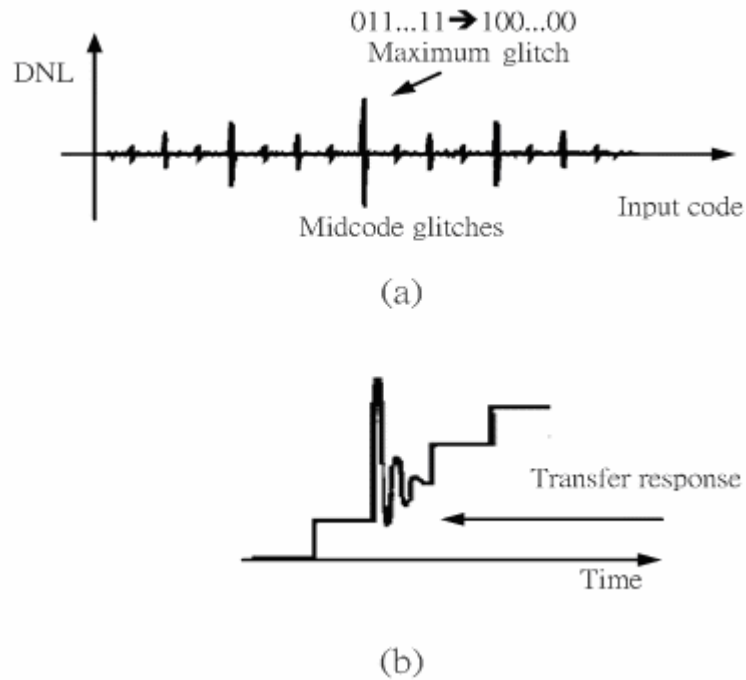


圖 2.10 Midcode Glitches

綜合上述特性，採用二進位碼數位到類比轉換器在電路複雜度和速度上有很好的表現，但在突波抑制方面，仍有待努力克服，[9]提出如圖 2.11 中兩級式的(two stage)的權重電流切換式數位/類比轉換器，完成十位元數位到類比轉換器，為了達到每一電流源間的精確比例，低位元五碼的電流源使用相同的 $2^5=32$ 子電流源，組成 1:2:4:8:16 比例，並且總和在一起成為高位元五碼的電流源單位電流，同理高位元五碼的電流源使用相同的 $2^5=32$ 子電流源，組成 1:2:4:8:16 比例，如此才能提高電流源間的相似特性，在速度提升上採用全差動輸出架構，開關電路為差動對電晶體 (differential pair transistors)，每一電流源電流保持固定不變，以達到速度響應快並且降低突波所造成輸出安定時間延長問題，但其對突波的抑制仍然不夠完好。

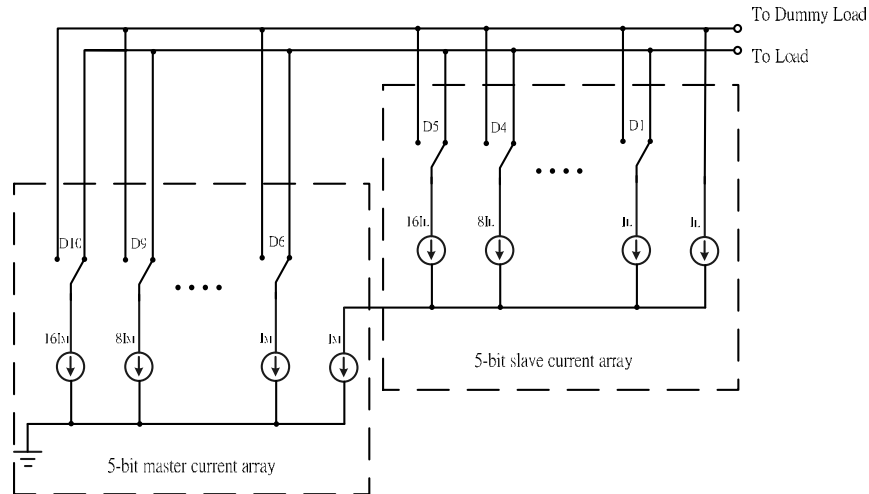


圖 2.11 two stage 的權重電流切換式數位/類比轉換器

2.4.7 溫度計碼電流切換式數位/類比轉換器 (Current Mode

Thermometer Code DAC):

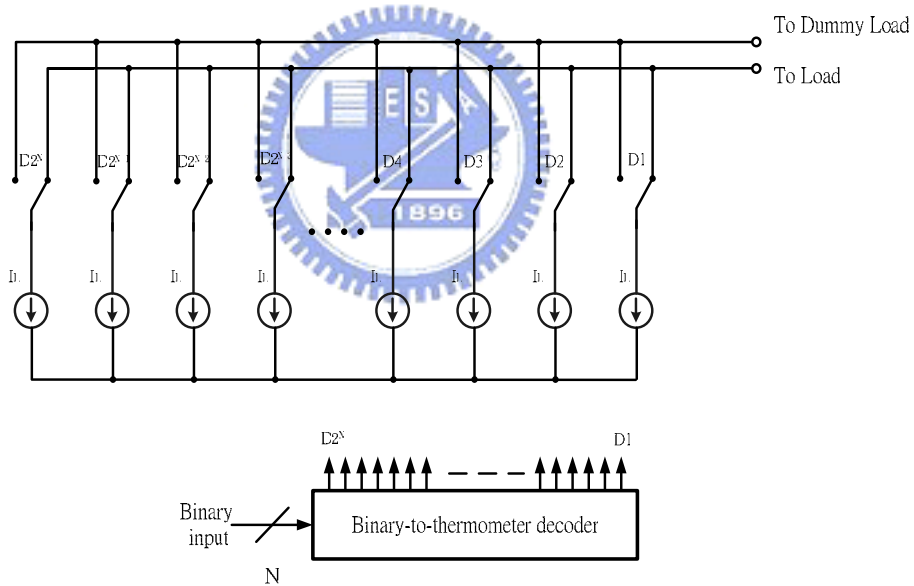
如圖 2.12 架構為溫度計碼電流源切換數位到類比轉換器，每一個電流源大小設計為相同，和二進位碼數位到類比轉換器不同的是，將二進位碼的電流源拆成 $2^N - 1$ 個相同大小的子電流源，每一個電流源由各別開關控制導通或是截止，因此此種方法必須將輸入的二進位碼進行編碼，這樣編碼的好處是使輸出類比訊號很容易保有單調增加特性(Monotonicity)，由於數位解碼電路的複雜度會隨數位碼增加而增加，所以溫度計碼電流源切換數位類比轉換器相較於二進位碼數位到類比轉換器在電路上會複雜很多，同時電流源所佔面積也會大很多，因為要將二進位碼進行解碼轉換為溫度計碼，還會額外的增加此部分電路佈局，所佔面積隨位元數增加而平方倍增加，位元數高時很可能解碼電路所佔面積就大於電流源的面積，因為每一電流源為獨立開關控制佈局拉線複雜度很高，因此此電路雖然擁有高速，單調增加特性，和高解析度特性，但是要完成高位元數的轉換器非常困難。此種電路搭配其他電路型態，目前仍廣泛應用在數位到類比轉換器中，主要是因為考量到突波和差動非線性誤差有優異性能，因為電流源由數位碼控制並且轉換為類比訊號過程，切換方式是採用依序漸進的方式，每

當數位輸入碼依序增加或是減少時，相對電流源導通或是截止也是依序變化，在二進位碼數位到類比轉換器的中間碼由 011~11 轉換到 100~00 每一電流源都在同時動作(導通或是截止)會產生最大的突波和差動非線性誤差，在此種轉換器上可以近乎完美的被

N bit binary code to 2^N thermometer code

b_N	b_{N-1}	b_{N-2}	...	b_2	b_1	$D_{2^{N-2}}$	$D_{2^{N-1}}$	D_{2^N}	...	D_2	D_1	D_0
0	0	0	...	0	0	→	0	0	0	...	0	0
0	0	0	...	0	1	→	0	0	0	...	0	1
0	0	0	...	1	0	→	0	0	0	...	0	1
⋮												
1	1	1	...	1	0	→	0	1	1	...	1	1
1	1	1	...	1	1	→	1	1	1	...	1	1

(a)



(b)

圖 2.12 溫度計碼電流切換式數位/類比轉換器
(a)二進碼轉溫度計碼, (b)電路架構

消除，因為在中間碼時也只有一個電流源被導通或是截止，對輸出端影響也只等同於 1LSB 的變化量，所以在突波和差動非線性誤差上有很優異的表現，這同時也保證此轉換器為保有單調增加特性，而其缺點在於不容易完成高位元數位/類比轉換器，如 10 bit

DAC 要有 $2^{10}-1=1023$ 個電流源，同時也要有 $2^{10}-1=1023$ 個控制信號，相對於二進位碼數位到類比轉換器僅需十個電流源和沒有額外解碼，其難度可想而知。

2.4.8 溫度計碼與二進位權重碼共用的區段式電流源數位/類比轉換器：

雖然溫度計碼有諸多優點，而缺點在於很難完成高位元數的數位到類比轉換器，而二進位碼數位到類比轉換器在電路複雜度和速度上有很好的表現，而突波抑制方面在可允許範圍內，低位元數的轉換器應用可行性也將相當可行，兩者結合取優點解決缺點，要完成高位元、高速、合理面積、…等考量下，採取不同區段位元的結合，在[10]兼具有溫度計碼電流源數目少以及控制碼少地優點和溫度計碼克服 Midcode Glitches 問題，同時具有單調增減特性，此方法常使用於設計高速，高位元數的數位/類比轉換器。當然同時也有兩者的缺點，之間的權衡分配，以達到最佳設計要求為目的，將部分的數位輸入碼以二進位碼數位到類比轉換器來實現，可以避免完全用溫度計碼數位到類比轉換器的數位電路過於複雜的問題，並進而提升數位電路的操作速度，而將部分的數位碼以溫度計碼轉換器來實現，可以避免二進位數位到類比轉換器的突波，差動線性誤差以及輸出訊號非單調增加特性問題，並提升數位到類比轉換器的解析度。

從以上綜合可知，區段式數位類比轉換器可以對電路的佈局面積，突波問題，差動非線性誤差以及單調增加特性等條件間，做一最佳取捨，進而得到一個高解析度和高轉換速率的數位到類比轉換器。

如何將二進位碼和溫度計碼做最佳分段，藉以在電路的佈局面積、突波抑制、差動非線性誤差、單調增加特性上作一最佳化取捨，以得到一高解析度與高速轉換速率，為一值得深入研究和分析課題。在[10]中以十位元數位輸入碼為例子，首先產生 2^{10} 個平均值為 1LSB，標準差為一個 σ 的等電流源，分別以二進位碼數位到類比轉換器和溫度計碼數位到類比轉換器來模擬與分析，其差動非線性誤差和累積非線性誤差，列於表 2.1 所示，就累積非線性誤差(INL)而言兩者有結果相同，但是對於差動非線性誤差(DNL)而言，很明顯的是二進位碼數位到類比轉換器遠大於溫度計碼數位到類比轉換

器，由於佈局面積和 σ^2 成反比，以溫度計碼數位到類比轉換器差動非線性誤差為

表 2.1 二進位碼和溫度計碼數位到類比轉換器非線性誤差比較

項目	二進位碼數位到類比轉換器	溫度計碼數位到類比轉換器
差動非線性誤差	$(2^{10})^{0.5} \times \sigma = 32\sigma$	σ
累積非線性誤差	$0.5(2^{10})^{0.5} \times \sigma = 16\sigma$	$0.5(2^{10})^{0.5} \times \sigma = 32\sigma$

0.5LSB 時電流源佈局面積定義為單為面積 A_{unit} ，若二進位碼數位到類比轉換器要達到差動非線性誤差為 0.5LSB，則電流源佈局面積將會是 $1024 \times A_{unit}$ ，若轉換器要求累積非線性誤差為 0.5LSB，則兩者的電流源佈局面積均為 $256 \times A_{unit}$ ，綜合以上分析，將二進位碼數位到類比轉換器和溫度計碼數位到類比轉換器面積關係列於表 2.2。

表 2.2 二進位碼和溫度計碼數位到類比轉換器面積比較

項目	二進位碼數位到類比轉換器	溫度計碼數位到類比轉換器
差動非線性誤差	$(2^{10})^{0.5} \times \sigma = 32\sigma$	σ
累積非線性誤差	$0.5(2^{10})^{0.5} \times \sigma = 16\sigma$	$0.5(2^{10})^{0.5} \times \sigma = 32\sigma$
面積(INL=0.5LSB)	$256 \times A_{unit}$	$256 \times A_{unit}$
面積(INL=1LSB)	$64 \times A_{unit}$	$64 \times A_{unit}$
面積(DNL=1LSB)	$1024 \times A_{unit}$	A_{unit}

根據表 2.2 關係，十位元數位到類比轉換器採用溫度計碼和二進位碼間區段位元關係如圖 2.13 所示，圖中橫軸為區段化程度，左方為數位到類比轉換器二進位碼位元數 2^0 到 2^{10} ，右方為溫度計碼數位到類比轉換器二進位元數，縱軸為正規化後電流源佈局面積，圖中三條橫線由上往下分別表示累積非線性誤差要求為 0.5LSB、1LSB、2LSB 以下時，對電流源面積的需求線，由此可以看出不論那一種型示的數位到類比轉換器，其累積非線性誤差(INL)，要求程度和電流源佈局面積成正比，也就是 INL 越小，電流

源面積就要越大，但是對差動非線性誤差(DNL)而言，由圖 2.13 中由左上往右下粗實線可以看出，若要求在相同的差動非線性誤差(DNL)情況下，則二進位碼數位到類比轉換器顯然需要有較大的電流源佈局面積，圖 2.13 中由右上往左下粗實線可以看出，對於數位電路佈局而言，溫度計碼數位到類比轉換器鮮然要有較大面積的佈局面積。

在同時考慮差動非線性誤差(DNL)為 0.5LSB，累積非線性誤差(INL)為 1LSB，則區段化程度和佈局面積關係如圖 2.13 粗實線所示，在考慮各項因素下，在合乎規格情況下，面積越小就代表成本越省，至於怎樣最好在圖 2.13 粗實線提供我們很重要參考，十位元情況下，區段化採用 40% 到 80% 的溫度計碼數位到類比轉換器或是 60% 到 20% 的二進位碼數位到類比轉換器會有最小佈局面積，至於那一點效能最好，在考慮差動非線性誤差(DNL)，和突波最小情況下，約在 80% 的溫度計碼數位到類比轉換器加上 20% 的二進位碼數位到類比轉換器，也就是在十位元轉換器上採用 2^8 溫度計碼和 2^2 二進位碼可有最佳效能。

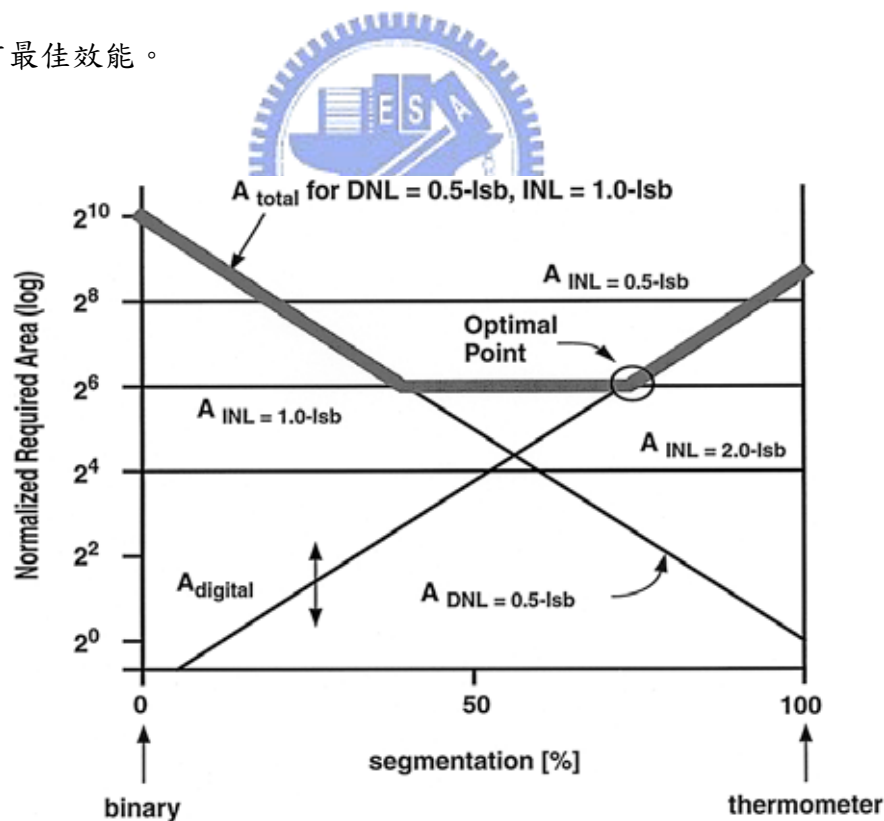


圖 2.13 十位元數位/類比轉換器採用溫度計碼和二進碼區段位元關係圖

前述討論過的各種架構類比到數位轉換器，又稱為奈奎氏率的數位到類比轉換

器，輸入信號頻寬可達 $1/2$ 系統轉換頻率，接下來討論的數位到類比轉換器為超取樣頻率的數位到類比轉換器。

2.4.9 超取樣頻率數位/類比轉換器(Oversampling DAC):

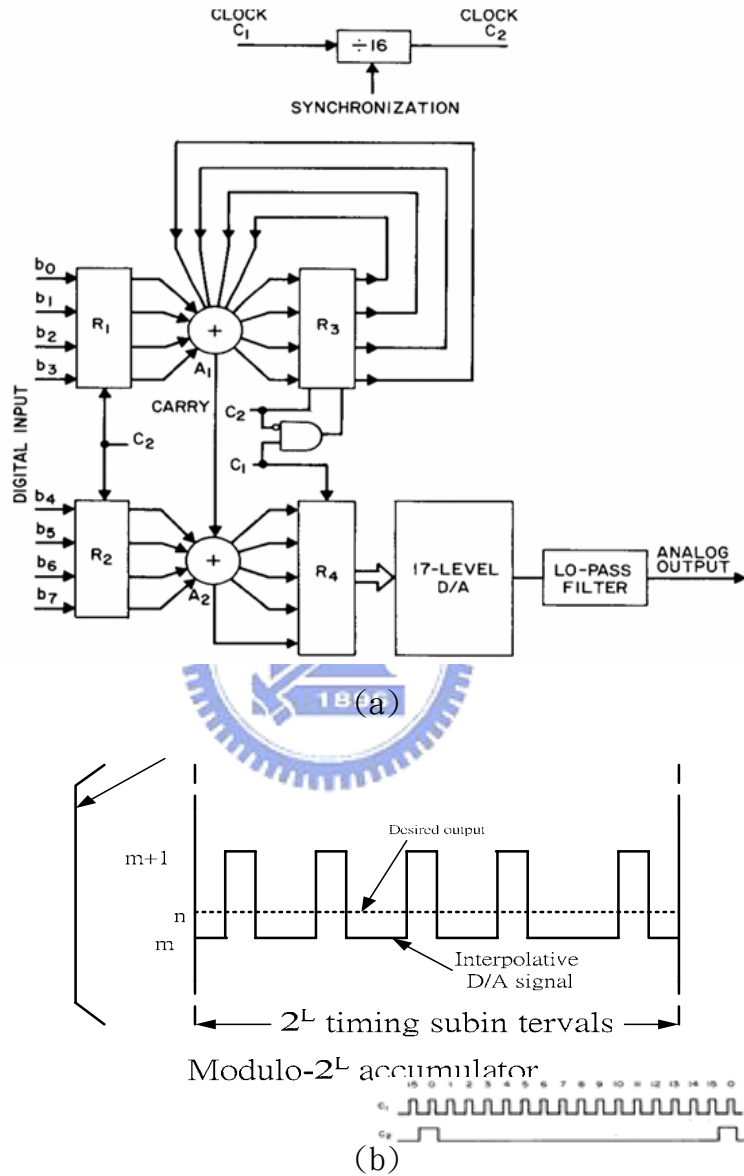
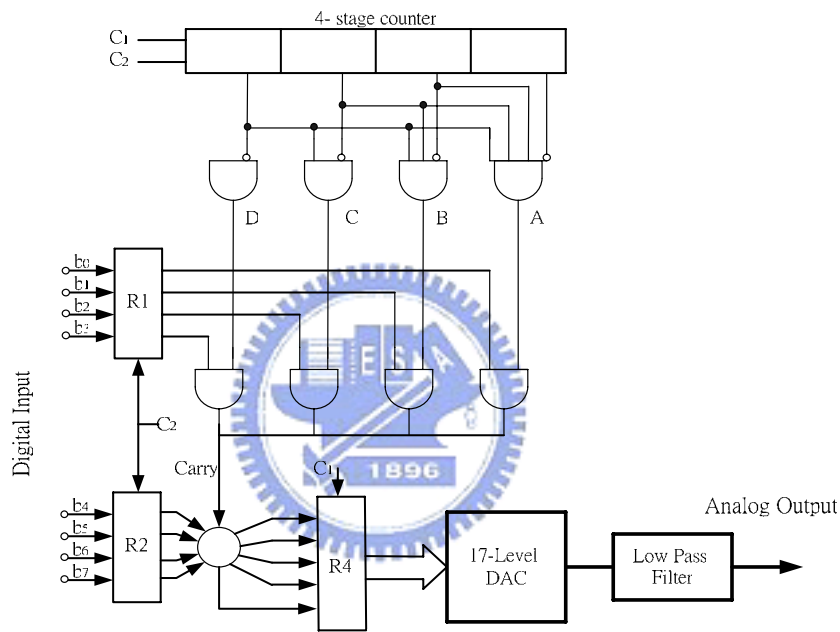


圖 2.14 超取樣頻率數位/類比轉換器 (a) 2^L 位元累積電路架構
(b) 位元累積後取平均量示意圖案

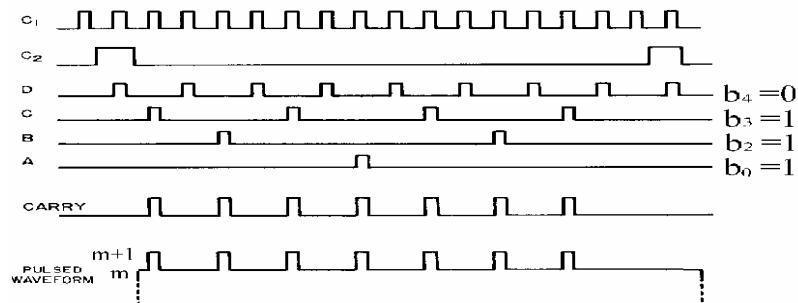
和奈奎氏率的數位到類比轉換器最大不同的地方在於，超取樣數位到類比轉換器 [11]，採用數位電路技巧將位元數下降到一定程度，再用比較少位元數的奈奎氏率的數位到類比轉換器完成轉換到類比訊號，在相同轉換頻率下，信號頻率為

$f_{in}=f_s/(2osr)$ ，相較於奈奎氏率的數位到類比轉換器 $f_{in}=f_s/2$ ，相差了 osr 倍的信號頻寬。(osr:超取樣率)

圖 2.14(a)以一個八位元電路做說明， b_0 為 LSB， b_7 為 MSB，所以低四位元 $b_0\sim b_3$ 採用數位累加器累加 $2^4=16$ 次，若低四位元為 0101，在累加 16 次過程中會有五次溢位，也就是相對於 b_4 位元額外的位元 b_4' 會在這累加 16 次過程中產生五次”1”，和高四位元 $b_4\sim b_7$ 同時存於 r_4 中，並送到下一級奈奎氏率的數位到類比轉換器，因此



(a) Binary Rate Multiplier (BRM)



(b)

圖 2.15 超取樣頻率數位/類比轉換器 (a) 2 進位計數式乘法器電路架構信號波型圖

下一級的奈奎氏率的數位到類比轉換器要有 $2^4+1=17$ 位階解析能力，其輸出波形如圖 2.14-(b) 所示，最後用低通濾波器將高頻雜訊濾除得到正確類比訊號輸出，除此種超取樣數位到類比轉換器外，在圖 2.15 為 2 進位計數式乘法器電路架構和圖 2.16 為脈波寬度調變架構，為另外兩種相同功能的超取樣數位到類比轉換器，差別僅在處理低四位元的運算方法不同，從進位以後的電路功能和架構則完全相同。

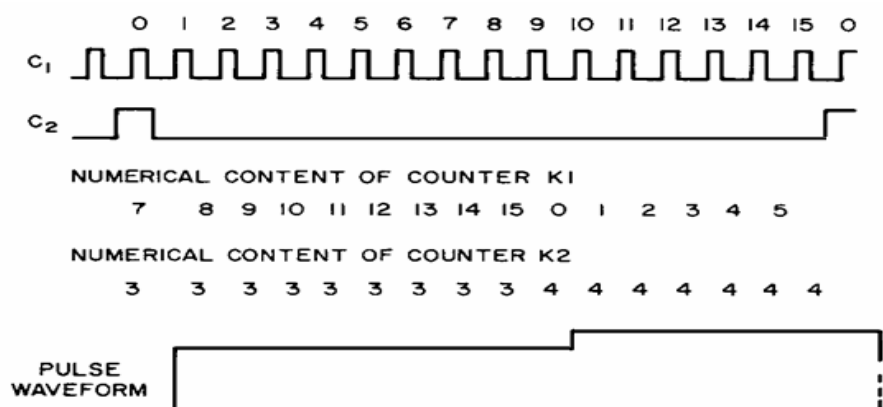
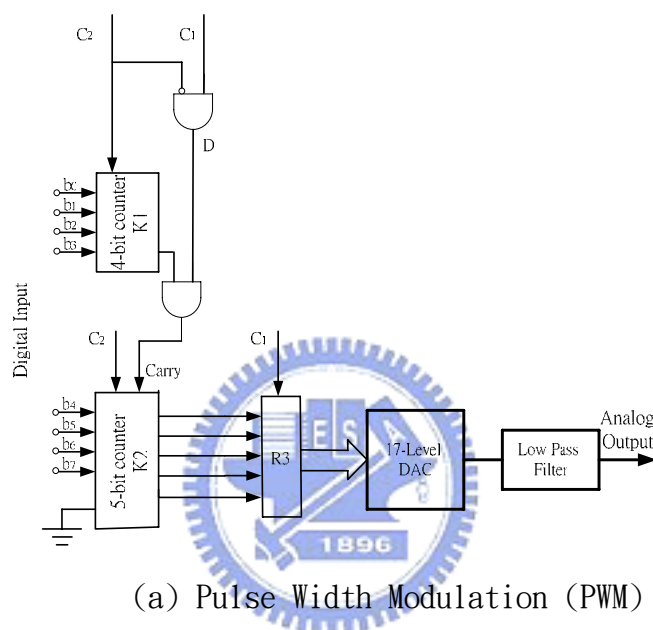


圖 2.16 超取樣頻率數位/類比轉換器 (a) PWM 電路架構信號波型圖

圖 2.17 為一階超取樣數位到類比轉換器模型[12]，超取樣率(OSR) k 並不須要是無限大，怎樣會是合理設計將會在接下來部份為你說明：在 2.11 式為最快取樣頻率的

週期，2.12 式為奈奎氏率的數位到類比轉換器的輸出位階階數，2.13 式為奈奎氏率的數位到類比轉換器的最小位元端的量化誤差大小對應到此系統的量化誤差量，所以在奈奎氏率的數位到類比轉換器端看入的系統的量化誤差量為 2.14 式，從能量觀點我

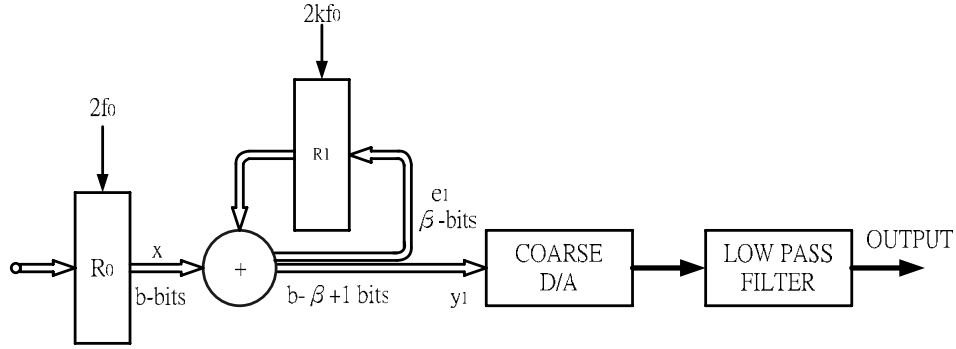


圖 2.17 一階超取樣頻率數位/類比轉換器模型

$$\tau = \frac{1}{2kf_0}, k = OSR \quad (2.11)$$

$$y_1 \rightarrow l_1 = (2^{b-\beta} + 1) \quad (2.12)$$

$$e_1 = (2^\beta - 1) / \sqrt{12} \quad (2.13)$$

$$N_{TF1}(z) = (1 - z^{-1})E_1(z)$$

$$\Rightarrow N_1(f) = ((2^\beta - 1) / \sqrt{12}) \sqrt{2T} 2 \sin \frac{\pi f}{2kf_0} \quad (2.14)$$

$$= ((2^\beta - 1) / \sqrt{12}) \sqrt{2 \frac{1}{2kf_0}} 2 \sin \frac{\pi f}{2kf_0} = \frac{(2^\beta - 1)}{\sqrt{12}} \sqrt{\frac{4}{kf_0}} \sin \frac{\pi f}{2kf_0}$$

$$= \frac{(2^\beta - 1)}{\sqrt{3kf_0}} \sin \frac{\pi f}{2kf_0}, \frac{\pi f}{2kf_0} \approx 0, f = f_0$$

$$\cong \frac{(2^\beta - 1) \pi f}{\sqrt{3kf_0} 2kf_0}$$

$$p_e = \int_0^{f_0} \left(\frac{(2^\beta - 1) \pi f}{\sqrt{3kf_0} 2kf_0} \right)^2 df = \frac{(2^\beta - 1)^2 \pi^2}{36 k^3} \leq \frac{1}{12}, \quad (2.15)$$

$$\frac{(2^\beta - 1)^2 \pi^2}{3} \leq k^3 \quad (2.16)$$

們知到，量化雜訊要小於 1/12 如 2.15 式表示，因此我們可以得到超取樣率(OSR) k 值

如 2.16 式所示。我們知道超取樣數位到類比轉換器的階數越高，在其它條件不變情況下會可有更低的階超取樣率 k 值，在圖 2.18 為二階超取樣數位到類比轉換器模型，從

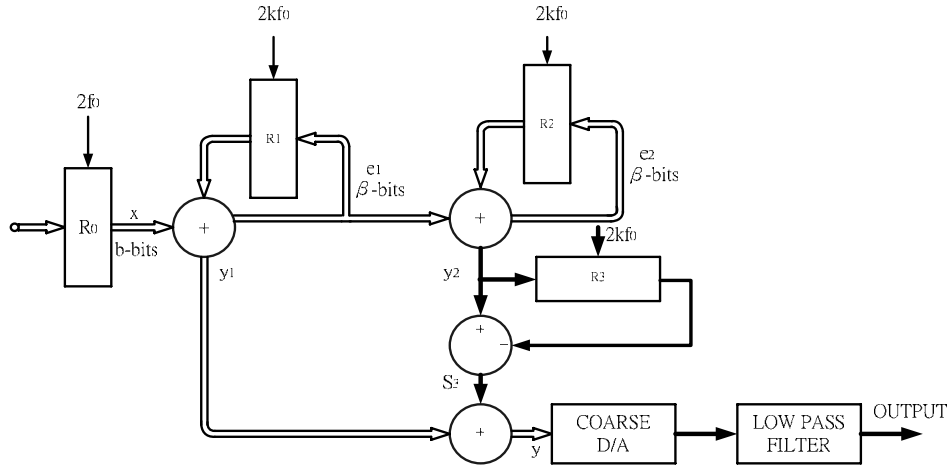


圖 2.18 二階超取樣頻率數位/類比轉換器模型

$$y_1 \rightarrow l_1 = (2^{b-\beta} + 3) \quad (2.17)$$

$$N_{TF}(z) = (1 - z^{-1})^2 E_2(z)$$

$$\Rightarrow N_2(f) = ((2^\beta - 1) / \sqrt{12}) \sqrt{2T} (2 \sin \frac{\pi f}{2kf_0})^2 \quad (2.18)$$

$$= ((2^\beta - 1) / \sqrt{12}) \sqrt{\frac{1}{kf_0}} (2 \sin \frac{\pi f}{2kf_0})^2 = \frac{(2^\beta - 1)}{\sqrt{12}kf_0} (2 \sin \frac{\pi f}{2kf_0})^2$$

$$= \frac{(2^\beta - 1)}{\sqrt{12}kf_0} \frac{4}{1} \sin^2 \frac{\pi f}{2kf_0}, \frac{\pi f}{2kf_0} \approx 0, f = f_0$$

$$\cong \frac{(2^\beta - 1)}{2\sqrt{3}kf_0} 4 \left(\frac{\pi f}{2kf_0} \right)^2$$

$$P_e = \int_0^{f_0} \left(\frac{(2^\beta - 1)}{2\sqrt{3}kf_0} \left(\frac{\pi f}{kf_0} \right)^2 \right)^2 df = \int_0^{f_0} \left(\frac{(2^\beta - 1)}{2\sqrt{3}kf_0} \left(\frac{\pi}{kf_0} \right)^2 \right)^2 f^4 df$$

$$= \left(\frac{(2^\beta - 1)}{2\sqrt{3}kf_0} \left(\frac{\pi}{kf_0} \right)^2 \right)^2 \frac{f_0^5}{5} = \frac{(2^\beta - 1)^2 \pi^4}{60 k^5} \leq \frac{1}{12},$$

$$\frac{(2^\beta - 1)^2 \pi^4}{5} \leq k^5 \quad (2.19)$$

$$(2.20)$$

2.17 式到 2.20 式為超取樣率 k 值推導過程，我們以一例子說明使用一階和兩階超取樣

數位到類比轉換器的差別，若輸入位元數為 $b=16$ bit，縮減位元 $\beta=12$ bit，則一階超取樣數位到類比轉換器超取樣率 k_{1st} 值為 381，使用奈奎氏率的數位到類比轉換器的輸出位階數為 17，而兩階超取樣數位到類比轉換器超取樣率 k_{2nd} 值下降為 51，使用奈奎氏率的數位到類比轉換器的輸出位階數為 19，所以我們知到在相同要求下使用高階超取樣數位到類比轉換器可以用比小的超取樣率，但是相對的數位電路製作和佈局面積也會增加。



第三章 切換電流源式數位/類比轉換器電路設計

本章介紹數位/類比轉換器(digital to analog converter)的實際設計，包括設計規格要求，電路架構，元件在系統中的功能和原理，設計考量，以及設計結果。

電流源式數位到類比轉換器電路中，電流源的穩定直接影響電路性能，溫度計碼式的電流源數位到類比轉換器，尤其重視電流源間因為製程因素和特性漂移差異的影響，採用抗製程變因的偏壓電流源技術[1]，對電路有重要影響，使電流源間的差異降到最小，除此之外尚需考量到開關信號對輸出電流產生突波影響和梯度誤差影響，因此在開關突波上採用串連緩衝電晶體，以解決此問題，在梯度誤差方面採用四對稱排列消除線性和拋物線誤差。在無線通訊信號處理電路設計上，最後的信號仍然要轉換回類比訊號，DAC 在電路中已成為必備且關鍵性原件，用以轉換數位訊號到相對應的電氣類比訊號，以此類比訊號去驅動機件，在轉換為人類所能感受的訊息，因此對 DAC 的設計及特性有深入了解才能設計出好的電路系統。

3.1 12 bit 數位/類比轉換器規格

本電路設計規格為：

1. 解析度 (resolution) 為 12bit。
2. 差動非線性誤差 (Differential Nonlinearity Error DNL) 小於 $0.5 I_{LSB}$ 。
3. 累積非線性誤差 (Integral Nonlinearity Error INL) 小於 $0.5 I_{LSB}$ 。
4. 轉換率 (Conversion Rate) 100MS/S。
5. 功率損耗 (Power Dissipation) 100mW。
6. 電源電壓 3.3V。
7. 使用製程 為 tsmc 0.35um 2p4m。
8. 晶片面積為 3.3 mm^2 。

3.2 12-bit 數位/類比轉換器電路

本節介紹數位/類比轉換器(digital to analog converter)的實際設計，包括設計規格要求，電路架構，元件在系統中的功能和原理，設計考量，以及設計結果，設計一預估負載為 50 歐姆 20pF，轉換頻率為 100MHz，12bit 數位到類比轉換器。在各種架構下我選用主動電流源式的轉換器，因為此種轉換器有最高的轉換速度，但是相對會有比較高的功率損耗，但是相較於使用電阻或是電容等被動元件式的數位類比轉換器，則有比較節省面積的優點，所以我的設計以電流源式的架構為主，採用抗製程漂移偏壓電流源，同時在降低電流切換時產生的突波問題上，採用開關緩衝電晶體，使突波有效下降，提高電路性能。

3.2.1 12-bit 數位/類比轉換器電路架構

基於速度和解析度，採用圖 3.1 兩級式的切換電流源架構，第一級為 63 個溫度計碼控制的切換電流源 I_{MSB} ，佔高位元數的六碼，第二級為六個使用二進碼控制的權重式

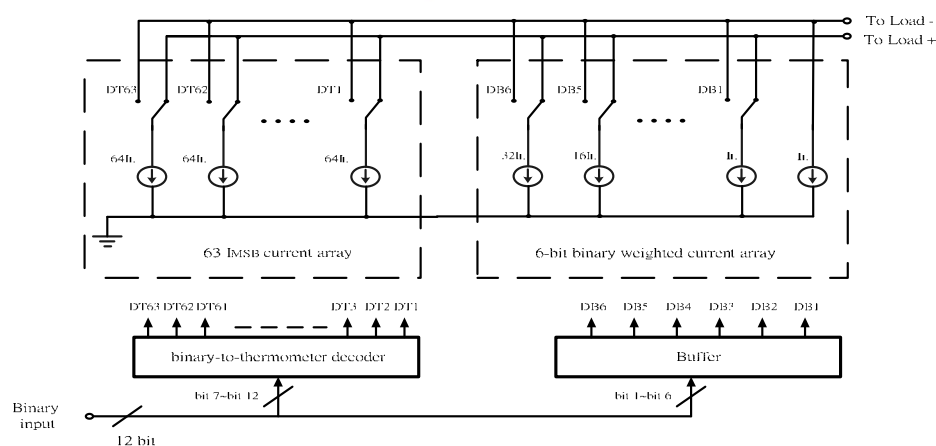


圖 3.1 兩級式切換電流源數位/類比轉換器

切換電流源，佔低位元數的六碼，最後加上一位元 I_{LSB} 補償電流源，合計使用 70 個電流源和 69 條控制線，其中 63 條為溫度計碼控制線以控制高位元的 6 碼，6 條為二進碼控制線以控制低位元 6 碼的權重式切換電流源。

3.2.2 電流源電路—抗製程變因的偏壓電流源技術

電流源設計，採用抗製程變因的偏壓電流源技術[1]，如圖 3.2 電路，為兩級式的共源極放大器，具有 V_{th} 區域匹配特性外，並為單一偏壓式電流源，同時輸入訊號輸入到 M_p 電晶體閘極，因此訊號輸入不受導線電阻不為零所造成的影響改變。以 12 位元數位到類比轉換器電路，採用圖 3.1 架構在溫度計碼部分電流源設定為 512 μA ，設計完成後經蒙第卡羅模擬 128 次，結果如圖 3.3 (a)為 H-spice 電流結果[20]，(b)為統計圖，平均值為 512 μA ，標準差為 16.4 μA 。

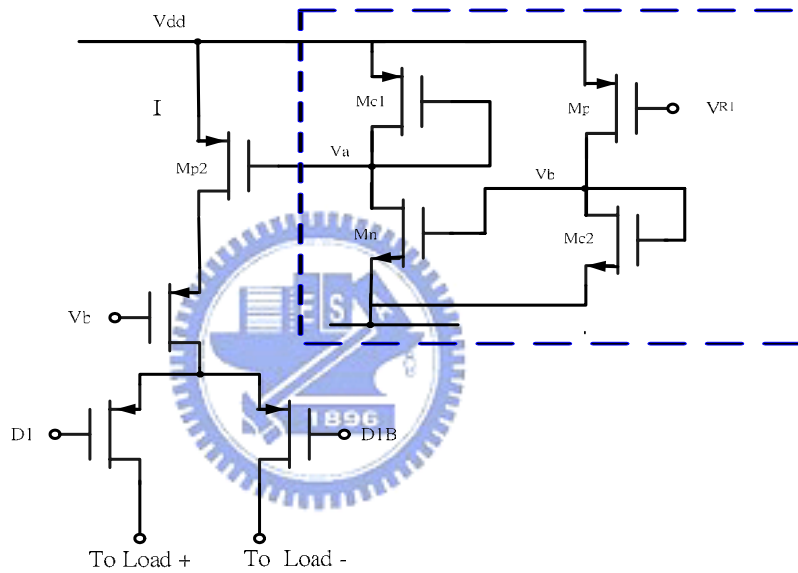
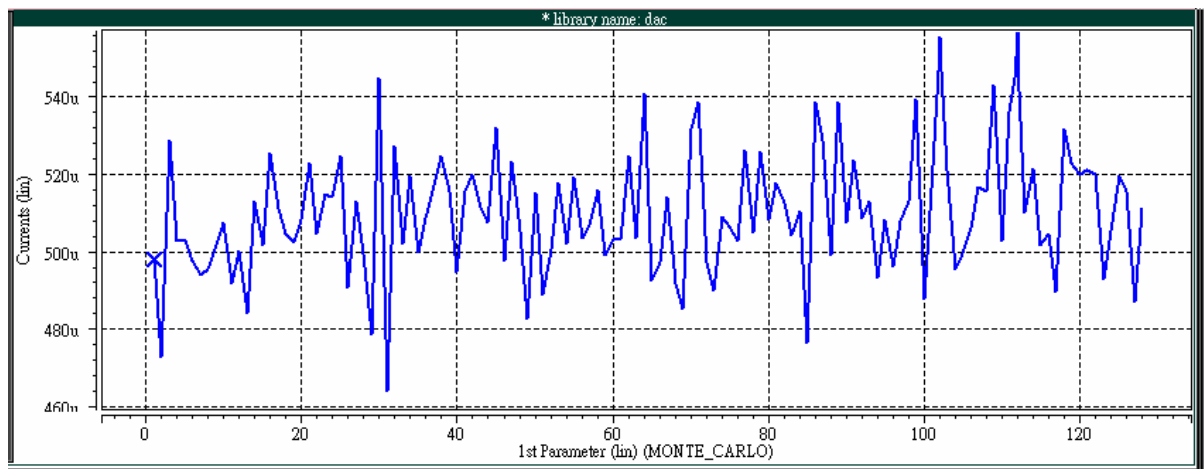
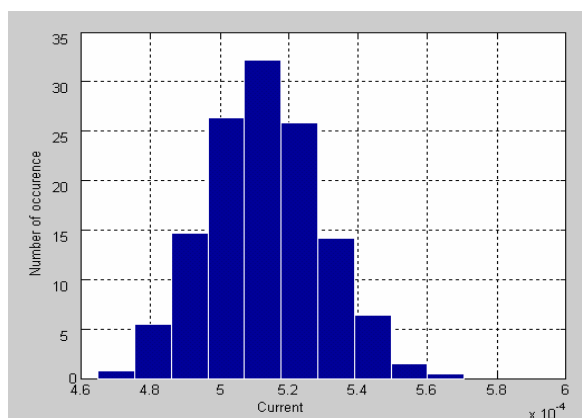


圖 3.2 抗製程變因的偏壓電流源



(a) H-SPICE 模擬電流源 (sweep 128 次)

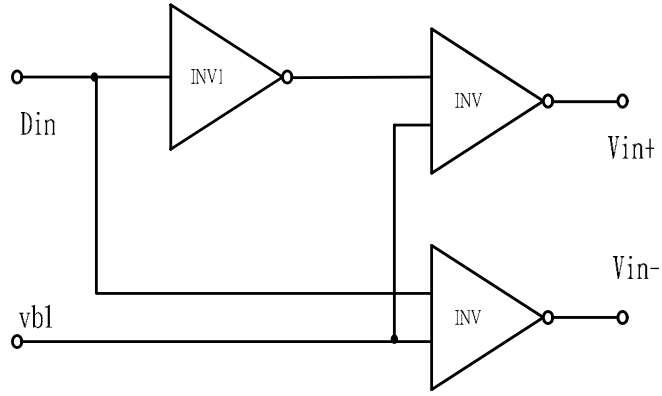


(b) 統計圖

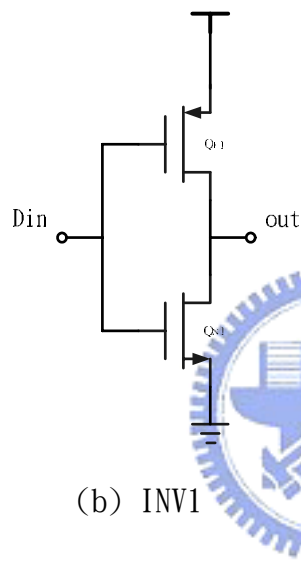
圖 3.3 抗製程變因的偏壓電流源，蒙第卡羅模擬 128 次電流變化結果

3.2.3 差動式切換開關驅動控制電路

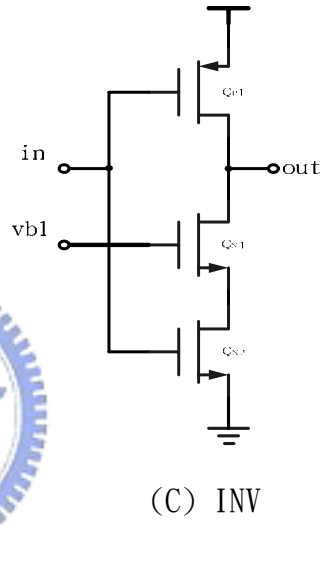
在圖 3.4 為全差動式切換開關驅動控制電路， δ 在圖 3.4 (a) 輸出端 V_{in+} 連接圖 3.2 差動電晶體對開關的 D1 端，圖 3.4 (a) 輸出端 V_{in-} 連接圖 3.2 差動電晶體對開關的 D1B 端，圖 3.4 (b) 中 INV1 的 $(W/L)_p=3\mu\text{m}/0.35\mu\text{m}$ ， $(W/L)_n=1\mu\text{m}/0.35\mu\text{m}$ ，圖 3.4 (c) 中 INV2 的 $(W/L)_p=1.5\mu\text{m}/0.35\mu\text{m}$ ， $(W/L)_n=1\mu\text{m}/0.35\mu\text{m}$ ，為使驅動差動電晶體對開關電路輸出 D，DB，使電流源在切換路徑時能保持連續，要選擇交越電位在邏輯電位的低電位區域，因為驅動 PMOS 電晶體對開關時，此交越電位要選擇在邏輯電位的低電位區，若是選擇在邏輯電位的高電位區時，PMOS 電晶體對開關會同時截止，也就是說電流源在開關切換時會被強迫斷路，完成開關切換後電流源才又回復電流設定值，若是電流源每次在開關切換時均發生此現象，數位到類比轉換器會多花費很多時間在電路充放電上，而大大影響數位到類比轉換器的訊號轉換速率，而且對電流源做開關動作也會大大影響電流源的精確度，因此影響數位到類比轉換器的精確度。此交越電位選擇在邏輯電位的低電位區時，理論上不會影響到 PMOS 電流源，但是實際上開關切換過程中，PMOS 差動電晶體對開關(differential pair PMOS transistor switches)仍然會應為閘極到電晶體通道間電荷變化而產生擾動，及增加突波現象，將會在下一部份作介紹。



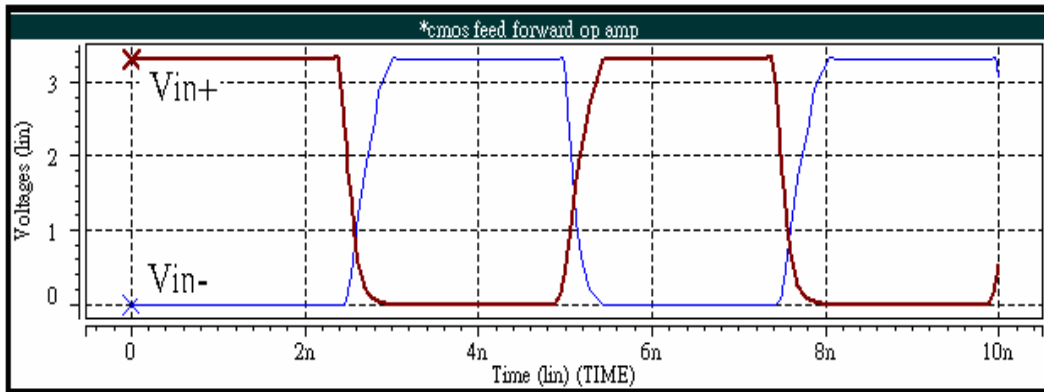
(a) 切换電晶體控制電路



(b) INV1



(c) INV



(d)

圖 3.4 (a)全差動式切换開關驅動控制電路及, (b)INV1, (c)INV (d)電壓波形

3.2.4 減少開關切換所產生突波對 DAC 輸出影響

在電流源電路中，開關切換所產生突波是因為電荷累積在閘極到電晶體通道間，在閘極電位改變時，如在 PMOS 電晶體閘極電位由低變高時(ON→OFF)，會將電荷送回通道上，使電流產生上升現象，反之電晶體閘極電位由高變低時(OFF →ON)，會吸收通道上電荷，使電流產生下降現象，此又稱為電荷回充現象(charge injection)，在輸出端觀測到現象開關動做時有突波產生(glitch)，為了減少突波產生對輸出造成的影響，使電路效能有效上升，在此部分將採用[2]做法改進以減小影響。

在圖 3.5(a)中 PMOS 差動電晶體開關到輸出端間，再串接一個緩衝 PMOS 電晶體，並且把閘極接地，使此電晶體操作在三極體區，如同串接一個可變電阻在迴路上，在 PMOS 電晶體開關截止時，此串聯電晶體如同阻抗為無限大的電阻，當 PMOS 電晶體開關由截止狀態轉變為導通時，跨在串聯電晶體阻抗由無限大轉變為小電阻，其作用就如同是電阻式的阻尼器，而且有效壓抑在開關動做時所造成的突波(glitch)，圖 3.5(b)為未串接緩衝 PMOS 電晶體的電路，當 PMOS 電晶體開關閘極電位由高電位轉為低電位

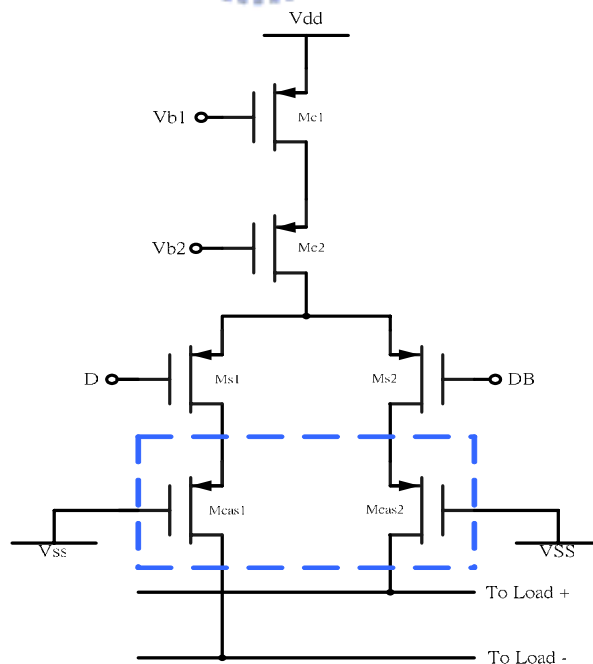


圖 3.5-(a) 串聯緩衝電晶體對

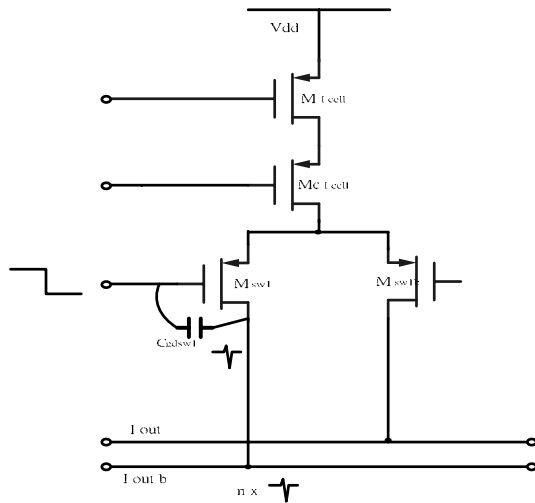


圖 3.5-(b)未串聯緩衝電晶體對電流源，charge injection 出現在輸出端

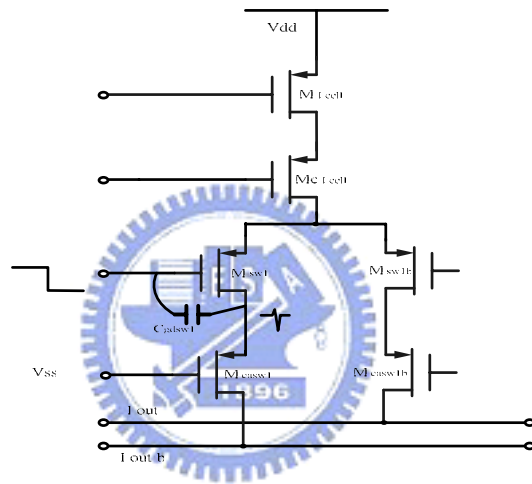


圖 3.5-(C) 串聯緩衝電晶體對電流源，電晶體由 off→on，
charge injection 不會出現在輸出端

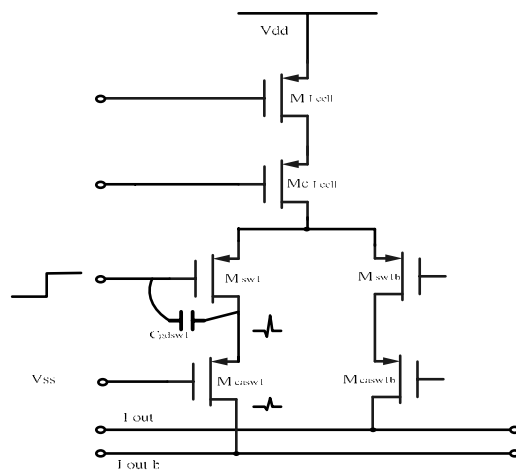


圖 3.5-(d) 串聯緩衝電晶體對，電晶體由 on→off，
charge injection 出現在輸出端的量會被有效壓抑

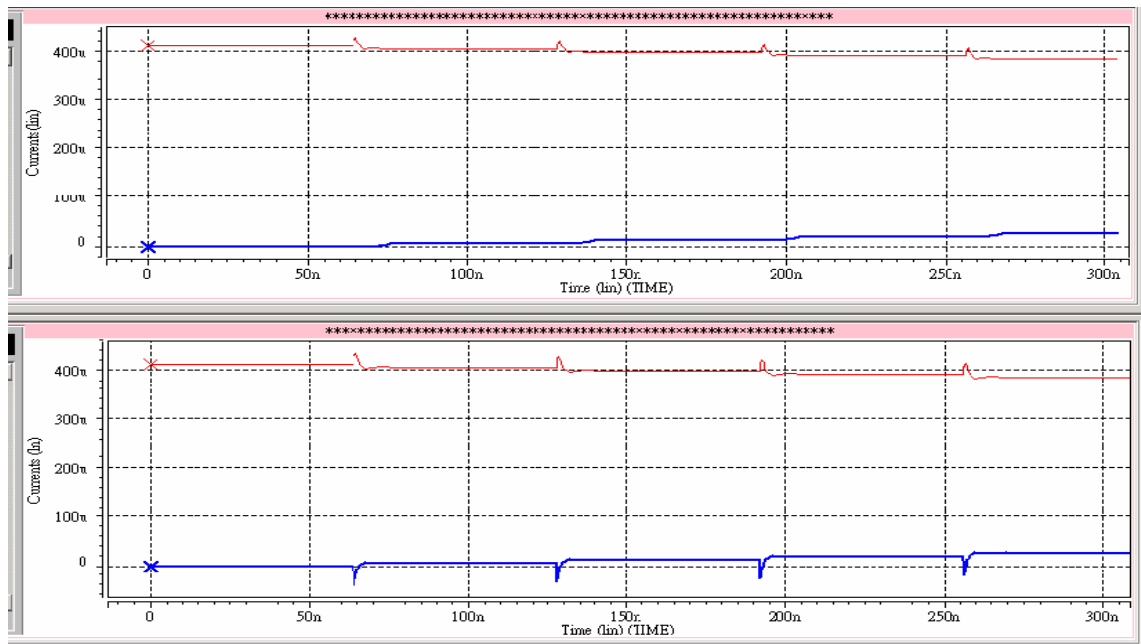


圖 3.5-(e) glitch 比較，上圖為加入緩衝電晶體電流源，

下圖為沒有加緩衝電晶體電流源

圖 3.5 glitch 抑制電流源電路(a)~(e)及波型比較

時(OFF → ON)，會吸收通道上電荷，使電流產生下降現象突波，隨後因為導通流過電流源電流而拉回產生更大的突波，若同時有 n 個相同電流源被導通時，輸出端將產生 n 倍突波，同理當 PMOS 電晶體開關閘極電位由低電位轉為高電位時，此類突波也在輸出端產生。在圖 3.5-(C)中當為串接緩衝 PMOS 電晶體的電路，當 PMOS 電晶體開關閘極電位由高電位轉為低電位時(OFF → ON)，會吸收通道上電荷，雖可能影響開關電晶體汲極電位產生突波，但是此時串接的緩衝電晶體為截止狀態，所以不會影響輸出端，在此同時電晶體阻抗漸漸下降緩衝，電流源電流的導通使不會產生衝過頭現象，其作用有如一過阻尼器。在圖 3.5-(d)中亦為串接緩衝 PMOS 電晶體的電路[2]，當 PMOS 電晶體開關閘極電位由低電位轉為高電位時(ON → OFF)，會釋放通道上電荷，雖能影響開關電晶體汲極電位產生突波，但因為有此一緩衝電晶體存在，雖不能完全消除突波，但也大大壓抑突波量，在圖 3.5-(e)上方波形為在輸出端和開關電晶體間加入串聯電晶體後輸出電流波，下方波型為沒有加入串聯電晶體後輸出電流波，兩波型比較後可以明顯看出電流 glitch 有明顯減少。

3.2.5 電流源電路—增加電流源輸出阻抗技術

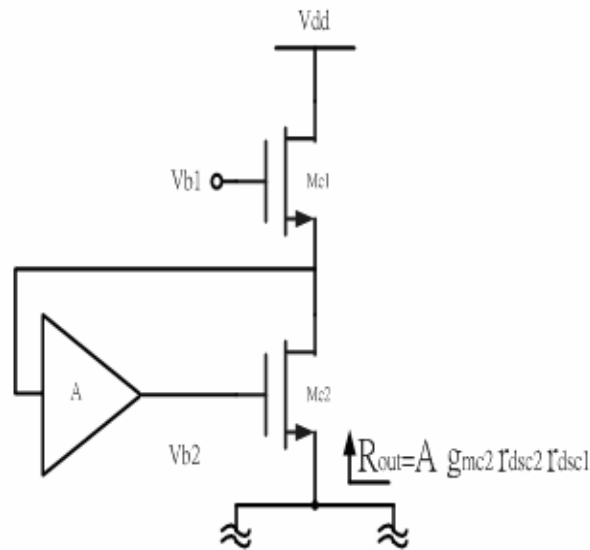


圖 3.6 電流源電路, 增加電流源輸出阻抗

$$R_{out} = A g_{m2} r_{ds2} r_{ds1}$$

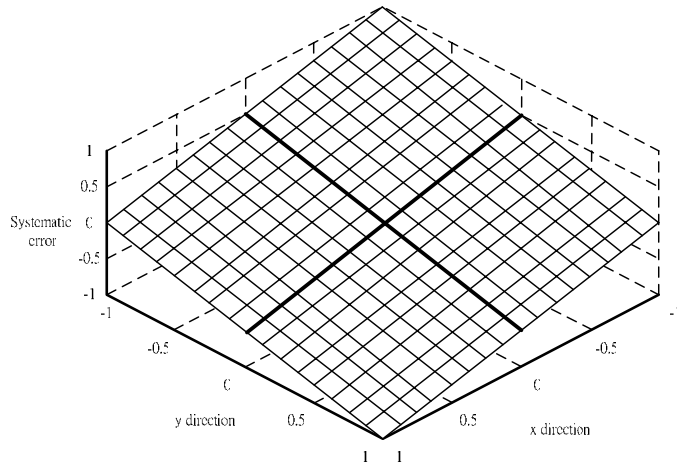
(3.10)

為了有效提高電流源輸出阻抗，[13][14]加入一放大器於電流源電路中，圖 3.6 電路將輸出阻抗由 $g_{m2}r_{ds2}r_{ds1}$ 提升到 3.10 式，可抑制開關動作所造成地電荷回饋到電流源，減少輸出端電壓波動對電流源影響，以增加電流源穩定，同時也使輸出端電壓範圍增大。

3.2.6 電流源 gradient error 問題解決技術

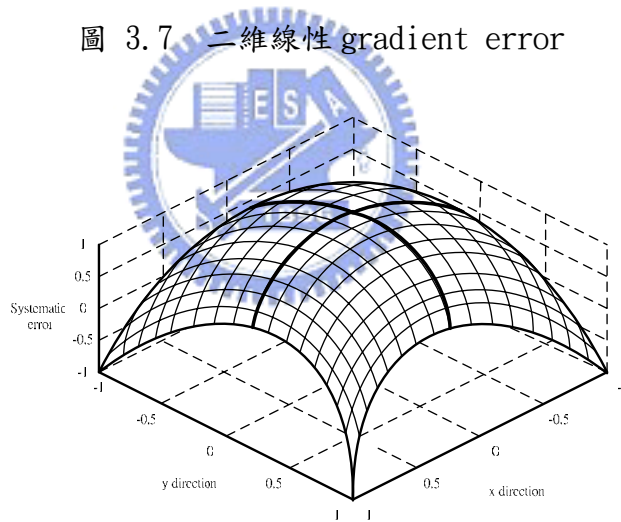
在數位轉類比電路中，電流源的準確性受到製程影響，其中除了 V_{th} 的變異外尚有電晶體長(L)和寬(W)因為光罩所造成的誤差，以台灣積體電路公司 0.35 $\mu\text{m}^2\text{p}4\text{m}$ 製程為例，電晶體長最大誤差達到 0.06 微米(μm)，電晶體寬最大誤差達到 0.04 微米(μm)，閘極氧化層厚度(t_{ox})因為加溫氧化時間不同或是溫度不均勻等，均會影響閘極氧化層的厚度，最大誤差達到 0.008 微米(μm)，及封裝後受應力不同…等也都會造成影響，綜合這些變因，我們可歸納假設為線性梯度誤差(linear gradient error)型態和拋物

線性的梯度誤差(parabolic gradient error)型態，線性梯度誤差分布如圖 3.7 所示，在二維度空間上成均勻的由高到低分佈，而拋物線梯度誤差分佈如圖 3.8 所示，亦有



2-D linear error

圖 3.7 二維線性 gradient error



2-D parabolic error

圖 3.8 二維拋物線 gradient error

可能和圖 3.8 相反呈中間低而週圍高的情況，儘管我們假設成這兩種梯度誤差也還未必就可以完全符合實際梯度誤差情況。

為了要盡量消除製程梯度誤差，[3][15][16][17]等提出各種不同空間配置方式以改善減少電流源間誤差，[16][17][18]等提出電流源導通順序選擇以降低 INL 累積誤差而改善梯度誤差問題。本論文對電流源採用四象限對稱配置方式，如圖 3.9 所示，

每一電流源含有四個子電流源，分別在不同象限中，在圖 3.9(a)中子電流源” 1” 分別

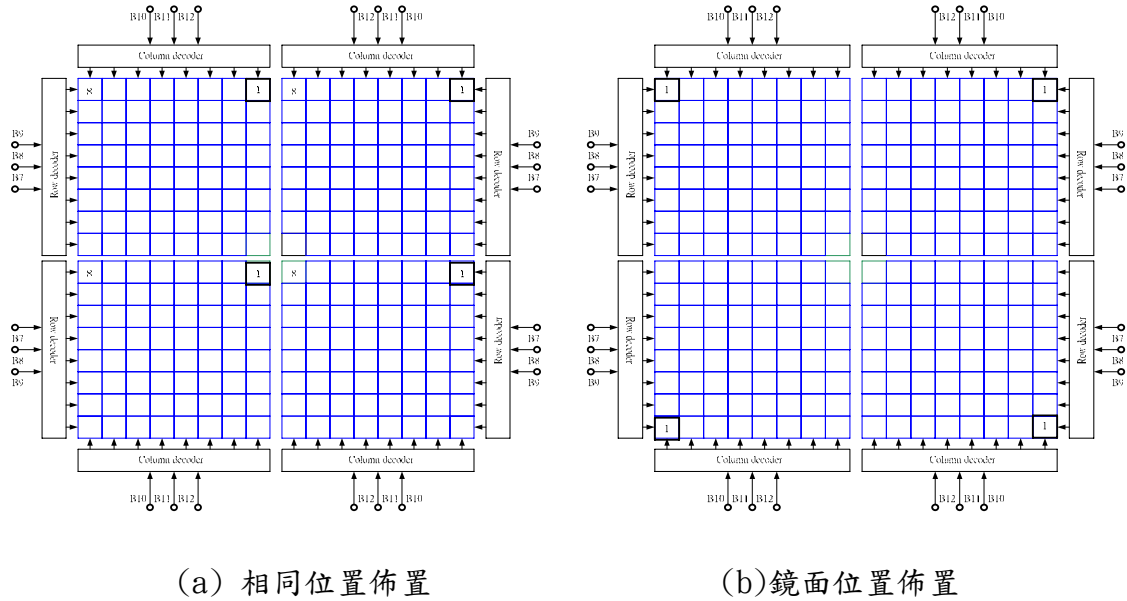


圖 3.9 四象限對稱佈置

在四區塊上，相同位置，此排列方式消除線性梯度誤差效果並不好，而在圖 3.9(b)中子電流源” 1” 分別在四區塊上，採用鏡面對稱消除線性梯度誤差效果才能顯現。然而對拋物線性的梯度誤差(parabolic gradient error)型態而言採用在圖 3.9(a)中子電流源” 1” 分別在四區塊上，相同位置，此排列方式消除拋物線誤差效果並反而比圖 3.9(b)中子電流源” 1” 分別在四區塊上，採用鏡面對稱消拋物線梯度誤差效果反而更好，因此採用四相線佈置時仍然要小心思考每一小電流源相對應位置，若要比較完全考量兩者誤差皆有很好的效果情況下可採用圖 3.10 的方式。

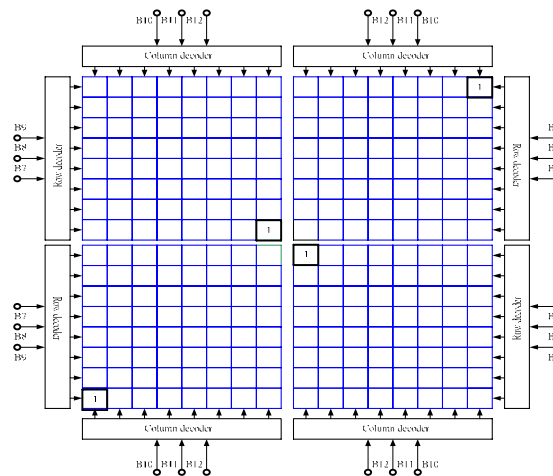
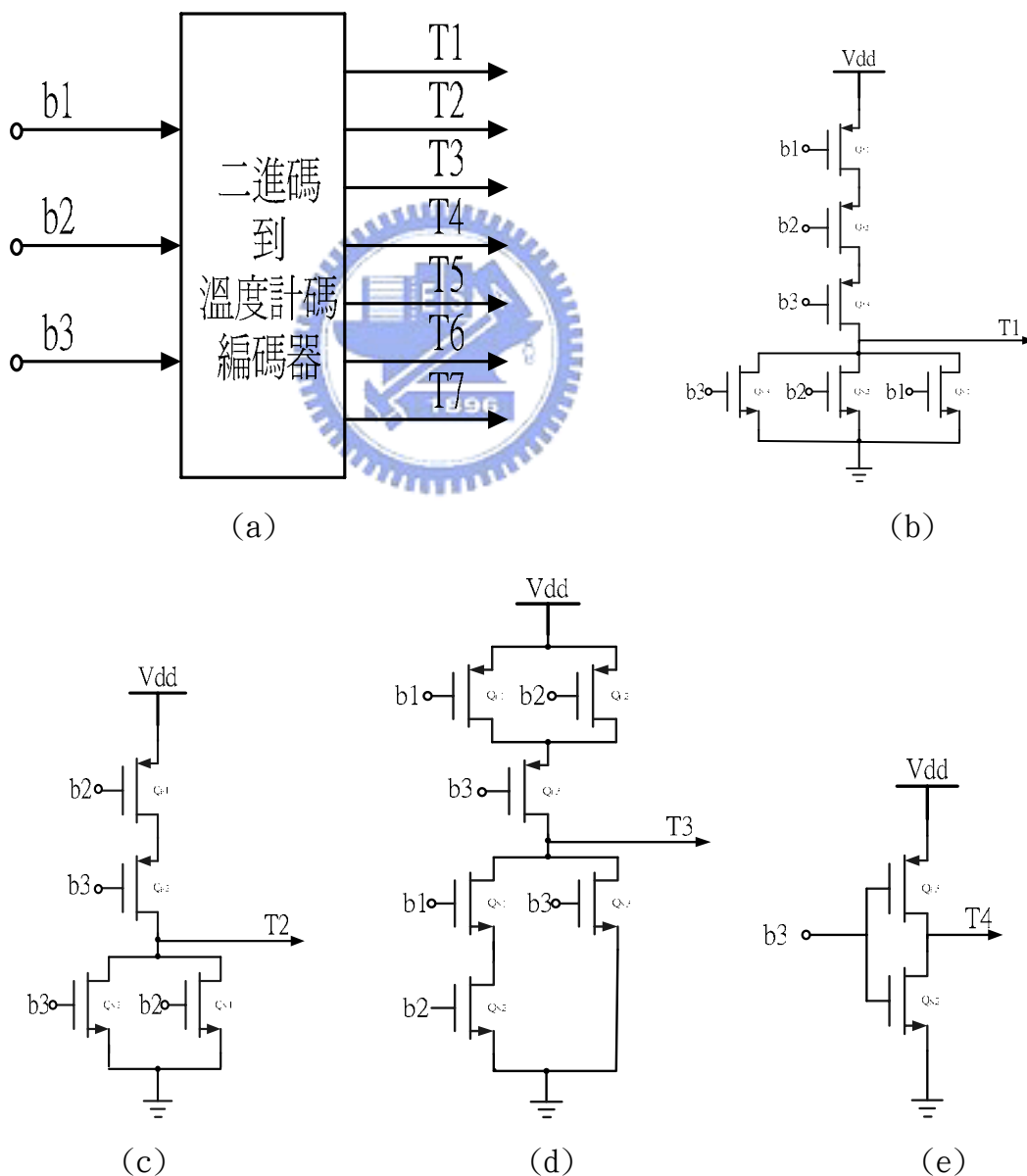


圖 3.10 交插對稱順序溫度計碼排列方式

本論文對電流源採用四象限交插對稱順序溫度計碼排列方式，如圖 3.10 所示，每一電流源含有四個子電流源，分別在不同象限中，其溫度計碼電流源導通順序為依照順序溫度計碼排列方式，此種順序導通並且子電流源又是相鄰情況會有最小差動非線性誤差(DNL)，同時四象限交插對稱使累積非線性誤差(INL)有很好的改善，並且能逐漸減小。

3.2.7 二進碼轉溫度計碼編碼電路



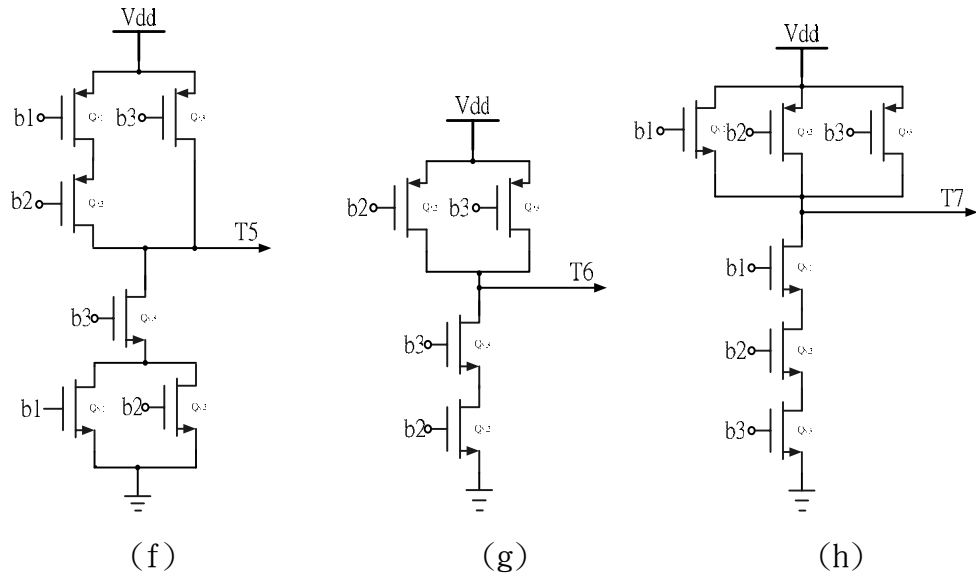


圖 3.11 3 位元二進碼到溫度計碼編碼器

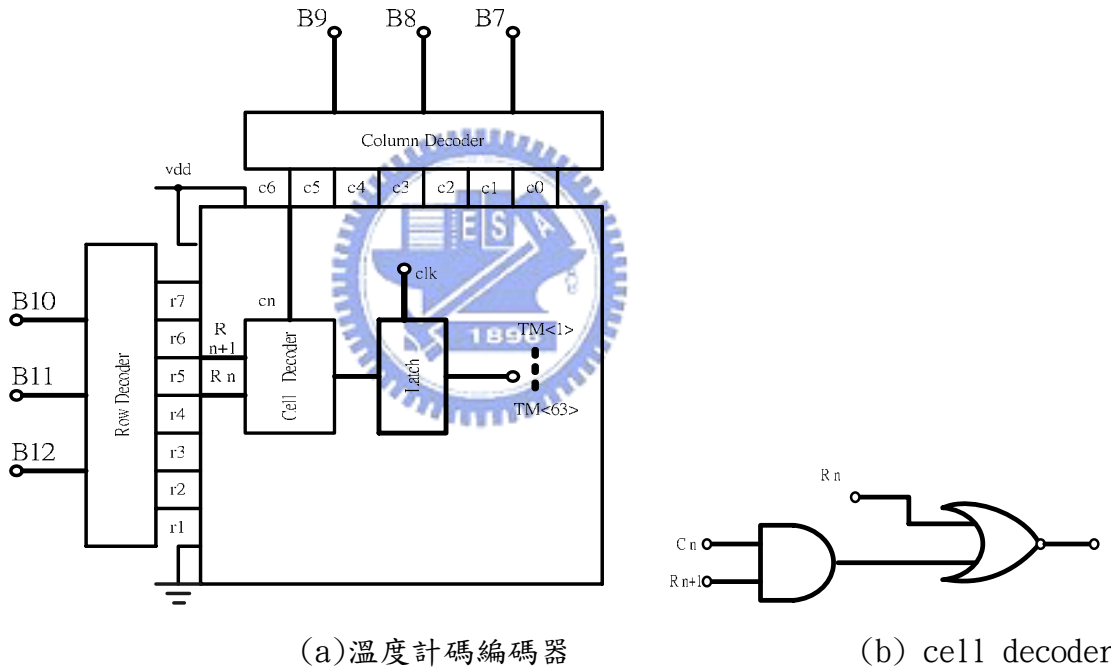


圖 3.12 6 位元二進碼到 63 碼溫度計碼編碼器

二進位碼轉換為溫度計碼電路如圖 3.11 和圖 3.12，我們電路架構中，前 6 位元 B1 到 B6 直接採用二進碼去控制電流源切換開關，後六碼 B7 到 B12 採用溫度計碼，需要將二進位碼轉換為溫度計碼，我們分兩部份轉換，將 B7 到 B12 分成兩組，B7 到 B9 和 B10 到 B12，各三位元，轉碼電路如圖 3.11 (a)，圖 3.11 (b)到圖 3.11 (h)為個別溫度計碼轉換電路，在圖 3.12 (a)為使用兩組三位元的二進位碼轉換為溫度計碼電路和圖 3.12 (b)，組成六位元的二進位碼轉換為溫度計碼電路，為了使電路開關動作一

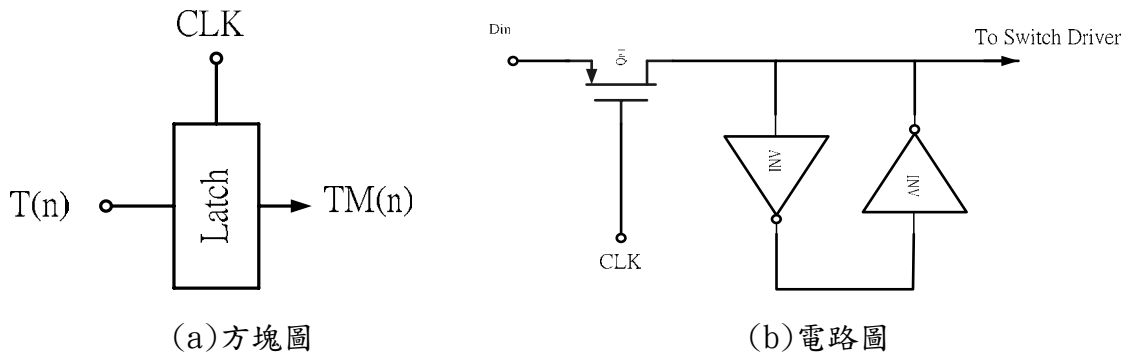
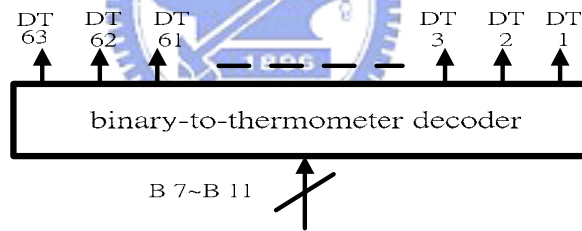
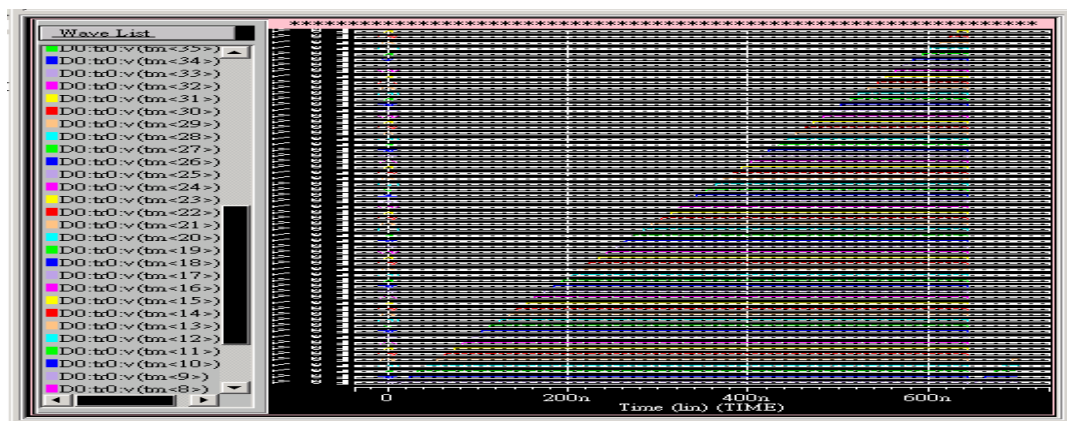


圖 3.13 拴鎖電路

致，消除電路延遲影響，以及電路簡化，拴鎖電路置於驅動電路前，拴鎖電路動作由時脈波控制，電路如圖 3.13 所示，因此 12 為元輸入碼的前六位元和後六位元轉出的 63 個溫度計碼可以同步輸入到 DAC 電流源的切換開關。此 DAC 電路分兩部分，前六位元為二進位碼，後六位元二進位碼要轉換為溫度計碼，後六位元編碼到溫度計碼為 63 各個別信號，圖 3.14(a)為電路方塊圖和(b)電路模擬結果，此部份為數位電路，為減少對電流源穩定度的影響，此部分必須與以隔離，以增加電路系統的穩定性。



(a) 方塊圖



3.3 編碼電路 H-spice 模擬結果

圖 3.14 6 位元 2 進位碼轉溫度計碼 (a) 方塊圖 (b) 編碼電路模擬結果

3.2.8 完整電路

完整電路架構如圖 3.15 所示，數位/類比轉換電路中電流源的精確直接影響轉換器的效能，本文使用溫度計碼和二進位權重碼組成 12bit 的轉換器，為達到設計上要求使用 6bit(63)的溫度計碼，要使每一個溫度計碼的電流源相同，gradient error 的考量

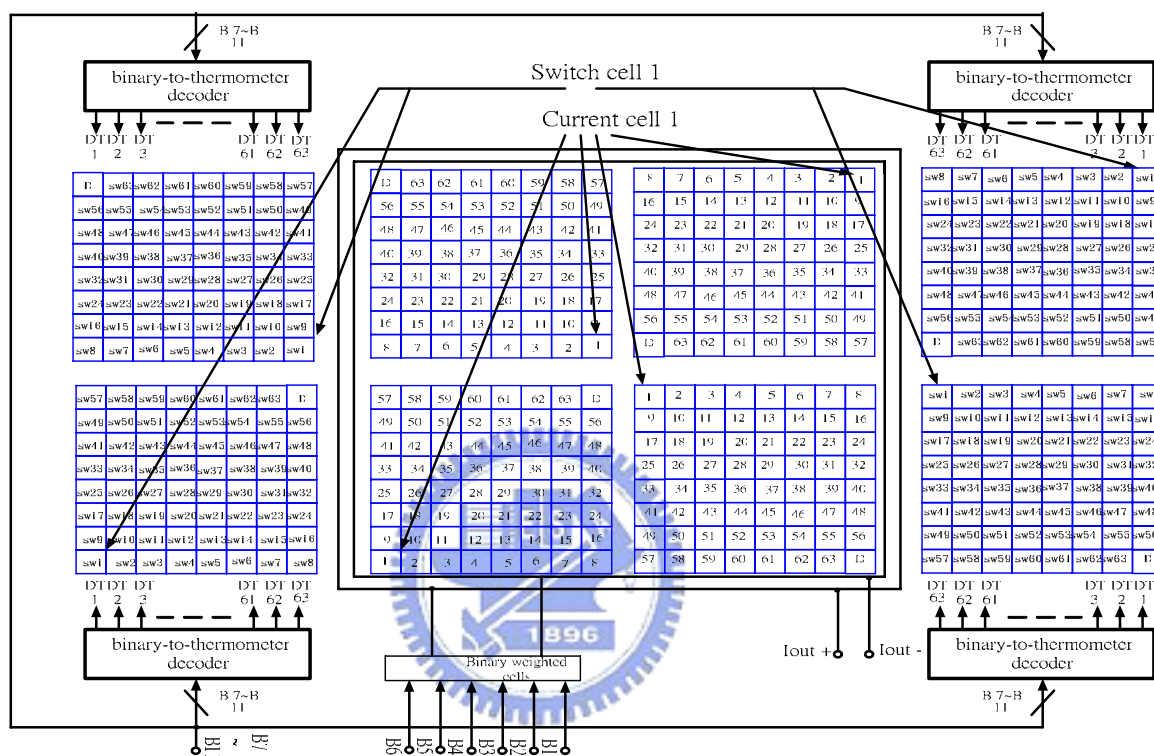


圖 3.15 完整晶片電路架構

變的非常重要，其中又以拋物線的梯度誤差補償最為困難，本篇使用交插對稱電流源配置，以 cell 1 為例子，電流源 I_{MSB} 1 分成四個 cell 1，在不同象限上，和開關電晶體分開，並且隔離，以避免被數位信號影響到電流源穩定，無論是線性梯度誤差或是拋物線式的梯度誤差，都可以以圖 3.7 和圖 3.8 做說明，以圖 3.7 做線性梯度誤差說明每一電流源的四個子電流源總合一定相同，以圖 3.8 做拋物線式梯度誤差說明每一電流源的四個子電流源總合會趨進於平均值，而自動壓抑在一定小的範圍之內，且使整個數位/類比轉換電路(DAC)的各電流源誤差自動調整到該晶片平均的梯度誤差上。在溫度計碼式的數位/類比轉換電路並且採用此四對稱佈置，電流源開關控制線會是很困難完成的，溫度計碼輸出端到電流源開關為各別控制，63 個溫度計碼電流源並且採

四對稱配置會有 252 條拉線，為使拉線一致性，我同時使用四個相同的 6 位元到 63 溫度計碼編碼器，每八個子電流源為一排，八排組成一個象限，以減化拉線複雜度。這樣排列最後會多 4 個子電流源，其中兩個由 B5 控制，一個由 B4 控制，所以從 B4~B5，TM<1>~TM<63>的每一子電路在實際電路以及佈局上可以說完全相同。而 B1~B3 的子電路，因為電流源大小不一樣且為二進位比例，我們設計時僅改變電流源電晶體的(W/L)值，而其他的開關電晶體等則和所有其它電流源配屬完全相同，所以整個電路架構雖然很大，因為設計一致性，可有效減短設計時間。

3.3 電路模擬結果

經由上述電路設計，電路採用圖 3.10 架構，我們首先完成 6 位元 64 位階溫度計碼部分的模擬，圖 3.16 為六位元 DAC 輸出兩端電流波形，單端電流為 32256 uA，每一電流增量為 512 uA，訊號轉換週期為 64 ns，6 位元 64 位階溫度計碼完成階梯波數位碼轉換時間為 4.1 us，資料擷取後經由 Matlab 程式運算，差動非線性誤差(DNL)最大值為 0.012 I LSB，所有差動非線性誤差值顯示於圖 3.17，累積非線性誤差(INL)最大值為 0.014 I LSB，所有累積非線性誤差值顯示於圖 3.18，圖 3.19、圖 3.20 和圖 3.21 為同一電路依照台灣積體電路公司 0.35um 2P4M 混合信號製成提供參數變異， V_{th} 為正負 100mV，電晶體長 L 為正負 0.04um，電晶體寬 W 為正負 0.06um 執行蒙帝卡羅模擬重

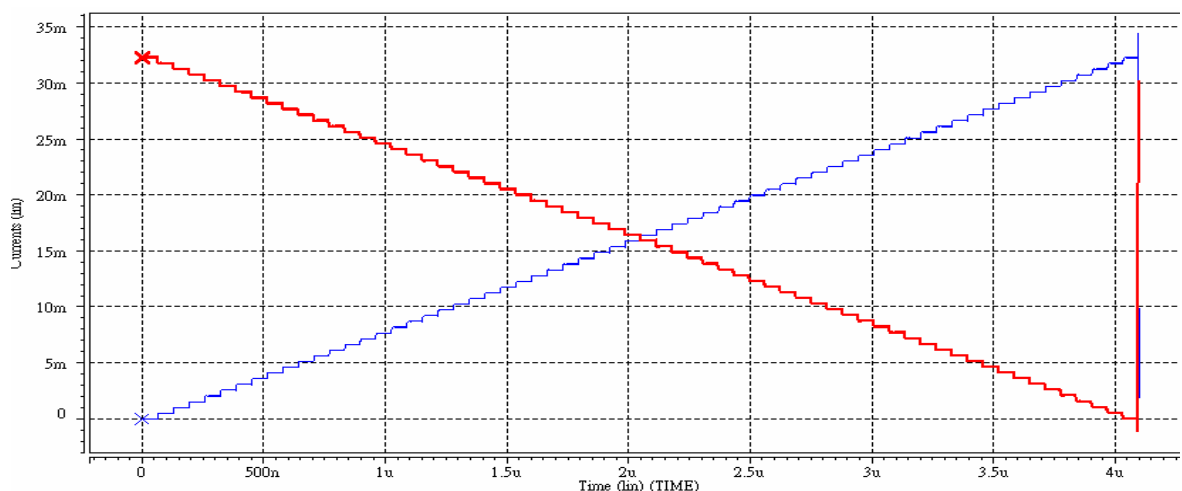


圖 3.16 6 bit 交叉對稱順序溫度計碼 DAC 輸出電流波型

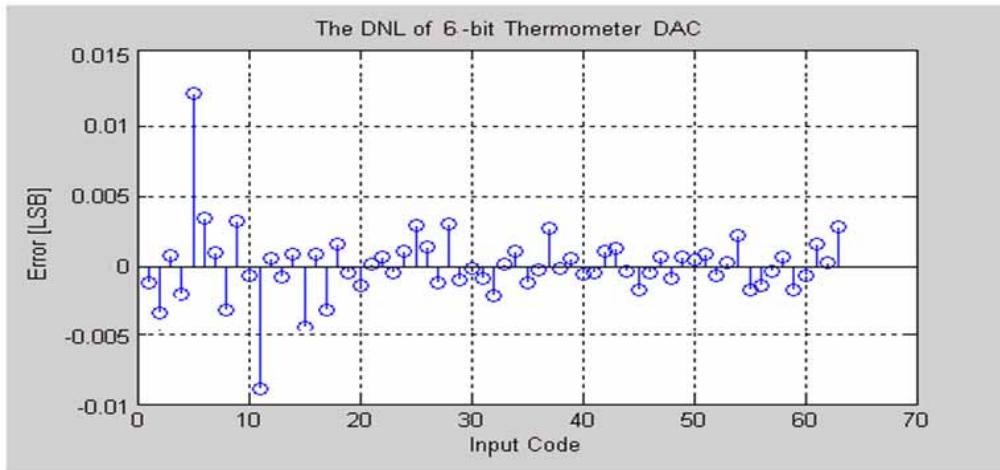


圖 3.17 6 bit 交叉對稱順序溫度計碼 DAC 輸出 DNL 值

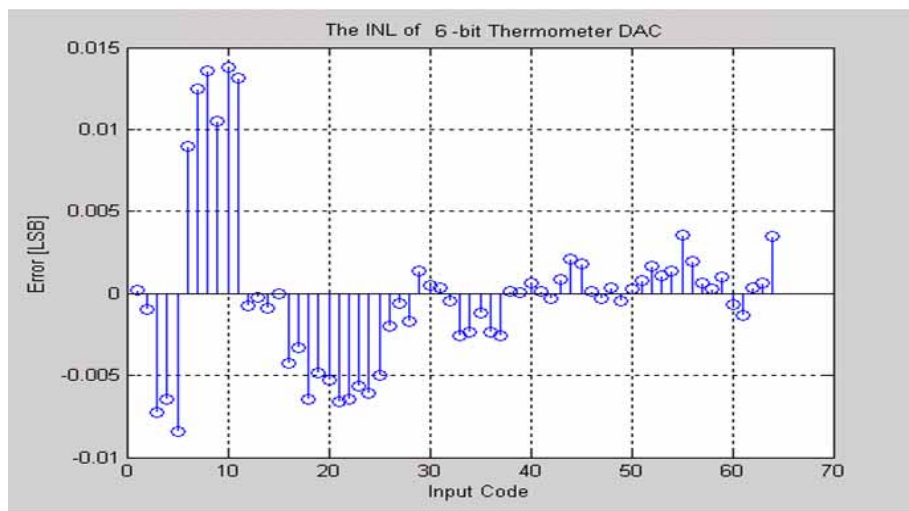


圖 3.18 6 bit 交叉對稱順序溫度計碼 DAC 輸出 INL 值

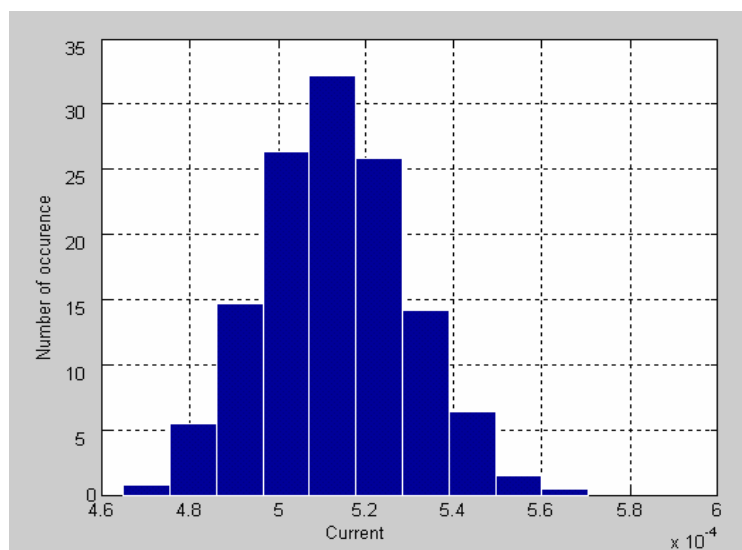


圖 3.19 6 bit 交叉對稱順序溫度計碼 DAC 輸出 Monte Carlo 128 次電流分佈圖

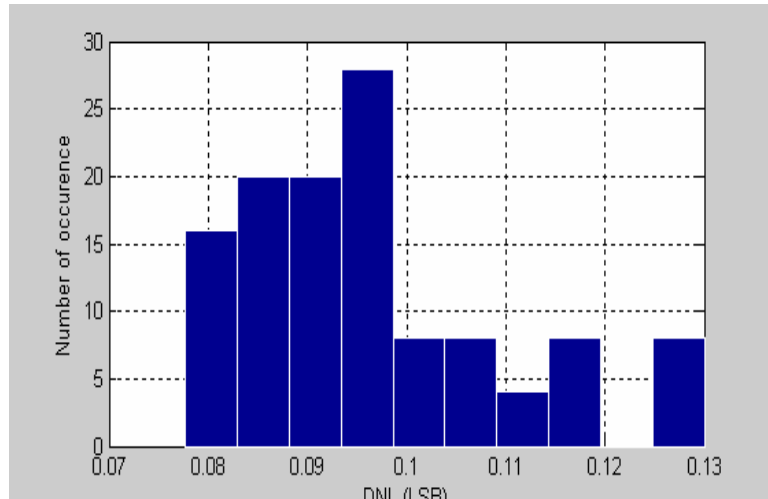


圖 3.20 6 bit 交叉對稱順序溫度計碼 DAC 輸出 Monte Carlo 128 次 DNL 分佈圖

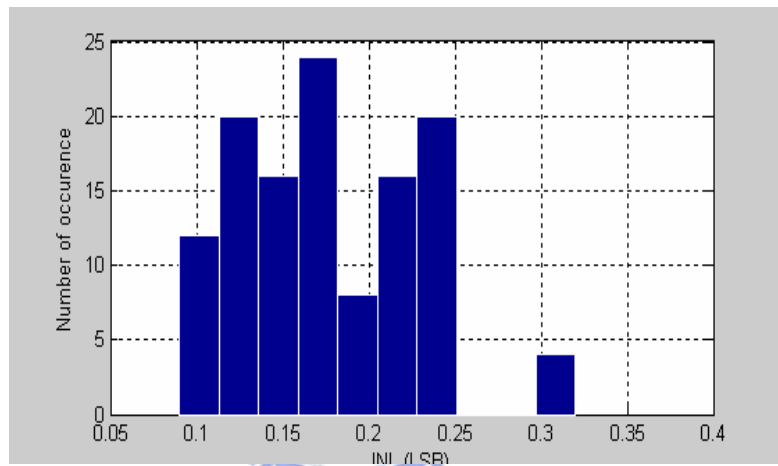


圖 3.21 6 bit 交叉對稱順序溫度計碼 DAC 輸出 Monte Carlo 128 次 INL 分佈圖
 圖 3.19 平均值為 512.9 μA 標準差 $1.648\text{E}-05 \text{ A}$ ，圖 3.20 顯示 DNL 分布情況，平均值為 0.094 I LSB，標準差 0.0008 I LSB，圖 3.21 顯示 INL 分布情況，平均值為 0.158 I LSB，標準差 0.0019 I LSB。

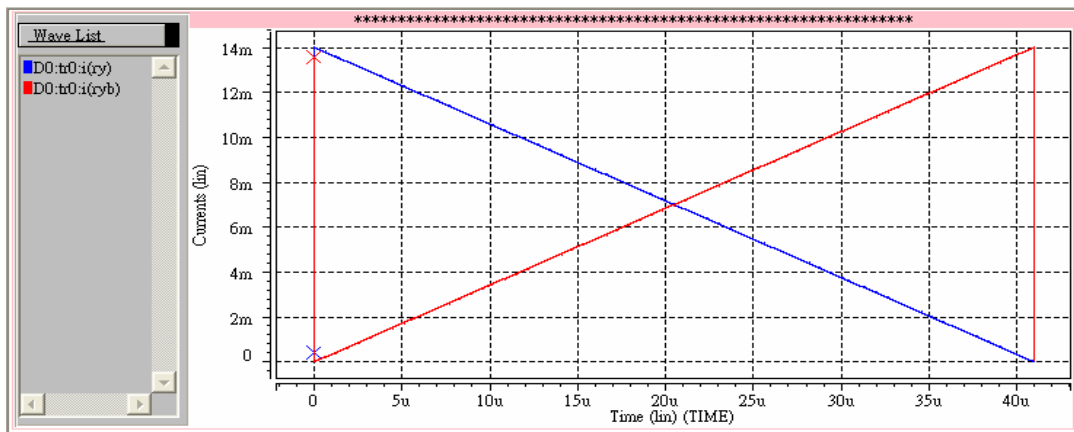


圖 3.21 12 bit DAC 6 bit 交叉對稱順序溫度計碼+ 6 bit 二進權重碼(ss 25°C)

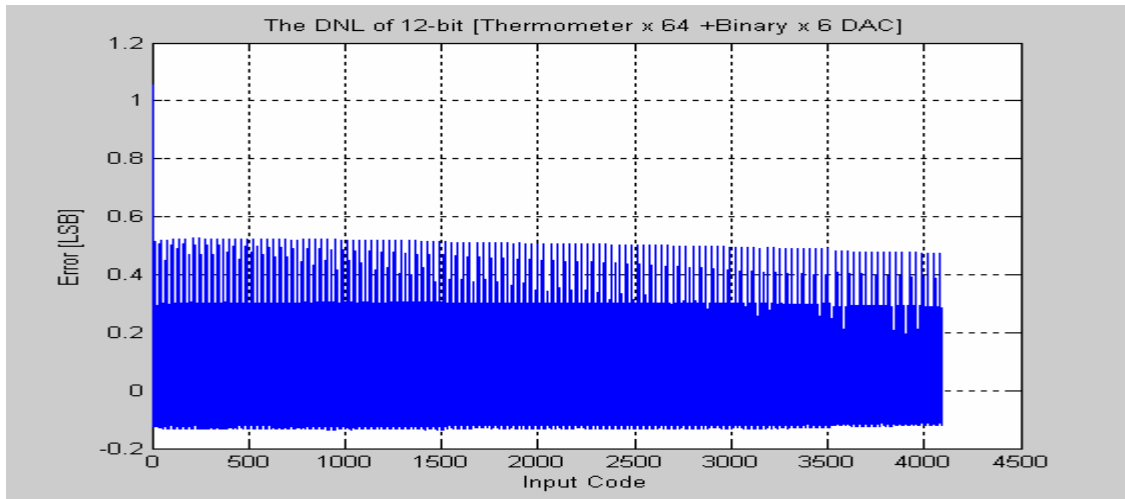


圖 3.22 12 bit DAC 輸出 DNL=0.54 I LSB (ss 25°C)

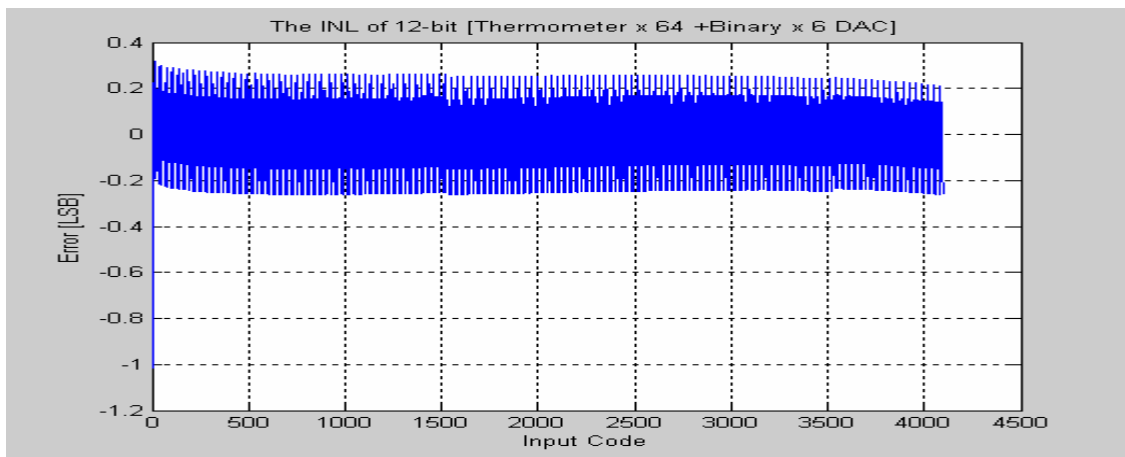


圖 3.23 12 bit DAC 輸出 INL=0.3 I LSB (ss 25°C)

表 3.1 12 bits DAC Pre-simulation 結果

ITEM	DNL	INL	TT	FF	FS	SF	SS	3.3V	3.63V	3V	25°	75°	125°	175°	I _{out(max)}
1	0.14	0.18	✓					✓			✓				16 mA
2	0.63	2.18		✓				✓			✓				26 mA
3	0.2	0.18			✓			✓			✓				19 mA
4	0.17	0.17				✓		✓			✓				21 mA
5	0.54	0.30					✓	✓			✓				14 mA
6	1.28	18	✓						✓		✓				29 mA
7	0.5	0.28	✓							✓	✓				12 mA

8	0.19	0.26	∟					∟				∟			17 mA
9	0.34	0.24	∟					∟					∟		16.4mA
10	0.73	0.55	∟					∟						∟	16.3mA

接下討論完整數位到類比轉換器設計模擬結果，電路採用圖 3.1 架構，在完成 6 位元 64 位階溫度計碼部分的模擬後，圖 3.21 為 12 位元 DAC 輸出兩端電流及電壓波形 (SS 25°C)，單端電流為 14 mA，每一電流增量為 3.4 uA，訊號轉換週期為 10 ns，12 位元完成階梯波數位碼轉換時間為 41 us，資料擷取後經由 Matlab 程式運算，差動非線性誤差(DNL)最大值為 0.54 I LSB，所有差動非線性誤差值顯示於圖 3.22，累積非線性誤差(INL)最大值為 0.3I LSB，所有累積非線性誤差值顯示於圖 3.23，表 3.1 為 pre-simulation 在電路設定值不改變下，僅改變外部情況的溫度和電源電壓，和在不同製程條件(TT, FF, SF, FS, SS)情況下結果，10 項中有七項合乎規格，三項超出規格，其中在第二項 FF corner 情況可以看出輸出電流明顯比較大，在輸出電阻為 50Ω 情況下，使得輸出端電壓震幅為 26mA x 50Ω=1.3V，導致輸出端有變形現象而使累積非線性誤差超出規格，在第六項情況也是因為電流太大，導致輸出端變形而超出規格，在第十項超出規格是因為操作溫度過高導致超出規格。

第四章 晶片佈局

本章將介紹數位/類比轉換器(digital to analog converter)的實際電路佈局結果。

4.1 電流源設計和佈局

4.1.1 電流源設計

在此部份包刮電流源設計電路規格和電路佈局考量，圖 4.1 電路中各電晶體規格和電路參數詳如表一，為使 DAC 的電流源不受開關切換動作影響，將電流源和開關控制電路分開佈局，如圖 4.2 所示為圖 4.1 電路佈局結果，圖 4.2 中輸入信號均為直流電壓，為一靜態操作電路，圖 4.3 為開關切換電路以及驅動電路，因為此部份開關動作會影響電流源穩定所以必須予以隔離以確保電流源穩定和輸出端穩定，用不同 well 予以隔離確保干擾降到最小，圖 4.4(a)為單一開關切換電路以及驅動電路佈局結果，圖 4.4(b)為八單元開關切換電路以及驅動電路佈局結果，表 4.1 為電流源電晶體規格，其中 MP 1, MP 2 為主要電流源電晶體，因為在高六位元採用二進位碼轉換溫度計碼以及未克服梯度誤差問題，採用四象限對稱佈局，因此在溫度計碼控制部份電流源為表上最大 W/L 的四倍，也就是在實際電路上有效 MSB 的電晶體規格為 $(W/L)_p=(8/2)*4$ (um)，而二進位碼控制部份最大電流源電晶體規格為 $(W/L)_p=(8/2)*2$ (um)，次大者電晶體規格為 $(W/L)_p=(8/2)*1$ (um)，此兩位元二進碼控制電流源可以佔用四象限對稱佈局中的三個空間，且使用相同大小的電流源，剩下四位元因為電流源規格不同且四象限對稱佈局沒有多餘空間，因此要額外佈局，其規格大小為表 4.1 中 MP 1 部分 $(W/L)_p=(4/2)$, $(2/2)$, $(1/2)$, $(0.5/2)$ (um)，分別為二進位控制電流源的第 4, 3, 2, 1 碼，這四位元電路佈局雖然不在四象限對稱佈局中，但是其佈局方式除電流源電晶體大小不同外，其他偏壓電路，電流源切換開關電路等則完全相同，將不再將其佈局放入文

中，僅以文字敘述，在最後完整佈局中，為求整齊此四個低位元電流源將被分布於四象限對稱電流源外部相對位址，使電路外關整齊一致。

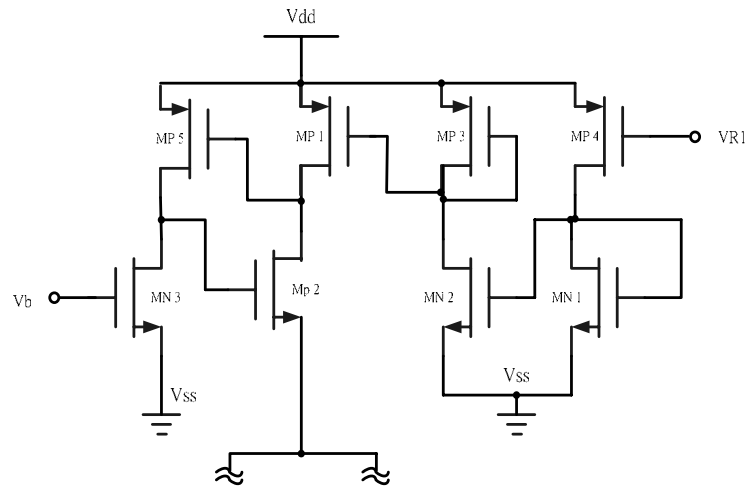
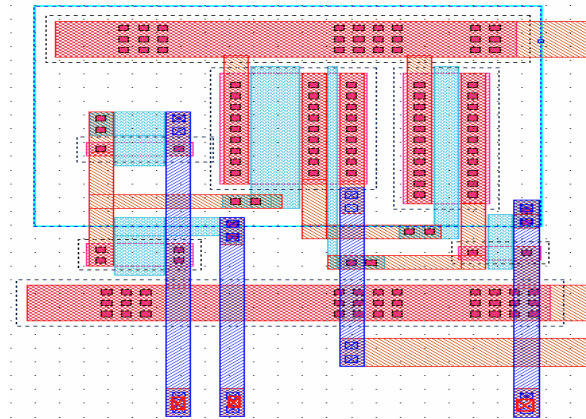
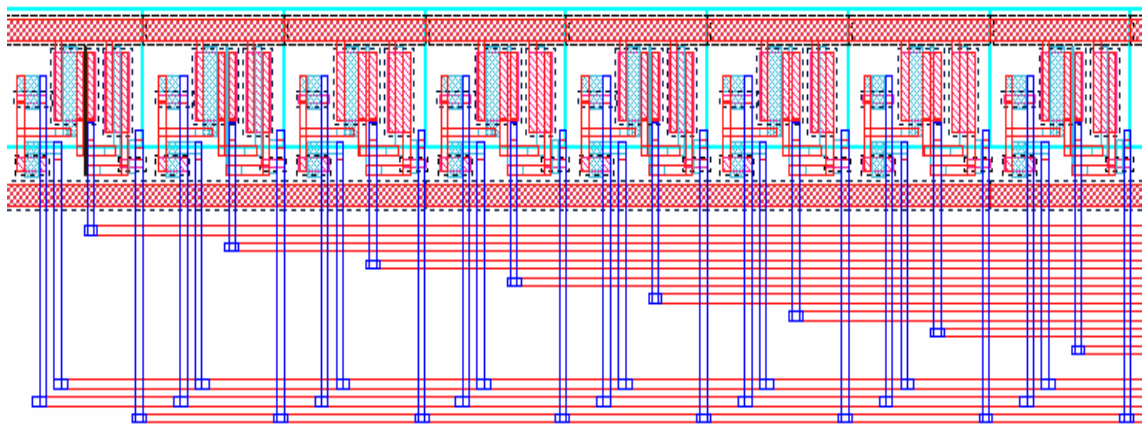


圖 4.1 電流源電路及偏壓電路



(a) 電流源電路及偏壓源佈局



(b) 八電流源單元佈局

圖 4.2 電流源電路佈局結果 (a) 單一電流源單元佈局 (b) 八電流源單元佈局

表 4.1 電流源電路及偏壓源電晶體規格

Transistor	Size(W/L)-um	Transistor	Size(W/L)-um
MP1	8, 4, 2, 1, 0.5 / 2	Mp5	9.5 / 1
MP2	8, 4, 2, 1, 0.5 / 0.35	MN1	1.66 / 2
MP3	1 / 2	MN2	1.66 / 2
MP4	1 / 2	MN3	1 / 1

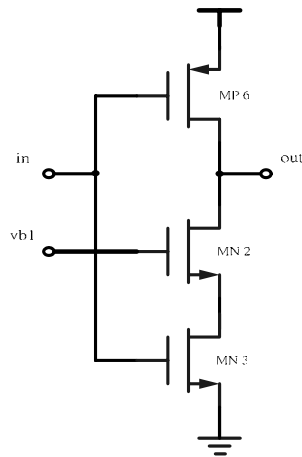
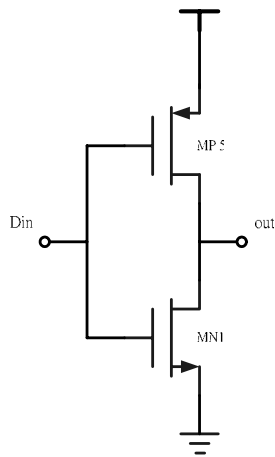
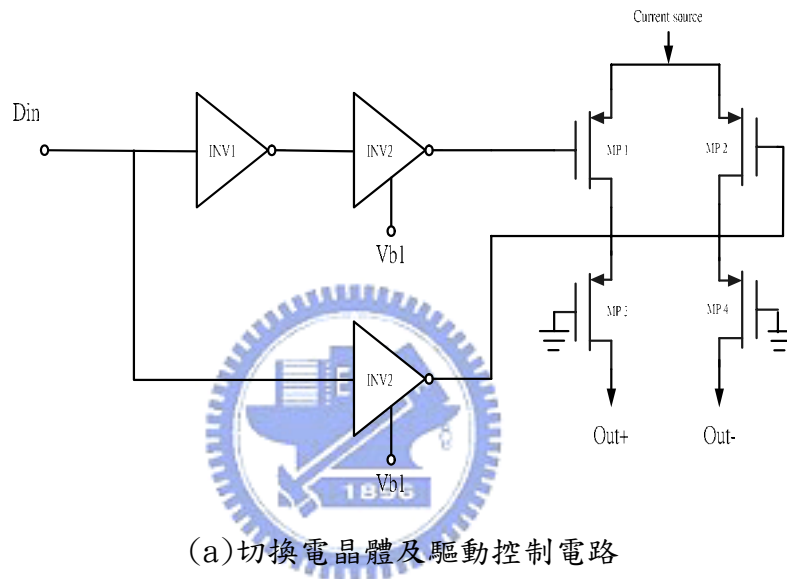
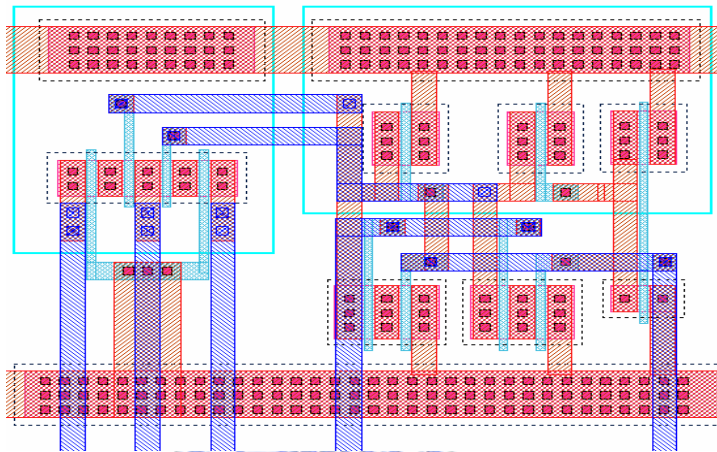


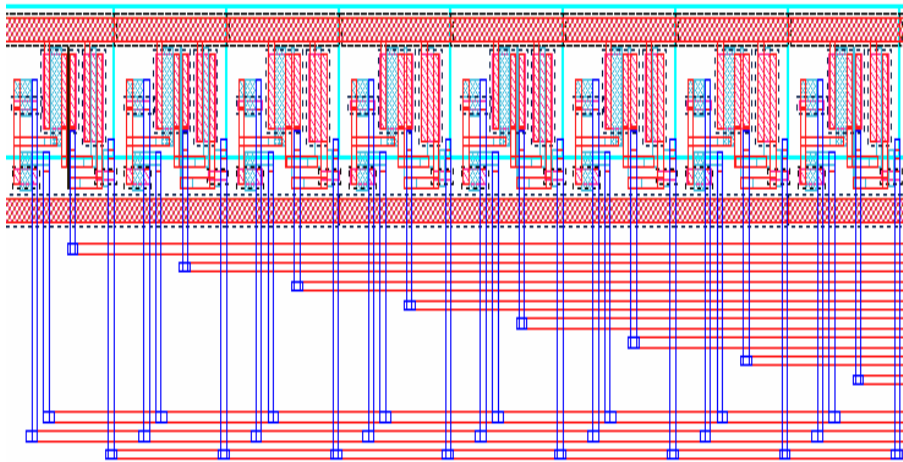
圖 4.3 切換電晶體及驅動控制電路

表 4.2 切換電晶體及驅動控制電路電晶體規格

Transistor	Size(W/L)-um	Transistor	Size(W/L)-um
MP1	2 / 0.35	MP6	3 / 0.35
MP2	2 / 0.35	MN1	1.5 / 0.35
MP3	2 / 0.35	MN2	3 / 0.35
MP4	2 / 0.35	MN3	3 / 0.35
MP5	3 / 0.35		



(a) 開關及驅動電路單元佈局

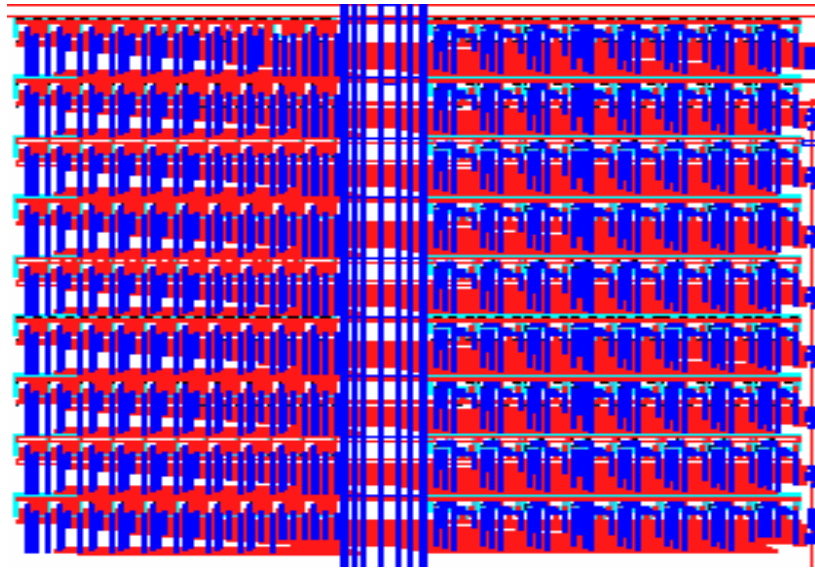


(b) 八單元佈局

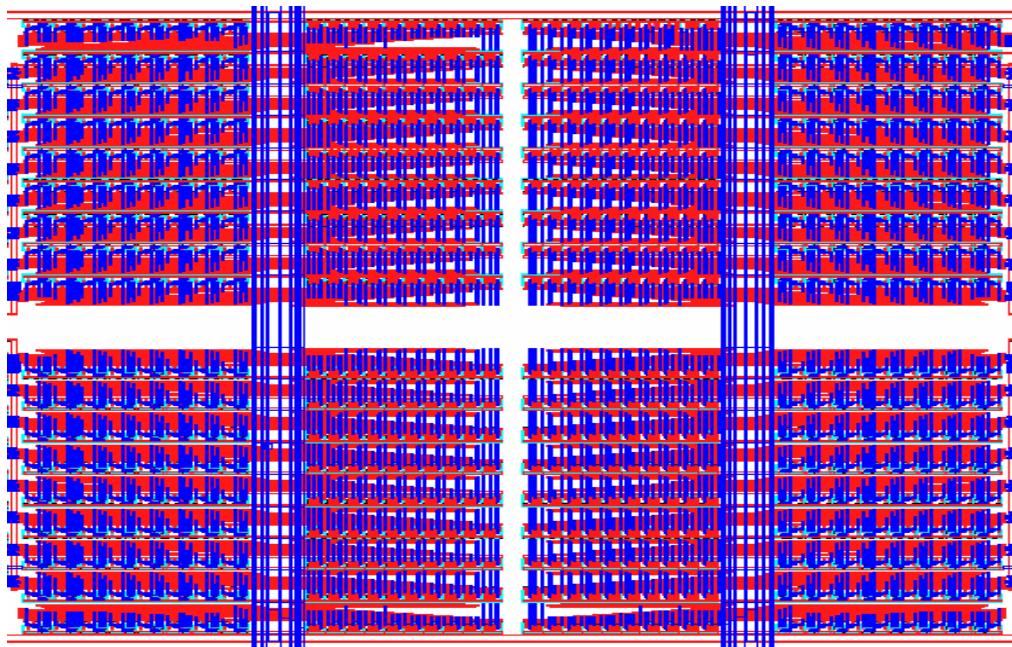
圖 4.4 開關切換電路及驅動電路佈局結果 (a)單一單元佈局 (b)八單元佈局

4.1.2 溫度計碼電流源佈局

六位元溫度計碼電流源和兩位元的二進位權重碼佈局結果，如圖 4.5 所示，(a)為四分之一佈局結果，(b)為完整四象限對稱電流源佈局結果。



(a) 六位元溫度計碼電流源及開關、驅動電路四分之一佈局



(b) 完整四象限對稱電流源佈局

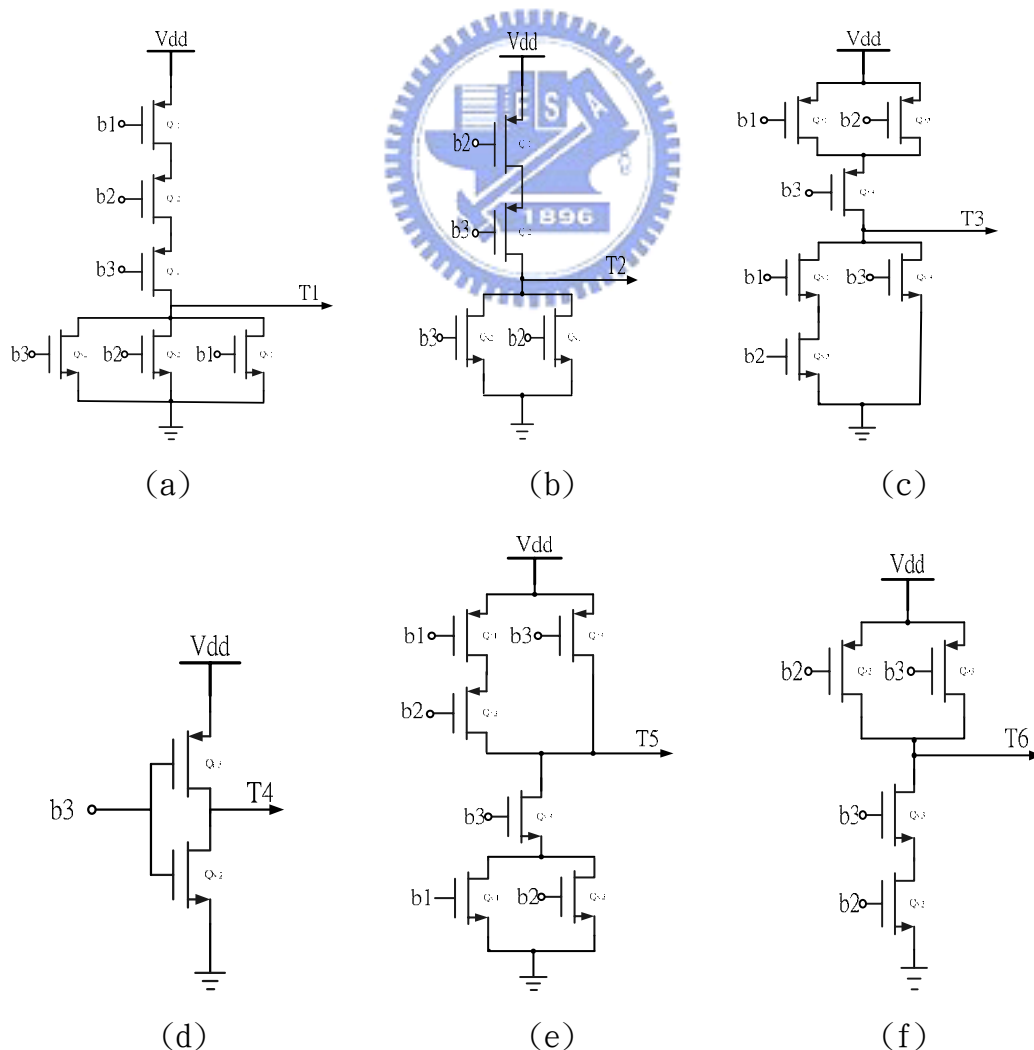
圖 4.5 電流源及開關、驅動電路佈局 (a) 四分之一電路佈局 (b) 完整四象限對稱佈局

5.1 溫度計碼編碼電路設計和佈局

此部份為二進碼轉換為溫度計碼轉換編碼電路，將數位到類比轉換器中高六位元二進碼轉換為 63 碼溫度計碼，分兩階段轉換如前章節第 3.2.7 節方式，此處將依照此一方式逐步佈局溫度計編碼電路及訊號拴鎖電路。

5.1.1 二進位碼轉溫度計碼編碼電路

二進位碼轉溫度計碼編碼電路，數位到類比電路的高六位元部分將轉換為 63 碼溫度計碼，分兩階段轉換，將六位元分為兩各三位元，由三位元二進碼轉換為八碼溫度計碼，其中第零碼固定為” 0” 並不需要轉換電路，設計電路如圖 4.6(b)到(h)為三位元二進碼轉換為七碼溫度計碼各碼轉碼電路，圖 4.7(a)到(g)為三位元二進碼轉換為八碼溫度計碼各碼轉碼電路佈局，(h)為完整三位元二進碼到七碼溫度計碼轉碼電路的佈局結果，輸入二進碼走線以水平方向輸入到各編碼電路，編碼輸出由垂直方向拉線接到下一級輸入，如此可以使電路在佈局時有一致性，使接下來電路佈局設計能夠更一致，因為溫度計碼電路控制電路到電流源切換開關間會有大量拉線數量，若是沒有有效規畫，會使往後佈局更為困難，表 4.3 為各編碼電路電晶體規格表列。



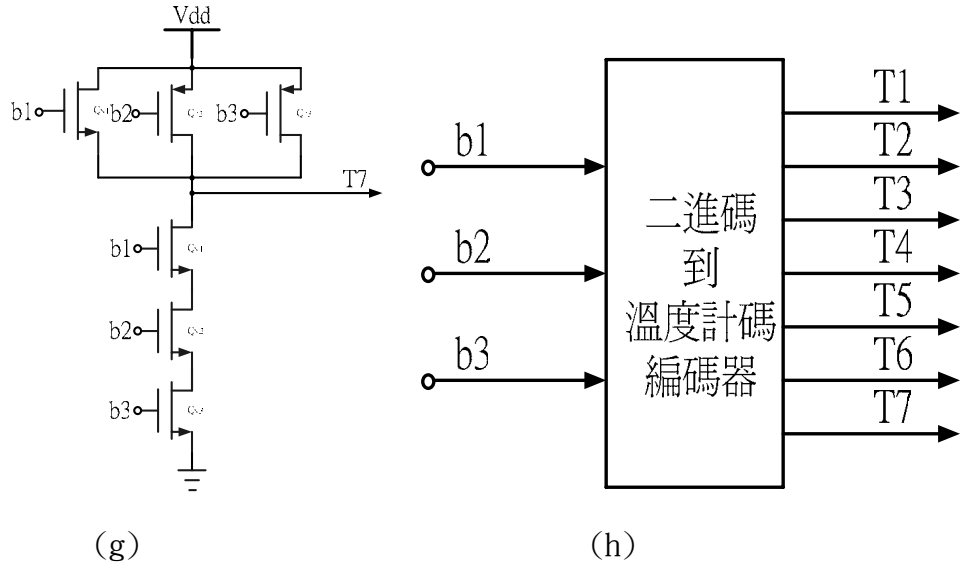
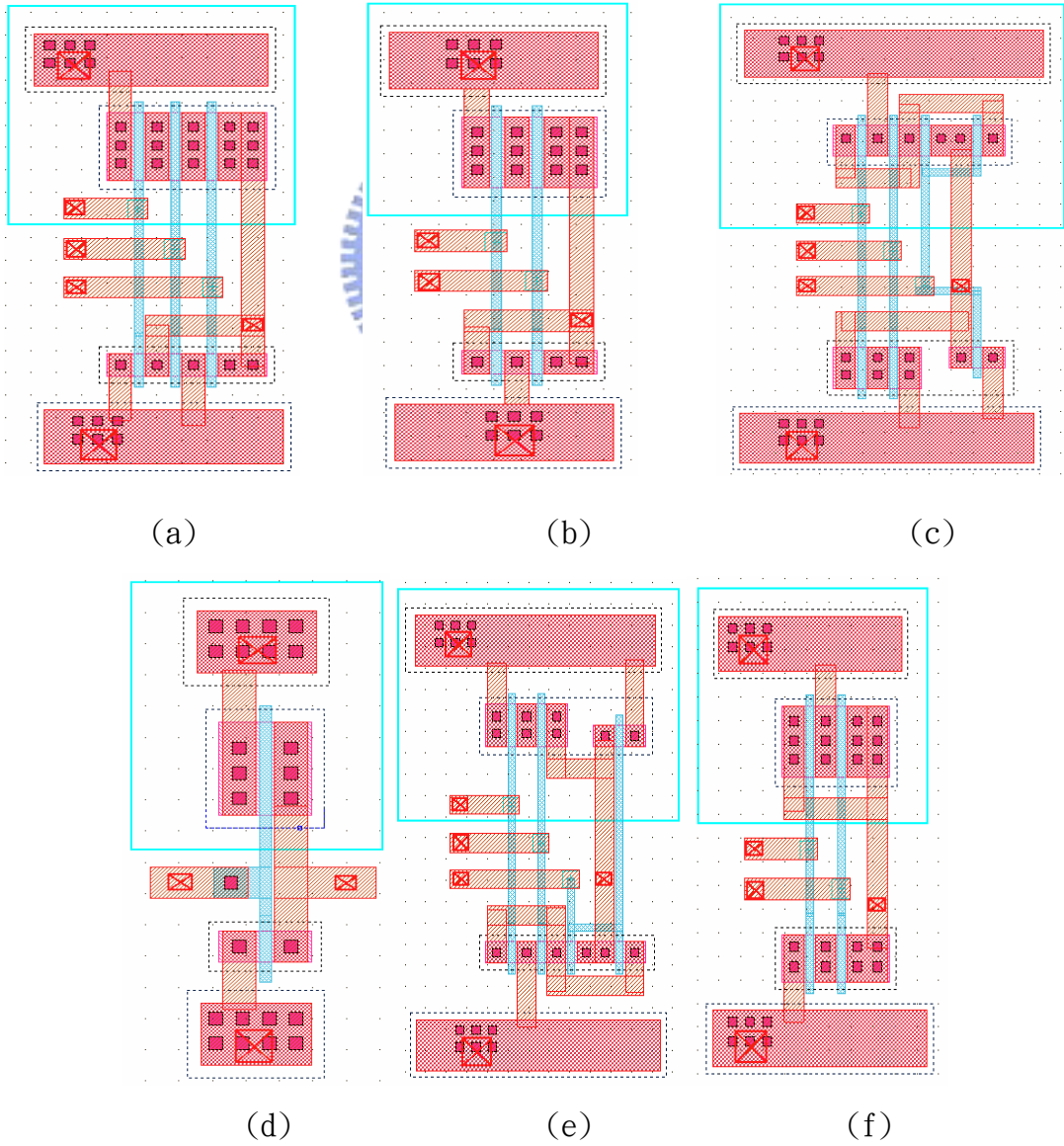
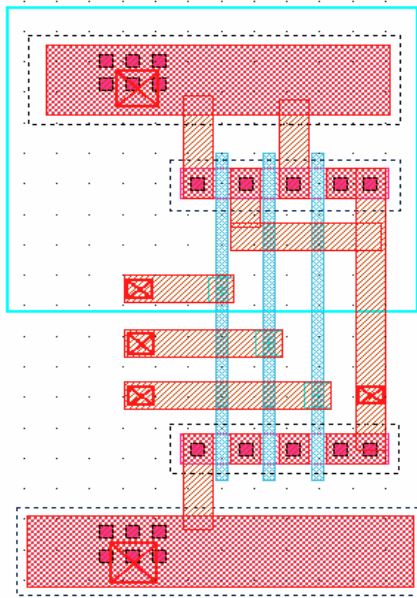
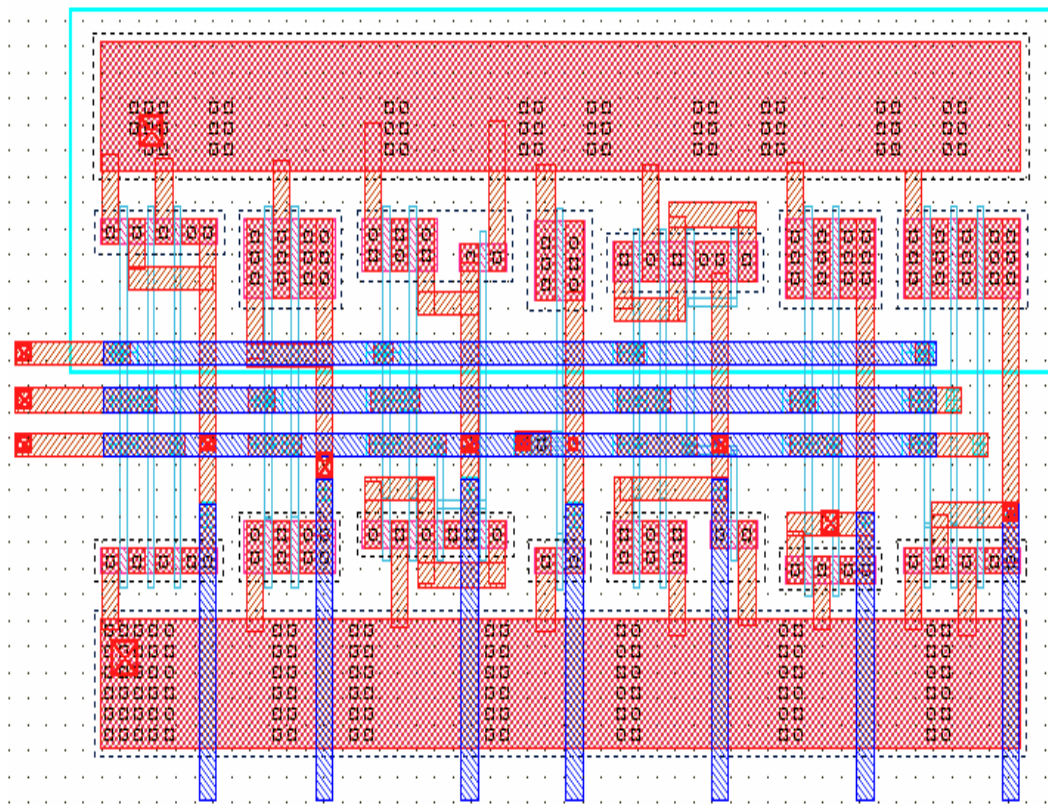


圖 4.6 三位元二進碼轉換為七碼溫度計碼各碼轉碼電路(a)~(g)





(g)



(h)

圖 4.7 三位元二進碼轉換為七碼溫度計碼各碼轉碼電路佈局(a)~(g)，(h)完整轉碼電錄佈局

表 4.3 三位元二進碼轉換為七碼溫度計碼各碼轉碼電路電晶體規格

Transistor	Size(W/L)-um	Transistor	Size(W/L)-um	Transistor	Size(W/L)-um
(a)		QP 2	1.5 / 0.35	QN 3	2 / 0.35
QP 1	3 / 0.35	QP 3	3 / 0.35	(f)	
QP 2	3 / 0.35	QN 1	2 / 0.35	QP 1	3 / 0.35
QP 3	3 / 0.35	QN 2	2 / 0.35	QP 2	3 / 0.35
QN 1	1 / 0.35	QN 3	1 / 0.35	QN 1	2 / 0.35
QN 2	1 / 0.35	(d)		QN 2	2 / 0.35
QN 3	1 / 0.35	QP 1	3 / 0.35	(g)	
(b)		QN 1	1 / 0.35	QP 1	1 / 0.35
QP 1	3 / 0.35	(e)		QP 2	1 / 0.35
QP 2	3 / 0.35	QP 1	2 / 0.35	QP 3	1 / 0.35
QN 1	1 / 0.35	QP 2	2 / 0.35	QN 1	1 / 0.35
QN 2	1 / 0.35	QP 3	1 / 0.35	QN 2	1 / 0.35
I		QN 1	1 / 0.35	QN 3	1 / 0.35
QP 1	1.5 / 0.35	QN 2	1 / 0.35		

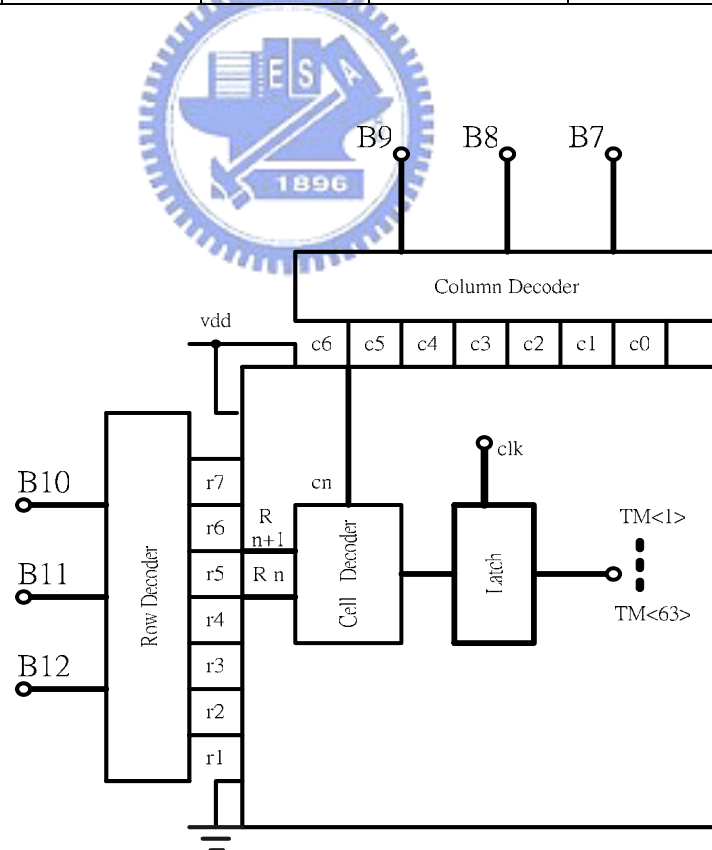


圖 4.8 6 位元二進碼轉換為 63 碼溫度計碼完整轉碼電路

如圖 4.8 為 6 位元二進碼轉換為 63 碼溫度計碼完整轉碼電路，使用兩組 3 位元

二進碼轉換為 7 碼溫度計碼，如圖 4.6 所示，以陣列方式排列，低 3 位元組成八碼溫度計碼，最高位元碼以 Vdd 取代，高 3 位元組成八碼溫度計碼，最高位元碼以 Vdd 取代，最低位元溫度計碼 r_0 以 Vss 取代，經由圖 4.9 Cell decoder 電路完成 6 位元二進碼轉換為 63 碼溫度計碼。圖 4.10 為 Cell decoder 電路佈局結果，電晶體詳細規格表列於表 4.4 所示。

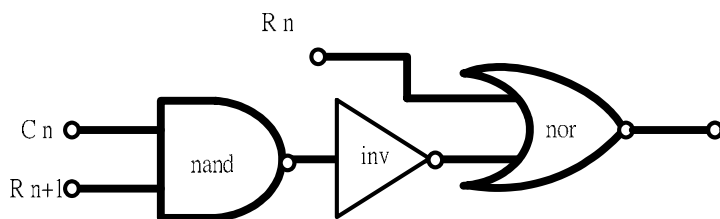


圖 4.9 Cell decoder 電路

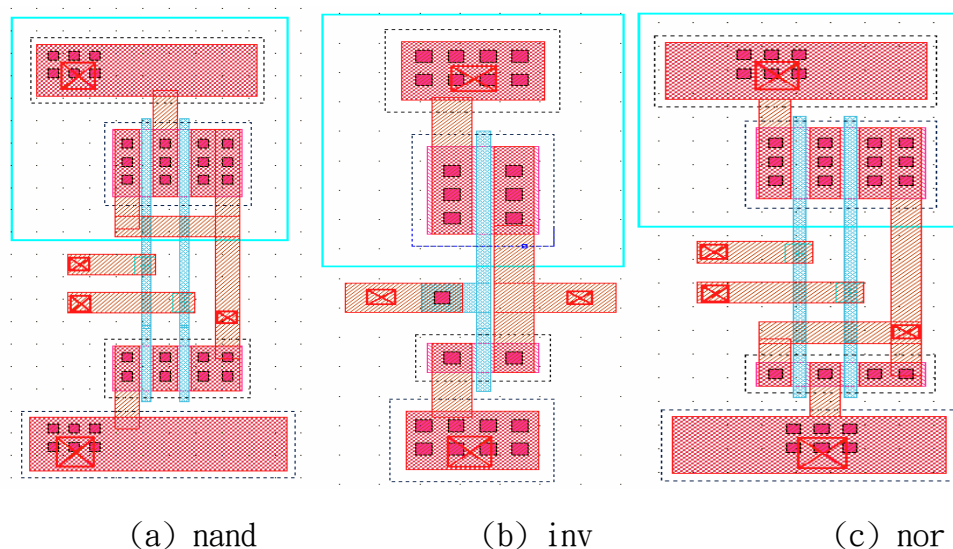


圖 4.10 Cell decoder 電路佈局

表 4.4 Cell decoder 電路電晶體規格

Transistor	Size(W/L)-um	Transistor	Size(W/L)-um
nand		QN 2	1 / 0.35
QP 1	3 / 0.35	nor	
QP 2	3 / 0.35	QP 1	3 / 0.35
QN 1	2 / 0.35	QP 2	3 / 0.35
QN 2	2 / 0.35	QN 1	1 / 0.35
inv		QN 2	1 / 0.35
QP 1	3 / 0.35		

為了使電流源電路開關動作一致，低六位元為二進位碼直接提供開關信號到電流源切換開關，而高六位元為經過轉碼電路轉換，會有時間上延遲的影響，若直接輸入到電流源開關電路會有時間延遲差別，二進位碼控制部份電流源動作會明顯比較快，而溫度計碼部分因為經過比較多邏輯電路轉換，會有 2 到 3 奈秒時間差別，且每一溫度計碼經過邏輯開數也不一樣，反應速度也不同，為了消除這些電路延遲影響，以及簡化電路設計，在驅動電流源開關電晶體之前，所有控制訊號均經過拴鎖電路，拴鎖電路動作由時脈波控制，使電流源切換開關的動作完全受到時脈波控制，達到整個數位到類比電路訊號同步動作。圖 4.11 為拴鎖電路電路圖，圖 4.12 為拴鎖電路佈局結果，電晶體規格表列於表 4.5 所示，圖 4.13 為 6 位元二進碼轉換為 63 碼溫度計碼及拴鎖電路完整轉碼電路佈局，圖 4.14 為數位到類比轉換器電路完整佈局結果，溫度計碼部分採用四象限對稱佈局，每一現象中包含完整溫度計碼編碼電路，訊號拴鎖電路，電流源以及電流源開關，電流源開關驅動電路。

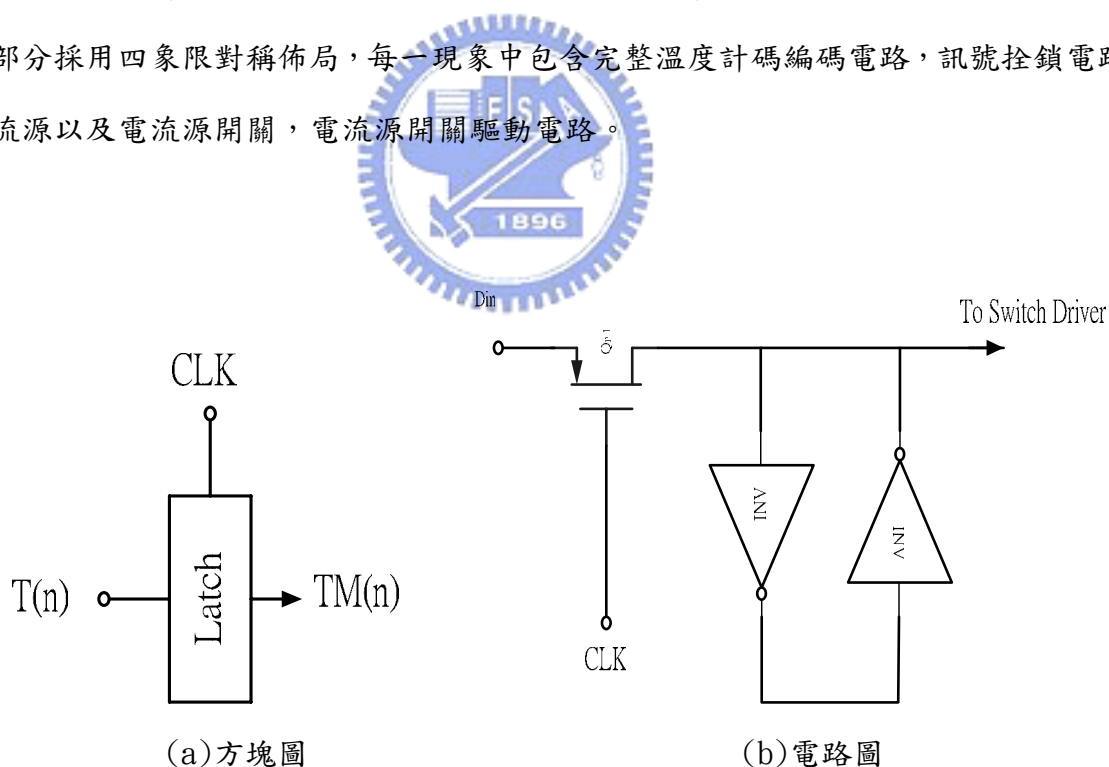


圖 4.11 Latch 電路

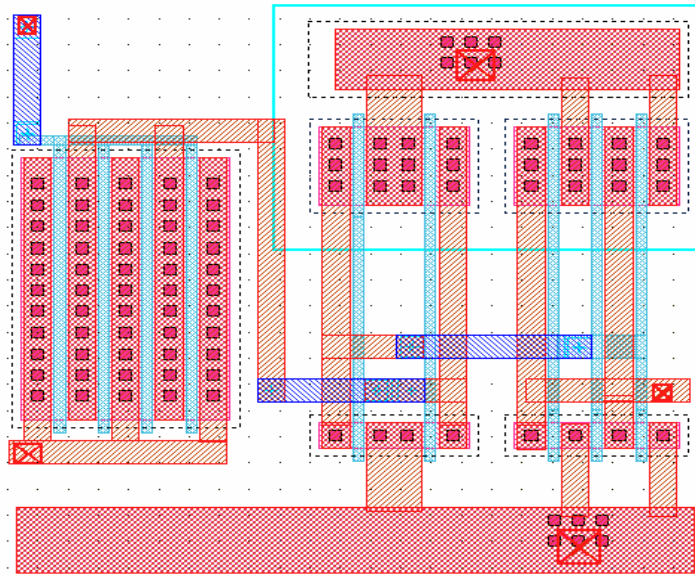


圖 4.12 Latch 電路佈局

表 4.5 Latch 電路電晶體規格

Transistor	Size(W/L)-um	Transistor	Size(W/L)-um
inv		switch	
MP 1	3 / 0.35	SwP 1	10 / 0.35
MN 12	1 / 0.35		

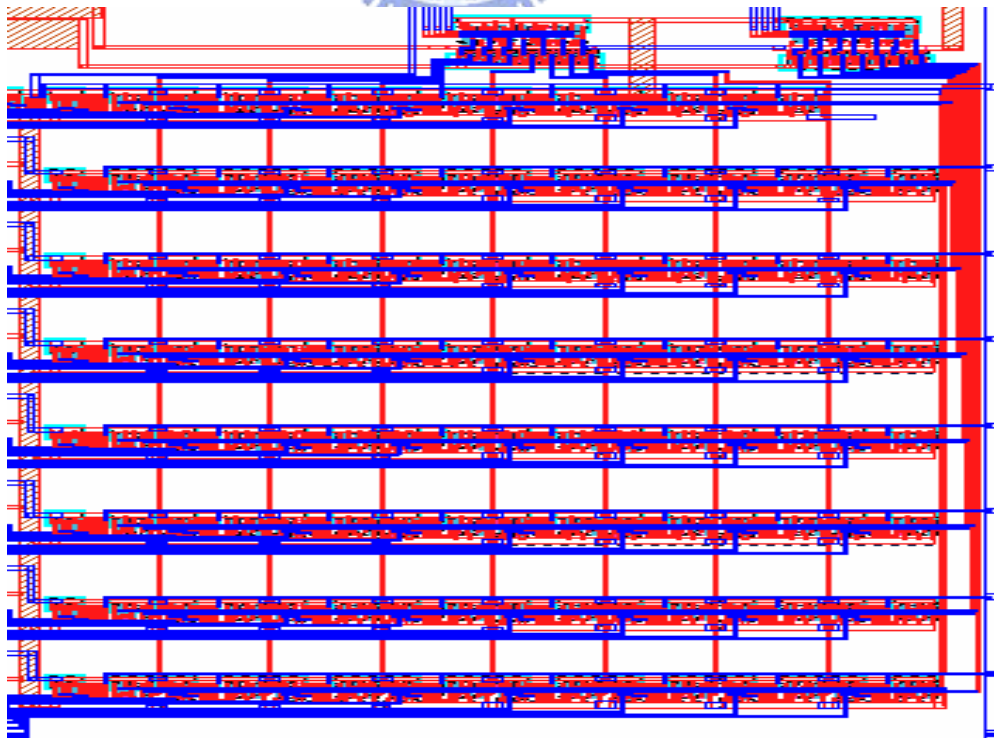


圖 4.13 6 位元二進碼轉換為 63 碼溫度計碼及栓鎖電路完整轉碼電路佈局

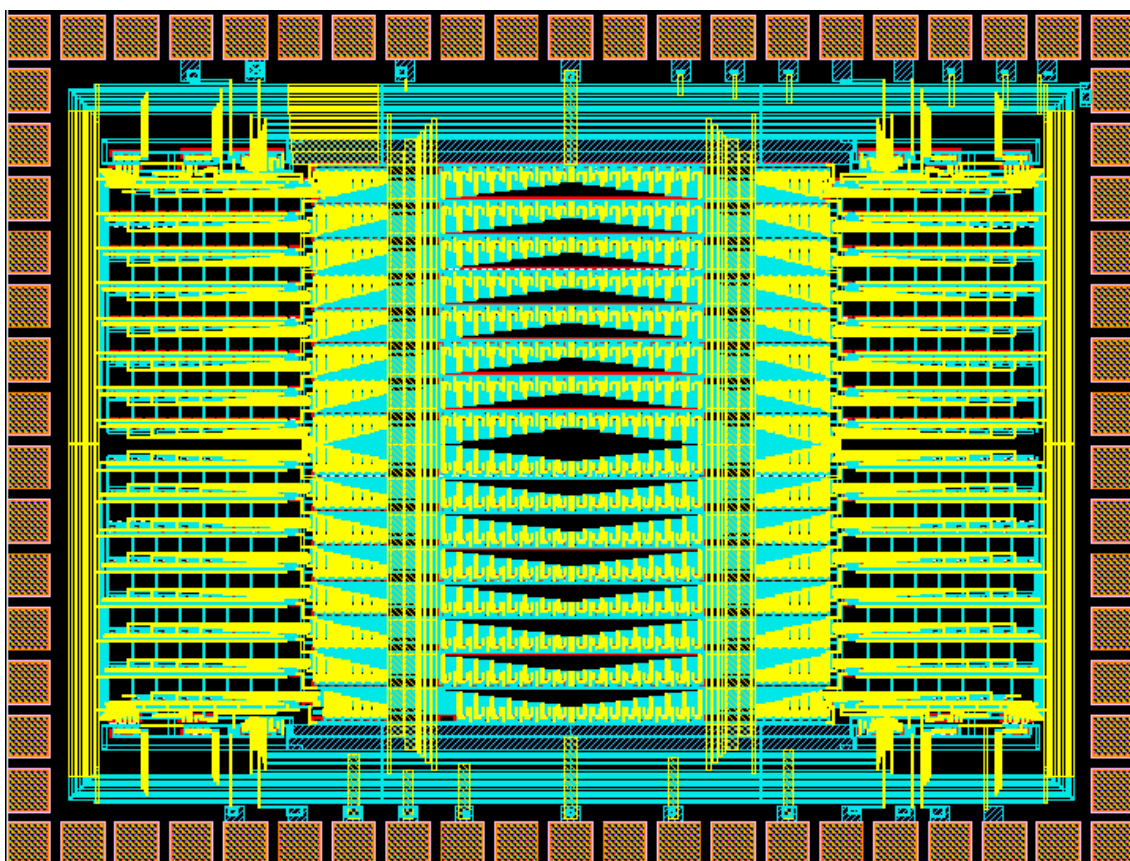


圖 4.14 數位到類比轉換器佈局

5.2 Post simulation 模擬結果

此部份為電路佈局後模擬結果，圖 4.15 為 12 位元 DAC 輸出兩端電流波型 (tt 25 °C)，單端電流為 14 mA，每一電流增量為 3.4 uA，訊號轉換週期為 10 ns，12 位元完成階梯波數位碼轉換時間為 41 us，資料擷取後經由 Matlab 程式運算，差動非線性誤差(DNL)最大值為 0.51 I LSB，所有差動非線性誤差值顯示於圖 4.16，累積非線性誤差(INL)最大值為 0.45 I LSB，所有累積非線性誤差值顯示於圖 4.17，表 4.6 為 post-simulation 在電路設定值不改變下，僅改變外部情況的溫度和電源電壓，和在 TT, SS 情況下結果。

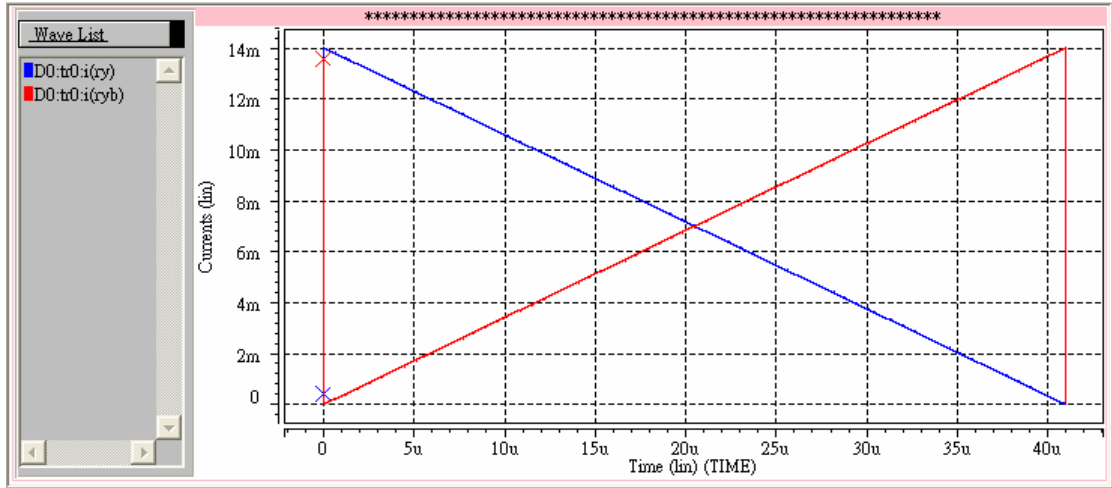


圖 4.15 post simulation 輸出電流波形結果

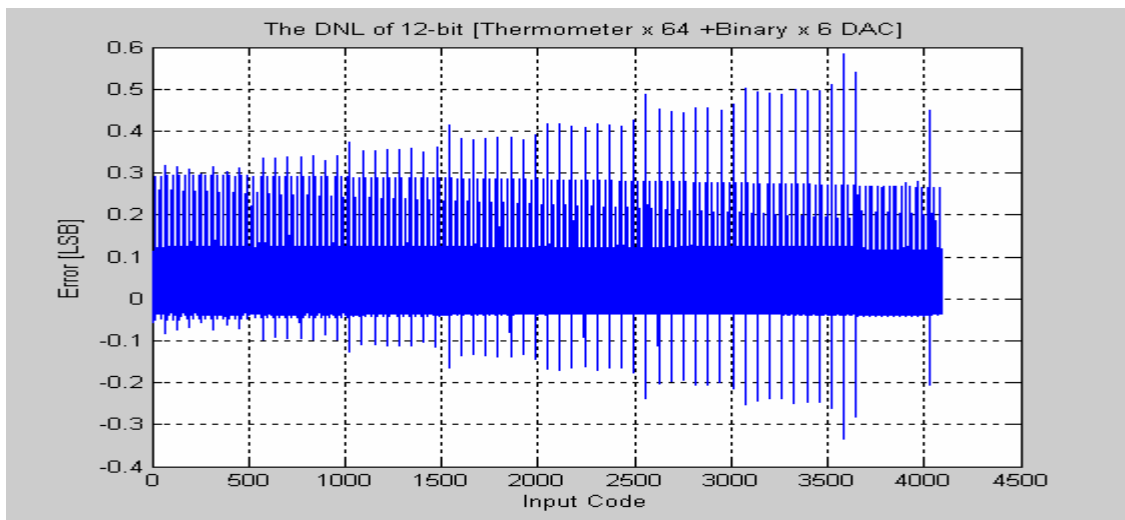


圖 4.16 DNL 結果 (TT 25°C)

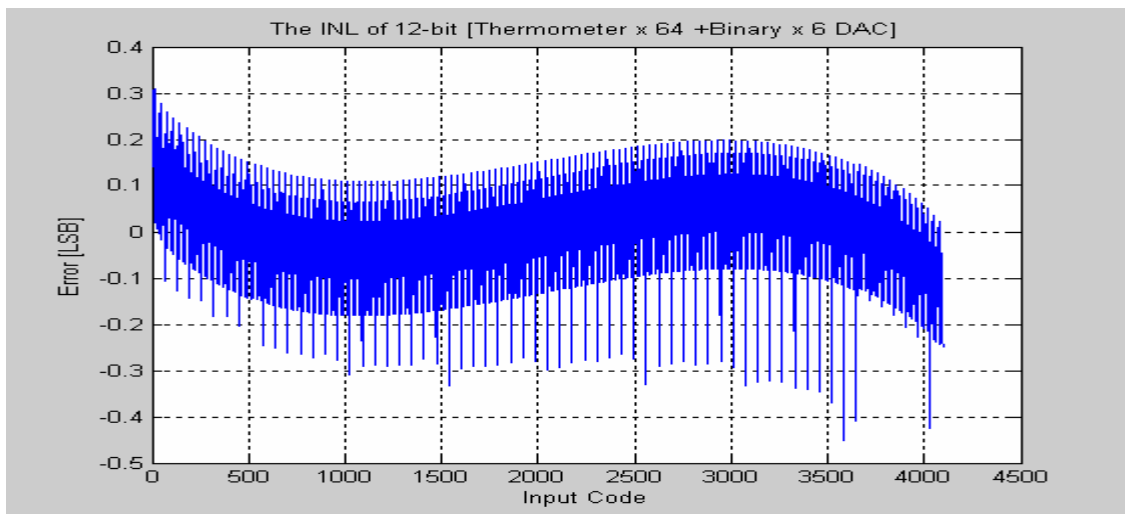


圖 4.17 INL 結果 (TT 25°C)

表 4.6 12 bit DAC 佈局後模擬結果

項次	DNL	INL	TT	SS	25°C	125°C	Iout(mA)
1	0.51	0.45	v		v		16.8
2	0.45	0.2		v		v	10.8



第五章 測試設定和量測結果

在這章我們介紹量測的環境，包括使用儀器和相關外部接線的電路，以下量測結果依據前面各章模擬情況設定，以及使用台灣積體電路公司 0.35um 2P4M CMOS 混合信號製程完成晶片設計。

5.1 測試環境設定

此部份介紹測試環境，如圖 5.1 晶片測試圖，除晶片部份外，我們需要準備一台電源，一台示波器，一台含有 12 位元波型碼產生器的邏輯分析儀，5KΩ 精密可變電阻七個，和 50Ω 電阻兩個，如圖 5.1 晶片測試圖接線。

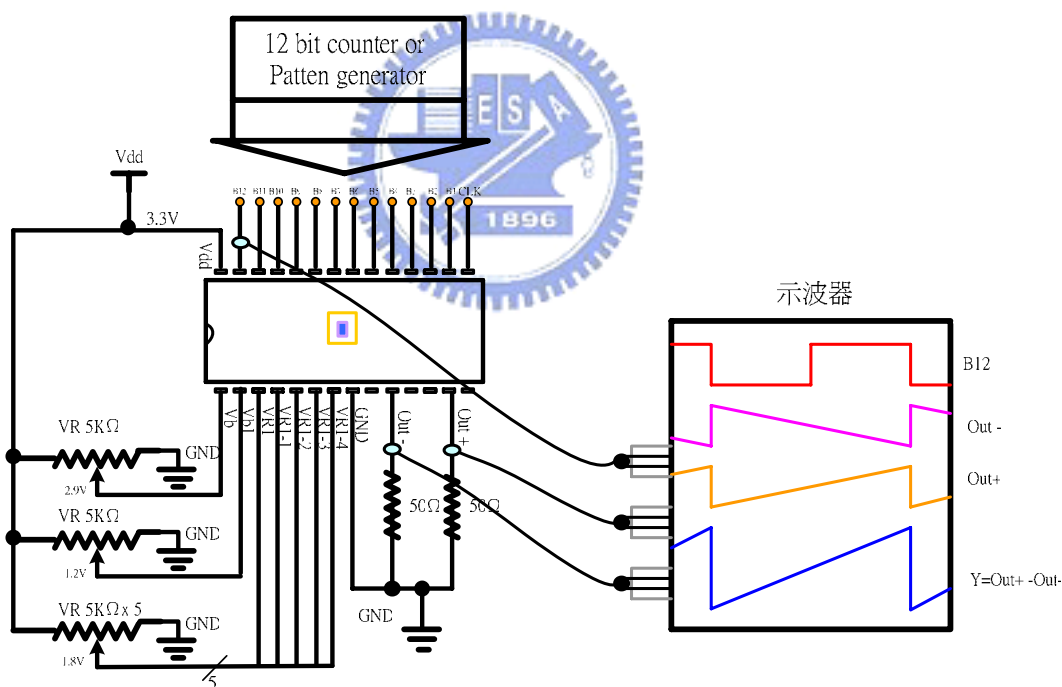


圖 5.1 晶片測試圖

電源:此部份可用一般電源供應器或是使用電池經電壓調整穩壓電路，電壓值為 3.3 伏特，為提供數位到類比轉換器使用和其偏壓電源可變電阻電源使用。使用電源供應器優點在於方便調整電壓和容易觀測電流變化，缺點在於此電源有相當程度的變動，要得到比較穩定的電壓源可以使用電池經電壓調整穩壓電路，電壓變動量會比電源供

應器小很多，但是要觀測電流值要有很精密電流表，相較於使用電源供應器而言比較麻煩，此處採用在初步量測時使用電源供應器，當量測結果須要更好時則採用電池經電壓調整穩壓電路。

示波器:在量測晶片時，要考慮示波器將成為晶片量測點電容性負載，一般其電容值為 15pf 到 20pF，在圖 5.1 晶片測試圖接線示波器部份分別接到 B12 和數位到類比轉換器輸出端 OUT+ 和 OUT- 等三端點，當輸入為階梯波的數位碼時，其中 B12、OUT+ 和 OUT- 等三端點波型頻率為轉換頻率的 2^{12} 分之一，B12 為 MSB，責任周期二分之一的方波，OUT+ 和 OUT- 等三端點波型頻率為轉換頻率的 2^{12} 分之一，此時要量測的訊號為數位到類比轉換器的輸出 OUT+ 和 OUT- 信號，而差動非線性誤差(DNL)和累積積非線性誤差(INL) 才是我們真正想要的結果，但是示波器並無法直接量測，在 Angilent infinium 54832 型示波器上我們可以選擇個別波型數據儲存格式(.csv)將所要資料擷取再使用 Matlab 軟體計算差動非線性誤差(DNL)和累積積非線性誤差(INL)。而示波器面板上量測波型可用圖型圖檔(.bmp)擷取。當輸入為正旋波的數位碼時，我們不再量取差動非線性誤差(DNL)和累積積非線性誤差(INL)，而是直接量測輸出信號的頻譜並計算訊號(Signal)能量大小和雜訊(Noise)能量大小，求出兩者間比值(SFDR)。

12 位元波型碼產生器:此部份可用三種方式完成，一是用計數器方式，二是用類比到數位轉換器(ADC)產生所要的數位碼，另外就是用使用有圖型碼產生器的邏輯分析儀。使用計數器方式為將輸入轉換頻率逐次除二完成 12 位元除法器，並且將每一為元當做 1bit，完成 12 位元轉換，此方法僅能完成步階波數位碼轉換，對於旋波數位碼則沒有辦法產生，此方法為最容易產生量測 DAC 數位碼的方法。對於旋波數位碼則可使用類比到數位轉換器(ADC)產生所要的數位碼，同時也可以產生步階波數位碼轉換，為確保 ADC 轉出的數位碼達到 12 位元以上，最好採用精確度大於 12 位元以上的並列位元轉換器，同時還要注意其取樣頻率也要大於 DAC 要求的轉換頻率，而輸入波型也要確保沒有變型，也就是在步階波轉換時要有單調增加特性且沒有漏碼情況。若是在轉換過程中有雜訊引入，則會造成 DAC 輸出跟隨變化影響量測準確性。最後是用波型碼產生器，產生所要的數位碼，此部份除先要了解儀器特性外，尚須要有事先產生的

波型碼，因為波型碼產生器僅能產生簡單波型的數位碼，或是在鍵盤上逐碼輸入想要的碼。若要輸出指定型式波型的數位碼，則必需從外部產生所要的碼之後(可用 Matlab 程式產生)，再輸入到波型碼產生器，以 Agilent logic analysis 16702B 機型並以正弦波圖型碼為例，首先進入 Pattern generator 模式，選定數位碼轉換頻率並設定此頻率由內部產生或是由外部控制，設定輸出腳位和相對應位元位置，載入外部產生所要的碼，或是由內部自行產生，完成波型碼和轉換頻率以及腳位設定後離開設定畫面並回到 Pattern generator 目錄下，選擇執行項(RUN)，選擇連續執行，執行時間約十秒鐘後完成，此時輸出腳開始輸出波型的數位碼，CLK 腳輸出轉換頻率，要注意此時波型碼產生器(Pattern generator)雖然產生正確的波型碼，但還不能驅動數位到類比轉換器(DAC)，因為此時輸出腳電位才 0V 到 1V，我們必需選用合於驅動數位到類比轉換器(DAC)的電位轉接器(Probe)，以此 12 位元數位到類比轉換器需要有一個 3.3V 的 CLK 電位轉接器和兩個 3.3V 的 DATA 電位轉接器。

5K Ω 精密可變電阻:在數位到類比轉換器上我們有七個外接偏壓電壓，分別為 Vb Vb1 VR1 VR1-1 VR1-2 VR1-3 VR1-4，這七個偏壓點均為電壓偏壓，並不會消耗功率，並且電位介於 0V ~3.3V 間，為使此部份耗電少，可儘量使用比較高阻值的可變電阻，VR1 VR1-1 VR1-2 VR1-3 VR1-4 等可變電阻要使用精密可調整型電阻，因為此部份在量測前校正時會影響到數位到類比轉換器(DAC)中低位元部份二進位權重電流源電流量調整。

50 Ω 電阻:此為數位到類比轉換器輸出端外接阻抗，設計值為 50 Ω 電阻，此電阻也要選用精密可調整電阻，因為固定電阻有時際上有一容許誤差，兩個標示相同的固定電阻並不容易有相同電阻值。

電路校正：校正及準備

1. 調整電路偏壓到設定值。
2. 將數位輸入腳 B1~B12 接邏輯電位” 0”。
3. 逐步改變數位輸入腳 B1~B12 接邏輯電位，由示波器量測靜態輸入下，逐一測量電流源電流值(輸出電壓)，並予以記錄。
4. 量測總電流值(電壓)，調整偏壓電路使操作在設計範圍內。

5. 從回步驟 1 調整到最佳情況。
6. 調整輸入訊號，包刮 clk, B1~B12，並用示波器逐一檢查，確定和 H-spice 電路模擬情況相同，clk 正緣要延遲輸入信號 2~3ns，以確保 Latch 電路能夠抓取正確輸入信號。

量測：

7. 輸入 1MHz clk 和二進位碼 B1~B12，量測 DAC 輸出端 y 以及 yb 是否步階增減。
8. 逐步增加輸入頻率到 100MHz 以上及量測輸出結果，並計算 DNL, INL 值。
9. 逐一量測每一個 IC 並紀錄結果。

5.2 量測結果

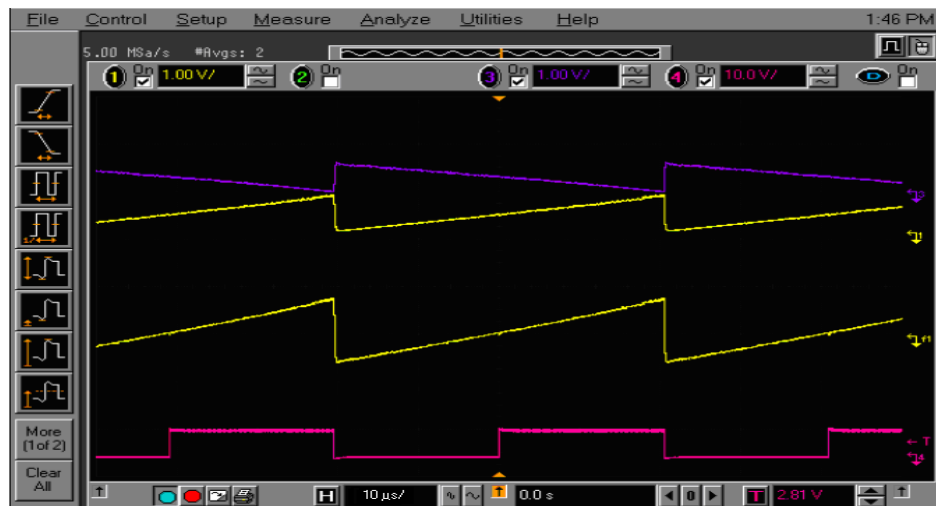


圖 5.2 步階波輸出波形

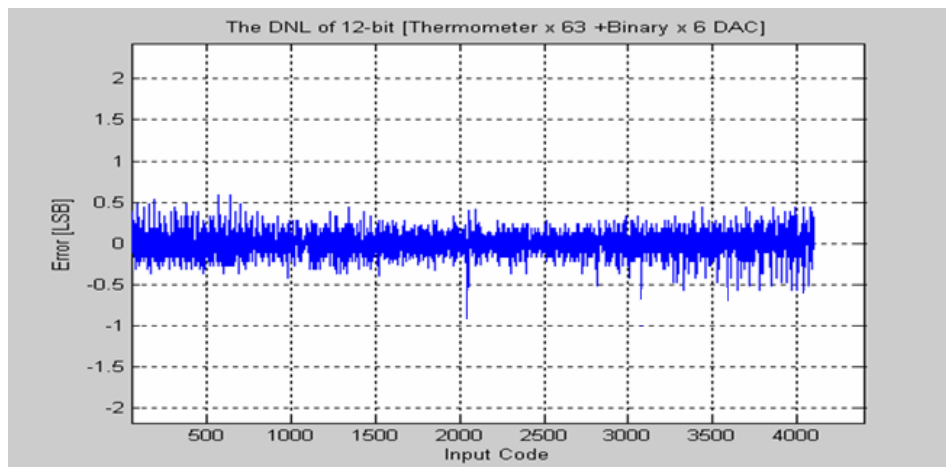


圖 5.3 DNL=0.9 LSB

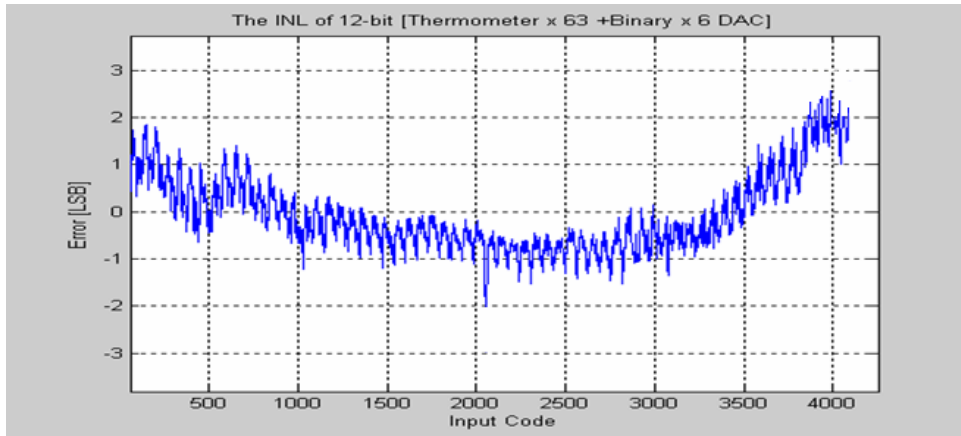


圖 5.4 INL=2.5 LSB

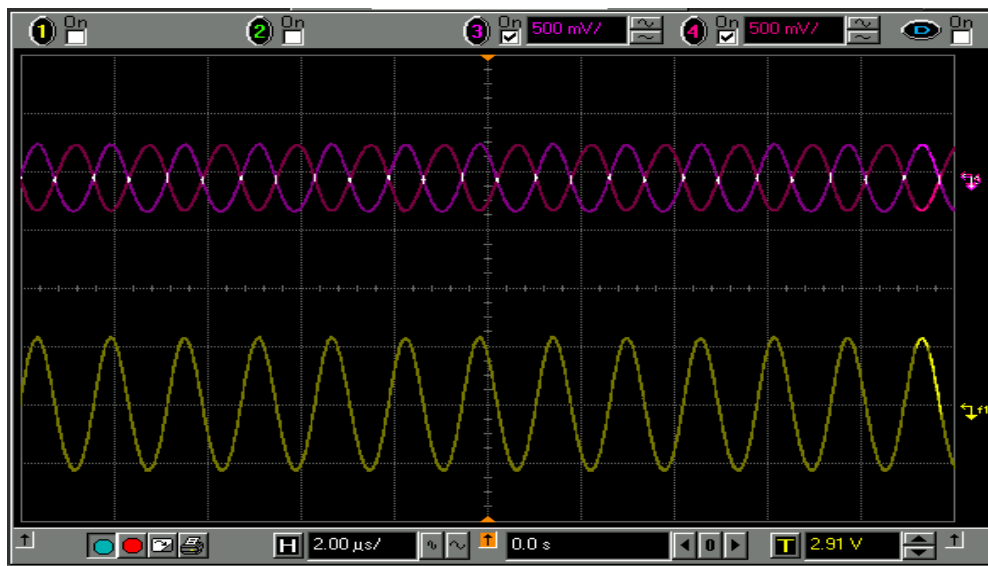


圖 5.5 SIN 波輸出波形， $f_s=685.48\text{KHz}$ $f_c=108\text{MHz}$

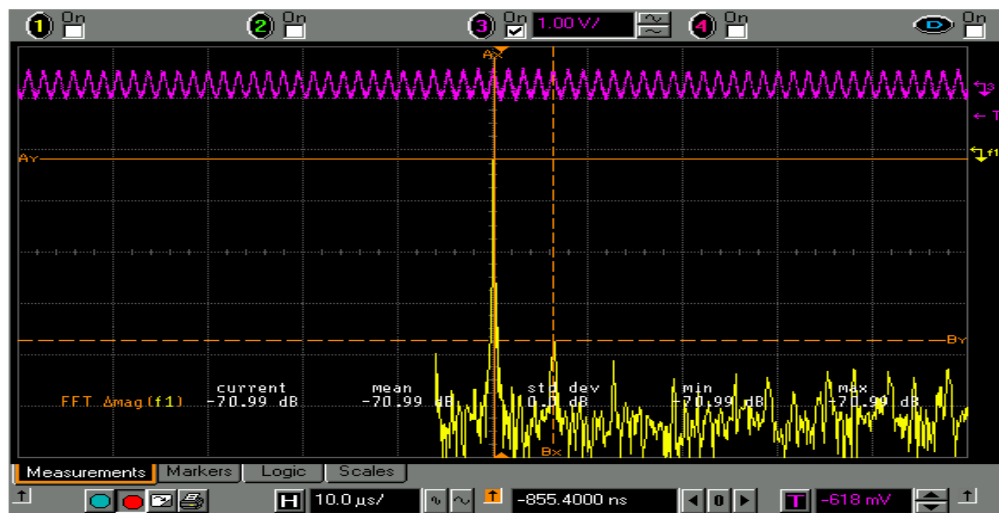


圖 5.6 SIN 波頻譜 SFDR 為 -70.99dB (11.5 bit)

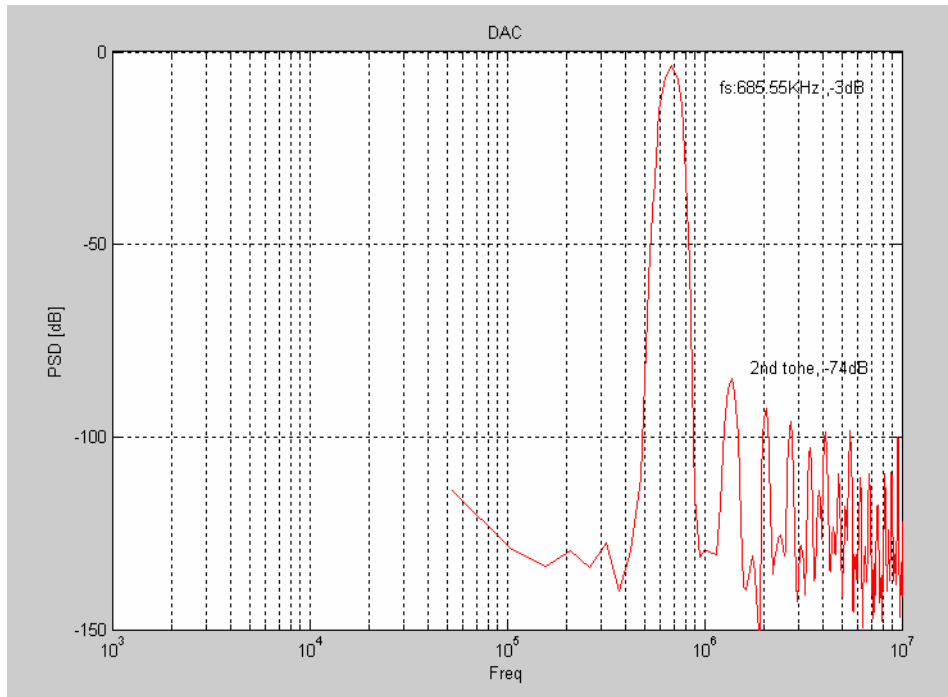


圖 5.7 SIN 波頻譜， $f_s=685.55\text{KHz}$ ， $f_c=108\text{MHz}$

量測結果如圖 5.2 到 5.8，圖 5.2 為量測差動非線性誤差和累積非線性誤差的波形，此波形為數位到類比轉換器，操作在轉換頻率 100MHz，由邏輯分析儀輸入 12 位元階梯波型碼，到數位到類比轉換器數位輸入端，量測數位到類比轉換器數位輸出端 out+(紫色曲線)，out-(黃色曲線)，差動輸出(黃色曲線)，圖中最下方為 MSB 輸入波形，同時可以更明顯顯示此量測波形週期，輸出電流最大值為 16mA，輸出負載為 50Ω，單端輸出最大值為 0.8V，差動輸出值為 1.6V，每一 V_{LSB} 為 $1.6/4096=390\mu\text{V}$ 。圖 5.3 為擷取圖 5.2 差動輸出訊號經過 Matlab 程式運算差動線性誤差(DNL)結果，最大差動非線性誤差為 0.9 LSB。圖 5.4 亦為擷取圖 5.2 差動輸出訊號經過 Matlab 程式運算累積非線性誤差(INL)結果，最大累積非線性誤差為 2.5 LSB。圖 5.5 波形其目的為量測訊號和雜訊比，輸入數位訊號操作在轉換頻率 108MHz，Sinwave 頻率選擇為 $685.55\text{KHz}[(108\text{MHz} \times 13)/2048]$ ，邏輯分析儀圖型碼選用轉換頻率為 108MHz，每一訊號週期的轉碼碼數為 $108\text{MHz}/685.55\text{KHz} = 157$ ，震幅調整到 90%滿刻度輸出量，產生 12 位元 Sinwave 波型碼，輸入到數位到類比轉換器數位輸入端，量測數位到類比轉換器數位輸出端 out+(紫色曲線)，out-(紅色曲線)，差動輸出(黃色曲線)，輸出負載為

50 Ω ，單端輸出值為 0.7V，差動輸出值為 1.43V，圖 5.6 為訊號頻譜，頻率為 685.55KHz，大小為-3dB，2nd tone 大為-73.99dB，SFDR 為 70.99dB，線性度為 11.5 bit，圖 5.7 同為訊號頻譜，為擷取圖 5.6 輸出訊號經 Matlab 程式計算功率頻譜，頻寬設為二分之一轉換頻率(54MHz)，計算 SNR=66.87dB 相當於 10.8 bit，SNDR=61.8dB 相當於 10 bit。圖 5.8 為七棵晶片在改變轉換頻率由 1MHz 到 130MHz 量測 SFDR 結果，均達到 IEEE 802.11a 要求規格，10 bits，轉換頻寬在 54Mbps。

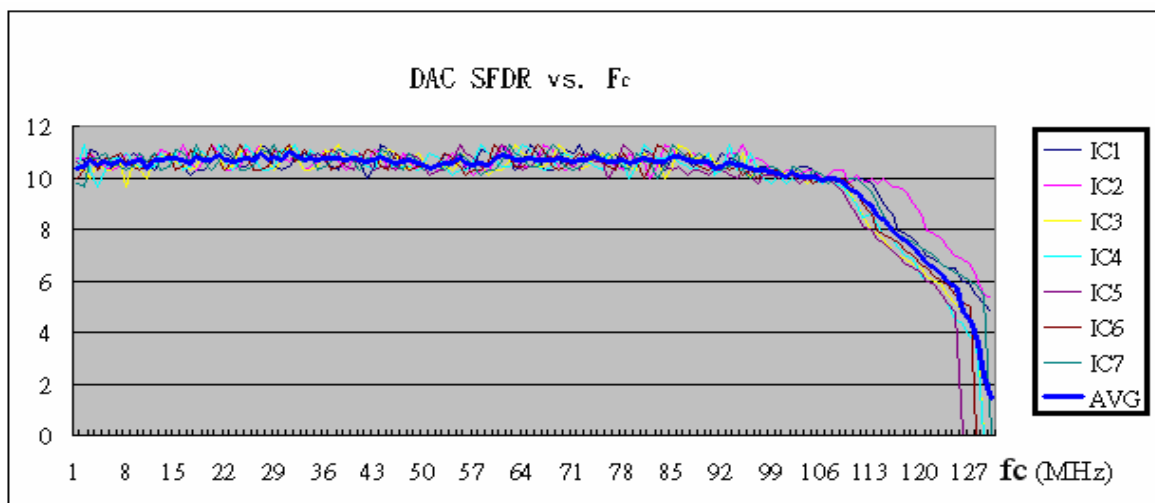


圖 5.8 輸出位元數對轉換率曲線

第六章 結論與未來工作展望

數位/類比轉換電路中電流源的精確直接影響轉換器第效能，本篇論文使用溫度計碼和二進位權重碼組成 12 bit 的轉換器，為達到設計上要求採用 6bit(63)的溫度計碼電流源和 6bit 二進位權重碼電流源，要使每一個溫度計碼的電流源相同，採用抗製程漂移偏壓技術電流源，使每一電流源有均一特性並且在製程等因素變化下會有相同變化情況，在 gradient error 的考量方面採用四象限對稱佈局，消除線性梯度誤差和拋物線梯度誤差補償，此法可以使電路有最小的 DNL，因為相鄰電流源間有最小誤差，INL 的累積特性因亦可壓抑在一定小的範圍之內，且使整個數位/類比轉換電路(DAC)的各電流源誤差自動調整到該晶片平均的梯度誤差上。

溫度計碼電流源式數位到類比轉換器，對電流源要有很精確要求，尤其在高解析度電路上，對電流源設計難度頗高，在本論文基礎下，若採用三角-積分調變方式，將雜訊移到高頻處，將會大幅提昇電路解析度，此方面會是接下來很好的研究方向。

Reference

- [1] 蔡志厚; “ Design on Low-Variation G_m -C Analog Filter” 國立交通大學碩士論文, 中華民國九十三年九月。
- [2] J. Bastos, A.M. Marques, M.S.J. Steyaert, and W. Sansen, “A 12-bit intrinsic accuracy high-speed CMOS DAC,” *IEEE Journal of Solid-State Circuits*, vol. 33, Dec. 1998, pp. 1959 - 1969.
- [3] J. Deveugele, G. Van der Plas, M. Steyaert, G. Gielen, and W. Sansen, “A gradient-error and edge-effect tolerant switching scheme for a high-accuracy DAC,” *IEEE Transactions on Circuits and Systems*, Jan. 2004, pp. 191 - 195.
- [4] L.E. Jr. Boylston, K. Brown, and R. Geiger, “Enhancing performance in interpolating resistor string DACs,” *IEEE 2002 45th Midwest Symposium on Circuits and Systems*, vol. 2, Aug. 2002, pp. II-541 - II-544.
- [5] P.K. Oborn, D.T. Comer, “A new digital to analog converter resistor string architecture,” *IEEE International ASIC Conference and Exhibit, Tenth Annual*, Sept. 1997, pp. 304 - 307.
- [6] Chunlei Shi, J. Wilson, and M. Ismail, “Design techniques for improving intrinsic accuracy of resistor string DACs,” *IEEE International Symposium on Circuits and Systems*, vol. 1, May 2001, pp. 400 - 403.
- [7] P. Ju, K. Suyama, P. Jr. Ferguson, LeeW., “A highly linear switched-capacitor DAC for multi-bit sigma-delta D/A applications,” *IEEE Transactions on Circuits and Systems*, vol. 1, May 1995, pp. 9 - 12.
- [8] Un-Ku Moon, J. Silva, J. Steensgaard, and G.C. Temes, “A switched-capacitor DAC with analog mismatch correction,” *The 2000 IEEE*

- International Symposium on Circuits and Systems, pp.421 - 424, May 2000
- [9] Shu-Yuan Chin and Chung-Yu Wu, "A 10-b 125-MHz CMOS digital-to-analog converter (DAC) with threshold-voltage compensated current sources," IEEE Journal of Solid-State Circuits, Nov.1994, pp.1374 - 1380.
- [10] Chi-Hung Lin, K. Bult, "A 10-b, 500-MSample/s CMOS DAC in 0.6 mm²," IEEE Journal of Solid-State Circuits, vol. 33, Dec. 1998, pp.1948-1958.
- [11] G. R. Ritchie, J.C. Candy, and W. H. Ninke, "Interpolative digital to Analog converters," IEEE Transactions on communication., vol.COM-22, Nov. 1974, pp. 707-1806.
- [12] J. C. Candy and An-Ni Huynh, "Double interpolation for digital-to-analog conversions," IEEE Transactions on communication., vol. COM- 34, Jane 1986, pp. 7-81.
- [13] 李柏鈺, "A 14-bit 200Ms/s Digital to Analog Converter Without Trimming," 淡江大學碩士論文, 中華民國九十二年六月。
- [14] E. Säckinger, W. Guggenbühl, "A high swing, high impedance MOS Cascade circuit," IEEE Journal of Solid-State Circuits, vol. 25, Feb. 1990, pp. 289-298.
- [15] Russ E. Radke, Aria Eshraghi, Terri S. Fiez, "A 14-Bit Current-Mode Sigma-Delta DAC Based Upon Rotated Data Weighted Averaging," IEEE Journal of Solid-State Circuits, vol. 35, Aug. 2000, pp.1074-1083.
- [16] Vadipour, and Morteza, "Gradient error cancellation and quadratic error reduction in unary and binary D/A converters," IEEE Transactions on Circuits and Systems, Dec. 2003, pp.1002 - 1007.
- [17] Yonghua Cong, R.L. Geiger, "Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays," IEEE

Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 47, July 2000, pp. 585 – 595.

- [18] Yang Ke, Wang Xiaofeng, Chen Zaiman, Ren Junyan, “New switching sequence for gradient error compensation in thermometer-decoded DAC arrays,” IEEE International ASIC, Proceedings 5th International Conference, vol. 1, Oct. 2003, pp. 693–697.
- [19] Behzad Razavi, “Design of Analog CMOS Integrated Circuits,” McGraw-Hill, New York, 2001.
- [20] Star-Hspice Manual, Release 2001.2 , June 2001.
- [21] Johns, Ken Martin, “Analog Integrated Circuit Design,” John Wiley & Son, 1996.

