

第一章 簡 介

隨著科技與無線通訊技術的蓬勃發展，人們在日常生活裡對於通訊的傳輸速率要求也越來越高，而且隨著無線通訊產品在日常生活使用的普及化，造就了無線區域網路市場需求一直保持高度成長，同時也被認為是下一代通訊產業發展的最大推動力之一，全球學術研究機構與通訊業者均視其為主流並賦予極大的希望。其中又以正交分頻多工(Orthogonal Frequency Division Multiplexing, OFDM)技術最引人注目，其高傳輸速率與抗多路徑通道的特性，結合多項優點因而成為下一代無線通訊技術主流標準，且已被多個通訊標準協定所採用，在未來無線技術發展中扮演舉足輕重的角色。傳統之高速率數據傳輸主要受限於有限頻寬所造成之符元間干擾(Inter-Symbol-Interference, ISI)，容易使收到資料解調錯誤。要解決 ISI 問題，最簡單的方法是增長符元時間進而減少因為有限頻寬所造成之時域擴散效應，但是這樣做便失去高速率傳輸的原本目的。另外一個辦法便是增長符元時間同時提高調變階數(Modulation Order)，如 16QAM、64QAM 等等。高階調變會造成更密的星狀點(Constellation Points)，伴隨而來的問題便是容易受到雜訊的干擾而使得出錯率變高，唯有增加系統傳輸功率(power)才有可能達到所需品質，但增加傳輸功率在實際上往往是不可行，因為在無線通訊中除了電池使用考量外，亦需考量功率過大對其他使用者造成之干擾。以往解決 ISI 問題最有效方法是利用適應性等化器(Adaptive Equalizer)[1]，但這些等化器一般是在時域(Time-Domain)中實現，對高速傳輸系統而言，在固定的最大傳輸延遲下(Maximum Delay Spread)，等化器變得非常複雜，往往需要相當龐大的運算量，為了克服此一缺點，正交分頻多工技術便運應而生。

利用多載波(Multi-carrier)傳輸配合高階調變技術是解決高
速率傳輸符元間干擾問題之重要技術[1-8]。有別於傳統單載波
調變系統，多載波傳輸系統首先將輸入串列(Serial)信號符元區
隔成方塊架構，每一方塊中之符元則分別平行調變至不同載波
上，以多載波傳送資料的方式平行傳輸。由於是利用多載波平
行傳輸，每個載波上之信號符元時間則變長，如此在固定的最
大傳輸延遲下，每個載波上之信號符元受到 ISI 的影響則大大減
少。為了提高頻率使用效率，不同載波之間的頻譜可允許重疊，
但各載波在所送符元時間內必須維持正交性(Orthogonality)，以
避免載波之間互相干擾。因此，此種調變技術稱之為正交分頻
多工(Orthogonal Frequency Division Multiplexing, OFDM)技術。
由於各載波仍可使用高階調變技術，OFDM 配合高階調變技術
是公認高速率傳輸之可行傳輸技術[1-6]。正交分頻多工技術在
1960 年代即已提出[7]，主要目標還是消除有限頻寬傳輸之 ISI
問題，但由於當時硬體及數位處理技術並不發達，正交多載波
及相對應濾波器之製作相當困難、昂貴，因此當時並不受歡迎。
直到 1971, Weinstein 及 Ebert 提出利用 IFFT(Inverse Fast Fourier
Transform)及 FFT(Fast Fourier Transform)取代類比之多載波製
作，此技術因此得以再受重視。

在 OFDM 系統中，如之前所提輸入信號符元須整區塊整區
塊處理，並透過 IFFT/FFT 轉換成多載波類比(數位)信號，因此
區塊之同步是 OFDM 之首要問題，區塊不同步則 FFT 會取錯區
塊運作，造成解調資料錯誤。其次，由於傳送端與接收端振盪
器之間的載波頻率偏移(Carrier Frequency Offset)及取樣頻率偏
移(Sampling Frequency Offset)亦會破壞各載波間之正交性
[2,9]，進而增加干擾，因此接收器之正確頻率估計及補償亦是
OFDM 成功運作之重要條件。而載波相位雜訊(Phase Noise)亦是
破壞載波之間正交性的來源之一。另外，在頻率選擇通道
(Frequency Selective Channel)中傳輸資料，接收端本身必須作精
確之通道估測(Channel Estimation)，否則無法做正確載波資料解
調與判斷[2]。而射頻前級(RF Front-End)的 I-Q 不平衡(I-Q
Imbalance)效應對於載波之間亦會造成影像訊號(Image Signal)

干擾[10]，所以如何在接收機估算與補償此效應亦是一大問題。由於 OFDM 是一多載波系統，具較高的峰值對均值功率比 (Peak-to-Average Power Ratio, PAPR)[2]，射頻前級與功率放大器線性度要求非常高，非線性元件對系統品質亦有很大影響。然而要處理前述這些問題前必須要快速作好自動增益控制，提供穩定的接收訊號，才能正確的進行各項的估算。

本論文主要以 IEEE802.11a/g 無線區域網路[6]之 OFDM 系統為基礎，進而探討射頻接收機架構，並提出一套快速自動增益控制演算法，設計如何能在 $5.6\mu s$ 內完成自動增益控制，藉由電腦模擬後下載到 FPGA 上，再依 IEEE802.11a/g 無線區域網路系統製作射頻收發模組及類比/數位轉換介面電路，以完成實際硬體電路並進一步測試驗證所提出快速自動增益控制演算法是可以實現在真正的無線區域網路應用上。最後為本篇論文做一結論與未來展望。



第二章 無線區域網路 IEEE 802.11 OFDM

2.1 無線區域網路 IEEE 802.11 OFDM 標準規範介紹 [6]

無線區域網路 IEEE 802.11 OFDM 是指 IEEE 802.11 a 及 IEEE 802.11 g 而言，其主要差別為所規範使用的頻帶不同，IEEE 802.11 a 是使用 5 GHz 的頻帶，而 IEEE 802.11 g 是使用 2.4 GHz 的頻帶。以下就針對 IEEE 802.11 a 的標準規範作基本介紹：

無線區域網路 IEEE 802.11 a 是以正交分頻多工 (Orthogonal Frequency Division Multiplexing, OFDM) 技術為調變方式之高速無線傳輸系統。OFDM 系統的基本原理，是將原有的資料傳輸序列分配在多個不同的子載波上平行傳送，因此每一子載波上的傳輸間隔變大為原本間隔的數倍，使得在每個子載波上的符元持續時間 (Symbol Duration) 增加，符元時間變長可以降低由多路徑延遲擴散 (Multi-path Delay Spread) 引起之時域符際干擾，並以快速傅利葉轉換/快速傅利葉反轉換 (FFT/IFFT) 來實現子載波時域與頻域間的轉換。

IEEE 802.11 a 共使用 52 個子載波來傳送資料，其中有四個領航信號 (Pilot Signal) 分別是 -21、-7、7、21 子載波，所提供的資料傳輸速率分別有 6、9、12、18、24、36、48、54 Mbit/sec 八種，在通道編碼中有 1/2、2/3、3/4 不同編碼率的迴旋碼 (Convolutional Code) 編碼，在調變方式上有 BPSK、QPSK、16-QAM、64-QAM 四種不同的方式。不同的資料傳輸速率下所對映的參數如表 2.1.1 所示。

Data rate (Mbits/s)	Modulation	Coding rate (R)	Coded bits Per Subcarrier (NBPSK)	Coded bits Per OFDM symbol (NBPSK)	Coded bits Per OFDM symbol (NBPSK)
6	BPSK	1/2	1	48	24
9	BPSK	3/4	1	48	36
12	QPSK	1/2	2	96	48
18	QPSK	3/4	2	96	72
24	16-QAM	1/2	4	192	96
36	16-QAM	3/4	4	192	144
48	64-QAM	2/3	6	288	192
54	64-QAM	3/4	6	288	216

表 2.1.1 不同的資料傳輸速率下所對映的參數

前置循環信號的使用，可避免傳輸符元在多重路徑衰落通道的環境下，遭受到前一個符元的干擾。在 IEEE 802.11 a 規範了三種不同長度的前置循環信號所組成的守護區間 (如圖 2.1.1): (1)短訓練序列(Short Training Sequence)(=0 μ s) (2)長訓練序列(Long Training Sequence)(= T_{GI2}) (3)資料符元(Data OFDM Symbols)(= T_{GI})。

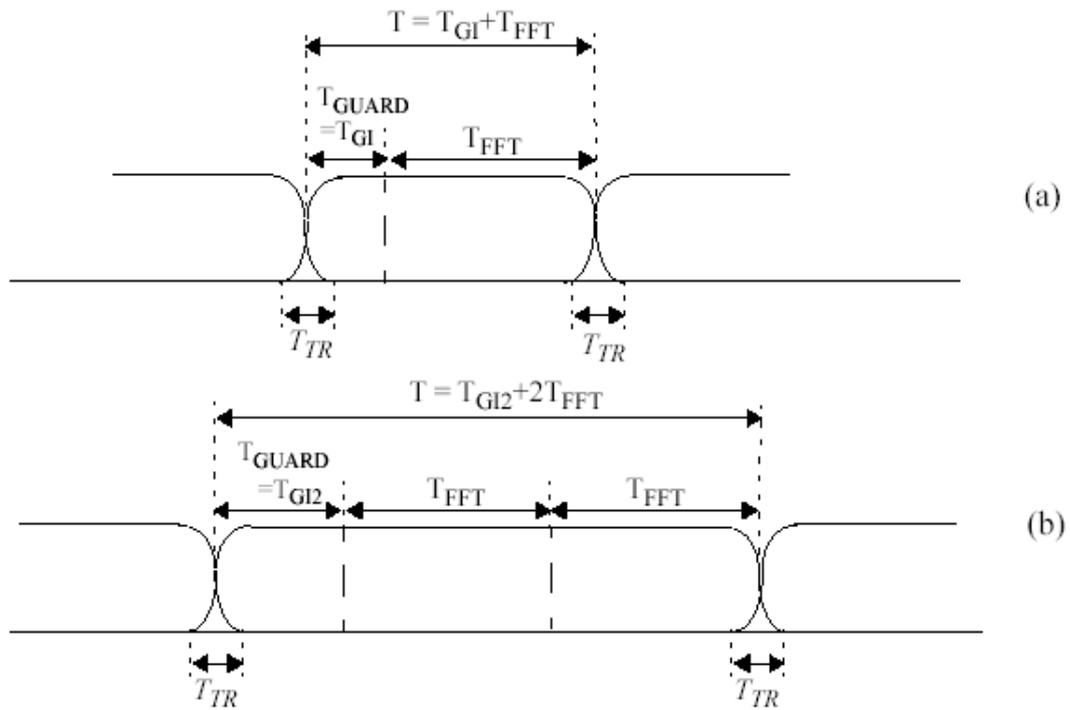


圖 2.1.1 OFDM 的守護區間 (a)單一 FFT 的週期(b)双 FFT 的週期

在離散時域實現上，IEEE 802.11 a 是使用快速傅利葉反轉換(IFFT)演算法，例如用 64 點 IFFT 其輸入與輸出關係如圖 2.1.2 所示。

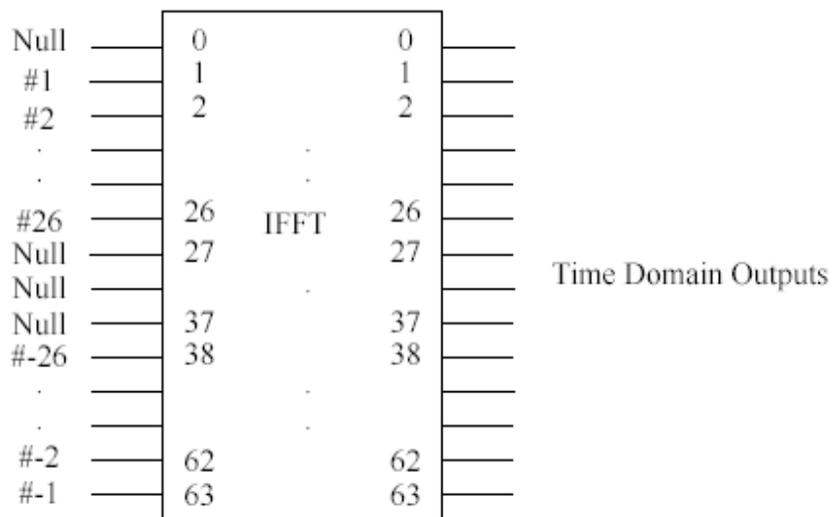


圖 2.1.2 IDFT 的輸入與輸出

相關時域參數如表 2.1.2 所示：

Parameter	Value
N_{SD1} : Number of data subcarriers	48
N_{SP1} : Number of pilot subcarriers	4
N_{SD1} : Subcarrier frequency spacing	52 ($N_{SD} - N_{SP}$)
T_{FFP} : IFFT/FFT period	0.3125.MHz (20MHz / 64)
$T_{PREMABLE}$: PLCP preamble duration	3.2 μ s ($1/A_F$)
T_{SIGNAL} : Duration of the SIGNAL BPSK OF DM symbol	16 μ s ($T_{SHORT} + T_{LONG}$)
T_{SIGNAL} : GI duration	4.0 μ s ($T_{G1} + T_{FFT}$)
T_{GF} :G1 duration	0.8 μ s ($T_{GFFT} / 4$)
T_{G12} :Trading symbol G1 duration	1.6 μ s ($T_{GFFT} / 2$)
T_{SYM} : Symbol interval	4 μ s ($T_{G1} - T_{FFT} / 4$)
T_{SYM} : Symbol interval	8 μ s ($10 \times 2 \times T_{FFT} / 4$)
T_{LONG} : Long training sequence duration	8 μ s ($T_{G12} + 2 \times T_{FFT}$)

表 2.1.2 相關時域參數

在頻域上子載波的相對位置如圖 2.1.3 所示，64 個子載波中，只用了 52 個子載波來傳遞資料，其餘在通道左右邊緣共 11 個子載波用來當守護頻帶(Guard Band)，中心 DC 的子載波也不使用。

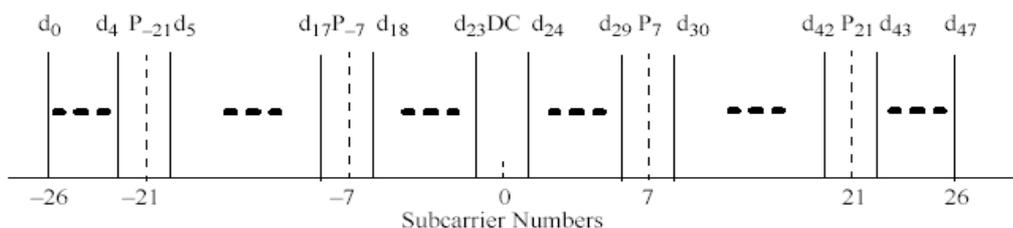


圖 2.1.3 在頻域上子載波的相對位置

IEEE 802.11 a 是使用封包格式為基礎來傳送資料，其完整的碼框結構如圖 2.1.4 所示，主要分為 PLCP Preamble、Signal、Data 三部份。

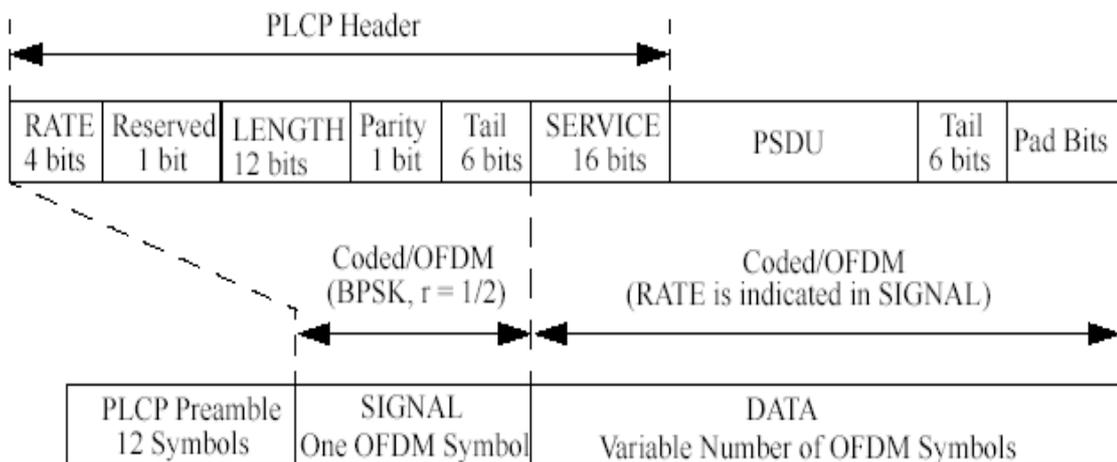


圖 2.1.4 碼框結構

第一部份 PLCP Preamble 包含 10 個短符元(Short Symbols)及 2 個長符元(Long Symbols)，總長度是 $16\mu s$ 如圖 2.1.5 所示。第二部份是 Signal 包含

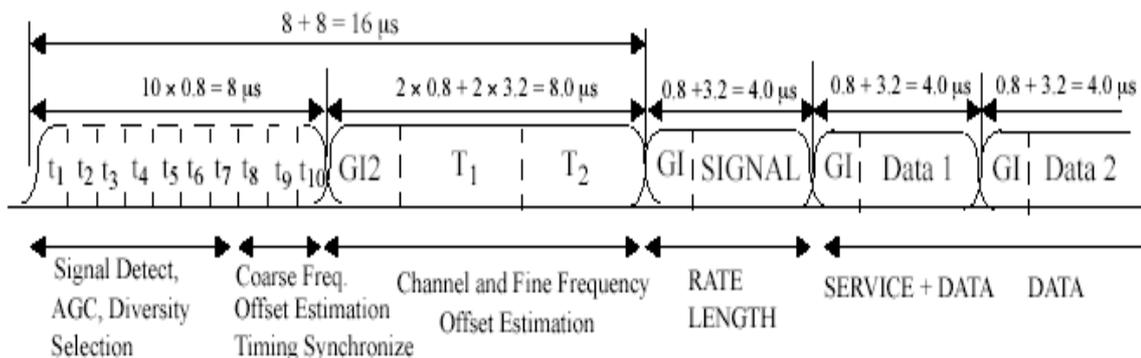


圖 2.1.5 OFDM 串列結構

第二部份是 Signal 包含 24 位元(Bit)，0~3 位元可解出傳輸速率，5~16 位元可解出傳輸長度、18~23 位元則全部為零，如圖 2.1.7 所示。

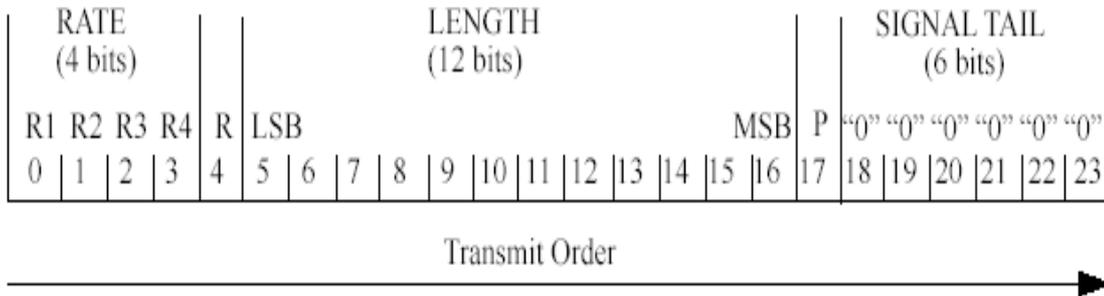


圖 2.1.6 Signal 區域位元結構

第三部份是 Data 包含服務區域(Service Field)及真正的資料，而服務區域位元結構如圖 2.1.7 所示。

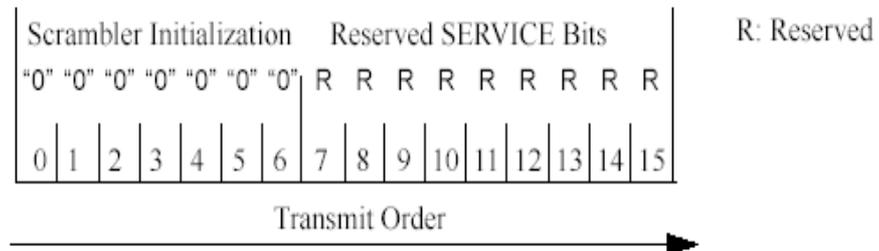


圖 2.1.7 服務區域位元結構

IEEE 802.11a 所使用的 5G 頻帶，共分為 5.15G~5.25G 低頻帶、5.25G~5.35G 中頻帶、5.725G~5.825G 高頻帶三個區段，每個區段有 4 個通道，共有 12 個通道，如表 2.1.3 所示。而頻譜分佈則如圖 2.1.8 所示。

Regulatory domain	Band (GHz)	Operating channel numbers	Channel center frequencies(MHz)
United States	U-NH lower band (5.15-5.25)	36	5180
		40	5200
		44	5220
		48	5240
United States	U-NH lower band (5.25-5.35)	52	5260
		56	5280
		60	5300
		64	5320
United States	U-NH upper band (5.725-5.825)	149	5745
		153	5765
		157	5785
		161	5805

表 2.1.3 頻帶及通道之分佈

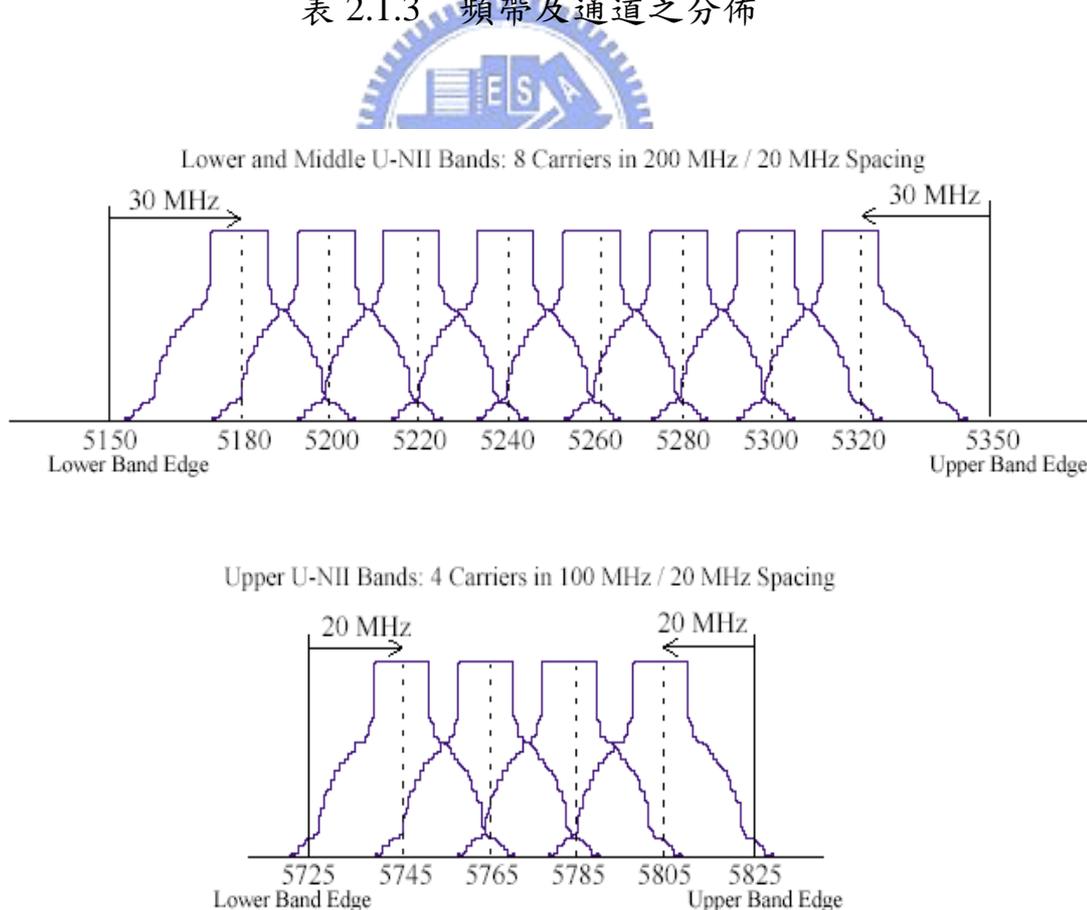


圖 2.1.8 各頻帶通道頻譜之分佈

IEEE 802.11a 依據 FCC 之法規訂出最大允許輸出功率，如表 2.1.4 所示。

Frequency band (GHz)	Maximum output power With up to 6dBi antenna gain (mW)
5.15 – 5.25	40(2.5mW/MHz)
5.25 – 5.35	200(12.5mW/MHz)
5.725 – 5.825	800(50mW/MHz)

表 2.1.4 美國規範之發射功率準位

發射頻譜遮罩(Transmit Spectrum Mask)如圖 2.1.9 所示，是用來規範各通道之功率頻譜密度(Power Spectrum Density)。

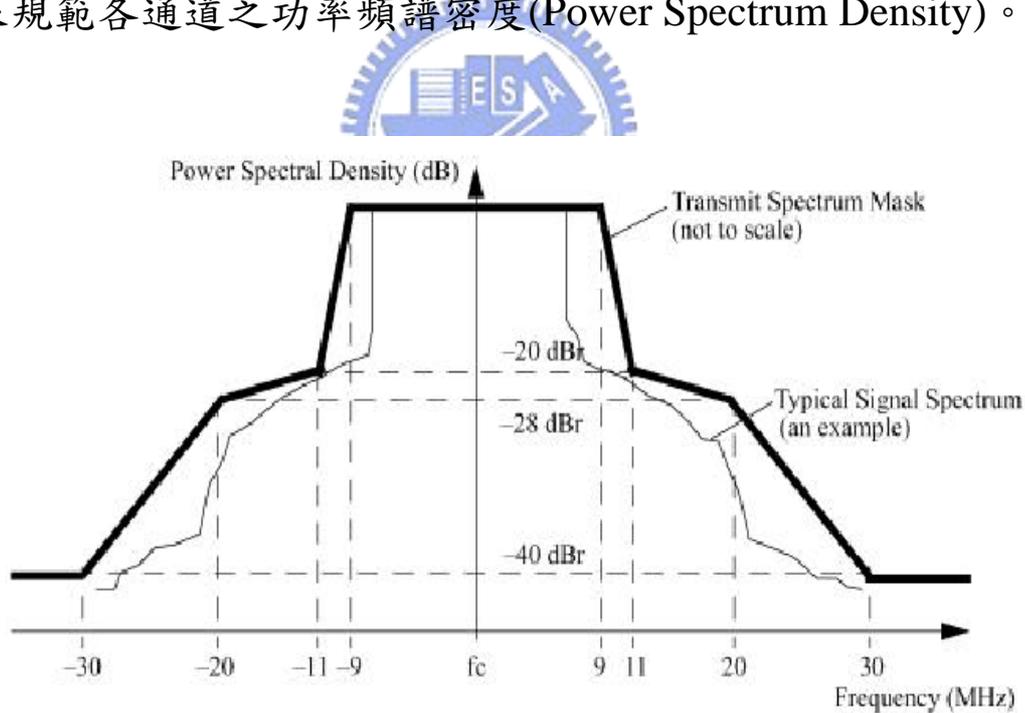


圖 2.1.9 發射頻譜遮罩

中心頻率偏移最大容許誤差為 $\pm 20\text{ppm}$ ，而系統時脈頻率最大容許誤差為 $\pm 20\text{ppm}$ ，且發射中心頻率與系統時脈頻率必須被同一

參考頻率震盪器所驅動。另外隨著資料傳輸速率之不同有相對的星狀誤差，如表 2.1.5 所示。

Data rate (Mbits/s)	Relative constellation Error(dB)
6	-5
9	-8
12	-10
18	-13
24	-16
36	-10
48	-22
54	-25

表 2.1.5 星狀誤差相對不同之資料傳輸速率

接收靈敏度(Sensitivity)、相鄰頻道拒斥(Adjacent Channel Rejection)、次相鄰頻道拒斥(Alternate Adjacent Channel Rejection)在不同資料傳輸速率下，接收表現要求(Receiver Performance Requirements)，如表 2.1.6 所示。

Data rate (Mbits/s)	Minimum sensitivity (dBm)	Adjacent channel rejection (dB)	Alternate adjacent channel rejection (dB)
6	-82	16	32
9	-81	15	31
12	-79	13	29
18	-77	11	27
24	-74	8	24
36	-70	4	20
48	-66	0	16
54	-65	1	15

表 2.1.6 接收表現要求

2.2 PLCP Preamble

本節特別再度討論 PLCP Preamble 是因為在 PLCP Preamble 中之短訓練符元(Short Training Symbols)與本論文主要內容—自動增益控制(AGC) 是息息相關的。如圖 2.1.6 所示 PLCP Preamble 是由 t_1 至 t_{10} ，共 10 個短訓練符元，每個短訓練符元佔 $0.8\mu s$ ，共佔 $8\mu s$ 構成 Short Preamble 及由 T_1 與 T_2 2 個長訓練符元與 G_{12} 共佔 $0.8 \times 2 + 3.2 \times 2 = 8\mu s$ ，構成 Long Preamble。

由圖 2.1.6 我們可以清了解 IEEE 802.11a 規範了在 t_1 至 t_7 共 $0.8 \times 7 = 5.6\mu s$ 內須完成信號偵測(Signal Detect)、自動增益控制(AGC) 與天線多樣性選擇(Antenna Diversity Selection)。 t_8 至 t_{10} 共 $0.8 \times 3 = 2.4\mu s$ 內須完成頻率偏移粗調估算(Coarse Frequency Offset Estimation)與時間同步(Timing Synchronize)。

而往後的 T_1 與 T_2 2 個長訓練符元與 G_{12} 共佔 $0.8 \times 2 + 3.2 \times 2 = 8\mu s$ 內，內須完成頻率偏移微調估算(Fine Frequency Offset Estimation)與通道估算(Channel Estimation)。在這 $16\mu s$ Preamble 時間內必須完成上述的動作，接下來才能估算資料傳輸速率(Data Rate)及資料長度(Data Length)，最後才能將資料正確的解出。

由上所述，我們可以了解要能夠接收判斷信號並且解調出正確的資料，首先必須要有一套好的演算法能夠在一開始 $5.6\mu s$ 內，正確的偵測到信號並且準確的完成自動增益控制。如此才能提供穩定的信號，供往後進行各種的估算與同步，進而才能正確判斷資料傳輸速率及資料長度，最後才能將資料正確的解出。故本論文主要內容就是在提出一套好的演算法，能在 $2\mu s$ 至 $5\mu s$ 內完成信號偵測與自動增益控制，並且真正可以運用在實際的硬體電路上。

第三章 無線區域網路 IEEE 802.11 OFDM

系統分析與建構

3.1 802.11 a/g 雙頻帶(Dual Band) 無線區域網路系統

如第二章所言，IEEE 802.11 a/g 主要差別是所使用之頻帶不同，故就系統架構來分析，須有兩套不同頻帶之類比收發系統，而共用實體層(Physical Layer ; Phy)或稱基頻(Base Band ; BB)與媒體存取控制(Media Access Control ; MAC)。

3.1.1 系統方塊圖(Block Diagram) [16]

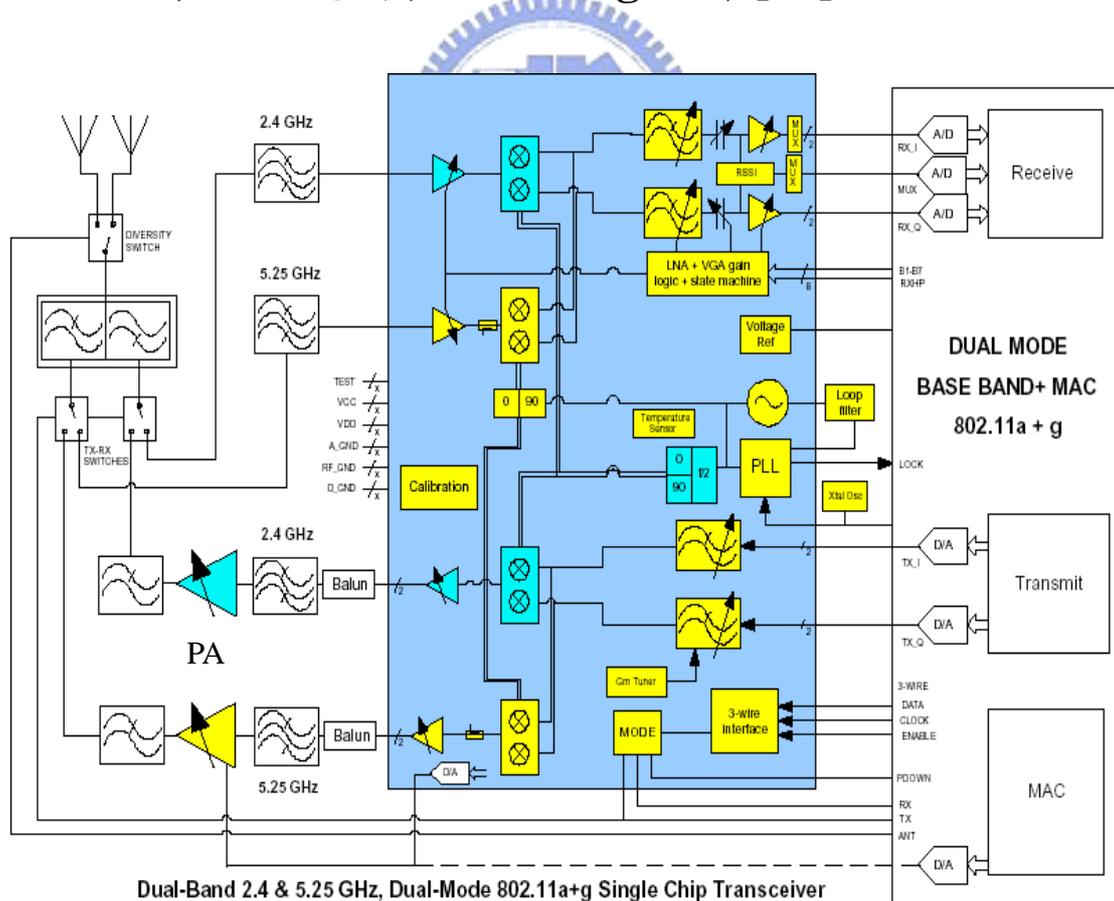


圖 3.1.1.1 802.11 a/g 雙頻帶系統方塊圖

圖 3.1.1.1 是一般 802.11 a/g 雙頻帶系統的方塊圖，可區分為三大部份：(1)射頻前端(RF Frontend)(2)單晶片收發器(Single Chip Transceiver) (3) 基頻與媒體存取控制(Base Band and Medium Access Control)特殊應用積體電路(ASIC)。從信號的走向分析可區分為接收迴路(Receive Path)與發射迴路(Transmit Path)。

首先從接收迴路來分析，信號進入射頻前端，由雙頻帶天線經天線多樣(Antenna Diversity)控制切換開關選擇接收信號較佳的天線，將接收頻帶內之信號拾取進來，經頻帶切換多工器(MUX) 切換到正確的頻帶，再經影像拒斥帶通濾波器(Image Rejection Band Pass Filter)濾除頻帶以外(Out Band)之不要信號(Undesired Signal)後，離開射頻前端送入單晶片收發器。

進入單晶片收發器後，首先送達接收機之低雜訊放大器(Low Noise Amplifier, LNA)，這時候自動增益控制系統會依據信號強弱切換低雜訊放大器之放大模式(High Gain、Middle Gain、Low Gain)，信號經低雜訊放大器適當的放大後，被送達降頻混波器(Down Convert Mixer)將信號降頻到基頻頻率並解調為差動的(Differential Ended)I(Image)訊號與 Q(Quadrature) 訊號，然後分兩路分別將 I 訊號與 Q 訊號送達可程式(Programmable)的基頻濾波器與基頻放大器，這時候自動增益控制系統會依據各系統參數去調整基頻放大器之 VGA 值與基頻濾波器之頻寬大小，最後將解調後之穩定 I 訊號與 Q 訊號送離單晶片收發器，至此信號為穩定的類比 I 訊號與 Q 訊號。

接下來類比的 I 訊號與 Q 訊號會被送達基頻與媒體存取控制特殊應用積體電路，經由內部之類比/數位轉換器(AD/DA Converter)，轉換成數位的 I 訊號與 Q 訊號，以供做各種控制、估算、同步、解碼進而送出正確的資料。

反過來從發射迴路來分析，經過編碼及處理過的數位的 I 訊號與 Q 訊號，由基頻與媒體存取控制特殊應用積體電路內部之數位/類比轉換器(DA/AD Converter)，轉換成類比的 I 訊號與 Q 訊號送達單晶片收發器。

進入單晶片收發器後，首先將類比的 I 訊號與 Q 訊號分兩路分別送達發射機之可程式的基頻濾波器，濾除頻帶以外之不要信號後，經升頻混波器(Up Convert Mixer)將信號升頻到射頻頻率，再送達射頻發射前置放大器(TX Pre - amplifier)由 TX VGA 訊號控制射頻發射前置放大器之增益大小後送離單晶片收發器而進入射頻前端。

進入射頻前端的是差動訊號，須經由平衡非平衡器(Balance Unbalance, BALUN)將差動訊號轉換成單端信號(Single Ended Signal)同時完成阻抗匹配(Impedance Match)，然後再經影像拒斥帶通濾波器濾除頻帶以外之不要信號後，送達射頻功率放大器(RF Power Amplifier)，由媒體存取控制(MAC)經由功率控制(Power Control)機制控制射頻功率放大器發射功率之大小，最後再由低通濾波器濾除高次諧波(High Order Harmonic)，經頻帶切換多工器(MUX) 切換到正確的頻帶後，由天線發射出去。

3.1.2 射頻接收系統 [15]

本論文重心是自動增益控制系統，故會偏重於射頻接收系統之研究分析。目前射頻收發系統大都已經做成單晶片積體電路，以製程技術來說大都是 SiGe BiCMOS，若以硬體架構來說大都可分為外差式(Heterodyne)及零中頻(Zero IF or Direct Conversion)兩種。

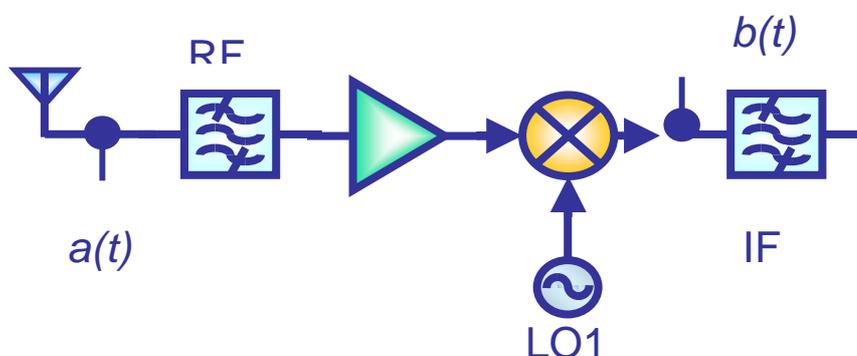


圖 3.1.2.1 外差式接收

外差式接收由數學模式推導，我們可明顯看出會有影像 (Image) 的問題，而解決的方法就是用影像濾波器。數學模式推導如下：

$$\begin{aligned}
 a(t) &= \cos(w_x t + m(t) + \theta) \\
 b(t) &= a(t) \cdot \cos(w_{LO} t + \phi) \\
 &= \cos(w_x t + m(t) + \theta) \cdot \cos(w_{LO} t + \phi) \\
 &= \frac{1}{2} \cos[(w_x + w_{LO})t + m(t) + \theta + \phi] + \frac{1}{2} \cos[(w_x - w_{LO})t + m(t) + \theta - \phi]
 \end{aligned}$$

由(1)式 當 $w_x = (w_{LO} + w_{IF}) = w_{RF}$ 時，這時候我們所要的 RF 訊號會在 IF 產生我們所要的訊號，但當 $w_x = (w_{LO} - w_{IF}) = w_{Image}$ 時，這是我們所不要的影像訊號也會在 IF 頻率產生干擾訊號，因此我們必須用影像濾波器將影像訊號從 RF 端濾除掉。才不會在 IF 端造成干擾訊號的出現。

外差式接收的架構會產生中頻訊號，所以需要中頻濾波器，一般中頻濾波器大多採用表面聲波濾波器 (Surface Acoustic Wave Filter ; SAW)，主要原因是表面聲波濾波器對頻帶外 (Out Band) 之雜訊 (Noise) 及干擾 (Interference) 訊號的濾除效果很好，也就是說對頻帶外之雜訊及干擾訊號的衰減量很大。表面聲波濾波器的濾波性能很好但相對的其入射損耗 (Insertion Loss) 也比較多約 10 dB 左右，不過這必須在輸出輸入作好匹配 (I/O Matching) 的先決條件。表面聲波濾波器若沒作好輸出輸入匹配的話，則頻帶內漣波 (In Band Ripple) 會比較大且入射損耗會變的更大，對接收而言會造成靈敏度變差，對發射而言會造成輸出功率之不足。

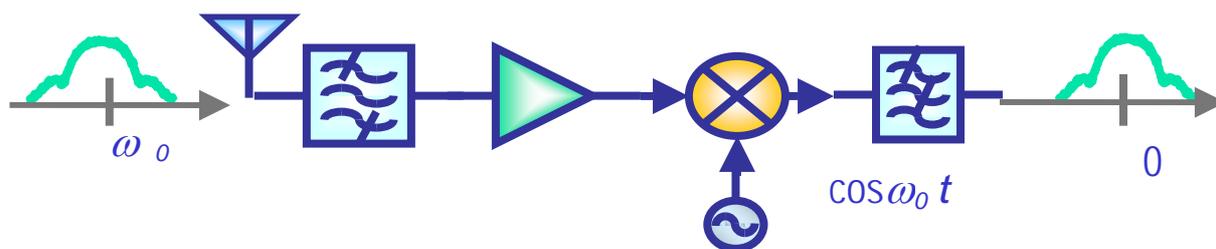


圖 3.1.2.2 零中頻

零中頻接收的架構則會有直流偏移(DC Offset)與鏡像訊號(Mirror Signal)的問題。為了解決鏡像訊號產生的問題，所以用正交降頻混波器(Quadrature Down Conversion Mixer)，但使用正交降頻混波器又會衍生 I/Q 不平衡(I/Q Imbalance)的問題。所以零中頻的架構，要特別針對直流偏移與 I/Q 不平衡的問題加以處理。

對直流偏移問題處理，一般是利用交流耦合(AC Couple)或是由基頻來作直流偏移補償，直流暫態(DC Transient)則是射頻收發系統採用直流消除(DC Cancellation)或可調整頻寬之高通濾波器(High Pass Filter)來將直流成份移除。致於 I/Q 不平衡問題處理，一般是分為振幅(Amplitude)大小不匹配與相位(Phase)大小不匹配，可分別由射頻收發系統或基頻來作振幅補償與相位補償。

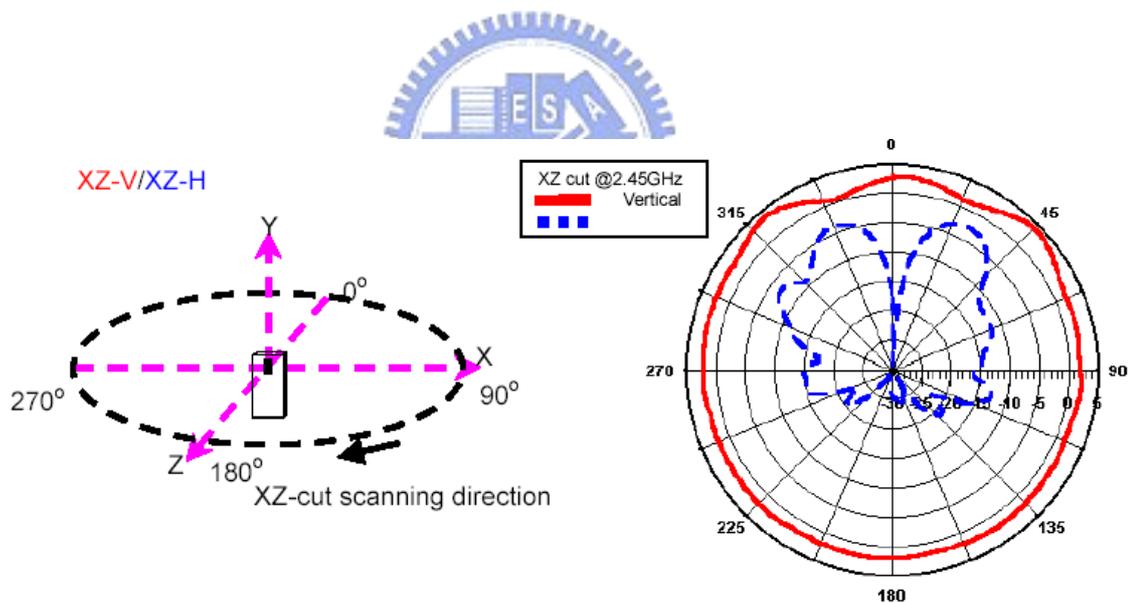


圖 3.1.2.3 天線之場形分佈

接下來將分別對射頻收發系統的主要方塊之功能及元件選用加以分析。首先從天線(Antenna)開始，本論文所製作之射頻模組中所使用的天線是 Chip Antenna，主要功能是負責將空氣中我們所要之射頻訊號能量拾取進來或傳遞出去，為了使天線功

能發揮出來，電路設計(Circuit Design)及電路板佈局(PCB Layout)時，須詳細考慮場形分佈(Radiation Pattern；如圖 3.1.2.3)及阻抗匹配(Impedance Matching)的處理，例如在電路板佈局時，天線的下方電路板所有各層的鋪銅(Copper)須全部鏤空，如此才不會影響天線場形分佈。在選用 Chip Antenna 時須考慮之參數主要有天線增益、頻寬及天線之場形，在設計時可先用工具軟體例如安捷倫(Agilent)之 ADS 作電腦模擬，等電路製作初步完成時，再利用網路分析儀測得各個 S 參數及 ADS 作電腦模擬，然後在電路板上作微調及測試，如此反覆(Iterative)重作前面的動作，直到獲得一個最佳的解答(Optimal Solution)。

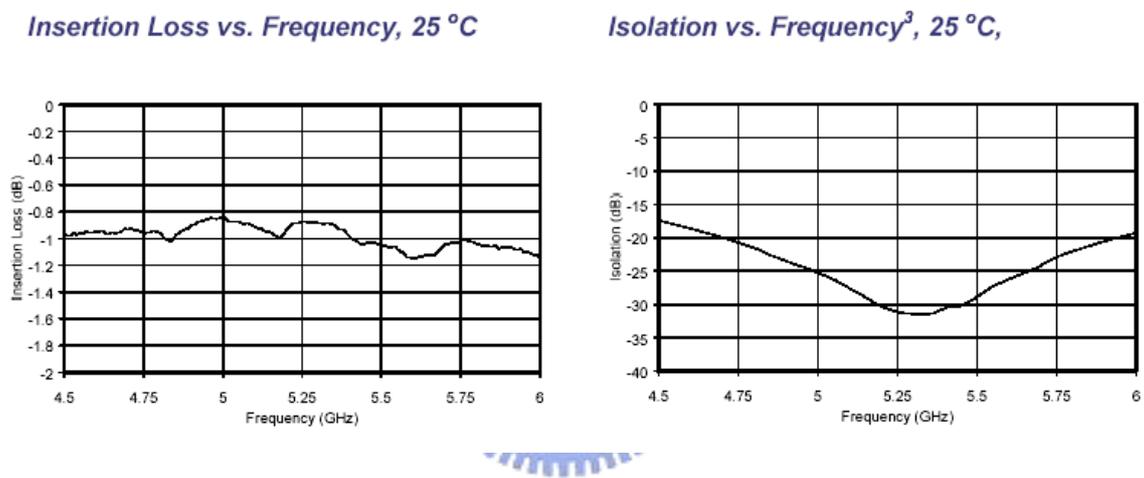


圖 3.1.2.4 GaAs 選擇開關之入射損耗與隔離能力

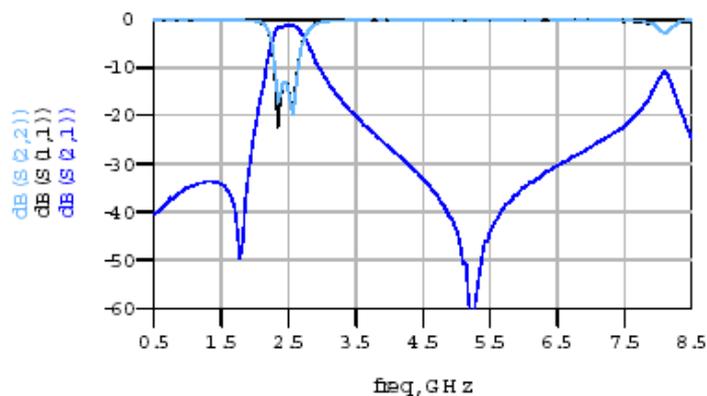


圖 3.1.2.5 帶通濾波器之 S 參數

天線之後是天線選擇開關，在選用時須考慮之參數主要有入射損耗(Insertion Loss)、頻帶內平坦度(In Band Flatness)、隔離能力(Isolation)及切換時間(Switching Time)。接著是帶通濾波器，將輸出入訊號篩選，頻帶以外之雜訊加以衰減，在選用時須考慮之參數主要有入射損耗、頻帶內平坦度及頻寬。接著是收發選擇開關，特性與天線選擇開關相同。這三個元件在電路板佈局時之訊號走線寬度(Trace Width)須保持 50 歐姆，設計時須考慮電路板之介電常數、鋪銅之厚度、走線之模式、各層間之厚度、走線之寬度及走線之地間相距之寬度。可先用工具軟體例如安捷倫(Agilent)之 AppCAD 作電腦模擬或可由電路板製造商提供經驗值也可。而這三個元件之入射損耗及走線損耗總和稱為前端損耗(Front End Loss)，這個值一般須在 3 dBm 內。

接下來的電路均包含在一顆收發積體電路內，有低雜訊放大器(Low Noise Amplifier；LNA)、降頻混波器(Down Conversion Mixer)、基頻放大器(Base Band Amplifier)及頻率合成電路(Frequency Synthesizer)。以下將逐一的加以研究分析：

低雜訊放大器主要是將前端送來的射頻微弱訊號加以放，因為前端送來的射頻訊號有時候會很微弱，所以在選用低雜訊放大器時，雜訊指數(Noise Figure)就特別重要。因為整體系統串接後之總雜訊指數是取決於最前端之主動放大元件也就是低雜訊放大器。這可由下列基本定義及數學式子分析得知：

定義

$$\text{Noise Figure} = NF = 10 \log \left(\frac{SNR_{in}}{SNR_{out}} \right)$$

Noise Figure of Cascaded Stages

$$NF = NF_1 + \frac{NF_2 - 1}{A_{p1}} + \dots + \frac{NF_m - 1}{A_{p1} \cdot A_{p2} \cdots A_{pm}}$$

; where A_{pi} is available power gain of i stage

$$A_{pi} = \frac{(\text{available output power})_i}{(\text{available source power})_i}$$

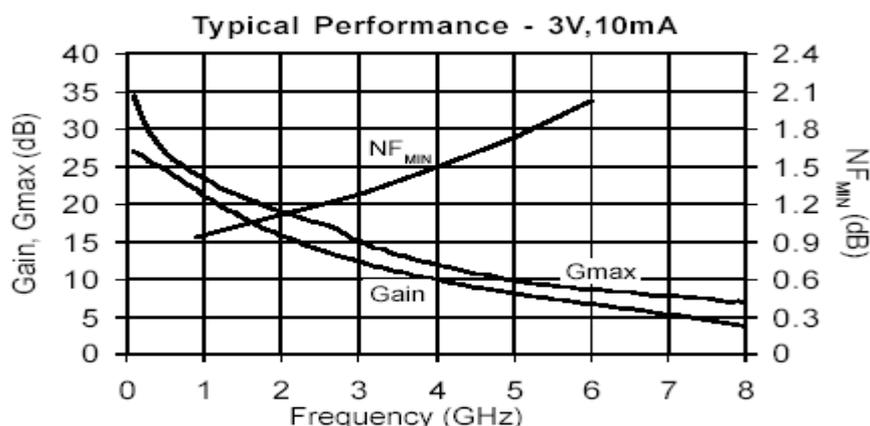


圖 3.1.2.6 LNA 之主要參數 vs 頻率之曲線

低雜訊放大器一般有 High Gain/Middle Gain/Low Gain 三種放大模式，可由基頻二條控制訊號來切換控制，而在切換控制瞬間會產生暫態直流成份，這會對接收品質產生嚴重的破壞，所以必須利用可調整頻寬之高通濾波器把暫態直流成份濾除掉。

接下來為降頻混波器，須考慮之參數主要有轉換增益 (Conversion Gain)、線性度 (Linearity)、隔離能力 (Isolation) 及 雜訊指數 (Noise Figure)。其中隔離能力如沒有作好，將會產生 Local Feedthrough、Reverse Local Feedthrough 及 Self-Mixing of Reverse Local Feedthrough 等問題。

基頻放大器是將降頻解調後之 I/Q 訊號加以放大，一般可由基頻之 D/A 轉換器產生 VGA 控制訊號來控制基頻放大器之增益大小，而自動增益控制系統會依據輸入訊號強度大小來調整低雜訊放大器放大模式與基頻放大器之增益大小，使基頻輸出之 I/Q 訊號維持固定。

頻率合成電路包含相位/頻率檢測電路 (Phase/Frequency Detector)、電荷幫浦 (Charge Pump)、迴路濾波器 (Loop Filter)、電壓控制振盪電路 (Voltage Control Oscillator) 及除頻電路 (Divider)，如圖 3.1.2.7 所示。

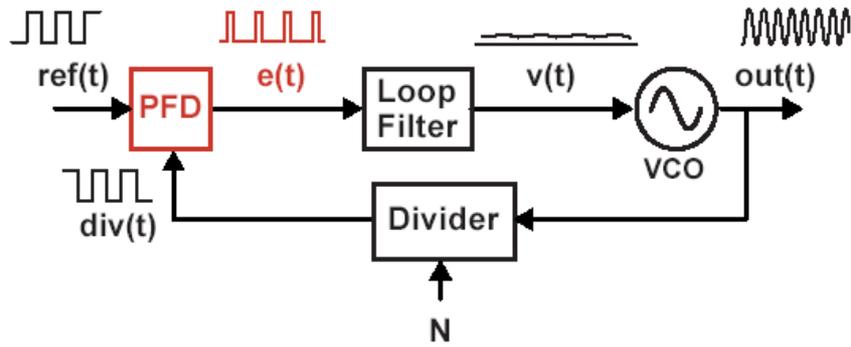


圖 3.1.2.7 頻率合成電路

首先對電壓控制振盪電路結構加以分析，一般有本地振盪電路(Local OSC)及環振盪電路(Ring OSC)兩種如圖 3.1.2.8 所示，其中差別為本地振盪電路積體電路化所需之面積較大但相位雜訊較小，而環振盪電路則積體電路化所需之面積較小但相位雜訊較大。

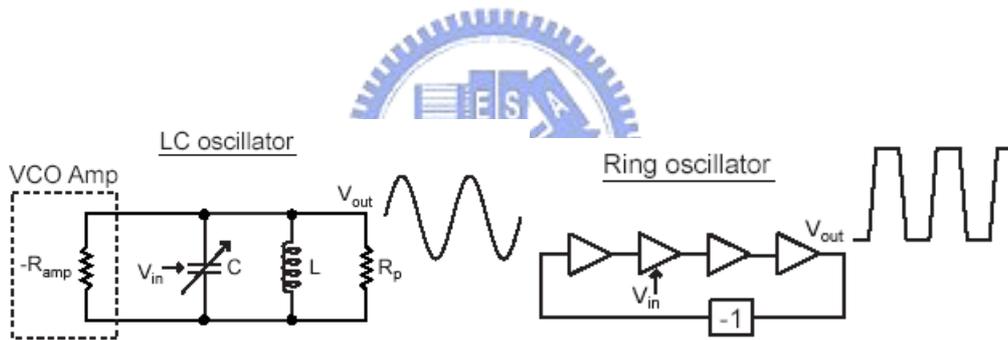


圖 3.1.2.8 電壓控制振盪電路結構

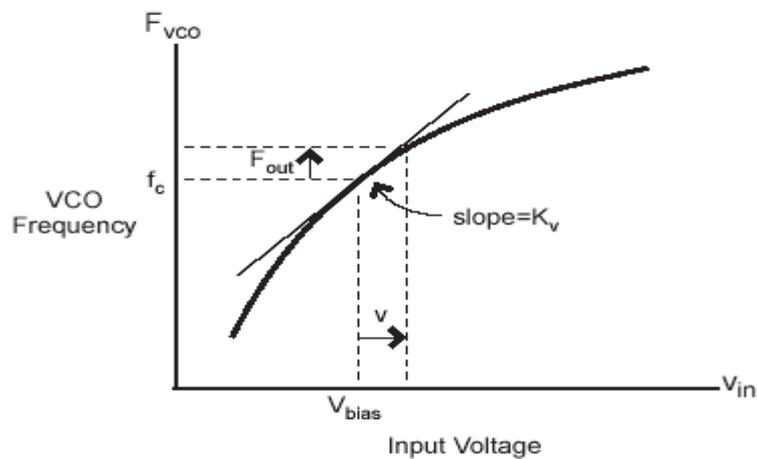


圖 3.1.2.9 電壓與頻率之轉換

圖 3.1.2.9 為電壓控制振盪電路之電壓與頻率之轉換曲線，其數學模式分析如下：

Time-domain frequency relationship

$$F_{out}(t) = K_v v(t)$$

Time-domain phase relationship

$$\phi_{out}(t) = \int_{-\infty}^t 2\pi F_{out}(\tau) d(\tau) = \int_{-\infty}^t 2\pi K_v v(\tau) d(\tau)$$



圖 3.1.2.10 壓控制振盪電路之數學模式

除頻電路之結構及數學模式分析如下：

電路結構如圖 3.1.2.11

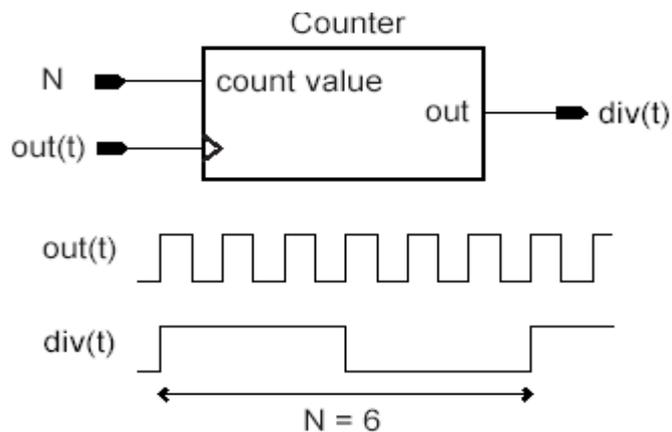


圖 3.1.2.11 除頻電路之電路結構

數學模式如圖 3.1.2.12 所示

Time-domain frequency relationship

$$F_{div}(t) = \frac{1}{N} F_{out}(t)$$

Time-domain phase relationship

$$\phi_{div}(t) = \int_{-\infty}^t 2\pi F_{out}(\tau) d(\tau) = \frac{1}{N} \phi_{out}(t)$$



圖 3.1.2.12 除頻電路之數學模式

相位檢測電路之結構及數學模式分析如下：

電路結構如圖 3.1.2.13 所示

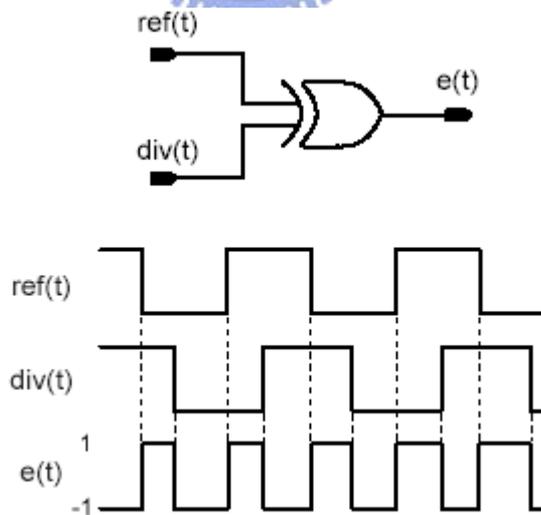


圖 3.1.2.13 相位檢測電路之結構

迴路濾波器輸出端之平均相位誤差如圖 3.1.2.14 所示

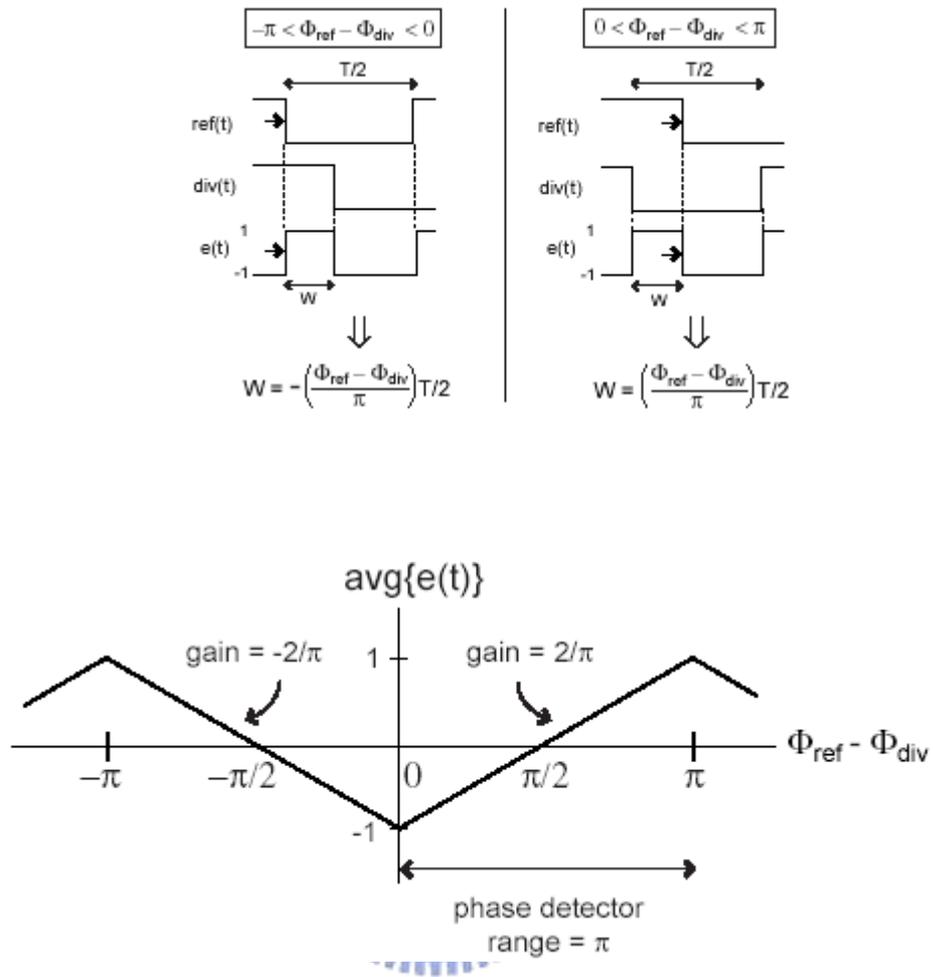


圖 3.1.2.14 Phase Error at Loop Filter Output

相位檢測電路之數學模式如圖 3.1.2.15 所示

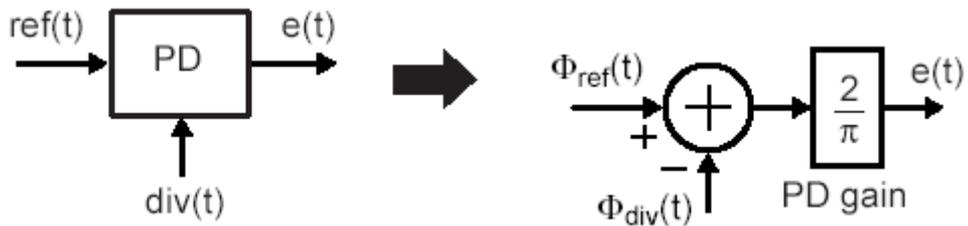


圖 3.1.2.15 相位檢測電路之數學模式

迴路濾波器之結構及數學模式分析如下：

1 階迴路濾波器之結構

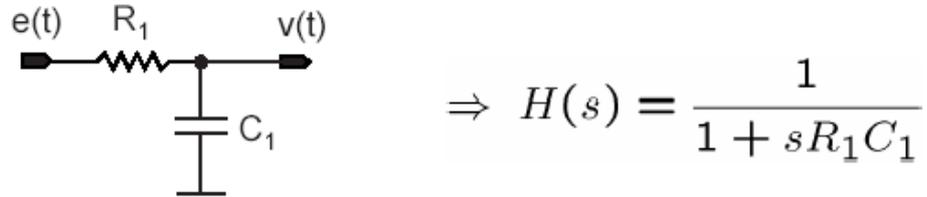


圖 3.1.2.16 1 階迴路濾波器之結構

迴路濾波器之數學模式

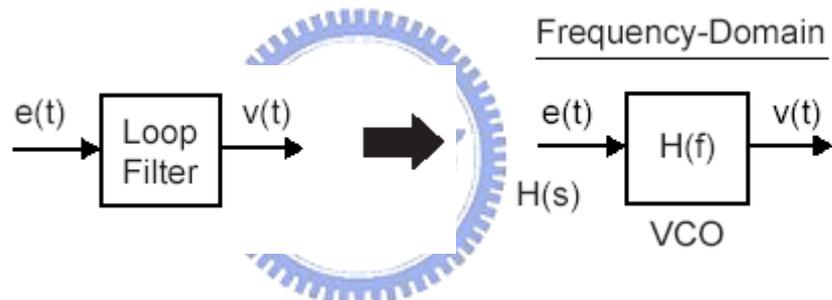


圖 3.1.2.17 迴路濾波器之數學模式

最後整體頻率合成電路組合起來可得如圖 3.1.2.18 所示

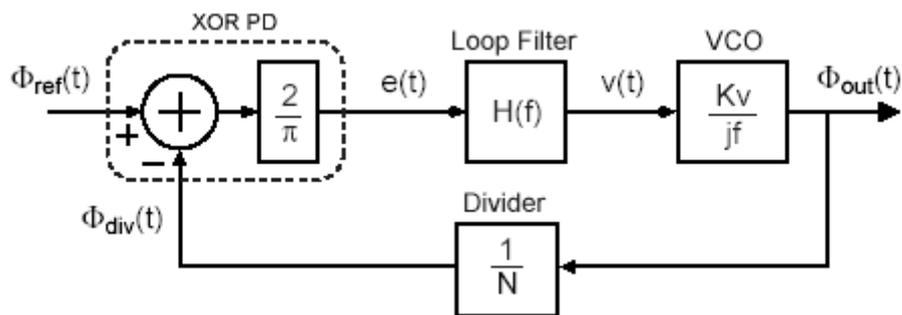


圖 3.1.2.18 Frequency Domain 之頻率合成電路的數學模式

所以我們可以將頻率合成電路的開迴路響應之開迴路增益定義為 $A_{open-loop}(f)$ ，而將頻率合成電路的閉迴路響應之閉迴路增益定義為 $A_{close-loop}(f)$ ，因此可以得到頻率合成電路的數學模式之方程式：

$$A_{open-loop}(f) = \frac{2}{\pi} H(f) \left(\frac{K_v}{jf} \right) \frac{1}{N}$$

$$A_{close-loop}(f) = \frac{A_{open-loop}(f)}{1 + A_{open-loop}(f)}$$

以上是以理論及數學模式來分析頻率合成電路，在實際的產品設計上往往須考慮的更詳細，如參考源石英振盪電路之穩定性、VCO 之可調範圍、線性度、及相位雜訊還有 Lock In 所需時間及迴路濾波器之頻寬大小等，均是影響接收品質的重要參數。

第四章 自動增益控制系統

4.1 操作演算法(Operating Algorithm)

4.1.1 需求條件(Requirements)

對接收系統而言，接收的主要需求條件(Requirements)是接收靈敏度(Sensitivity)及動態範圍(Dynamic Range)，而這些需求條件也正是自動增益控制系統所須要達成的目標。

在 IEEE 802.11g 有規範 OFDM 接收靈敏度，在不同傳輸速率下對映之不同的接收靈敏度，如表 4.1.1 所示：

Data rate (Mbits/s)	Minimum sensitivity (dBm)
6	-82
9	-81
12	-79
18	-77
24	-74
36	-70
48	-66
54	-65

表 4.1.1 OFDM 接收靈敏度

根據接收靈敏度、整體接收路徑(Path Loss)的損耗與預留空間大小則可獲得動態範圍，並且可由動態範圍的大小及射頻天線端輸入功率大小與基頻的 I/Q 輸出訊號大小則可推知接收之放大系統所須要的總放大增益值(Total Power Amplify Gain)。因此在整個動態範圍內射頻天線端的不同功率大小之輸入，自動增益控制系統均可掌控整體放大系統所須要的總放大增益值，以維持穩定的基頻 I/Q 輸出訊號大小。

下列是一個總放大增益值推算的方法：

假設接收系統的靈敏度要求 -95dBm、Front end loss -3dBm、Cascade noise figure -5dBm、Baseband loss -4dBm、Thermal noise floor -103 dBm (1.5uV)及 I/O Output 112mV

則我們可算出接收系統總放大增益值如下 [17]

$$\text{LNA Input} = -95 - 3 = -98(\text{dBm}) = 2.8\mu\text{V}$$

$$\therefore \text{RX path Gain} = 20 \log \left(\frac{112\text{mV}}{2.8\mu\text{V}} \right) = 92\text{dB}$$

則 Final take Cascade noise figure, Baseband loss, Thermal noise floor, into consideration
Then RX Total Gain should be $\geq 103\text{dBm}$

接收系統總放大增益確定後，就可以針對低雜訊放大器及基頻放大器兩個接收放大系統之特性及線性放大區域作最好化之設定與掌管，這也正是自動增益控制系統演算法之核心。

首先先從低雜訊放大器來討論：

在無線區域網路 IEEE 802.11 OFDM 系統裡，低雜訊放大器的放大區域是分為三個段落如圖 4.1.1 所示，分別稱為高增益區、中增益區及低增益區，而這三個段落的切換控制是由 Ina1 及 Ina2 兩條數位控制線組合來控制。

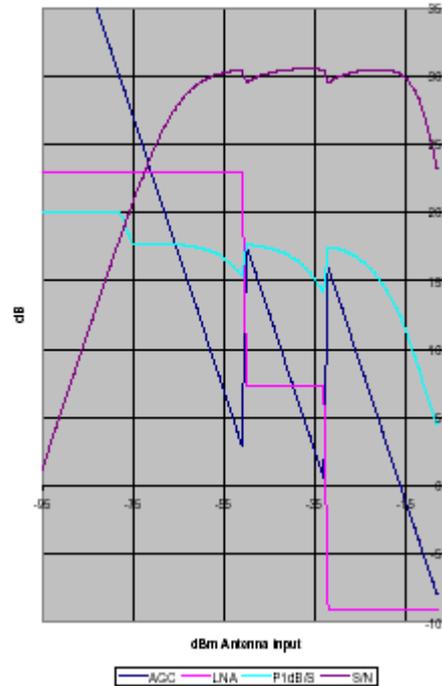


圖 4.1.1 低雜訊放大器的三個段落放大區域 [16]

由圖 4.1.1 可以看出低雜訊放大器的三個段落放大區域之切換是大區域，一般都有 16dBm 左右，因此可以預知瞬間切換 16dBm 的功率增益勢必產生一個蠻大的直流暫態，而這麼大的直流暫態一定會造成接收品質的變差，因此我們必須有一套消除直流暫態的方法才行。消除直流暫態的方法一般是用頻寬可變式的高通濾波器，在不同的模式下切換不同的頻寬來消除直流暫態。除了消除直流暫態以外，我們必須在低雜訊放大器的切換瞬間，由基頻放大器來作增益補償，然後才再作細部的增益，調整，圖 4.1.1 所示 LNA 切換瞬間會 AGC 作增益補償。

基頻放大器的放大控制在射頻接收系統裡，一般有數位式或類比式兩種，

數位式即在射頻接收系統裡直接由基頻送來六條數位控制訊號，共有六十四個階段，每個階段在 2dB 以內，動態範圍一般都七十多 dB 以上。類比式則基頻必須要有一組數位/類比轉換電路，將所要放大的增益 dB 值經由基頻放大器之 VGA 特性曲

線轉換成 VGA 電壓值，由 VGA 類比控制線來控制基頻放大器的放大增益。

除了掌控低雜訊放大器及基頻放大器兩個接收放大系統之外，我們需要估算輸入訊號能量，而估算輸入訊號能量的方法，這裡介紹兩種方法：一種是由射頻端量測的 RSSI 訊號，另一種是由基頻端量測的 I/Q 訊號。這兩種方法在我們自動增益控制系統都必須用到，而且這兩種方法在設計時我們必須實際量測整個動態範圍並作出 RSSI 與 VGA 兩種輸入與輸出之相對關係曲線圖。

首先先從 RSSI 來討論：

RSSI 輸入與輸出之相對關係曲線並非整個動態範圍都是線性的，我們必須經過實際的量測與適當的比例放大(Scaling)與平移(Offset)後以使得全部動態範圍均可落在 0~100 的比例刻度內。方法如下：

$$y=ax+b+c.....\text{RSSI Equation}$$

a: Scaling (slope)

b: Offset for fitting 0 to 100

c: LNA switching compensation

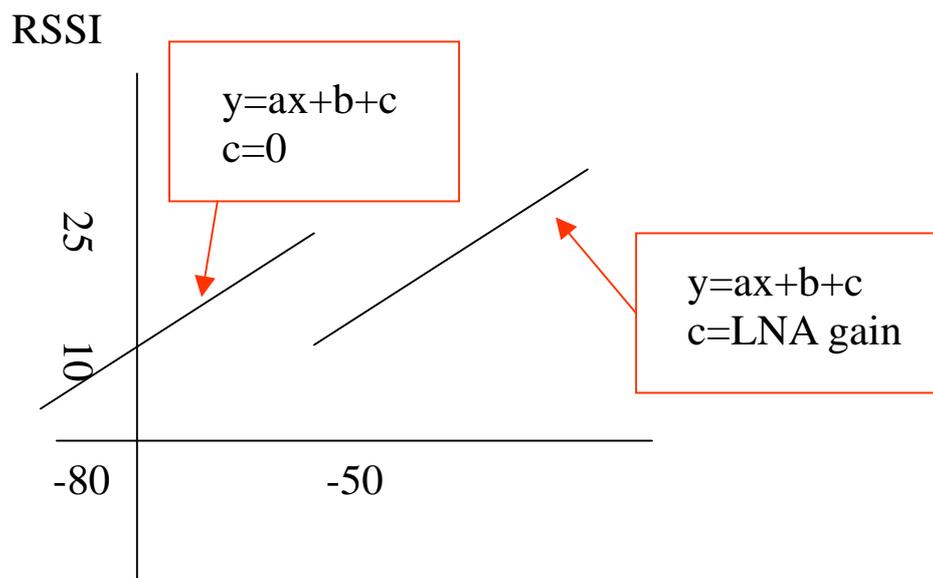


圖 4.1.2 輸入訊號強度對映實際量測之 RSSI 值

Input Power	RSSI Value	Scaling Factor	Offset Value
0 dBm	45	2	10
-20 dBm	40	2	10
-30 dBm	35	2	10
-40 dBm	30	2	10
-50 dBm	25	2	10
-60 dBm	20	2	10
-70 dBm	15	2	10
-80 dBm	10	2	10
-90 dBm	5	2	10

表 4.1.2 RSSI 之 Scaling 與 Offset 的對映關係

接下來探討輸出增益與 VGA 的對映關係：

由圖 4.1.3 垂直軸最大值減掉最小值是 72dBm，水平軸最大值減掉最小值是 1.4V，所以我們可以得到 VGA 斜率(Slope)

$$\text{VGA Slope} = \left(\frac{60 - (-12)}{0.3 - 1.7} \right) = -51.43 \text{ dBm/V}$$

我們可控制範圍是 0.3V 至 1.7V，而這電壓值是由基頻的數位/類比轉換電路輸出來控制接收系統之基頻放大器，這基頻的數位/類比轉換電路是八位元的、輸出擺幅是 2V，由此我們可以導出 VGA 刻度因素(VGA Scaling Factor)。

$$\begin{aligned} \text{VGA Scaling Factor} &= \left(\frac{1}{\left[\frac{(60 - (-12))}{(0.3 - 1.7)} \right] \left[\frac{2}{2^8} \right]} \right) \\ &= 2.489 \text{ (LSB/dB)} \end{aligned}$$

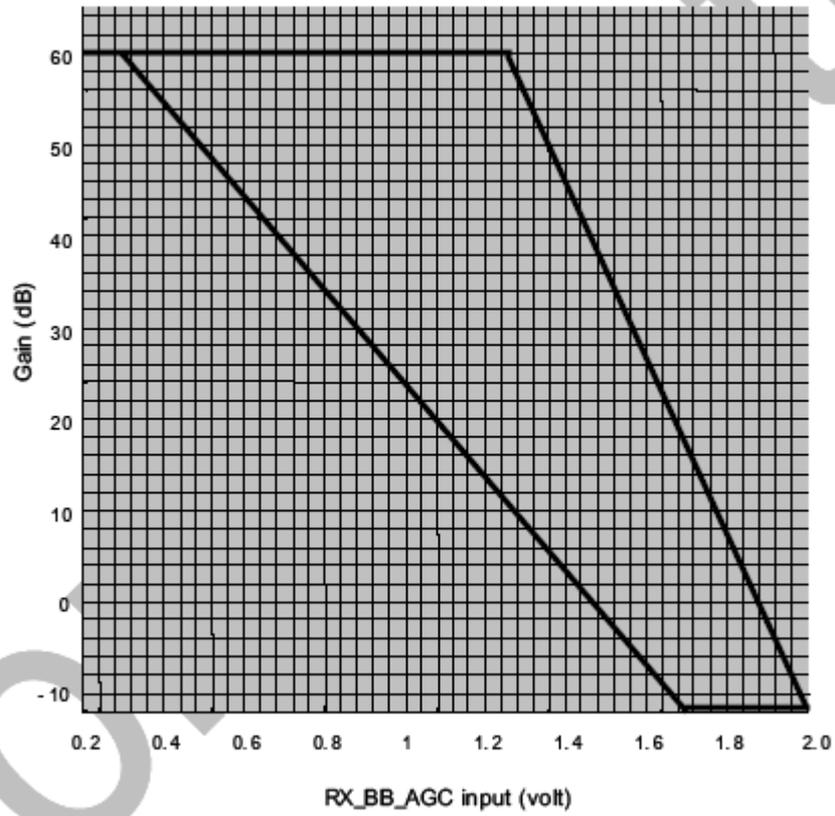


圖 4.1.3 RX Baseband Gain and RX_BB_AGC

4.2 流程圖(Flowchart)

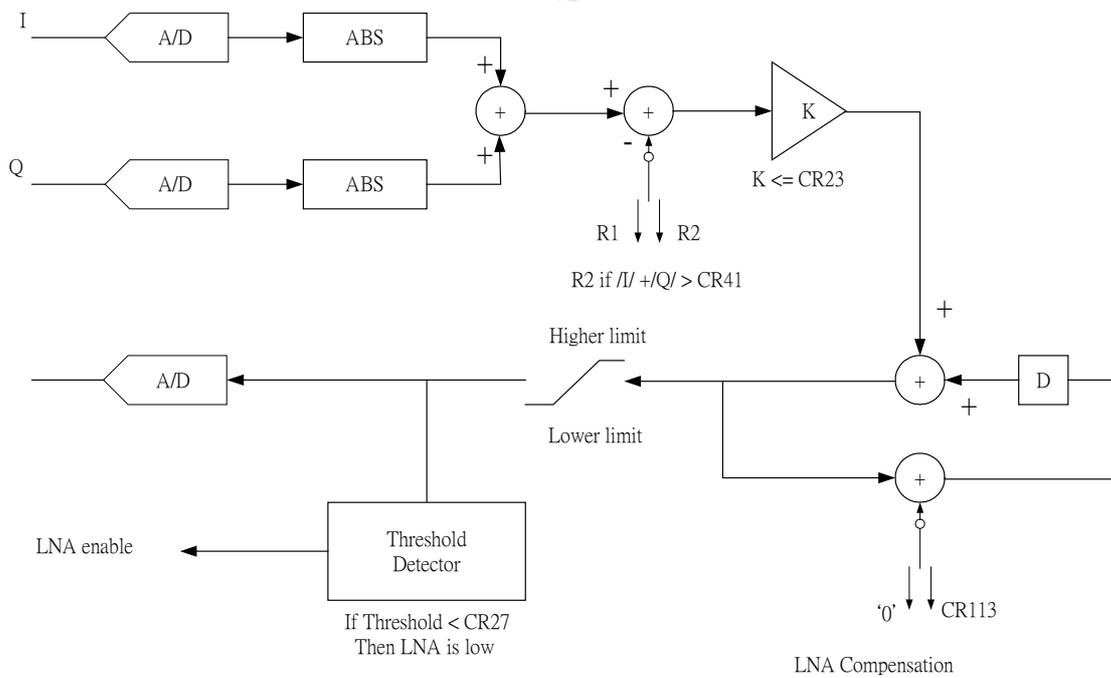
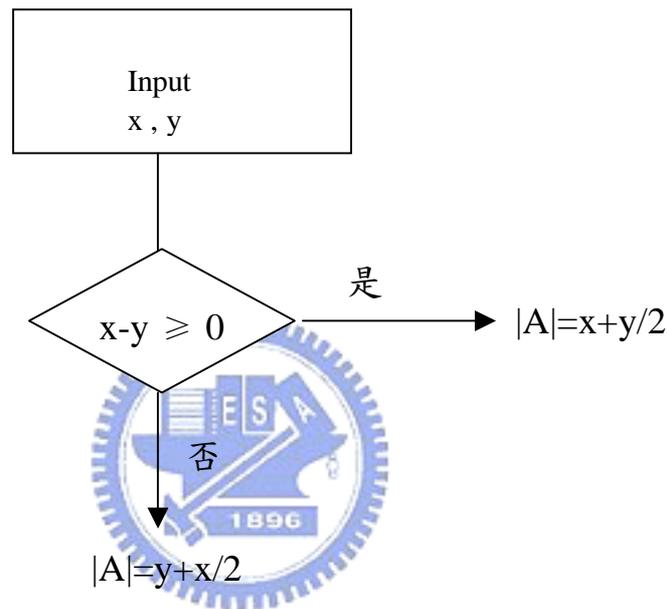


圖 4.2.1 實體層(PHY)AGC 之方塊圖

RX I/Q 訊號經射頻收發系統解調出來後即送入上圖之 A/D 轉換電路，在上圖中之 A/D 轉換電路，是兩個十位元、40MHz 取樣率、管線結構(Pipeline Architecture)的類比/數位轉換電路。I/Q 訊號經 A/D 轉換電路後，由運算電路運算轉換成能量大小並以 dB 為座標單位，在數學運算上向量大小是

$$|A| = \sqrt{(x)^2 + (y)^2}$$



上式在合成電路上直接有合成是有問題的，故一般是採逼近法來合成等效電路。

由於類比/數位轉換電路最大輸出約 45dBm，扣除非線性區預留 12 dBm，所以我們預設誤差比較電路之一輸入值為 33 dBm，將 I/Q 訊號經 A/D 轉換電路後值與 33 dBm 相減作比較，若小於等於零，則將誤差值乘上 AGC 斜率(AGC Slope or Scaling Factor)並儲存為 op2，並將前一刻之 op2 經延遲電路輸出之值儲存為 op1，再將 op2 與 op1 送入誤差比較電路相減，所得之值再與上、下極限值(High Limit/Low Limit)作比較判斷是否 VGA 增益已耗盡使用，如是則切換 LNA High Low Gain，否則就完成 VGA 設定值。

接下來圖 4.2.2 是自動增益控制系統之 State Machine，從 Idle State 到 Package 來，由 Unlock 一般會先跳二大步(在強訊號下)，再進行小步調整進入 Lock In，再作細步微調(Fine Tune)。

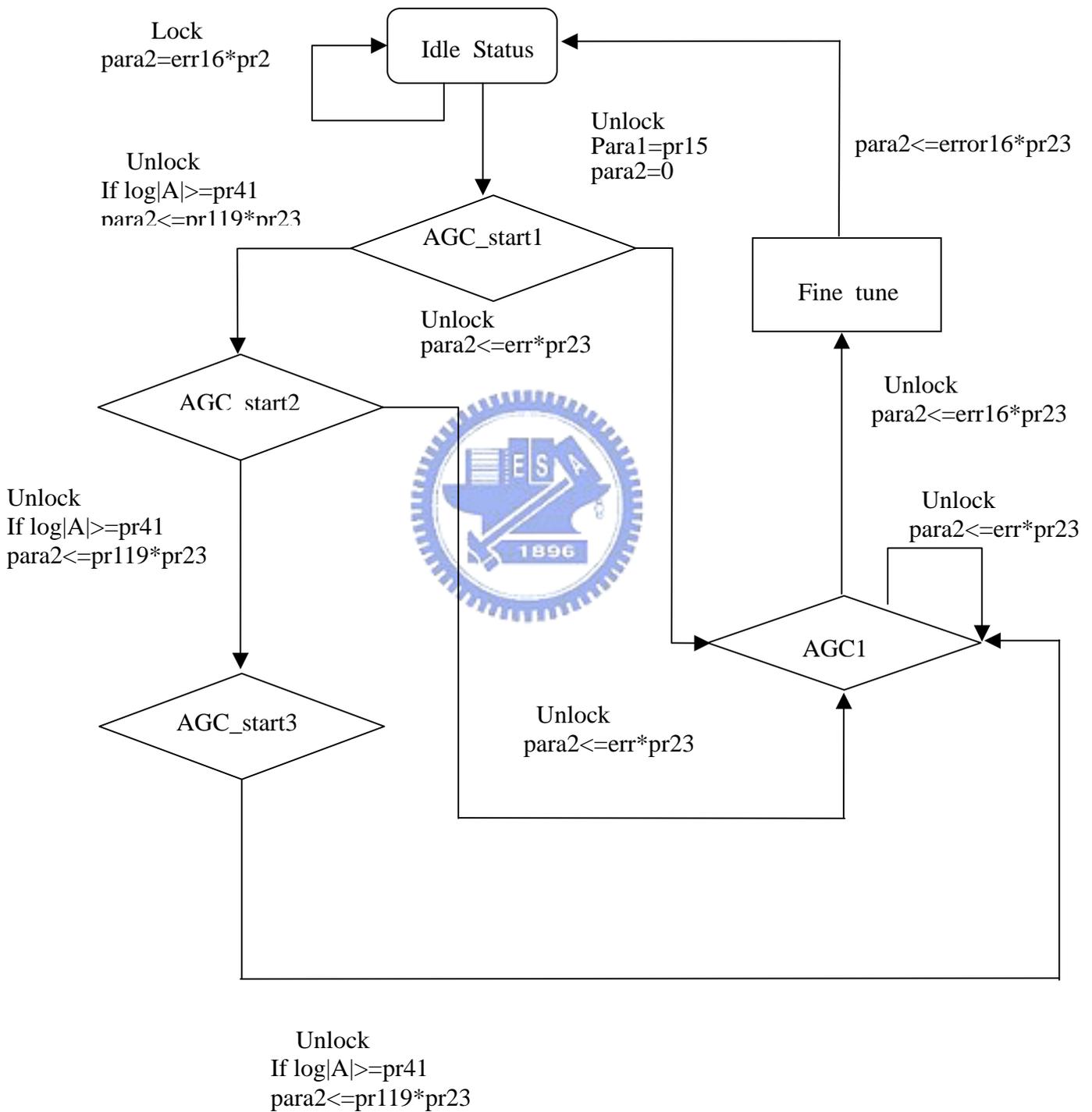


圖 4.2.2 AGC 流程圖

Software simulation design summary:

Release 6.1i Map G.23

Xilinx Mapping Report File for Design 'agc'

Design Information

Command Line : C:/Xilinx/bin/nt/map.exe -intstyle ise -p
xc2v6000-ff1517-4 -cm
area -pr b -k 4 -c 100 -tx off -o agc_map.ncd agc.ngd agc.pcf
Target Device : x2v6000
Target Package : ff1517
Target Speed : -4
Mapper Version : virtex2 -- \$Revision: 1.16 \$
Mapped Date : Tue Jul 13 10:37:27 2004

Design Summary

Number of errors: 0
Number of warnings: 0
Logic Utilization:
Number of Slice Flip Flops: 309 out of 67,584 1%
Number of 4 input LUTs: 1,443 out of 67,584 2%
Logic Distribution:
Number of occupied Slices: 833 out of 33,792 2%
Number of Slices containing only related logic: 833 out of 833 100%
Number of Slices containing unrelated logic: 0 out of 833 0%
*See NOTES below for an explanation of the effects of unrelated logic
Total Number 4 input LUTs: 1,559 out of 67,584 2%
Number used as logic: 1,443
Number used as a route-thru: 116

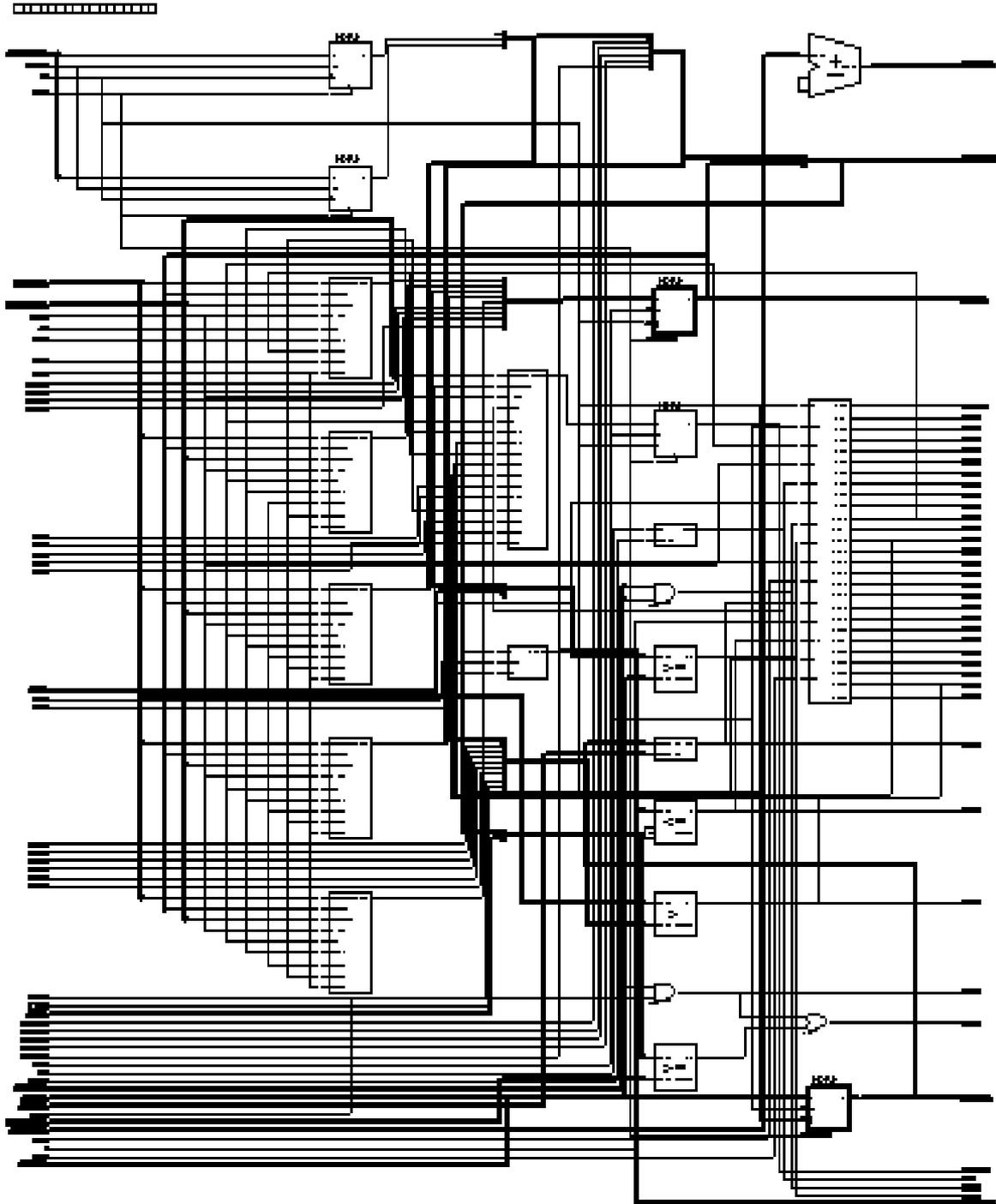
Number of bonded IOBs: 342 out of 1,104 30%
IOB Flip Flops: 44
Number of MULT18X18s: 4 out of 144 2%
Number of GCLKs: 1 out of 16 6%

Total equivalent gate count for design: 30,458

Additional JTAG gate count for IOBs: 16,416

Peak Memory Usage: 185 MB

Software simulation RTL schematics



第五章 測試平臺與測試資料

5.1 測試平臺(Test Platform)

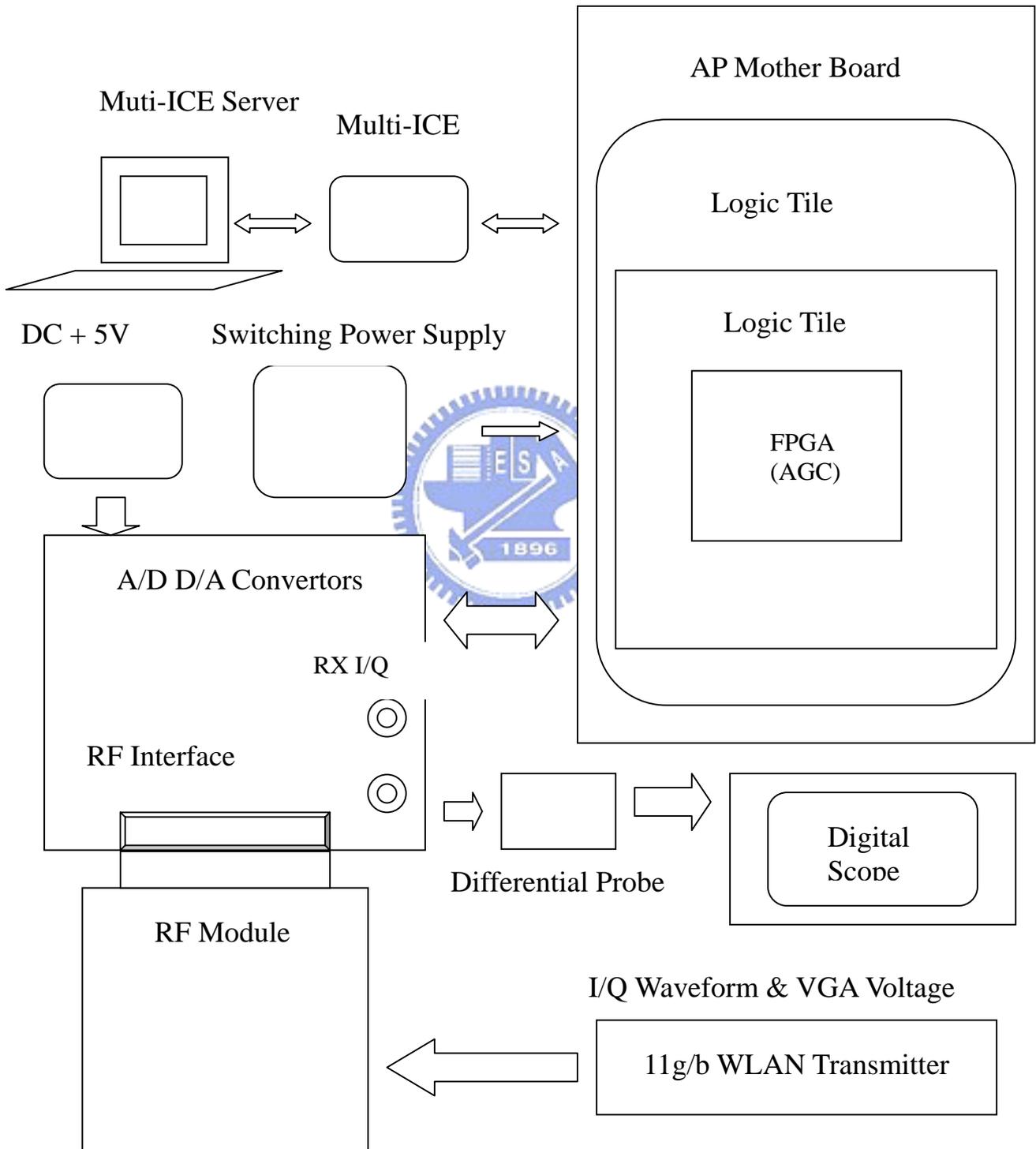


圖 5.1.1 系統測試平臺方塊圖



圖 5.1.2 FPGA Platform

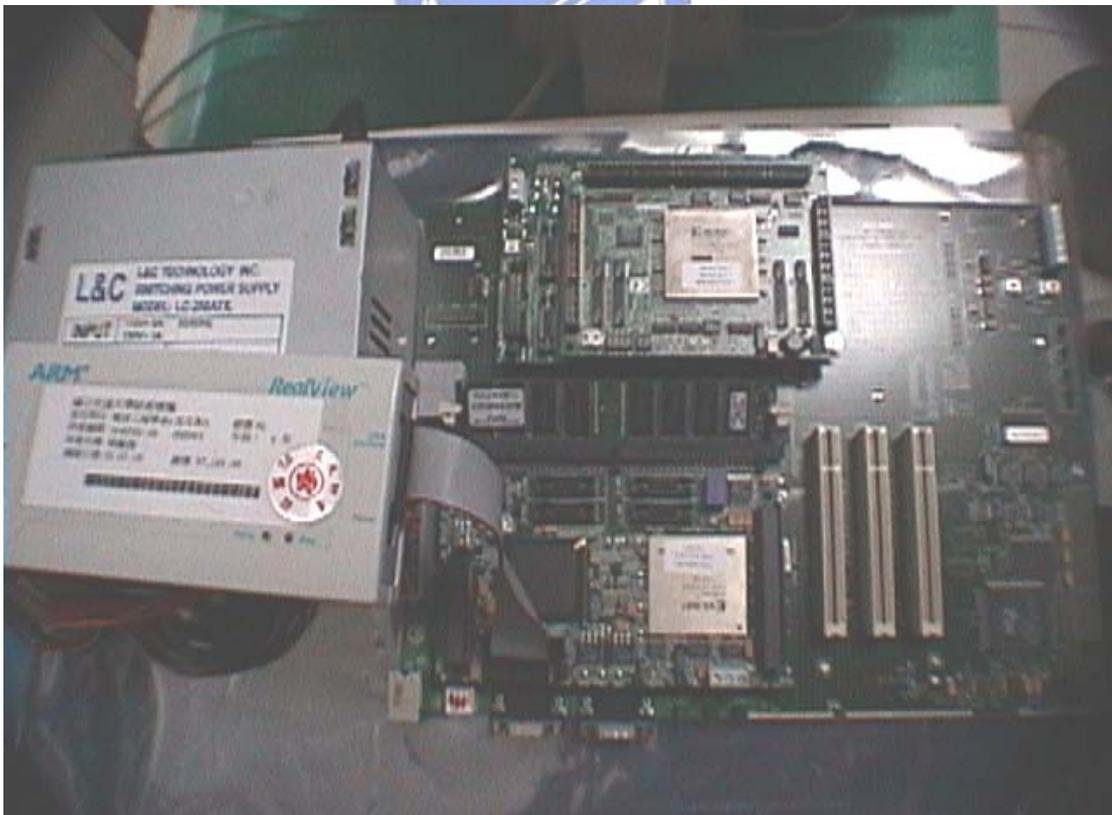


圖 5.1.3 Multi-ICE、AP、Mother Board、Logic Tile & SW Power Supply

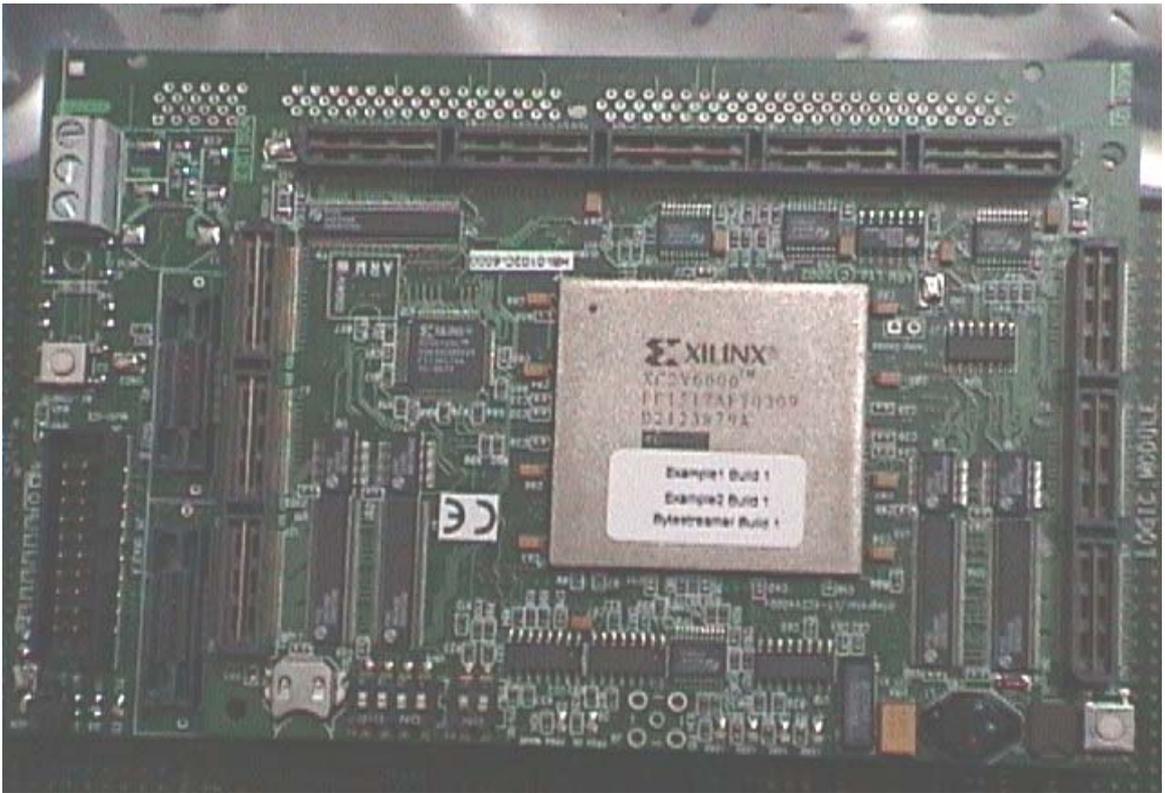


圖 5.1.4 Logic Tile

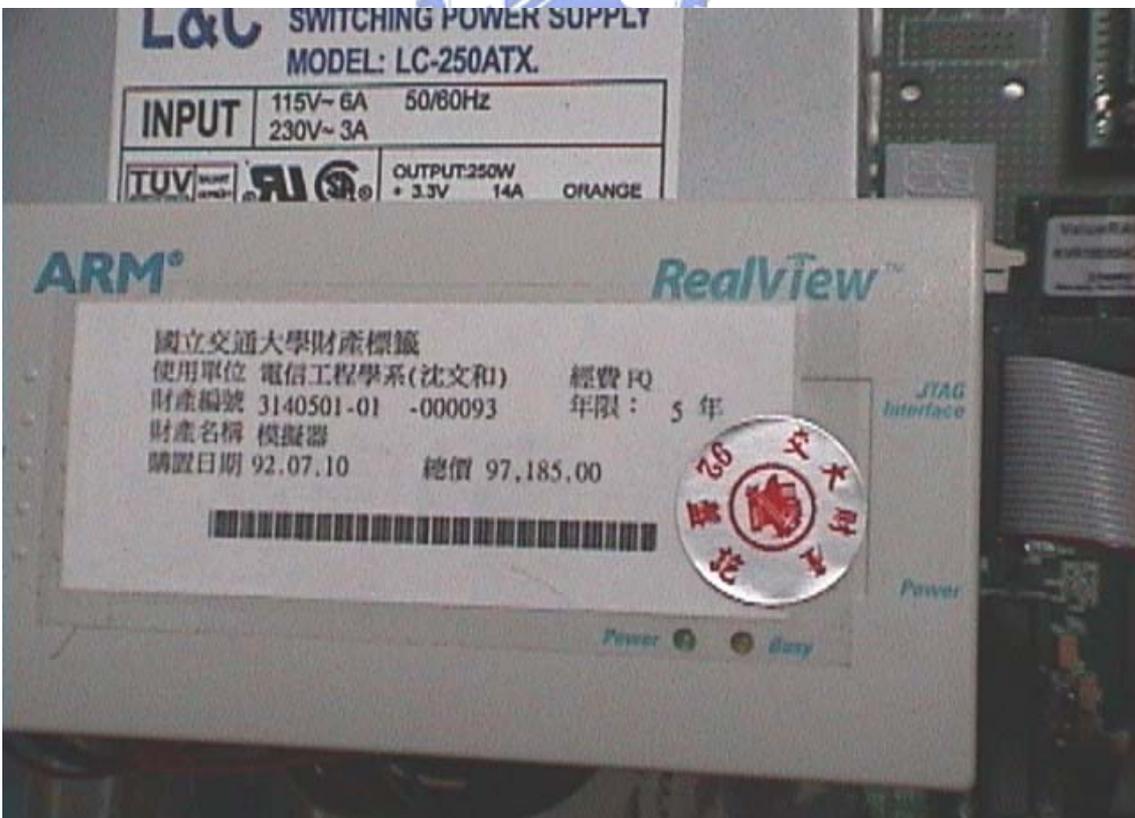


圖 5.1.5 Multi-ICE

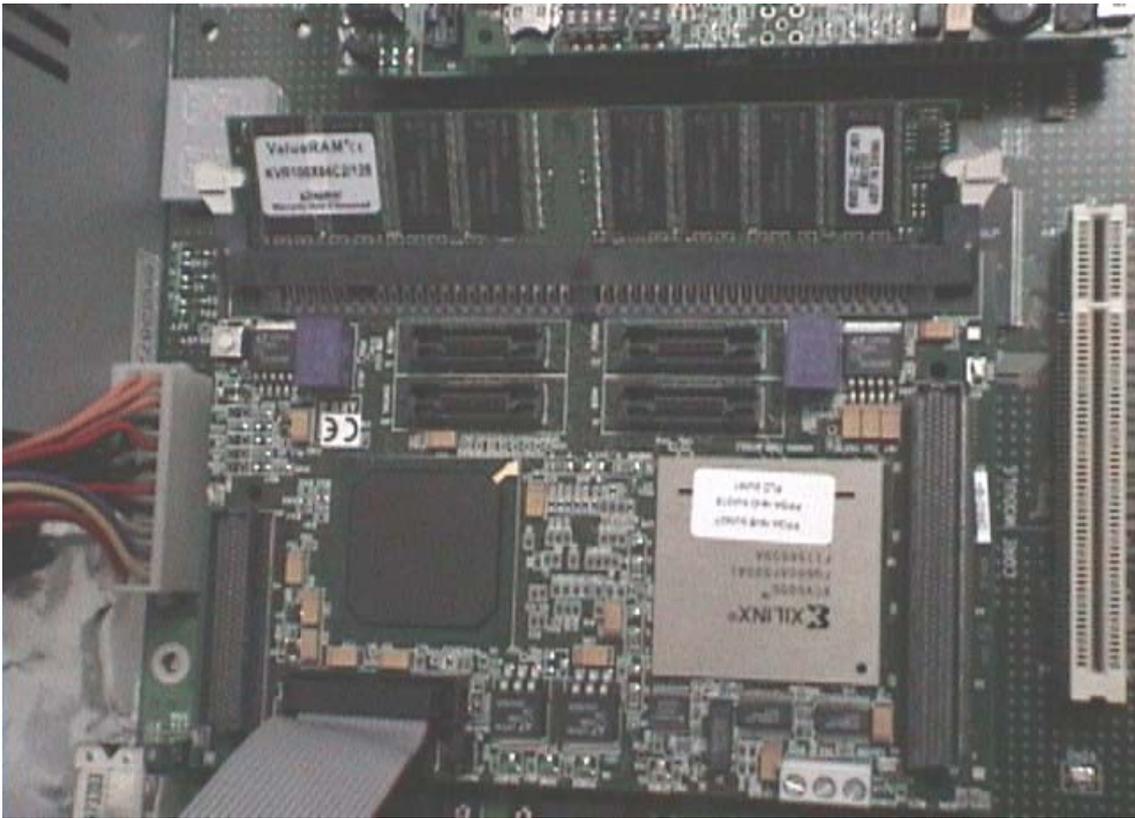


圖 5.1.6 Integrate AP

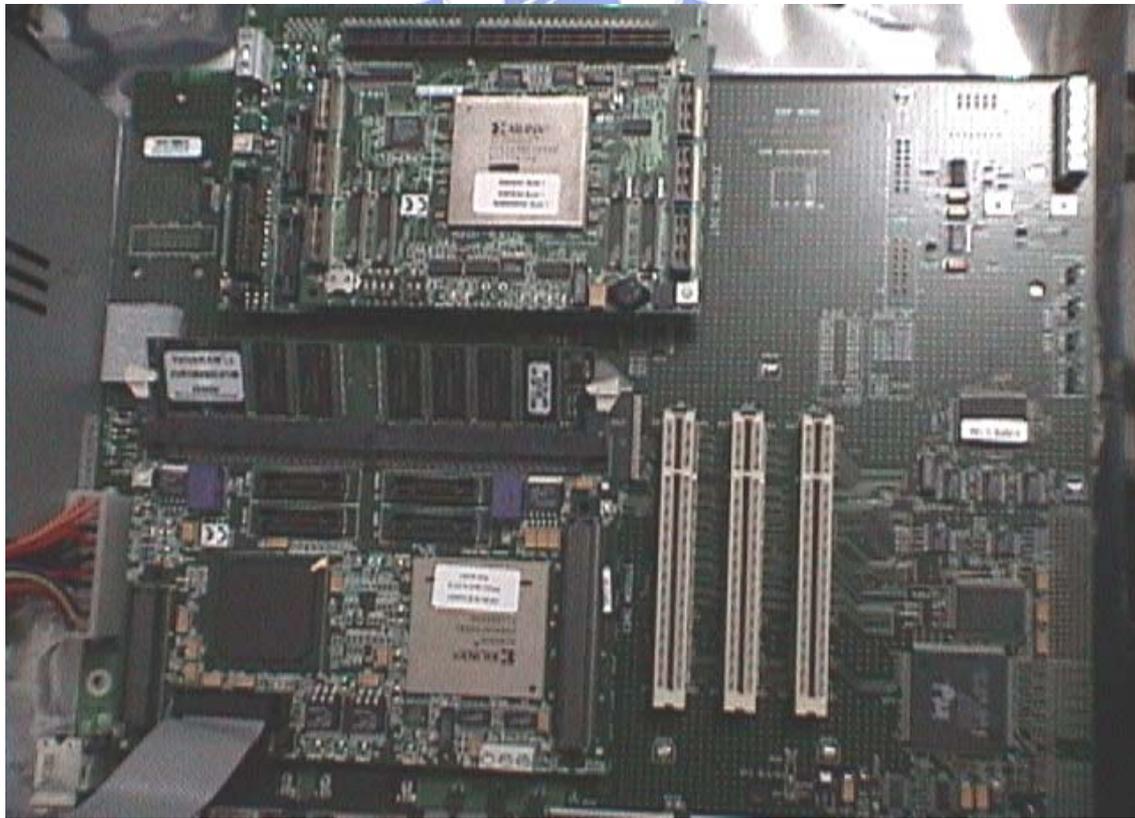


圖 5.1.7 Mother Board with AP and Logic Tile



圖 5.1.8 RF Module and A/D、D/A Convertors

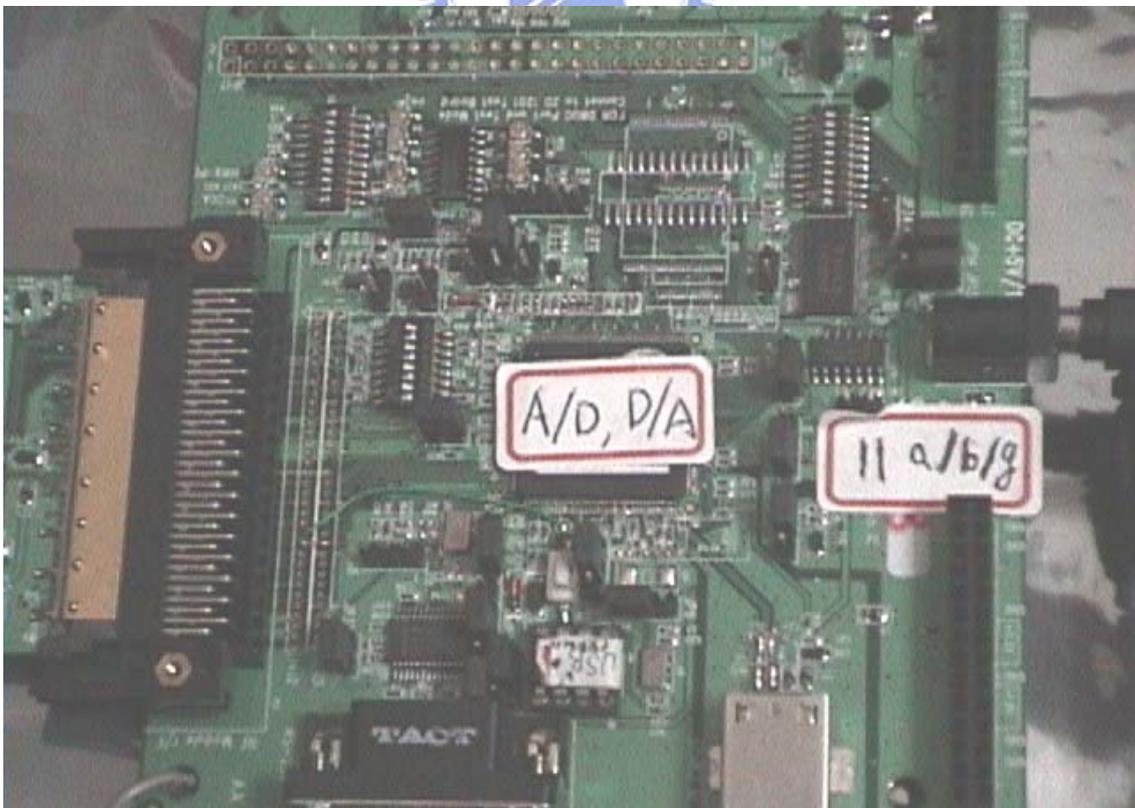


圖 5.1.9 For 11a/b/g A/D、D/A Convertors



圖 5.1.10 RF Module

RF Module 主要元件有 RFMD RF2959 11b/g Transceiver、SiGi SE2525L PA、Bright SW、SAWTECK 855278 SAW Filter、TXC 40MHz OSC and ACX Bandpass Filter。

5.2 測試資料(Test Data)

以下測試是資料傳輸率 54MHz 之 OFDM，在天線端不同的訊號強度下送入系統測試平臺，在類比收發系統基頻輸出端由數位示波器測得之 I/Q 訊號(CH1)與 VGA 控制訊號(CH2)之關係。由下列各圖我可以驗證不管在天線端不同的訊號強度下，VGA 控制訊號均能在 2μ 秒至 5μ 秒內收斂到穩定的電壓準位。

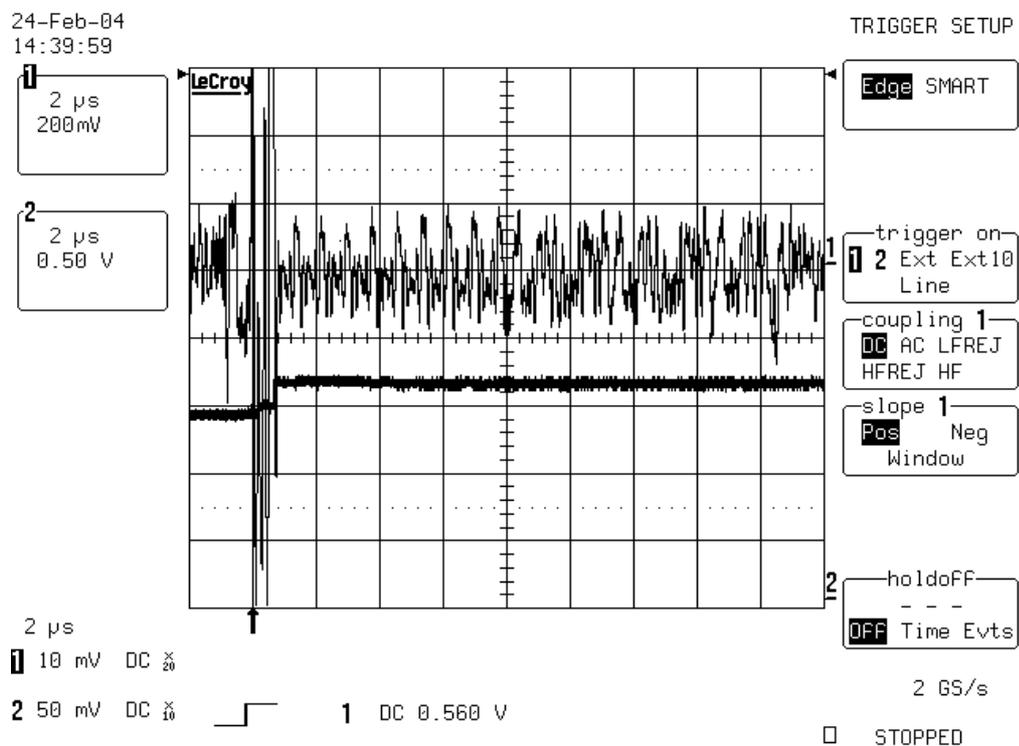


圖 5-2-1 AGC Lock in about 0.8μ s

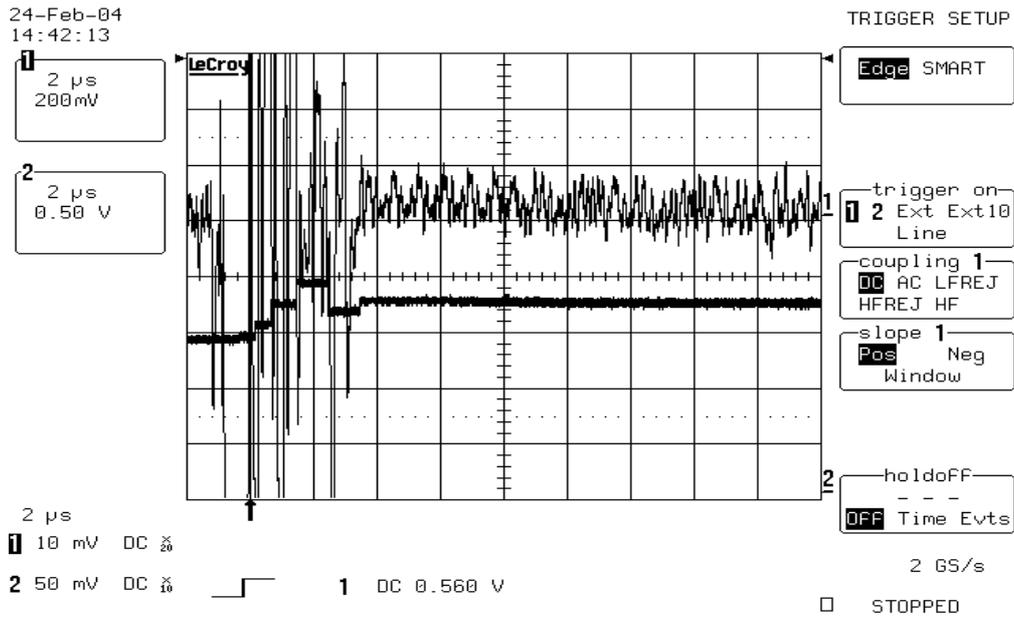


圖 5-2-2 AGC Lock in about 3.75 μ s

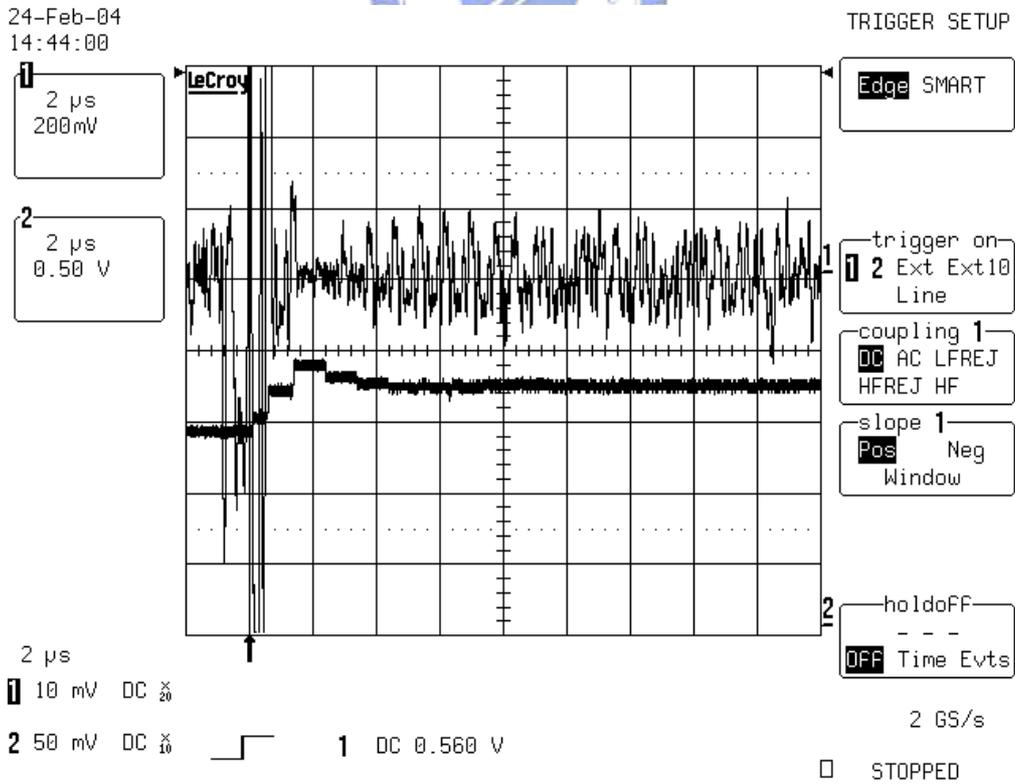


圖 5-2-3 AGC Lock in about 4.1 μ s

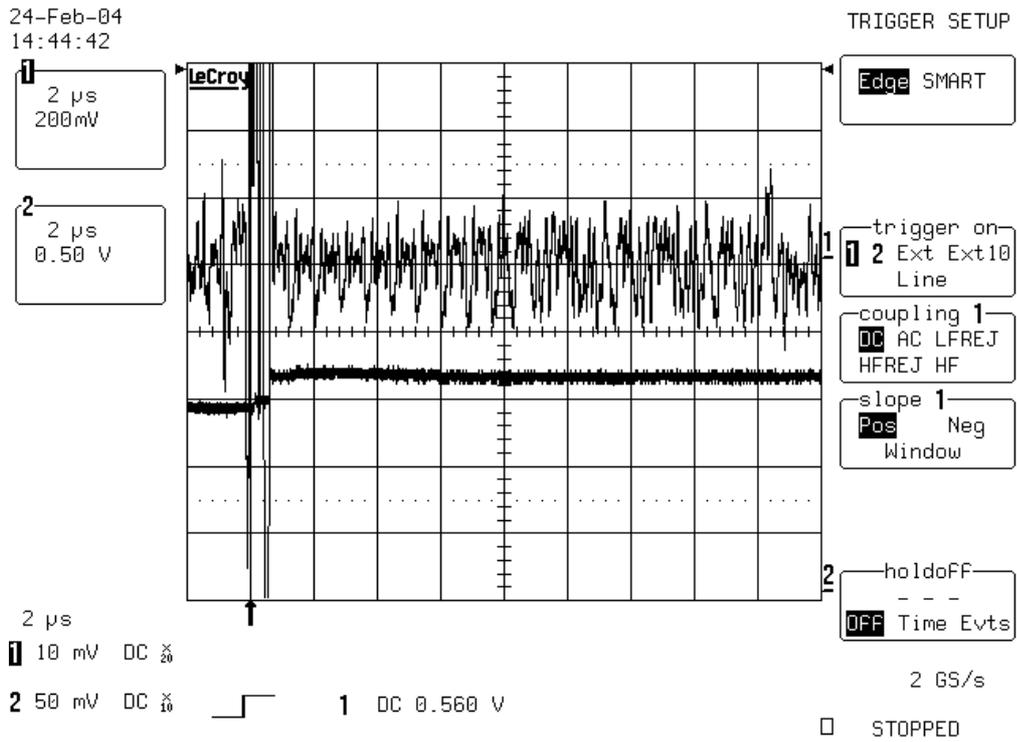


圖 5-2-4 AGC Lock in about $0.6 \mu s$

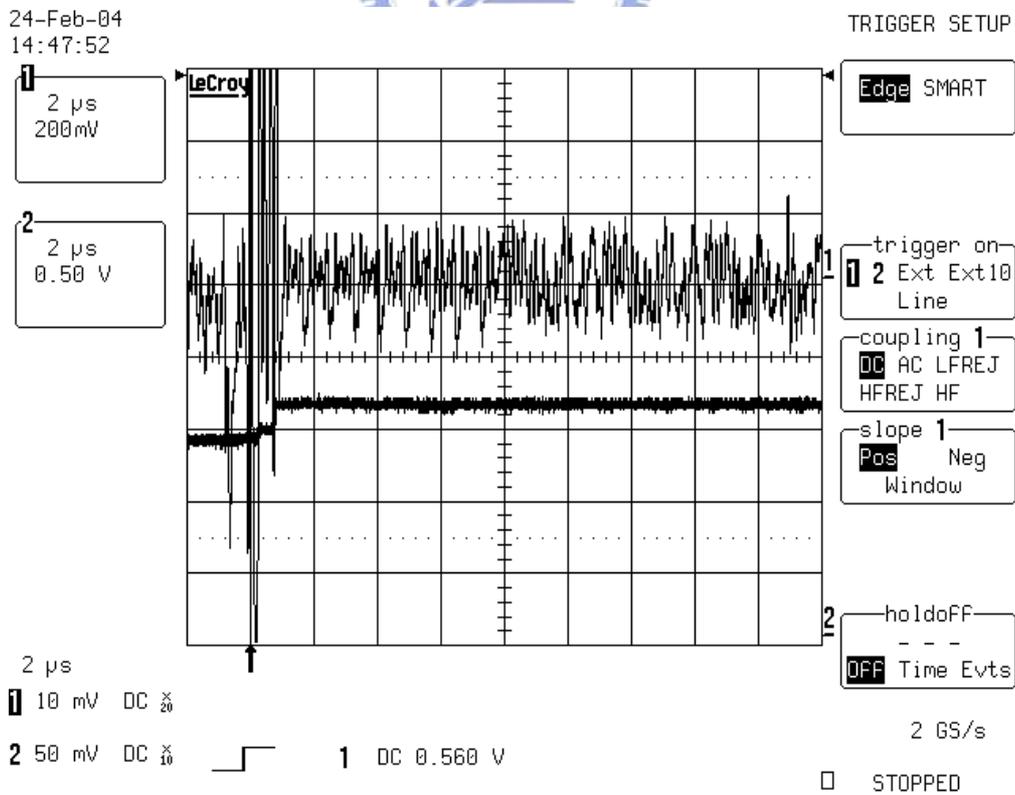


圖 5-2-5 AGC Lock in about $0.9 \mu s$

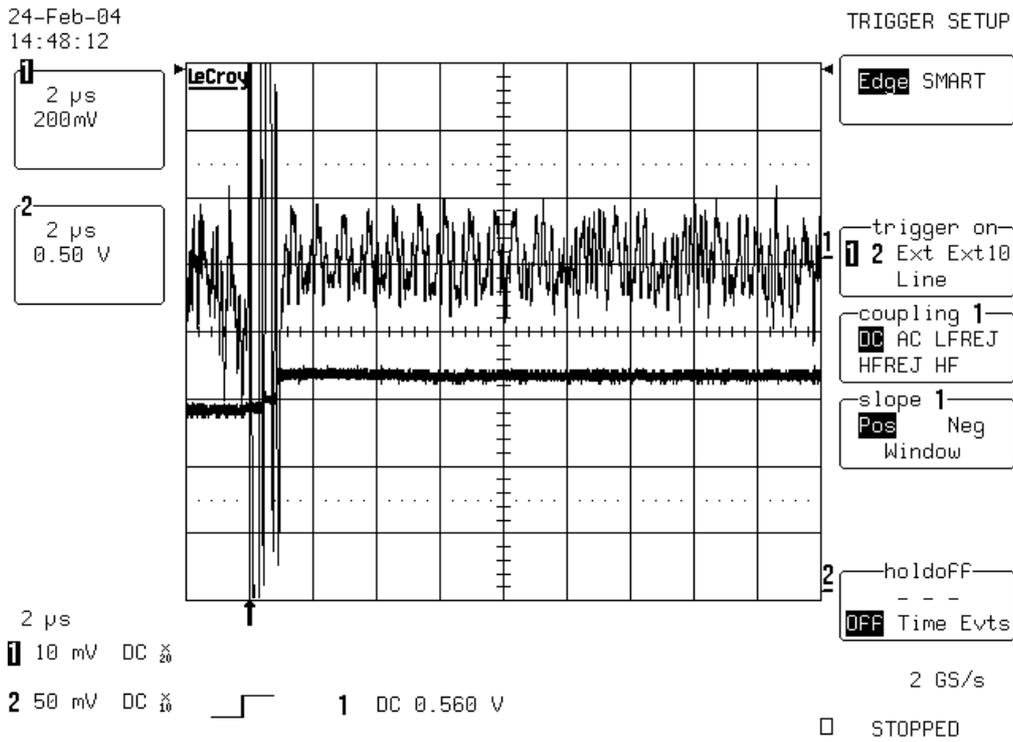


圖 5-2-6 AGC Lock in about 1 μ s

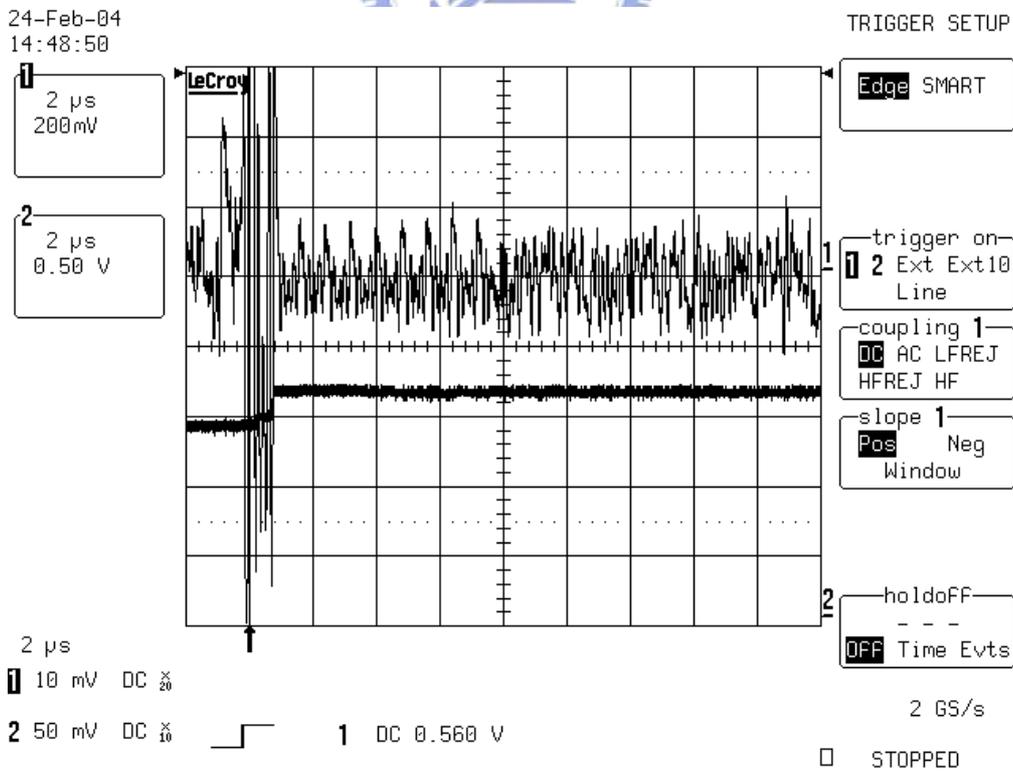


圖 5-2-7 AGC Lock in about 0.9 μ s

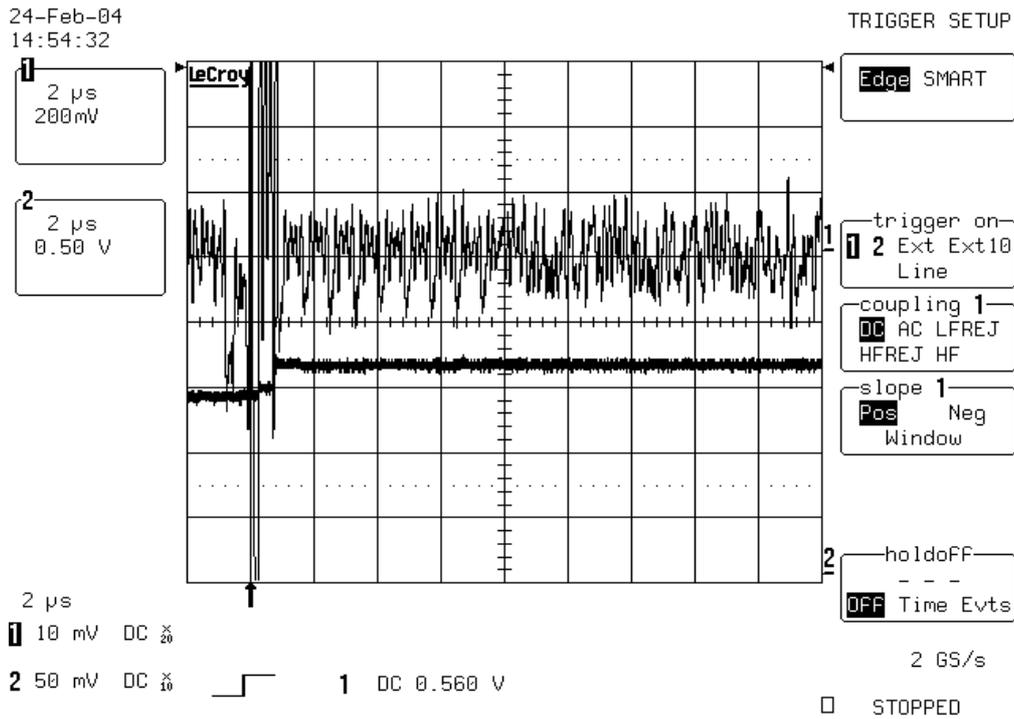
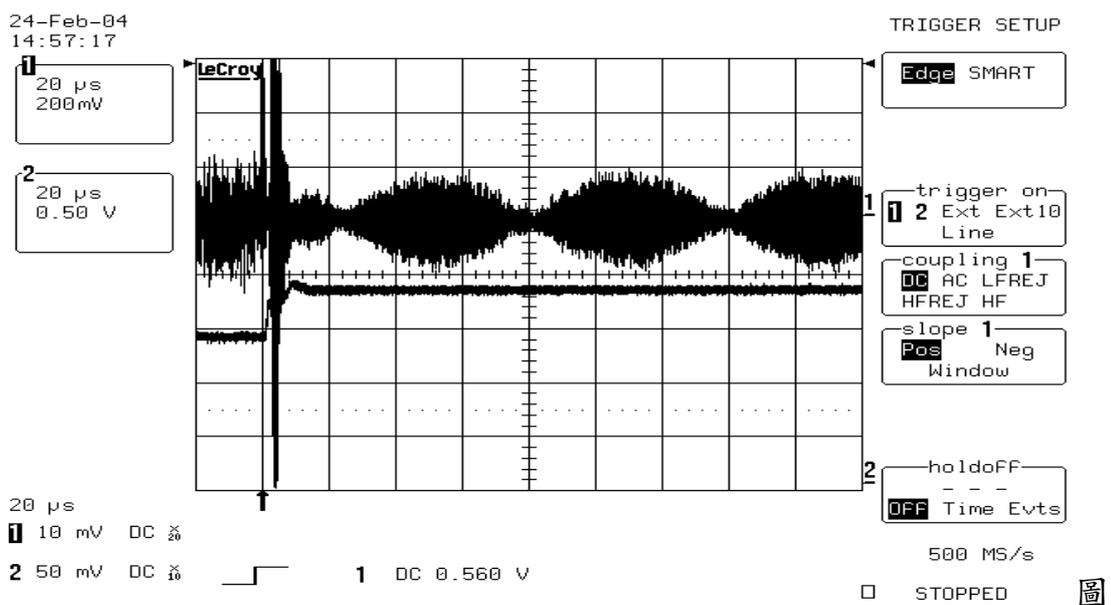


圖 5-2-8 AGC Lock in about 0.8 μ s

以下測試是資料傳輸率 11MHz 之 CCK，在天線端不同的訊號強度下送入系統測試平臺，在類比收發系統基頻輸出端由數位示波器測得之 I/Q 訊號(CH1)、LNA H/L(CH2)與 VGA 控制訊號(CH3)之關係。由下列各圖我可以驗證不管在天線端不同的訊號強度下，VGA 控制訊號均能正確的收斂到穩定的電壓準位。



5-2-9 11M CCK 之 I/Q 波形(CH1)與 VGA(CH2)收斂之相關

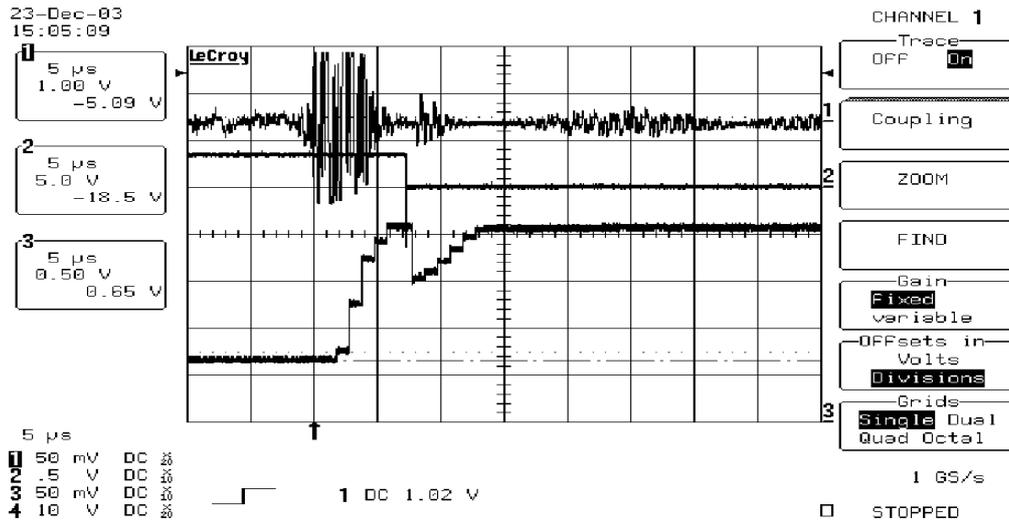


圖 5-2-10 11M CCK 之 AGC Lock in about 10 μ s

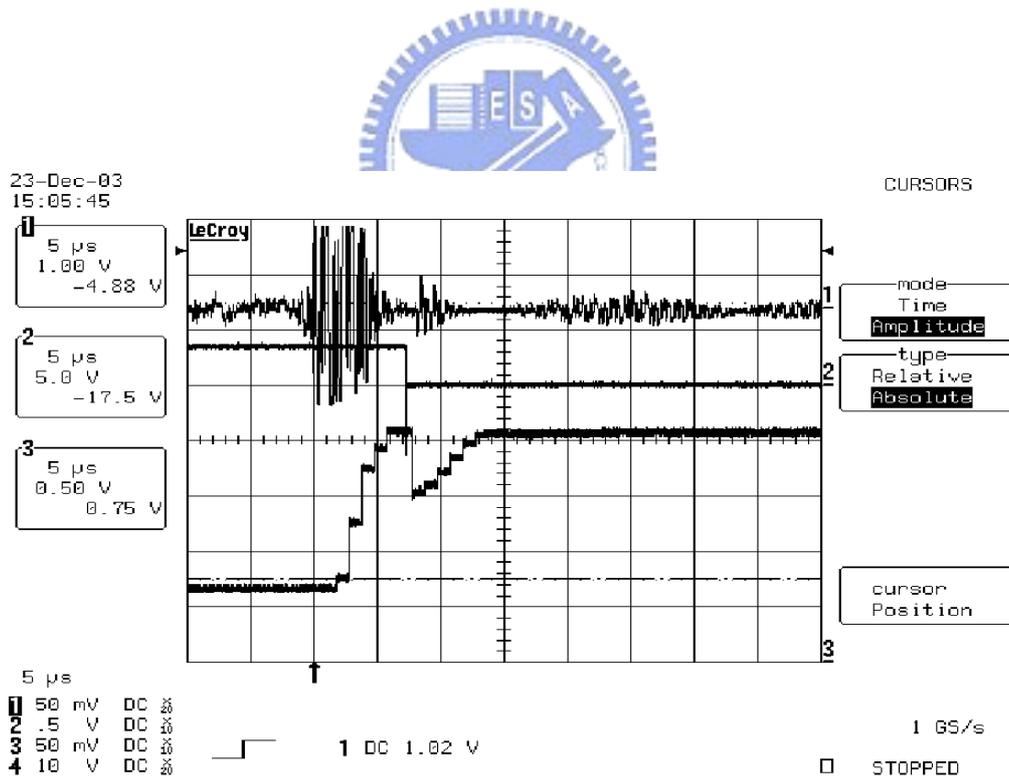


圖 5-2-11 11M CCK 之 AGC Lock in about 8 μ s

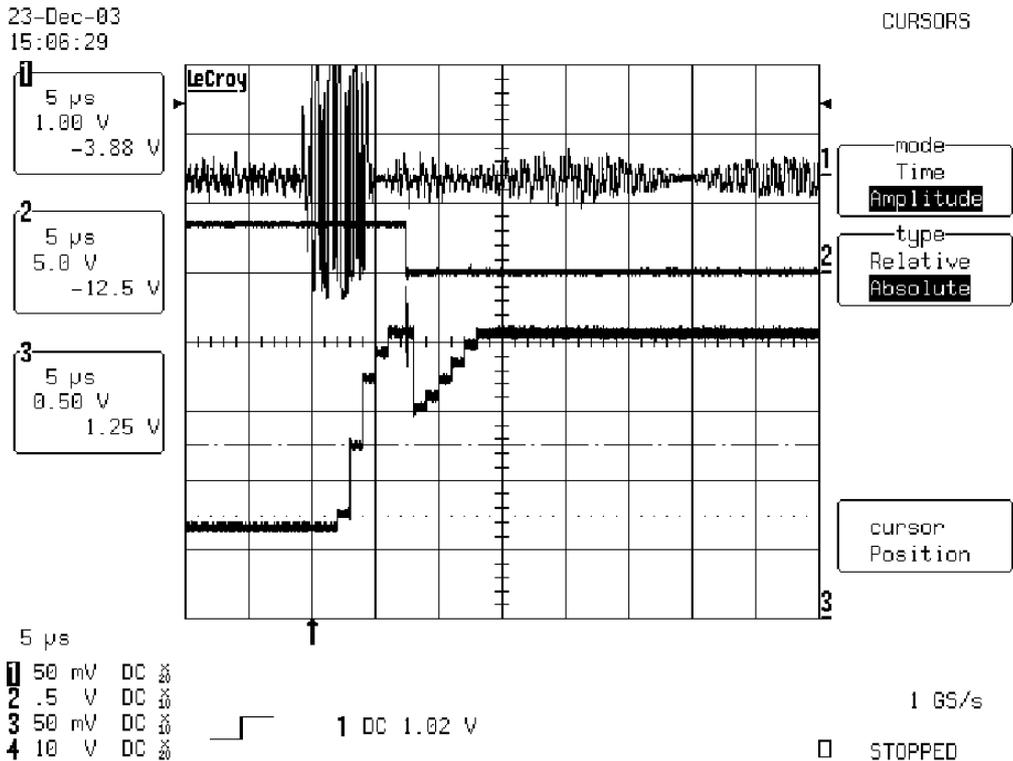


圖 5-2-12 11M CCK 之 AGC Lock in about 9 μ s

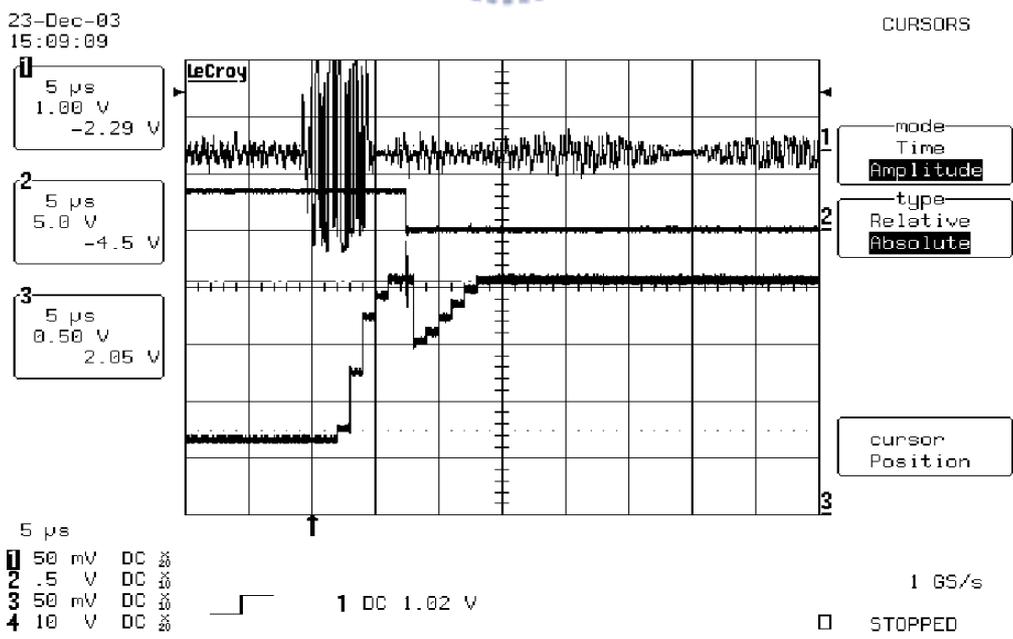


圖 5-2-13 11M CCK 之 AGC Lock in about 10 μ s

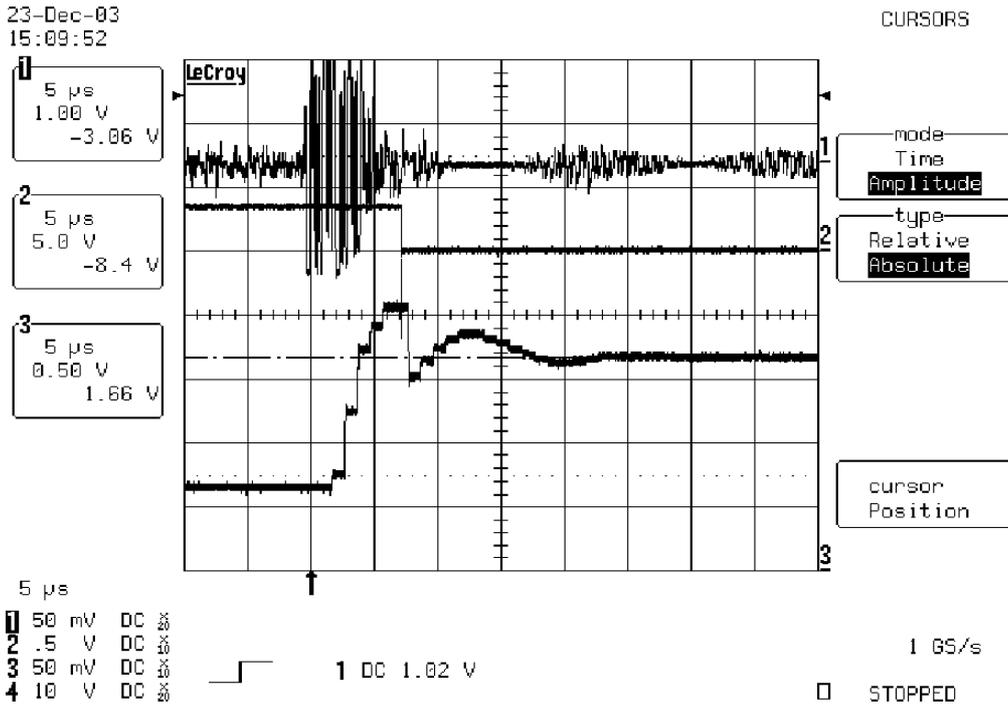


圖 5-2-14 11M CCK 之 AGC Lock in about 15 μ s

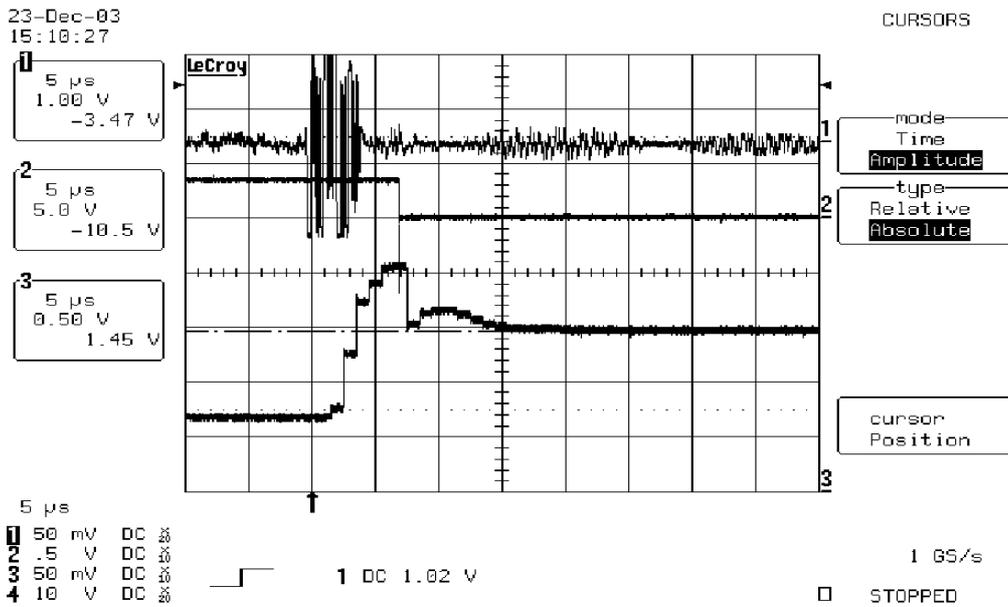


圖 5-2-15 11M CCK 之 AGC Lock in about 13 μ s

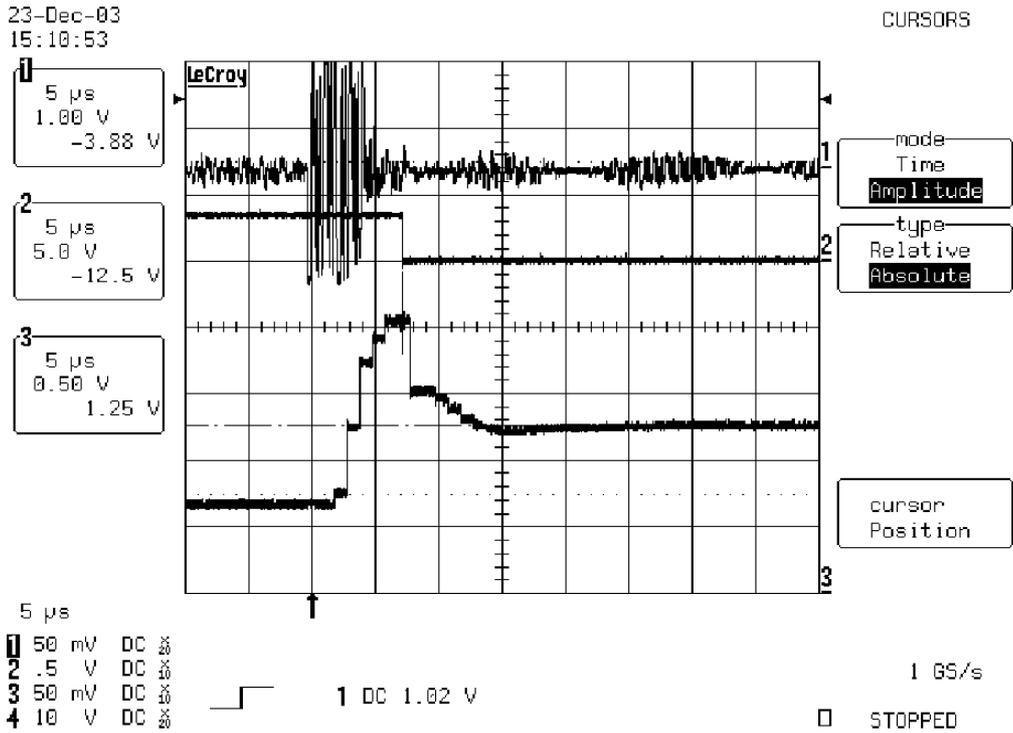


圖 5-2-16 11M CCK 之 AGC Lock in about 12.5 μ s

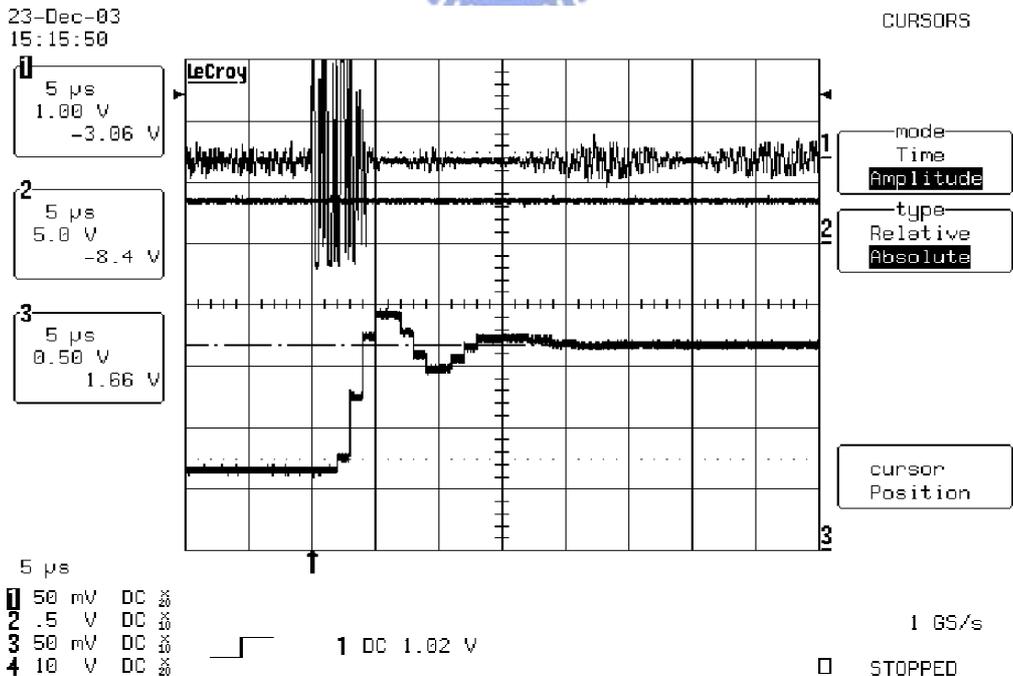


圖 5-2-17 11M CCK 之 AGC Lock in about 14 μ s

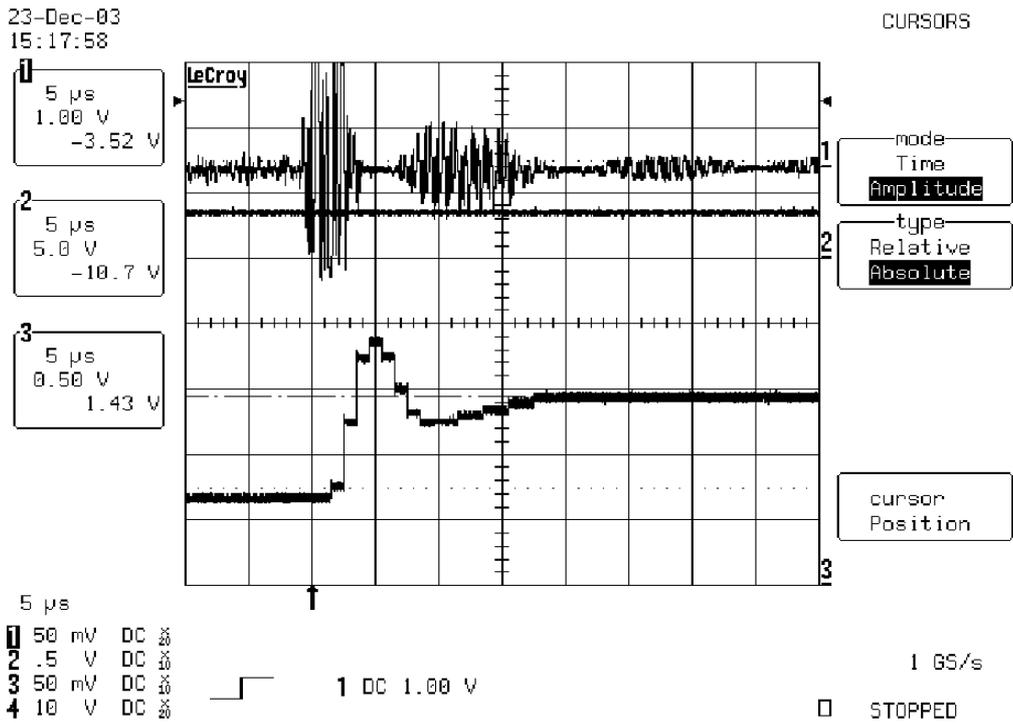


圖 5-2-18 11M CCK 之 AGC Lock in about 13 μ s

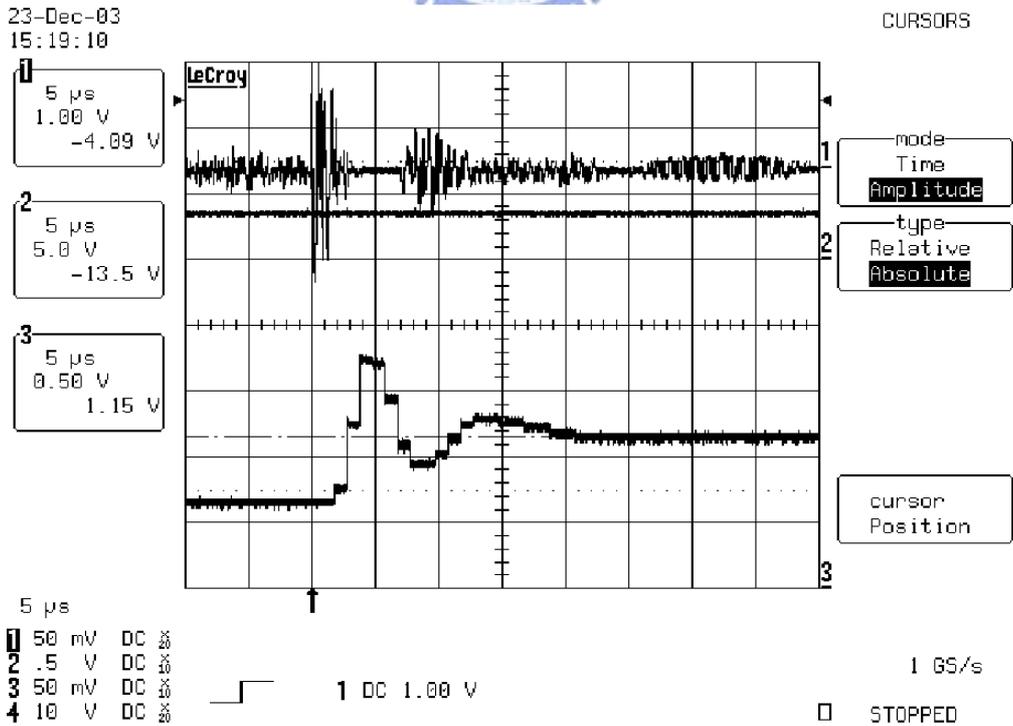


圖 5-2-19 11M CCK 之 AGC Lock in about 17 μ s

23-Dec-03
15:20:07

CURSORS

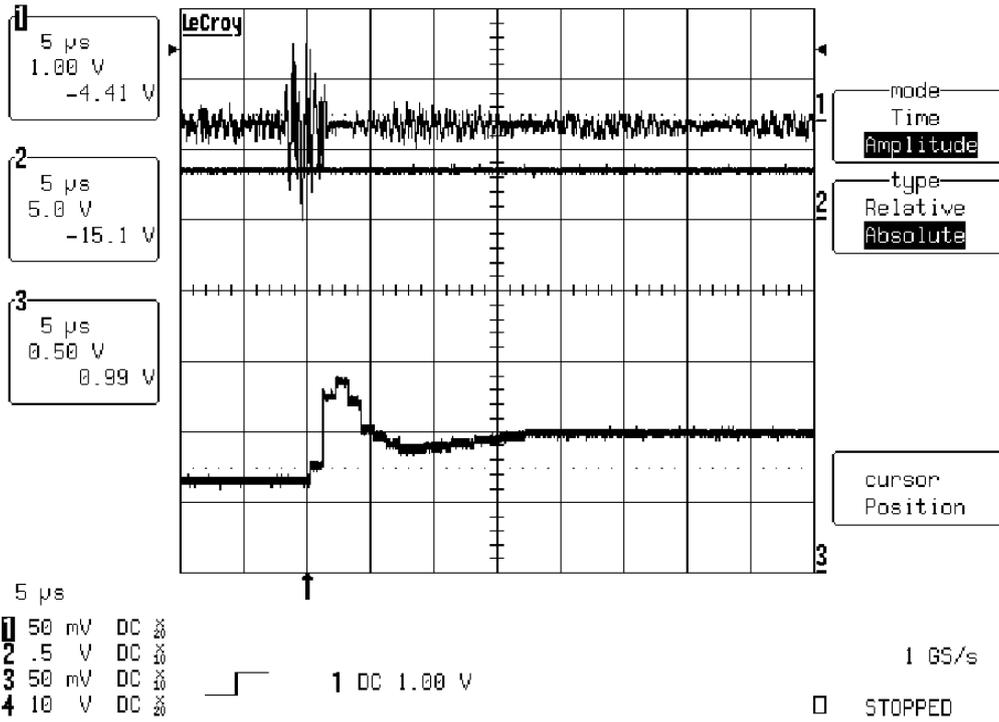


圖 5-2-20 11M CCK 之 AGC Lock in about 10 μ s



第六章 結 論

在本篇論文中，首先對 IEEE 802.11 OFDM 無線網路之規範作一說明，並針對接收機系統架構加以分析，在高速資料傳輸之需求下如何快速完成自動增益控制，以獲得穩定的基本接收環境。分別從射頻接收之結構及基本原理，分析類比接收電路之系統規格，進而由基頻實體層方面來執行快速自動增益控制之演算法，並藉由 FPAG 來實現快速自動增益控制之演算法。為了驗證在本篇論文中快速自動增益控制之演算法之功能及可行性，除了建構了 FPGA 之完整測試平臺外，更設計了類比射頻收發模組與完整類比、數位轉換電路，建構成完整 IEEE 802.11 OFDM 無線網路收發系統加以測試與驗證。

首先針對類比接收電路之系統方塊之功能與特性逐一分析，進而提出如何執行快速自動增益控制之演算法，並藉由流程圖對快速自動增益控制之演算法加以介紹說明，經電腦模擬分析後下載到 FPGA 以實現快速自動增益控制演算法之實體層硬體電路。

接著針對系統控制需求，在接收迴路針對 RX I/Q 轉換介面製作了兩組十位元的類比/數位轉換電路、針對 RSSI 轉換介面製作了一組八位元的類比/數位轉換電路、針對 RX VGA 轉換介面製作了一組八位元的數位/類比轉換電路，在發射迴路針對 TX I/Q 轉換介面製作了兩組十位元的數位/類比轉換電路、針對 TX AGC 轉換介面製作了一組八位元的類比/數位轉換電路。

為了驗證全程快速自動增益控制均可快速收斂，特別參考業界現有射頻收發晶片，選用了 RFMD RF2959 Transceiver 搭配 SiGe SE2525L PA 製作射頻電路模組。RFMD RF2959 Transceiver 是 WLAN 11b/g 超外差結構之收發器，中頻頻率

374MHz，採用 SAWTECK 之中頻表面聲波(SAW)率波器，而其頻率合成器及收發之組態是藉由 3-WIRE 來加以程式化控制，將資料寫入暫存器。其低雜訊放大器之 High/Low Gain 控制只有兩段，對於 11g OFDM 而言，兩段之 High/Low Gain 控制，整體接收自動增益控制動態範圍是不夠的，故必須想法擴大整體接收自動增益控制動態範圍。正好在收發共同迴路上有用 TR SW 來切換接收與發射模式，而 TR SW 具有約 22dBm 之隔離度(Isolation)。因此在強訊號情況下，可利用 TR SW 約 22dBm 之隔離度，將 TR SW 由接收模式切換成發射模式，如此便相當於三段式之 High/Low Gain 控制，進而完成擴大整體接收自動增益控制動態範圍。。

以上所討論為針對接收機自動增益控制如何能符合 IEEE 802.11 OFDM 之規範快速完成自動增益控制，提出解決方法，並製作實際硬體電路，分析測試以驗證所提出之方法是可以始用的。此外，除了自動增益控制外，封包偵測、碼框同步、非線性功率放大器、相位雜訊、時變通道等亦有可能影響載波資料解調，而提高封包錯誤率，未來目標將朝向更完善的實際系統考量，將所有接收機設計有可能遭遇的問題一起合併設計，提出更完整的解決辦法，以提供真正完整系統建構所需的高效能演算法。

參 考 文 獻

- [1] R. van Nee and R. Prasad, *OFDM for Wireless Multimedia Communications*, Artech House, 2000.
- [2] Christopher Bowick, "RF Circuit Design", Newnes, 1982.
- [3] Irving M. Gottlieb, "Practical RF Power Design Techniques", TAB Books, 1993.
- [4] J. G. Proakis, *Digital Communications*, 4th ed., New York: McGraw-Hill, 2001.
- [5] J. A. C. Bingham, "Multicarrier modulation for data transmission: An idea whose time has come," *IEEE Commun. Mag.*, vol. 28, no. 5, pp. 5-14, May 1990.
- [6] IEEE, "Std 802.11a-1999, Supplement to IEEE Standard for Information technology-Telecommunications and information exchange between systems- LAN/MAN Specific requirements-Part 11: Wireless LAN MAC and PHY specifications: High-speed Physical Layer in the 5GHz Band," September 1999.
- [7] R. W. Chang, "Synthesis of band-limited orthogonal signals for multi-channel data transmission," in *Bell System Tech. J.*, vol. 45, pp. 1775-1796, December 1966.
- [8] A. Peled and A. Ruiz, "Frequency domain data transmission using reduced computational complexity algorithms," in *Proc. IEEE Int. Conf. Acoust., Speech, Signal Processing*, pp. 964-967, Denver, CO, 1980.
- [9] P.H. Moose, "A technique for orthogonal frequency division multiplexing frequency offset correction," *IEEE Trans. Commun.*, vol. COM-42, pp. 2908-2914, October 1994.

- [10] B. O'Hara and A. Petrick, *The IEEE 802.11 Handbook: A Designer's Companion*, Institute of Electrical and Electronics Engineers, IEEE Inc, December 1999.
- [11] L. Deneire, P. Vandenameele, L. van der Perre, B. Gyselinckx, and M. Engels, "A low complexity ML channel estimator for OFDM," in *IEEE Int. Conf. Commun.*, 2001, vol. 5, pp. 1461 –1465, June 2001.
- [12] L. L. Scharf, *Statistical Signal Processing: Detection, Estimation, and Time Series Analysis*, Addison-Wesley, 1991.
- [13] B. Razavi, "Design considerations for direct-conversion receivers," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, pp 428-435, June 1997.
- [14] J. K. Cavers, "New methods for adaptation of quadrature modulators and demodulators in amplifier linearization circuits," *IEEE Trans. Vehicular Technology*, vol. 46, no. 3, pp. 707-716, August 1997.
- [15] Michael H. Perrott , "High Speed Communication Circuits and Systems " , MIT Open Course ware , MASSACHUSETTS INSTITUTE OF TECHNOLOGY , 2003.
- [16] Rishi Mohindra , "MAX2815/6/7 Operating Algorithm Guidelines V03" MAXIM ,DALLAS SEMICONDUCTOR ,2003.
- [17] RFMD MICRO-DEVICES , " 2.4GHz Spread-Spectrum Transceiver " Datasheet of RF 2959 , Complete 802.11g Transceiver ,2003.

簡 歷

基本資料:

姓名: 胡賢正

性別: 男

生日: 中華民國四十八年十一月二十六日

籍貫: 台灣省台中市

學歷:

- | | |
|-----------------|------------------------|
| 2001.9 ~ 2004.6 | 國立交通大學電機資訊學院碩士專班電信組 畢業 |
| 1979.9 ~ 1983.6 | 私立逢甲大學電子工程學系學士班 畢業 |
| 1975.9 ~ 1978.6 | 台灣省省立台中第一高級中學 畢業 |
| 1972.9 ~ 1975.6 | 台灣省台中市市立東峰國民中學 畢業 |
| 1966.9 ~ 1972.6 | 台灣省台中市市立台中國民小學 畢業 |

