

國立交通大學

電機資訊學院 電信學程

碩 士 論 文

使用低溫共燒陶瓷技術設計與量測射頻模組

Design and measurement of an LTCC RF Front-End Module



研 究 生：謝昀錚

指導教授：鍾世忠 博士

中 華 民 國 九 十 四 年 六 月

使用低溫共燒陶瓷技術設計與量測射頻模組
Design and measurement of an LTCC RF Front-End Module

研 究 生：謝昀錚

Student : Hsieh, Yun Cheng

指導教授：鍾世忠 博士

Advisor : Dr. Chung, Shyh Jong

國 立 交 通 大 學
電機資訊學院 電信學程
碩 士 論 文



Submitted to Degree Program of Electrical Engineering and Computer Science
College of Electrical Engineering and Computer Science
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Communication Engineering
June 2005
Hsinchu, Taiwan, Republic of China

中華民國九十四年六月

(使用低溫共燒陶瓷技術設計與量測射頻模組)

學生：謝昀錚

指導教授：鍾世忠博士

國立交通大學電機資訊學院 電信學程（研究所）碩士班

摘 要

目前低溫共燒多層陶瓷(LTCC, Low-Temperature Cofired Ceramics)技術的主要應用市場是在講究體積輕薄短小的可攜式產品上，是無線通訊模組的技術趨勢。此篇論文研究目的在於實現 LTCC 射頻前端模組(RF Front End Module) 的縮小化設計與量測。在設計中，使用 LTCC 為基版將被動元件儘可能地設計於 LTCC 各層之中，並將主動元件及不易置入 LTCC 之元件置放於該 LTCC 上端，使所有的空間完全地有效利用，達到縮小化目的。設計上規劃的主動元件包含了一個射頻功率放大器及兩個射頻開關，其一開關作為發射接收切換，另一開關則作為天線分集使用，被動元件部分規劃了該射頻功率放大器的匹配電路與電源電路，以及一個帶通濾波器電路。初期以 FR4 的基版先量測主動元件之特性以及規劃的匹配電路驗證，以確保該系統工作狀態正常。進一步利用模擬軟體修正匹配電路上的偏差，以期達到原本的特性與效能。再使用模擬軟體將 LTCC 各層的佈局上巧妙地安排與空間上儘可能地有效運用，並要求特性上仍然保持原本的效能，符合 IEEE 802.11b/g 的規範，最後以 13 層料片達成 LTCC 目標。在 2.4GHz 產品設計整合上，輸入輸出埠的部份已從 LTCC 內部電路匹配到 50 歐姆的阻抗，因此提供更容易更快速地搭配整合晶片組及天線端接點，以便加速新產品開發。該 LTCC 射頻前端模組完成後，以 OFDM 模式測試，在 EVM 小於 5%的情況下，天線端平均輸出功率達 16.4dBm，電流消耗平均約 200 毫安培，平均增益為 26.9dB，相對地發射器只要提供 -10.5dBm 的能量就足以推動。使用一家以 IEEE802.11b/g 為標準的晶片組結合測試，該資料傳輸率平均值 21Mbps，與原本相同電路架構的產品可達到同樣的特性，並且大幅地有效節省 82.4%的空間。

(Design and measurement of an LTCC RF Front-End Module)

student : Yun-Cheng Hsieh

Advisors : Dr. Shyh-Jong Chung

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

ABSTRACT

The major application and market place for Low-Temperature Cofired Ceramics (LTCC), is in the mini, portable electronic products. LTCC is the technological trend of wireless communication module. This thesis will describe the design method to minimize RF Front End Module of LTCC and measurement of the module. In this design, LTCC is used as a substrate, all non-passive components are integrated, as much as possible, in all layers of LTCC, while passive components and any components that cannot be easily integrated in LTCC layer are placed on top of the LTCC. All space will be effectively used, producing smaller module. The non-passive elements in this design include one power amplifier and two RF switches, one of the switches is used as transmit/Receive and the other for Antenna Diversity. The passive elements in this design include the matching and power circuits of the PA, and one band pass filter circuit. In the traditional way to use the FR4 as substrate, we need to measure the passive components circuit performance to confirm the matching circuit component value. This will prove the working performance. Then use the RF simulation software tool to prove the circuit. Use the software to simulate the different dialectical constant in the same type circuit structure. The above will achieve the design specification. If we use the RF simulation software and utilize the layout space, and keep the specification, that will match the IEEE 802.11 B/G specification. Finally when using the 13 layers LTCC, it can achieve the design specification when integrating the design into 2.4GHz product. The input and output port already matches the 50 OHM. Therefore, it could provide the easy and fast integration with the whole chip and antenna port. It can achieve new product development time, save man power and material. When this LTCC module assembled,

use OFDM signal to test it when the EVM is less than 5%. We can achieve the average power of 16.4dBm, average current about 200mA, it is 26.9dB to average gain, so long as the transmitter is offered the power of -10.5dBm is enough to promote relatively. Use one to regard IEEE802.11b/g as the standard chip set to combine and test, this throughput of data average 21Mbps. The performance is the same as original FR4 board's product, and the total circuit size will be only 5.4 mm x 4.0 mm x 1.0 mm. To compare with the original, this can save around 82.4% of space.



誌 謝

能夠順利的完成這篇論文，首先要感謝的就是我的指導教授鍾世忠博士。在這四年研究所的期間，以他豐富的學識以及獨到的見解，提供了我思考的方向，以及面對問題的解決方法，並且提供了豐富完善的研究資源，拓展了個人對於微波電路以及通訊系統研究領域的新視野。之所以能夠順利完成論文，由衷的感謝鍾教授的細心指導。

特別感謝美磊科技的饒瑞珠博士、林昀偉經理、魏嘉言先生、前百特電子魏鴻基博士、張簡四續經理、萬光烈先生以及正文科技的蔡福讚副總、廖錫安協理、徐榮輝協理、陳慧諄經理及所有的同仁，在射頻模組製作上的技術支援和相關的經驗指導，沒有你們，這篇研究也不會如此順利。也感謝文信、明洲、丹雄、侑信、民仲、鈞富、吉佑及所有 912 實驗室的伙伴們，這幾年因為有你們一起分享著生活和研究的經驗，讓我生命感到充實。

最後，要感謝我的朋友、我的家人及新婚妻子毓珮，謝謝你們一直無條件地鼓勵與默默的支持我，讓我能夠順利的完成研究所的學業。

目 錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iv
目錄.....	v
表目錄.....	vii
圖目錄.....	viii
第一章、緒論.....	1
第二章、射頻前端模組各元件設計.....	3
2.1 前言.....	3
2.2 規格訂定.....	3
2.3 功率放大器.....	6
2.3.1 功率放大器規格.....	6
2.3.2 功率元件量測.....	7
2.3.3 功率放大器匹配電路設計.....	9
2.3.4 功率放大器匹配電路模擬與量測.....	10
2.4 射頻開關.....	14
2.4.1 射頻開關規格.....	14
2.4.2 射頻開關設計.....	15
2.4.3 射頻開關量測.....	15
2.5 帶通濾波器.....	16
2.5.1 帶通濾波器規格.....	16
2.5.2 帶通濾波器設計.....	16
2.5.3 帶通濾波器模擬.....	16
第三章、射頻前端模組設計.....	19
3.1 前言.....	19
3.2 射頻前端模組設計.....	19
3.2.1 尺寸、各層面與接腳規劃.....	19
3.2.2 表面走線與內部佈線設計.....	20
3.3 模擬與結果.....	22
第四章、射頻前端模組製作.....	34
4.1 前言.....	34
4.2 射頻前端模組製作.....	34
4.2.1 每層圖面製作.....	34
4.2.2 LTCC 半成品檢測.....	34
4.2.3 主動與被動元件焊接與鏢線.....	36
第五章、射頻前端模組量測.....	39
5.1 前言.....	39

5.2	量測板製作.....	39
5.2.1	FR4 基版佈線設計.....	39
5.2.2	FR4 量測板製作與檢測.....	40
5.3	射頻前端模組量測.....	40
5.3.1	小信號網路分析儀之量測.....	40
5.3.2	Power、Gain、Current、EVM 量測.....	44
5.3.3	Power Detector 電壓量測.....	47
5.4	與晶片組結合量測.....	47
第六章、	結論.....	50
參考文獻		52
附錄		53



表 目 錄

表 1. 無線網路卡之規格	4
表 2. 射頻前端模組製作前規劃的規格	5
表 3. 功率放大器的規格	6
表 4. 射頻開關規格	14
表 5. 帶通濾波器規劃的規格	17
表 6. LTCC 各層規劃	23
表 7. FEM 接腳的規劃安排與定義敘述	24
表 8. LTCC 實際量測尺寸	35
表 9. OFDM Power Gain Current & EVM.....	45
表 10. 實驗組與對照組的 Throughput 量測結果.....	48



圖 目 錄

圖 1. 無線收發模組的應用示意圖	2
圖 2. 射頻前端模組架構	3
圖 3. Load pull 量測系統示意圖	8
圖 4. 使用 Load Pull 測試 Z_{opt} 與線性度	8
圖 5. TRL Calibration Kit	9
圖 6. PA die with FR4 PCB	9
圖 7. 測試夾具與 TRL Calibration Kit	10
圖 8. PA 測試	10
圖 9. PA 輸入端匹配電路圖	11
圖 10. PA 輸入端匹配模擬結果	11
圖 11. PA 輸出端匹配電路圖	11
圖 12. PA 輸出端匹配模擬結果	11
圖 13. PA 輸入、輸出匹配電路實做	12
圖 14. PA 輸入端匹配電路模擬與實做量測結果	12
圖 15. PA 輸出端匹配電路模擬與實做量測結果	12
圖 16. RF Choke 線路圖	13
圖 17. RF Choke 在史密斯圖上的位置	13
圖 18. RF Choke 與 Z_{opt} 及 Z_{opt}^* 相接的結果	13
圖 19. RF SWITCH 方塊圖	14
圖 20. 射頻開關量測結果	15
圖 21. 三階帶通濾波器	17
圖 22. 三階帶通濾波器 EM 模擬結果	18
圖 23. 側面電極的設計規劃	21
圖 24. 所設計規劃的 FEM 接腳	24
圖 25. 射頻前端模組電路圖	25
圖 26. FEM 的表面佈局示意圖	26
圖 27. FEM 的內部佈局示意圖	26
圖 28. 功率放大器的輸入阻抗匹配佈局圖	27
圖 29. FEM 的功率放大器輸出阻抗匹配佈局圖	27
圖 30. FEM 的 RF Choke 佈局圖	28
圖 31. FEM 的 Rx Trace 佈局圖	28
圖 32. 帶通濾波器的內部佈局圖	29
圖 33. FEM 主要接地佈局示意圖	29
圖 34. FEM 輸入阻抗匹配在 LTCC 佈局模擬結果	30
圖 35. FEM 輸出阻抗匹配在 LTCC 佈局模擬結果	30
圖 36. FEM RF Choke 在 LTCC 佈局模擬結果 (S_{21})	31

圖 37. FEM RF Choke 在 LTCC 佈局模擬結果 (S11)	31
圖 38. FEM Rx Trace 在 LTCC 佈局模擬結果 (S21)	32
圖 39. FEM Rx Trace 在 LTCC 佈局模擬結果 (S11)	32
圖 40. FEM BPF 在 LTCC 佈局及MWOoffice 模擬比較.....	33
圖 41. LTCC 半成品正面圖放大特寫	35
圖 42. LTCC 半成品正面圖	35
圖 43. LTCC 半成品底面圖	36
圖 44. LTCC 上錫膏過程示意圖	37
圖 45. 實際使用的裸晶	37
圖 46. LTCC 鎊金線過程示意圖	38
圖 47. LTCC Front End Module 成品圖	38
圖 48. FR4 量測板的表面佈線.....	39
圖 49. Tx in 電路圖示	41
圖 50. Tx in 實際量測.....	41
圖 51. Tx Port to ANT Port1 實際量測	42
圖 52. Rx Port to ANT Port1 實際量測	42
圖 53. Rx Path Return Loss 實際量測	43
圖 54. 估算 PA Gain	43
圖 55. Switch Isolation	44
圖 56. Channel 1 OFDM Power Gain Current & EVM	45
圖 57. Channel 7 OFDM Power Gain Current & EVM	45
圖 58. Channel 14 OFDM Power Gain Current & EVM	46
圖 59. Power v.s. Detector Voltage	47
圖 60. 實驗組與對照組的 Throughput 量測結果.....	48
圖 61. 作為對照組的卡片	49
圖 62. 作為實驗組的卡片	49
圖 63. 實驗組的卡片結合 FEM 測試板	49
圖 64. FEM 空間節省示意圖	51

第一章、緒論

近年來無線通訊相關產品發展的迅速讓許多人無法想像，而且應用上也越來用廣泛，舉凡個人電腦、手機、PDA、家用多媒體、家電產品、甚至車用配備等，往後大家也會看到越來越多的產品都會有無線收發模組的應用，如（圖 1.）所示。相形之下，不同的無線收發模組的開發與使用在未來將會是非常基本的需求。在無線網路這一新興的網路通訊產品上來看，一個無線網路卡的總元件數量從五年前的 250 顆降至目前的不到 100 顆；價格成本也從一百多塊美金降到目前不到十塊美金，每個新的應用產品的開發時間也都從一年減少到目前的二到三個月（晶片組為六個月到一年）。由此可看出相對的當一個設計者決定一個開發案，就必須要考慮下列六項要素：價格、尺寸、效能、開發時間、設計機動性、模組性，所開發的新產品在市場上才有可能具有競爭性。當初在考慮無線網路卡之中，有哪些適合改善的項目可以拿來做研究，幾經思考，決定將不同的無線網路晶片組(Wireless LAN Chip Set)都會使用到的功率放大器(PA)、射頻發射接收開關(RF T/R Switch)、帶通濾波器(BPF)、天線分集開關(Antenna Diversity Switch)、以及相關的匹配等前端電路加以模組化，讓它成為一個易於使用的子系統，或稱作元件。往後工程師只要將原本的晶片組再加上這一顆射頻前端模組(RF Front End Module, 以下簡稱 FEM)就能很容易地完成設計與運用，也不需要再曠日費時地調整功率放大器的匹配與特性。由於使用的元件數量減少，除了生產線的製程時間可以縮短，相對的也還增加了應用產品本身的穩定度以及除錯的便利性，這對量產來說幫助非常的大。而且因為尺寸縮小化了，在開發設計上再也不用擔心放不下客戶要求的外殼尺寸，進而可以設計更小更精美的產品讓客戶選擇。

本論文共分六章，第一章為緒論，說明研究的動機。第二章提出射頻前端模組的架構安排與各元件的組成設計。第三章則是說明如何整合各個電路於一整個系統及模組整體的特性。第四章則是說明射頻前

端模組製作方法與過程。第五章則是探討射頻前端模組量測。第六章為結論，說明本論文的研究結果和心得。

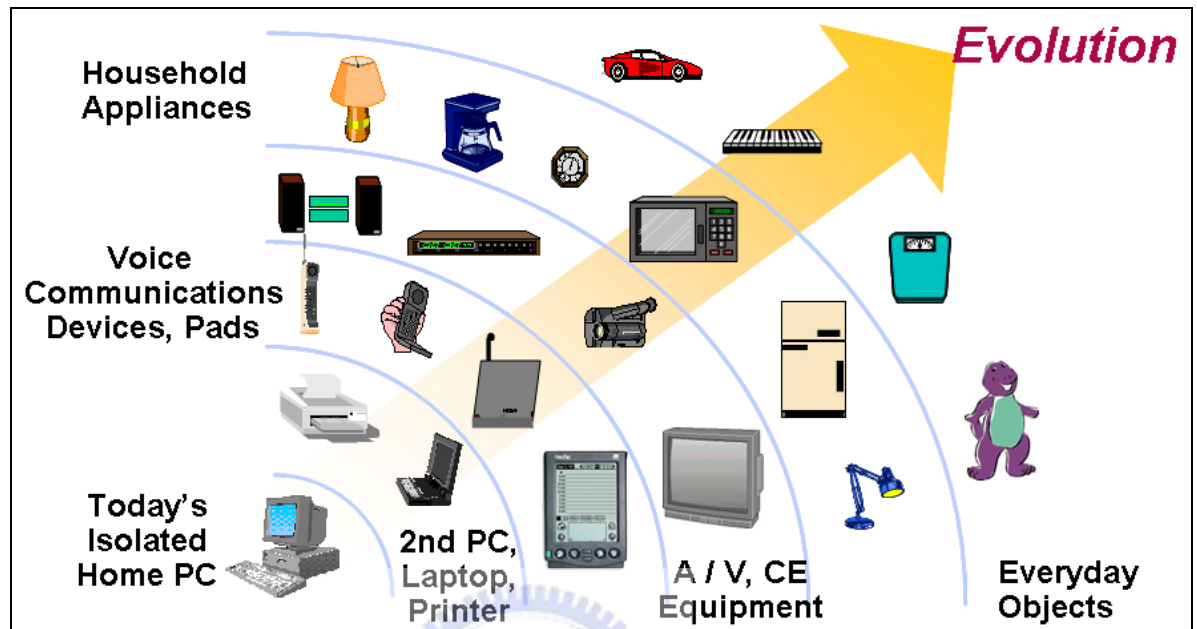


圖1. 無線收發模組的應用示意圖

(資料來源: Intersil)

第二章、射頻前端模組各元件設計

2.1 前言

若是將系統置於一印刷電路板 (PCB) 上，則需要利用許多的連接線連接各個組件或元件，使得表面電路變成複雜，進而產生不連續介面所造成的 EMI、EMC 輻射問題，為避免這樣的問題，因此利用 LTCC 小體積的特色，可以將內部的接線做得非常短(μm 級尺寸)，連接線的形式又可運用微帶線(micro-strip line)在 LTCC 內部。此外使用 LTCC 可將許多被動元件埋入基板 (substrate) 中，與傳統上將濾波器、電阻、電容、電感都放置在平面的印刷電路板上相比較，又更可節省 PCB 的空間。因此決定以 LTCC 為基材製作此射頻前端模組。

在架構上，選定以最多晶片組使用的射頻前端電路架構 (圖 2.) 來設計規劃，以期設計出的模組產品適合各個不同的晶片組。

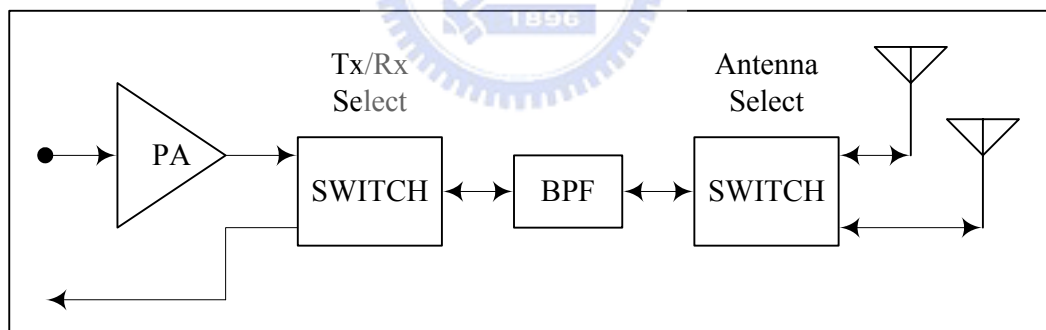


圖2. 射頻前端模組架構

2.2 規格訂定

目前一般的無線網路卡所使用之規格，該規格如 (表 1.) 所示，使用電壓為 3.3VDC，消耗電流最大為 440mA，使用頻段在 2.4GHz ~ 2.484GHz，輸出功率(output power)為 14dBm@54Mbps；18dBm @11Mbps，靈敏度(sensitivity)為 -70dBm@54Mbps；-83dBm @11Mbps。

用此來訂定射頻前端模組的規格，以符合 IEEE802.11b/g 的規範以及市場的趨勢及需求，參照所選用的功率放大器、RF SWITCH、以及目前市面上所使用的 BPF，訂定了如（表 2. ）所示之規格，以此為目標進行研究。之所以訂定 Output Power 為 15dBm@OFDM，只是為了使產品規格有一個緩衝，以免太接近臨界值而不易使用。

表1. 無線網路卡之規格

Draft

WMIR-103GW

54Mbps 802.11b/g Wireless LAN mini-PCI adaptor

The 802.11g mini-PCI adaptor offers an additional option on top of the popularly deployed 802.11b mini-PCI for a higher speed connection to up to 54Mbps. The product, compatible to mini-PCI version 2.2 wirelessize all Notebooks that have a mini-PCI slot for expansion. Moreover, the easy setup instantly turns your Notebook into a wireless station that is able to share printers and files just like a wired network.

General Specifications

Product Name 54Mbps Wireless LAN mini-PCI Adapter	Rx Typical Sensitivity 802.11g: -70 dBm @54Mbps -72 dBm @48Mbps -76 dBm @36Mbps -80 dBm @24Mbps -83 dBm @18Mbps -85 dBm @12Mbps -86 dBm @9Mbps -87 dBm @6Mbps 802.11b: -83 dBm @11Mbps -87 dBm @5.5Mbps -89 dBm @2Mbps -90 dBm @1Mbps
Mode Name WMIR-103GW	Antenna Connectors Hardware diversity support: Transmit and receive on main and auxiliary antenna connectors
Host Interface Ralink RT2560	Security WEP 64/128-bit, TKIP, WPA, 802.11i
Operating Voltage 3.3V±5%	Temperature Range 0~55°C (operating), -20~65°C (storing)
System Current Consumption TX peak: 440mA @3.3 VDC(54Mbps) RX peak: 220mA @3.3 VDC	Operating Range Open Space: 100-300m; Indoor: 30-100m The transmission speed varies in the surrounding environment.
Roaming Full mobility and seamless roaming from cell and across points	Driver Support Windows® XP, Windows® 2000, Windows® ME, Windows® 98SE
LED Indicators No	
Frequency Range 2.4GHz to 2.4835GHz ISM bandwidth	
Media Access Protocol CSMA/CA with ACK	
Number of Channels USA, Canada and Taiwan – 11; Japan – 14 Most European Countries – 13; France – 4	
Data Rate 802.11g: 54, 48, 36, 24, 18, 12, 9, and 6Mbps 802.11b: 11, 5.5, 2, and 1Mbps	
Modulation 802.11g: OFDM 802.11b: CCK, DQPSK, and DBPSK	
Tx Typical Power 802.11g: +14dBm @54Mbps 802.11b: +18dBm @11Mbps	

©Gemtek Technology Inc., All Rights Reserved. This document is for planning purposes only, and is not intended to modify or supplement any specifications or warranties relating to products of Gemtek Technology. Gemtek may make changes to specifications and descriptions at any time, without notice.

資料來源：Gemtek

表2. 射頻前端模組製作前規劃的規格

Parameter	Symbol	Min.	Typ.	Max.	Unit
Bias Voltage	V _c		3.3		V
Reference Voltage	V _{ref}		2.9		V
Frequency	f	2.4	2.45	2.5	GHz
Input Power@OFDM	P _{in}		-10		dBm
Output Power@OFDM	P _{out}		15		dBm
Output Power@CCK	P _{out}		19		dBm
Error Vector Magnitude@OFDM	EVM		< 5		%
Power Gain@OFDM	G _p		25		dB
Total Current	I _c		200		mA
Input Power for 1dB compression	P _{1dB}		20		dBm
Power Detector Voltage Range	V _D	0.12	-	2.84	V
Tx,Rx Port Return Loss	S ₁₁		< -10		dB
Antenna Port Return Loss	S ₂₂		< -10		dB
Rx path Insertion Loss @2.4~2.5GHz			3		dB
Switch Control voltage High	V _{SWH}	3	3.3	3.6	V
Switch Control voltage Low	V _{SWL}	0	-	0.2	V
Switching time max.	T _{SW}		50		nS
Antenna or T/R Port Isolation			22		dB
Attenuation @DC-880MHz		20			dB
Attenuation @880-1250MHz		40			dB
Attenuation @1250-1680MHz		20			dB
Attenuation @1680-1990MHz		40			dB
Attenuation @1990-2170MHz		20			dB
Attenuation @2f ₀ & 3f ₀ MHz		30			dB

2.3 功率放大器

2.3.1 功率放大器規格

功率放大器的選用在此一射頻前端模組上佔了決定性的角色，也是關鍵性組件。由於會使用一個帶通濾波器與兩個射頻開關，所以在輸出上已會有 3dB 的耗損必須考量。因此在選用時必須找 P1dB 及 Gain 夠大者($P1dB > 23 \text{ dBm}$; $\text{Gain} > 25 \text{ dB}$)，才足以符合需求。

在所設計的模組中，所選用的功率放大器其結構為平面摻雜的磷化銦鎵/砷化鎵異質接面雙極性電晶體(InGaP/GaAs HBT)，工作頻率範圍在 2.4GHz 到 2.5GHz，工作電流為 140mA，增益可達 27.5dB，其輸出功率可以達到 22dBm，P1dB 為 26.5dBm，EVM 特性良好，如(表 3.) 所示之規格。

表3. 功率放大器的規格

• Test Conditions : $V_c=3.3V$, $V_{ref}=2.7V$, $T_a=25^\circ C$						
Parameter	Symbol	Test Conditions	Min.	Typ.	Max.	Unit
Bias Voltage	V_c			3.3		V
Reference Voltage	V_{ref}			2.7		V
Frequency	f		2.4	2.45	2.5	GHz
Output Power	Pout	@ Pin=-5dBm		22		dBm
Error Vector Magnitude	EVM	@Pout=19dBm, 64QAM/ 54Mbps		2.5		%
Power Gain	Gp			27.5		dB
Quiescent current	I_Q			80		mA
Total Current	I_c	@Pout=19dBm, 64QAM/ 54Mbps		140		mA
Adjacent Channel Power 1	Padj	@Pout=21dBm, CCK/ 11Mbps		-39		dBc
Adjacent Channel Power 2	Padj	@Pout=21dBm, CCK/ 11Mbps		-60		dBc
Second Harmonics	2f	@Pout=19dBm, 64QAM/54Mbps		-40		dBc
Third Harmonics	3f	@Pout=19dBm, 64QAM/54Mbps		-60		dBc
Input Power for 1 dB compression	P1dB	@ $V_c=3.3V$		26.5		dBm
Power Detector Voltage Range	VDET					V
Input Return Loss	S_{11}	@Pin=-10dBm		13		dB
Output Return Loss	S_{22}	@Pin=-10dBm		12		dB
Power Down						
Vref "ON"				2.7		V
Vref "OFF"				0.2		V

資料來源：Bright

2.3.2 功率元件量測

最常用於功率元件量測的功率輸出量測方法為負載拉移量測 (load-pull measurement)，一般用來量測元件的大信號輸出表現。像是輸出功率 (Output power)、傳輸功率增益 (Transducer power gain)、附加功率效率 (Power added efficiency) 以及雙調信號分析 (Two-tone signal analysis) 之線性度 IM3、IP3。功率放大器在大信號工作時，元件的最佳負載阻抗會隨著輸入信號功率的增加而跟著改變。因此，必須要量測不同的輸入功率位準，並且在每給定一輸入功率時繪製不同負載阻抗的等輸出功率曲線 (Constant power contour) 於史密斯圖 (Smith-chart)，幫助我們找出最大輸出功率時的最佳負載阻抗。這種量測方法稱之為 Load-pull。

(圖 3.) 是一般的 Load pull 量測系統的示意圖。輸入與輸出阻抗調諧器 (Input tuner、Output tuner)，方向耦合器 (Directional coupler)，衰減器 (Attenuator) 等組件，在量測前都必須先作校準 (Calibration)。量測時先將輸入端的 Tuner 固定在某一阻抗，然後變動輸出端 Tuner 的位置以得到最大輸出功率的輸出端負載阻抗。再將輸出端 Tuner 固定在此阻抗位置去變動輸入端 Tuner 以得到更大的輸出功率；這個步驟就是一般所謂的 Source-pull 測量。然後找出在達到最大輸出功率時的最佳輸入阻抗之位置並固定之，並繼續重複 Load-pull 測量的步驟。在經過來回地不停地重複調整過程後，最後就能夠找出最佳輸入與輸出阻抗的位置。Load-pull 量測最重要的目的便是找出最佳負載阻抗 (Optimum load impedance) 使功率元件在一給定輸入功率下有最大的功率輸出。在 Load-pull 量測系統尚未出現以前，工業界一般都採用負載線理論來設計功率放大器。然而這種方法極依賴設計者的經驗。Load-pull 量測可以得到精確的有關功率元件的各種信息，包括元件的大信號輸出表現，元件的最佳負載阻抗等等。因而簡化了功率放大器的設計。

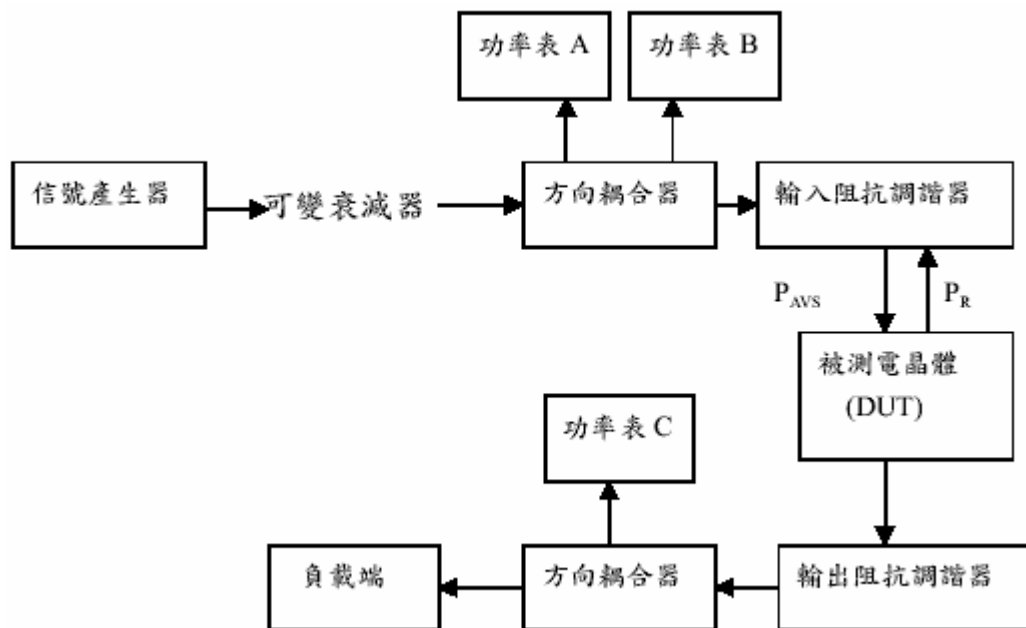


圖3. Load pull 量測系統示意圖

資料來源：Bright

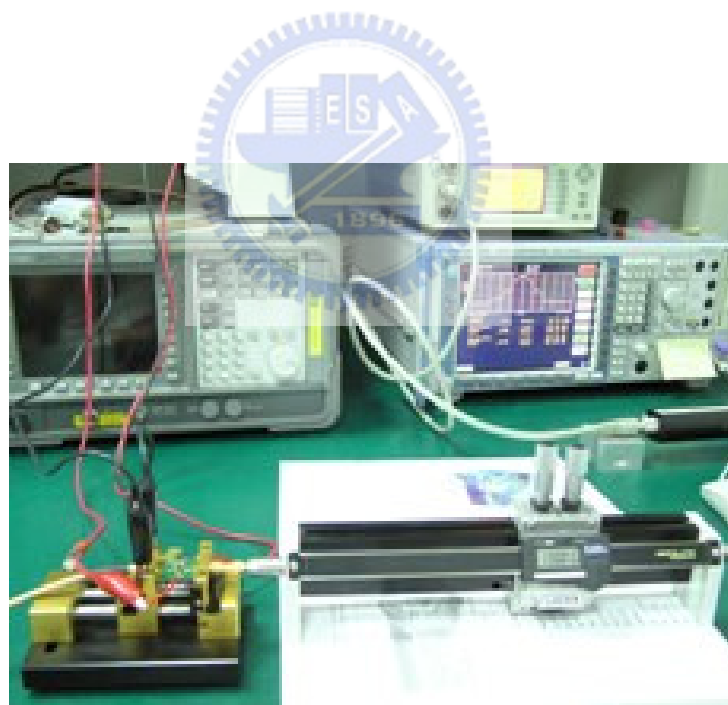


圖4. 使用 Load Pull 測試 Zopt 與線性度

資料來源：Bright

2.3.3 功率放大器匹配電路設計

功率放大器一般而言最重要的是功率輸出，其次才是增益。為了縮小整個模組的體積，使用裸晶(bare die)才可能有效節省空間(package size: 3.0 mm x 3.0 mm; die size: 0.892 mm x 0.978 mm)，因此先將裸晶以表面黏著及鏢線的方式置放在 FR4 印刷電路板上以便測試，並取得最佳輸出匹配阻抗(Z_{opt})以及其小訊號 S 參數(S_{11})。以此，才能使用射頻與微波設計套裝軟體 Microwave Office 模擬適當的匹配電路(PA input matching circuit & output matching circuit)。在此依據 Bright 公司所提供的 $Z_{opt}=6+j0.7$ ； $S_{11}=10-j9$ ，使用網路分析儀、頻譜分析儀以及相關測試治具驗證。

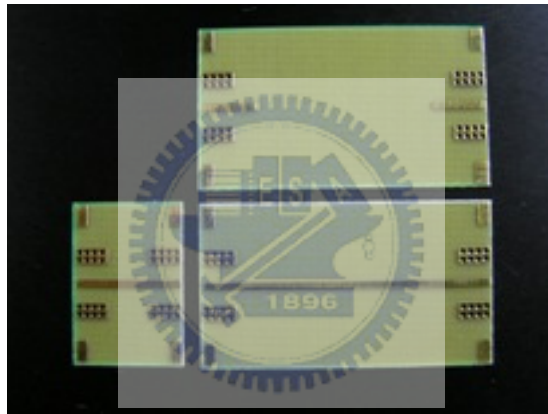


圖5. TRL Calibration Kit

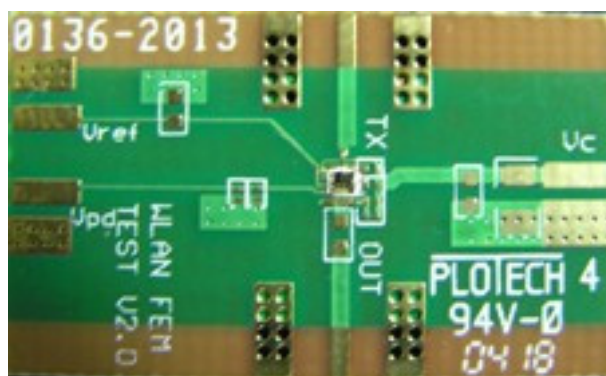


圖6. PA die with FR4 PCB

使用 TRL calibration kit 將待測物校正到鏢線點之處，以利量測相關參數。



圖7. 測試夾具與 TRL Calibration Kit

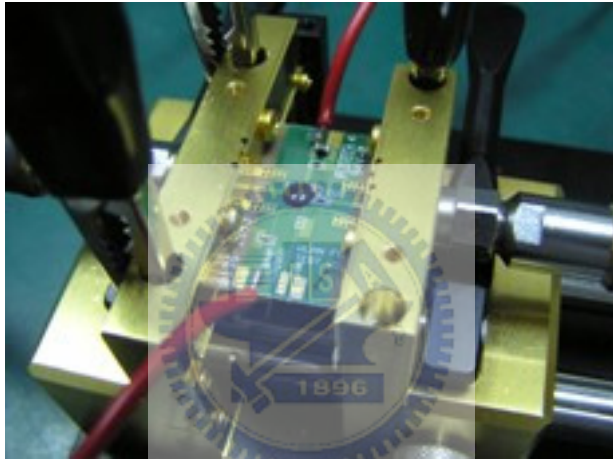


圖8. PA 測試

2.3.4 功率放大器匹配電路模擬與量測

為了將 Z_{opt} 以及 S_{11} 匹配到頻率為 2.45GHz 的 50Ω 位置，使用 Microwave Office 模擬輸入匹配電路（圖 9.）以及輸出匹配電路（圖 11.），其模擬結果如（圖 10.）與（圖 12.）。再用印刷電路板以及 0402 之電感、電容製作匹配電路（圖 13.），並量測其 S 參數資料，以便模擬比較。由（圖 14.）及（圖 15.）可知，實際的被動元件會有損耗以及焊接點長度的誤差，經由校正補償後即可達到所需的 50 歐姆位置。最後再與裸晶串接驗證其匹配電路之準確性，以確保輸入阻抗 S_{11} 參數在 50 歐姆的阻抗位置，以及可取得最大的輸出功率。

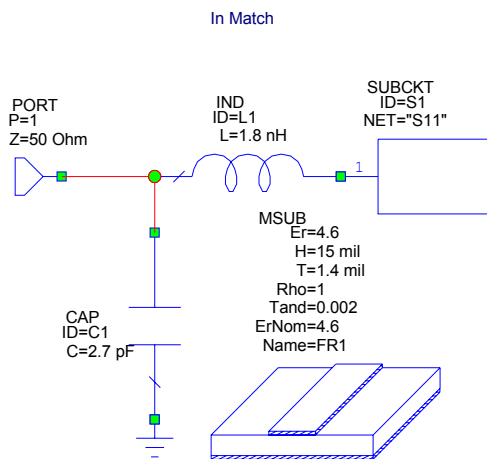


圖9. PA 輸入端匹配電路圖

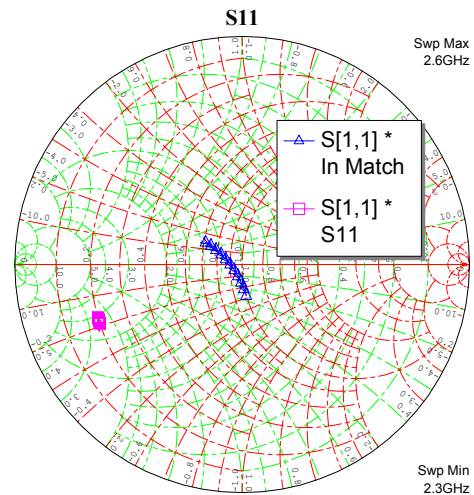


圖10. PA 輸入端匹配模擬結果

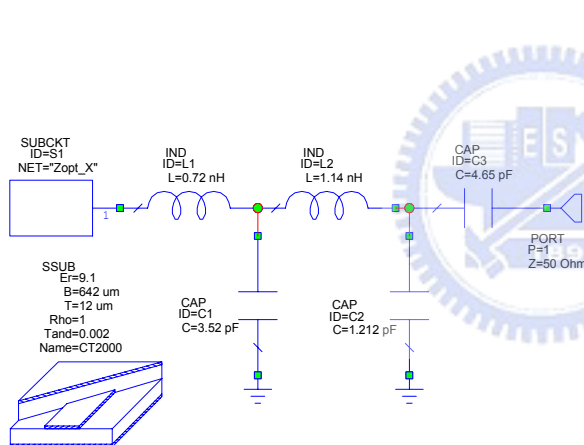


圖11. PA 輸出端匹配電路圖

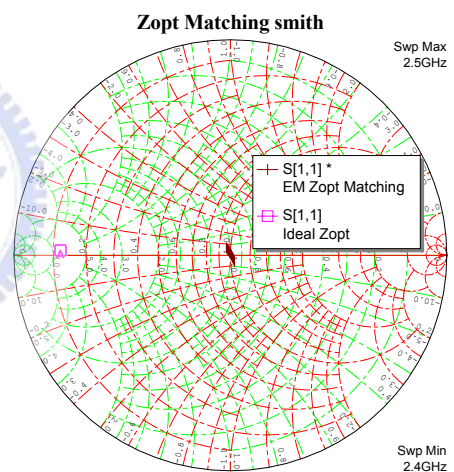


圖12. PA 輸出端匹配模擬結果

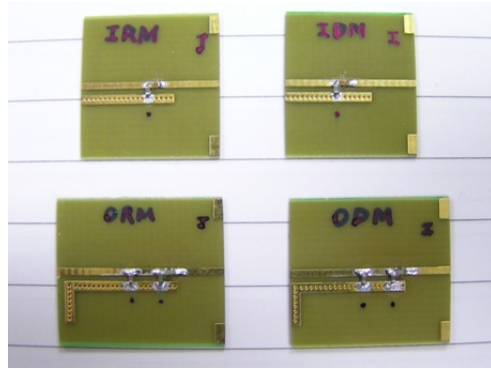


圖13. PA 輸入、輸出匹配電路實做

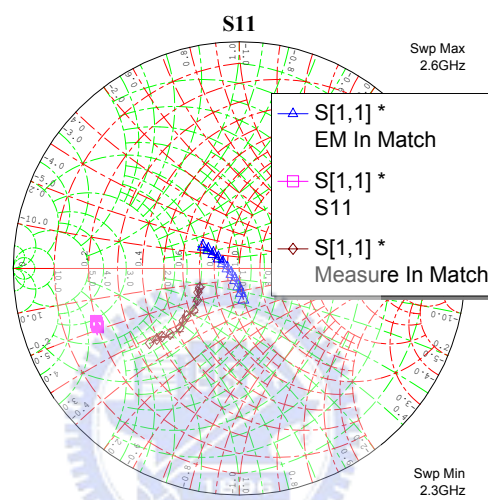


圖14. PA 輸入端匹配電路模擬與實做量測結果

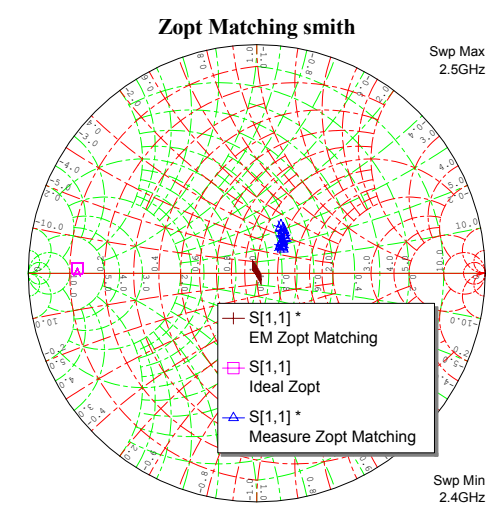


圖15. PA 輸出端匹配電路模擬與實做量測結果

關於功率放大器電源輸入部份，針對要阻隔的 2.45GHz 頻段使用並聯諧振電路（圖 16. ），使得直流電源可以通過以供給 PA 電源，並且射頻信號不會因此路徑而耗損能源。計算電感值，假設電容值 $C = 1\text{pF}$ ，使用公式

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

可得 $L = 4.22\text{nH}$ ，在史密斯圖上可得到一個接近開路的值，如（圖 17. ）所示，該圖形在史密斯圖的右方。試著模擬連接 PA 以及其輸出匹配電路的狀態（圖 18. ），從該連接點的位置可以看到實部阻抗有 30Ω 些微的變小。

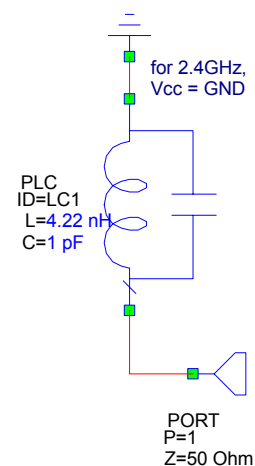


圖16. RF Choke 線路圖

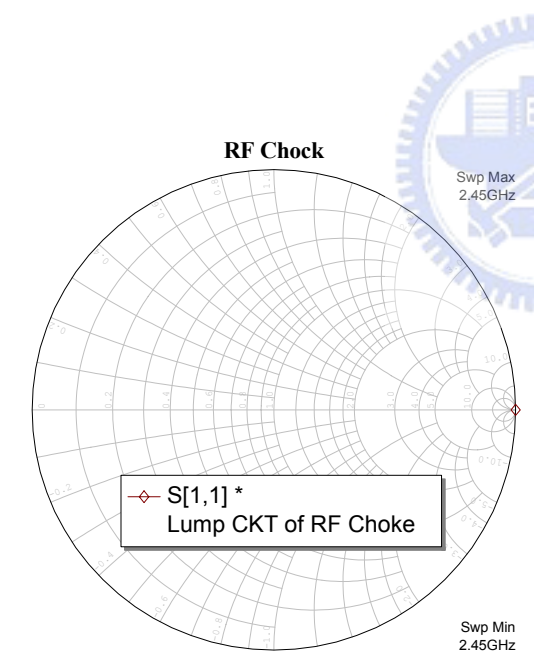


圖17. RF Choke 在史密斯圖上的位置

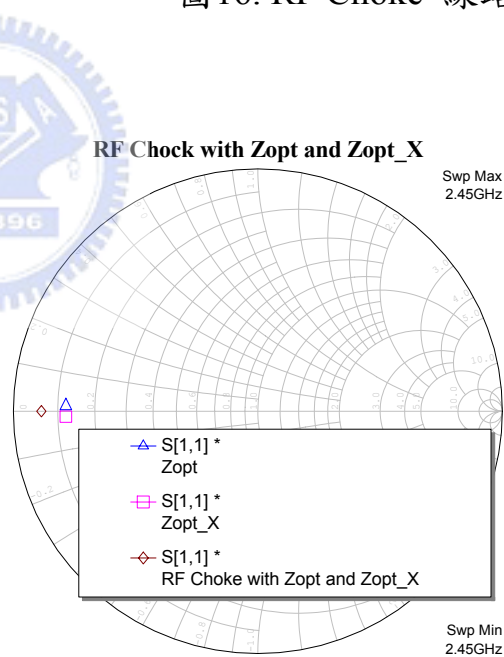


圖18. RF Choke 與 Zopt 及 Zopt*相接的結果

2.4 射頻開關

2.4.1 射頻開關規格

射頻開關的功能在於選擇發射／接收功能，以及天線分集功能，（圖 19.）為其方塊圖。因為使用的頻段在 2.4GHz~2.5GHz，因此在插入損失(Insertion Loss)、阻絕性(Isolation)以及開關切換時間兩個項目必須注意，由規格（表 4.）知該元件的插入損失最大為 0.6dB，相對的在此會用到兩個射頻開關，因此最大會有的 1.2dB 耗損。

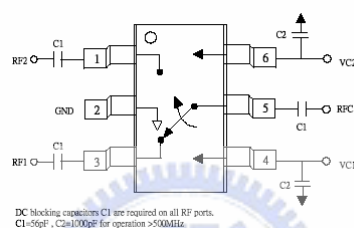


圖19. RF SWITCH 方塊圖

資料來源：Bright

表4. 射頻開關規格

■ Electrical Specifications at 25°C with 0, +3V Control Voltages

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Insertion Loss	Input Power +25dBm DC-1.0GHz	-	0.3	0.4	dB
	1.0-2.0GHz	-	0.4	0.5	dB
	2.0-3.0GHz	-	0.4	0.6	dB
Isolation	Input Power +25dBm DC-1.0GHz	24	26	-	dB
	1.0-2.0GHz	22	24	-	dB
	2.0-3.0GHz	21	23	-	dB
VSWR	DC-1.0GHz	-	1.2	1.4	-
	1.0-2.0GHz	-	1.2	1.4	-
	2.0-3.0GHz	-	1.5	1.6	-
Input Power for 1 dB compression	2.5GHz	-	30	-	dBm
Second Harmonics	f=2.5GHz, P _{in} =25dBm	-	-75	-	dBc
Third Harmonics	f=2.5GHz, P _{in} =25dBm	-	-80	-	dBc
Intermodulation Intercept Point (IIP3)	For two tones (f=2.5GHz, 2.501GHz) @ Input power +20dBm	-	55	-	dBm
Switch Time		-	50	-	ns
Control Current	Input Power +25dBm	-	4	100	μA

資料來源：Bright

2.4.2 射頻開關設計

當初在規劃這一顆射頻前端模組時，考量到為了節省 LTCC 的空間，只使用一個帶通濾波器作為發射與接收共通使用的濾波器設計，因此帶通濾波器的兩端正好接著此兩個射頻開關的每一個共同端，而其中一顆射頻發射接收開關（RF T/R Switch）的一端接發射端，一端接接收端；另一顆天線分集開關（Antenna Diversity Switch）則接到天線的埠（Port）。特別需注意的是，此種開關本身是由直流（DC）準位的改變來決定開關切換的位置，而該直流準位會在其射頻訊號的接腳量測到，因此為了避免直流電下地以及前後級串接影響，在射頻訊號的接腳必須有直流阻絕電路（DC Block），使用一串接電容即可。

2.4.3 射頻開關量測

經由網路分析儀量測結果如（圖 20.）可得到此顆射頻開關在” ON ”的狀態下，插入損失為 $0.5\text{dB}@2.5\text{GHz}$ ，在” OFF”的狀態下，Isolation 為 $27\text{dB}@2.5\text{GHz}$ 。

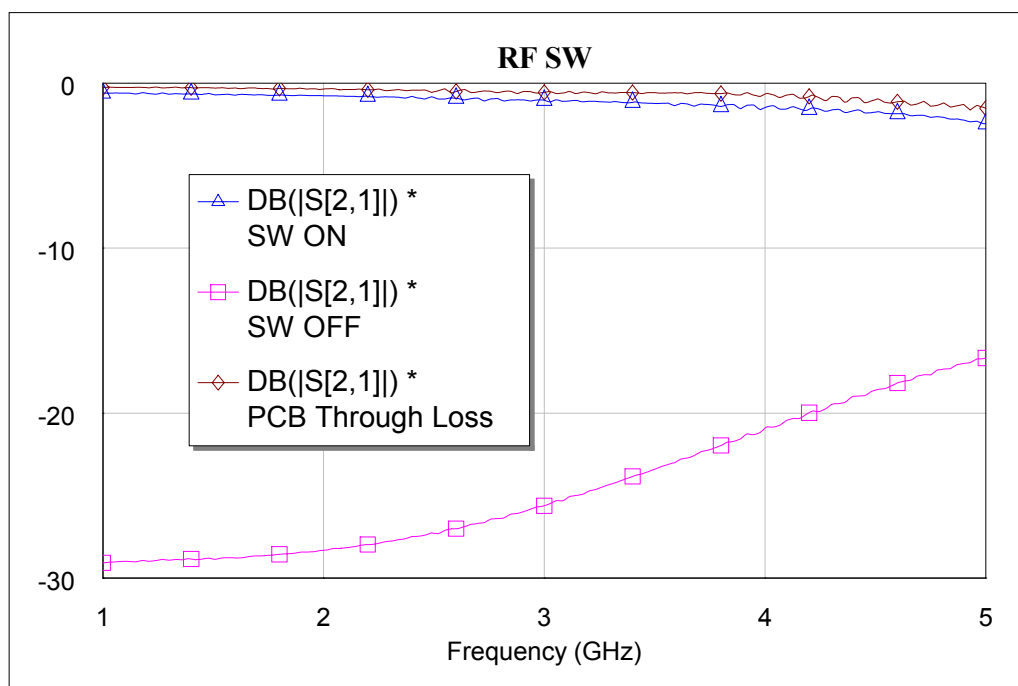


圖20. 射頻開關量測結果

2.5 帶通濾波器

2.5.1 帶通濾波器規格

為了達到 1.9GHz 能夠抑制 30dB；2.1GHz 能夠抑制 25dB；4.8GHz 能夠抑制 20dB，因此考慮使用三階帶通濾波器的方式來設計該元件。以期達到所需之效能，如（表 5. ）。此外由於使用三階的設計，因此在耗損上可能會接近 2dB。

2.5.2 帶通濾波器設計

利用低溫共燒陶瓷的製程來實現三階帶通濾波器，使用的參數如下：介電常數為 9.1，介質損耗為 0.002，介質層厚為 35 μm 或 70 μm 兩種。預定設計中心頻率為 2.45GHz，比例頻寬為 15%以上，並設計傳輸零點在通帶外側的低頻處，以便作為射頻前端接收應用時，抑制其餘電路產生的諧波，或降低其它通訊系統的干擾，並在倍頻處有一定的衰減量。

有整體電路的集總元件電路如（圖 21. ）所示。在電路設計上採取對稱的方式，即第一個共振腔和第三個共振腔相同，且共振腔之間的耦合電容 C12、C32 值是相同的，其共振腔的共振頻率設計在中心頻率 2.45GHz，並利用跨接耦合電容 C13 來控制低頻的零點。由於系統需求必須在帶通濾波器之輸入及輸出加上直流阻斷電容，因此，將此電容 C11、C22 直接設計於帶通濾波器內，以節省需額外加的電容元件。

2.5.3 帶通濾波器模擬

如（圖 22. ）為經過微調後的頻率響應圖，所設計的 2.1GHz 衰減量為 40dB，倍頻 4.8GHz 為 28dB，在此必須得到遠比所需規格要好的

特性，以利往後的積層電路設計及製程的誤差。

表5. 帶通濾波器規劃的規格

Item		min	typ	max
PASS BAND INSERTION LOSS			1.5	1.8
PASS BAND RIPPLE			0.6	0.8
PASS BAND RETURN LOSS		9.6	11	
STOP—BAND ATTENUATION	at DC to 880MHz	50	55	
	at 880~960MHz	45	50	
	at 960~1990MHz	40	45	
	at 1990~2100MHz	25	30	
	at 2100~2170MHz	20	25	
	at 3000~3200MHz	15	20	
	at 3200~3500MHz	20	25	
	at 3500~4900MHz	20	21	
	at 5900~6800MHz	20	21	

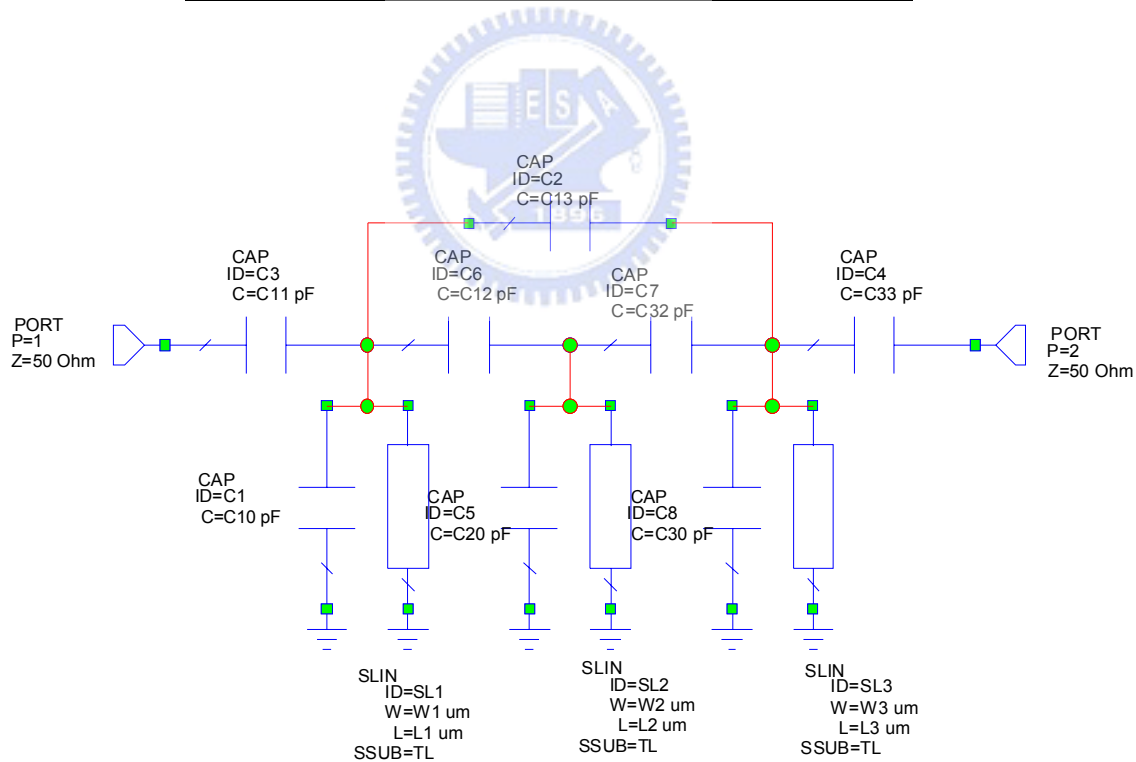


圖21. 三階帶通濾波器

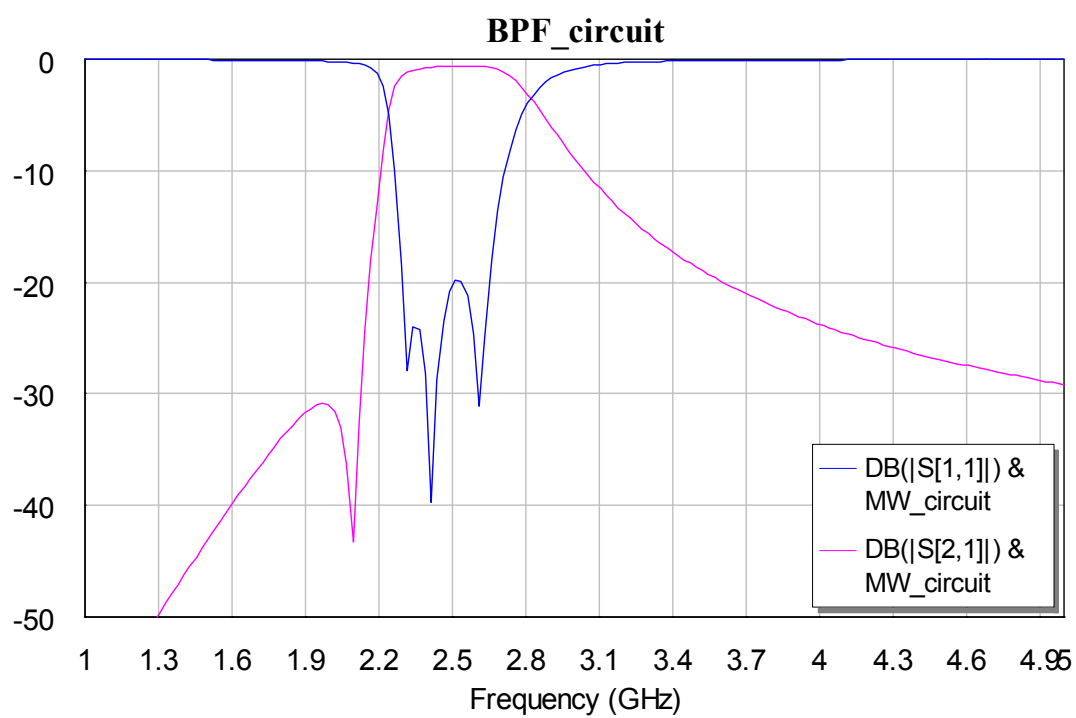


圖22. 三階帶通濾波器 EM 模擬結果

第三章、射頻前端模組設計

3.1 前言

本章將提出完整的電路圖以及各集總元件的 LTCC 模擬與射頻前端模組 (FEM) 的詳細規劃，經由前一章所模擬之結果與架構，加以設計與轉換到 LTCC 射頻前端模組的內部電路，以實現製作。

3.2 射頻前端模組設計

電路圖如 (圖 25.) 所示，置放於 LTCC 上端的主動元件數量為三顆 (UT1, UT2, UT3)，被動元件數量為五顆～一顆電感 (LT1)，四顆電容 (CT1, CT2, CT3, CT4)。埋設在 LTCC 內部主要有射頻阻斷電源電路 (RF Choke) (Cm2, Lm2)、功率放大器輸入匹配電路 (Lm1, Cm1)、功率放大器輸出匹配電路 (Lm3, Lm4, Lm5, Cm3, Cm4)、帶通濾波器 (BPF) 等相當於二十顆被動元件的數量。若是以 0402 的零件擺滿平面，也需要佔用 10mm^2 的面積。而其他被動元件 (CB1, CB2, CB3, CB4, CB5, CB6, CB7, RB1) 與所設計的 FEM 同樣置放在 FR4 的基板上，如果天線是沒有接地的型式，則 CB6, CB7 亦不需要。

3.2.1 尺寸、各層面與接腳規劃

在尺寸上，想要以 $5.4\text{ mm} \times 4.0\text{ mm} \times 1.0\text{ mm}$ 的三維體積大小來完成此 LTCC 射頻前端模組，因此在 LTCC 的尺寸規劃上，高度只能到 0.8mm ，以留 0.2mm 作為 LTCC 上方元件置放及封裝之空間，如表所示。考量到成本的消耗，還特地將原本的十六層料片縮減為十三層料片設計，此外特意將厚度較薄的料片 ($35\mu\text{m}$) 六層置放在上面接近元

件、兩層置放在下面接近焊接面，以及厚度較厚的料片(70um)置放在中間是為了搭配濾波器以及輸入輸出阻抗的設計。使得功率放大器裸晶的輸入端能很快的接觸到 PCB 的電路，功率放大器裸晶的輸出端能容易地銲線到匹配電路上，而帶通濾波器能夠被上下層接地(GND)保護包圍著不受外界電路影響。此外，接地的效應對射頻元件影響非常地大，因此必須特別地規劃幾處接地的位置。LTCC 各層規劃如（表 6. ）。

在考量此一 RF Front End Module 的接腳上，同時須考量到各集總元件的適當位置以及使用者選用此一 FEM 時的便利性，即對於晶片組接腳的順序考量。最後決定以（圖 24. ）之方式，以期達到兼顧的需求。

3.2.2 表面走線與內部佈線設計

表面走線與銲線點的規劃如（圖 26. ）所示，設計上儘可能地讓走線短少，讓需要銲線的點也就近規劃以避免不必要的干擾，須特別注意不可讓銲線打結。最後才將校正後之匹配電路模型以 LTCC 為基材設計輸入匹配電路（圖 28. ）及輸出匹配電路（圖 29. ）。並設計射頻阻斷電源電路（RF Choke）（圖 30. ）、接收路徑（圖 31. ）、以及帶通濾波器（圖 32. ）。由於接地的效應對射頻元件影響非常地大，並且功率放大器本身工作會有熱效應產生，因此在功率放大器的正下方，全部使用金屬柱（Via hole）接地以提供給功率放大器接地並兼作為散熱之用（圖 33. ）。功率放大器的輸入匹配電路因為該容質與感值都不是很大，因此在佈局上需要特別的注意接地位置以及該效應的影響，以免稍微的製程上的變動導致匹配走樣。功率放大器的輸出匹配電路，在設計上也必須考量到 RF Choke 的影響。在模組設計中，所剩餘提供給帶通濾波器的尺寸大小為 3.400 mm x 1.200 mm x 0.750 mm，大致的積層電路設計理念是將電容組與傳輸線分開，如（圖 32. ）所示，之間用地將兩者做上下隔離，如此可減少相互耦合的機會，以利設計上的便利。由於濾波器輸入及輸出埠均在模組的表面與射頻開關(RF Switch)連接，因此需將直流阻斷(DC Block)電容 C11、C22 用貫

孔 (Via) 連結至模組表面，並將電容組設計在上方以節省貫孔連結的數目。此外，以往在使用側面電極上，只有與內部佈局的一條走線相連接。一但斷開則損毀完全無法再使用。而在底部設計 PAD 的方式，若是焊接不平整或是每個 PAD 吃錫量有多有少，則可能造成空焊。所測的特性都不會準確，因此在考慮使用側面電極以及底部 PAD 兩種方法之間，做了一個重要的決定，即是兩種方式同時使用，讓 FEM 所有接腳呈現 L 形狀，並且讓每層料片以金屬貫孔在邊緣銜接之外，該層金屬也延伸到側面電極部分以增加側面電極強度，如(圖 23.)。在應用上 SMD 元件主要是下方吃錫，並使側面可以爬錫，這樣的接觸會比較好，且可以提升產品製程的良率。缺點上則是由於貫孔數量增加，FEM 的製作成本也會比較高。

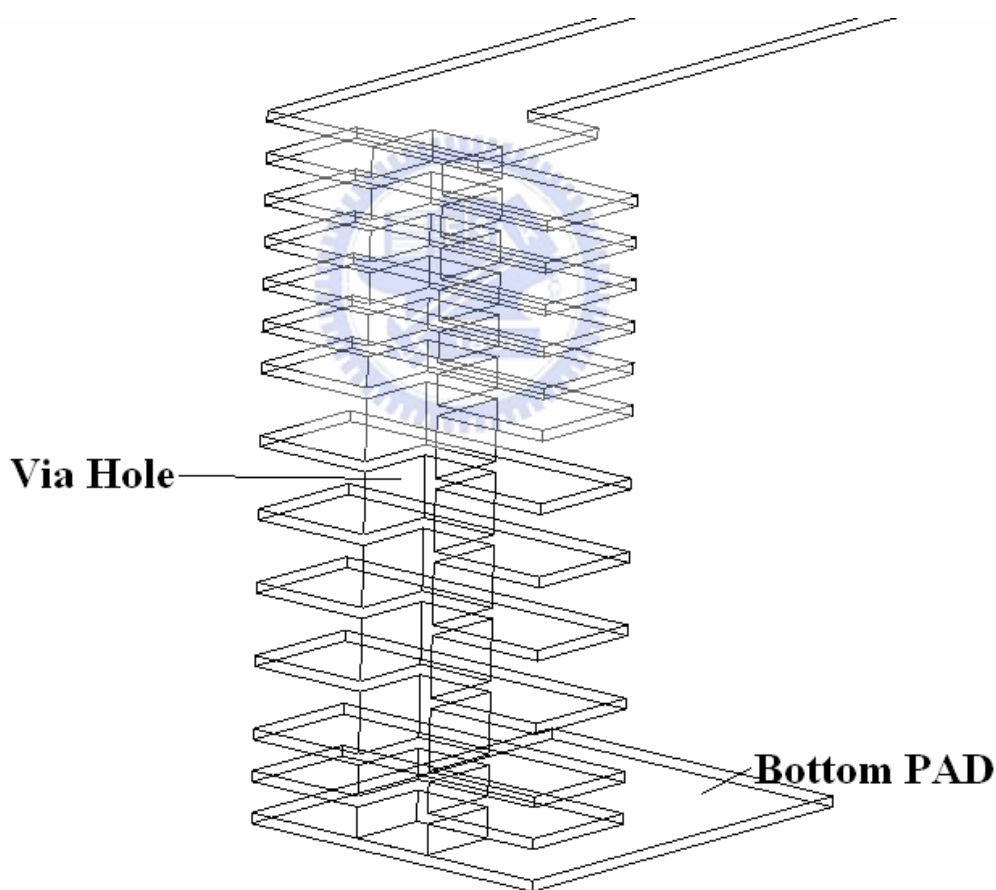


圖23. 側面電極的設計規劃

3.3 模擬與結果

模擬的軟體是利用 Ansoft 公司所研發的三維電磁軟體 HFSS，各電路模擬的結果說明如下。

輸入匹配電路主要使用四層 LTCC 料片，所佔體積空間為 1.615 mm x 0.51 mm x 0.798 mm，利用下地電容之上端佈局電感，用以減少電感中的下地電容效應。經由 HFSS 模擬的結果如（圖 34.）所示，其匹配電路在 $f=2.4\text{GHz}\sim 2.5\text{GHz}$ 的頻段， $S_{11} < -24\text{ dB}$ 。以史密斯圖來看已接近（1,0）的位置。

輸出匹配電路主要使用十一層 LTCC 料片，所佔體積空間為 2.19 mm x 1.38 mm x 0.798 mm，將下地電容的位置設計在下方，並將串接的電容及電感設計在上方，經由 HFSS 模擬的結果如（圖 35.）所示，其匹配電路在 $f=2.4\text{GHz}\sim 2.5\text{GHz}$ 的頻段， $S_{22} < -26\text{ dB}$ 。以史密斯圖來看已接近（1,0）的位置。

RF Choke 在佈局的位置上，一方面要考量到電源的埠（Port）以及鏢線的 Port 便於連結，一方面也必須考量內部佈局與接地的距離，因此在規劃上靠近電源端可以有電容，靠近 PA 鏢線點的位置電容值儘可能地小，以使 RF 訊號在鏢線點的位置所看到的值儘可能的是一個開路，以減少能量的耗損，所以儘可能地讓電源包覆著電感佈局。主要使用七層 LTCC 料片，所佔體積空間為 1.29 mm x 1.52 mm x 0.798 mm，經由 HFSS 模擬的結果如（圖 36.）及（圖 37.）所示，RF Choke 電路兩端的 Port 在 $f=2.4\text{GHz}\sim 2.5\text{GHz}$ 的頻段所模擬的 Isolation 可達 85 dB。從鏢線的 Port 端看入的 Return Loss 為 2.38 ~ 2.42 dB，代表著只會有極少部分的能量會經由 RF Choke 耗損。

Rx Trace 在佈局上，主要是將 RF Switch 的 Port 能夠拉到接收的 PAD 上，因此越少耗損越好。在模擬時，發現周圍與上下的接地，Trace 會受其影響，規劃上只能盡量在中間儘可能地遠離接地的作用。經由 HFSS 模擬的結果如（圖 38.）及（圖 39.）所示，Return Loss $< -29\text{ dB}$ ，Insertion Loss $< 0.06\text{ dB}$ 。

BPF 模擬的結果如（圖 40.）所示，設計的中心頻率為 2.45GHz，

通帶內最大輸入損耗約為 1.9dB，將傳輸零點設計於 2.04GHz 處，衰減量約為 35dB，所需的 2.1GHz 亦有 29dB 的衰減量，頻率在 4.8GHz 處，衰減量約為 27dB。此模擬的通帶內損耗一直無法提升的原因主要在於元件高度的限制，導致傳輸線的損耗變大。

表6. LTCC 各層規劃

項目	金屬層	料片	厚度 um	各區層數
	RL01		12	6
		RV01	35	
	RL02		12	
		RV02	35	
	RL03		12	
		RV03	35	
	RL04		12	
		RV04	35	
	RL05		12	
		RV05	35	
	RL06		12	
		RV06	35	
	RL07		12	5
		RV07	70	
	RL08		12	
		RV08	70	
	RL09		12	
		RV09	70	
	RL10		12	
		RV10	70	
	RL11		12	
		RV11	70	
	RL12		12	2
		RV12	35	
	RL13		12	
		RV13	35	
金屬底層	RL13B		12	
Total			798	

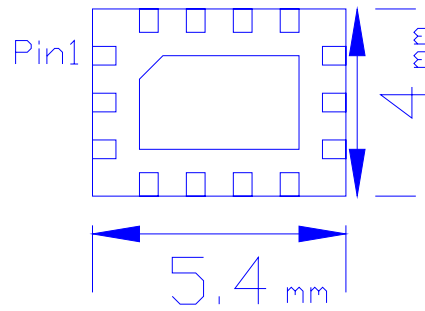


圖24. 所設計規劃的 FEM 接腳

表7. FEM 接腳的規劃安排與定義敘述

Pin No.	Pin Name	Description
1	Tx in	RF in for the FEM
2	GND	General Ground, suggest RF Ground
3	Rx	RF out for FEM, Receive port for Chipset
4	Vref	Bias current control voltage for the first/second stage.
5	GND	General Ground, suggest RF Ground
6	Tx_En	Transmitt Enable, Hi="3.0V", Pin12 Rx_En must be "0V"
7	ANT1_En	Antenna port 1 Enable, Hi="3.0V", Pin11 ANT2_En must be "0V"
8	ANT2	Antenna port 2
9	GND	General Ground, suggest RF Ground
10	ANT1	Antenna port 1
11	ANT2_En	Antenna port 2 Enable, Hi="3.0V", Pin7 ANT2_En must be "0V"
12	Rx_En	Receive Enable, Hi="3.0V", Pin6 Tx_En must be "0V"
13	PD	Power detector output voltage.
14	Vcc	Supply voltage for bias reference and control circuit. This pin can be combined with both VC1 and VC2 pins, resulting in a single supply voltage (referred to as Vc).
Center Groung	GND	Both DC and RF Ground as well as heat sink for the power amplifier

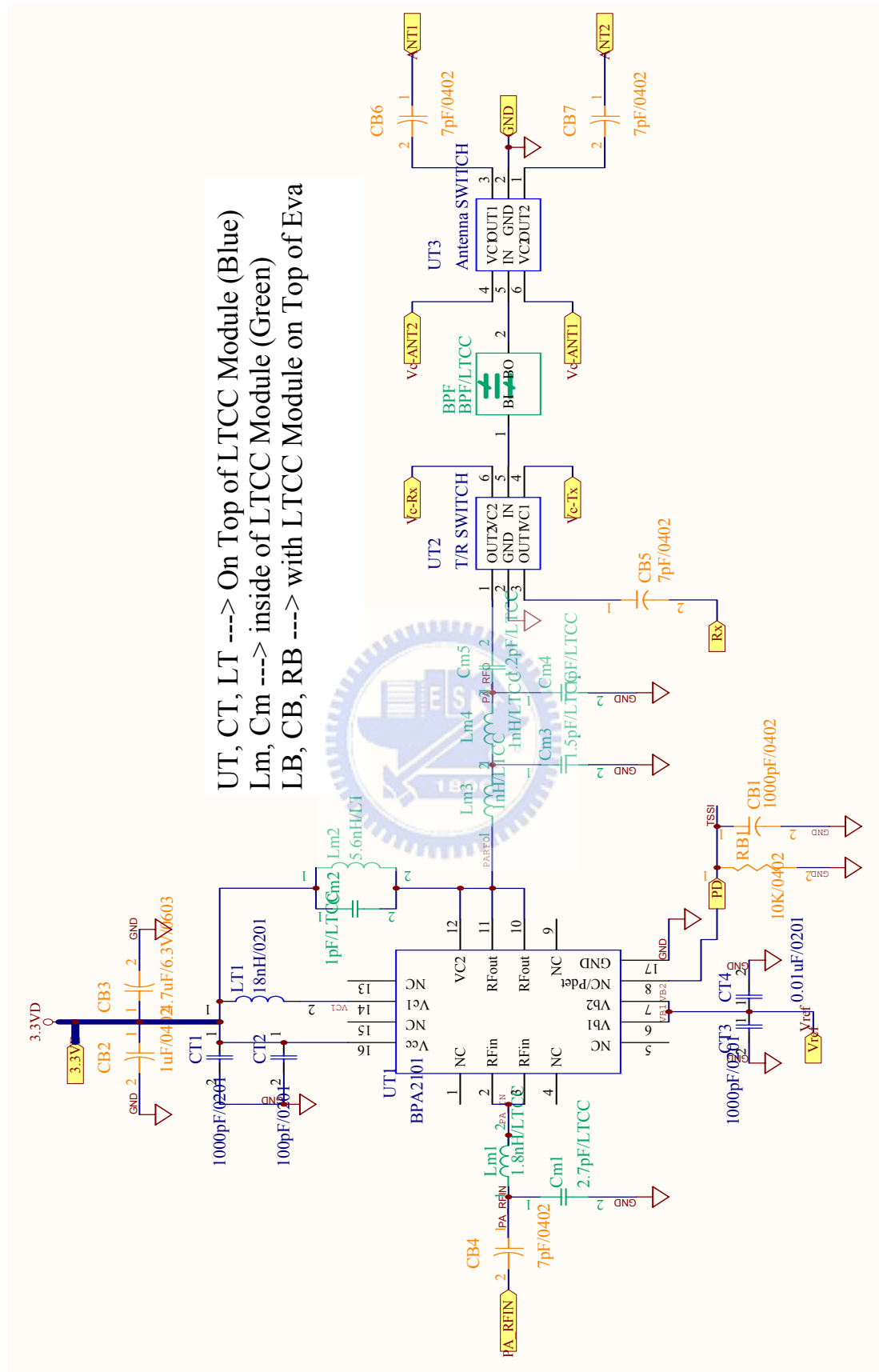


圖25. 射頻前端模組電路圖

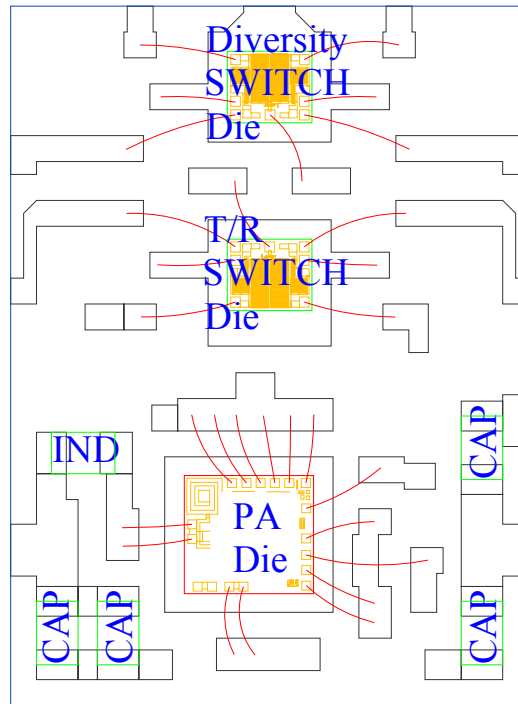


圖26. FEM 的表面佈局示意圖

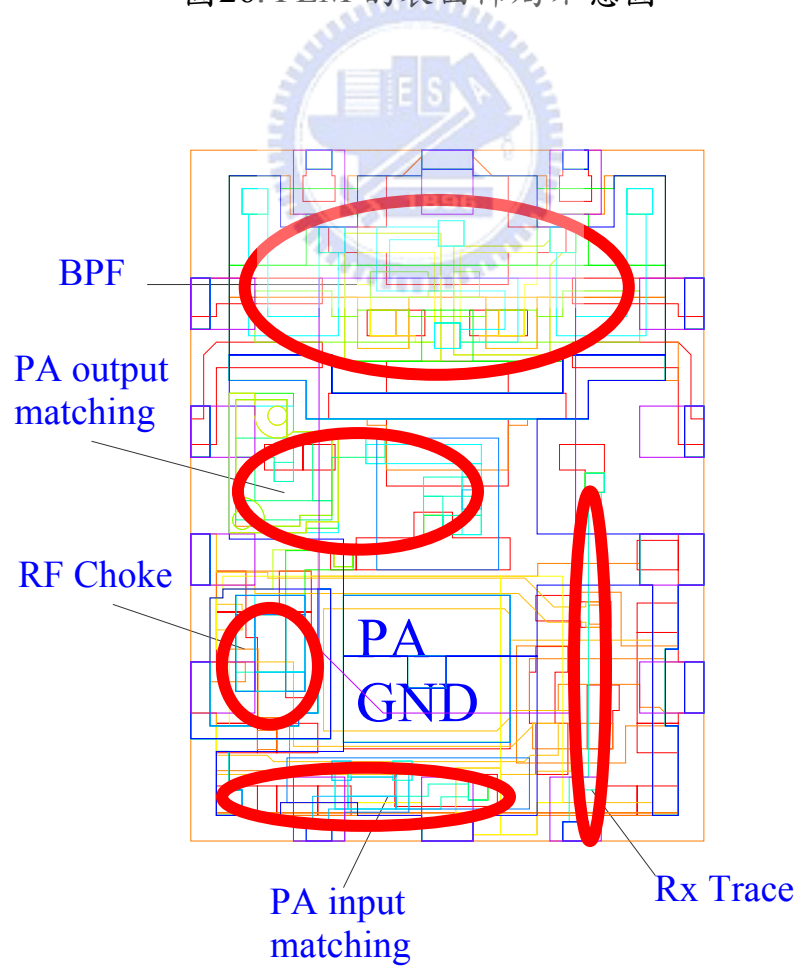


圖27. FEM 的內部佈局示意圖

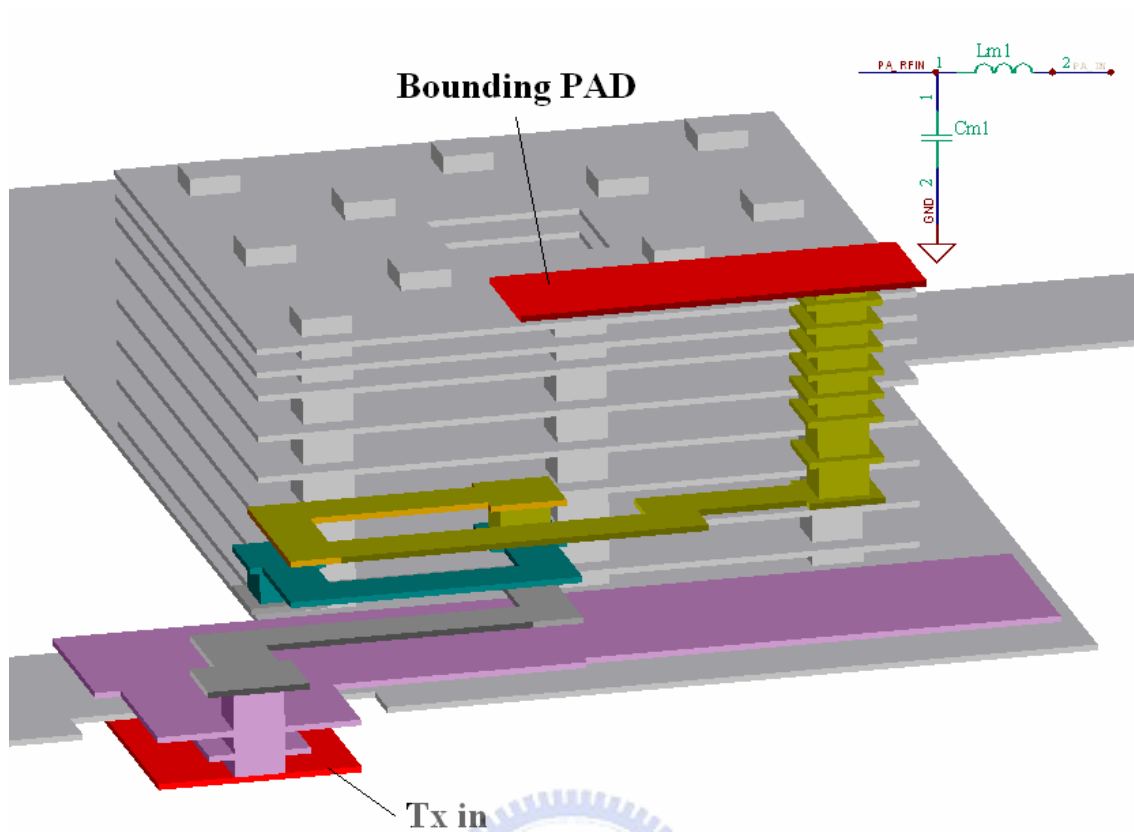


圖28. 功率放大器的輸入阻抗匹配佈局圖

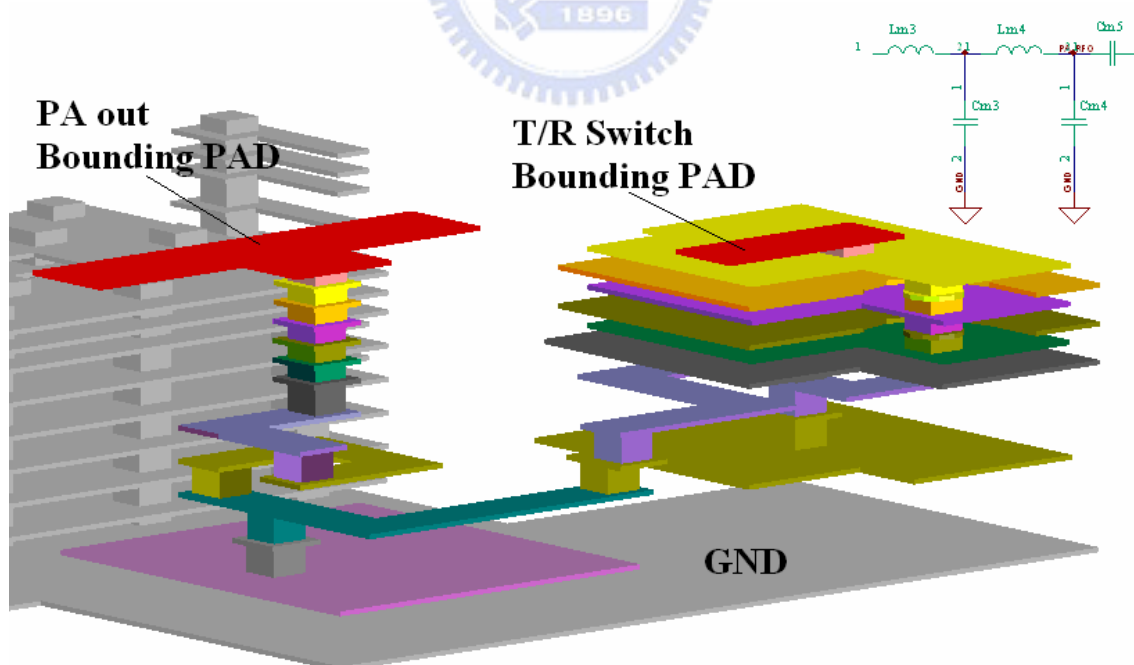


圖29. FEM 的功率放大器輸出阻抗匹配佈局圖

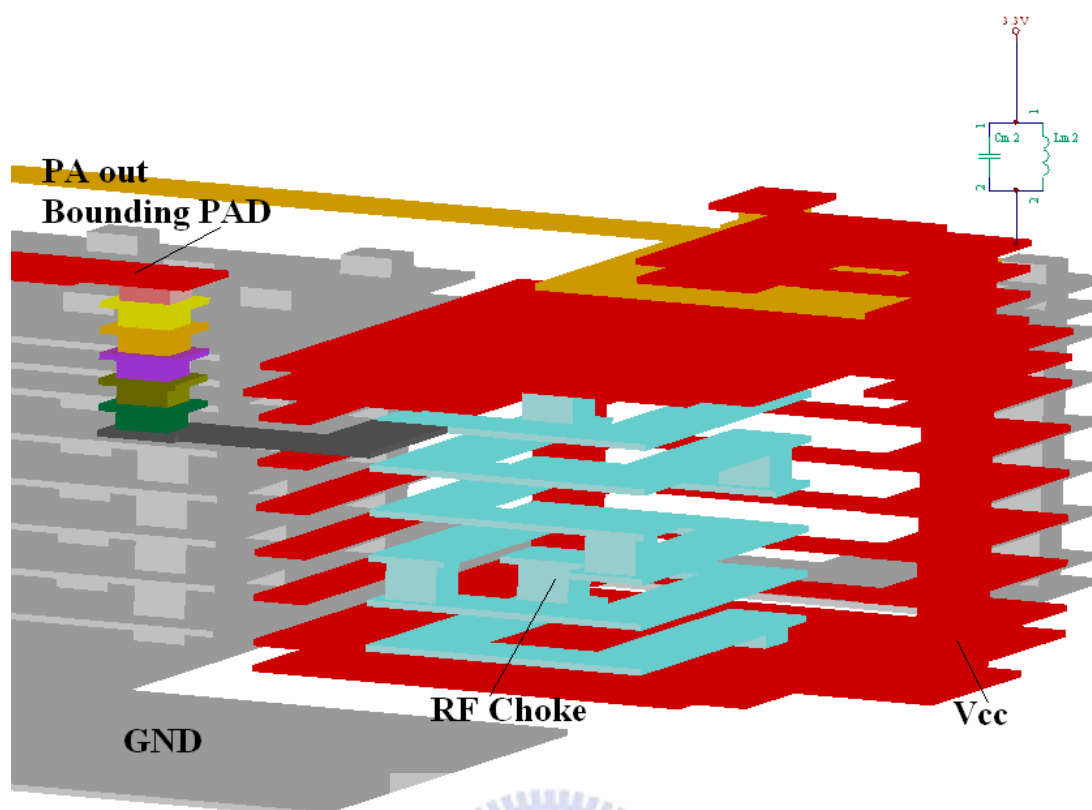


圖30. FEM 的 RF Choke 佈局圖

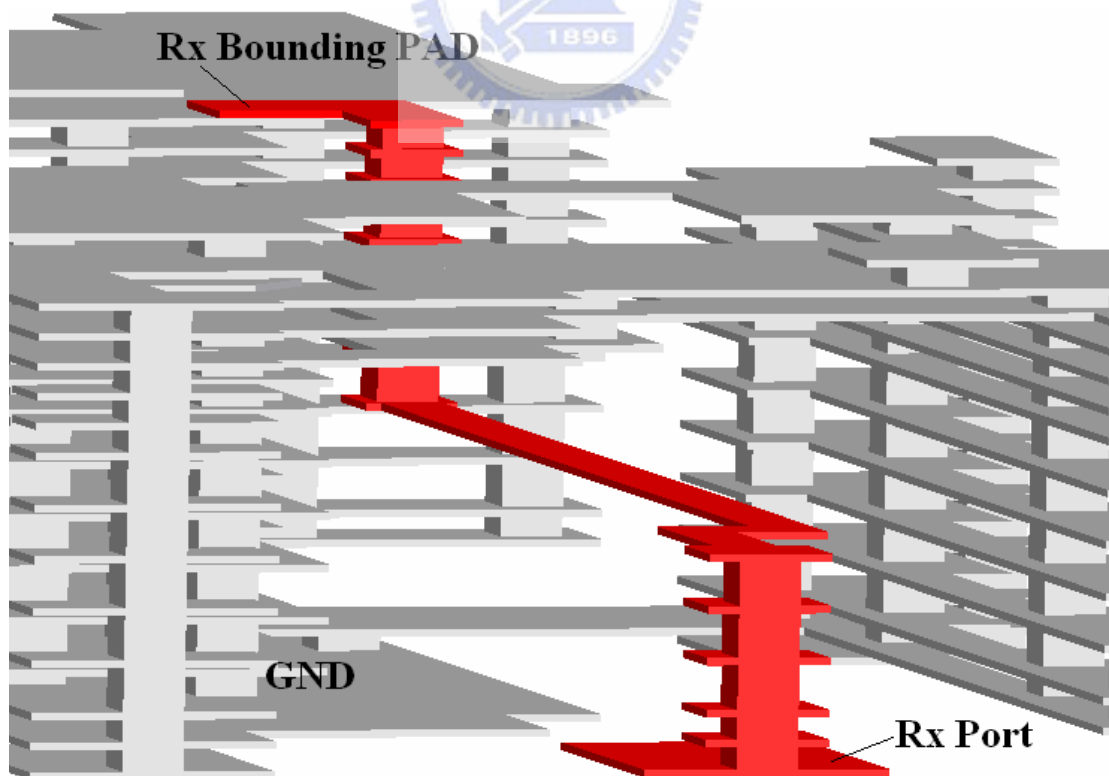


圖31. FEM 的 Rx Trace 佈局圖

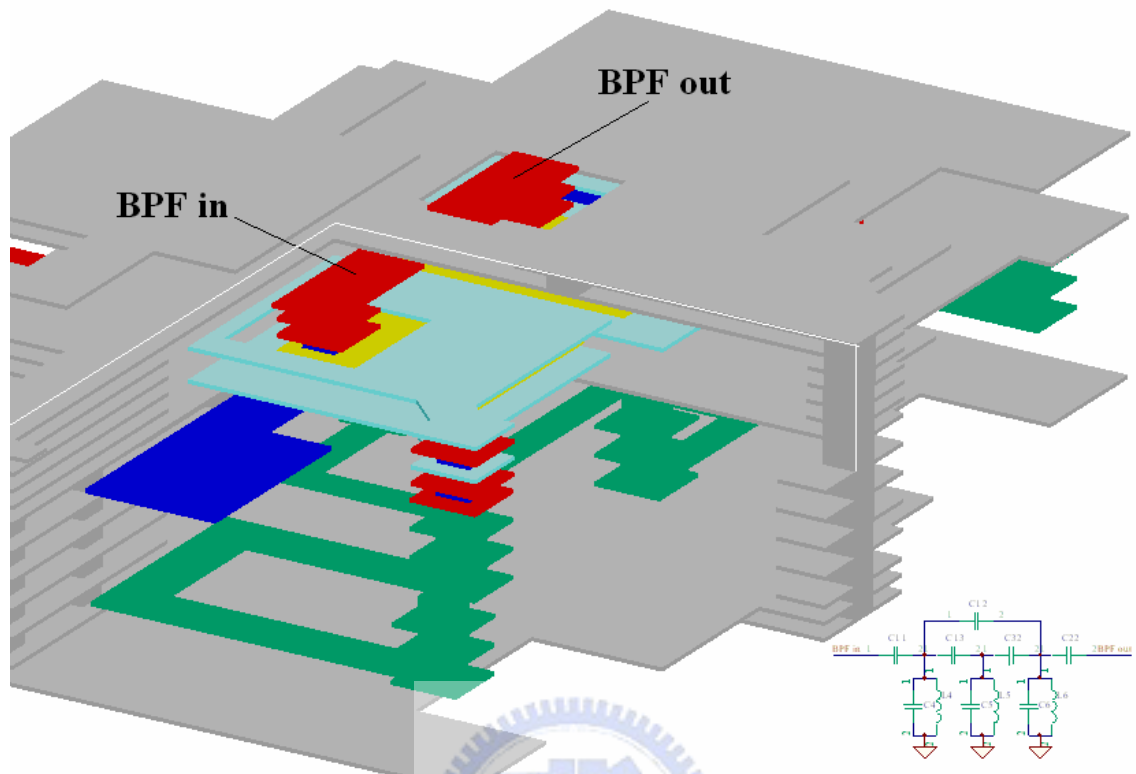


圖32. 帶通濾波器的內部佈局圖

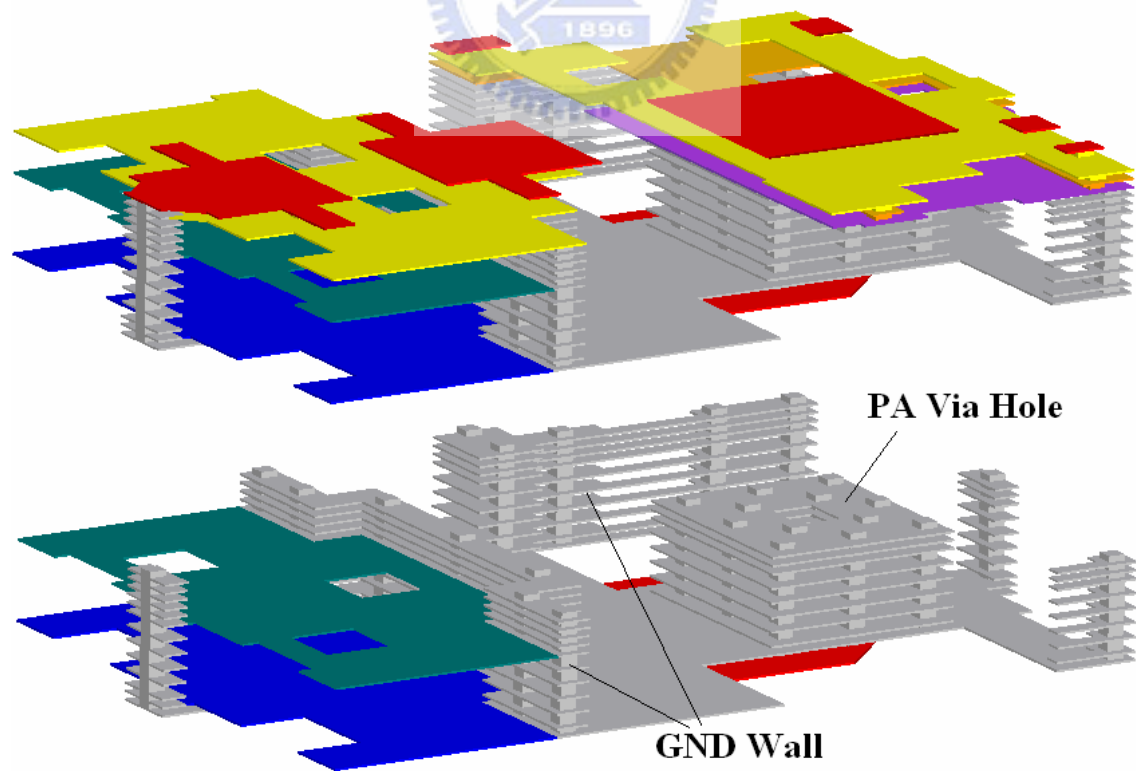


圖33. FEM 主要接地佈局示意圖

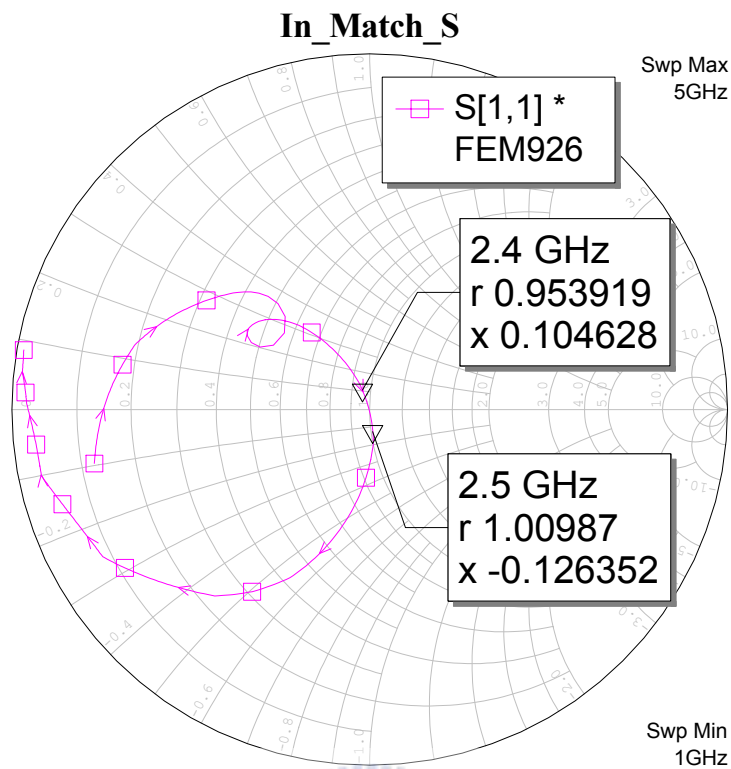


圖34. FEM 輸入阻抗匹配在 LTCC 佈局模擬結果

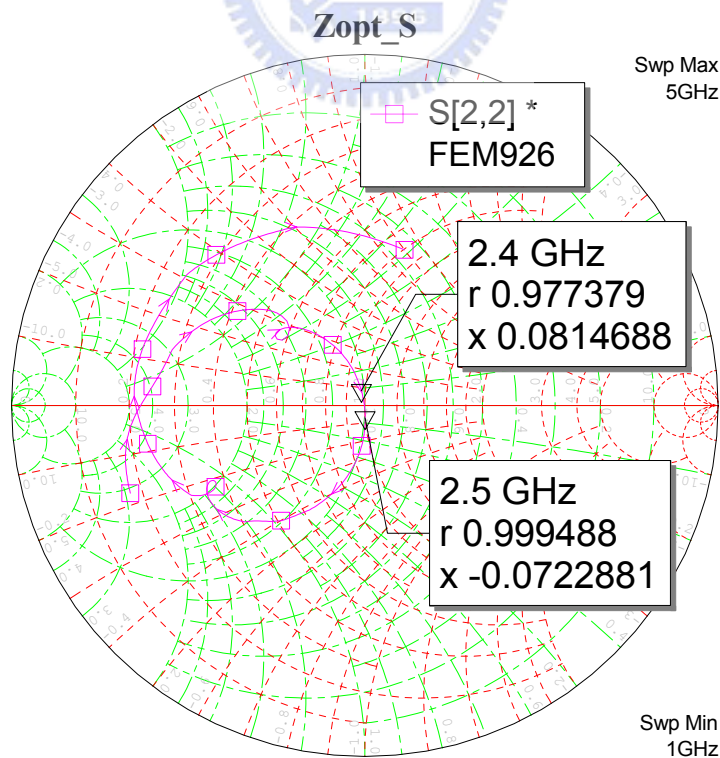


圖35. FEM 輸出阻抗匹配在 LTCC 佈局模擬結果

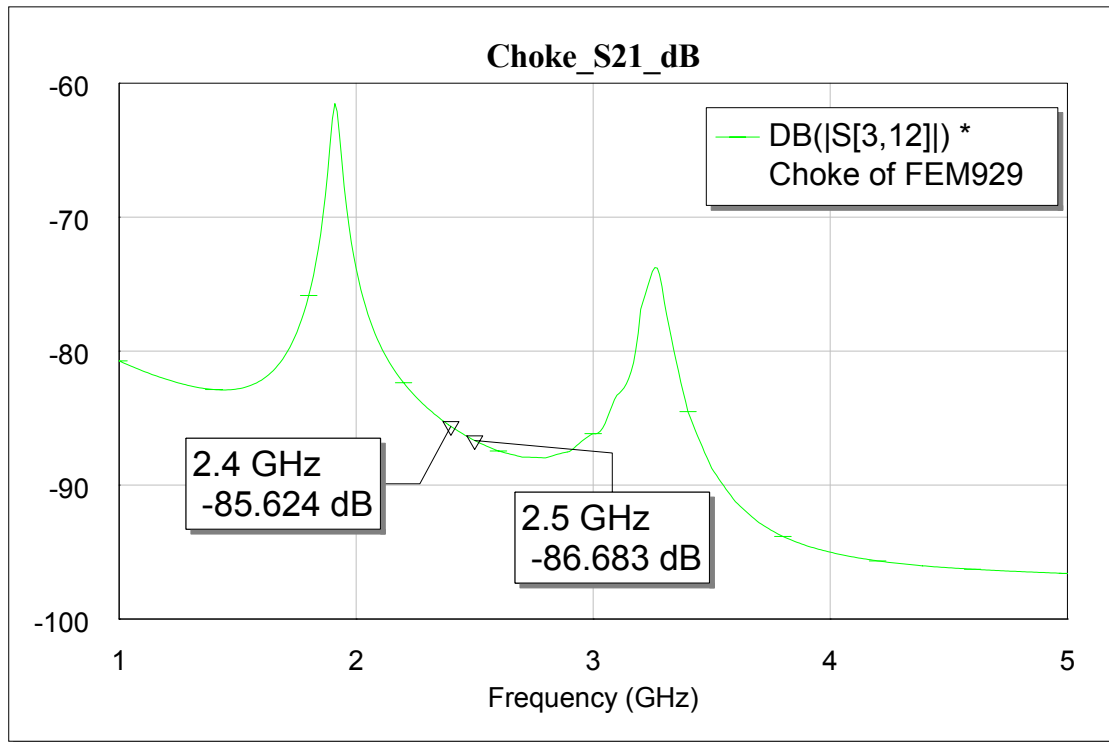


圖36. FEM RF Choke 在 LTCC 佈局模擬結果 (S21)

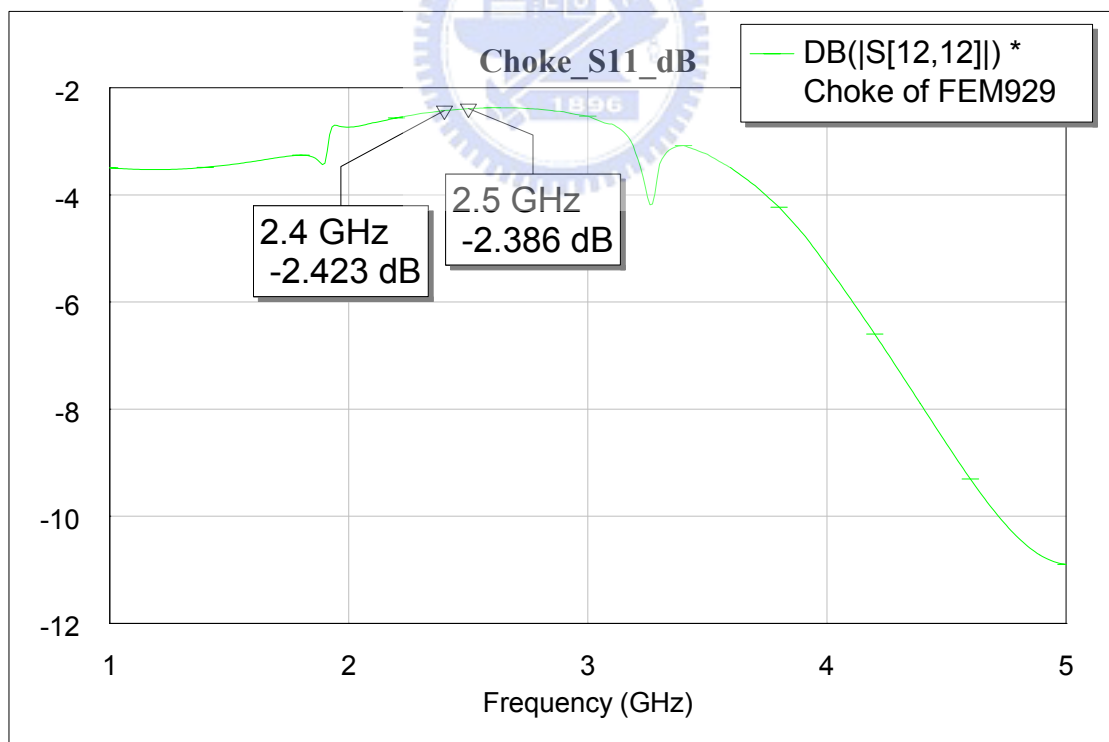


圖37. FEM RF Choke 在 LTCC 佈局模擬結果 (S11)

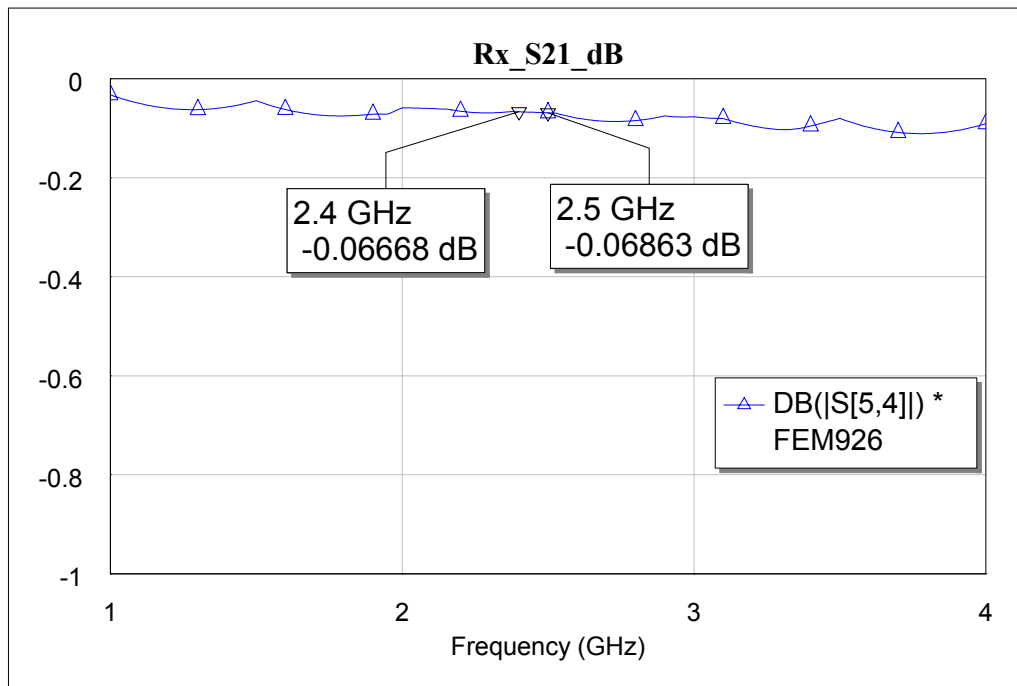


圖38. FEM Rx Trace 在 LTCC 佈局模擬結果 (S21)

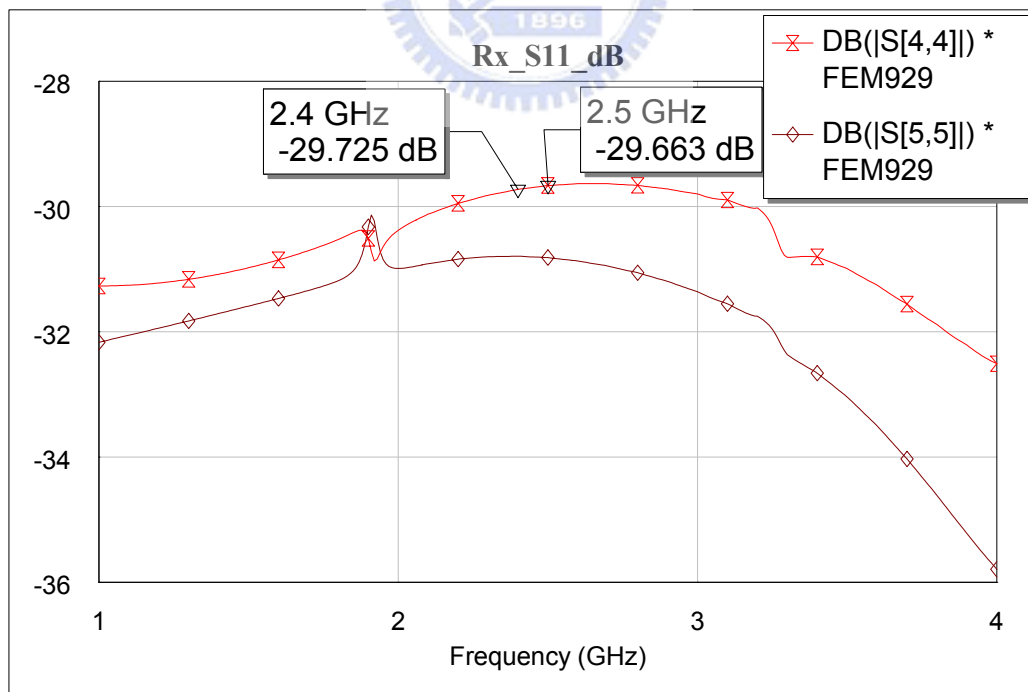


圖39. FEM Rx Trace 在 LTCC 佈局模擬結果 (S11)

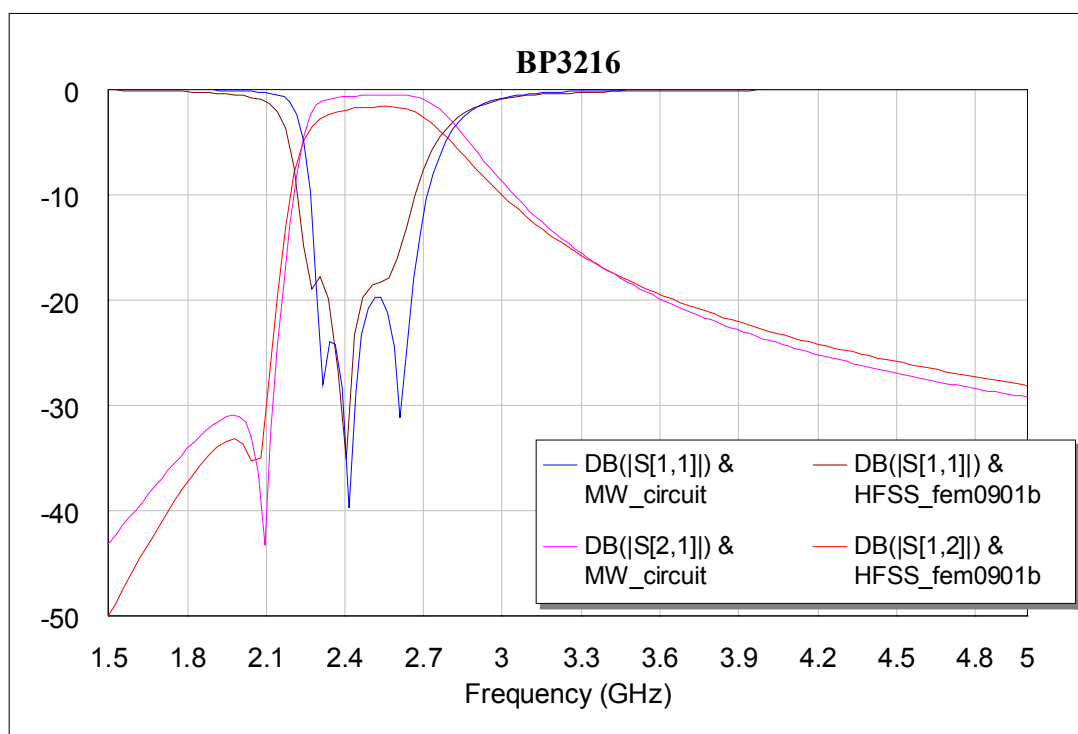


圖40. FEM BPF 在 LTCC 佈局及MWorkice 模擬比較



第四章、射頻前端模組製作

4.1 前言

此次使用美磊科技的製程技術，以完成所模擬的各項集總元件，在規劃與安排上完全依據美磊所提供的 CT2000 規格來設計與規劃，以避免設計上可達成而實際上卻做不到的缺憾，不同的製程有不同的要求必須符合。因此在製程上有著豐富的經驗，對此一高難度的模組幫助非常大。

4.2 射頻前端模組製作

4.2.1 每層圖面製作



各層圖面是經由 HFSS 輸出 2D modeler file，再由 Autodesk 的套裝繪圖軟體 AutoCAD 來完成修改與最後的圖面輸出。每層的檔案也以(表 6.) LTCC 各層規劃的名稱來編排，以易於辨識與製作。

4.2.2 LTCC 半成品檢測

當取得 LTCC 半成品時真是令人雀躍不已，因為不可能的任務竟然還是完成了，先檢測所有的斷短路點是否正常，再觀察是否有氧化現象，因為焊接點一但氧化無法焊接，那也就不用玩了。所幸一切正常，以游標尺量測其尺寸，三顆的實際尺寸如(表 8.)所示。平整度也正常，只是電鍍後仍然明顯看到 Via，這外觀並不會影響焊接與鏤線特性。

表8. LTCC 實際量測尺寸

Item	L	W	T	unit
FEM001	5.401	4.003	0.802	mm
FEM002	5.399	4.002	0.805	mm
FEM003	5.403	4.001	0.798	mm

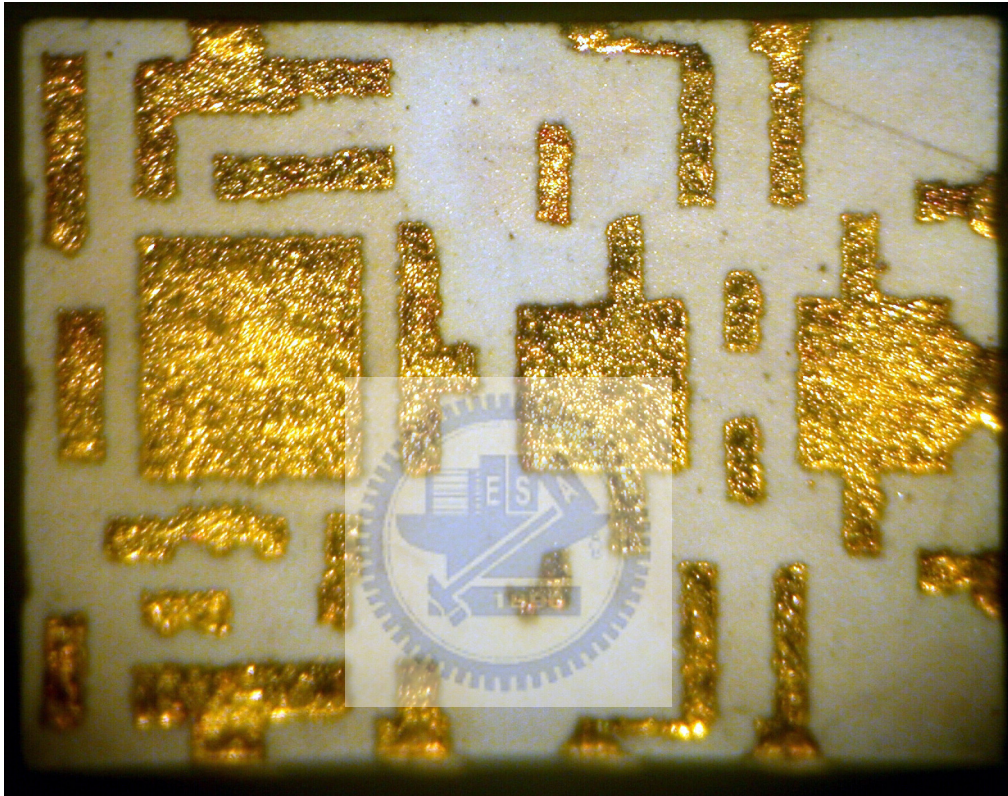


圖41. LTCC 半成品正面圖放大特寫

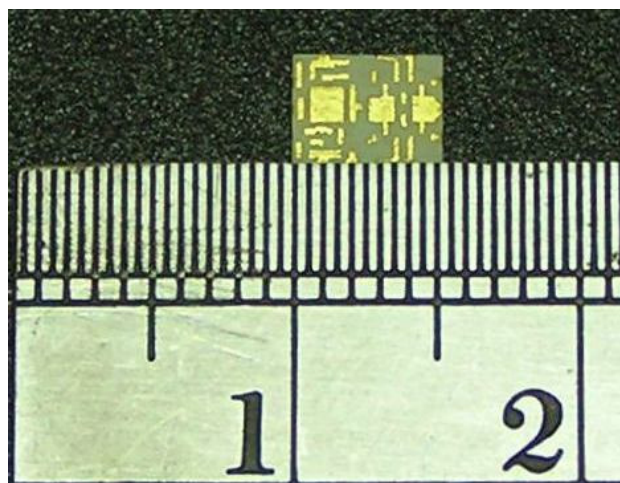


圖42. LTCC 半成品正面圖

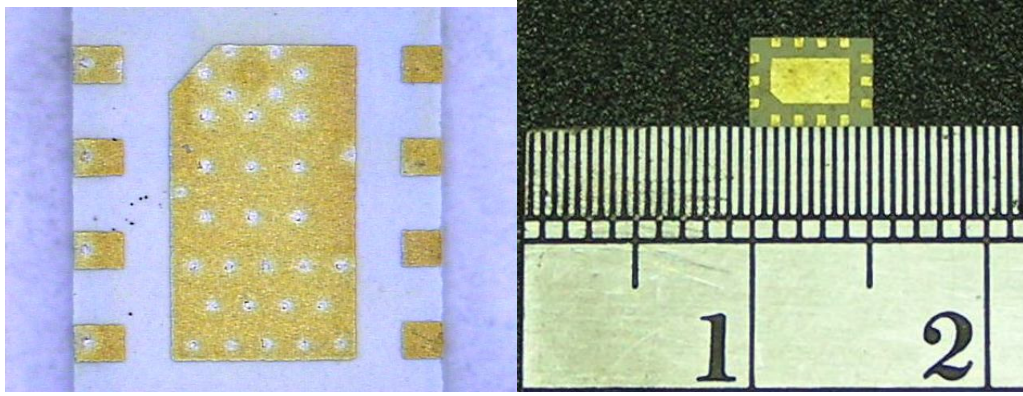


圖43. LTCC 半成品底面圖

4.2.3 主動與被動元件焊接與鏢線

LTCC 的完成，也表示工作已完成大半。但是在上元件的技巧上卻會影響整個效能，因此特別地小心將錫膏均勻地佈在 LTCC 基材的接點（PAD）上方，而且不能讓錫膏沾到需要鏢線的 PAD，所以在此步驟之前，特地將不必要的區域使用絕緣耐熱膠帶貼覆保護，才進行上錫膏的動作（圖 44. ）。在上主動元件（圖 45. ）的錫膏使用的是高溫的錫膏（攝氏 220 度），因為鏢線（圖 46. ）時需要將物件加熱到攝氏 175 度，而且接下來等鏢線完成還必須再焊上五顆被動元件，此時用的才是較低溫的錫膏（攝氏 150 度），以避免已上好的主動元件以及鏢線因受高溫而導致脫落。在這過程，溫度控制是非常重要的。在鏢線的過程中，PA 使用了 15 條金線、兩顆 RF Switch 各使用了 5 條金線，總共使用了 25 條金線完成此一模組。

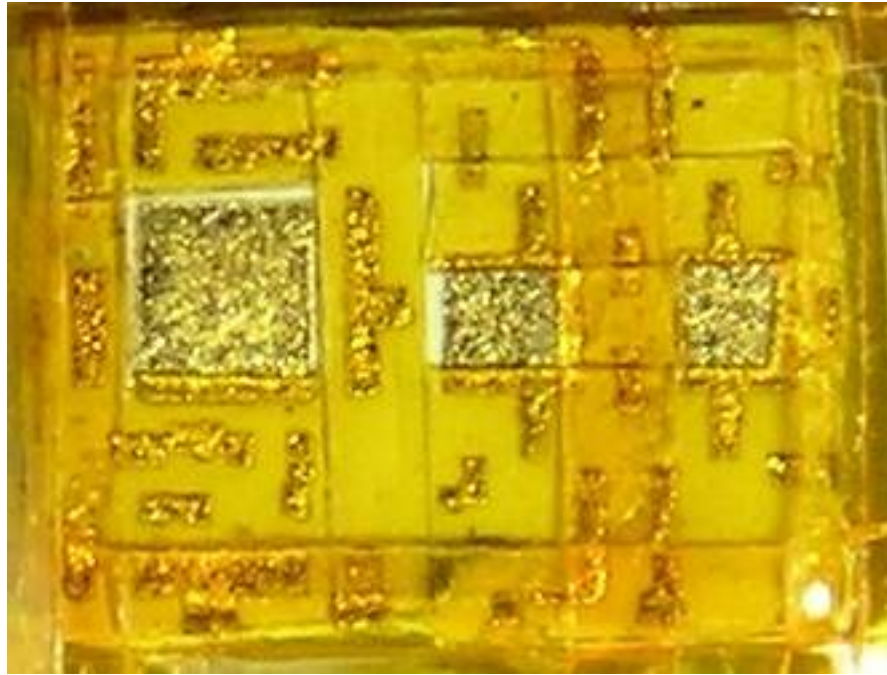


圖44. LTCC 上錫膏過程示意圖

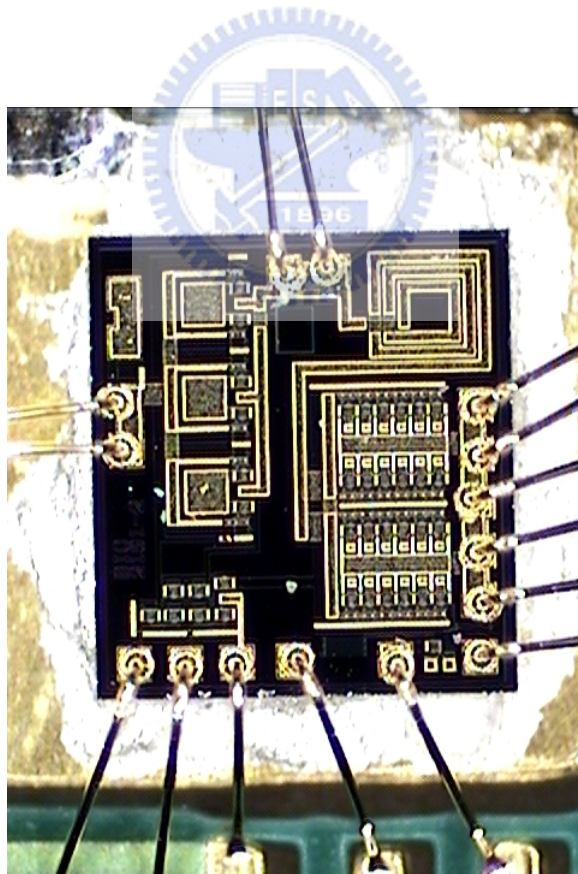


圖45. 實際使用的裸晶

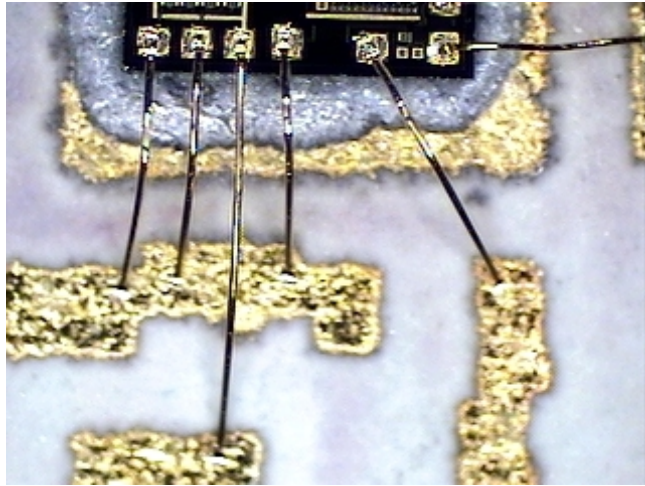


圖46. LTCC 鍍金線過程示意圖

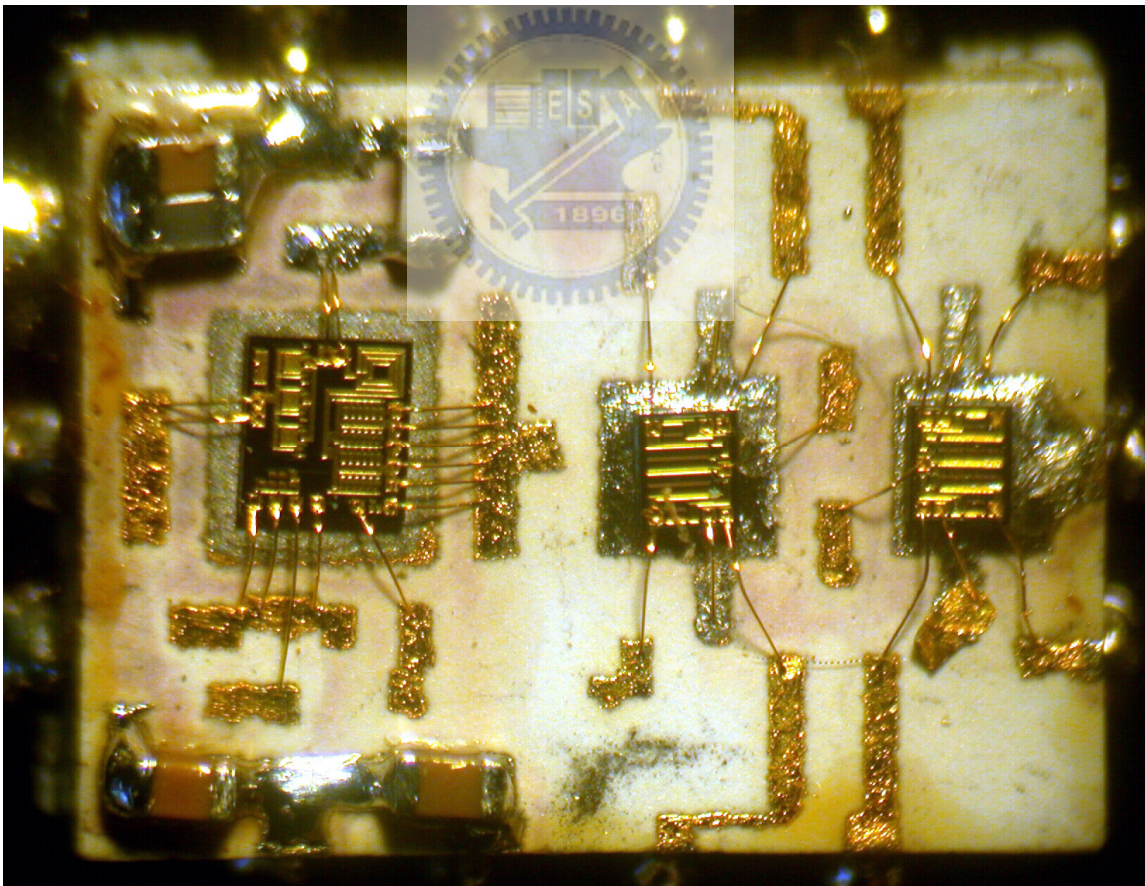


圖47. LTCC Front End Module 成品圖

第五章、射頻前端模組量測

5.1 前言

所謂工欲善其事必先利其器，在量測之前，必須先做一個測試板，以使 LTCC 易於測試，也能更接近於使用者所使用的環境。

5.2 量測板製作

5.2.1 FR4 基版佈線設計

如（圖 48. ），為 FR4 量測板的表面佈線圖，主要將控制線以及射頻（RF）接頭拉出來以便與儀器等連接，以及相關的電源與直流阻隔電容。控制線的部分有 TX_SEL、RX_SEL、ANT1_SEL、ANT2_SEL，RF 接頭有 TX_IN、RX_OUT、ANT1、ANT2，電源為 VCC，Vref 控制 PA 電路啟動，量測功率轉換成電壓值的點 PD。

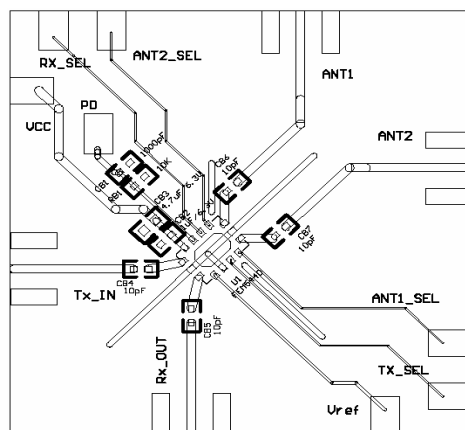


圖48. FR4 量測板的表面佈線

5.2.2 FR4 量測板製作與檢測

在檢測上主要確定斷短路是否正常，以及接地貫孔是否平整。LTCC 的 PAD 腳位要能完全焊接在此量測板的 PAD 上才能夠工作正常。

5.3 射頻前端模組量測

5.3.1 小信號網路分析儀之量測

輸入匹配電路測試結果如（圖 50.）所示，量測到 Return Loss $< -10\text{dB}$ ，輸入匹配電路特性良好。由於功率放大器的輸出端是在內部與 RF Switch 串接，所以無法直接量測到，只能直接測試發射路徑之狀態。（圖 51.）所示為量測 Tx in 到 Ant Port1 的小信號特性，Gain=24.6dB， $S_{11}<-9.6\text{dB}$ ， $S_{22}<-8.3\text{dB}$ 。經由 Rx 路徑的量測（圖 52.），可同時得知 BPF 以及 RF Switch 的特性，Rx Path Loss 最大為 4.8dB，顯然過大，這會影響 Sensitivity 的特性。此外，BPF 該砍在 2.1GHz 的 zero 點卻往低頻漂移了(-35.29dB@1.91GHz)，在 2.1GHz 只砍了 18dB，並且由（圖 53.）得知 Rx 路徑的反射係數過大(-4.49 ~ -6.18 dB)，因此大部份的信號會反彈回來，使得特性變差，此部分有待修正。在此技巧性地利用所量測到的接收路徑特性，與發射路徑的特性相比較，約略可知功率放大器的 Gain 將近 27.75dB（圖 54.），這是假設 Rx Port 到 RF Switch 的路徑沒有損失的前提下才成立，所以實際功率放大器的 Gain 會再少一些，但從功率放大器的規格書（表 3.）得知也將近了，因此功率放大器本身的特性大致上確定沒問題。（圖 55.）實際量測了 RF Switch 的 Isolation，值 $>22\text{dB}$ 符合所要的規格。

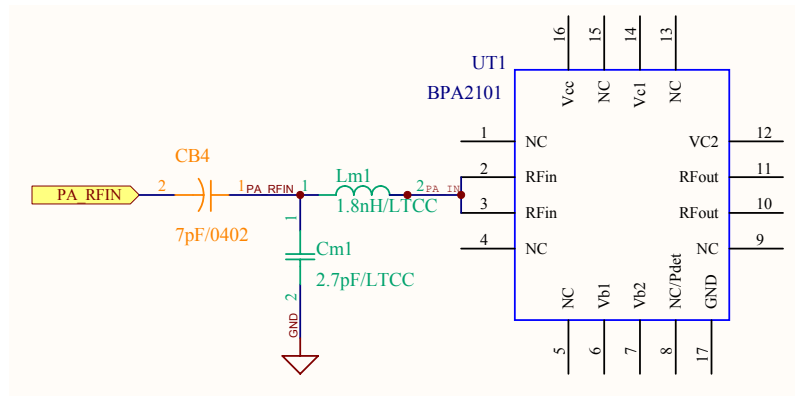


圖49. Tx in 電路圖示

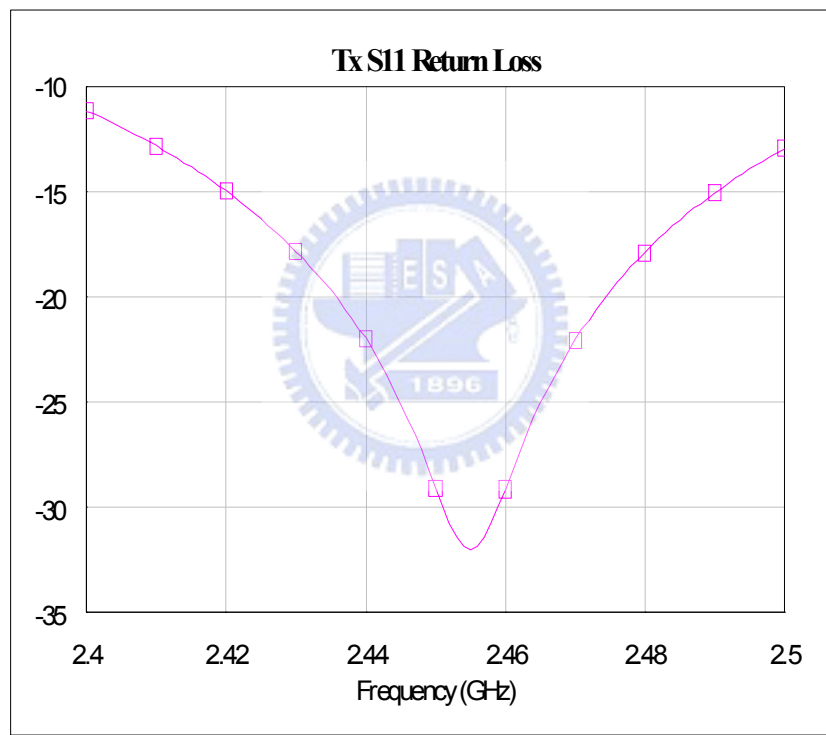


圖50. Tx in 實際量測

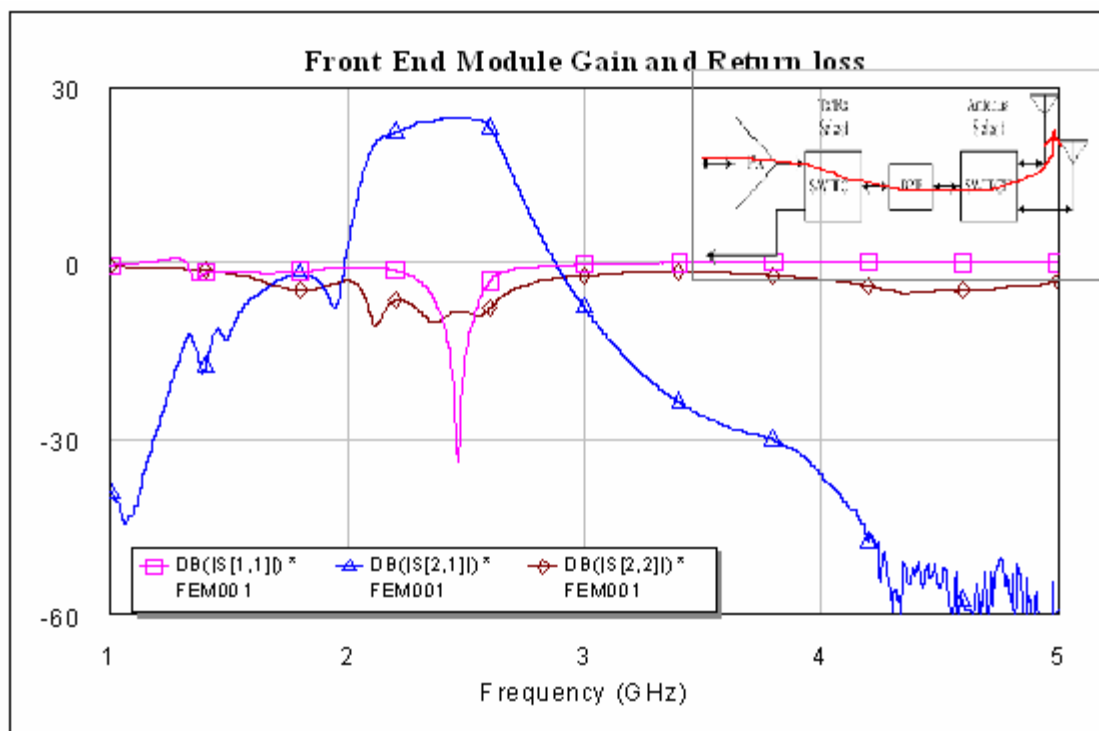


圖51. Tx Port to ANT Port1 實際量測

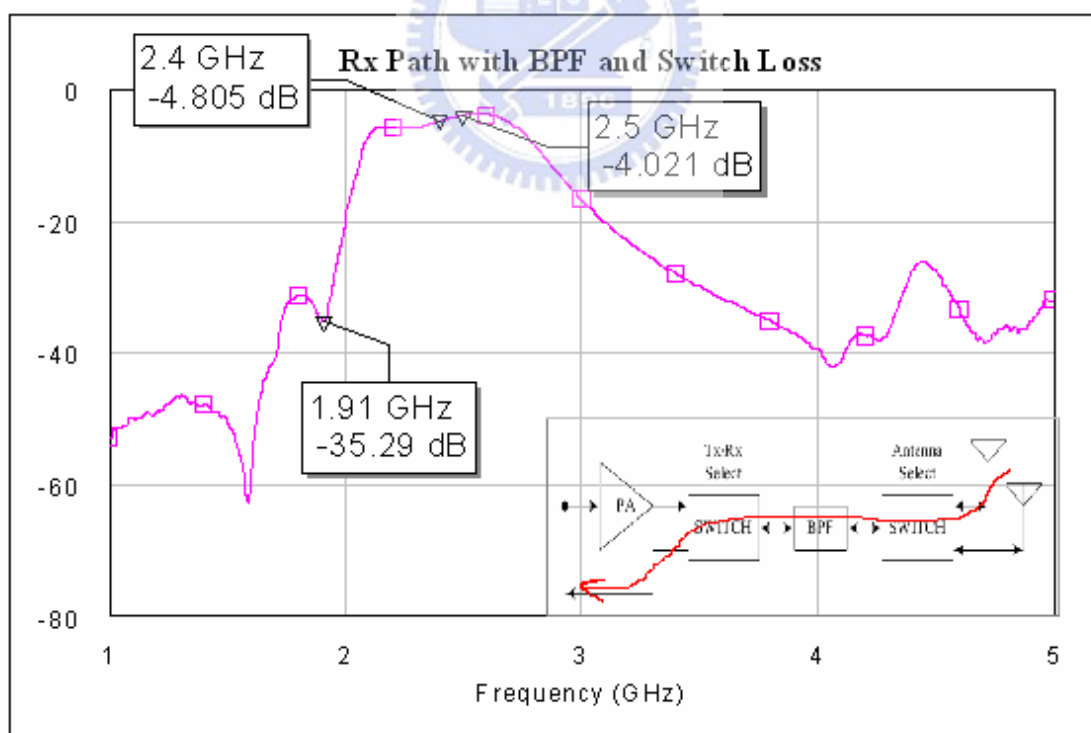


圖52. Rx Port to ANT Port1 實際量測

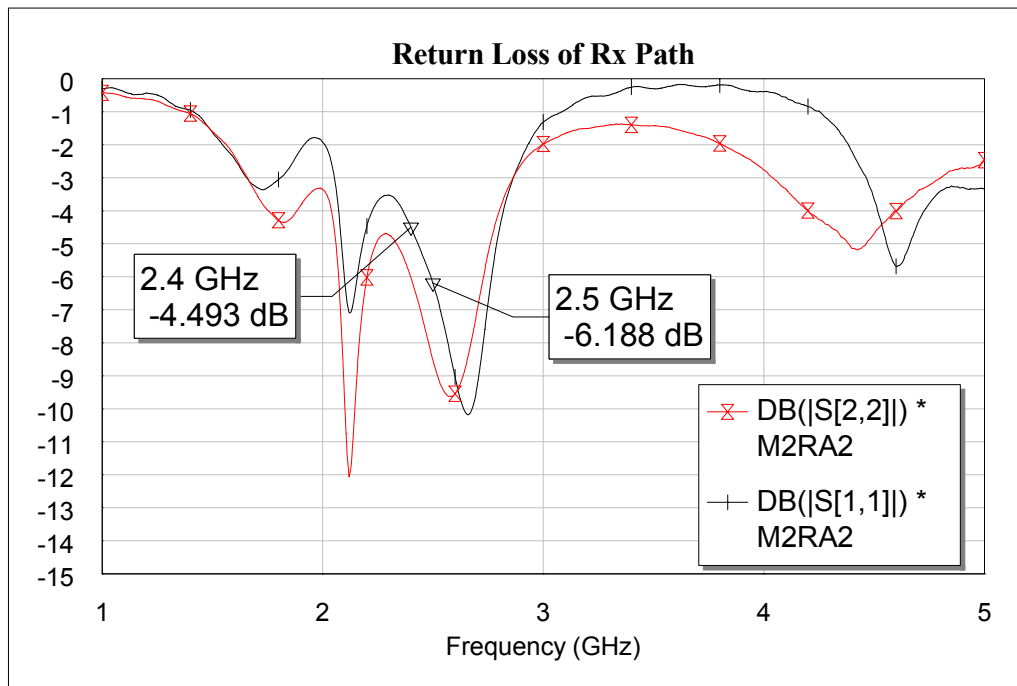


圖53. Rx Path Return Loss 實際量測

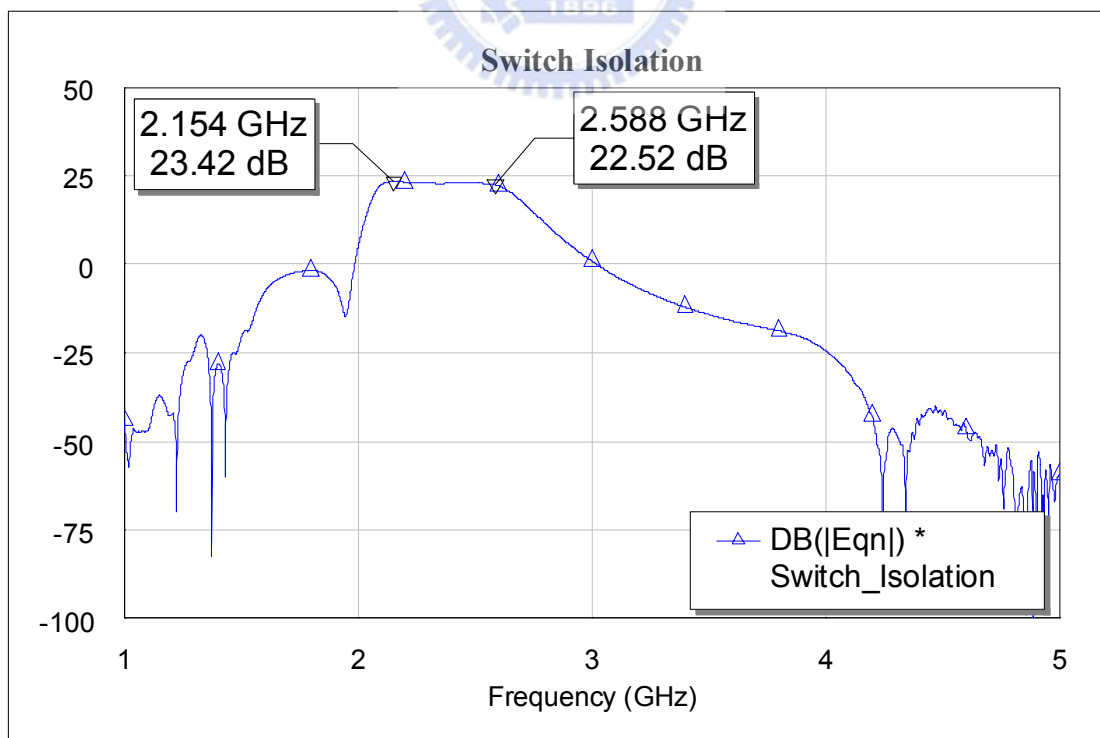


圖54. 估算 PA Gain

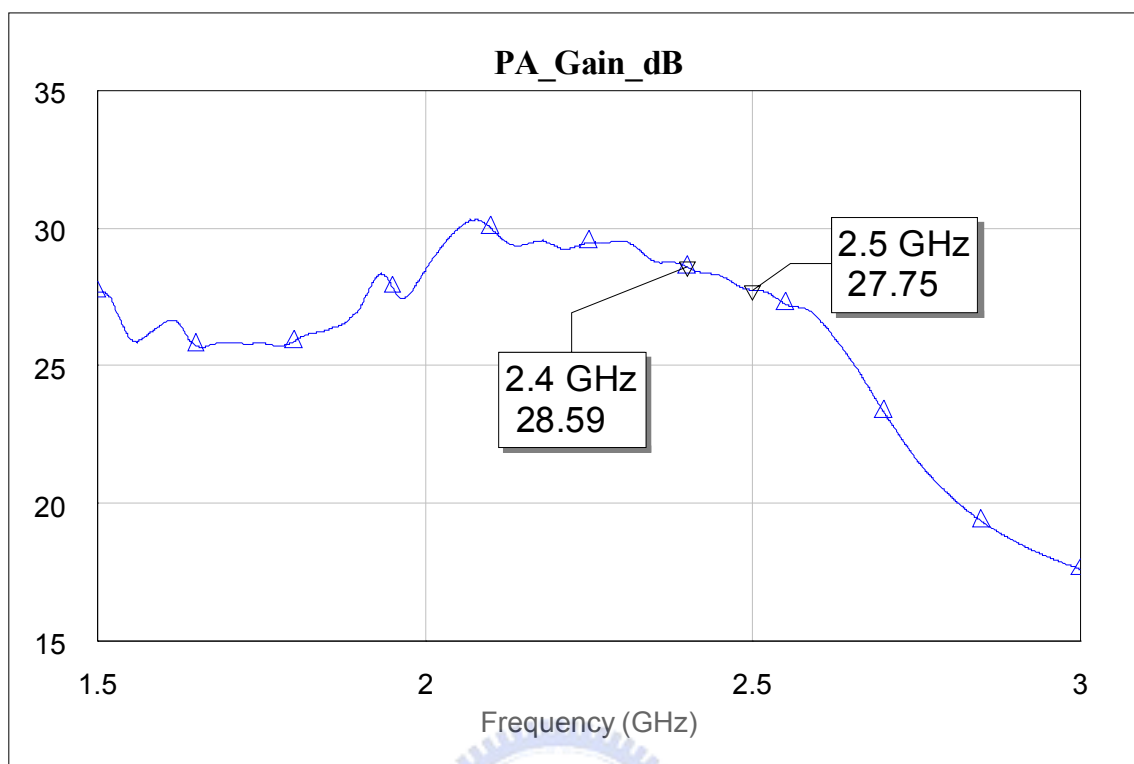


圖55. Switch Isolation

5.3.2 Power、Gain、Current、EVM 量測

使用 OFDM 信號產生器 (ESG) 產生 OFDM 信號送至 Tx in 端，分別以功率表 (Power Meter) 及向量信號分析儀 (Vector Signal Analyzer) 量測 ANT Port1 之能量與 EVM，並且用電流表 (Current Meter) 量測消耗總電流。最後再以輸出輸入能量相減而得到增益 (Gain)。量測了 2.412GHz、2.442GHz、2.484GHz 等三個 IEEE802.11b/g 使用的頻段。並將結果繪製整理如 (表 9.) 及 (圖 56. ~圖 58.)。很清楚的可以知道，當 ESG 輸入信號在 -10.5dBm 時，EVM 平均在 4.7%，此時的 Power 平均在 16.4dBm。符合要求的規格。在此特別說明此測試包含了 BPF 以及 RF SWITCH 的耗損，詳細 Power 與 EVM 等數據如附錄一。

表9. OFDM Power Gain Current & EVM

Channel	1	7	13	14	AVERAGE
Gain (dB)	26.5	26.8	26.9	27.2	26.9
Current (mA)	206.0	209.0	197.0	193.0	200
Pin (dBm)	-10.5	-10.5	-10.5	-10.5	-10.5
Pout (dBm)	16.0	16.3	16.4	16.7	16.4
EVM (%)	4.9	5.0	4.5	4.4	4.7
P1dB (dBm)	18.4	20.5	19.8	20.8	19.9

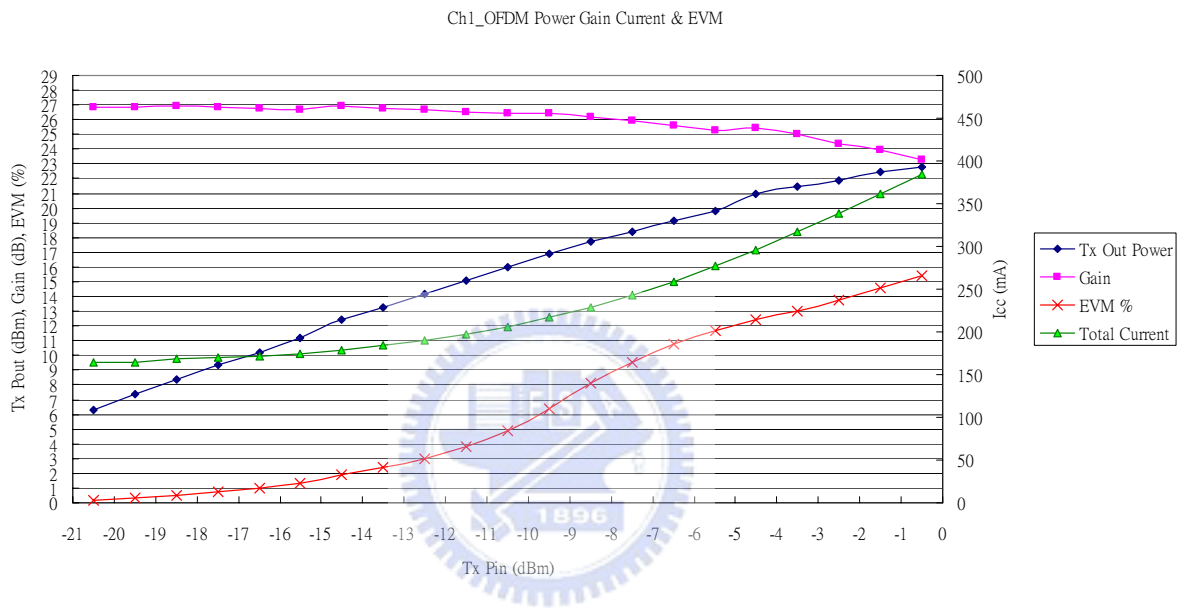


圖56. Channel 1 OFDM Power Gain Current & EVM

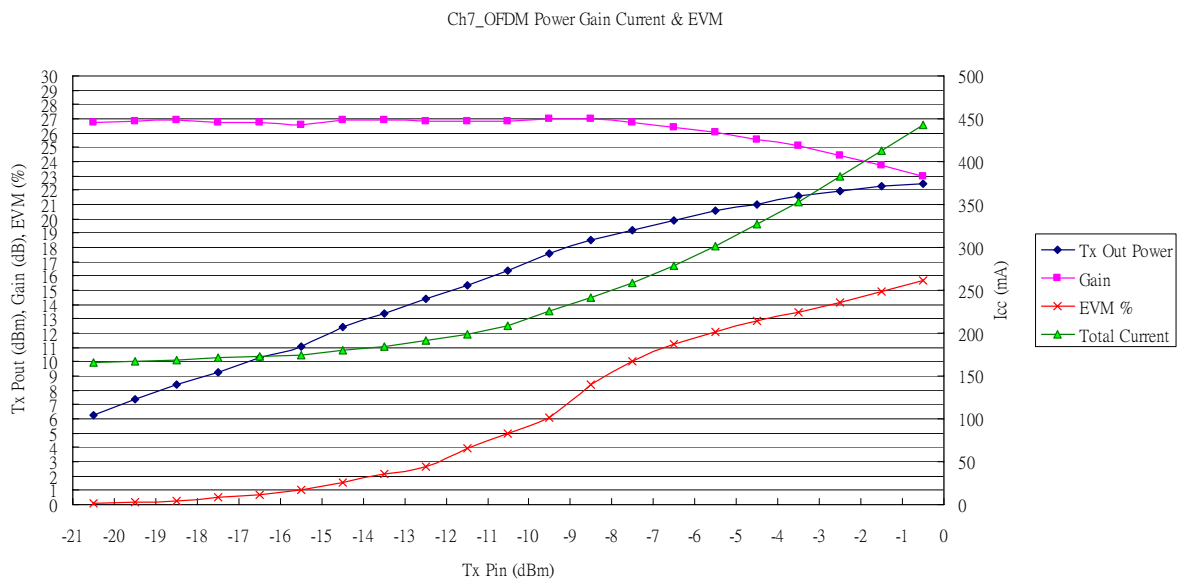


圖57. Channel 7 OFDM Power Gain Current & EVM

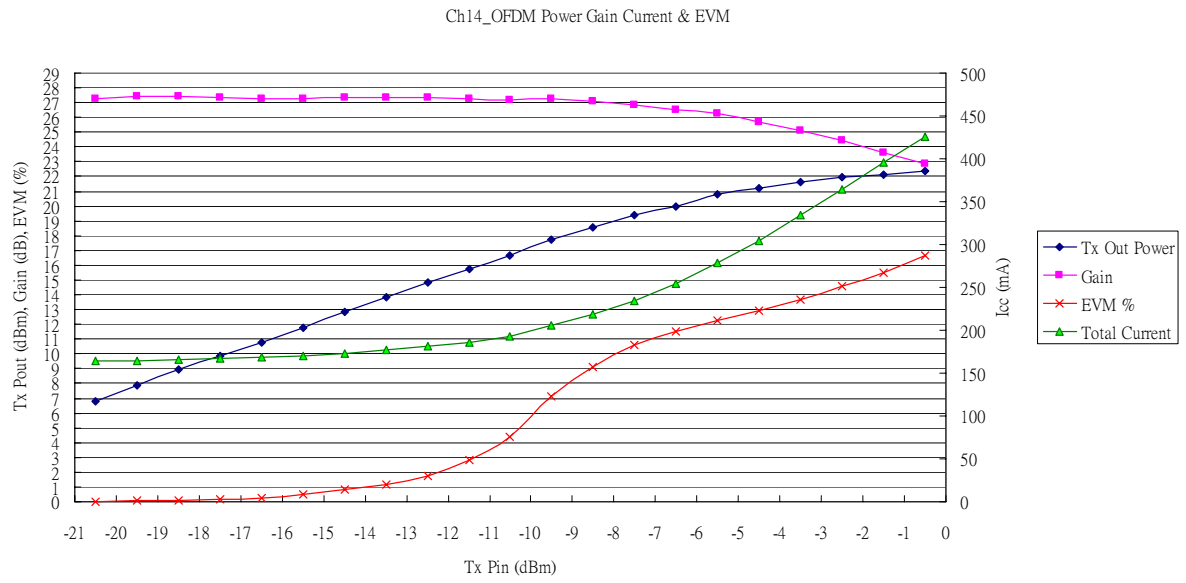


圖58. Channel 14 OFDM Power Gain Current & EVM



5.3.3 Power Detector 電壓量測

使用 OFDM 信號產生器 (ESG) 產生 OFDM 信號送至 Tx in 端，以功率表 (Power Meter) 量測 ANT Port1，並同時使用電壓表 (Voltage Meter) 量測 PD 點，所得數據如 (圖 59.)。

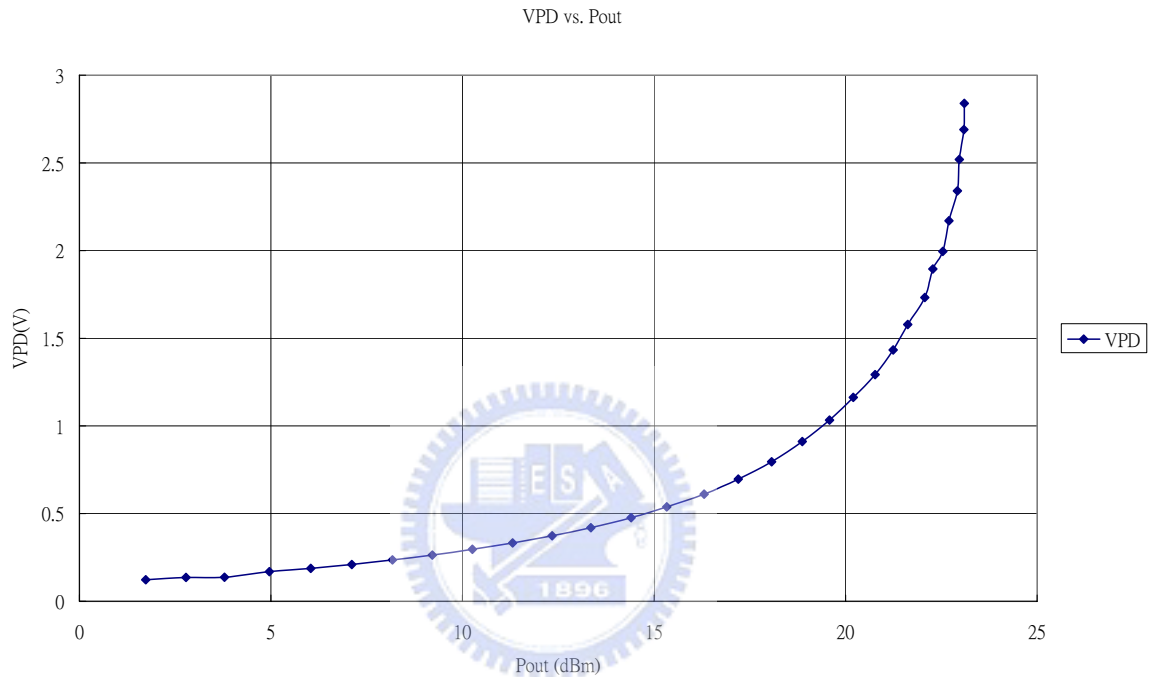


圖59. Power v.s. Detector Voltage

5.4 與晶片組結合量測

使用一張正文科技所製造的無線網路卡，將其原來的功率放大器以後電路移除，使用射頻纜線 (RF Cable) 將所做的 FEM 測試板串接，並將相關控制訊號線以及電源線接到該無線網路卡，亦即完全模擬 FEM 在整個系統運作上的效果。與另一張原封不動的無線網路卡，使用 NetIQ 公司所開發的網路傳輸測試軟體 Chariot 一同作資料傳輸率之測試比較。

測試結果顯示在相同的晶片組與環境下，所研發的 FEM 在資料傳輸率（Throughput）的效能與實驗對照組是相同的。

表10. 實驗組與對照組的 Throughput 量測結果

Throughput	Card with using Front End	Reference Card
Card-> AP	20.891	20.892
AP -> Card	21.107	20.992

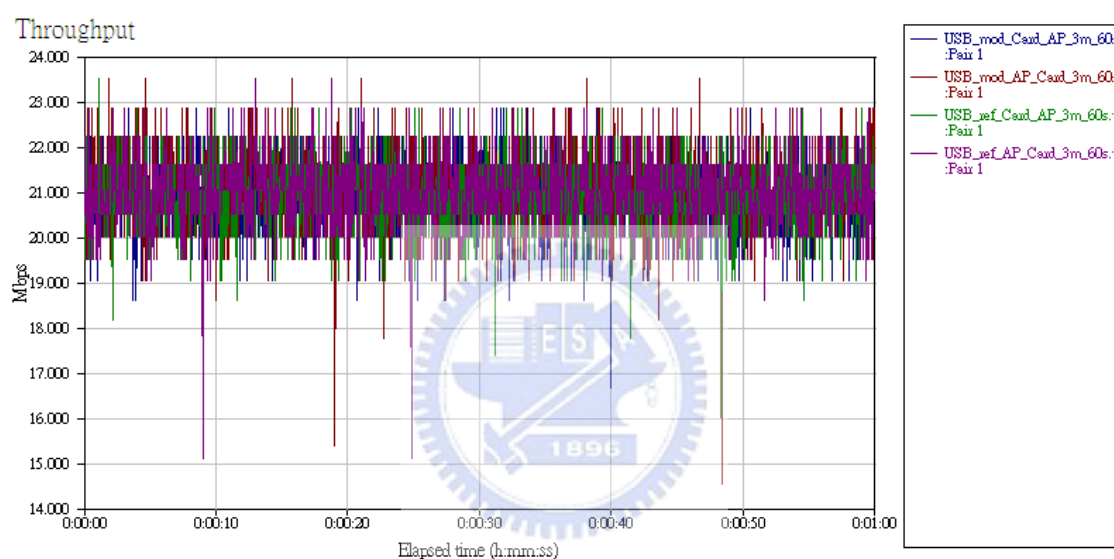


圖60. 實驗組與對照組的 Throughput 量測結果

(圖 60.)為所量測的資料傳輸率（Throughput）數值圖形，其振幅大部份均落在 20 Mbps ~ 22 Mbps 之間，平均值也都在 21 Mbps 上下。

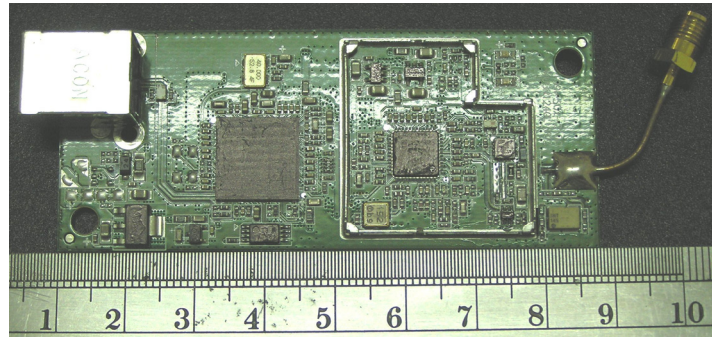


圖61. 作為對照組的卡片

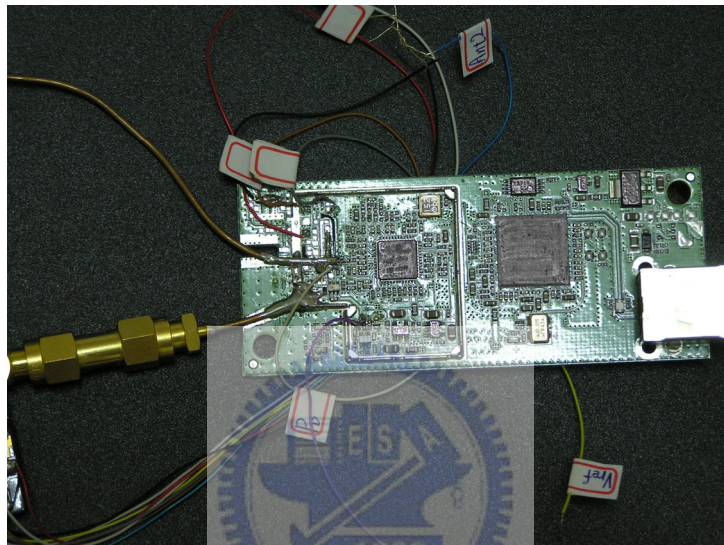


圖62. 作為實驗組的卡片

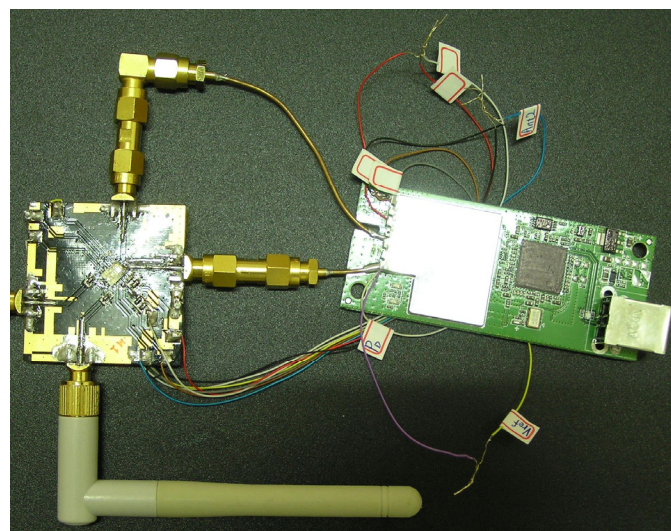


圖63. 實驗組的卡片結合 FEM 測試板

已將 FEM 測試板之 RF 訊號線、電源線、及控制信號線等接到主板。

第六章、 結論

一開始百特公司提供 PA 的最佳參數奠定了特性的基礎，為了讓所設計功率放大器匹配電路與實際量測到的數據接近，不斷地修正實際量測的誤差以及模擬的誤差，才有可能依據該資料模擬出更接近的特性。至此，才敢做下一步的 LTCC 設計。在 LTCC 設計之時，架構的規劃上花了許多的心思，為了讓所有能使用的空間最佳化以及有效成本考量，架構一直改變、層數一直在減少，最後 LTCC 料片從十六層減為十三層。經由反覆的模擬驗證特性無誤，然後再依據模擬的結果進行 LTCC 製程的製作。由於使用的金屬面積頗多，導致第一次製程結果彎翹無法使用。經由美磊科技在製程上不斷地創新，在第三次終於成功地製作出三顆良品。測試的結果在帶通濾波器的特性不夠好，於使用頻段的插入損失稍微過大，且在使用頻段的頻寬也稍微寬了一些，根據模擬的結果可以看得出來，只要再稍微調整使頻寬減少、插入損失減少，相信能有更好的特性，這一部分還有許多改善的空間。在發射路徑的部份來說，整個模組的增益有 26.9dB 仍然足夠，並且以 OFDM 訊號測試，在 $EVM < 5\%$ 的情況下，平均輸出功率達 16.4dBm。而且 LTCC 的特性即是量產化後，每個的偏差量都不大，易於控制，而且以此 FEM 研究來看，此顆射頻發射接收模組的特性非常適合在一般的無線網路產品上的使用。原本在 FR4 基材的電路上，使用已封裝之主動元件以及 0402 的被動元件作為匹配電路，再加上一個 5040 的帶通濾波器，該使用區域面積為 $11.6\text{ mm} \times 10.6\text{ mm}$ 等於 122.96 mm^2 。使用 LTCC 架構的射頻前端模組，尺寸上可以做到 $5.4\text{ mm} \times 4.0\text{ mm}$ 的大小，面積相當於 21.6 mm^2 。為原本尺寸的 17.6%，實質節省的空間有 82.4% 之多（圖 64. ）。計算在 FEM 中的元件數量，相當於使用三顆主動元件以及二十五顆被動元件，總共二十八顆元件之數量。生產線原本必須使用機器手臂置放二十八次元件，減為使用 FEM 一次置放，這之間的時間節省有二十八倍之多。再進一步地考慮除錯以及生產維修，需檢修的數量也大大地減少許多，因此這樣的模組元

件，可以為無線網路產品節省許多空間、生產成本以及設計開發時間，也相信未來一定會有許許多多模組化的各種應用。

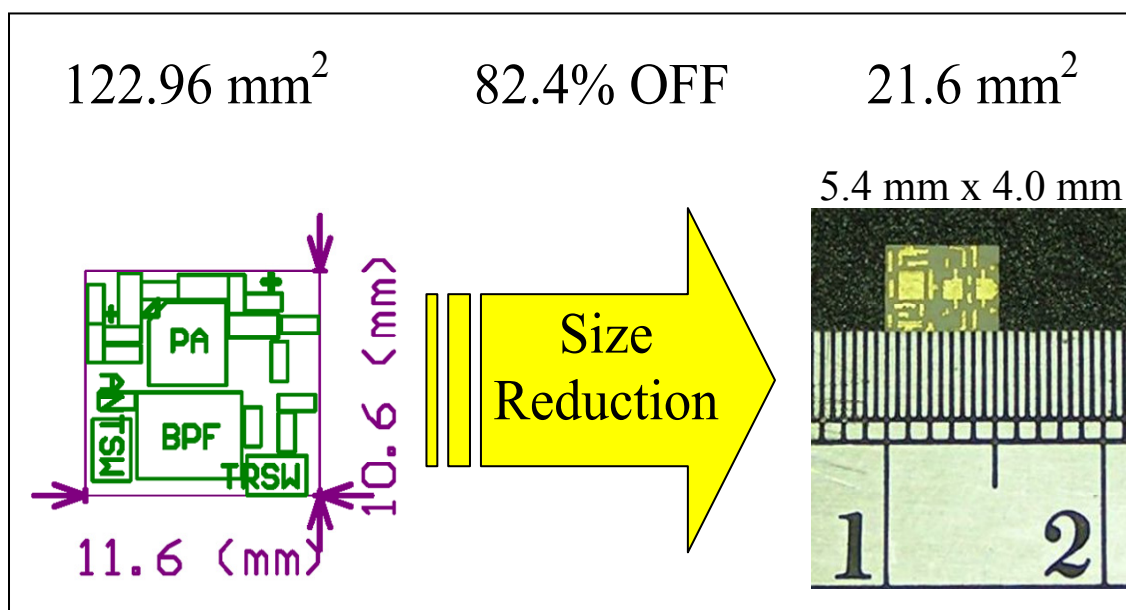


圖64. FEM 空間節省示意圖



參 考 文 獻

1. 方士庭，應用於高頻無線通訊之多層低溫共燒陶瓷（LTCC）的設計技術，中華民國陶業研究學會會刊 第二十一卷 第四期 52-58 頁。
2. D.M. Pozar, Microwave Engineering, John Wiley & Sons, New York, 1998, 2nd Ed.
3. A.Sutono, D. Heo, E. Chen, K. Lim, J. Laskar, Compact Implementation of Component Library in LTCC Technology and Its Application to CMOS RF Power Amplifier Design, Electrical Performance of Electronic Packaging, 2000, IEEE Conference on., pp. 288-291.
4. G.. L. Matthaei, L. Young and E. M. T. Jones, Microwave Filters Impedance Matching Networks and Coupling Structures, New York: McGraw-Hill, 1980, pp.355-410.
5. S. Chakraborty, K. Lim, A. Sutono, E. Chen, S. Yoo, A. Obatoyinbo, S.-W. Yoon, M. Maeng, M.F. Davis, S. Pinel, J. Laskar, A 2.4-GHz Radio Front End in RF System-on-Package Technology, IEEE Microwave Magazine, June 2002, pp. 94-104.
6. G. Zheng, S. Pinel, K. Lim, R. Li, M. Tentzeris, J. Papapolymerou, J. Laskar, B. Lenoir, P. Blondy, D. Baillargeat, and P. Guillon, Design of compact RF components for low-cost high-performance wireless front-ends, Microwave and Milli-meter Wave Technology, 2002. Proceedings. ICMMT 2002. 2002 3rd International Conference on , 17-19 Aug. 2002 , pp. 259-262.
7. Chang-Ho Lee, Member, IEEE, Albert Sutono, Sangwoo Han, Kyutae Lim, Member, IEEE, Stephane Pinel, Emmanouil M. Tentzeris, Member, IEEE, and Joy Laskar, Member, IEEE, A Compact LTCC-Based Ku-Band Transmitter Module, IEEE TRANSACTIONS ON ADVANCED PACKAGING, VOL. 25, NO. 3, AUGUST 2002, pp. 374-384.
8. J. S. Hong, M. J. Lancaster, Microstrip Filters for RF/Microwave Application, Microwave Magazine, IEEE , Volume: 3 , Issue: 3 , Sept. 2002 , pp. 62-65.
9. L. K. Yeung, and Ke-Li Wu, A compact second-order LTCC bandpass filter with two finite transmission zeros, Microwave Theory and Techniques, IEEE Transactions on, Volume: 51, Issue: 2, Feb. 2003, pp.337-341.
10. W. -Y. Leung, K. -K M. Cheng, and Ke-Li Wu, Multilayer LTCC bandpass filter design with enhanced stopband characteristics, Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters], Volume: 12, Issue: 7, July 2002, pp. 240-242.
11. V. Piatnitsa, E. Jakku, and S. Leppaeuvori, Design of a 2-pole LTCC filter for wireless communications, Wireless Communications, IEEE Transactions on, Volume: 3, Issue: 2, March 2004, pp.379-381.
12. S. A. Raby, and A.C. Cangellaris, Interconnect properties and multilayer bandpass filter design in LTCC substrates, Wireless Communications Conference, 1997., Proceedings, 11-13 Aug. 1997, pp. 187-192.

附 錄

在四個頻率點量測得到的功率、增益、電流、EVM 等之數據。

一、 $f_c = 2412\text{MHz}$ 所量測結果

Ch1_OFDM_Power-Gain-Current-EVM					
Tx In Power	Tx Out Power	Gain	Total Current	EVM	
dBm	dBm	dB	mA	%	dB
-20.5	6.31	26.81	164	0.13	-57.72
-19.5	7.35	26.85	165	0.35	-49.12
-18.5	8.39	26.89	168	0.49	-46.20
-17.5	9.34	26.84	170	0.71	-42.97
-16.5	10.23	26.73	172	0.99	-40.09
-15.5	11.17	26.67	174	1.36	-37.33
-14.5	12.44	26.94	179	1.89	-34.47
-13.5	13.28	26.78	184	2.38	-32.47
-12.5	14.16	26.66	190	3.02	-30.40
-11.5	15.05	26.55	197	3.81	-28.38
-10.5	15.97	26.47	206	4.92	-26.16
-9.5	16.91	26.41	217	6.34	-23.96
-8.5	17.71	26.21	229	8.09	-21.84
-7.5	18.41	25.91	243	9.54	-20.41
-6.5	19.13	25.63	259	10.76	-19.36
-5.5	19.78	25.28	277	11.69	-18.64
-4.5	20.96	25.46	296	12.39	-18.14
-3.5	21.50	25.00	317	13.01	-17.71
-2.5	21.90	24.40	339	13.76	-17.23
-1.5	22.47	23.97	361	14.56	-16.74
-0.5	22.80	23.30	385	15.38	-16.26

二、 $f_c = 2442\text{MHz}$ 所量測結果

Ch7_OFDM_Power-Gain-Current-EVM					
Tx In Power	Tx Out Power	Gain	Total Current	EVM	
dBm	dBm	dB	mA	%	dB
-20.5	6.23	26.73	166	0.07	-63.10
-19.5	7.37	26.87	167	0.15	-56.48
-18.5	8.43	26.93	169	0.26	-51.70
-17.5	9.22	26.72	171	0.50	-46.02
-16.5	10.27	26.77	173	0.69	-43.22
-15.5	11.10	26.60	175	0.99	-40.09
-14.5	12.43	26.93	180	1.55	-36.19
-13.5	13.40	26.90	185	2.11	-33.51
-12.5	14.36	26.86	192	2.68	-31.44
-11.5	15.31	26.81	199	3.98	-28.00
-10.5	16.33	26.83	209	4.97	-26.07
-9.5	17.53	27.03	226	6.05	-24.36
-8.5	18.49	26.99	241	8.39	-21.52
-7.5	19.21	26.71	259	10.03	-19.97
-6.5	19.90	26.40	279	11.21	-19.01
-5.5	20.54	26.04	301	12.12	-18.33
-4.5	21.02	25.52	327	12.85	-17.82
-3.5	21.59	25.09	353	13.47	-17.41
-2.5	21.94	24.44	383	14.16	-16.98
-1.5	22.26	23.76	413	14.94	-16.51
-0.5	22.47	22.97	443	15.65	-16.11

三、fc= 2472MHz 所量測結果

Ch13_OFDM_Power-Gain-Current-EVM					
Tx In Power	Tx Out Power	Gain	Total Current	EVM	
dBm	dBm	dB	mA	%	dB
-20.5	6.55	27.05	164	0.04	-67.96
-19.5	7.58	27.08	165	0.09	-60.92
-18.5	8.58	27.08	166	0.14	-57.08
-17.5	9.62	27.12	167	0.23	-52.77
-16.5	10.51	27.01	169	0.37	-48.64
-15.5	11.51	27.01	171	0.57	-44.88
-14.5	12.65	27.15	175	0.90	-40.92
-13.5	13.61	27.11	179	1.33	-37.52
-12.5	14.49	26.99	183	1.90	-34.42
-11.5	15.43	26.93	189	2.89	-30.78
-10.5	16.43	26.93	197	4.50	-26.94
-9.5	17.51	27.01	210	6.87	-23.26
-8.5	18.36	26.86	223	8.95	-20.96
-7.5	19.11	26.61	239	10.39	-19.67
-6.5	19.78	26.28	258	11.42	-18.85
-5.5	20.41	25.91	282	12.19	-18.28
-4.5	20.92	25.42	308	12.79	-17.86
-3.5	21.44	24.94	337	13.44	-17.43
-2.5	21.79	24.29	369	14.29	-16.90
-1.5	21.97	23.47	401	15.16	-16.39
-0.5	22.24	22.74	432	16.17	-15.83

四、fc= 2484MHz 所量測結果

Ch14_OFDM_Power-Gain-Current-EVM					
Tx In Power	Tx Out Power	Gain	Total Current	EVM	
dBm	dBm	dB	mA	%	dB
-20.5	6.79	27.29	164	0.03	-70.46
-19.5	7.90	27.40	165	0.08	-61.94
-18.5	8.91	27.41	166	0.12	-58.42
-17.5	9.87	27.37	167	0.17	-55.39
-16.5	10.76	27.26	168	0.28	-51.06
-15.5	11.74	27.24	170	0.46	-46.74
-14.5	12.86	27.36	173	0.83	-41.62
-13.5	13.85	27.35	177	1.18	-38.56
-12.5	14.87	27.37	181	1.74	-35.19
-11.5	15.78	27.28	186	2.79	-31.09
-10.5	16.69	27.19	193	4.36	-27.21
-9.5	17.73	27.23	206	7.15	-22.91
-8.5	18.59	27.09	218	9.15	-20.77
-7.5	19.38	26.88	234	10.57	-19.52
-6.5	20.01	26.51	254	11.54	-18.76
-5.5	20.76	26.26	278	12.29	-18.21
-4.5	21.20	25.70	305	12.95	-17.75
-3.5	21.60	25.10	334	13.70	-17.27
-2.5	21.97	24.47	365	14.57	-16.73
-1.5	22.13	23.63	396	15.53	-16.18
-0.5	22.41	22.91	426	16.69	-15.55