

國立交通大學

電信工程學系

碩士論文

高速 IC 電源導線佈線和電容設計方法對板級
電磁干擾影響探討



Investigations of the Effects of the Power Trace
and Decoupling Capacitors of High-Speed IC on
Board-level EMI

研究生：劉家益

指導教授：吳霖堃 博士

中華民國 95 年 3 月

高速 IC 電源導線佈線和電容設計方法
對板級電磁干擾影響探討

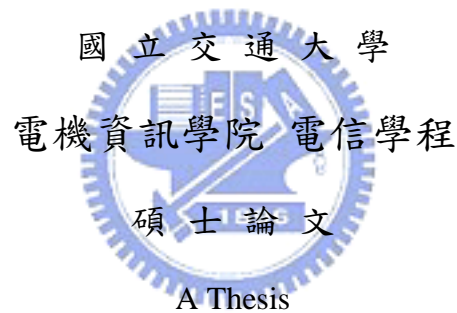
Investigations of the Effects of the Power Trace
and Decoupling Capacitors of High-Speed IC on
Board-level EMI

研究生：劉家益

Student : Chia-I Liu

指導教授：吳霖堃博士

Advisor : Dr. Lin-Kun Wu



Submitted to Degree Program of Electrical Engineering and Computer Science

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Communication Engineering

March 2005

Hsinchu, Taiwan, Republic of China

中華民國 95 年 3 月

高速 IC 電源導線佈線和電容設計方法

對板級電磁干擾影響探討

研 究 生：劉家益

指 導 教 授：吳霖堃 博士

國立交通大學電機資訊學院 電信學程（研究所）碩士班

摘 要



本篇論文利用模擬電路板的電源導線電流迴路，將其電感減少，並且利用去耦合電容縮短電流迴路，找到有效抑制電磁干擾(EMI)的設計方法。

在這整個迴路中有兩個參數為可變。一是電流迴路大小，二是印刷線路板電源導線粗細造成高頻時電感值大小。進而產生同步切換雜訊(SSN)，引發電磁干擾(EMI)。

最後利用同步切換雜訊(SSN)，將其時域轉換成頻域分析，得知遠場電磁干擾(EMI)之大小，有效降低電磁干擾除錯時間和快速找到雜訊來源。