

第四章

結論

目前電子產品之印刷電路板(PCB)，在進行佈線時，一般工程師常因為電路板的複雜和設計時程較短，常常忽略電源導線在高頻電磁干擾(EMI)和非理想電流迴路之重要影響，本文特別提供模擬與驗證高速電源導線佈線之重要性。

$v(t) = L \frac{di(t)}{dt}$ 是最基本之 SSN 和電磁干擾(EMI)成因，其中有

二個重要因素，將影響到 SSN 大小，第一為電流迴路上之電感值越小越好。將整個迴路之任何端點到端點電感值減小到最小值時，同時也可以將 SSN 降到最小值。第二就是讓電流迴路走最短路徑，去耦合電容是一個將電流迴路縮短非常有效的方法，但需考慮到低頻，中頻，與高頻每一個頻率之去耦合電容之特性應用及迴路電感的影響。

同時利用 SSN 和 FFT 可以驗證遠場 EMI 之好壞，並且在電路板的角落預留 Power Plane 和 Ground Plane 測點做為 SSN 和 FFT 之量測分析的方法是非常有效的除錯方式。3D 電磁干擾模擬 (full wave simulator)，並未在本文中討論，但是此方向是值得

研究.

