

第三章

量測數值分析和討論

3-1 模擬電路板設計

由第二章的討論中得知，當數位電路在切換時，如果在電源導體或 Ground Plane 電流迴路有微電感時，就會產生一個非理想電流迴路，進而在 Power Plane 或 Ground Plane 中產生 Delta-I Noise (SSN)，間接產生電磁干擾。其中會有二個重要技巧可以解決此問題，一為降低電流迴路中的電感（本文只針對電源導線之電感做討論），二為利用去耦合電容將電流迴路縮短或面積減少。

為了減少不同參數和雜訊影響到模擬結果，我們採用一個非常簡單線路，一個乾電池，LDO 加振盪頻率產生器和四層板。沒有任何其它雜訊干擾源，只有振盪頻率產生器會產生模擬測試時之雜訊。

此模擬線路是一個以 9V 乾電池為電源，利用 Maxim 8718 低壓降穩壓器(Low Dropout Voltage Regulator, LDO)[13]，將 9V 轉成為 5V 的 Power 提供振盪頻率之電源。利用 ICS501 CMOS Clock [14]，當成模擬數位線路切換元件，模擬雜訊的產生。

在佈線堆疊的考量上，四層印刷電路板如圖 3.1 所示。

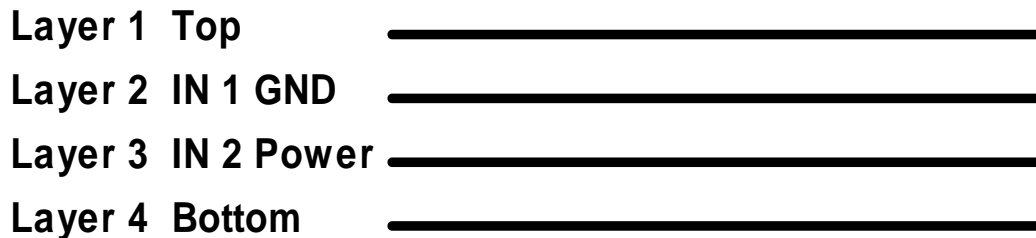


圖 3.1 印刷電路板之堆疊

印刷電路板(PCB) 為一個四層板，板層為TOP, Ground, Power, Bottom 如圖 3-1。板厚為 1.2mm。印刷電路板的尺寸長為 218 mm，寬為 140 mm。元件以放在 Top，Clock 的輸出以 4.7pF 電容短路到地，振盪頻率為 57.272MHz 輸出。

所有元件是放在 Top 層，Ground 是一個完整的 Ground Plane, Power Plane 是一個完整的 5V 電源，以提供 ICS501 CMOS 之電源，內部兩層分別為 Power Plane 和 Ground plane 模擬電磁干擾和輻射。

於角落離板邊 2 mm 處放置測點, 做為量測 SSN 之用。

此模擬線路如圖 3.2

J1 為接 9V 乾電池之連接器, U1 為 MAX8718 LDO 將電池之 9V 轉換成 5V, 提供給 U2 頻率振盪器之電源, C7, C8, C40, C41 and C9 為去耦合電容將電流迴路降低之功能。

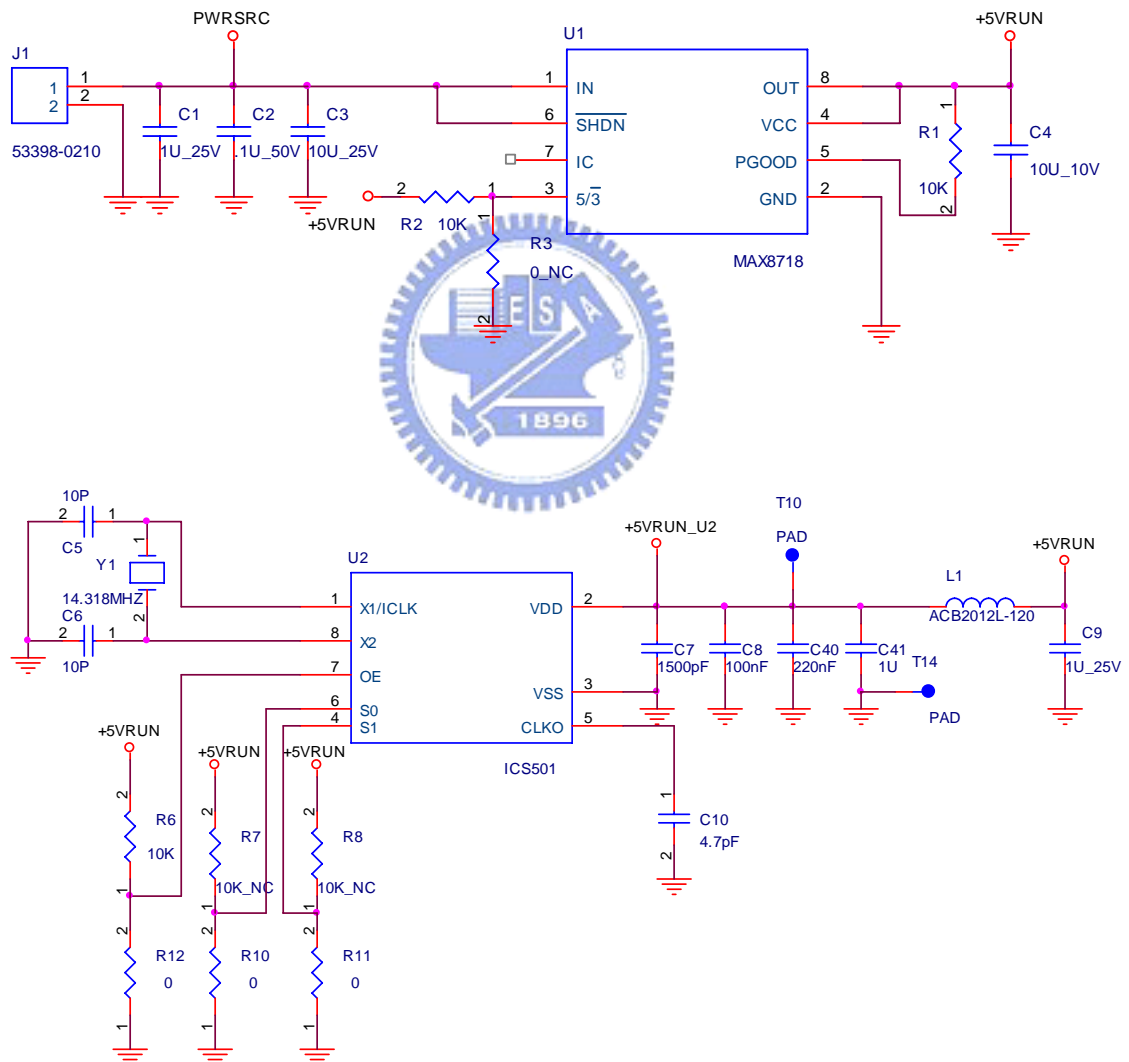


圖 3.2 模擬電路之線路圖

我們在印刷電路的四個角落設計測點，以提供同步切換雜訊之檢測。測點為 Power Plane 5V 和 Ground Plane，在量測雜訊的同時，利用示波器的 FFT 功能將雜訊由時域轉換成頻域方式，觀察雜訊波形和多次諧波之關係，以便當成電磁干擾時的比較。

一般工程師在做佈線時，是由佈線工程師依個人經驗佈線，再由設計工程師提供佈線指導方針。因為電子電路的複雜設計往往造成佈線的困難，或是疏忽掉電源導線之電感值影響。故在印刷電路板的佈線方面特別考量設計，有一最佳化狀況為電源導線迴路電感值最小，是將電源導線加粗到 90~120 mils，有一最糟化狀況為電源導線迴路電感值最大，電源導線為 5 mils，此為模擬線路最大的差異，其它條件參數相同。如去耦合電容元件相同

最佳化之佈線圖, 如圖 3.3 所示:

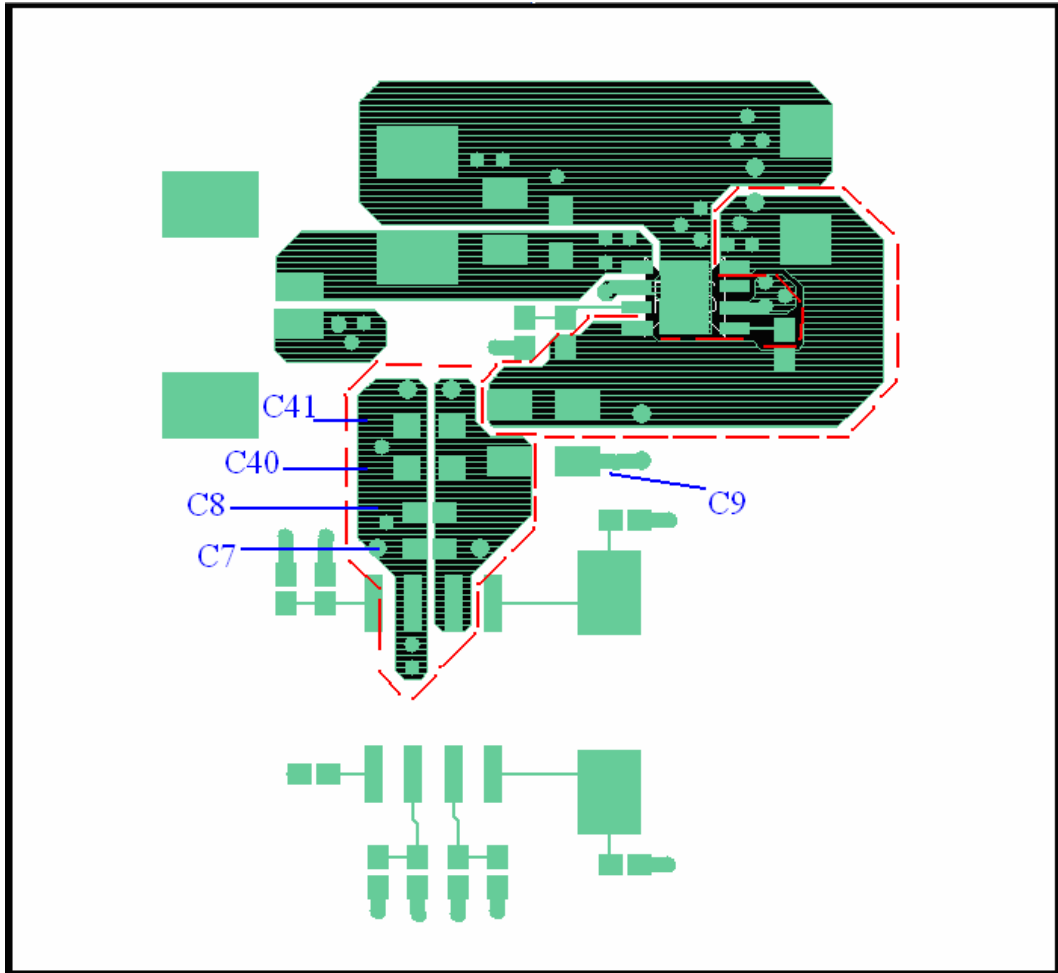


圖 3.3 最佳化印刷電路板之佈線

圖 3.3 中, 虛線部份為電源導線加粗至 90~120 mils, 使其電感值降低. C7 去耦合電容為最接近頻率振盪器 IC. 所有量測點的位置是在四個角落, 距離板邊為 2 mm 處, 因圖 3.3 為放大圖, 故沒有將測點位置放在圖 3.3.

最糟化之佈線圖, 如圖 3.4 所示:

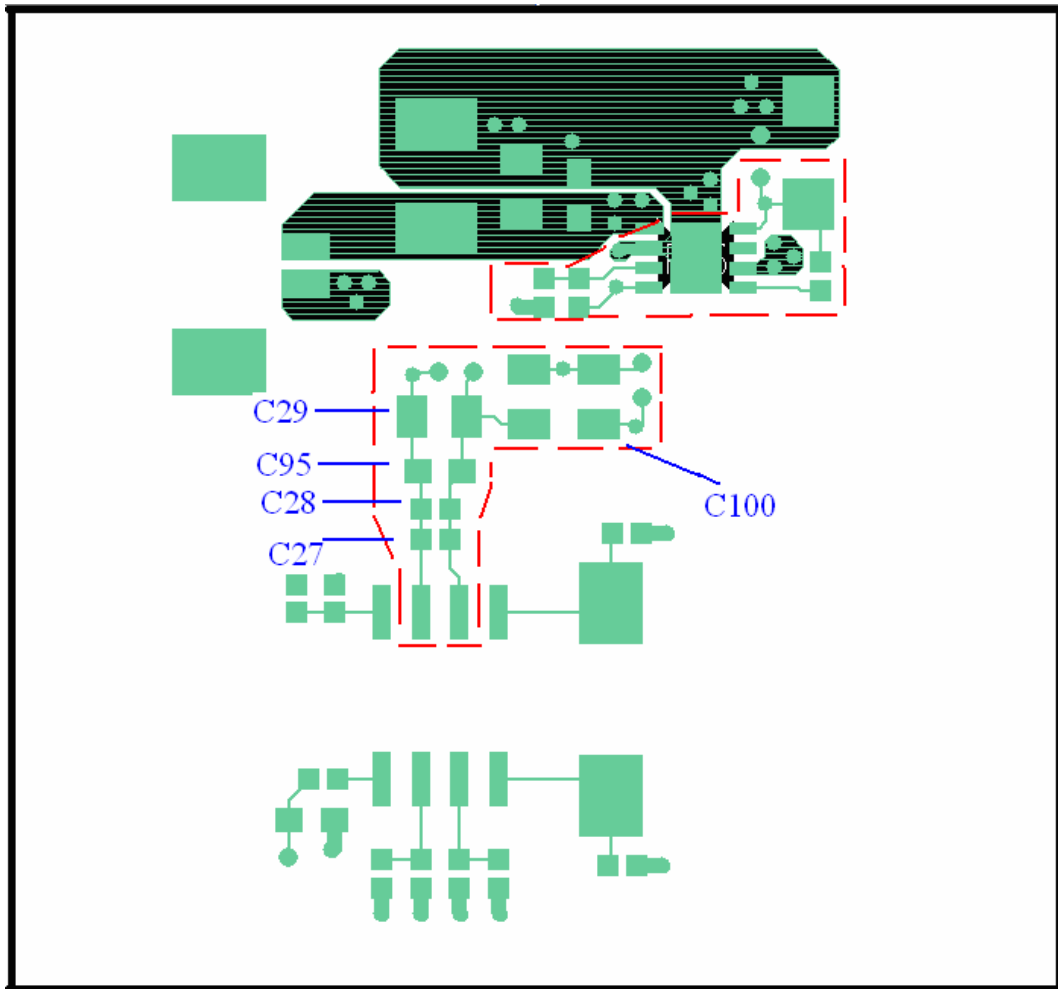


圖 3.4 最糟化印刷電路板之佈線

圖 3.4 中, 虛線部份為電源導線變細至 5 mils, 使其電感值升高. 去耦合電容 C27 為最接近頻率振盪器 IC. 所有量測點的位置是在四個角落, 距離板邊為 2 mm 處, 因圖 3.4 為放大圖, 故沒有將測點位置放在圖 3.4.

3-2 SSN/FFT 量測結果討論

3-2-1 最佳化及最糟化之電路板 SSN 和 FFT 比較

此比較可以得知電源導線之電感大小對 SSN 之影響。在最佳化的電路板中 Peak-to-Peak SSN 為 24mV，最大雜訊頻率出現在 344MHz 其大小為 -57.8db，最糟化電路板的 Peak-to-Peak SSN 為 46mV，最大雜訊頻率出現在 344MHz 其大小為 -49.0db，最佳化和最糟化的 SSN 有 22mV 的差異。最佳化和最糟化的 344MHz 最大雜訊有 8.8db 的差異。

測點位於四個角落距離板邊 2 mm 處，因為此處測點所量測到之 SSN 和遠場所量測到電場強度有其一致性。圖 3.5 為最佳化之佈線的四個測點中，最大值之 SSN，取最大值之原因為電磁干擾量測過程中也是取最大值。EMC 法規中有其規定量測 Worst Case。

電流迴路之電感值大小會影響到目標阻抗在不同頻帶之大小 [4]，相對的在最佳化電路板中，較低的電流迴路電感值，會濾掉較高頻雜訊，如 516MHz。在最糟化電路板中，較高的電流迴路電感值，會濾掉較低頻雜訊，如 344MHz。從圖 3.5 和 3.6 可以看到此影響。

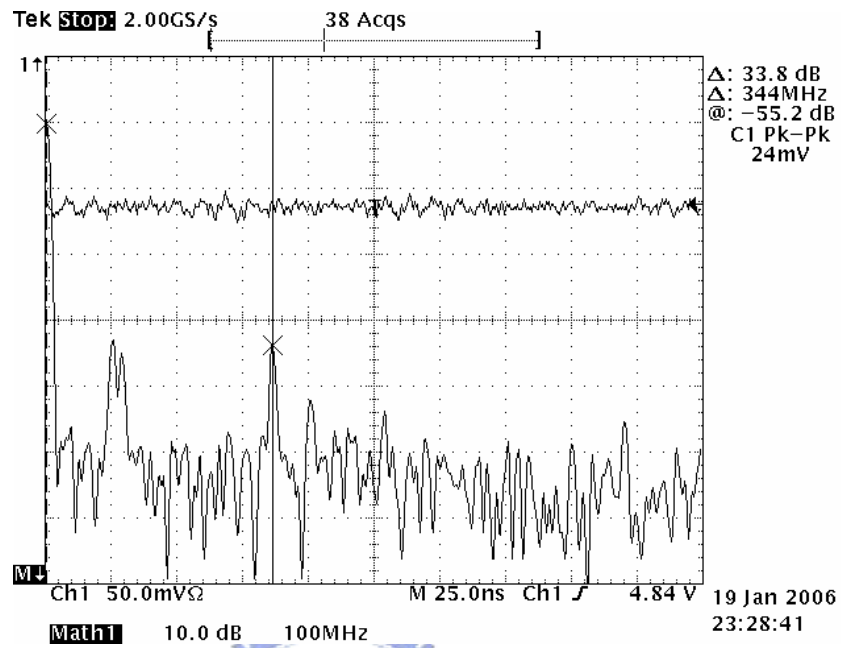


圖 3.5 最佳化電路板之 SSN 和 FFT

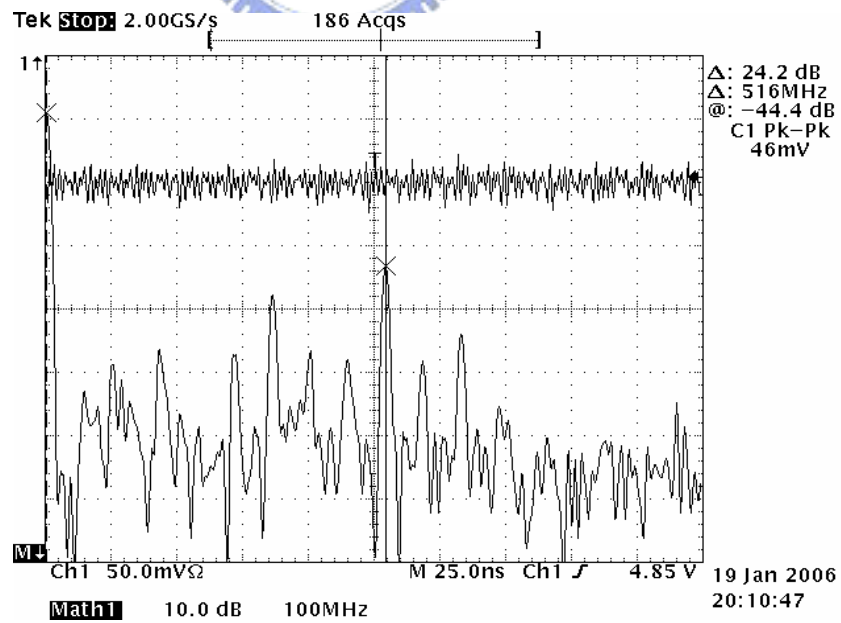


圖 3.6 最糟化電路板之 SSN 和 FFT

3-2-2 利用去耦合電容的多寡，觀察最佳化電路板之 SSN 和 FFT 結果。

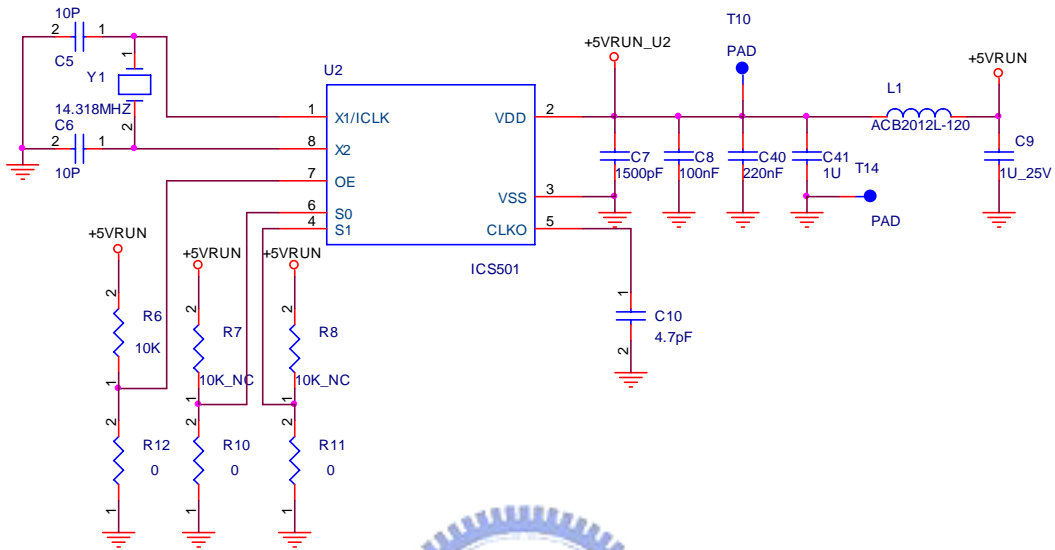


圖 3.7 最佳化電路板之線路圖

在圖 3.7 的最佳化線路中，可以看到 C9 為距離頻率振盪器最遠之去耦合電容，在此節中，由距離最遠之去耦合電容依序一一移除，並且觀察當每移除一個去耦合電容過程中，SSN 和 FFT 之變化，進而了解去耦合電容對電流迴路和 SSN 之影響。當每移除一個去耦合電容時，SSN 和 FFT 漸漸變大，但由於此佈線較佳，當移除 C9(1uF)，C41(1uF)和 C40(0.22uF)之後，去耦合電容只剩 C8(0.1uF)和 C7(1500pF)時，一樣有良好之 Peak-to-Peak 之 SSN 為 40mV，比最糟化電路板未移除任何去耦合電容的 SSN 還小。代表在電流迴路上之電感量影響遠大於去耦合電容，若能有效控制電流迴路之電

感值, 將能更有效發揮去耦合電容控制 SSN 和 EMI 的功能, 此時就不需額外的去耦合電容將目標阻抗降低也能達到目標阻抗之設計值。

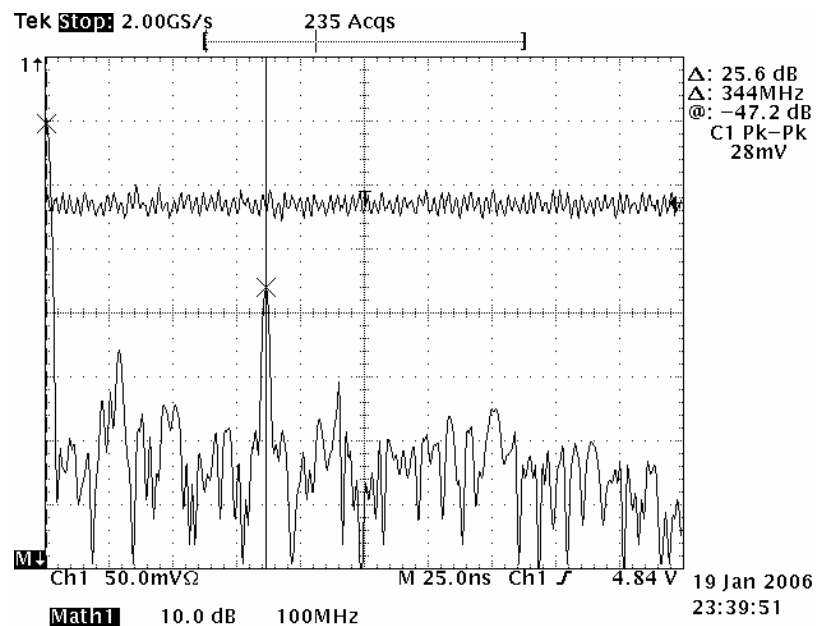


圖 3.8 最佳化電路板之 SSN 和 FFT (Remove C9)

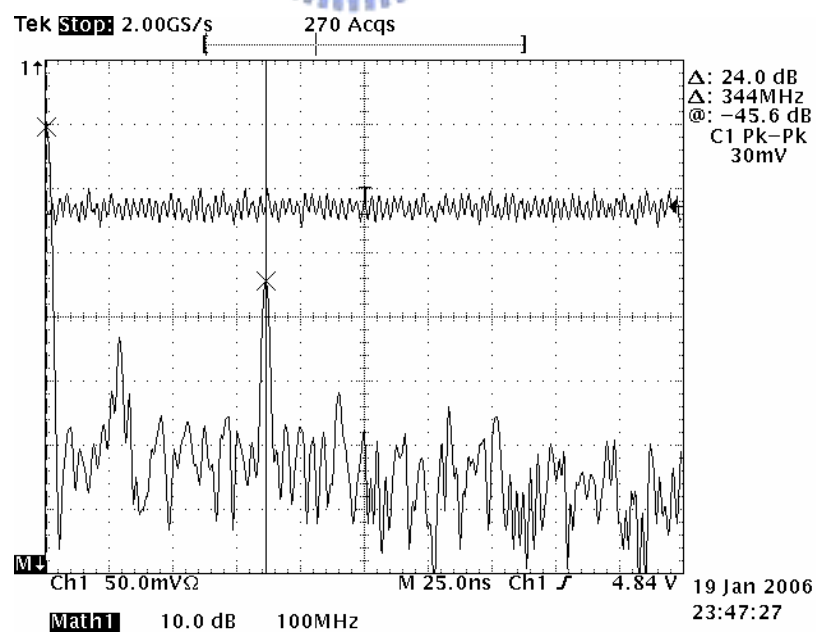


圖 3.9 最佳化電路板之 SSN 和 FFT (Remove C9 and C41)

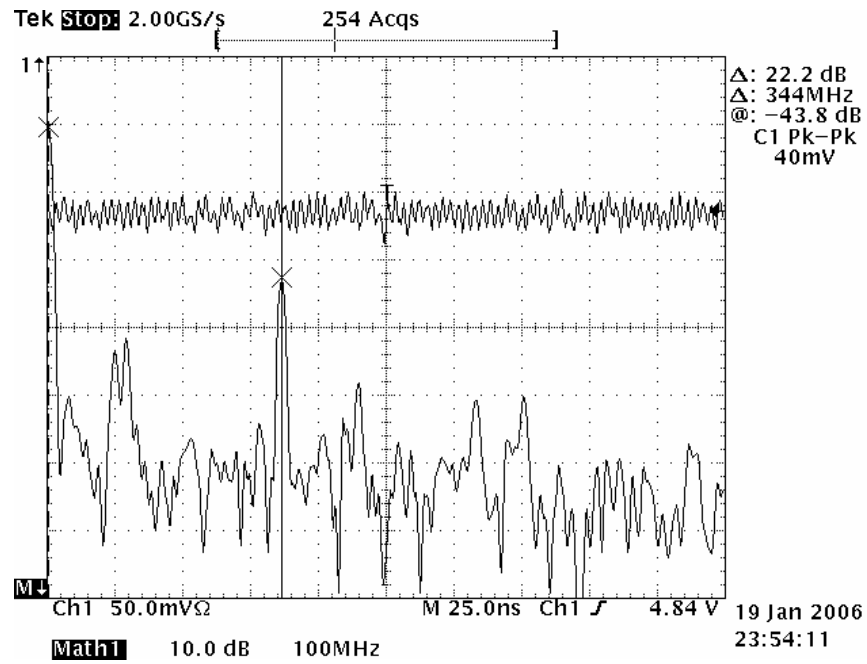


圖 3.10 最佳化電路板之 SSN 和 FFT (Remove C9, C41 and C40)

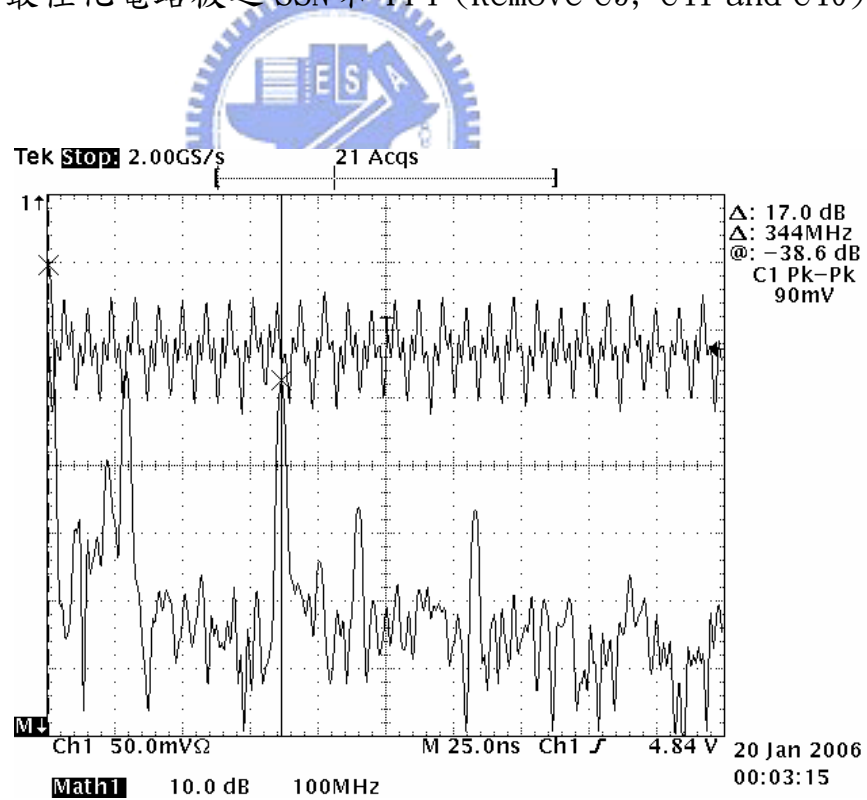


圖 3.11 最佳化電路板之 SSN 和 FFT (Remove C9, C41, C40 and C8)

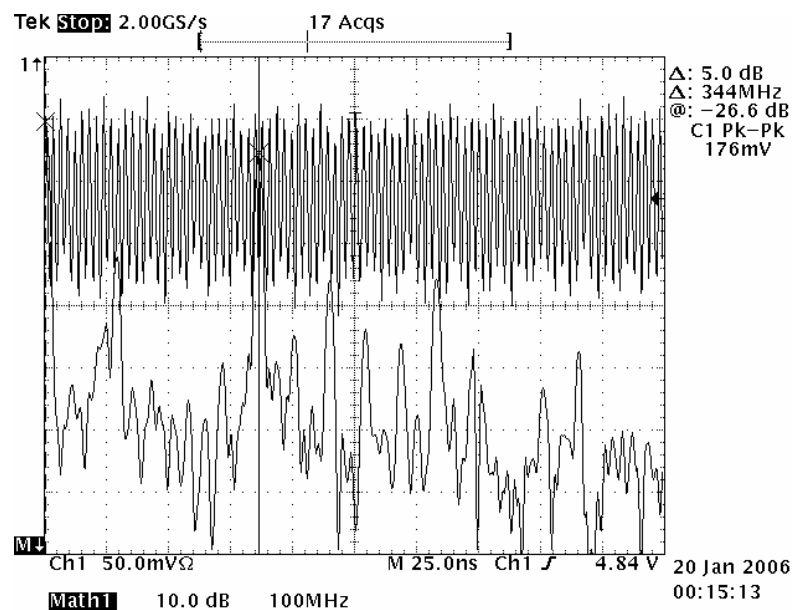


圖 3.12 最佳化電路板之 SSN 和 FFT (Remove C9, C41, C40, C8 and C7)

3-2-3 利用去耦合電容的多寡，觀察最糟化電路板 SSN 和 FFT 之結果

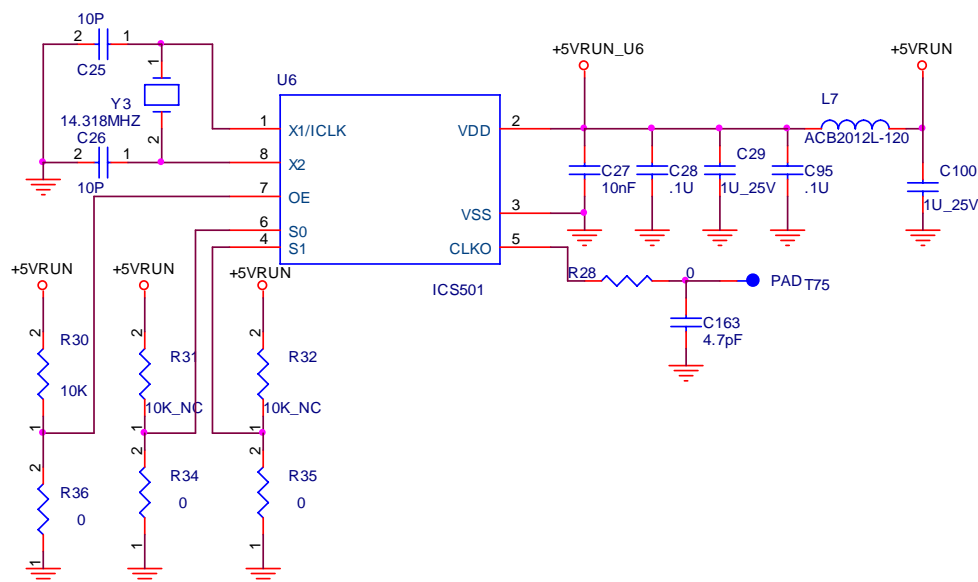


圖 3.13 最糟化電路板之線路圖

在圖 3.13 的最糟化線路中, 可以看到 C100 為距離頻率振盪器之最遠去耦合電容, 在此節中, 將距離最遠之去耦合電容依序一一移除, 並且觀察當每移除一個去耦合電容過程中, SSN 和 FFT 之變化, 進而了解去耦合電容對電流迴路和 SSN 之影響. 當每移除一個去耦合電容時, SSN 和 FFT 非常明顯變大, 但由於此佈線較差, 當移除 C100(1uF), C95(1uF), C29(0.22uF), C28(0.1uF)和 C27(1500pF), Peak-to-Peak 之 SSN 明顯變大, 代表在此電流迴路上較高的電感量對去耦合電容的性能有很大的影響.

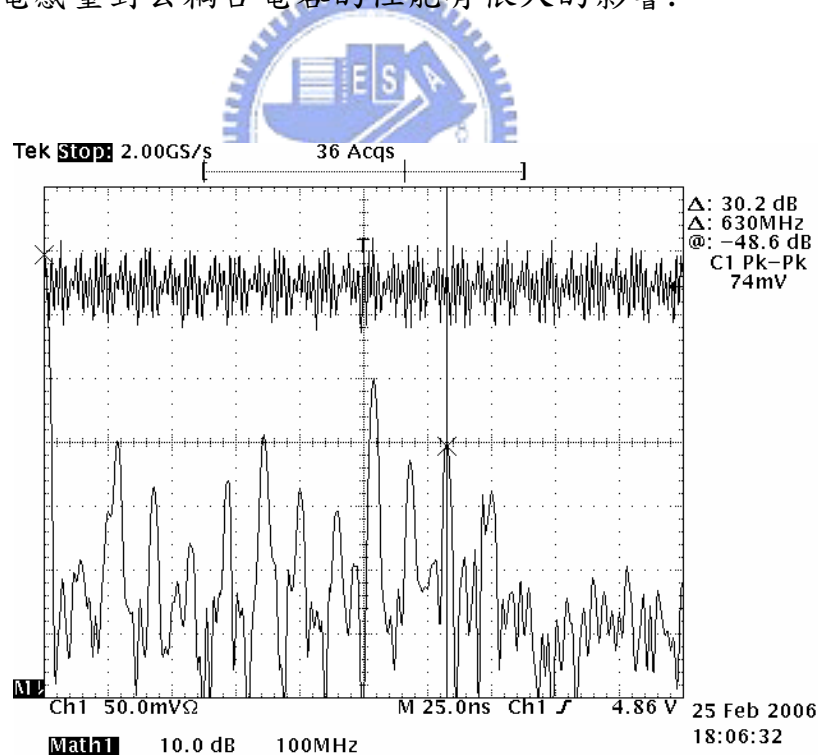


圖 3.14 最糟化電路板之 SSN 和 FFT (Remove C100)

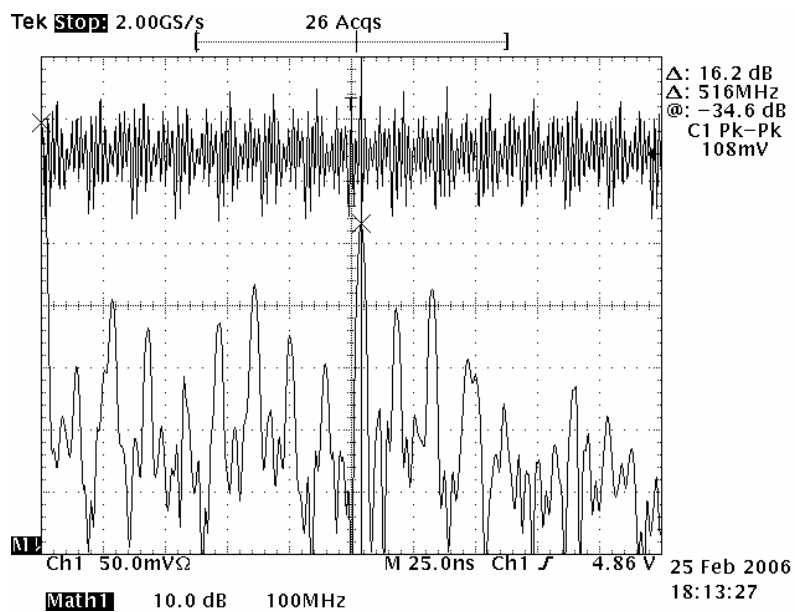


圖 3.15 最糟化電路板之 SSN 和 FFT (Remove C100 and C29)

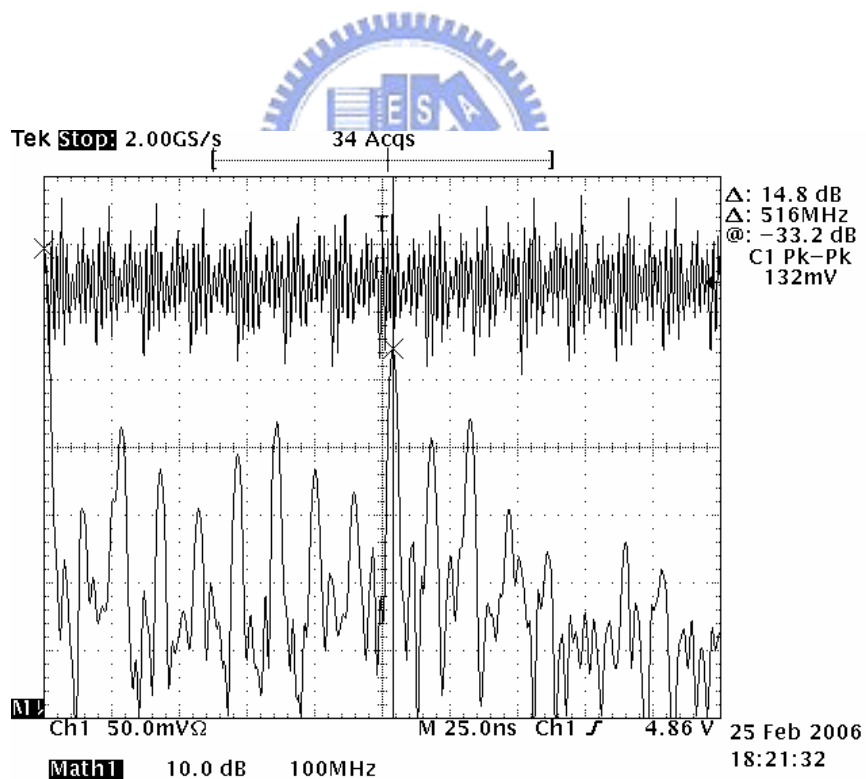


圖 3.16 最糟化電路板之 SSN 和 FFT (Remove C100, C29 and C95)

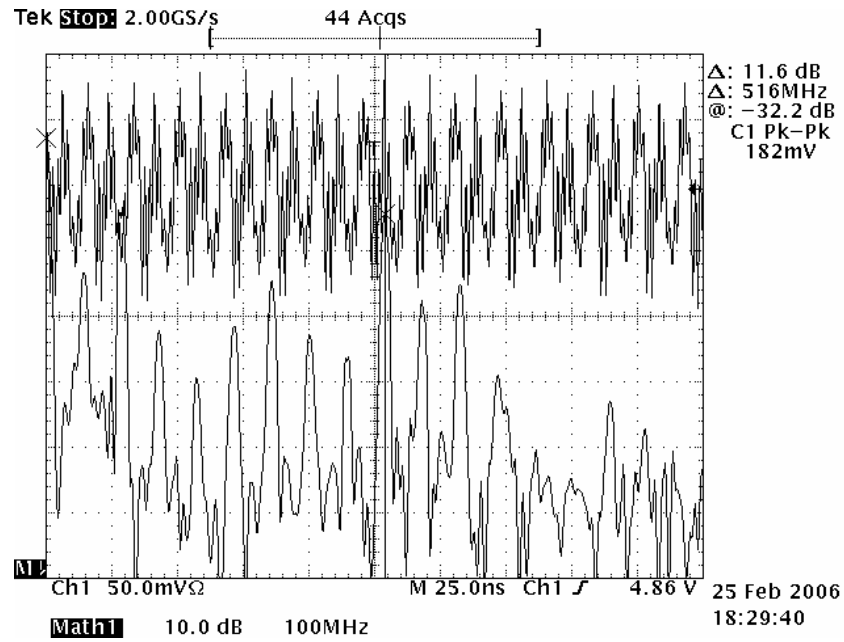


圖 3.17 最糟化電路板之 SSN 和 FFT (Remove C100, C29, C95 and C28)

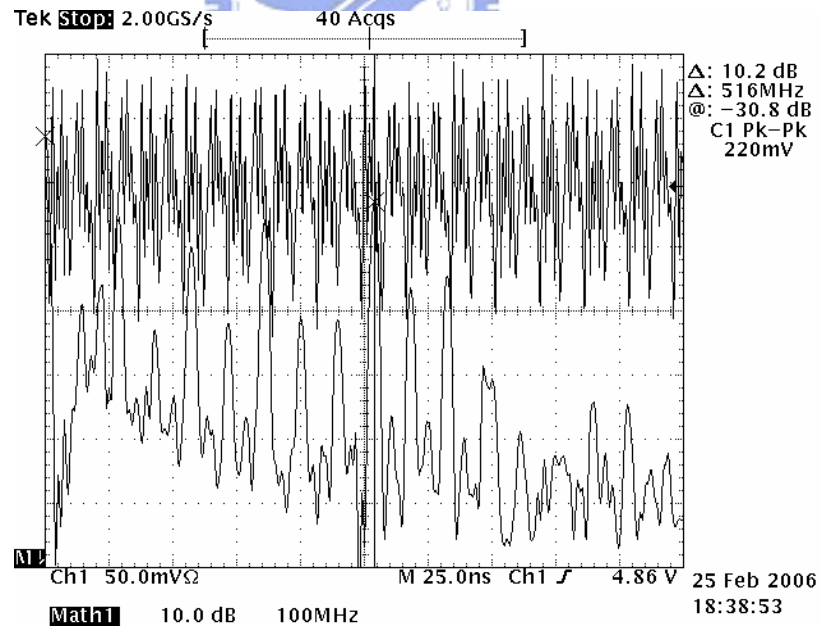


圖 3.18 最糟化電路板之 SSN 和 FFT (Remove C100, C29, C95, C28 and C27)

3-2-4 最佳化和最糟化電路板之量測結果討論

將最佳化和最糟化電路板之佈線波形在減少每一個去耦合電容關係(表 3.1)得知, 最佳化的佈線上, 電源導線之電感值低, 只要有一個 0.1uF 和一個 1500pF 就可以將此模擬線路的 SSN 維持在 42mV. 但是最糟化的電源佈線, 沒有移除任何去耦合電容時為 46mV 比最佳化的佈線移除 2 個 1uF 和一個 0.1uF 還差. 故得知將電流迴路之電感值降低是一個非常有效降低 SSN 值. 當目標阻抗高於設計標準值, 可以利用去耦合電容將目標阻抗降低到標準以達到 SSN 降低, 並且符合電磁干擾之標準.

表 3.1 的雜訊值是以在模擬電路板的四個角落所預留的測點. 將四個點之雜訊測量完畢後取其最大值. 雜訊在每個角落之值會有些許的差異, 但此差異都有一致性, 故取其最大值為一個合理的方式.

同時在量測過程中, 可以清楚得知將 SSN, 由時域轉換成頻率時之 FFT, 在整個雜訊的變大和頻譜上看到之變化變大. 得知其明顯差異, 由此可以當成一個電磁干擾除錯之工具.

5V Power Plane 上之去耦合電容	1uF, 1uF, 0.22uF, 0.1uF and 1500pF	1uF, 0.22uF, 0.1uF and 1500pF	0.22uF, 0.1uF and 1500pF	0.1uF and 1500pF	1500pF	無去耦合電容在 5V Power Plane
The Best Case Noise	24mV	28mV	30mV	42mV	90mV	176mV
The Worst Case Noise	46mV	74mV	108mV	132mV	182mV	220mV

表 3.1 最佳化及最糟化電路板之 SSN 比較表

3-2-5 最佳去耦合電容比較

當最佳化佈線之去耦合電容只有一個 C7 時, 找出最佳去耦合電容值, 從表 3. 2, 可以觀察到 C7 4700pF 之 SSN 為 50mV. 其為最佳值和最佳去耦合電容值. 當最糟化佈線之去耦合電容只有一個 C27 時, 找出最佳去耦合電容值, 從表 3. 2, 可以觀察到 C27 47nF 之 SSN 為 124mV. 其為最佳值和最佳去耦合電容值.

由於電源導線, 去耦合電容和慣孔還是有其電感值, 這些電感值會影響高頻電流迴流到電源, 使去耦合電容會對 SSN 有瓶頸.

5V Power Plane 上之去耦合電容	1500pF	4700pF	47nF	100nF	220nF
The Best Case Noise (Only C7)	90mV	50mV	50mV	52mV	48mV
The Worst Case Noise (Only C27)	182mV	134mV	124mV	124mV	126mV

表 3. 2 最佳化及最糟化電路板之最佳值去耦合電容 SSN 比較表

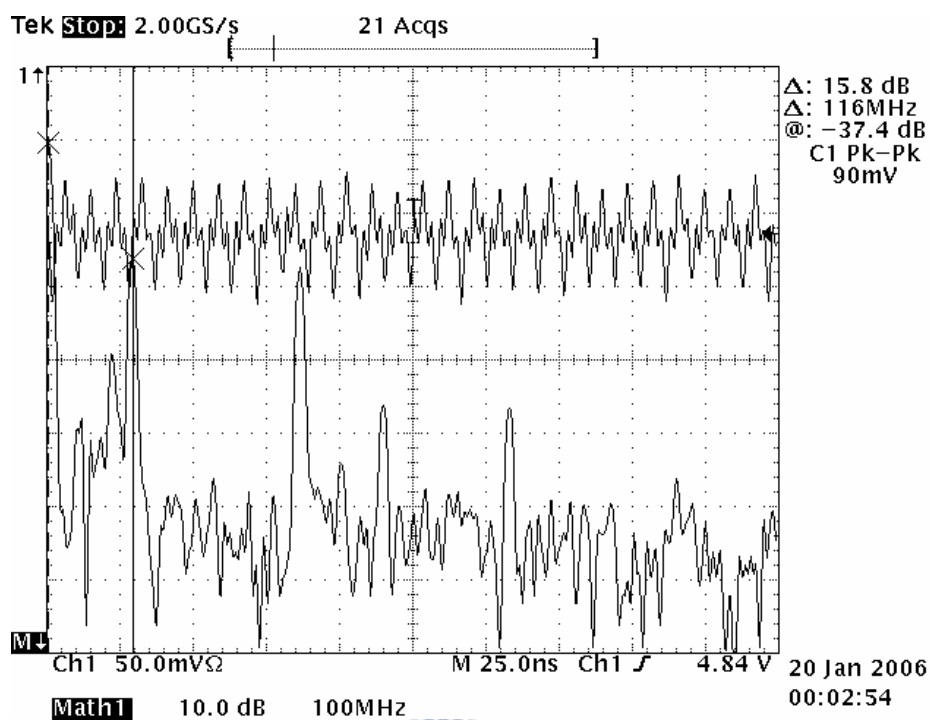


圖 3.19 最佳化電路板之 SSN 和 FFT (Only C7 1500pF)

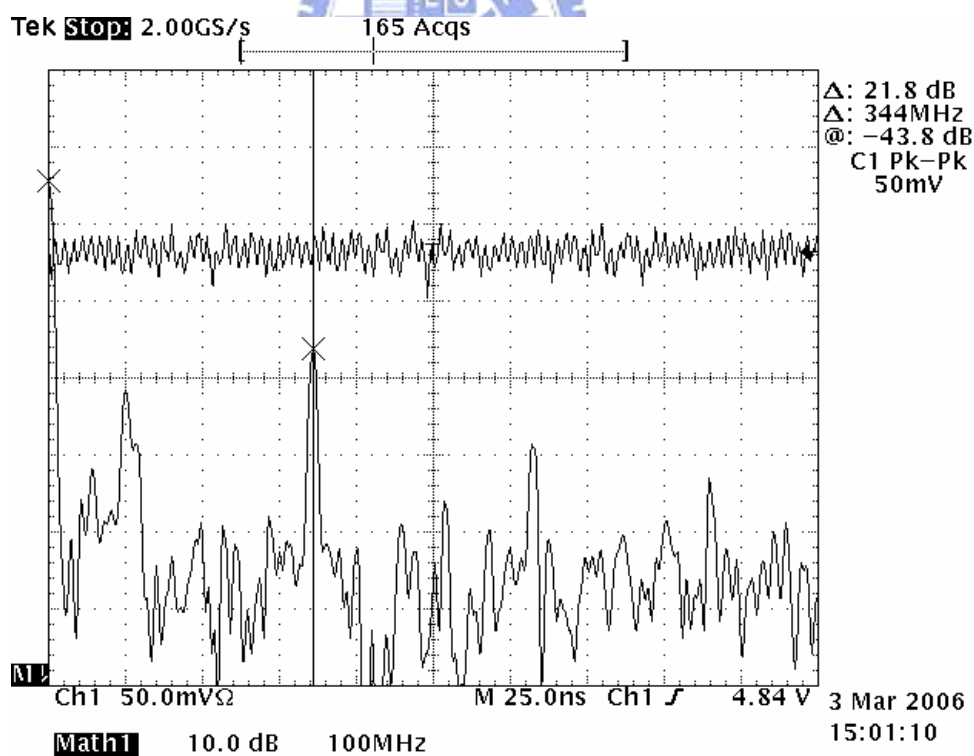


圖 3.20 最佳化電路板之 SSN 和 FFT (Only C7 4700pF)

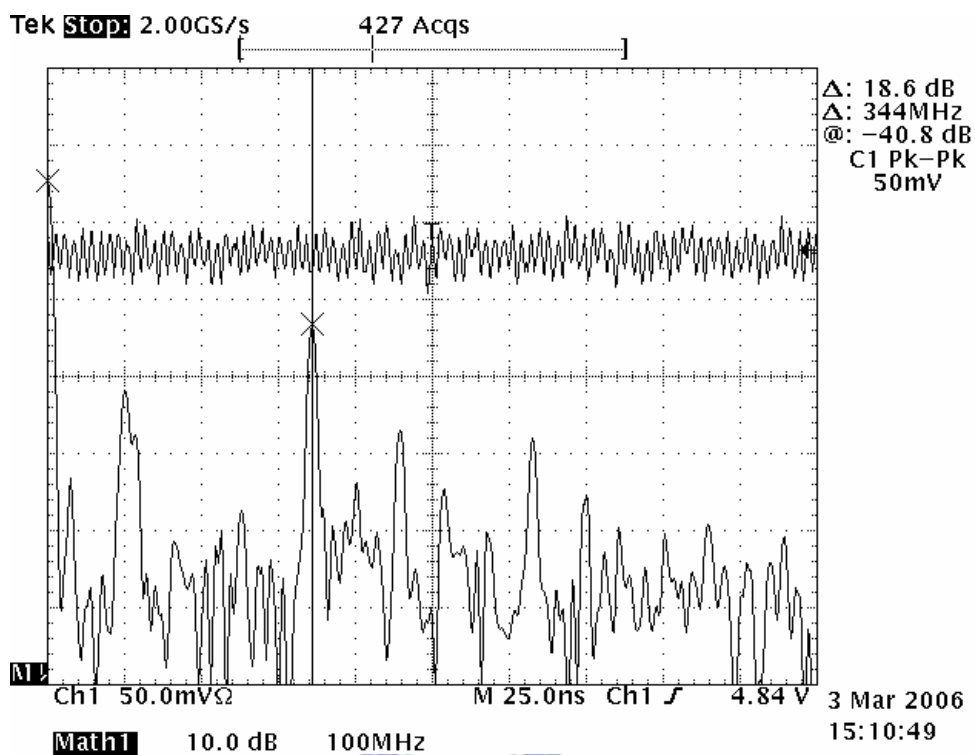


圖 3.21 最佳化電路板之 SSN 和 FFT (Only C7 47nF)

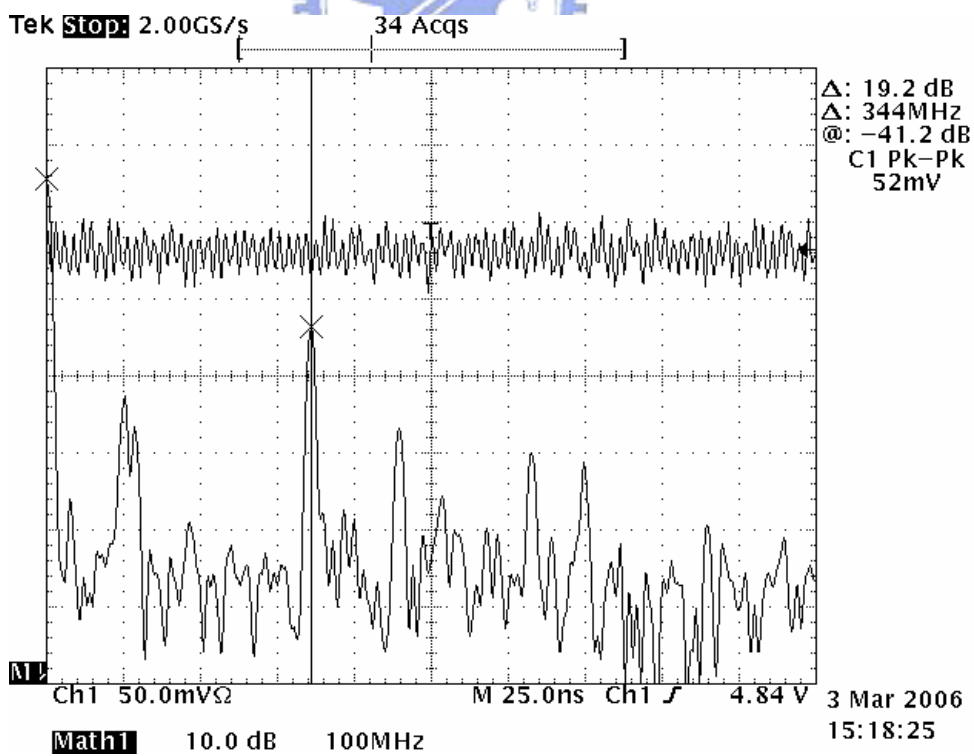


圖 3.22 最佳化電路板之 SSN 和 FFT (Only C7 100nF)

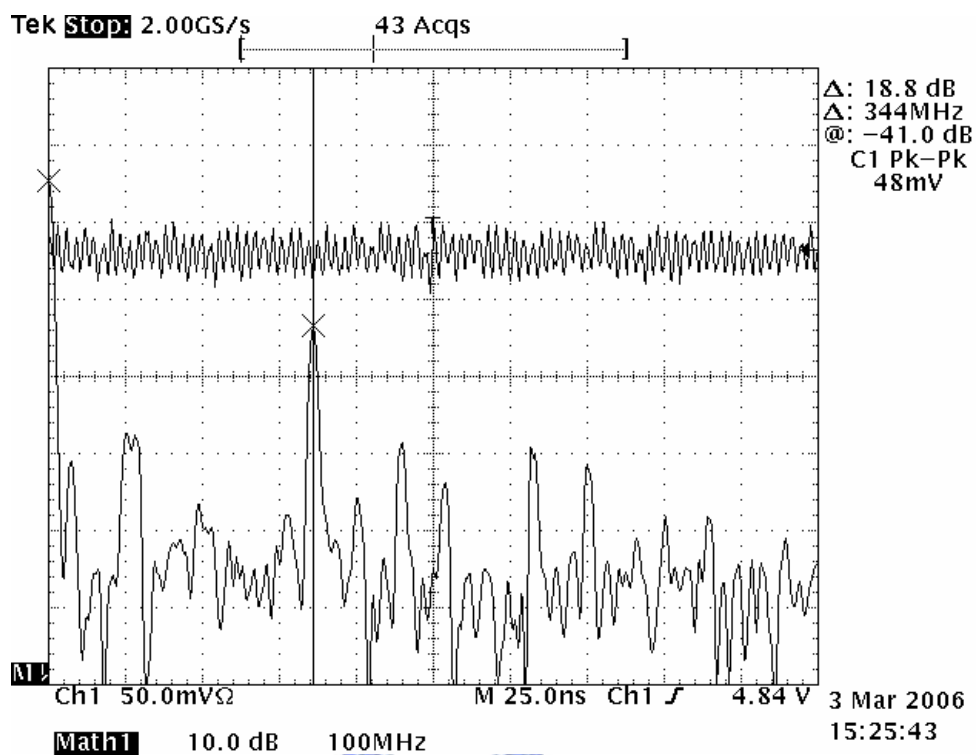


圖 3.23 最佳化電路板之 SSN 和 FFT (Only C7 220nF)

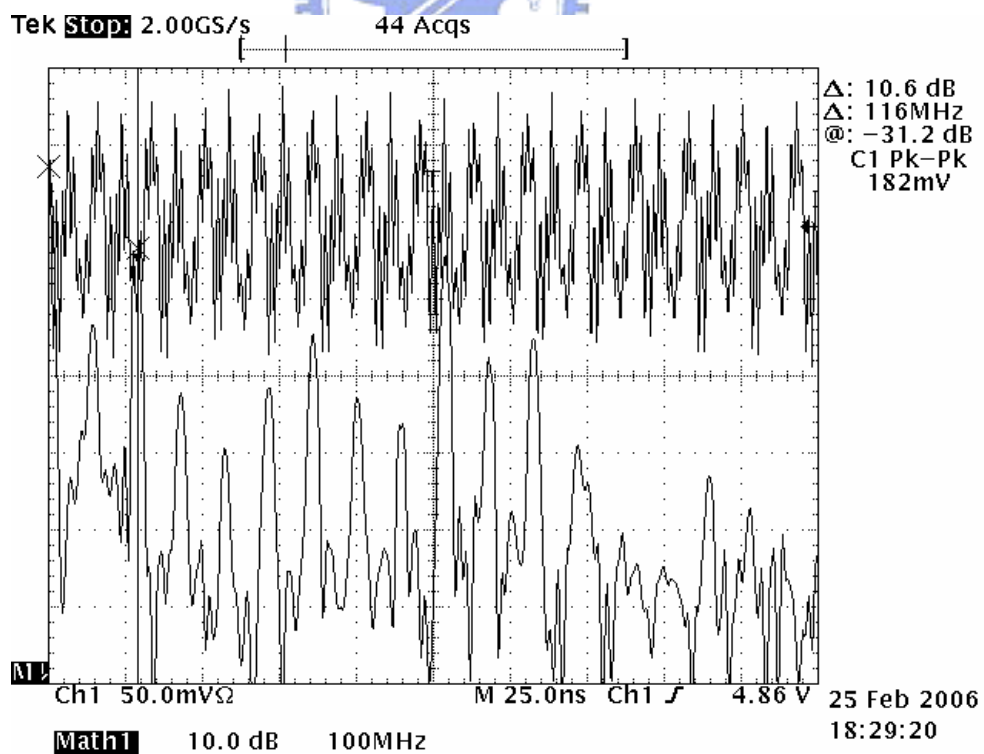


圖 3.24 最糟化電路板之 SSN 和 FFT (Only C27 1500pF)

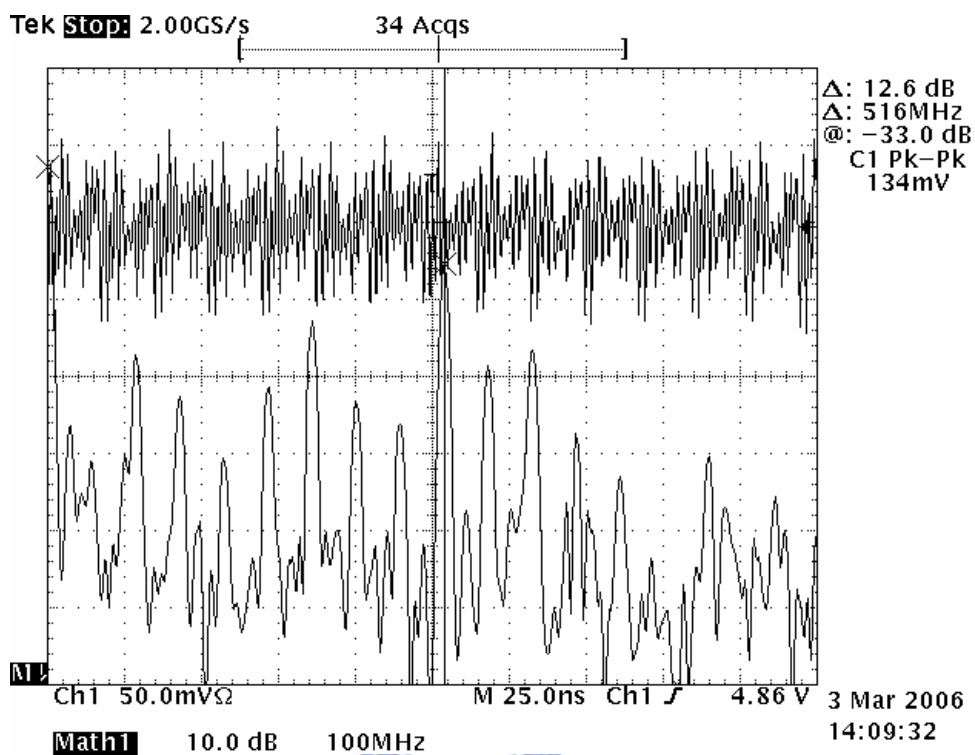


圖 3.25 最糟化電路板之 SSN 和 FFT (Only C27 4700pF)

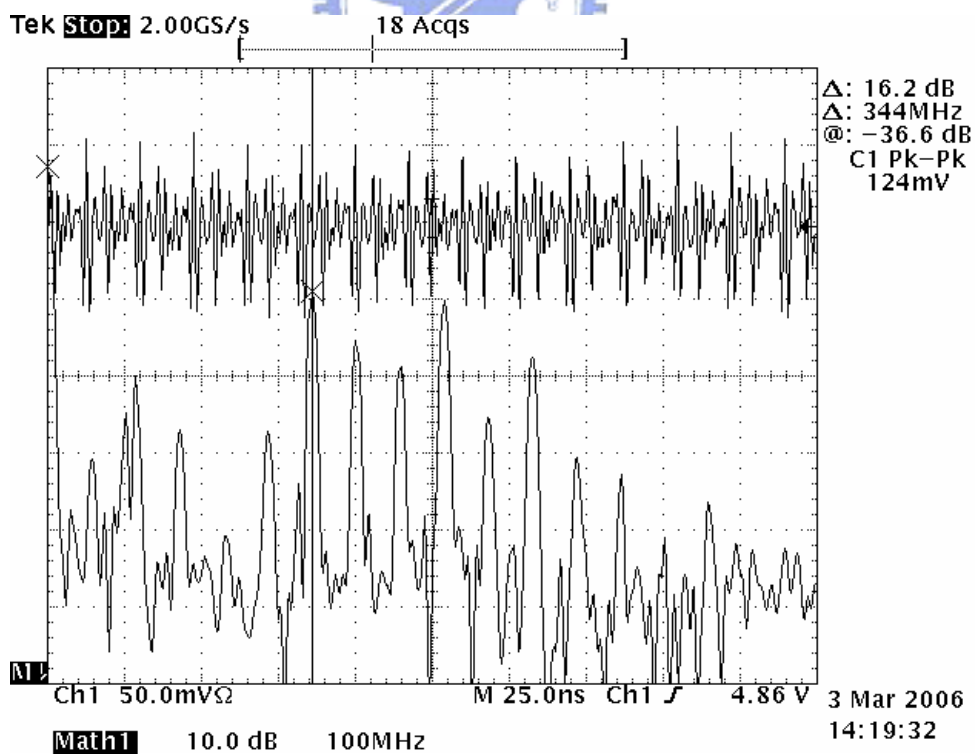


圖 3.26 最糟化電路板之 SSN 和 FFT (Only C27 47nF)

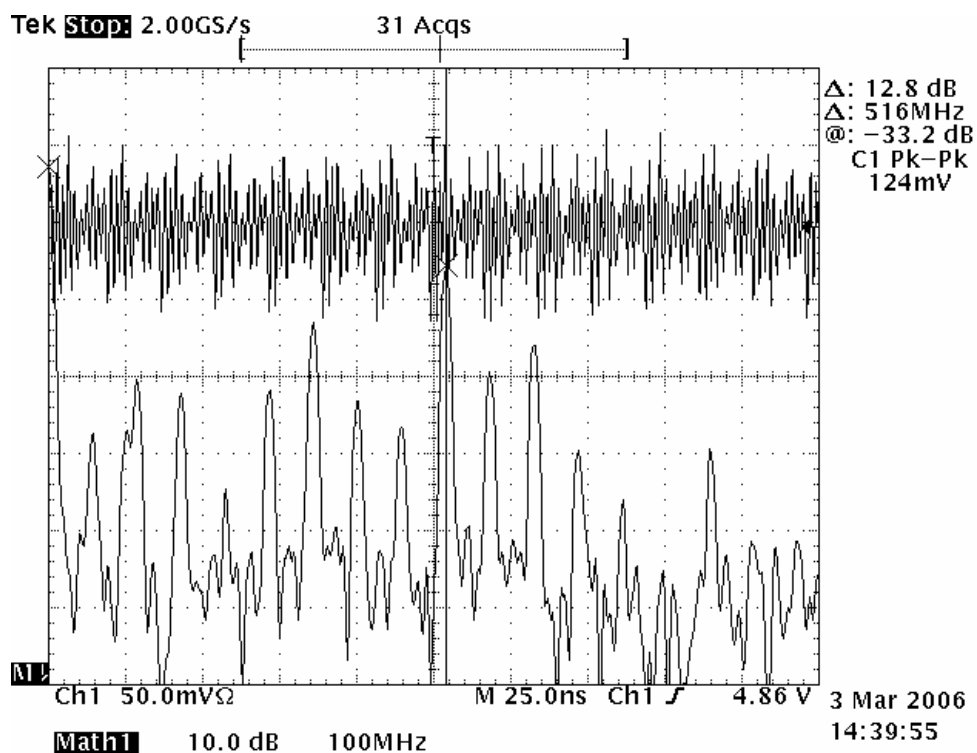


圖 3.27 最糟化電路板之 SSN 和 FFT (Only C27 100nF)

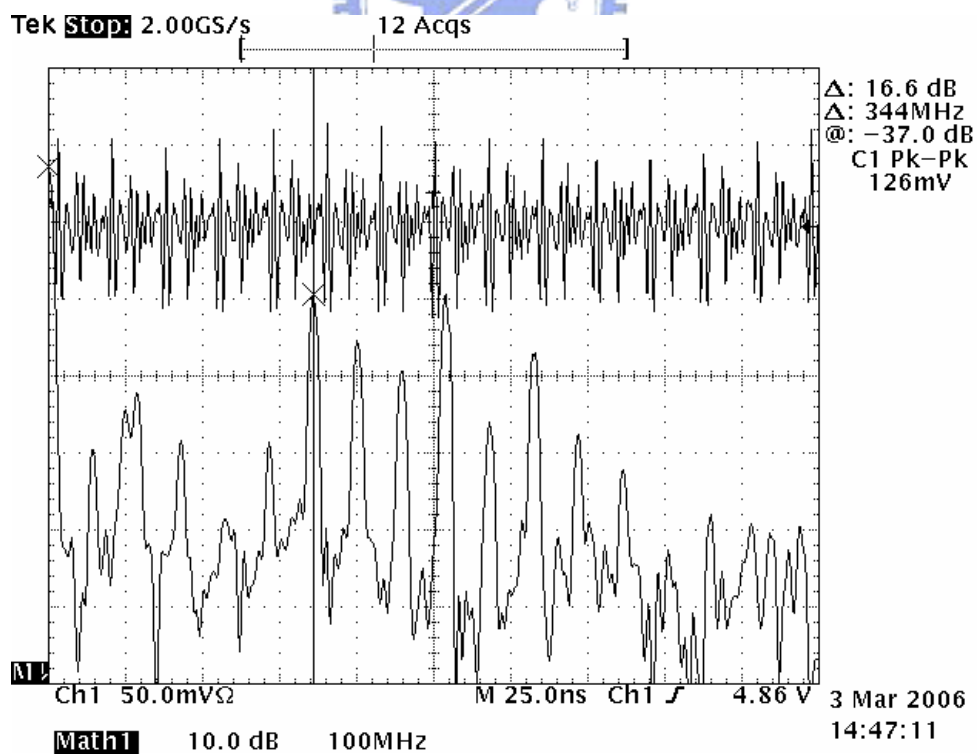


圖 3.28 最糟化電路板之 SSN 和 FFT (Only C27 220nF)

3-3 EMI 量測結果討論

3-3-1 最佳化電路板之 EMI 資料

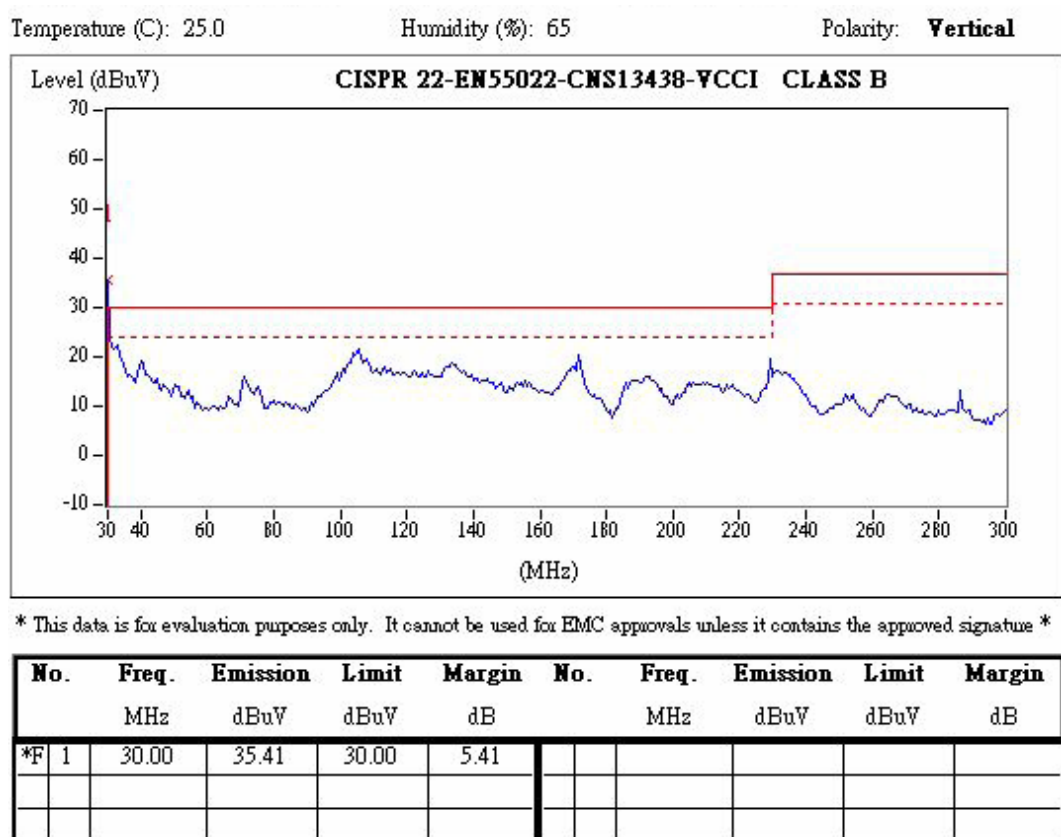


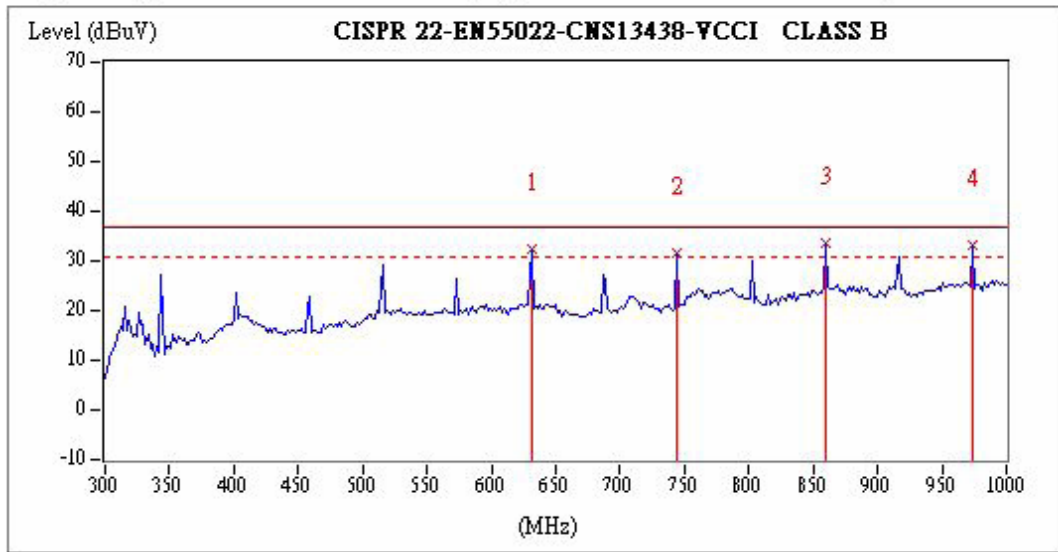
圖 3.29 最佳化電路板之 EMI (30MHz~300MHz 頻譜)

圖 3.29 和圖 3.30 為最佳化佈線之 EMI 測試結果，所有的多次諧波皆符合 CISPR 22-EN55022 Class B 的規範。在最佳化佈線之 SSN and FFT 的量測結果也和 EMI 結果一致。

Temperature (C): 25.0

Humidity (%): 65

Polarity: **Vertical**



* This data is for evaluation purposes only. It cannot be used for EMC approvals unless it contains the approved signature *

No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB	No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB
1	630.75	32.40	37.00	-4.60					
2	744.50	31.53	37.00	-5.47					
*	3	860.00	37.00	-3.55					
	4	973.75	37.00	-4.00					

圖 3.30 最佳化電路板之 EMI (300MHz~1GHz 頻譜)

3-3-2 最糟化電路板之 EMI 資料

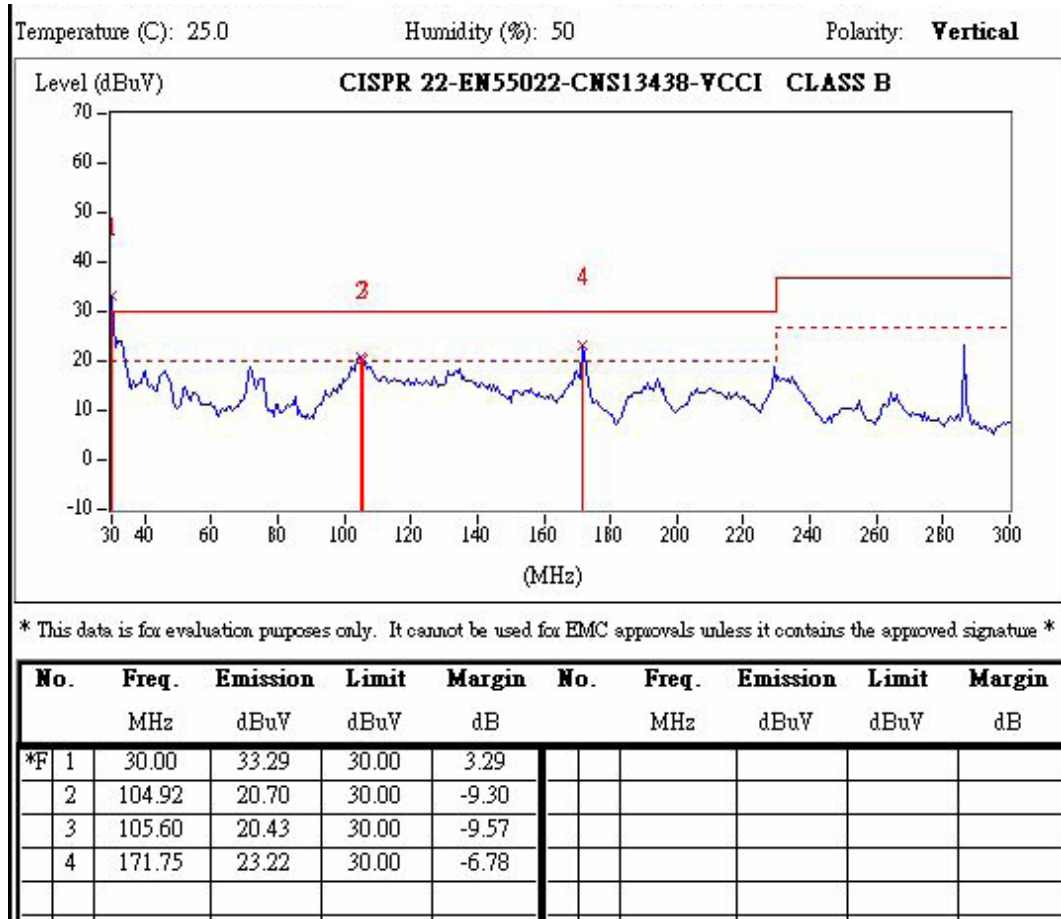


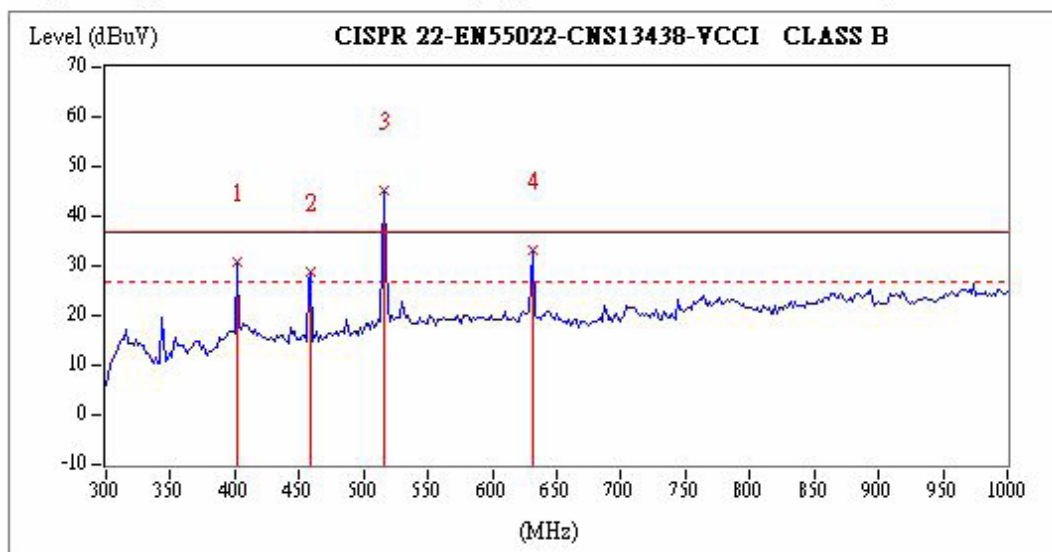
圖 3.31 最糟化電路板之 EMI (30MHz~300MHz 頻譜)

圖 3.31 和圖 3.32 為最糟化佈線之 EMI 測試結果，515.25MHz 為 57.2MHz 的九次諧波不符合 CISPER 22-EN55022 Class B 電路板. 超過 8.32dB. 在最糟化佈線之 SSN and FFT 的量測結果圖 3.6 也看到 515.25MHz 為差. 和 EMI 結果一致.

Temperature (C): 25.0

Humidity (%): 50

Polarity: **Vertical**



* This data is for evaluation purposes only. It cannot be used for EMC approvals unless it contains the approved signature *

No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB	No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB
1	401.50	30.97	37.00	-6.03					
2	459.25	28.85	37.00	-8.15					
*F 3	515.25	45.32	37.00	8.32					
4	630.75	33.35	37.00	-3.65					

圖 3.32 最糟化電路板之 EMI (300MHz~1GHz 頻譜)

最佳化佈線之 EMI 都符合 CISPER 22-EN55022 Class B

但是最糟化佈線之 EMI 超過 CISPER 22-EN55022 Class B 8.32dB.

兩者之間的差異在 515.25MHz 高達 12dB.

可見電源導線之電感量高者會造成 SSN 和 EMI 較差,可以從此
驗證此差異性

3-3-3 利用去耦合電容的多寡，比較最佳化之 EMI 差異。

從圖 3.33, 3.34, 3.35, 3.36 and 3.37. 當每移除一個去耦合電容時，EMI 會越來越差，同時其 SSN 和 FFT 也有此特性. 如果能利用去耦合電容將電流迴路和 SSN 減少，其 EMI 相對為佳。

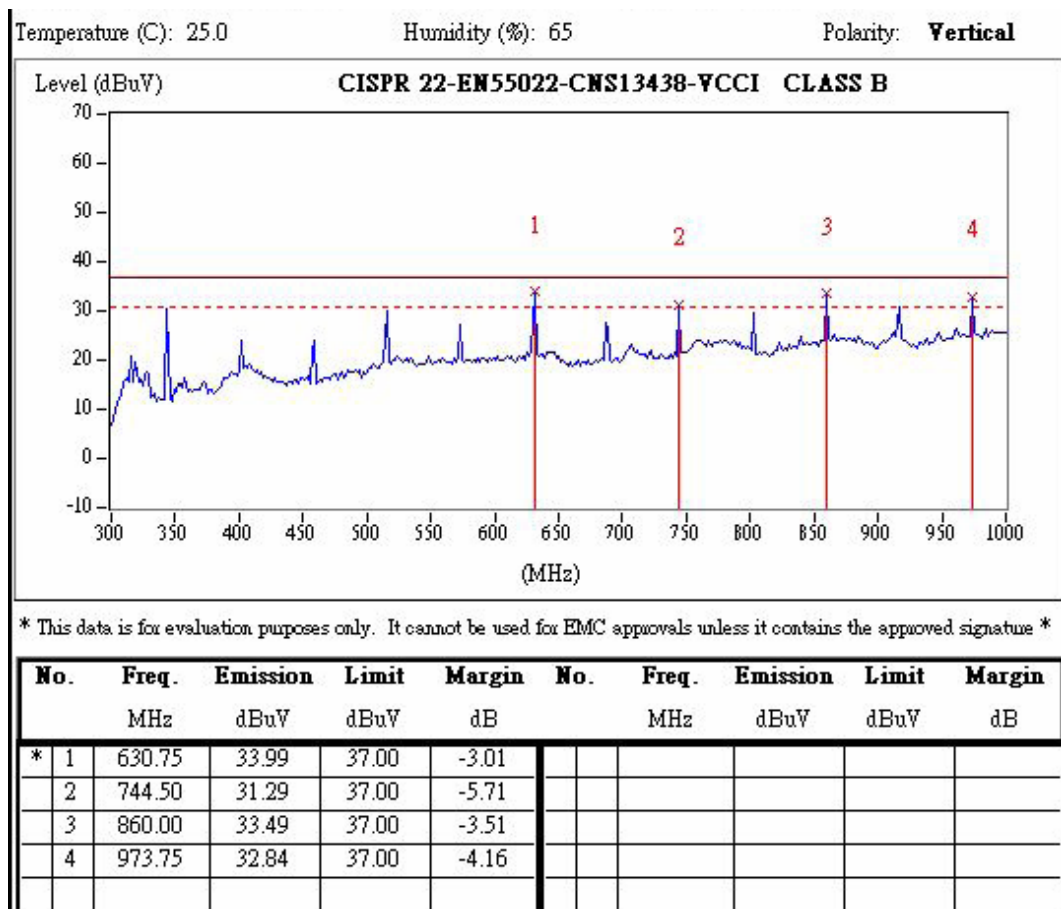


圖 3.33 最佳化電路板之 EMI (Remove C9)

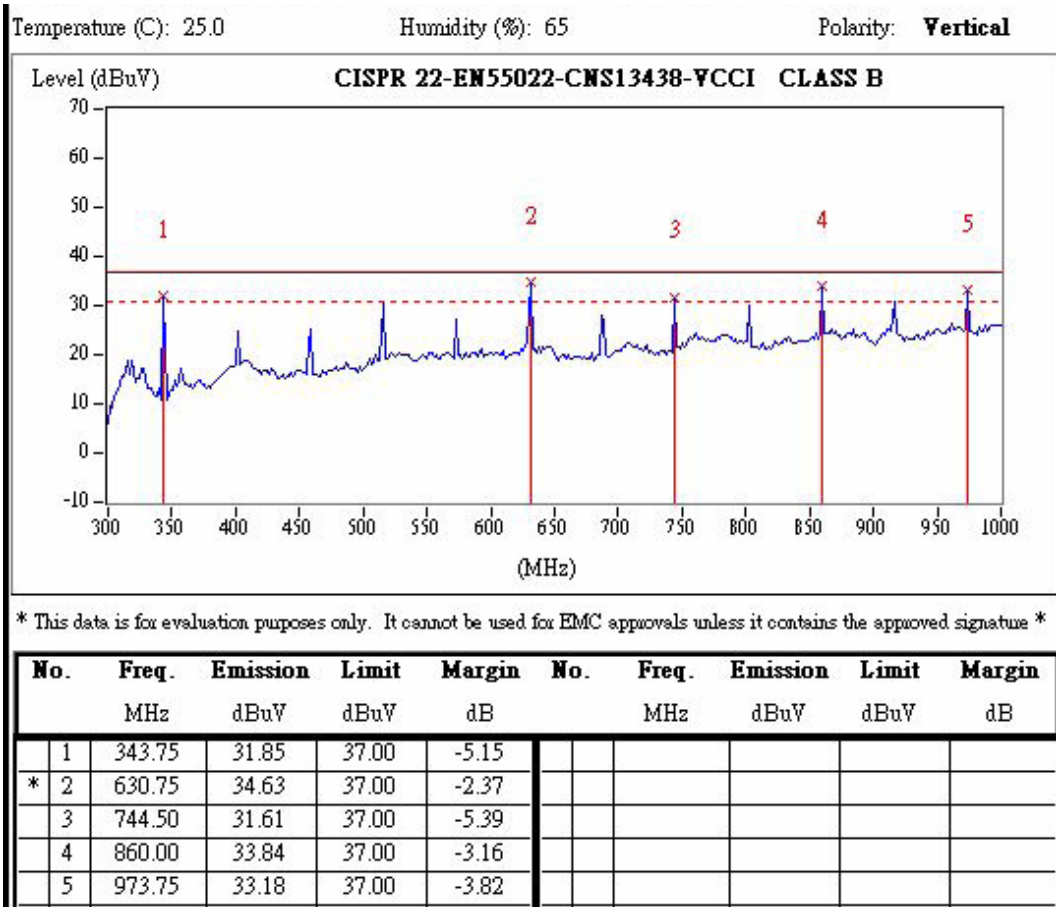
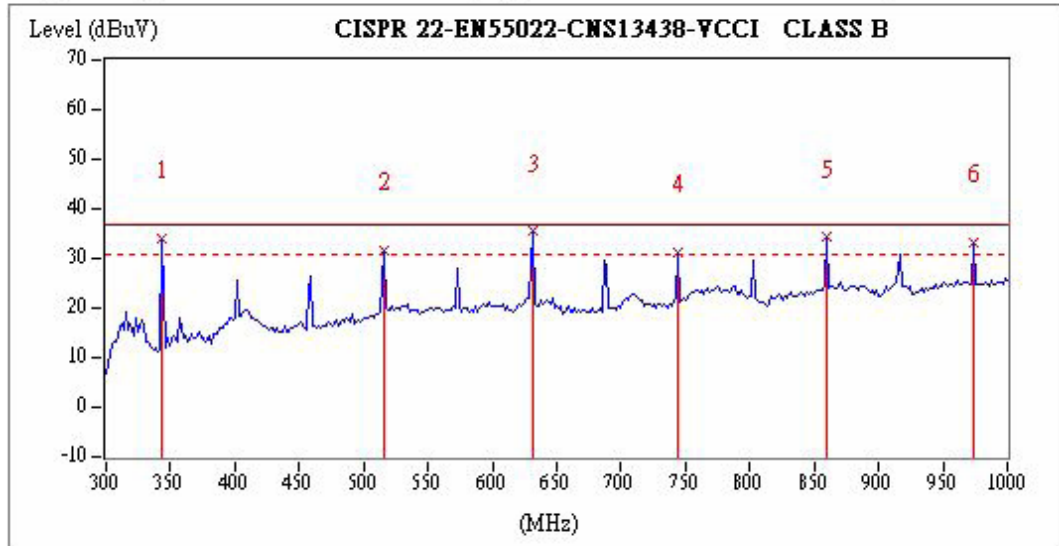


圖 3.34 最佳化電路板之 EMI (Remove C9 and C41)

Temperature (C): 25.0

Humidity (%): 65

Polarity: **Vertical**



* This data is for evaluation purposes only. It cannot be used for EMC approvals unless it contains the approved signature *

No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB	No.	Freq. MHz	Emission dBuV	Limit dBuV	Margin dB
1	343.75	34.19	37.00	-2.81					
2	515.25	31.65	37.00	-5.35					
*	3	630.75	35.60	37.00	-1.40				
	4	744.50	31.33	37.00	-5.67				
	5	860.00	34.22	37.00	-2.78				
	6	973.75	33.37	37.00	-3.63				

圖 3.35 最佳化電路板之 EMI (Remove C9, C41 and C40)

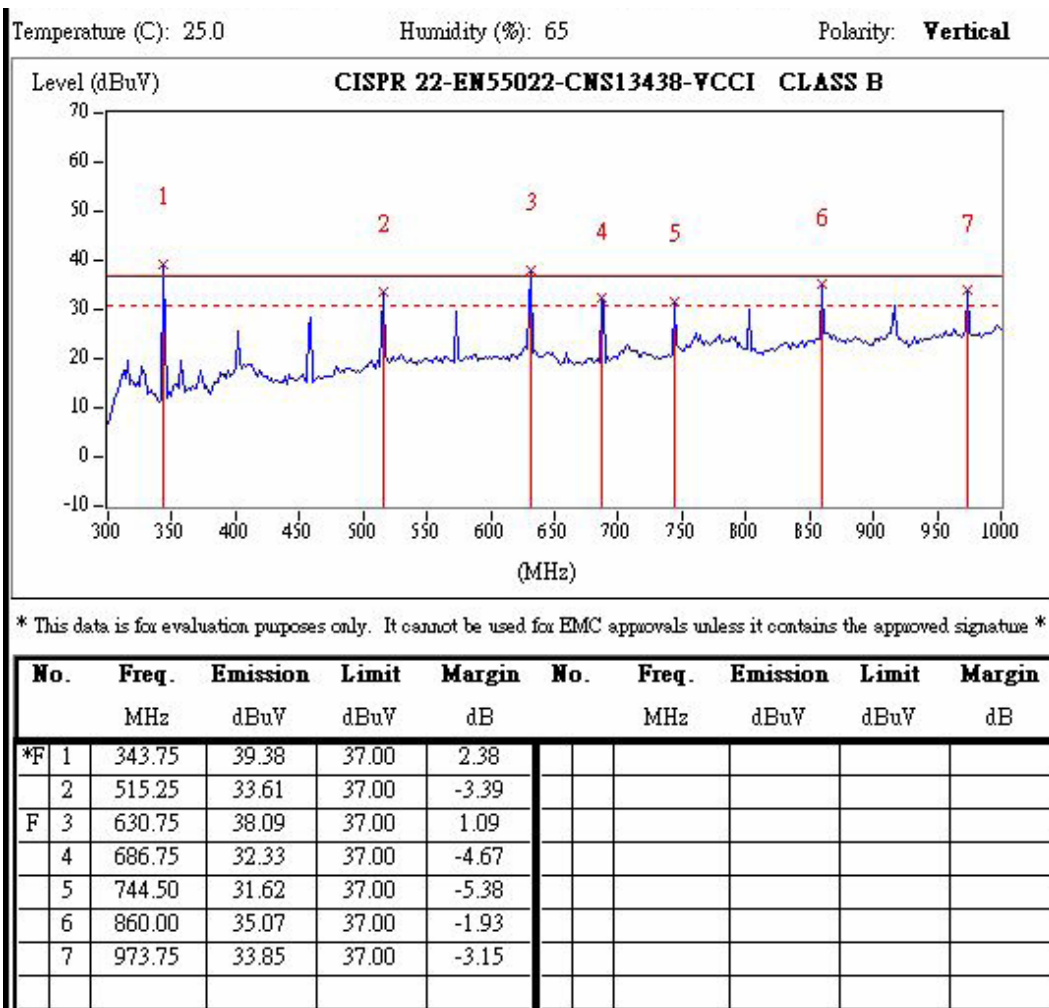


圖 3.36 最佳化電路板之 EMI (Remove C9, C41, C40 and C8)

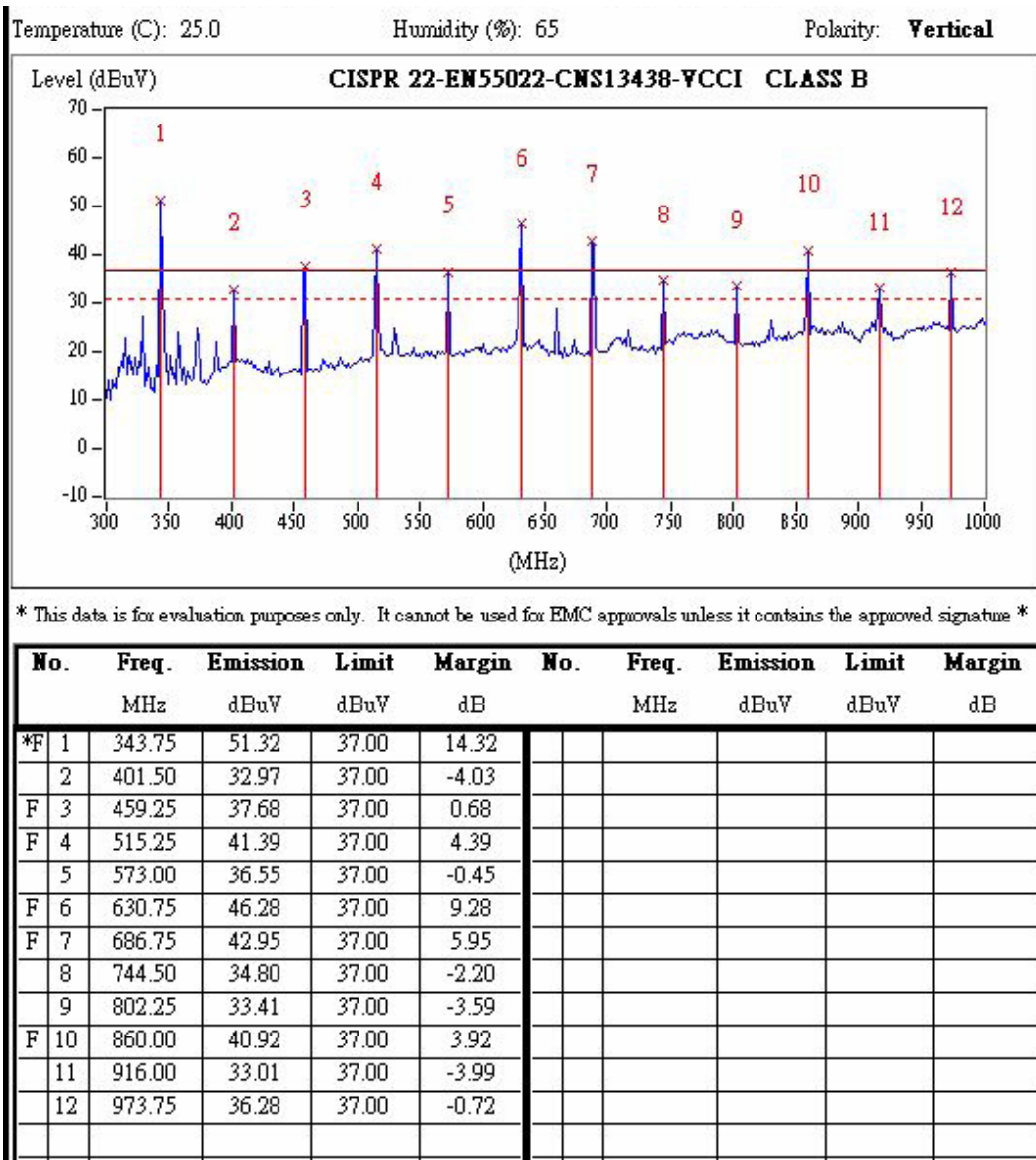


圖 3. 37 最佳化電路板之 EMI (Remove C9, C41, C40, C8 and C7)

3-4 利用最佳化電路板之 SSN , FFT 和 EMI 遠場量測 做交互比較.

在此節中特別將 SSN, FFT 和 EMI 量測資料做交互比較得知,較低之 SSN,其頻域之 FFT 較低,相對在遠場 EMI 中也會較低,我們可以利用此方法,當做 EMI 除錯,可以快速了解到 EMI 的問題,不必一定要到 EMC 實驗室再檢測和除錯,可以利用示波器之 FFT 功能將 SSN 降低到合理值時,再到 EMC 實驗室做最後之驗證.

在此節的 EMI 遠場資料,特別只提供 300MHz 到 1000MHz 垂直極化掃描資料,做交互比較,足以證明比較結果.

因 EMI 以 Worst case 做為檢測標準,故在 SSN 和 FFT 的資料也是取用四個角落測點所量測到之最大值,做為交互比較.

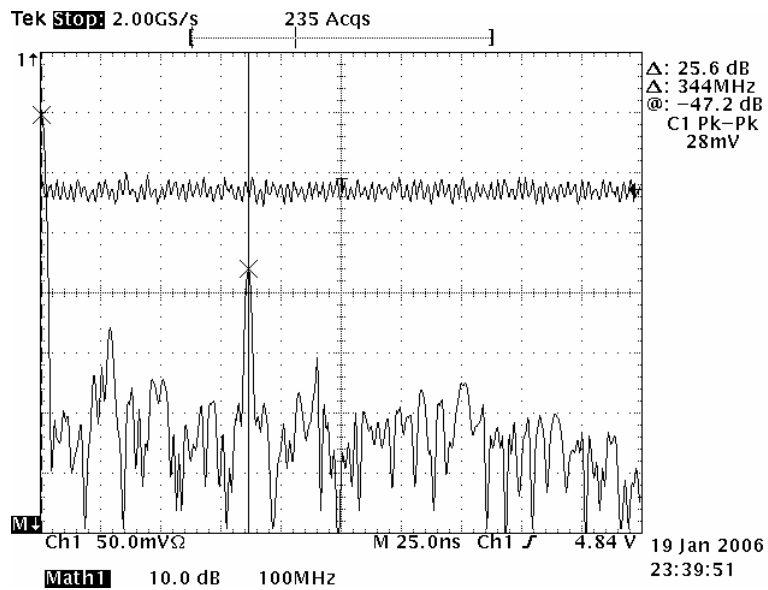


圖 3.38 最佳化電路板之 SSN 和 FFT (Remove C9 and C41)

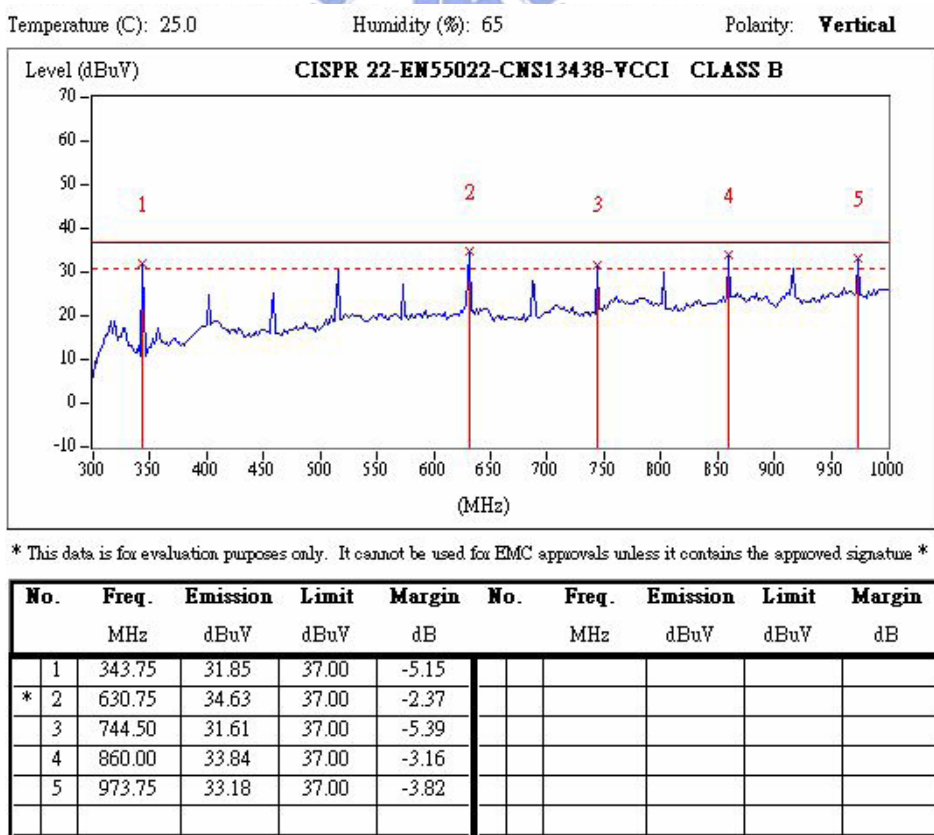


圖 3.39 最佳化電路板之 EMI (Remove C9 and C41)

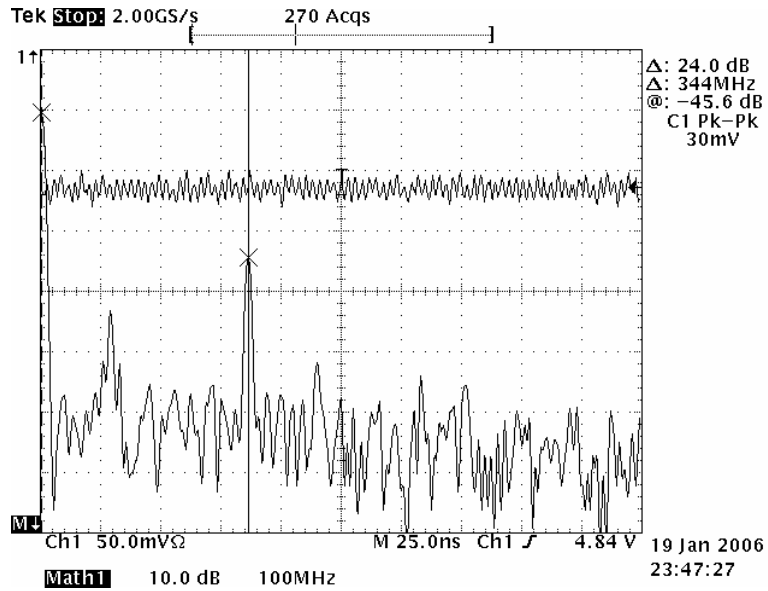


圖 3.40 最佳化電路板之 SSN 和 FFT (Remove C9, C41 and C40)

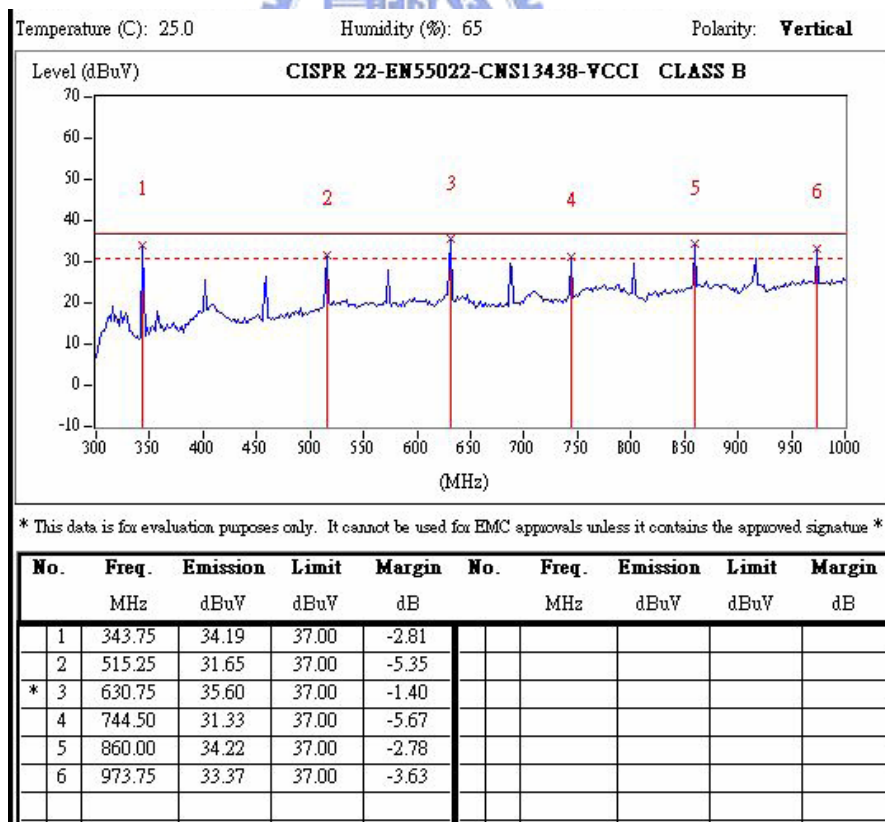


圖 3.41 最佳化電路板之 EMI (Remove C9, C41 and C40)

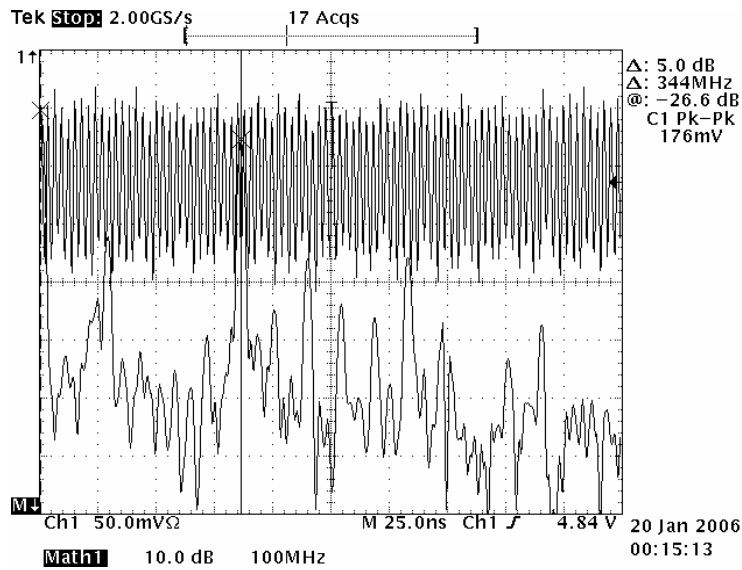


圖 3.44 最佳化電路板之 SSN 和 FFT (Remove C9, C41, C40, C8 and C7)

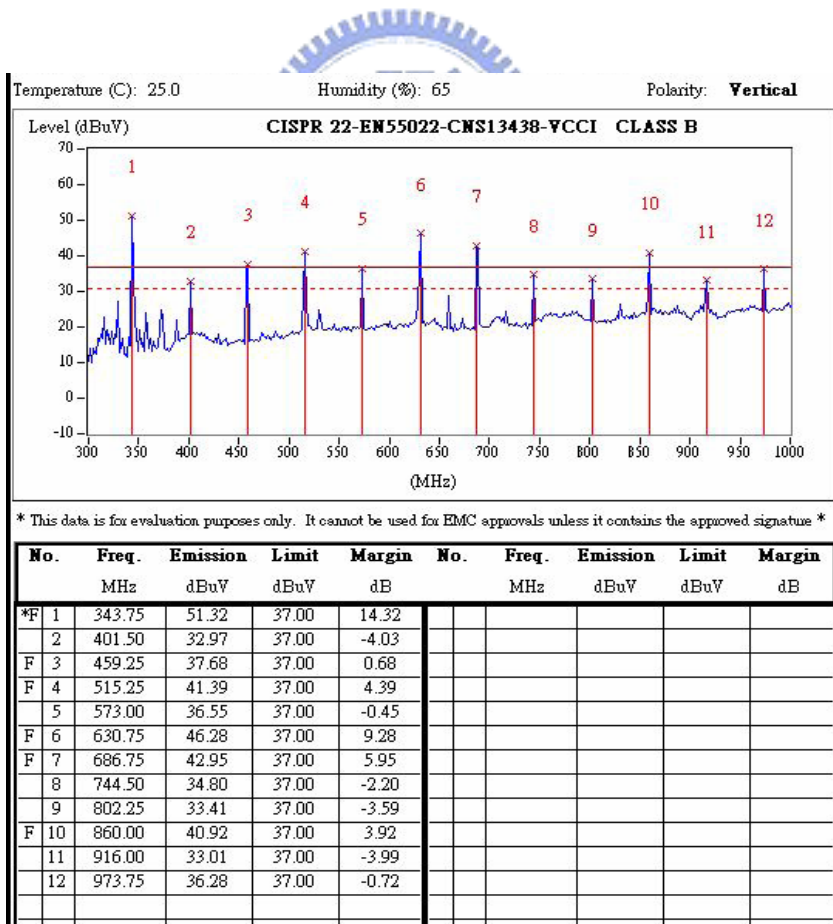


圖 3.45 最佳化電路板之 EMI (Remove C9, C41, C40, C8 and C7)