

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

氧化鋁/二氧化鈣交錯層應用於非揮發性記  
憶體特性研究

A study on the application of  $\text{Al}_2\text{O}_3/\text{HfO}_2$   
laminate on nonvolatile memory

研 究 生：蔡依成

指 導 教 授：崔秉鉞 教授

中華民國九十八年九月

氧化鋁/二氧化鈣交錯層應用於非揮發性記憶體  
特性研究

**A study on the application of Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>  
laminate on nonvolatile memory**

研究生：蔡依成

Student : Yi-Cheng Tsai

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui



電子工程學系 電子研究所

碩士論文

A thesis

Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

In Partial Fulfillment of the Requirement

For the Degree of Master

In

Electronic Engineering

2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年九月

# 氧化鋁/二氧化鈣交錯層應用於非揮發性記憶體 特性研究

研究生：蔡依成

指導教授：崔秉鉞

國立交通大學電子工程學系

電子研究所碩士班

## 摘 要

本論文提出以原子層沉積法沉積氧化鋁/二氧化鈣交錯層作為快閃式非揮發性記憶體的電荷儲存層。製作的電容結構以及薄膜電晶體結構，採用高介電常數材料氧化鋁作為電荷阻擋層，並分別使用高功含數材料白金與  $p^+$  多晶矽作為電容結構元件與多晶矽薄膜記憶體結構元件之閘極，以降低元件抹除時背部電子注入與等效厚度。論文討論記憶體的基本電性，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性與抗擾性，並且進一步討論製程差異所造成的電性影響與原因，包括氧化鋁/二氧化鈣交錯層重複次數、形成奈米顆粒退火時間與電荷阻擋層厚度的改變。

在電容部份，發現經過攝氏 900 度/60 秒退火後的元件記憶窗口較經過攝氏 900 度/30 秒退火後的元件大，而此攝氏 900 度/60 秒退火會使氧化鋁些微結晶，造成元件抹除速度下降，而將氧化鋁加厚為 20 奈米，則可大幅降低漏電。此記憶體元件在寫入/抹除條件為  $\pm 15V/1$  秒時有 6V 的記憶窗口，且經過  $10^5$  秒後仍有

百分之 83，並在耐久性與抗擾性上有不錯的特性。在多晶矽薄膜記憶體部份，閘極介電質與電容元件相似，但因改將氧化鋁作為穿隧氧化層，經過高溫退火後有結晶狀況，因而導致許多負面效應。總結而言，使用氧化鋁/二氧化鈣交錯層，有不錯的電荷儲存力，但必需搭配可靠的穿隧氧化層與電荷阻擋層，使元件在高溫製程後有良好的可靠度，因此值得進一步研究。



# **A study on the application of Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> lamine on nonvolatile memory**

**Student: Yi-Cheng Tsai**

**Advisor: Bing-Yue Tsui**

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

## **Abstract**

In this thesis, we proposed an Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> nano-lamine deposited by atomic layer deposition (ALD) method as the trapping layer of the flash type non-volatile memory. Both capacitor and thin-film transistor (TFT) structures were prepared. In order to suppress the back-side injection during erase period and to reduce the equivalent oxide thickness, high work-function gate (platinum for capacitor and P<sup>+</sup> poly-Si for TFT) and Al<sub>2</sub>O<sub>3</sub> blocking layer was utilized, respectively. The whole memory characteristics including memory window, program/erase speed, retention, endurance, and disturbance were evaluated and discussed in the thesis. Furthermore, the effects of process conditions, including the number of Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> nano-lamine periods, post-deposition annealing (PDA) condition, and blocking layer thickness were also studied.

On the capacitor samples, a 900°C/60sec PAD can result in a larger memory window than a 900°C/30sec PAD. But the erase speed degrades due to crystallization of the Al<sub>2</sub>O<sub>3</sub> blocking layer. Increasing Al<sub>2</sub>O<sub>3</sub> blocking layer thickness from 10 nm to 20nm can strongly reduce the leakage current. Therefore, a 6V memory window after ±15V program/erase (P/E) operation for 1 sec can be achieved. About 83% of the window still remains after 10<sup>5</sup> sec. Well endurance and disturbance properties are also observed. On the TFT-memory samples, the structure of the dielectric stack is similar to that on the capacitor samples, the main difference is the SiO<sub>2</sub> tunneling layer was replaced by Al<sub>2</sub>O<sub>3</sub>. The TFT structure exhibits faster program speed. However, because of the crystallization of the Al<sub>2</sub>O<sub>3</sub> tunneling layer, several drawbacks such as poor retention due to charge loss through the Al<sub>2</sub>O<sub>3</sub> tunneling layer, poor endurance, and poor gate disturbance.

In conclusion, the Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> charge trapping layer proposed in this thesis exhibits good electrical performance and storage capability. The main issue of this structure would be the quality of both the tunneling and blocking layers. These layers should behave excellent thermal stability during the proceeding fabrication process and is worth further researches.

## 誌謝:

兩年忙碌的碩士班生活，也隨著論文的完成而進入尾聲，首先，要感謝我的指導老師-崔秉鉞博士對我耐心的指導，讓我在這兩年中學習到做研究的態度和方法，也培養出我面對問題時的解決能力，還有感謝老師在我最後撰寫論文時的細讀與修改，另外值得一提的是，老師對於學術上的正派原則更是讓我欽佩。

感謝實驗室的各位同仁，感謝謝志民學長與盧季需學長對我實驗上的指導，還有感謝李振銘學長在實驗上的大力幫忙還有機台訓練，還有感謝各位已畢業的學長姐對我的幫助，另外也感謝我的同學們-王俊凱、賴瑞堯、余昆武與實驗室的各位學弟的幫忙，謝謝你們!

接著，我要感謝國家奈米元件實驗室與交大奈米中心提供優良的製程環境，也要感謝財團法人工業技術研究院電光所的蔡銘進組長和辜佩儀工程師提供設備的支援。

最後，我要感謝我的家人與朋友，在我遭受挫折或沮喪時給我安慰與能量，使我有勇氣面對困境並得以順利突破，謝謝你們。

## 目錄

中文摘要.....	I
英文摘要.....	III
誌謝.....	V
目錄.....	VI
表目錄.....	IX
圖目錄.....	X
<b>第一章 緒論</b>	
1-1 快閃記憶體的發展.....	1
1-1.1 懸浮閘結構非揮發性記憶體.....	1
1-1.2 SONOS 結構非揮發性記憶體.....	2
1-1.3 奈米顆粒結構非揮發性記憶體.....	4
1-2 研究動機.....	5
1-3 論文架構.....	7
<b>第二章 元件設計與製備流程</b>	
2-1 氧化鋁/二氧化鈣交錯層電容.....	12
2-1.1 簡介.....	12
2-1.2 氧化鋁/二氧化鈣交錯層電容元件製程步驟.....	13
2-2 氧化鋁/二氧化鈣交錯層薄膜記憶體.....	14

2-2.1 簡介..... 14

2-2.2 氧化鋁/二氧化鈣交錯層薄膜記憶體元件製程步驟.. 15

**第三章 氧化鋁/二氧化鈣交錯層電容特性**

3-1 簡介..... 27

3-2 記憶窗口與寫入/抹除速度..... 27

3-3 電荷保持力(retention)與元件耐久性(endurance) ..... 32

3-4 抗擾性(disturbance) ..... 35

3-5 結論..... 35

**第四章 氧化鋁/二氧化鈣交錯層薄膜記憶體特性**

4-1 簡介..... 56

4-2 電性討論..... 56

4-2.1 記憶窗口與寫入/抹除速度..... 56

4-2.2 電荷保持力..... 58

4-2.3 元件耐久性..... 58

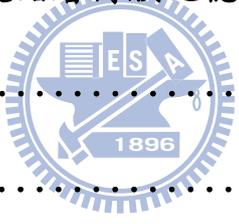
4-2.4 抗擾性..... 59

4-3 結論..... 61

**第五章 結論與展望**

5-1 結論..... 75

5-2 未來展望與後續研究建議..... 77



參考文獻..... 80

個人簡歷..... 86



## 表目錄

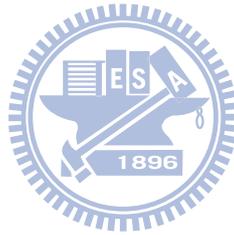
### 第二章

表 2-1 電容元件詳細製程條件。..... 17

表 2-2 多晶矽薄膜記憶體製程條件。..... 18

### 第三章

表 3-1 本篇論文電容結構元件與參考文獻特性對照表。..... 38



## 圖目錄

### 第一章

- 圖 1-1 非揮發性記憶體示意圖 (a)懸浮閘記憶體。(b)SONOS 記憶體。(c)nano-dot 記憶體。..... 9
- 圖 1-2 非揮發性記憶體示意圖 (a)懸浮閘記憶體因漏電路徑而流失電荷(b)SONOS 記憶體側向電荷遷移的現象。..... 10
- 圖 1-3 閘極介電質能帶示意圖。..... 11

### 第二章

- 圖 2-1 二氧化鈣電容之剖面 TEM 圖。..... 19
- 圖 2-2 二氧化鈣電容之製程步驟示意圖。(a) RCA clean 後於垂直爐管成長乾氧氧化層。(b)沉積氧化鋁電荷儲存層與阻擋層。(c)背面鍍鋁完成。..... 20
- 圖 2-3 二氧化鈣記憶體之製程步驟示意圖。(a)poly-SOI 晶圓完成。(b) 電荷阻擋層沉積完成。(c)閘極定義完成。(d)spacer 完成。(e)元件自對準全矽化鎳閘極製程完成。..... 22

### 第三章

- 圖 3-1 (a)sample C 電荷儲存層放大圖。(b) sample D 電荷儲存層

放大圖。(c) sample E 電荷儲存層放大圖。.....	39
圖 3-2 sample C±5V 掃描範圍的電容-電壓曲線。.....	41
圖 3-3 (a)sample A 不同掃描範圍的電容-電壓曲線。(b) sample B 不同掃描範圍的電容-電壓曲線。(c) sample C 不同掃描範圍 圍的電容-電壓曲線。(d) sample D 不同掃描範圍的電容- 電壓曲線。(e) sample E 不同掃描範圍的電容-電壓曲線。.	42
圖 3-4 氧化鋁電荷阻擋層經過攝氏 900 度/60 秒快速退火的 TEM 圖。.....	45
圖 3-5 (a) sample B 初始電容-電壓曲線與經過寫入/抹除操作後的 電容-電壓曲線。(b) sample D-E 初始電容-電壓曲線與經 過寫入/抹除操作後的電容-電壓曲線。(c) sample C 初始電 容-電壓曲線與經過寫入/抹除操作後的電容-電壓曲線。..	46
圖 3-6 sample A-E 在±15 伏操作下 7 顆元件的記憶窗口統計分佈。 (Box chart:box range 為一倍標準差，whisker 為 data 的 10%-90%).....	48
圖 3-7 (a)sample A-E 操作電壓為+15 伏的寫入速度 (b) sample A 與 sample B 不同操作電壓下的寫入速度。.....	49
圖 3-8 (a) sample A-E 操作電壓為+15 伏的抹除速度 (b) sample A 與 sample B 不同操作電壓下的抹除速度。.....	50

圖 3-9 sample A-E 平帶電壓隨時間變化。	51
圖 3-10 sample A-B 與 sample D 經過+15 伏 1 秒操作經過 $10^5$ 秒後寫入態平帶電壓值統計圖。	52
圖 3-11 sample A 與 sample B 在不同條件下的電荷保持力。	53
圖 3-12 sample A-E 元件平帶電壓對寫入/抹除次數圖。	54
圖 3-13 (a)寫入態抗擾性。(b)抹除態抗擾性。	55

#### 第四章

圖 4-1 元件的基本汲極電流-閘極電壓曲線。	62
圖 4-2 元件初始的汲極電流-閘極電壓曲線與寫入/抹除±12 伏 0.1 秒後的汲極電流-閘極電壓曲線。	63
圖 4-3 不同寫入電壓下元件下臨界電壓平移量對寫入時間圖。	64
圖 4-4 不同抹除電壓下元件下臨界電壓平移量對寫入時間圖。	65
圖 4-5 元件在攝氏 25 度下，臨界電壓對時間的變化。	66
圖 4-6 臨界電壓對寫入/抹除次數的變化。	67
圖 4-7 試片甲經過 1 次與 1 萬次寫入/抹除操作後的電流-閘極電壓曲線。	68
圖 4-7 試片 D 經過 1 次與 1 萬次寫入/抹除操作後的電流-閘極電壓曲線。	69

圖 4-9 NOR 陣列圖。..... 70

圖 4-10 NAND 陣列圖。..... 71

圖 4-11 元件處於抹除態時的讀取干擾。..... 72

圖 4-12 (a)寫入態的閘極干擾。(b)抹除態的閘極干擾。..... 73

圖 4-13 元件處於寫入/抹除態時的汲極干擾。..... 74



# 第一章

## 緒論

### 1-1 快閃記憶體的發展

近來，隨著可攜式數位產品的盛行，例如個人數位助理(PDA)、筆記型電腦、數位像機和 USB 隨身碟等等的許多數位產品，都需要儲存大量資料，因此對於非揮發性記憶體的需求強烈。

#### 1-1.1 懸浮閘結構非揮發性記憶體

目前工業界成熟量產產品的技術是懸浮閘結構(floating gate)的記憶體(如圖 1-1(a))，此結構為 D. Kahng 和 S. M Sze 於 1967 年在貝爾實驗室(Bell Labs)發明[1]，其原理是利用中間的導電層儲存電荷，對通道電位造成影響，而造成臨界電壓( $V_{th}$ )的漂移，因此可定義出”0”和”1”兩個狀態(state)，達到記憶的功能。此導電層內的電荷並不會因為關掉電源而流失，因此稱為非揮發性記憶體。

懸浮閘結構記憶體擁有許多優點，包括了大的記憶窗口(memory window)、良好的寫入/抹除速度(program/erase speed)、良好的可靠性(reliability)，因此在現今的數位儲存產品有許多應用。

但是隨著元件不斷微縮之下，懸浮閘結構記憶體也產生了許多問

題[2-3]，例如為了使記憶體有良好的電荷保持力(retention)，必需使用較厚的穿隧氧化層，因此需要較高的操作電壓。但隨著低操作電壓的需求，穿隧氧化層必逐漸減薄，而儲存在中間導電層電荷流失的問題將嚴重到無法解決。除此之外，元件在基板上陣列時，相鄰的元件彼此之間電荷藕合問題也相當嚴重，如此限制了元件陣列的密度[4]。國際半導體技術藍圖(International Technology Roadmap for Semiconductor, ITRS)指出，懸浮閘結構記憶體無法微縮至 40 奈米世代[5]。因此，目前有兩大類改良的結構，一是多晶矽閘極/二氧化矽/氮化矽/二氧化矽/矽基板(SONOS)記憶體(如圖 1-1(b))，另一是奈米顆粒(nano-dot)記憶體(如圖 1-1(c))，分別會在 1-1.2 和 1-1.3 有詳細的介紹。



## 1-1.2 SONOS 結構非揮發性記憶體

SONOS 結構記憶體(如圖 1-1(b))，就是將懸浮閘換成氮化矽，此時的電荷儲存層已經不是導體，因此當電荷注入而儲存時，是存在非導體的材料中，所儲存的電子無法完全自由移動。懸浮閘結構的記憶體，其原理是利用中間的導電層儲存電荷，因此當穿隧氧化層隨元件尺寸逐漸減薄而出現微小漏電路徑時，懸浮閘內所儲存的電荷就會完全流失(如圖 1-2(a))。反觀 SONOS 結構記憶體，即使產生漏電路徑，

也只會使漏電路徑所在區域附近的電荷流失，因此使元件的電荷保持特性較佳[3] [5-6]。再進一步探討，也因為 SONOS 結構記憶體在薄的穿隧氧化層時，仍有優於懸浮閘結構記憶體的電荷保持力，因此在 SONOS 元件製程上可以使用較懸浮閘結構記憶體薄的穿隧氧化層，藉此達到較高的寫入/抹除速度而不犧牲電荷保持力。

總歸而言，SONOS 結構記憶體擁相較於懸浮閘結構記憶體有較高的可微縮性，較低的寫入電壓，較低的功率消耗。但是 SONOS 記憶體仍有些缺點，例如抹除飽合(erase saturation)[7]，當電子存入氮化矽中的深層能階時，造成電子抹除的困難(hard-to-erase)，使抹除速度降低，若要提昇抹除速度，勢必要加大操作電壓，這會提高能量的消耗，而二氧化矽對電洞(hole)的高能障(大約 4.5eV)也使電洞不易由通道注入氮化矽中。除了抹除飽合之外，被儲存在氮化矽中的電荷仍然有側向電荷遷移(charge migration)現象(如圖 1-2(b))[8]，造成儲存電荷的持久力下降。

為了改進以上 SONOS 結構記憶體的缺點，有些改良式的 SONOS 結構記憶體被提出，像是 Bandgap engineered SONOS(BE-SONOS) [9-10] 與氮化鉭/氧化鋁/氮化矽/二氧化矽/矽基板(TANOS) [11]。BE-SONOS 是將二氧化矽穿隧氧化層換成較薄的二氧化矽/氮化矽/二氧化矽層(O/N/O)，如此在寫入/抹除操作時，閘極施加一個大電場會使電子和

電洞看到的等效能障厚度變薄，使載子更容易穿隧。而在電荷保存模式(retention mode)時，載子對通道之間仍是厚的等效能障，因此大幅改善難以抹除這個缺點，且擁有更好的寫入速度與電荷保持力。TANOS 結構記憶體是使用氧化鋁做為電荷阻擋層(blocking oxide)，由於氧化鋁的高介電係數使等效物理厚度降低，可提高閘極電壓的耦合比例(coupling ratio)，因而降低操作電壓。BE-SONO 與 TANOS 結構都能改善傳統 SONOS 記憶體的特性，但還是存在側向電荷遷移的問題，也因此有奈米顆粒(nano-dot)記憶體被提出。

### 1-1.3 奈米顆粒結構非揮發性記憶體

奈米顆粒記憶體(如圖 1-1(c))，近幾年來受到很大的矚目，有潛力成為下一世代的非揮發性記憶體。其相較於 SONOS 結構記憶體優點主要有二，第一是當奈米顆粒被包覆在絕緣層中時，能有效防止電荷儲存層中側向電荷遷移的現象[12]。第二是可以改變奈米顆粒的材料來調變功函數(work function)，使得除儲存在奈米顆粒中的電子周圍有較高的能障，能讓電荷保持力相較於 SONOS 更進一步提升[13]，也因此可以使用較薄的穿隧氧化層與電荷阻擋層，如此可減少操作電壓與提高寫入/抹除速度且不犧牲電荷保持力。

奈米顆粒的材質可以分成金屬與非金屬，常見的為金、鎳、氮化

鈦、二氧化鈣等等[14-19]，而奈米顆粒層的製程包括化學氣相沉積後退火(post-deposition annealing)結晶、低能量離子佈值(ion implantation)等等[20-23]，不同的材質各有相對應適合的製程，但隨著元件的尺寸縮小，奈米顆粒的尺寸和密度分佈的均勻性必需有效被控制[24-26]，這將是未來的一個重要議題。

## 1-2 研究動機

近來，多晶矽薄膜電晶體(poly-Si TFTs)發展出許多新的應用，其中最明顯的就是平面顯示器(flat panel display)，這包括主動矩陣液晶顯示器(active matrix liquid crystal display, (AMLCD))。多晶矽薄膜電晶體技術最主要的優點是適合應用於多功能主動矩陣顯示器，因為和系統面板(system-on-glass, SOG)上的驅動電路、感應器與週邊電路具有高製程相容性。相關文獻指出，多晶矽薄膜電晶體較薄的活化層可以達到較高個導通電流(on-state current)，較低的關閉電流(off-state current)與良好的短通道效應(short channel effect)抑制[27-28]，然而會因為多晶矽的通道與太薄的源極/汲極區域導致較高的串聯阻抗，並且因為晶粒邊界(grain boundary)，使得電子在通道中的場效遷移率(field-effect mobility)下降。近幾年來多晶矽薄膜電晶體在驅動電路、感應器與

週邊電路的製程上已日漸成熟，根據已發表文獻指出，使用自對準矽化鎳源/汲極與高介電係數介電質的使用，已達到良好的特性，包括高導通電流、高導通/關閉電流比值、低次臨界擺幅(subthreshold swing)與低臨界電壓[29-33]，因此，可以更進一步製作出非揮發性記憶體在系統面板上，面板空間可以更充份運用，使成本降低。

根據已發表相關文獻，將 SONOS 結構中的氮化矽電荷儲存層換成高介電常數材料，包括二氧化鈣、鈣鋁氧化物與氧化鋯，能降低等效厚度，並且具有不錯的記憶窗口與電荷保持力，其中特別是經過退火後的二氧化鈣，但是連續結構的二氧化鈣電荷儲存層，仍會有電荷遷移的現象，因此造成電荷保持力下降[34-36]，所以我們希望能在選用二氧化鈣作為電荷儲存層時，能將之形成奈米顆粒，並且用高能障材料作為二氧化鈣奈米顆粒的隔絕材料，如此一來能抑制奈米顆粒間的電荷遷移現象，提升電荷保持力。有相關文獻電荷儲存層使用氧化鋁/二氧化鈣交錯的結構，退火後可以達到二氧化鈣包覆在氧化鋁中的效果，而電性方面，電容-電壓曲線(C-V curve)在 1MHz 頻率±16V 來回掃描可已達到約 10.4V 的記憶窗口，並且在經過  $10^5$  秒後仍有約 8V 的記憶窗口[37]。但是該論文只有單一製程條件，無法判斷製程條件對特性有多少影響。也無從判斷所呈現數據是否已是最佳結果。該論文也沒有寫入/抹除速度的相關數據。因此在本論文中先後製作出電

容結構與多晶矽薄膜記憶體結構元件時，電荷儲存層採用原子層沉積法沉積氧化鋁/二氧化鈣交錯的結構，並設計製程條件，討論製程差異對電性影響與原因，包括氧化鋁/二氧化鈣交錯層重複次數、形成奈米顆粒退火時間與電荷阻擋層厚度的改變等。

氧化鋁/二氧化鈣交錯結構的能帶示意圖如圖 1-3，使用高能障電荷阻擋層與高功函數的材料作為閘極，能夠減少從上電極產生的電子進入電荷儲存層，並且由於氧化鋁的高介電常數可以降低等效厚度，理論上具的確具有應用的潛力。所以在本篇論文兩種元件結構，一為電容結構，一為薄膜電晶體非揮發性記憶體結構，皆是使用氧化鋁/二氧化鈣這種交錯的電荷儲存層與氧化鋁電荷阻擋層，並且使用白金閘極(Pt gate)於電容結構元件，而使用  $p^+$  多晶矽閘極( $p^+$  poly-Si gate)與自對準矽化鎳源/汲/閘極於非揮發性記憶體結構，可降低接觸阻抗，提升元件特性。

## 1-3 論文架構

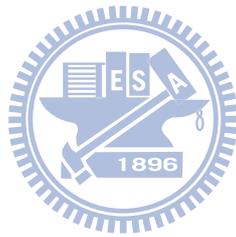
本論文製作兩種元件結構，一是將氧化鋁/二氧化鈣交錯的結構做為電容結構的介電層，來探討其電性。另一將氧化鋁/二氧化鈣交錯的結構應用於非揮發性記憶體上。

第二章一開始會大略簡介這兩種元件，之後將會說明兩種元件的

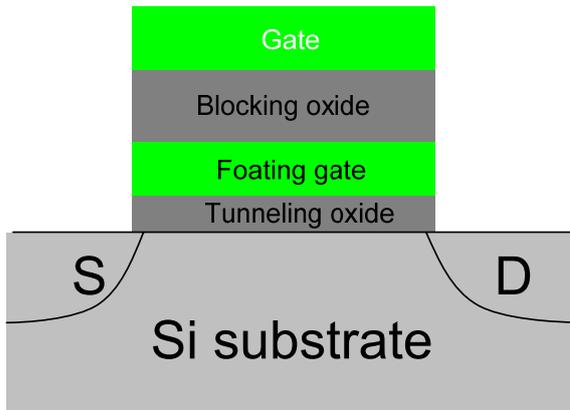
製作流程和光罩設計。

第三章與第四章分別為電容結構元件與薄膜記憶體的量測結果與討論，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性等等。

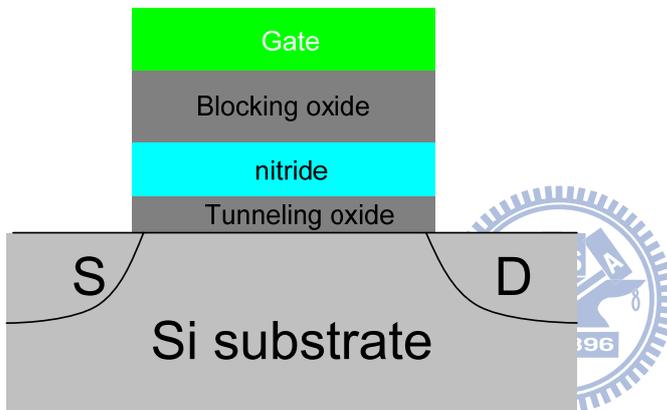
第五章為本論文的結論與後續研究的建議。



(a)



(b)



(c)

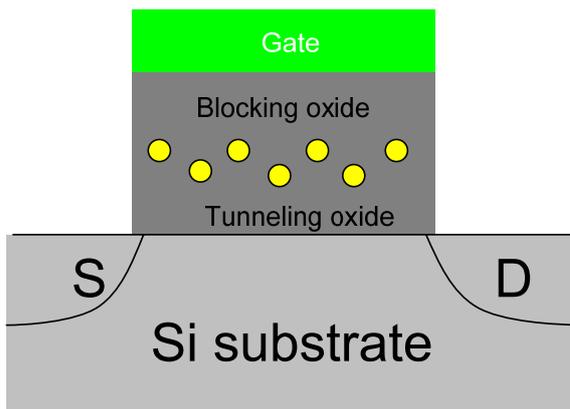
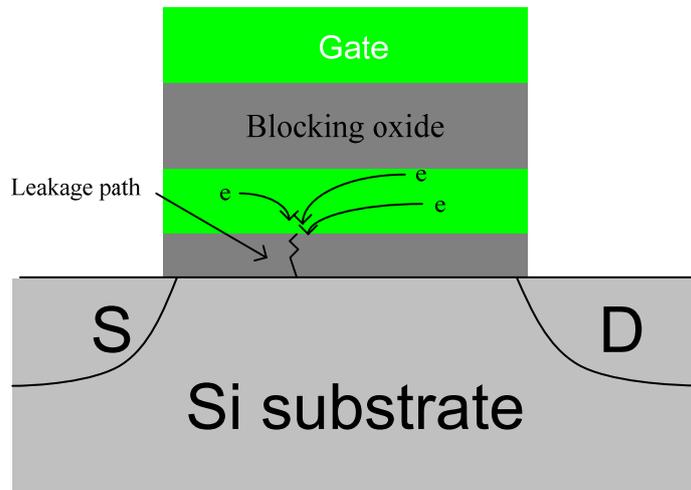


圖 1-1 非揮發性記憶體示意圖 (a)懸浮閘記憶體。(b)SONOS 記憶體。

(c)nano-dot 記憶體。

(a)



(b)

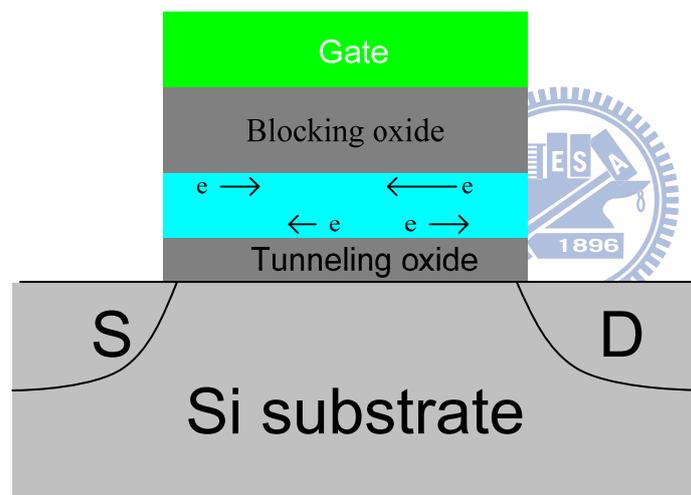


圖 1-2 非揮發性記憶體示意圖 (a)懸浮閘記憶體因漏電路徑而流失電荷。(b)SONOS 記憶體側向電荷遷移的現象。

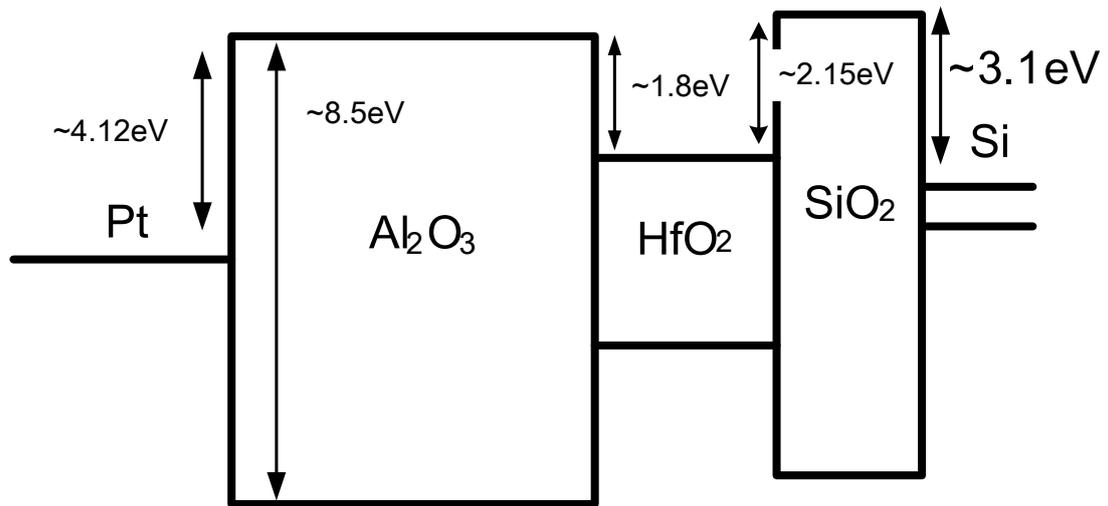


圖 1-3 閘極介電質能帶示意圖。



## 第二章

### 元件設計與製備流程

#### 2-1 氧化鋁/二氧化鈣交錯層電容

##### 2-1.1 簡介

在本章節中，我將詳述製作電容結構元件的實驗流程，並在對其做記憶體特性的量測，詳細結果會在第三章中介紹。本元件的上電極是使用白金閘極，因為高功函數的緣故可以降低電子背部注入 (back-side injection)，也就是減少從上電極產生的電子進入電荷儲存層，來達到較快的電荷抹除速度[38]，而其中間的奈米顆粒電荷儲存層是使用原子層沉積法 (atomic layer deposition, ALD) 交錯沉積二氧化鈣和氧化鋁層，再將元件以高溫退火以形成奈米顆粒。使用二氧化鈣是因為其在高溫下容易結晶並且儲存電荷[39-41]，而氧化鋁的熱穩電性與對電子的高能障則是我們選擇的主要因素[42]，因此將兩層材料交錯沉積可以使得二氧化鈣奈米顆粒被包覆在氧化鋁之中，形成不連續的儲存單位，使得側向漏電降低，如此可以提高記憶體的電荷保持力 (retention)。至於上方的電荷阻擋層的材料考慮有二，一為閘極對通道的控制能力要佳，一為減少電荷的流失，因此厚度要足夠才能使漏電流在合理的範圍內，而介電常數則越高越好，使

得等效厚度(equivalent oxide thickness, EOT)較薄，所以我們選用原子層沉積法沉積氧化鋁，相較於二氧化鈣，氧化鋁介電常數較低，但有較高的熱穩定性，不易因為高溫結晶而使得漏電流大幅度提升，元件剖面高解析度穿透式電子顯微鏡影像如圖 2-1。

## 2-1.2 氧化鋁/二氧化鈣交錯層電容元件製程步驟

1. 全新六吋(100)p-type 晶圓。
2. 使用 laser marker 對晶圓作刻號，並於 SC-1 槽中做攝氏 75 度、10 分鐘之刻號震盪，去除刻號所產生的微粒(particle)。
3. RCA clean 後於垂直爐管成長乾氧氧化層(dry oxide)4 奈米作為穿隧氧化層(如圖 2-2(a))。
4. 使用原子層沉積法交錯沉積二氧化鈣/氧化鋁作為電荷儲存層
5. 使用原子層沉積法沉積氧化鋁 10 或 20 奈米作為電荷阻擋層(如圖 2-2(b))。
6. RTA 退火形成奈米顆粒(PDA form nano-dat)。
7. 使用物理氣相沉積法(Physical Vapor Deposition, PVD)搭配有孔遮罩(Shadow mask)沉積 30 奈米白金做為閘極。
10. 正面鍍鋁 400 奈米做為量測時點針接觸。
13. 去除背面的原生氧化層(native oxide)。

14. 背部鍍鋁 400 奈米(如圖 2-2(c))作為電容的下電極，元件製程的條件如表 2-1。

## 2-2 氧化鋁/二氧化鈣交錯層薄膜記憶體

### 2-2.1 簡介

隨著主動矩陣液晶顯示器的蓬勃發展與普及，多晶矽薄膜電晶體也日漸受到重視，而多晶矽薄膜電晶體技術最主要的優點是適合應用於多功能主動矩陣顯示器[43-44]，因為和系統面版(SOG)上的驅動電路、感應器與週邊電路具有高製程相容性。因此，隨著電容結構元件的完成，更進一步在多晶矽薄膜基板上製作出非揮發性記憶體。

電荷儲存層相似於電容結構仍使用二氧化鈣和氧化鋁的交錯沉積結構，並且採用氧化鋁作為電子穿隧層與電荷阻擋層，進一步降低等效厚度，接著使用  $p^+$  多晶矽( $p^+$  poly-Si)做為閘極材料，因為  $p^+$  多晶矽的高功函數(大約 5.1 電子 V 特) 作為閘極時可以降低元件在進行抹除操作時(也就是閘極給予一個負電壓)背部的電子穿隧，因而提高抹除速度。此外，使用自我對準矽化鎳源/汲/閘極，因為矽化鎳(NiSi)的低電阻值可以降低接觸阻抗，使導通時的汲極電流較大[45]。

## 2-2.2 氧化鋁/二氧化鈣交錯層記憶體元件製程步驟

1. 全新六吋矽(100)p-type wafer。
2. 使用 laser marker 對晶圓作刻號，並於 SC-1 槽中做攝氏 75 度、10 分鐘之刻號震盪，去除刻號所產生的 particle。
3. 沉積 TEOS 大約 200 奈米。
4. 使用低壓化學沉積法於 550 度沉積多晶矽 50 奈米(2-3(a))。
5. I-line 定義活化層圖形。
6. 使用原子層沉積法沉積二氧化鋁 4 奈米作為穿遂氧化層，沉積二氧化鈣/氧化鋁作為電荷儲存層與沉積氧化鋁 10 奈米作為電荷阻擋層 1(2-3(b))。
7. 使用低壓化學沉積法於 550 度沉積多晶矽 140 奈米做為閘極。
8. 閘極離子佈植  $\text{BF}_2^+$ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、50KeV(2-3(c))。
9. RTA 900 度 30 秒退火使閘極載子活化(activation)並使電荷儲存層形成奈米顆粒。
10. 使用電漿增強式化學氣相沈積法(plasma enhanced chemical vapor deposition, PECVD )沉積沉積二氧化矽層 35 奈米做為源/汲極離子佈植時的阻擋層。
11. I-line 定義閘極圖形。
12. TCP9600 乾蝕刻與去除光阻(2-3(d))。



13. 使用電漿增強式化學氣相沈積法沉積二氧化矽層 10 奈米與氮化矽層 50 奈米，接著使用 TCP9600 向下乾蝕刻形成雙層 spacer(2-3(e))。
14. 源/汲極離子佈植  $p^+$ 、 $5 \times 10^{15} \text{ cm}^{-2}$ 、20KeV。
15. 900 度 30 秒退火活化載子。
16. 將試片浸泡於氫氟酸與水比例 50 比 1 的溶液中 160 秒，如此可去除閘極上方的源/汲極離子佈植阻擋層與源/汲上的原生化層
17. 使用物理氣象沉積法沉積 25 奈米鎳金屬層。
18. 使用後段真空退火爐管攝氏 300 度 45 分鐘退火，使矽與金屬鎳反應形成矽化鎳( $\text{Ni}_2\text{Si}$ )。
19. 浸泡於攝氏 75 度硫酸與雙氧水比例 3 比 1 的溶液中 10 分鐘去除表面未反應之鎳。
20. 使用快速退火爐攝氏 500 度/30 秒使矽化鎳( $\text{Ni}_2\text{Si}$ )轉態成較低阻抗的矽化鎳( $\text{NiSi}$ )(2-3(f))。



表 2-1 電容元件詳細製程條件。

試片	穿隧氧化層	電荷儲存層	重複次數	電荷阻擋層	退火條件
A	SiO <sub>2</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	7	Al <sub>2</sub> O <sub>3</sub> (20 奈米)	900 度/60 秒
B	SiO <sub>2</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (20 奈米)	900 度/60 秒
C	SiO <sub>2</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/30 秒
D	SiO <sub>2</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/60 秒
E	SiO <sub>2</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (0.8 奈米/1.2 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/30 秒

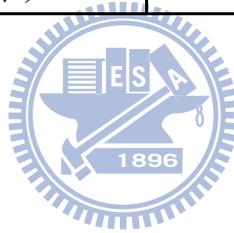
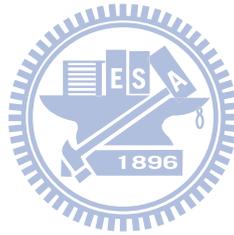


表 2-2 多晶矽薄膜記憶體詳細製程條件。

試片	穿隧氧化層	電荷儲存層	重複次數	電荷阻擋層	退火條件
甲	Al <sub>2</sub> O <sub>3</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/ 30+30 秒
乙	Al <sub>2</sub> O <sub>3</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (1 奈米/1 奈米)	7	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/ 30+30 秒
丙	Al <sub>2</sub> O <sub>3</sub> (4 奈米)	Al <sub>2</sub> O <sub>3</sub> /HfO <sub>2</sub> (0.8 奈米/1.2 奈米)	5	Al <sub>2</sub> O <sub>3</sub> (10 奈米)	900 度/ 30+30 秒



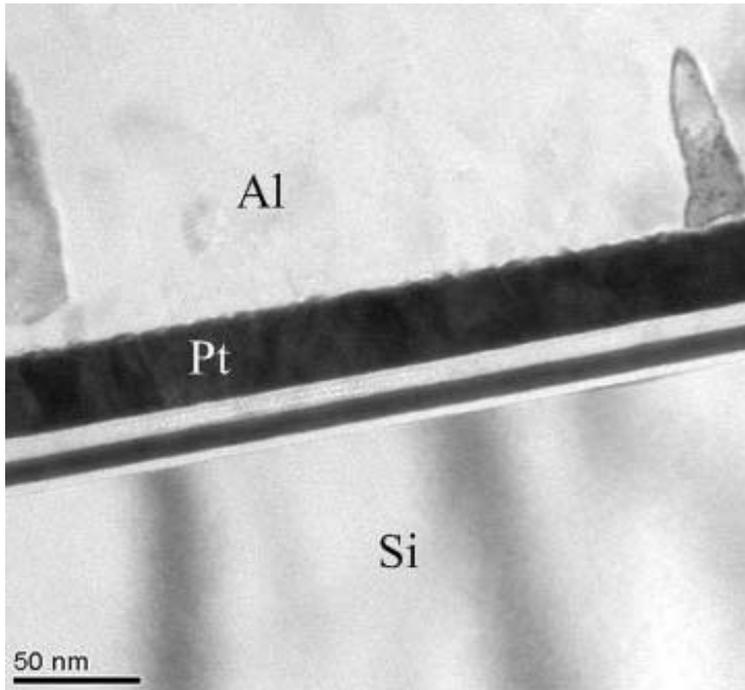
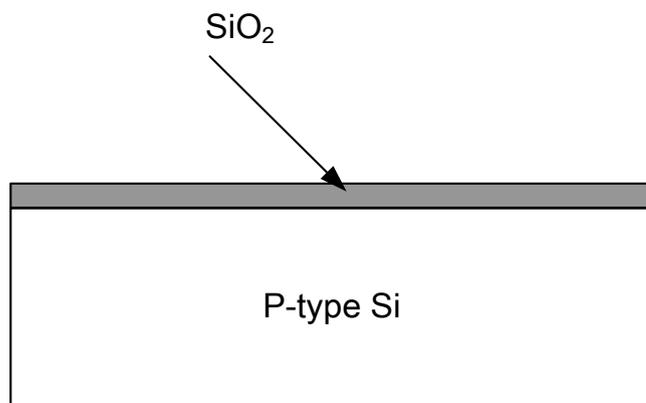


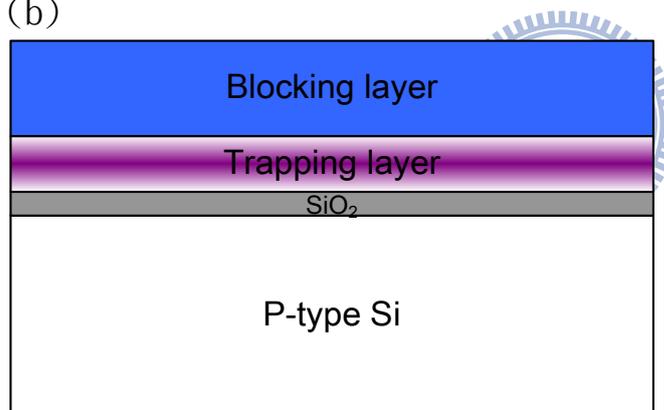
圖 2-1 二氧化鉛電容之剖面 TEM 圖。



(a)



(b)



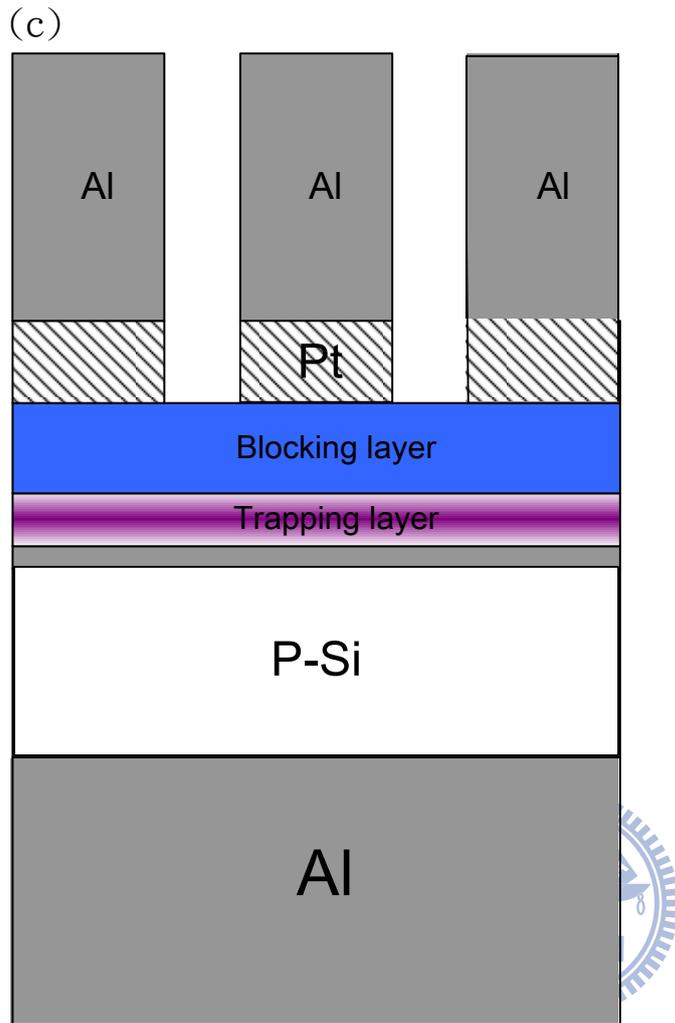
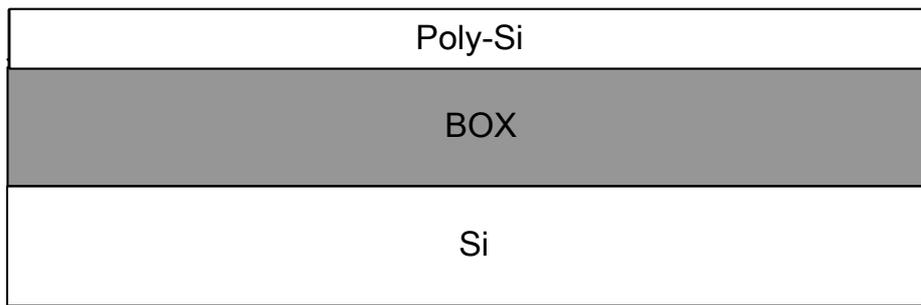
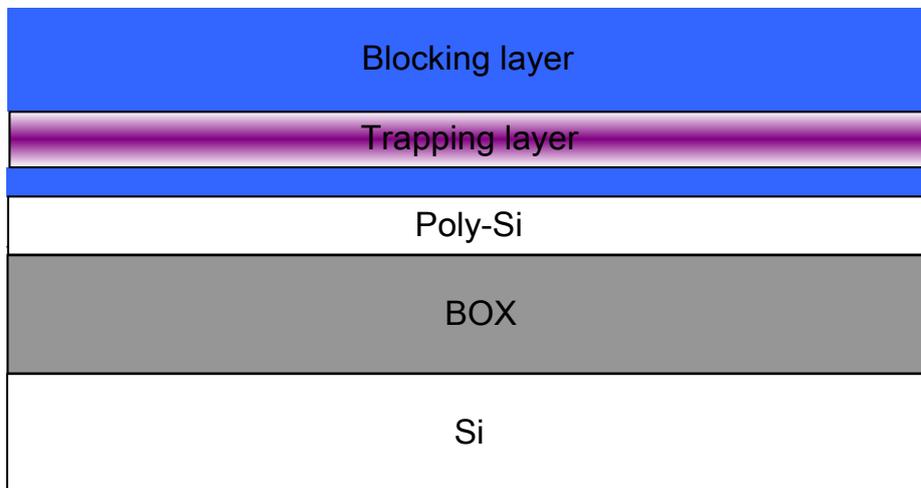


圖 2-2 二氧化鉛電容之製程步驟示意圖。(a) RCA clean 後於垂直爐管成長乾氧氧化層。(b)沉積氧化鋁電荷儲存層與阻擋層。(c)背面鍍鋁完成。

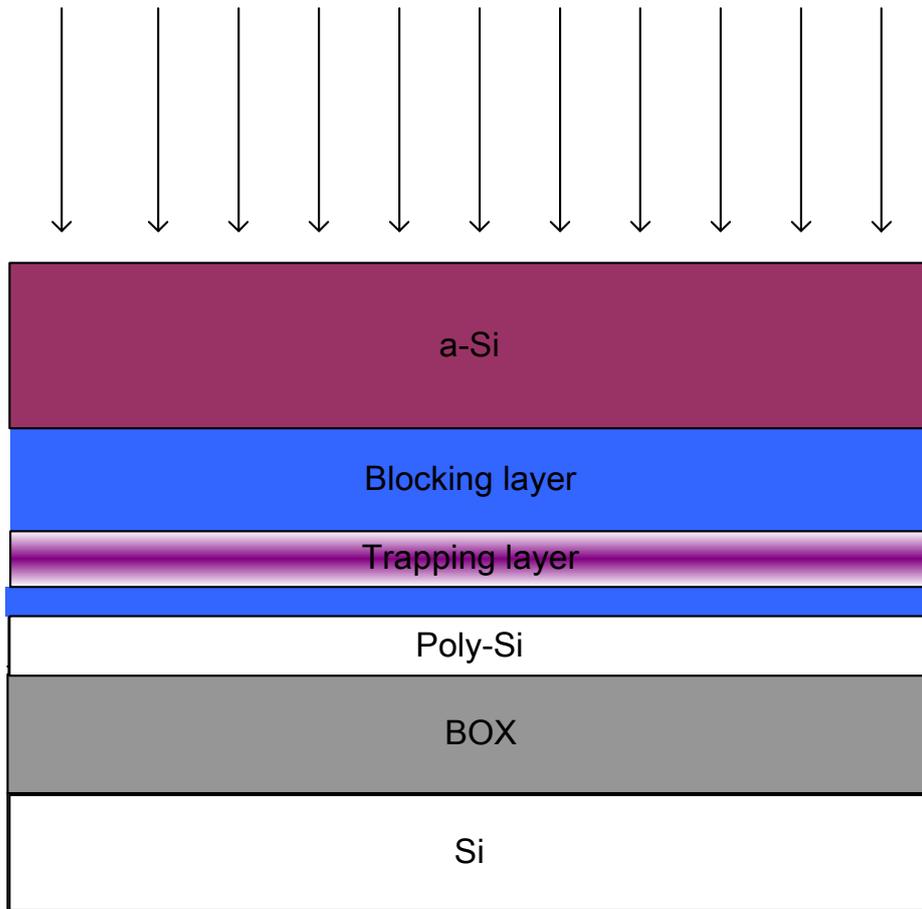
(a)



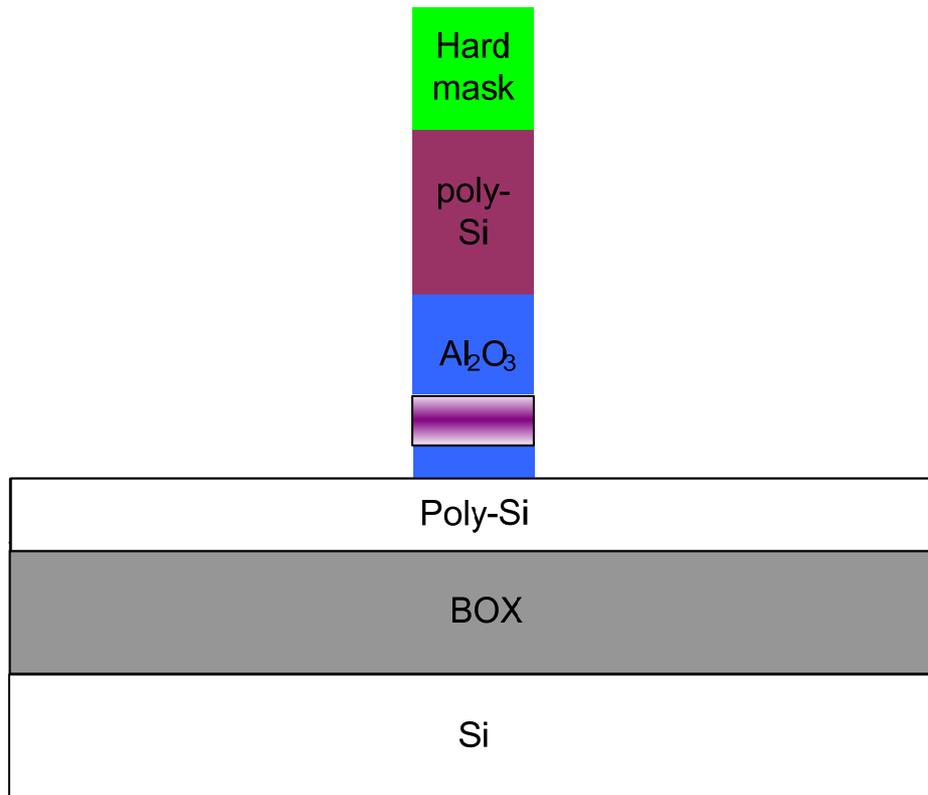
(b)



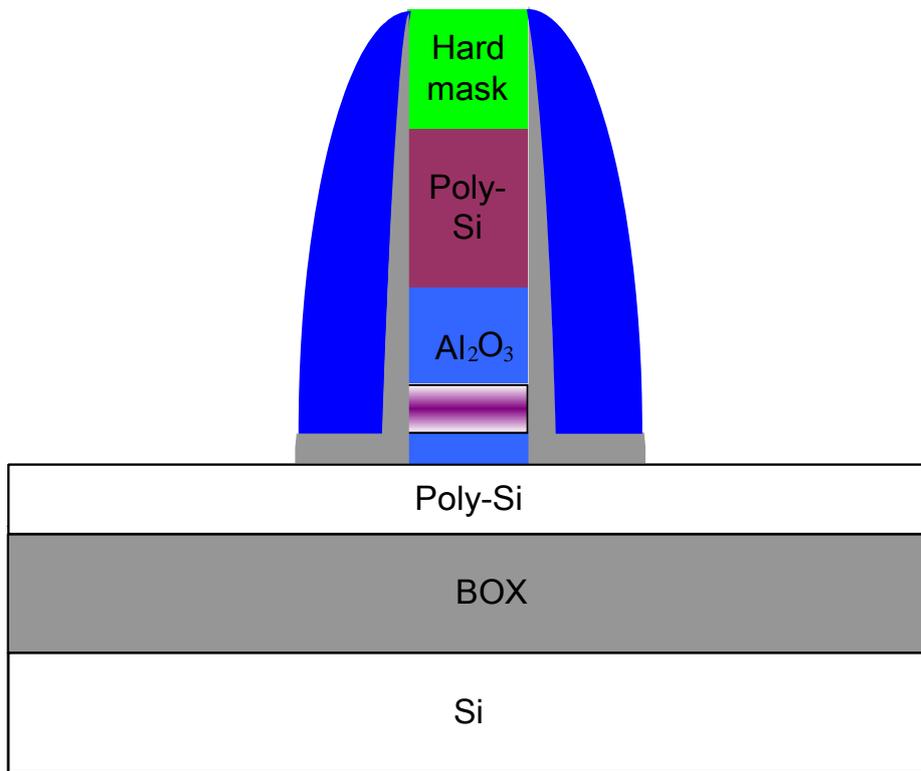
(c)



(d)



(d)



(e)

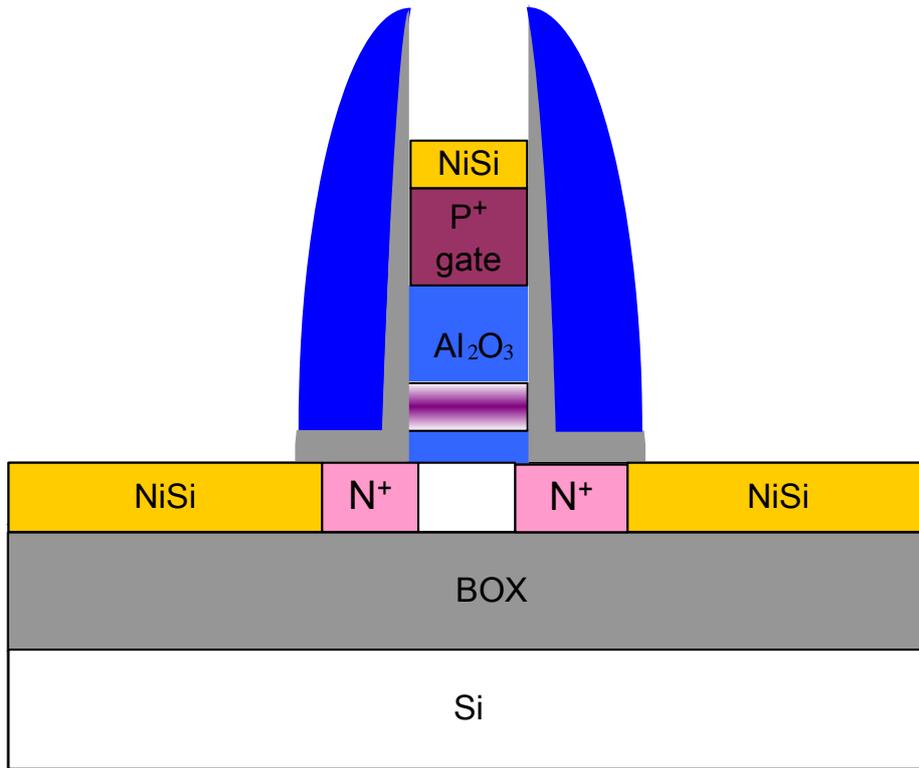


圖 2-3 二氧化鋁記憶體之製程步驟示意圖。(a)poly-SOI 晶圓完成。(b)電荷阻擋層沉積完成。(c)閘極定義完成。(d)雙層 spacer 完成。(e)元件自對準全矽化鎳閘極製程完成。

## 第三章

### 氧化鋁/二氧化鈣交錯層電容特性

#### 3-1 簡介

本章討論以氧化鋁/二氧化鈣交錯層作為電容閘極介電層的基本電性，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性與抗擾性(disturbance)，並且進一步討論製程差異所造成的電性影響與原因，包括氧化鋁/二氧化鈣交錯層重複次數、形成奈米顆粒退火時間與電荷阻擋層厚度的改變等。

在以下電性討論中，將固定討論閘極圖形為圓形且直徑為 300 微米的元件，並且固定以 100kHz 做為量測頻率，量測方式是由反轉模式(inversion)掃描向聚集模式(accumulation)。元件剖面圖如圖 2-1，詳細製程參數已列於表 2-1。

#### 3-2 記憶窗口與寫入/抹除速度

圖 3-1(a)-(c)分別為試片 C、試片 D 與試片 E 的電荷儲存層的高解析度穿透式電子顯微鏡影像，可以明顯發現試片 D 經過攝氏 900 度快速退火 60 秒之後，形成直徑大約 6 奈米的奈米顆粒，而只經過攝氏 900 度/30 秒的試片 C 與試片 E 的電荷阻擋層，雖然氧化鋁/二氧化鈣厚度比例不同，卻都未明顯聚集為奈米顆粒。

圖 3-2 為試片 C 在 $\pm 5V$  掃描下的電容-電壓曲線(C-V curve)，觀察到在 $\pm 5V$  來回掃描時，平帶電壓(flatband voltage)幾乎不會改變，所以之後的量測起始特性時，均使用 $\pm 5V$  掃描範圍，以確定不會對數據與結果造成影響。圖 3-3 為試片 A-E 在 $\pm 15V$  掃描下的電容-電壓曲線。由圖 3-3(c)與(e)可以觀察到試片 C 與試片 E 在 $\pm 15V$  來回掃描會有約 5.2V 的記憶窗口，因此可以確定經過攝氏 900 度退火之氧化鋁/二氧化鈣交錯層確實有儲存電荷的能力。由給予的閘極電壓與電壓-電容曲線的平移方向來推論，可以發現當閘極電壓為正時，會在矽基板頂端形成反轉層(inversion layer)，使電子穿隧進入氧化鈣/氧化鋁交錯層中並且儲存；而在給予的閘極電壓為負時，會在矽基板頂端形成堆積層(accumulation layer)，使電洞穿隧進入氧化鈣/氧化鋁交錯層中。

由圖 3-3(c)與(e)可以發現試片 C 與試片 E 在 $\pm 15V$  掃描下記憶窗口並沒有太大差異，從圖 3-1(a)(c)發現兩個試片在攝氏 900 度/30 秒退火後電荷儲存層仍然是明顯交錯的結構，因此雖然試片 E 電荷儲存層的二氧化鈣的比例較高，應能提供較多的電荷儲存單位，但是記憶窗口並沒有明顯優於試片 C，推測是因為退火時間太短，不足以形成奈米顆粒，單純二氧化鈣電荷儲存力不足。

比較圖 3-3(c)與(d)發現，雖然試片 C 與試片 D 的二氧化鈣比例

相同，但試片 D 經過攝氏 900 度/60 秒退火，±15V 來回掃描的記憶窗口比試片 C 的記憶窗口大了大約一倍，而且電容值也稍稍提高。推測是因為試片 D 經過了較長時間的退火，氧化鋁/二氧化鈣交錯層中形成二氧化鈣的奈米顆粒，如圖 3-1(b)，使電荷儲存力提高，並且可能因為有二氧化鈣結晶造成介電常數增大，使得電容值上升。而由聚集模式的電容值求得電容等效厚度 (capacitor equivalent thickness, CET)，擷取方式依據 3-1 式：

$$CET = \frac{\epsilon_0 \epsilon_{SiO_2} A}{C_{acc}} \quad (3-1 \text{ 式})$$

其中  $C_{acc}$  為偏壓在聚集區的電容值， $A$  為電容閘極的面積， $\epsilon_0$  和  $\epsilon_{SiO_2}$  分別為真空中與二氧化矽的介電常數。試片 C 與試片 D 具有相同的物理厚度，從 3-1 式可以求得試片 C 的電容等效厚度是 10.7 奈米，而試片 D 的等效厚度下降為 9.6 奈米，意謂著退火 60 秒相較於退火 30 秒試片介電常數的提高。

值得一提的是，我們也有製作和試片 C 與試片 D 完全相同結構的試片，但增加退火條件為攝氏 900 度/90 秒，不論在±15V 來回掃描或寫入/抹除速度方面皆和試片 D 沒有顯著差異，因此不將其電特性納入本論文中，以免過多的製程條件造成混淆與文字敘述的不易。

圖 3-3(b)為試片 B 的±15V 描下的電容-電壓曲線，明顯觀察到在抹除端平帶電壓平移量大約比試片 D 大了一倍，而試片 B 和試片 D

製程上的差異僅是電荷阻擋層加厚為 20 奈米。由圖 3-4 可以發現氧化鋁在經過攝氏 900 度/60 秒退火後有些許結晶的現象，因此我們推測試片 D 在抹除操作下，因為電荷阻擋層太薄，造成背部電子注入，所以抹除速度下降，而將電荷阻擋層加厚為 20 奈米的試片 B 則大幅降低抹除時背部電子注入的情況。

試片 A 與試片 B 在 $\pm 15$  掃描下並無明顯差異，推測應該是在 $\pm 15$ V 的操作電壓下，重複 5 次的氧化鋁/二氧化鈣交錯層已能提供注入電子足夠的電荷儲存單位，因此和重複 7 次的氧化鋁/二氧化鈣交錯層並無差明顯差異。

圖 3-5 為試片 B, C, D, E 的原始電壓-電容曲線以及閘極電壓給予+15V/1 秒與-15V/1 秒後的電壓-電容曲線，發現試片 C 與試片 E 皆有都大約 4V 的記憶窗口，而經過攝氏 900 度/60 秒退火的試片 D 有大約 4.6V 的記憶窗口。比較試片 D 和試片 C，試片 D 寫入端大約多了 1.3V 而抹除端卻小了 0.7V 的平帶電壓平移量。從圖 3-5(a)、(b)可以發現試片 B 和試片 D 相比，試片 B 在閘極給予+15V/1 秒操作下，寫入端平帶電壓平移量表現和試片 D 相差不多，但抹除端的平移量卻大了一倍以上，但使用厚度 20 奈米的氧化鋁會使電容等效厚度提高，當閘極給與相同電壓時試片 B 的電場會較小於試片 D，除此之外，因為電容等效厚度不同，會造成相同的平帶電壓平移量，但實

實際上介電層中所儲存的電荷量不同，經過計算，試片 B 與試片 D 在相同寫入條件時所儲存的電子量分別是 0.54nC 與 0.59nC，差異不大，而在抹除時所儲存的電洞量分別是 0.385nC 與 0.21nC，試片 B 的確在相同抹除條件時能儲存較多的電洞，因此我們更進一步驗證了稍早的推論。試片 C 與試片 E 即使電荷儲存層中二氧化鈣比例不同，但因為退火時間不足，所以記憶窗口與寫入/抹除速度並無明顯差異，而試片 D 經過攝氏 900 度/60 秒退火後，會在氧化鋁/二氧化鈣交錯層中形成奈米顆粒提升電荷儲存力，不過也會使氧化鋁電荷阻擋層結晶，造成抹除操作時電子從閘極注入電荷儲存層中，所以寫入速/提高但抹除速度降低。而將電荷阻擋層加厚為 20 奈米的試片 B，在抹除速度方面比試片 D 快了一倍且沒有犧牲寫入速度，這是因為 20 奈米的氧化鋁大幅降低抹除操作下背部電子注入，而且氧化鋁的高介電常數是使等效厚度沒有增加太多的原因。

圖 3-6 為試片 A-E 在 $\pm 15V$ 操作下，7 個電容的記憶窗口統計分佈，記憶窗口的定義為寫入態(program state)的平帶電壓與抹除態(erase state)平帶電壓之差。在此操作條件下，試片 A 與試片 B 的記憶窗口最大，而試片 D 只略大於試片 C 與試片 E。圖 3-7(a)為試片 A-E 操作電壓為 $+15V$ 的寫入速度，在此我們將寫入速度的定義為先將元件操作為抹除態後，給予 $+15V$ 不同脈衝時間(pulse width)，

記錄不同寫入條件下平帶電壓的平移量，同理，抹除速度是先將元件操作至寫入態，再記錄不同抹除條件下平帶電壓的平移量。圖 3-7(b) 為試片 A 與試片 B 不同操作電壓下的寫入速度，我們可以觀察到試片 A 與試片 B 在+15V/1 秒的寫入電壓之下，寫入速度是沒有明顯差異的，但我們將寫入電壓加大為+18V，試片 A 與試片 B 的記憶窗口就差了 1.2V，並且由圖中曲線可以看出，試片 B 在寫入條件為+18V/1 秒的記憶窗口只比+15V/1 秒大了 0.6V；試片 A 在寫入條件為+18V/1 秒的記憶窗口比+15V/1 秒大了 1.6V，可能原因是重複次數 5 次氧化鋁/二氧化鈣交錯層的元件因為等效厚度較薄，因此電場較強，而重複次數 7 次氧化鋁/二氧化鈣交錯層的元件，雖然電場較弱，但因二氧化鈣總合較厚所以電荷捕獲位置比較多。因此當操作電壓為+15V 下，電場強度與捕獲位置多寡兩因素互相抵消，因此試片 A 與試片 B 的寫入速度表現是差不多的，但在+18V 操作電壓下，重複次數 5 次氧化鋁/二氧化鈣交錯層的元件所能補獲的電荷量已達飽合，而重複次數 7 次氧化鋁/二氧化鈣交錯層的元件卻能持續儲存電荷，因此在+18V/1 秒下試片 A 能夠有比較快的寫入速度。圖 3-8(b) 為試片 A 與試片 B 不同操作電壓下的抹除速度，也有發生相同的現象。

### 3-3 電荷保持力與元件耐久性

電荷保持力的量測方法是先給予元件一個寫入電壓，使元件進入寫入態，接著從+5V 掃描到-5 得到電壓-電容曲線，因此可以得到寫入態的平帶電壓的數值，由圖 3-2 可以得知+5V 到-5V 的掃描範圍並不會造成平帶電壓的平移，相同方法可以得到抹除態的平帶電壓的數值，再將平帶電壓對所經過的時間作圖。圖 3-9 為試片 A-E 在攝氏 25 度的電荷保持力，在經過  $10^5$  秒後，試片 A 仍有百分之 83 的記憶窗口，而試片 B 與試片 D 剩百分之 76 與 70，但因試片 D 抹除態的平帶電壓在經過-15V/1 秒操作後只能到達-1.5V，總記憶窗口為 4.6V，比試片 A 與 B 小了 1.5V，所以上述比較不夠公正。圖 3-10 為試片 A、B、D 經過+15V/1 秒操作的寫入態平帶電壓值經過  $10^5$  秒後的統計圖，由此圖可以明顯發現試片 A 的電荷保持力優於試片 B 與試片 D。推測原因是重複 7 次的氧化鋁/二氧化鈣交錯層再退火後，能夠形成較大的奈米顆粒，當電子儲存在奈米顆粒中時，尚未到達儲存單位的飽合電量，同時電荷間的庫倫(Coulomb)斥力較小。另一方面，較大奈米顆粒的量子侷限效應(quantum confinement effect)較輕微，使儲存在二氧化鈣中的電子能看到比較高的能障，因此試片 A 能夠有較佳的電荷保持力。而試片 B 和試片 D 同樣都是重複 5 次的氧化鋁/二氧化鈣交錯層，但試片 B 的電荷保持力卻略優於試片 D，推測是因為試片有較厚的電荷阻擋層，因為當電荷被儲存時，漏電路

徑有可能穿過穿隧氧化層到通道中，也有可能穿過有些微結晶現象的氧化鋁電荷阻擋層到閘極，而較厚的電荷阻擋層能減少此漏電路徑。

圖 3-11 試片 A 與試片 B 在不同條件下的電荷保持力，可以發現若將試片 A 與 B 操作在和試片 C 與 E 一樣較小的記憶窗口，電荷保持力可以達到經過  $10^5$  秒仍有百分之 90 的記憶窗口，而若將試片 A 升溫至攝氏 85 度，在經過經過  $10^5$  秒後只剩百分之 67，尚有改善空間。

圖 3-12 為試片 A-E 元件平帶電壓對寫入/抹除次數所做的圖，寫入/抹除條件為+15V/1 秒與-15V/1 秒，試片 C 與試片 E 在經過 1 萬次寫入/抹除後，記憶窗口並沒有明顯的縮減，但試片 A 與試片 D 的經過 1 萬次寫入/抹除後，因為抹除態的平帶電壓逐漸往正方向平移而記憶窗口有輕微縮減的現象，但應是不同原因造成。試片 A 是因為電荷儲存層有較多的二氧化鉛，在經過多次寫入/抹除後產生缺陷，使較多的電荷被二氧化鉛的深層能階所補捉，造成難以抹除的現象，因此二氧化鉛含量較少的試片 B 的平帶電壓上飄情況較輕微。試片 D 的抹除態的平帶電壓逐漸往正方向平移應為在經過多次寫入抹除後，厚度僅有 10 奈米且些微結晶化的氧化鋁缺陷增加，因此抹除時有較嚴重的背部電子注入的情況，所以造成抹除速度下降，使平帶電壓無法回到初始的抹除狀態。

### 3-4 抗擾性(disturbance)

圖 3-13(a)(b)分別為試片 A 與試片 B 在寫入態與抹除態的抗擾性。在元件處於寫入態時，閘極給予+5V 電壓，經過 1000 秒後，試片 A 的平帶電壓會輕微上升 0.23V，而試片 B 幾乎不變。此現象代表當元件處於寫入態時，試片 A 的電子儲存能力優於試片 B，這應該是因為試片有較厚的電荷儲存層的緣故。而閘極給-5V 電壓經過 1000 秒後，試片 A 與試片 B 的平帶電壓約會下降 0.3V，對於 6V 的記憶窗口言是可以忽略的。元件處於抹除態時，閘極給予+5V 電壓經過 1000 秒後，試片 A 與試片 B 的平帶電壓會上升 0.6V，而閘極給予-5V 電壓經過 1000 秒後，試片 A 與試片 B 的平帶電壓約會下降 0.12V，都是相當輕微的平移。

### 3-5 結論

在章節 3.2-4 中已展示電容元件的各項記憶特性，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性與抗擾性，證實氧化鋁/二氧化鈣交錯層作為閘極介電層確實能作為非揮發性記憶體的電荷儲存層。元件經過攝氏 900 度/60 秒以上退火能提升二氧化鈣儲存電荷的能力，但也會造成氧化鋁電荷阻擋層產生些微結晶，造成抹除速

度下降、記憶窗口縮小、電荷保持力變差等負面效應。若將電荷阻擋層加厚至 20 奈米，就可以大幅降低以上的負面效應，使元件特性提升。加厚電荷阻擋層的元件試片 A 與試片 B 在 $\pm 15\text{V}/1$  秒操作條件下，可以達到 6V 以上的記憶窗口，而在 $\pm 15\text{V}$  電容-電壓區線掃描下更可以達到 11V 的記憶窗口，這主要歸因於減少閘極對電荷儲存層的漏電，所以減少背部電子注入，使抹除速度相較試片 D 增加一倍。由於氧化鋁的高介電常數使得等效電容厚度並沒有增加太多，因此並不犧牲寫入速度。

減少閘極對電荷儲存層的漏電路徑也可以使電荷保持力提升，試片 A 與試片 B 在經過  $10^5$  秒後仍有百分之 83 與百分之 76 的記憶窗口，而試片 D 僅剩百分之 70，並且試片 A 預測經過 10 年仍有 1.73V 的記憶窗口，若將試片 A 與試片 B 操作在約 4V 的記憶窗口，經過  $10^5$  秒後皆仍有百分之 90 的記憶窗口，預測經過 10 年仍有 2.4V 的記憶窗口，顯示出良好的電荷保持力。

在耐久性方面，試片 A-E 皆表現出不錯的特性，雖然試片 A 與試片 D 因為抹除態的平帶電壓逐漸往正方向平移而使記憶窗口有輕微縮減的現象，但在經過 1 萬次寫入/抹除後，記憶窗口仍有百分之 93。抵抗干擾方面，經過不同干擾條件 1000 秒後，最大的平帶電壓平移也只有 0.6V，僅是記憶窗口的百分之 10，顯示良好的抗干擾特

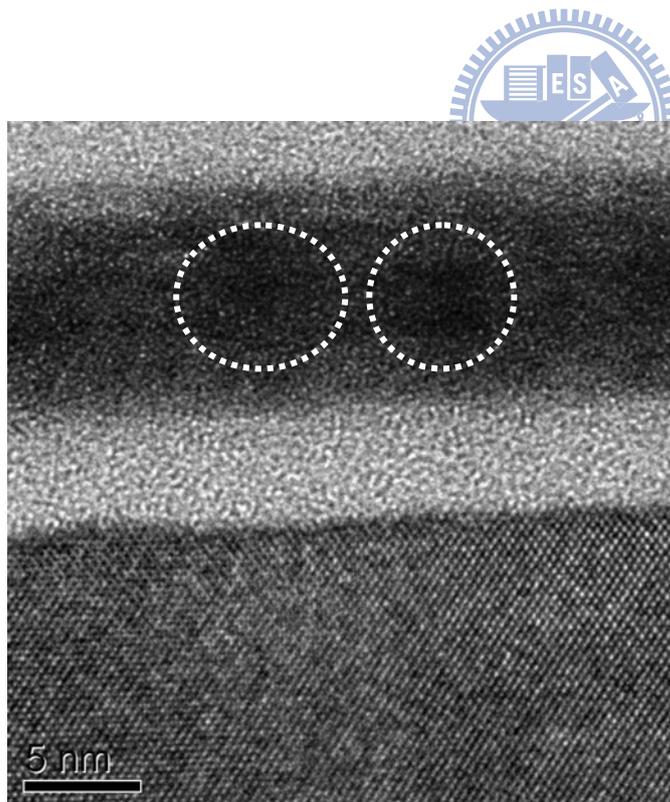
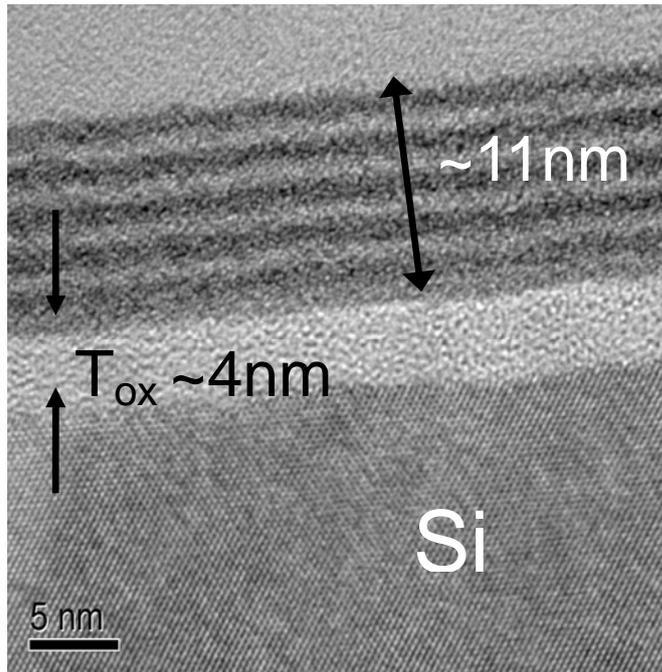
性。表 3-1 為近年來使用高介電常數材料做為介電質之元件與本論文特性比較表。



表 3-1 本篇論文電容結構元件與參考文獻特性對照表。

	This work	Ref. 37	Ref. 39	Ref. 46
元件結構	電容	電容	電晶體	電容.
記憶窗口	約 12V @±15V 掃描	約 10.4V @±15V 掃描	未呈現	約 10V @±15V 掃描
寫入速度	約 1V@Vd=0 Vg=+15V1ms  約 6V@Vd=0 Vg=+15V1s	未呈現	約 4V@Vd=10V Vg= +10V 10us	未呈現
抹除速度	約 0.8V @Vd=0 Vg= -15V 1ms  約 5.7V @Vd=0 Vg= -15V 1s	未呈現	約 4V @Vd=10V Vg= -5V 1ms	未呈現
電荷保持力 (經過 10 <sup>5</sup> 秒)	In. 6V: 約 83% In. 4V: 約 90%	In. 10V: 約 80%	In. 2.4V: 約 97%	In. 4.5V: 約 88%
持久力 (1 <sup>4</sup> P/E cycle)	In. 6V: 約 93%	In. 10V: 約 98%	In. 2.4V: 約 98%	未呈現

(a)



(c)

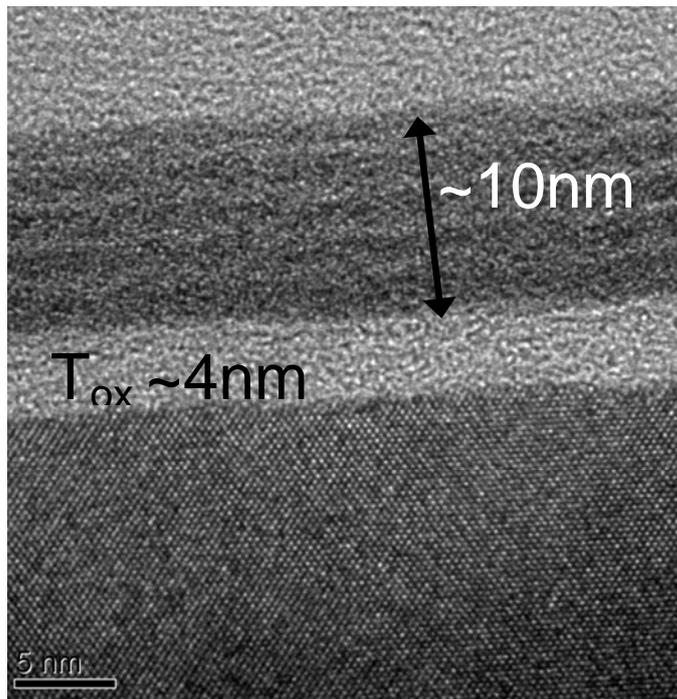


圖 3-1 (a) 試片 C 電荷儲存層放大圖。(b) 試片 D 電荷儲存層放大圖。(c) 試片 E 電荷儲存層放大圖。

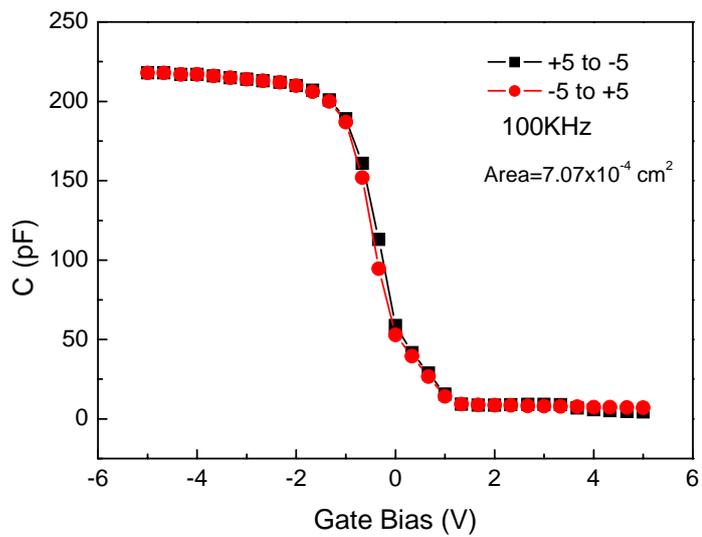
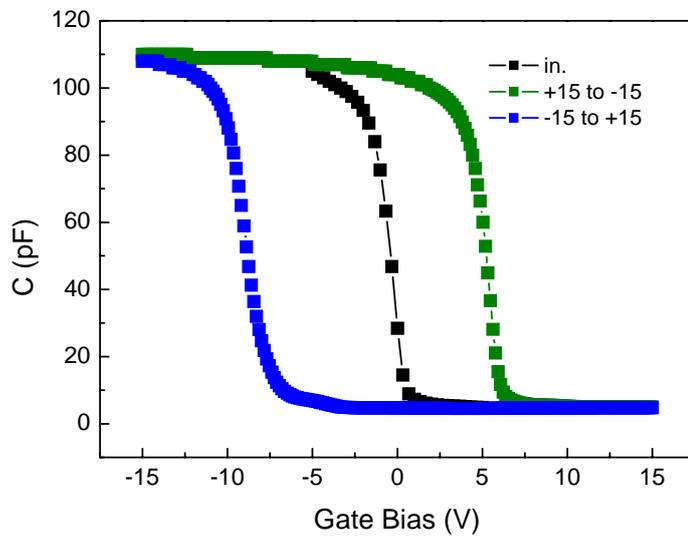


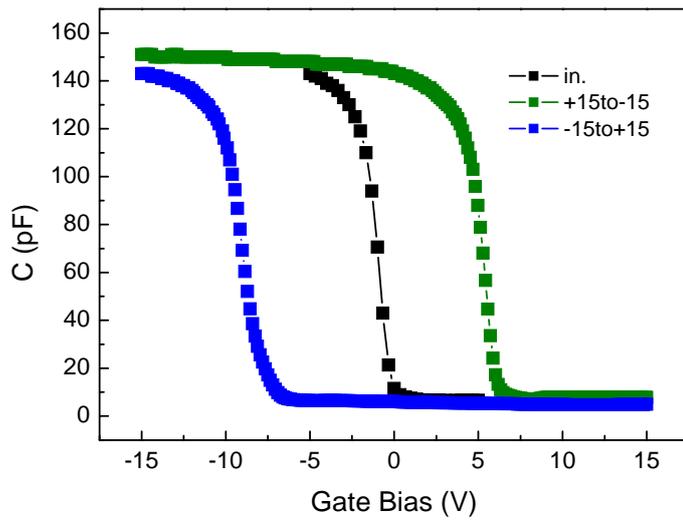
圖 3-2 試片 C±5V 掃描範圍的電容-電壓曲線。



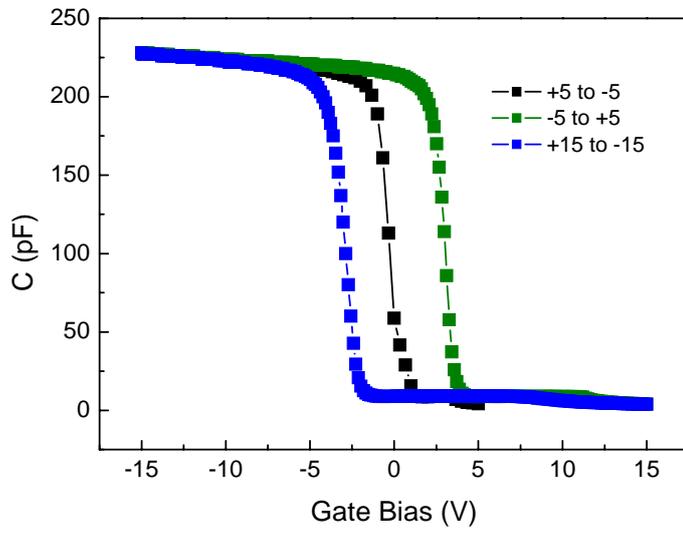
(a)



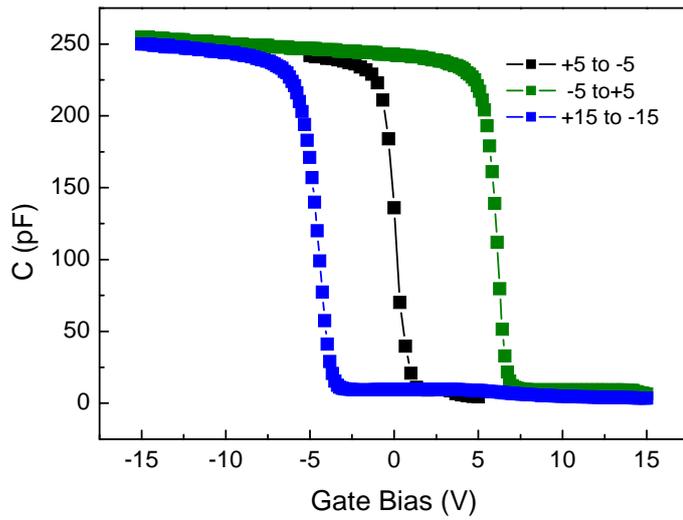
(b)



(c)



(d)



(e)

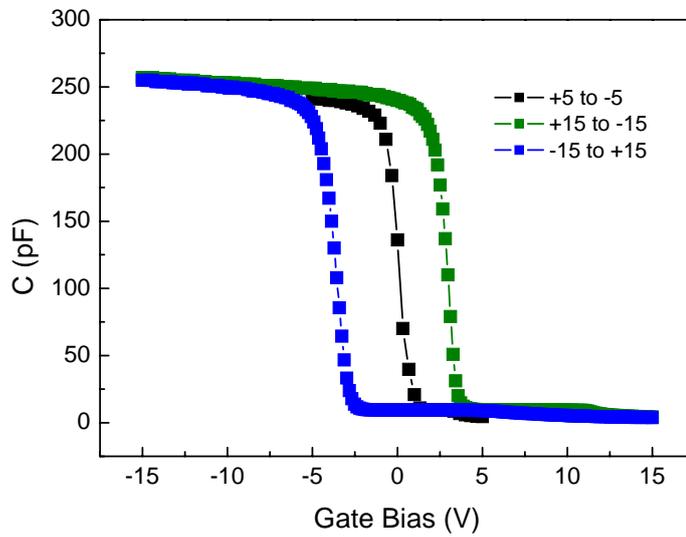


圖 3-3(a) 試片 A 不同掃描範圍的電容-電壓曲線。(b) 試片 B 不同掃描範圍的電容-電壓曲線。(c) 試片 C 不同掃描範圍的電容-電壓曲線。(d) 試片 D 不同掃描範圍的電容-電壓曲線。(e) 試片 E 不同掃描範圍的電容-電壓曲線。

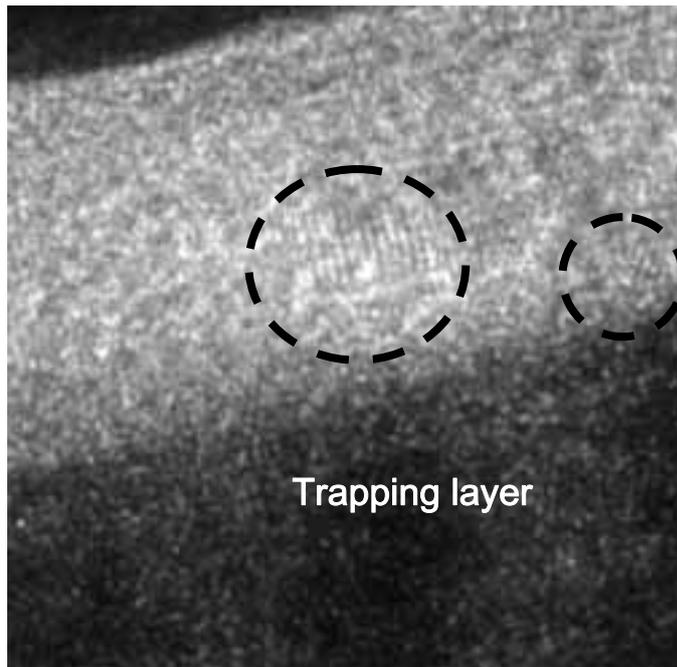
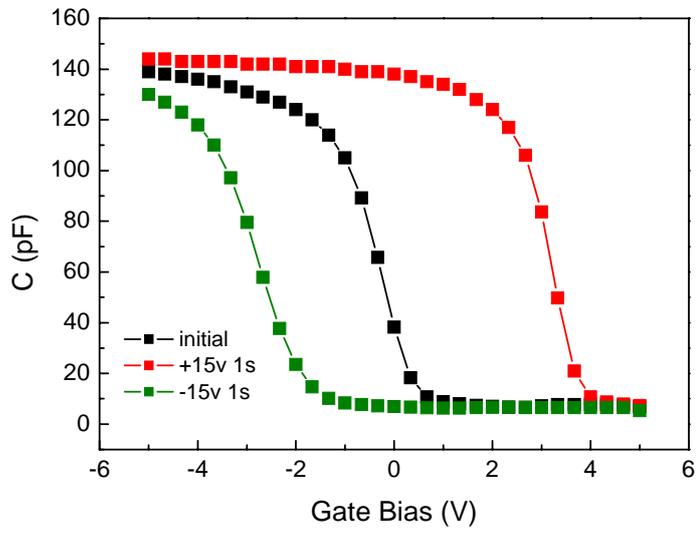


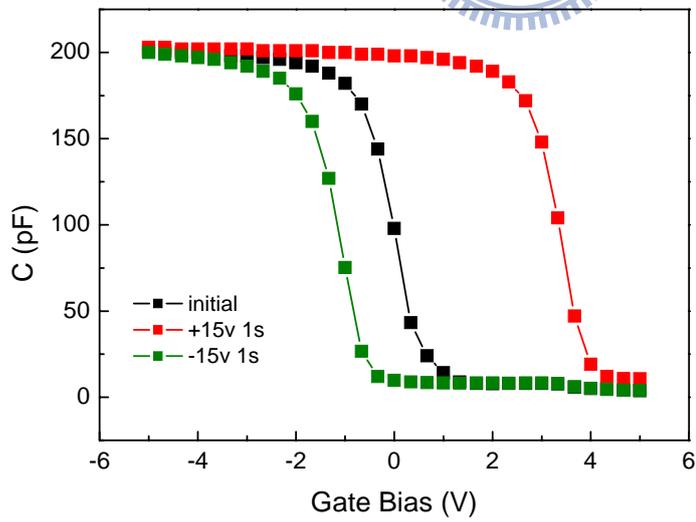
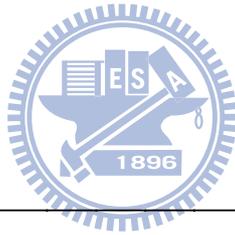
圖 3-4 氧化鋁電荷阻擋層經過攝氏 900 度/60 秒快速退火的 TEM 圖。



(a)



(b)



(c)

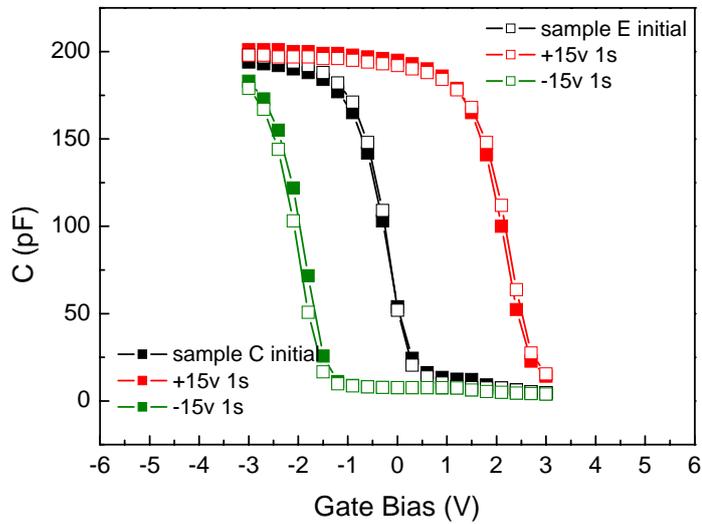


圖 3-5 (a) 試片 B 初始電容-電壓曲線與經過寫入/抹除操作後的電容-電壓曲線。(b) 試片 D 初始電容-電壓曲線與經過寫入/抹除操作後的電容-電壓曲線。(c) 試片 C 與試片 E 初始電容-電壓曲線與經過寫入/抹除操作後的電容-電壓曲線。

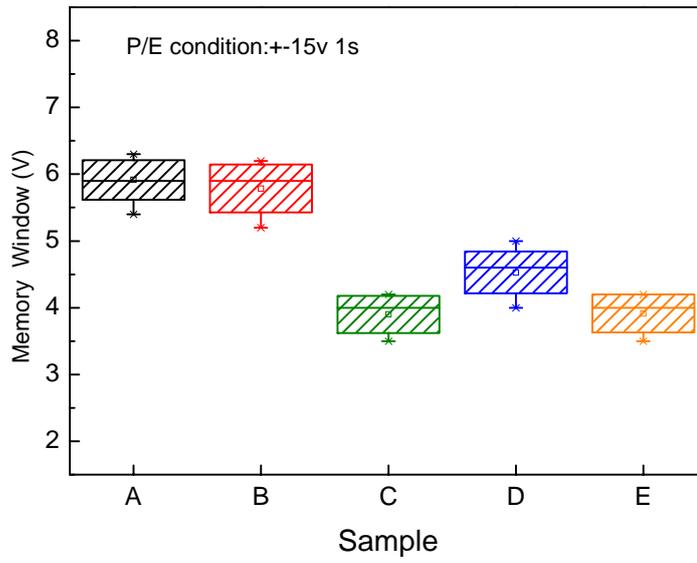
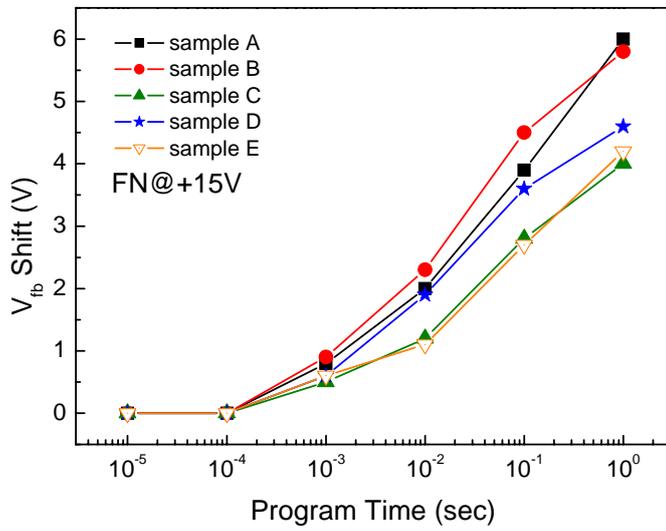


圖 3-6 試片 A-E 在 $\pm 15V$  操作下 7 顆元件的記憶窗口統計分佈。(Box chart: box range 為一倍標準差，whisker 為 data 的 10%-90%)



(a)



(b)

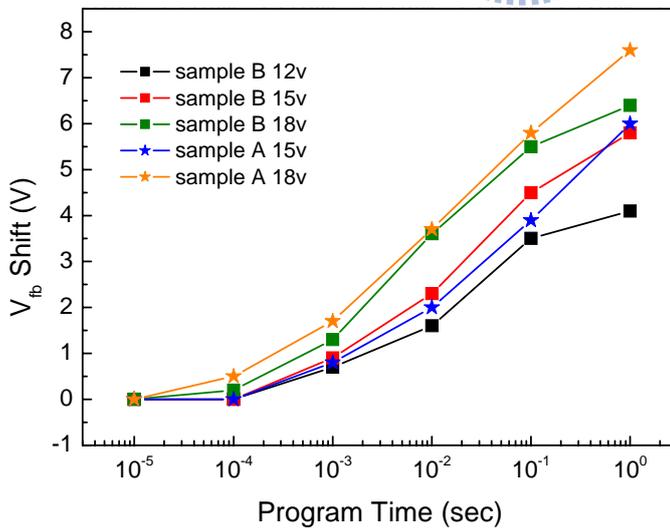
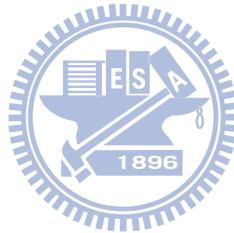
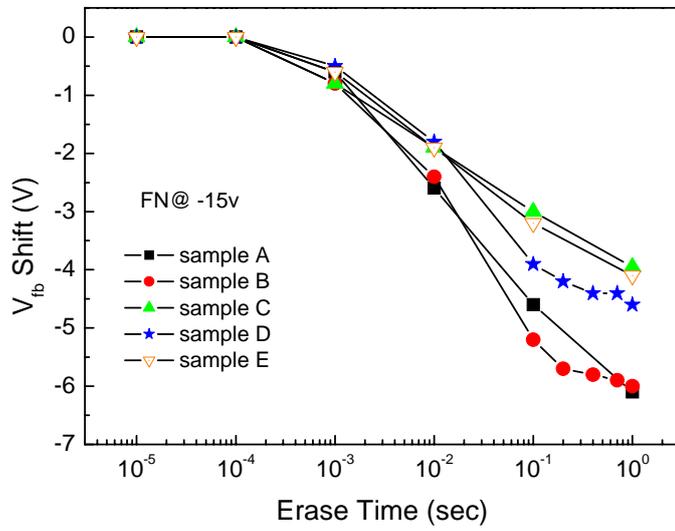


圖 3-7 (a) 試片 A-E 操作電壓為 +15V 的寫入速度 (b) 試片 A 與試片 B 不同操作電壓下的寫入速度。

(a)



(b)

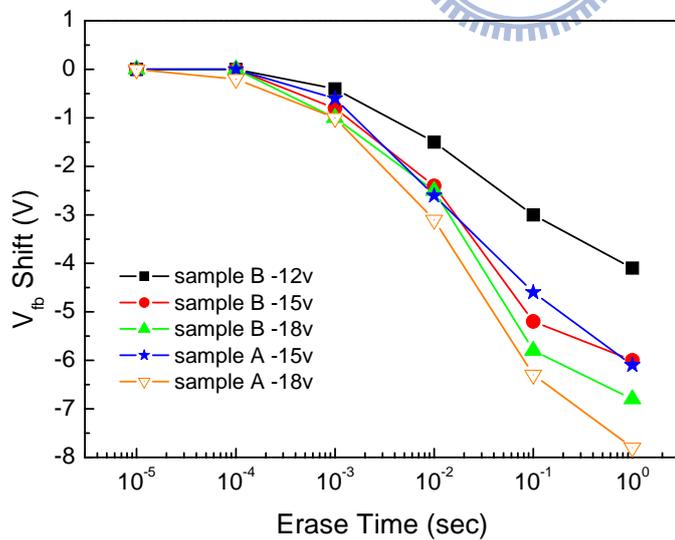


圖 3-8 (a) 試片 A-E 操作電壓為+15V 的抹除速度 (b) 試片 A 與試片 B 不同操作電壓下的抹除速度。

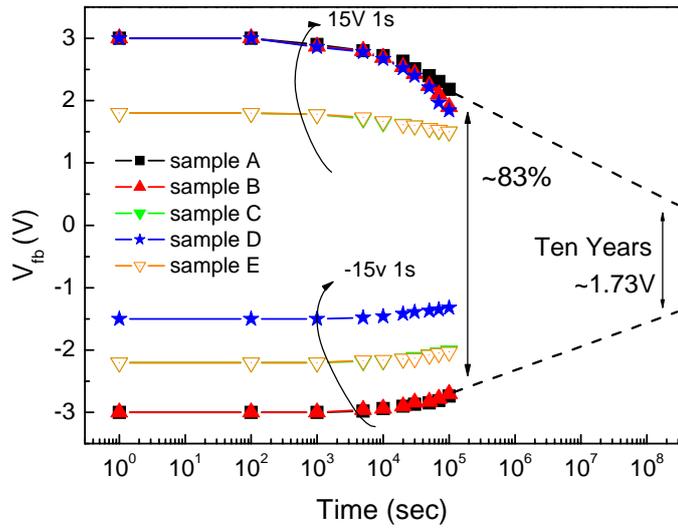
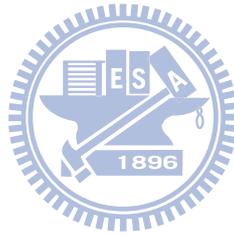


圖 3-9 試片 A-E 平帶電壓隨時間變化。



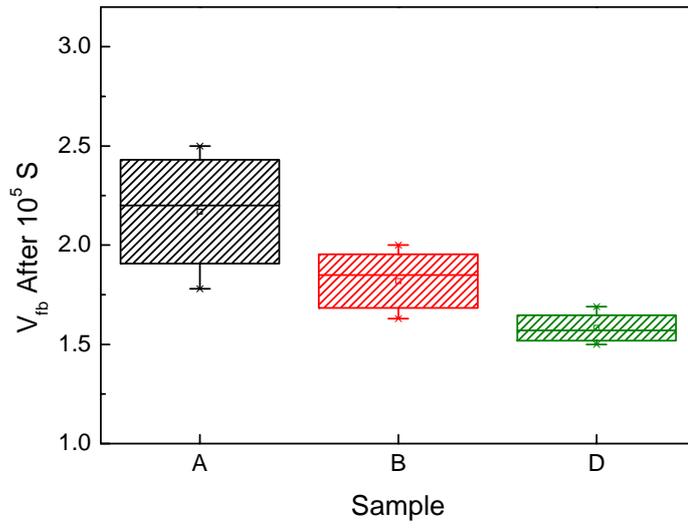
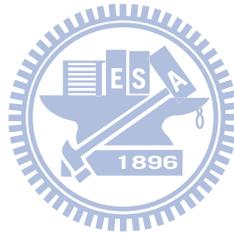


圖 3-10 試片 A-B 與試片 D 經過+15V1 秒操作經過 10<sup>5</sup> 秒後寫入態平帶電壓值統計圖。



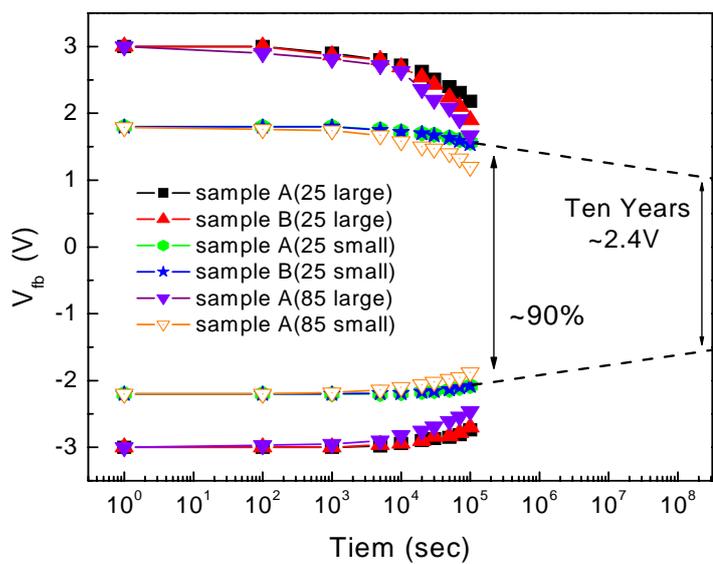


圖 3-11 試片 A 與試片 B 在不同條件下的電荷保持力。



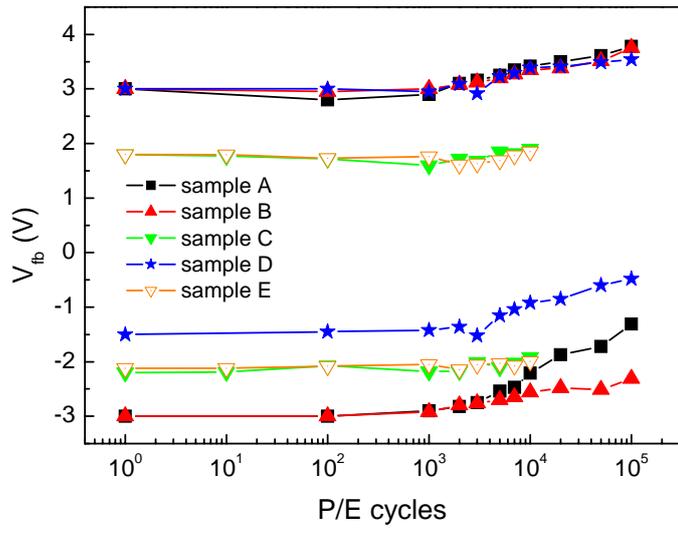
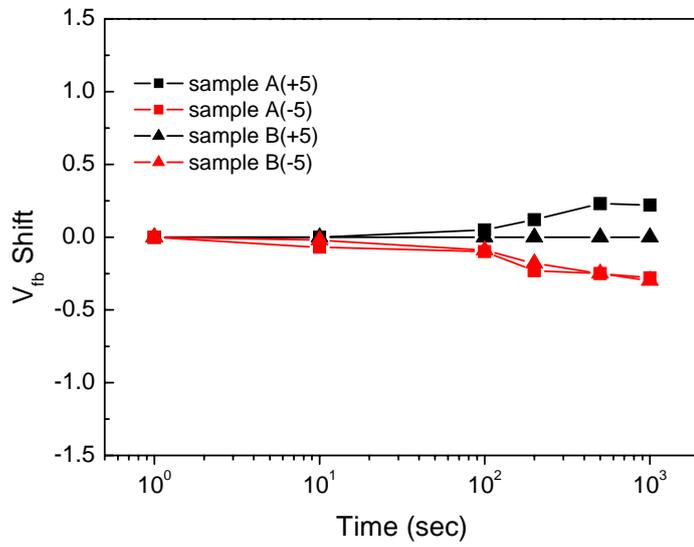


圖 3-12 試片 A-E 元件平帶電壓對寫入/抹除次數圖。



(a)



(b)

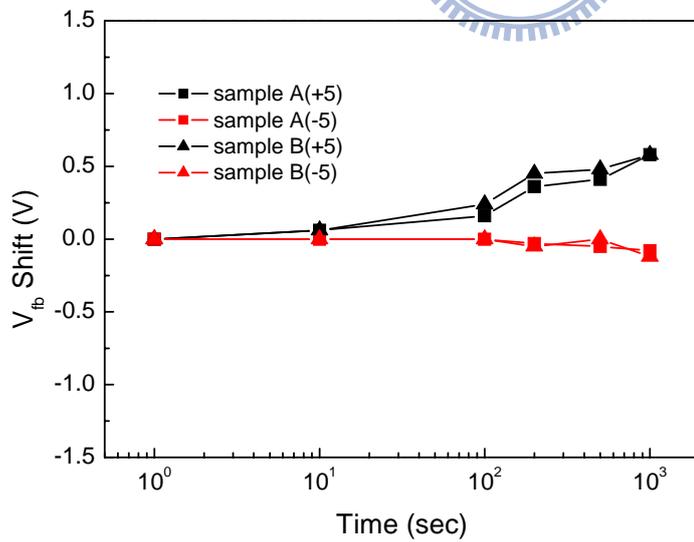
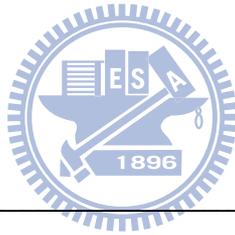


圖 3-13 (a)寫入態抗擾性。(b)抹除態抗擾性。

## 第四章

### 氧化鋁/二氧化鈣交錯層薄膜記憶體特性

#### 4-1 簡介

在第三章中已詳細展示氧化鋁/二氧化鈣交錯層電容結構的各項記憶特性，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性與抗擾性，並且討論各項製程差異對元件電性的影響。本章將討論氧化鋁/二氧化鈣交錯層應用於多晶矽薄膜記憶體的特性，並進一步採用高介電常數的氧化鋁做為電荷穿隧層，期望提升閘極對通道的控制能力，詳細製程條件請參見表 2-2。



#### 4-2 電性討論

##### 4-2.1 記憶窗口與寫入/抹除速度

在此要先說明一件事，在原先製程條件的設定為表 2-2，但因在製程上蝕刻 spacer 時，懷疑是蝕刻條件出了問題或介電質與多晶矽通道的蝕刻選擇比太低，造成試片乙與試片丙整片晶圓上元件的多晶矽通道皆被蝕刻掉，造成製程失敗，而試片甲也只剩晶圓周圍少數元件可以量測，因此以下數據只能呈現試片甲所剩下的元件特性。試片甲閘極介電質可以對照電容結構的試片 D，差別在於穿隧氧化層改用

4 奈米的氧化鋁。

圖 4-1 為元件的基本汲極電流-閘極電壓曲線( $I_d-V_g$  curve)，我們將元件汲極電流為 10nA 時的電壓定義為臨界電壓。原始臨界電壓約為 2.2V，當  $V_g-V_{th}=2.8$  的導通電流為 1.76 $\mu$ A，次臨界擺幅(subthreshold swing)約為 360mV/decade，就固態結晶的薄膜電晶體而言，特性不錯。

圖 4-2 為初始的汲極電流-閘極電壓曲線以及閘極電壓給予  $\pm 12V/0.1$  秒後的汲極電流-閘極電壓曲線，此時元件的記憶窗口約為 4V。圖 4-3 為不同寫入電壓下元件的寫入速度，可以發現寫入電壓為  $+12V/0.1$  秒時記憶窗口約為 4V 左右，寫入速度明顯優於  $+10V$  的寫入電壓，但若將寫入電壓加至  $+15V$ ，寫入速度卻只有些微優於  $+12V$ ，推測原因應是電荷儲存層中能提供的電荷儲存單位已達飽合，因此即使寫入電壓為  $+15V$  時，能夠有較多的電子注入電荷儲存層中，也無法有效儲存。因此為了達到低操作電壓而不犧牲寫入速度的目的，所以選取  $+12V$  作為寫入電壓是合適的。圖 4-4 為不同抹除電壓下元件的抹除速度，值得一提的是我們發現  $-15V/1$  秒的平移量比  $-15V/0.1$  秒還小，推測原因是由於氧化鋁經過 900 度/60 秒退火會有些微結晶的現象(可見圖 3-3)，因此當閘極給予太大的抹除電壓或太長的抹除時間進行操作時，會有電子從閘極注入電荷儲存層中與從通道注入的一

部份電洞中和，造成抹除速度下降。而由於材料特性的緣故，氧化鋁對電子和電洞的能障分別是 2.7eV 和 4.68eV，也就是說電子較電洞的穿隧機率高，因此在抹除電壓為-15V/1 秒時間極注入的電子多於通道注入的電洞，等效而言是負電荷注入，因此造成臨界電壓略為上升。試片甲的寫入/抹除速度和電容結構試片 D 比較，試片甲寫入速度明顯較快，而抹除速度沒有顯著差異，而且同樣地，在記憶窗口大約為 4.5V 左右就會趨於飽合。

## 4-2.2 電荷保持力



圖 4-5 為元件在攝氏 25 度下臨界電壓對時間所做的圖，在攝氏 25 度的溫度下，經過  $10^5$  秒後只剩下百分之 53 的記憶窗口，電荷保持力並不理想。推測原因應該是經過 900 度/60 秒退火後氧化鋁穿隧氧化結晶所造成的，並且因為此元件的電荷穿隧層也是使用氧化鋁，使得電荷儲存層中所儲存的電荷，在經過一段時間後，開使大量穿隧至通道，使記憶窗口縮減。而和電容中的試片 D 相比較，在相同電荷儲存層、電荷阻擋層與退火條件下，使用二氧化矽作為穿隧氧化層，能使元件經過經過  $10^5$  秒後仍有百分之 70 的記憶窗口。

## 4-2.3 耐久性

圖 4-6 為元件臨界電壓對寫入/抹除次數所做的圖，寫入/抹除條件為正 12V/0.1 秒與-12V/0.1 秒，在經過 1 萬次寫入/抹除後記憶窗口並縮小至百分之 90，且抹除態的平帶電壓有明顯上飄的現象，原因應是在經過多次寫入抹除後僅有 10 奈米且些微結晶的氧化鋁產生缺陷，造成嚴重的漏電，抹除時背部電子注入的情況嚴重，因此造成抹除速度下降，所以無法將臨界電壓抹除至初始抹除態的臨界電壓，具有相同電荷阻擋層的試片 D 也有類似情況。圖 4-7 與圖 4-8 為試片甲與試片 D 經過 1 次與 1 萬次寫入/抹除操作後的電流-閘極電壓曲線和電容-電壓曲線，可以觀察到經過 1 萬次寫入/抹除操作後試片甲的次臨界擺幅提高，但試片 D 的電容-電壓曲線卻沒有變形。原因應是經過多次操作後，在氧化鋁/多晶矽介面產生介面態 (interface state) 所造成的，而試片 D 因為穿隧氧化層是二氧化矽，二氧化矽與單晶矽介面品質良好，所以多次操作後，介面態增加的現象並不明顯。

#### 4-2.4 抗擾性

在電晶體陣列操作(array)時有三種干擾:讀取干擾、閘極干擾與汲極干擾，產生這三種干擾的原因是因為陣列時元件間會共享資料線(word line)與位址線(bit line)，而資料線與位址線的排列方式

會依陣列形式為 NOR 或 NAND 來決定，雖然量測一個獨立元件時是可以忽略干擾效應的，然而當元件陣列時是必需考慮干擾效應。圖 4-9 與圖 4-10 分別是 NOR 與 NAND 陣列圖，對 NAND 而言，任一顆元件的閘/源/汲極都是與相臨的元件串聯在一起的，圖 4-10 中若我們想讀取元件 A 時，會對元件 A 本身產生臨界電壓的干擾，這稱為讀取干擾，而同時為了在元件 A 的汲極給予 1V 的偏壓，因此整條位址線都會有 1V 的電壓，此時會對元件 B 產生汲極干擾，至於寫入元件 A 時，為了在閘極給予 12V 的偏壓，因此會使元件 C 受到閘級干擾，圖 4-11、4-12 與 4-13 分別是元件受到讀取干擾、閘極干擾與汲極干擾臨界電壓隨著時間所做的圖，圖 4-11 與圖 4-13 可以發現讀取干擾與汲極干擾對元件的臨界電壓幾乎沒有影響。圖 4-12(a)、(b) 分別為元件處於寫入態與抹除態的閘極干擾，閘極干擾條件為閘極 12V，源/汲極端為斷路。圖 4-12(a) 中可以發現元件處於寫入態時閘極給予 +12V，臨界電壓幾乎不會平移，這是因為當電荷儲存層中存有大量電子時，通道中的電子會難以注入並儲存在電荷儲存層中，但若是閘極給予 -12V 則有大約 2V 的平移，推測原因是氧化鋁穿隧氧化層漏電過大，而電荷儲存層中的電子較容易流向通道，使臨界電壓下降，同理在圖 4-12(b) 中元件處於抹除態時，閘極給予 +12V 時，電子容易從通道進入電荷儲存層中，造成臨界電壓有大約 2.6V 的上升。圖 4-13 為元件

的汲極干擾圖，明顯可以發現汲極干擾對元件並無造成可靠度 (reliability) 上的問題。

#### 4-3 結論

在前一小節中，展示二氧化鉛應用於多晶矽薄膜電晶體元件的各項記憶特性，包括記憶窗口、寫入/抹除速度、電荷保持力、耐久性與抗擾性，寫入速度方面，寫入/抹除條件為 $\pm 12\text{V}/0.1$  秒可以達到 4V 的記憶窗口，相較於試片 D，寫入速度明顯增快。但由於攝氏 900 度 /60 秒退火後氧化鋁有結晶的情況，而此元件使用 4 奈米與 10 奈米的氧化鋁作為電荷穿隧層與電荷阻擋層，因此產生了許多負面效應，包括抹除速度變慢、電荷保持力下降、多次操作後抹除態的平移與對於干擾的可靠度。電荷保持力方面，經過  $10^5$  秒後只剩百分之 53 的記憶窗口，元件在經過 1 萬次寫入/抹除操作後，記憶窗口縮減了百分之 10，除了寫入速度外其他特性皆較試片 D 差，並且若將元件陣列時，由於穿隧氧化層的漏電過大，使得對於抵抗干擾能力薄弱，影響操作上的可靠度。

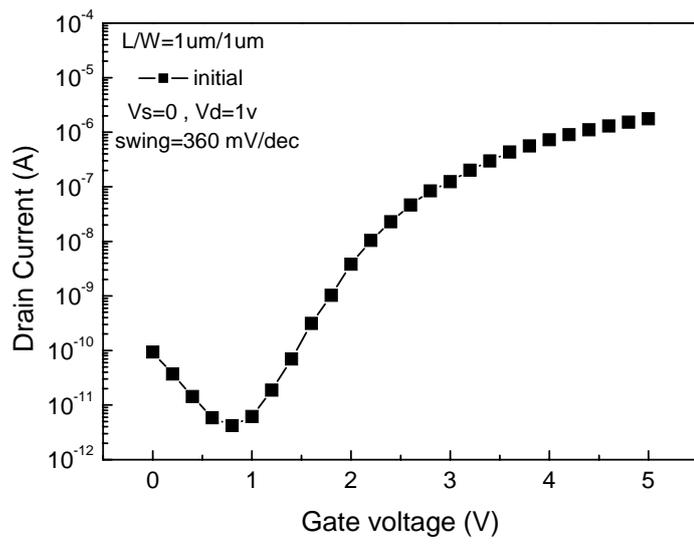


圖 4-1 元件的基本汲極電流-閘極電壓曲線。



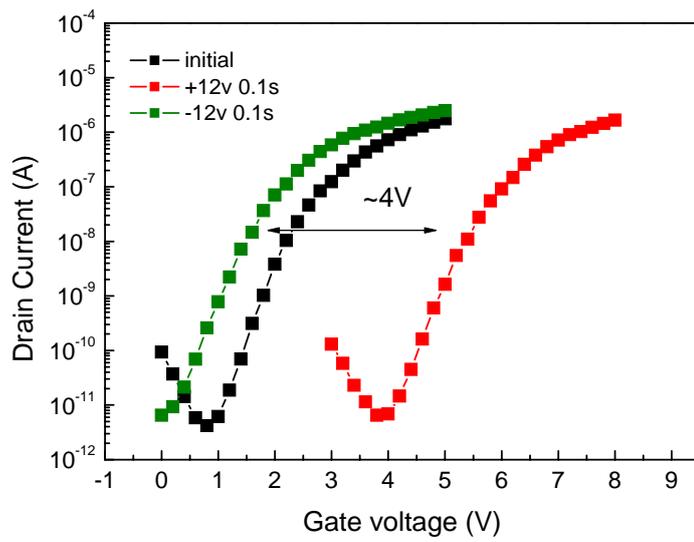


圖 4-2 元件初始的汲極電流-閘極電壓曲線與寫入/抹除±12V0.1 秒

後的汲極電流-閘極電壓曲線。



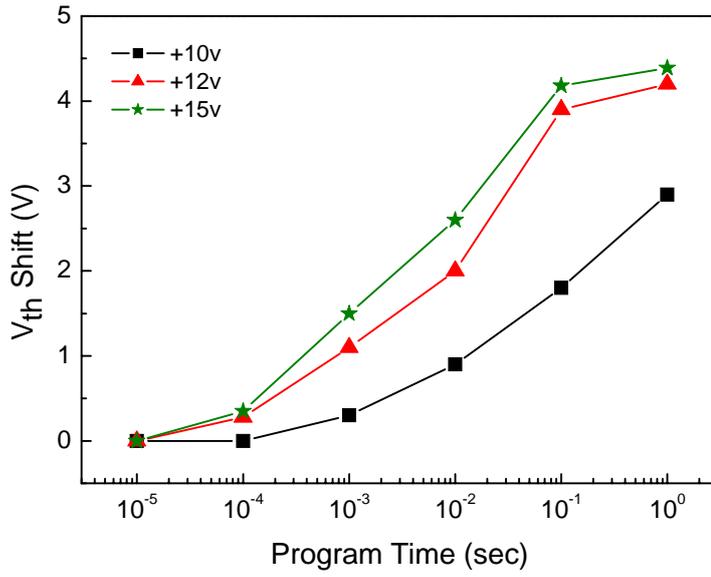


圖 4-3 不同寫入電壓下元件下臨界電壓平移量對寫入時間圖。



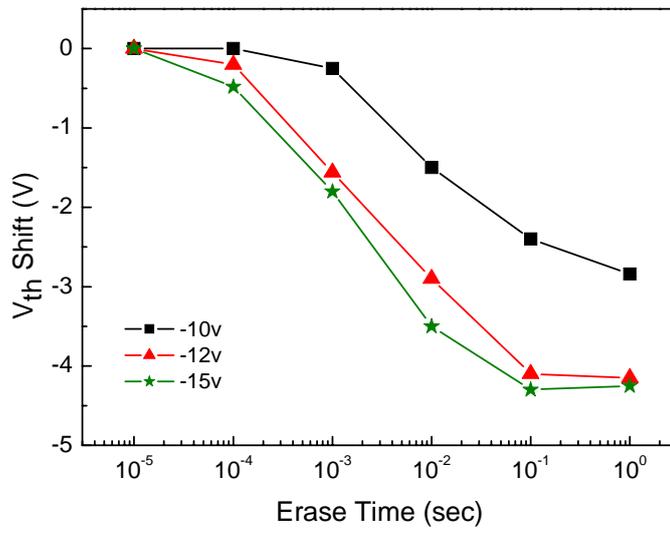


圖 4-4 不同抹除電壓下元件下臨界電壓平移量對寫入時間圖。



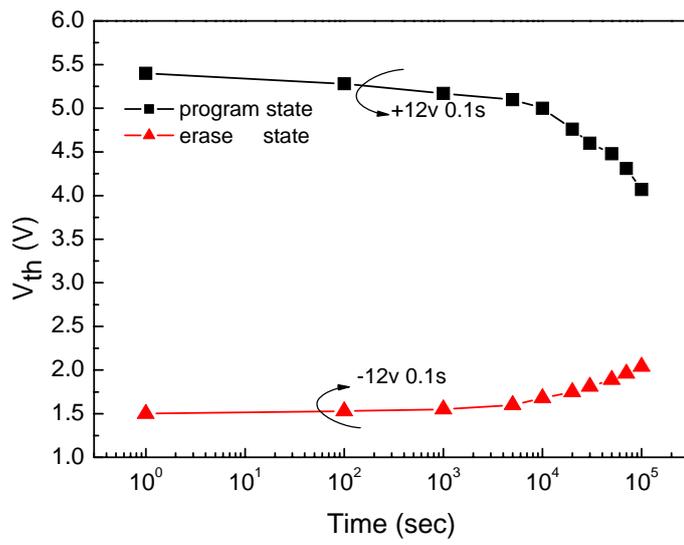


圖 4-5 元件在攝氏 25 度下，臨界電壓對時間的變化。



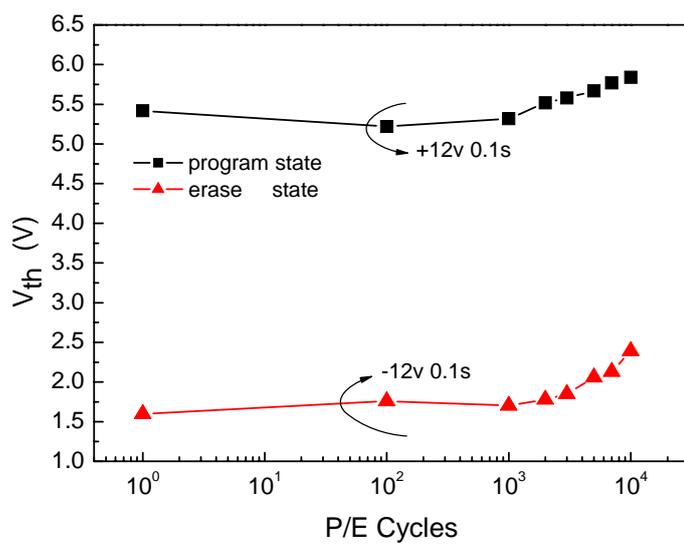


圖 4-6 臨界電壓對寫入/抹除次數的變化。



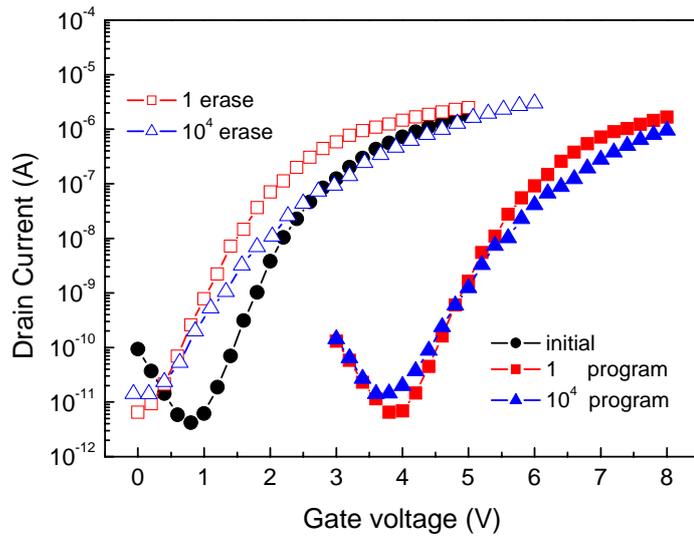


圖 4-7 試片甲經過 1 次與 1 萬次寫入/抹除操作後的電流-閘極電壓

曲線。



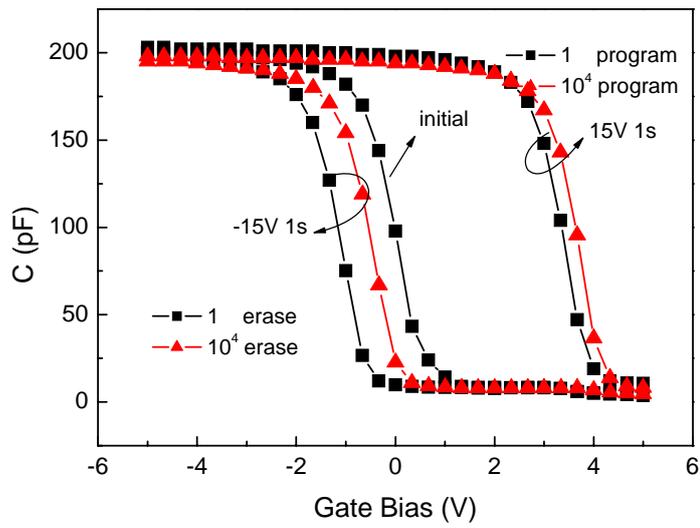
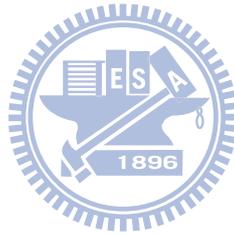


圖 4-7 試片 D 經過 1 次與 1 萬次寫入/抹除操作後的電流-閘極電壓

曲線。



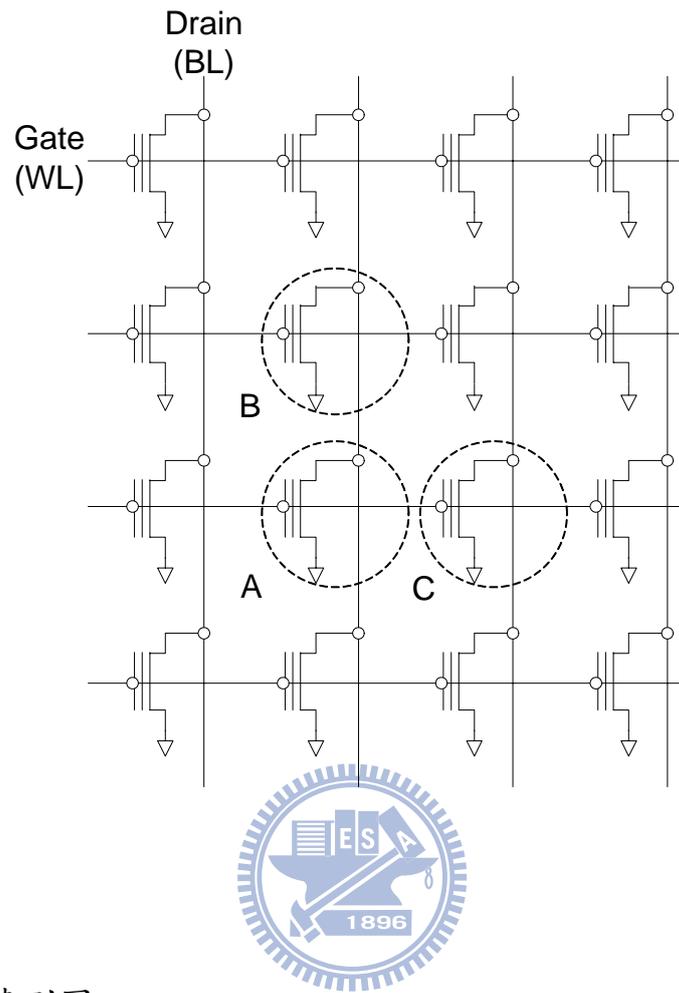


圖 4-9 NOR 陣列圖。

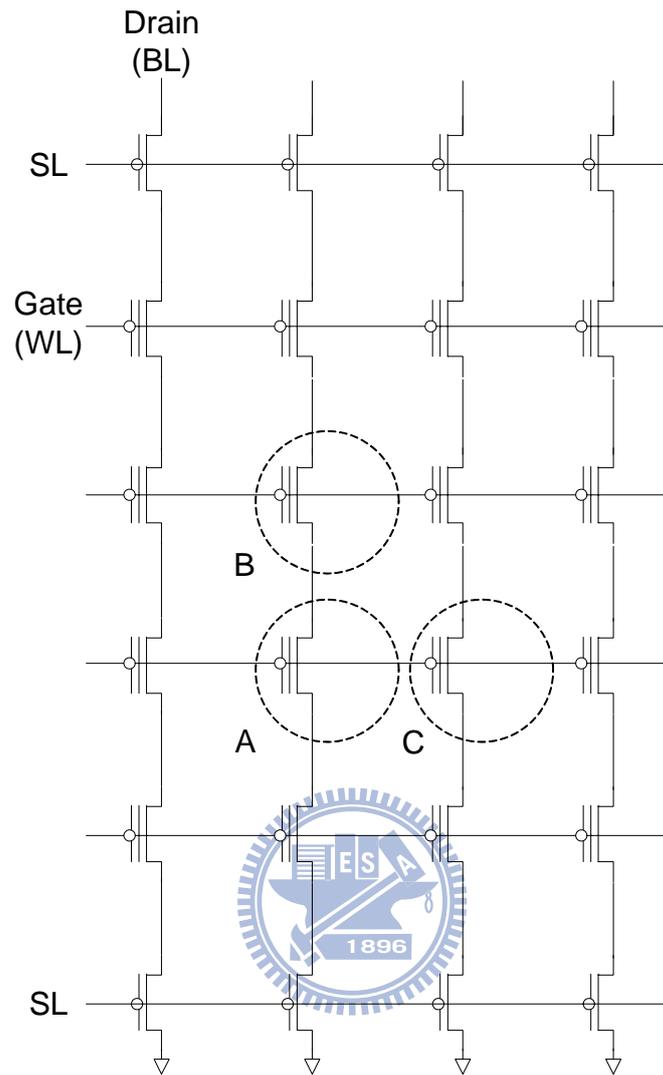


圖 4-10 NAND 陣列圖。

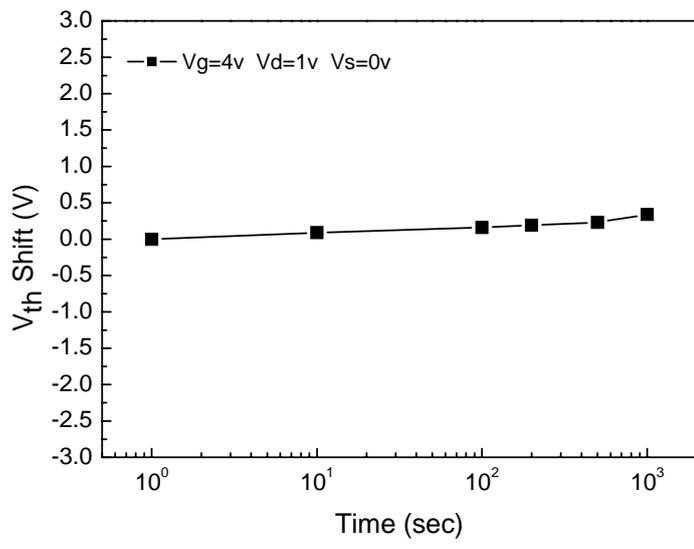
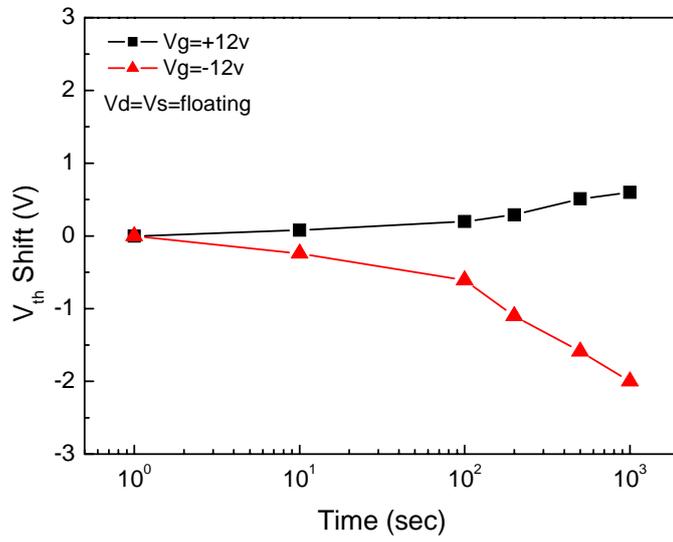


圖 4-11 元件處於抹除態時的讀取干擾。



(a)



(b)

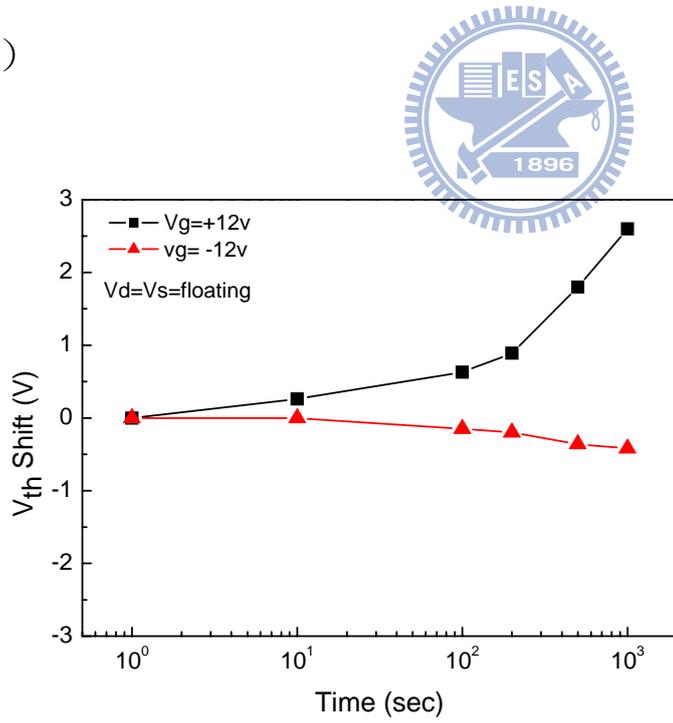


圖 4-12 (a)寫入態的閘極干擾。(b)抹除態的閘極干擾。

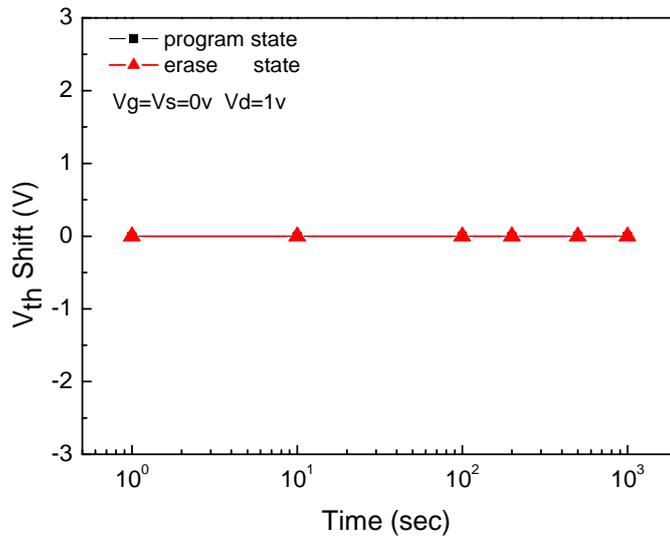


圖 4-13 元件處於寫入/抹除態時的汲極干擾。



## 第五章

### 結論與展望

#### 5-1 結論

本論文使用氧化鋁/二氧化鈣交錯層做為記憶體電荷儲存層，並探討各種製程差異包括氧化鋁/二氧化鈣交錯層重複次數、形成奈米顆粒退火時間、穿隧氧化層材料與電荷阻擋層厚度對記憶體性能的影響。在電容元件方面，使用白金做為閘極材料，因為高功函數的緣故可以降低抹除操作時，電子從背部注入電荷儲存層。使用氧化鋁作為電荷阻擋層，其原因有二，一為氧化鋁的高介電常數，因此和二氧化矽相同厚度下，能夠有較薄的等效度，使得閘極對通道的控制能力佳；一為氧化鋁對電子的高能障與和二氧化鈣相比較佳的熱穩定性，能降低高溫製程後的漏電，增加元件的電荷保持力。由第三章我們知道氧化鋁/二氧化鈣交錯層作為閘極介電層的確能夠儲存電荷，而且經過攝氏 900 度/60 秒相較於 30 秒退火能提升二氧化鈣儲存電荷的能力，在 $\pm 15\text{V}/1$  秒操作條件下，可以達到 4.6V 的記憶窗口，但攝氏 900 度/60 秒退火也會使氧化鋁有些微結晶的現象，造成抹除速度下降造成記憶窗口縮小，並且因為漏電變大使電荷保持力降低等負面效應，元件  $10^5$  秒後只剩下百分之 70 的記憶窗口，而經過攝氏 900

度/90 秒與 60 秒退火後的元件相比較，經過攝氏 900 度/90 秒退火並無明顯提升記憶體特性，卻有可能使氧化鋁結晶的情況更為嚴重，因此並非合適的製程條件。將電荷阻擋層加厚至 20 奈米的元件，在相同退火條件下，由於電荷阻擋層厚度的增加，可以大幅降低漏電，使抹除操作時電子從背部注入電荷儲存層的情況減少，在 $\pm 15\text{V}/1$  秒操作條件下，可以達到 6V 以上的記憶窗口，若將元件操作在約 4V 的記憶窗口，經過  $10^5$  秒後仍有百分之 90 的記憶窗口，顯示出良好的電荷保持力。在氧化鋁/二氧化鈣交錯層部份，重複 7 次與重複 5 次在 $\pm 15\text{V}$  操作電壓下並無明顯差異，但若提高為 $\pm 18\text{V}$ ，重複 7 次氧化鋁/二氧化鈣交錯層的元件能夠達到 8V 的記憶窗口，重複 5 次氧化鋁/二氧化鈣交錯層的元件只能達到 6.4V，有明顯寫入飽合的情況。試片 A 與試片 B 在可靠度方面都有不錯的特性，包括耐久性與抗擾性，經過十萬次寫入/抹除後記憶窗口仍有百分之 84 以上的記憶窗口，而抵抗干擾方面，經過不同干擾條件 1 千秒後最大的平帶電壓平移也只有 0.6V，僅是記憶窗口的百分之 10。

在多晶矽薄膜記憶體方面，由第四章我們可以知道試片甲在寫入/抹除條件為 $\pm 12\text{V}/0.1$  秒可以達到 4V 的記憶窗口。由圖 3-4 的 TEM 影像可得知，經過攝氏 900 度/60 秒退火後氧化鋁有結晶的情況，因此使用 4 奈米的氧化鋁作為電荷穿隧層，會產生許多負面效應，使元

件特性變差，包括抹除速度的變慢、電荷保持力下降、多次操作後抹除態的平移與對於干擾的可靠度。電荷保持力方面，經過  $10^5$  秒後只剩百分之 53 的記憶窗口，元件在經過 1 萬次寫入/抹除操作後，記憶窗口縮減了百分之 10，並且若將元件陣列時，由於穿隧氧化層的漏電過大，使得對於抵抗干擾能力薄弱，影響操作上的可靠度。

## 5-2 未來展望與後續研究建議

在本篇論文中，第三章已討論各項製程差異對電容結構元件電性的影響，而第四章中討論的是進一步將氧化鋁/二氧化鈣交錯層應用在多晶矽薄膜記憶體上，特性仍有改進空間。製程方面，應更精準計算介電質蝕刻率與介電質對多晶矽通道的選擇比，避免過度蝕刻造成元件失敗。在設計實驗條件方面，採用二氧化矽作為穿隧氧化層應能提升電荷保持力，二氧化矽有良好的熱穩定性與高能障，但多晶矽上所熱成長氧化物品質並不好，因此可以採用以四乙基矽氧烷(TEOS)氣體進行低壓化學氣相沉積，但此製程沉積厚度較難以掌握，因此必須精準控制四乙基矽氧烷流量。若要更進一步提升電荷儲存力但不增加等效厚度，穿隧氧化層可以使用四乙基矽氧烷所沉積的矽氧化物搭配原子層沉積法的氧化鋁，如此一來可以利用兩材料的能障差，當元件在寫入模式時，閘極給予正電壓，因此通道的電子所看到的只有二

氧化矽的能障，因此電子容易從通道注入電荷儲存層中，提升寫入速度，而當元件處於電荷保持模式時，電子與通道間看到的是氧化鋁與二氧化矽的能障，因此和相同等效厚度的二氧化矽穿隧氧化層元件相比，即使電場強度相同，使用二氧化矽與氧化鋁雙層結構作為穿隧氧化層的元件能提升電荷保持力且不犧牲寫入速度，不過這種結構必需精準控制兩層的厚度，過厚的穿隧氧化層會使寫入/抹除困難。

在電荷阻擋層材料選取方面，必需要有熱穩定性佳且高能障高介電常數的特性，雖然利用四乙基矽氧烷所沉積的矽氧化物有具有優良的熱穩定性與高能障，但因介電常數太低，因此厚的電荷阻擋層雖然可以減少元件在抹除時背部電子的注入，但卻會使電場大幅減弱，降低寫入/抹除速度。在第四章中是採用 10 奈米的氧化鋁作為電荷阻擋層，由第四章可知，但經過攝氏 900 度/60 秒退火後會使漏電過大，導致許多負面效應，因此加厚至 20 奈米是比較合適的。

在閘極材料選擇方面，白金雖然具有高功函數，但在製程上應用不易，因此選用高功函數的  $p^+$  多晶矽做為閘極材料，多晶矽閘極具有高度製程穩定性與相容性，並能搭配自對準矽化鎳源/汲/閘極製程，可以降低接觸阻抗，提升元件特性。

後續的研究分為電容與多晶矽薄膜記憶體兩部份，在電容方面，試片 C 與試片 E 部份，電荷儲存層中氧化鋁/二氧化鋁比例不同，但

可能因為退火時間不足的緣故，在記憶窗口特性表現上沒有明顯差異，建議後續的研究可以將退火時間拉長至 60 秒以上，如此可以更明確分析電荷儲存層中二氧化鉛比例的效應。多晶矽薄膜記憶體的研究，建議可以使用四乙基矽氧烷所沉積的矽氧化物搭配原子層沉積法的氧化鋁作為穿隧氧化層，20 奈米的氧化鋁作為電荷阻擋層，而電荷儲存層雖然可以改變材料來調變合適的功函數，但在製程穩定性與相容性方面，尚有許多問題需要解決，因此是相當值得繼續研究的。



## 參考文獻

- [1] D. Kahng and S. M Sze, “A floating gate and its application to memory devices”, *IEEE Trans. Electron Devices*, vol.14, pp.629-629, 1967
- [2] J. D. Blauwe, “Nano-crystal Non-volatile Memory Devices,” *IEEE Trans. Nanotechnology*, vol.1, pp. 72-77, 2002
- [3] M. H. White, D. A. Adams, and J. Bu, “On the go with SONOS”, *Circuits and Devices Magazine, IEEE*, Vol.16, pp.22-31, 2000
- [4] J. D. Lee, S. H. Hur, and J. D. Choi, “Effects of floating gate interferences on NAND Flash memory cell operation”, *IEEE Electron Device Letters*, vol.23, pp. 264-266, 2002
- [5] Process Integration, Devices and Structures in International Technology Roadmap for Semiconductors 2007 edition, pp.35-36, 2007
- [6] J. Bu, and M. H. White, “Effects of Two-Step High Temperature Deuterium Anneals on SONOS Non-volatile Memory Devices,” *IEEE Electron Device Letters*, vol.22, pp.17-19, 2001.
- [7] P. Xuan, M. She, B. Harteneck, A. Liddle, J. Bokor, and T. J. King, “FinFET SONOS flash memory for embedded applications,” in *IEDM Tech. Dig.*, 2003, pp. 609-613.
- [8] T. Sugizaki, M. Kobayashi, M. Ishidao, H. Minakata, M. Yamaguchi, Y. Tamura, Y. Sugiyama, T. Nakanishi, and H. Tanaka, “Novel multi-bit SONOS type flash memory using a high-k charge trapping layer,” in *VLSI Symp. Tech. Dig.*, pp. 27-28, 2003
- [9] H. T. Luo, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, “BE-SONOS: A bandgap engineered SONOS with excellent performance and reliability,” in *IEEE IEDM Tech, Dig.*, pp.547-550, 2005

- [10] H. T. Luo, S. Y. Wang, Y. H. Hsiao, E. K. Lai, L. W. Yang, T. Yang, K. C. Chen, K. Y. Hsieh, R. Liu, and C. Y. Lu, "Reliability model of bandgap engineered SONOS (BE-SONOS)," in *IEDM Tech. Dig.*, pp. 495-498, 2006
- [11] C. H. Lee, J. Choi, C. Kang, Y. Shin, J. Sel, J. Sim, S. Jeon, B. I. Choe, D. Bae, K. Park, and K. Kim, "Multi-Level NAND Flash Memory with 63 nm-node TANOS (Si-Oxide-SiN-Al<sub>2</sub>O<sub>2</sub>-TaN) Cell Structure," in *VLSI Symp. Tech. Dig.*, pp.21-22, 2006
- [12] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: A novel localized trapping, 2-bit non-volatile memory cell," *IEEE Electron Device Letters*, vol. 21, pp.543-545, 2000
- [13] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal Nano-crystal Memories- Part I: Device Design and Fabrication," *IEEE Trans. Electron Devices*, vol.49, pp.1606-1613, 2002
- [14] T. H. Hou, C. Lee, V. Narayanan, U. Ganguly, and E. C. Kan, "Design Optimization of Metal Nano-crystal Memory- Part I: Nano-crystal Array Engineering," *IEEE Trans. Electron Devices*, vol.53, pp.3095-3102, 2006.
- [15] J. J. Lee, and D. -L. Kwong, "Metal Nano-crystal Memory with High-k Tunneling Barrier for Improved Data Retention," *IEEE Trans. Electron Devices*, vol.52, pp.507-511, 2005
- [16] S. Choi, S. Sl. Kim, M. Chang, H. Hwang, S. Jeon, C Kim," Highly thermally stable TiN nanocrystals as charge trapping sites for non-volatile memory device applications," *Appl. Phys. Lett.*, vol.86, p.123110, 2005
- [17] R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, "Nonvolatile Si quantum memory with self-aligned doubly-stacked

- dots,” *IEEE Trans. Electron Devices*, vol. 49, pp. 1392–1398, 2002
- [18] R. Muralidhar, R. F. Steimle, M. Sadd, R. Rao, C. T. Swift, E. J. Prinz, J. Yater, L. Grieve, K. Harber, B. Hradsky, S. Straub, B. Acred, W. Paulson, W. Chen, L. Parker, S. G. H. Anderson, M. Rossow, T. Merchant, M. Paransky, T. Huynh, D. Hadad, K.-M. Chang, and B. E. White, Jr., “A 6 V embedded 90 nm silicon nanocrystal nonvolatile memory,” in *IEDM Tech. Dig.*, pp. 601–605, 2003
- [19] T. Baron, B. Pellissier, L. Perniola, F. Mazen, J. M. Hartmann, and G. Polland, “Chemical vapor deposition of Ge nanocrystals on SiO<sub>2</sub>,” *Appl. Phys. Lett.*, vol. 83, p. 1444, 2003
- [20] Q. Wan, C. L. Lin, W. L. Liu, and T. H. Wang, “Structural and electrical characteristics of Ge nanoclusters embedded in Al<sub>2</sub>O<sub>3</sub> gate dielectric,” *Appl. Phys. Lett.*, vol. 82, p. 4708, 2003
- [21] C. Lee, A. G. Seetharam, and E. C. Kan, “Operational and reliability comparison of discrete-storage nonvolatile memories: Advantages of single- and double-layer metal nanocrystals,” in *IEDM Tech. Dig.*, pp. 557–561, 2003
- [22] M. Takata, S. Kondoh, T. Sakaguchi, H. Choi, J. C. Shim, H. Kurino, and M. Koyanagi, “New nonvolatile memory with extremely high density metal nano-dots,” in *IEDM Tech. Dig.*, pp. 553–557, 2003
- [23] C. Y. Ng, T. P. Chen, L. Ding, and S. Fung, “Memory Characteristics of MOSFETs With Densely Stacked Silicon Nanocrystal Layers in the Gate Oxide Synthesized by Low-Energy Ion Beam,” *IEEE Electron Device Letters*, vol. 27, pp. 231–233, 2006
- [24] M. L. Ostraat, J. W. De Blauwe, M. L. Green, L. D. Bell, M. L. Brongersma, J. Casperson, R. C. Flagan, and H. A. Atwater, “Synthesis and characterization of aerosol silicon nanocrystal nonvolatile floating-gate memory devices,” *Appl. Phys. Lett.*, vol.

79, pp. 433,2001

- [25] L. Ding, T. P. Chen, Y. Liu, M. Yang, and J. I. Wong, "Influence of nanocrystal size on optical properties of Si nanocrystals embedded in SiO<sub>2</sub> synthesized by Si ion implantation," *Journal of Appl. Phys.*, vol. 101, pp.103525-103525, 2007
- [26] T. Y. Kim, N. M. Park, K. H. Kim, and G. Y. Sung, "Quantum confinement effect of silicon nanocrystals in situ grown in silicon nitride films," *Appl. Phys. Lett.*, vol. 85, pp. 5355,2004.
- [27] S. D. Bortherton, "Polycrystalline silicon thin film transistor," in *Semiconductor Science and Technology*, vol.10, pp.721-738, 1995
- [28] K. P. A. Kumar, J. K. O. Sin, C. T. Nguyen, and P. K. Ko, "Kink-free polycrystalline silicon double-gate elevated-channel thin-film transistors," *IEEE Trans. Electron Devices*, vol.45, pp.2514-2520, 1998
- [29] Z. Meng, M. Wang, and M. Wong, "High performance low temperature metal-induced unilaterally crystallized polycrystalline silicon thin film transistors for system-on-panel applications," *IEEE Trans. Electron Devices*, vol. 47, pp. 404–409, 2000.
- [30] Z. Xiong, H. Liu, C. Zhu, and J. K. O. Sin, "Characteristics of high-K spacer offset-gated polysilicon TFTs," *IEEE Trans. Electron Devices*, vol. 51, pp. 1303–1308, 2004
- [31] C. F. Huang and B. Y. Tsui, "Short-channel metal-gate TFTs with modified Schottky-barrier source/drain," *IEEE Electron Device Letters*, vol. 27, pp. 43–45, 2006
- [32] C. P. Lin, Y. H. Hsiao, and B. Y. Tsui, "Process and Characteristics of Fully Silicided Source/Drain (FSD) Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 53, pp. 3086-3094, 2006
- [33] C. P. Lin, B. Y. Tsui, M. J. Yang, R. H. Huang, and C. H. Chien,

- “High-Performance Poly-Silicon TFTs Using HfO<sub>2</sub> Gate Dielectric,” *IEEE Electron Device Letters*, vol.27, pp.360-363, 2006
- [34] Y. Q. Wang, D. Y. Gao, W. S. Hwang, C. Shen, G. Zhang, G. Samudra, Y.-C. Yeo, and W. J. Yoo, “Fast erasing and highly reliable MONOS type memory with HfO<sub>2</sub> high-k trapping layer and Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> tunneling stack,” in *IEDM Tech. Dig.*, pp.1-4, 2006
- [35] G. Zhang, W. J. Yoo, and C. H. Ling, “Hot-Electron Capture for CHEI Programming in SONOS-Type Flash Memory Using High-k Trapping Layer,” *IEEE Trans. Electron Devices*, vol. 55, pp. 1502-1510, 2008
- [36] F. H. Ko, H. C. You, C. M. Chang, W. L. Yang, and T. F. Lei, “Fabrication of SONOS-Type Flash Memory with the Binary High-k Dielectrics by the Sol-Gel Spin Coating Method,” *Journal of The Electrochemical Society*, vol.154, pp.H268-H270, 2007
- [37] S. Maikap, P. J. Tzeng, T.-Y. Wang, C. H. Lin, L. S. Lee, J. R. Yang, and M. J. Tsai, “Memory Characteristics of Atomic-Layer-Deposited High-k HfAlO Nanocrystal Capacitors,” *Electrochemical and Solid-State Letters*, vol.11, pp. K50-K52, 2008
- [38] V. C. W. Kui, C. M. Chao, C. K. Kang, L. W. Liu, T. B. Huang, L. T. Kuo, S. H. Chen, H. C. Wei, H. P. Hwang and S. Pitt, “Detailed Comparisons of Program Erase and Data Retention Characteristics between P<sup>+</sup>- and N<sup>+</sup>-Poly SONOS NAND Flash Memory,” *Proceedings of the 2006 IEEE international Workshop on Memory Technology, Design and Testing*, vol.99,pp.77-79, 2006
- [39] Yu-Hsien Lin, Chao-Hsin Chien, Ching-Tzung Lin, Ching-Wei Chen, Chun-Yen Chang and Tan-Fu Lei, “High Performance Multi-bit Nonvolatile HfO<sub>2</sub> Nanocrystal Memory Using Spinodal Phase Separation of Hafnium Silicate” in *IEEE IEDM Tech, Dig.*, pp.1080-1082, 2004

- [40] J. H. Kim, J. Y. Yang, J. S. Lee, and J. P. Hong, "Memory characteristics of cobalt-silicide nanocrystals embedded in HfO<sub>2</sub> gate oxide for nonvolatile nanocrystal flash devices" *Appl. Phys. Lett.*, vol. 92, pp.013512, 2008.
- [41] Y. H. Lin, C. H. Chien, C. T. Lin, C. W. Chen, C. Y. Chang and T. F. Lei, "High-Performance Nonvolatile HfO<sub>2</sub> Nanocrystal Memory" *IEEE Electron Device Letters*, vol. 26, pp.154-156, 2005
- [42] P. F. Lee, X. B. Lu, J. Y. Dai, H. L. W. Chan, E. Jelenkovic and K. Y. Tong, "Memory effect and retention property of Ge nanocrystal embedded Hf-aluminate high-*k* gate dielectric" *Nanotechnology*, vol.17, pp.1202-1206, 2006
- [43] ] H. Ohshima and S. Moshima, "Future Trends for TFT Integrated circuits on glass substrates," in *IEDM Tech. Dig.*, pp.157-160, 1989
- [44] S. Zhong, R. Han, and M. J. Chan, "A novel self-aligned bottom gate poly-Si TFT with in-situ LDD," *IEEE Electron Device Letters*, vol.136, pp.1456-1459, 1989.
- [45] G. T. Sarcona, M. Stewart, and M. K. Hatalis, "Polysilicon thin-film transistors using self-aligned Cobalt and Nickel silicide source and drain contacts," *IEEE Electron Device Letters*, vol.22, pp.393-395, 2001
- [46] S. Maikap P. J. Tzeng, T. Y. Wang, H. Y. Lee, C. H. Lin, C. C. Wang, L. S. Lee, J. R. Yang, and M. J. Tsai, "HfO<sub>2</sub>/HfAlO/HfO<sub>2</sub> Nanolaminate Charge Trapping Layers for High-Performance Nonvolatile Memory Device Applications" *Japanese Journal of Appl. Phys.*, vol. 46, pp.1803–1807, 2007

## 個人簡歷

姓 名：蔡依成

性 別：男

出生年月日：民國七十三年五月二十三日

住 址：桃園市文中路 19 巷 8 弄 3 號

學 歷：國立內壢高級中學（88.9~91.6）

國立中興大學物理學系（91.9~96.6）

國立交通大學電子研究所碩士班（96.9~98.6）

碩 士 論 文：

氧化鋁/二氧化鈣交錯層應用於非揮發性記憶體特性研究

**A Study on the Application of  $\text{Al}_2\text{O}_3/\text{HfO}_2$  laminate on**

**Nonvolatile memory**