

# 國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

一個適用於多頻帶快速鎖定的突發式

時脈與資料回復電路



**A Multi-Band Burst-Mode Clock and Data  
Recovery Circuit**

研 究 生：陳育祥

指 導 教 授：陳巍仁

中華民國九十九年十一月

一個適用於多頻帶快速鎖定的突發式

時脈與資料回復電路

**A Multi-Band Burst-Mode Clock and Data**

**Recovery Circuit**

研究生：陳育祥

Student : Yu-Hsiang Chen

指導教授：陳巍仁

Advisor : Wei-Zen Chen



A Thesis

Submitted to Department of Electronics Engineering and Institute of  
Electronics College of Electrical and Computer Engineering

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master

in

Electronics Engineering

November 2010

Hsin-Chu, Taiwan, Republic of China

中華民國九十九年十一月

# 一個適用於多頻帶快速鎖定的突發式

## 時脈與資料回復電路


研究生：陳育祥

指導教授：陳巍仁教授

國立交通大學

電子工程學系電子研究所碩士班

### 摘要



積體電路技術的快速進步早已經鞭策著低價又便宜的寬頻存取服務的發展，對於發展經濟型高速的光纖用戶網路來說，以被動光纖網路為基礎的光纖到家系統被認為是前景一片看好的。在被動光纖網路中，時脈與資料回復電路(CDR)在收發機裡扮演一個非常重要的角色，且此種收發機可以應用在許多的通訊系統裡，比如光纖通訊和平面顯示器介面等。因此，在此應用中，如何實現一個具有快速鎖定的脈衝式時脈與資料回復電路是一個關鍵性的課題。此外，如何利用較便宜的互補式金屬氧化半導體製程來實現高速的時脈與資料回復電路將是可以用相對較低的成本而達到更高傳輸頻寬的不二法門。

在通訊系統中，通常接收端接受到的資料都是非同步的，並且受到了雜訊干擾使得資料失真，所以在接收端中的時脈與資料回復電路必須從資料中萃取出時脈的資訊，並利用此資訊將輸入的資料作重新萃取的動作，以便減少錯誤率。除此之外，為了使傳輸的效益更大，

在 Gigabit PON (GPON)的系統中要求 CDR 能夠快速的鎖定，而由於本設計的時脈與資料回復電路主要達到快速鎖定為目的，因此快速鎖定為本晶片設計的重點之一。

本電路設計主要實現一個閘式壓控振盪器為基準的突發式時脈與資料回復電路，利用數位鎖頻迴路去鎖定閘式壓控振盪器頻率，再交給閘式壓控振盪器電路進行快速相位的重置，和資料與相位的鎖定，此電路所提出的閘式壓控振盪器採 1/7 速率的操作，也就是在一個時脈週期之內有七筆傳送資料，進而達到高速操作及低功率消耗之目的，且利用多模數的除頻器使此電路可以應用在不同頻帶，資料傳送方式為序列資料輸入晶片解多工成七筆並列資料輸出，此電路採用 TSMC-90nm CMOS 製程技術，操作電壓為 1.2V，總面積為  $1.162 \times 1.205\text{mm}^2$ ，當資料頻率為 622.16Mbps、1244 Mbps、2488 Mbps、4977 Mbps 和 7Gbps 時，總功率消耗分別為 1.5 毫瓦、3 毫瓦、6 毫瓦、12 毫瓦和 17 毫瓦。

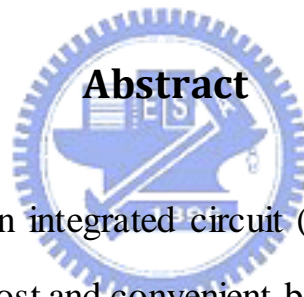
# A Multi-Band Burst-Mode Clock and Data Recovery Circuit

Student: Yu-Hsiang Chen

Advisor: Wei-Zen Chen

*Department of Electronics Engineering & Institute of Electronics*

*National Chiao-Tung University*



The rapid progress in integrated circuit (IC) techniques has spurred the development of low-cost and convenient broadband access services.

Fiber-to-the-home (FTTH) system based on passive optical network (PON) is considered as a promising technology for deploying economically high-speed subscriber networks. In the passive optical network, clock and data recovery (CDR) circuit plays an important role in the transceiver. The application of the communication system such as passive optical network (PON) and FPD-Link suits this transceiver. Thus, how to realize a burst-mode CDR with rapid lock time is a critical issue in this application. Besides, implementing the high speed CDR in an

inexpensive CMOS technology is the key to enable higher bandwidth communications at a relatively lower cost.

For communications, the data at the receiver is usually asynchronous, and it suffered distortion by noise and jitter. A clock and data recovery circuit at the receiver senses the data and produces a periodic clock, and retimes the input data by using the produced periodic clock to reduce the bit error rate. For higher efficiency of transmission, Gigabit PON specifications have only constraints on lock time, and this design exhibits instantaneous response.

A gated voltage-controlled oscillator based burst mode clock and data recovery circuit is presented. The frequency of gated voltage-controlled oscillator is locked by using the digitally assisted frequency locked loop, and then the gated voltage-controlled oscillator takes over to achieve instantaneous phase re-align and the received data with clock synchronization. The 1/7-rate gated voltage-controlled oscillator is presented. There are seven transmitted data within a periodic clock in order to achieve high speed operation and low power consumption. It can cover multi-band by using the truly modulus programmable divider, and the type of the data transmission is serial in parallel out. Implemented in a 90nm CMOS technology, the area is 1.162x1.205 mm<sup>2</sup> including PAD, The chip consumes 1.5 mW, 3 mW, 6 mW, 12 mW and 17 mW when the data rate are 622.16Mbps, 1244Mbps, 2488Mbps, 4977Mbps and 7Gbps from 1.2V supply.

## 致謝

歷經三年多的時間，從一開始連 CDR 是什麼都搞不清楚，到這本論文的完成，實在很感謝我的指導教授，陳巍仁老師的帶領。在此過程，無論是在專業領域以及待人處世，都讓我受益匪淺。

在這段漫長的研究生涯，特別感謝本實驗室-台祐學長、世豪學長在量測上的幫助，唯有你們的幫助，才有本論文的誕生。也感謝塔哥、歐陽、彥緯、小賴、順天、凱悌、邱神、昕爺、Adair、小芸芸、敬程、阿良、阿綸、溫董、翁姐還有本實驗室的新血秀樺、書謹、旻毅、文杰、健軒、川逸、豔婷、建宏、逸弘、仲廷、曜嘉、佩妤、政豪和弘凱，以及郭老師實驗室的同學與學弟…等。由於你們的陪伴以及幫忙，帶給我許多的方便以及快樂的回憶，祝福你們未來在工作或學業上都能夠一路順風，而還沒畢業的學弟妹能早日畢業。

另外，也特別感謝在背後默默支持我的家人和女友雅琪，在這段期間對與我的關懷和付出，讓我可以無後顧之憂完成碩士學位。

陳育祥 Nov., 2010

# 目錄

摘要.....	i
Abstract.....	iii
致謝.....	v
目錄.....	vi
圖目錄.....	ix
表目錄.....	xiii
第一章 簡介.....	1
1.1 相關背景與動機.....	1
1.2 被動光纖網路簡介.....	2
1.3 規格.....	5
1.3.1 資料速率.....	5
1.3.2 鎖定時間.....	6
1.3.3 抖動特性.....	7
1.3.4 上傳傳輸的眼圖遮罩.....	7
1.4 時脈資料回復電路目標規格.....	8
1.5 組織架構.....	9
第二章 突發式時脈與資料回復電路種類.....	10
2.1 鎖相迴路突發式時脈與資料回復電路.....	10
2.2 超取樣式時脈與資料回復電路.....	15
2.3 閘式壓控振盪器突發式時脈與資料回復電路.....	18
2.4 比較.....	20



2.4.1 資料速率和鎖定時間 .....	21
2.4.2 功率和面積 .....	23
2.4.3 抖動特性 .....	24
2.5 總結 .....	29
第三章 一個多頻帶突發式時脈資料回復電路.....	31
3.1 系統架構.....	31
3.2 來自閘式壓控振盪器訊號自身的干擾.....	33
3.2.1 訊號自身的干擾 (ISI Inter-Symbol Interference) .....	33
3.2.2 閘式壓控振盪器的結構.....	34
3.3 提出的閘式壓控振盪器 .....	36
3.3.1 結構.....	36
3.3.2 操作.....	37
3.4 並行同步輸出解多工電路.....	40
3.5 頻率檢知器之原理和設計.....	41
3.6 十六位元上、下數計數器.....	43
3.7 電流式數位類比轉換器 .....	45
3.8 和差調變器 .....	48
3.9 多模數除頻器 .....	49
3.10 電路設計與模擬結果.....	51
3.10.1 數位控制振盪器 .....	51
3.10.2 數位校正鎖頻迴路 .....	57
3.10.3 閘式壓控振盪器突發式時脈與資料回復電路.....	59
3.10.4 閘式數位控制振盪器頻率容忍度分析.....	62
第四章 佈局與量測結果 .....	66

4.1 晶片佈局(Chip Layout).....	67
4.2 量測環境(Measurement Setup) .....	68
4.3 量測結果(Measurement Results) .....	69
第五章 結論 .....	78



## 圖目錄

圖 1 時脈與資料回復電路的示意圖.....	2
圖 2 千兆位元乙太光纖被動網路系統基本架構.....	4
圖 3 突發式傳送、接收機架構.....	5
圖 4 傳統時脈與資料回復電路系統.....	11
圖 5 具有參考時脈訊號的時脈與資料回復電路系統.....	12
圖 6 鎖相迴路突發式時脈與資料回復電路系統.....	13
圖 7 反及閘所構成的振盪器.....	13
圖 8 控制狀態圖.....	14
圖 9 超取樣式時脈與資料回復電路架構.....	15
圖 10 超取樣式時脈與資料回復電路時序圖.....	16
圖 11 超取樣式時脈與資料回復電路控制邏輯最大周期數 C.....	18
圖 12 閘式壓控振盪器突發式時脈資料回復電路.....	19
圖 13 閘式壓控振盪器突發式時脈資料回復電路時序圖.....	20
圖 14 相位資訊的平均.....	26
圖 15 最好的相位.....	26
圖 16 相位追蹤過程.....	27
圖 17 系統架構圖.....	32
圖 18 訊號自身的干擾.....	34
圖 19 兩個閘式壓控振盪器所構成架構.....	35
圖 20 邊緣檢測器閘式壓控振盪器所構成架構.....	36

圖 21	1/7 資料速率閘式壓控振盪器電路架構.....	37
圖 22	操作時序圖.....	38
圖 23	閘式壓控振盪器控制電路.....	39
圖 24	閘式壓控振盪器延遲單元.....	39
圖 25	並行同步輸出解多工電路.....	40
圖 26	同步輸出並行解多工資料電路時序圖.....	41
圖 27	頻率檢知器電路架構圖.....	42
圖 28	計數模式.....	42
圖 29	鎖定偵測器.....	43
圖 30	上、下數控制訊號產生器.....	43
圖 31	十六位元上、下數計數器.....	44
圖 32	電流式數位類比轉換器.....	46
圖 33	佈局示意圖.....	47
圖 34	象限錯排 & Dummy Cell.....	47
圖 35	二階 MASH 信號方塊圖.....	48
圖 36	二階 MASH 電路圖.....	49
圖 37	雙模前置除頻器式多模數除頻器.....	50
圖 38	多模數除頻器基本架構.....	51
圖 39	寬除數範圍多模數除頻器.....	51
圖 40	數位閘式壓控振盪器簡易區塊圖.....	52
圖 41	數位控制振盪器量化雜訊模型.....	53
圖 42	壓控振盪器的相位雜訊模擬結果.....	54
圖 43	十四相位輸出暫態圖.....	55
圖 44	量化雜訊的相位雜訊.....	55

圖 45 Dithering 效應的相位雜訊.....	56
圖 46 量化誤差&Dithering 效應對相位雜訊的影響 .....	56
圖 47 頻率對數位碼的轉移曲線.....	57
圖 48 數位校正鎖頻迴路示意圖.....	57
圖 49 數位校正鎖頻迴路模擬結果.....	58
圖 50 頻率誤差對時間關係圖 .....	58
圖 51 突發式系統快速相位的校正模擬圖 .....	59
圖 52 鎖定時間模擬圖 .....	60
圖 53 序列資料為 7Gbps 的抖動量表現.....	61
圖 54 不同頻段的功率消耗圖 .....	61
圖 55 分析頻率偏移的容忍度.....	62
圖 56 頻率容忍度的偏移量@5Gbps.....	65
圖 57 頻率容忍度的偏移量@3.5Gbps.....	65
圖 58 頻率容忍度的偏移量@622Mbps .....	66
圖 59 晶片照相圖.....	67
圖 60 (a)AC 印刷電路板(b)DC 印刷電路板 .....	68
圖 61 量測環境 .....	69
圖 62 數位碼對頻率的關係圖 .....	70
圖 63 量測 100Mbps 解多工資料的眼圖 ( $2^7-1$ ).....	70
圖 64 量測 100Mbps 解多工資料的眼圖 ( $2^{31}-1$ ) .....	71
圖 65 量測回復時脈頻率 100MHz.....	71
圖 66 量測 500Mbps 解多工資料的眼圖 ( $2^7-1$ ).....	72
圖 67 量測 500Mbps 解多工資料的眼圖 ( $2^{31}-1$ ) .....	72
圖 68 量測回復時脈頻率 500MHz.....	73

圖 69 量測 700Mbps 解多工資料的眼圖 ( $2^7-1$ ).....	73
圖 70 量測 700Mbps 解多工資料的眼圖 ( $2^{31}-1$ ) .....	74
圖 71 量測回復時脈頻率 700MHz.....	74
圖 72 量測鎖定時間當資料速率為 2500Mbps .....	75
圖 73 量測鎖定時間當資料速率為 5000Mbps .....	75
圖 74 四個通道輸出波形 .....	76
圖 75 Bit Error Rate 量測儀器的架設和結果.....	76



## 表目錄

表格 1 資料速率的規格 .....	6
表格 2 鎖定時間的規格 .....	7
表格 3 上傳傳輸的眼圖遮罩.....	8
表格 4 目標規格表.....	9
表格 5 突發式獲得的可靠度.....	23
表格 6 功率和面積.....	24
表格 7 抖動特性.....	24
表格 8 總結比較表.....	30
表格 9 不同頻段的抖動量表現.....	61
表格 10 本晶片效能摘要表.....	77



# 第一章 簡介

---

## 1.1 相關背景與動機

隨著科技的發展，通信在現今世界變得越來越重要。在我們每天日常生活中時時刻刻交換著數不清的訊息，對於一個傳送者而言，傳送訊息必須轉換成訊號然而傳送到接收端，再接收端的接收者必須把訊號再轉換成訊息。這個過程成不成功主要依賴於傳送機跟接收機的特性好壞。事實上傳送機和接收機都需要一個時脈去處理資料，所以接收機必須從輸入資料中去萃取時脈訊號使得電路得以同步工作。

因此在有線通訊系統裡，時脈與資料回復電路(CDR)是構成接收機的一個方塊，像是同步光網路(Synchronous Optical Networking)、千兆位元以太網路(Gigabit Ethernet)、千兆位元被動光纖網路(GPON)和以太被動光纖網路(EPON)，等等。如圖 1 所示為時脈與資料回復電路的示意圖，一個位於接收機的時脈與資料回復電路被使用於重建時脈資訊，因為接收機接收到的時脈資訊通常非同步和受到雜訊干擾，因此此時需要一個乾淨且同步的時脈為了接收機的同步操作。接收到的資料通常需要做重建以消除在傳輸過程中的抖動累積，通常評估一個接收機的好壞，時脈與資料回復電路佔了一個很重要的角色所以必須要很小心的設計。



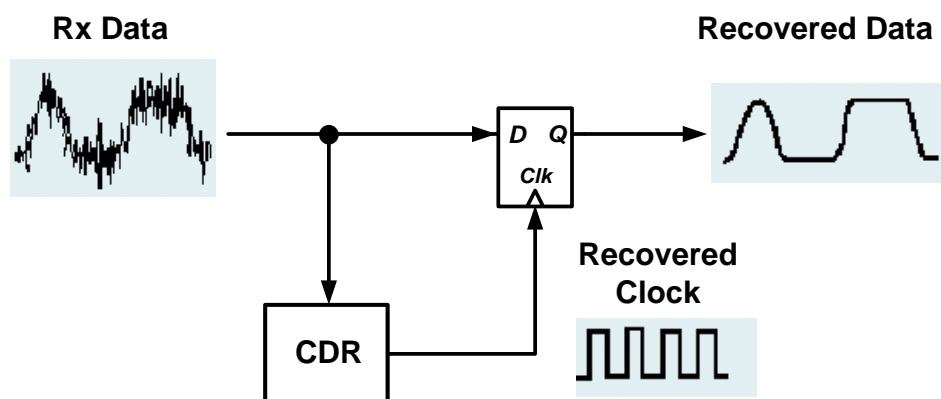


圖 1 時脈與資料回復電路的示意圖

就如上述所提到的，時脈與資料回復電路是構成有線通訊系統很重要的一個方塊特別是在光纖網路裡。回顧一下網路的拓撲，光纖網路可以被區分為點對點和點對多點系統，當然點對點和點對多點系統都需要一個可以回復時脈和資料的接收機。然而對於不同的應用，對時脈與資料回復電路的規格需求也不相同。

## 1.2 被動光纖網路簡介

隨著電腦網路的蓬勃發展鞭策著寬頻存取服務往低成本的方向發展，為了建構具有經濟效益的光纖到家服務(FTTH)，被動光纖網路剛好符合了這樣需求。早期發展的非同步傳輸被動光纖網路(APON)、寬頻被動光纖網路(BPON)和乙太被動光纖網路(EPON)傳輸速度約 50-600Mb/s，近年來千兆位元乙太網路(Gigabit Ethernet)在用戶端傳輸速率可高達 1Gbps 以上已被廣泛的注意。

如圖 2 所示是千兆位元乙太被動光纖網路(GEPON)系統的基本架構 [1]，在 IEEE 802.3ah [2]委員會已經被制定成標準。被動光纖網路傳輸系統主要在光纖終端機(OLT)和多點的光纖網路用戶端(ONUs)。多點的光纖網路用戶端(ONUs)主要分布在用戶的住宅區連接到光纖

終端機(OLT)透過一條光纖和樹狀的網路拓撲基於 1:N 的被動星狀光耦合器，在光纖終端機(OLT)廣播序列的資料在這些資料的標頭檔標籤著哪些用戶端(ONUs)需要接收到這些封包，使用 1490nm 的波長當下載的傳輸。在用戶端(ONUs)從下載下來的封包萃取出時脈資訊，然而頻率同步光纖系統。每一個用戶端(ONUs)依要求上傳突發式的封包使用 1310nm 的波長。對於用戶端(ONUs)傳送的 1310nm 波長的突發式資料使用分時多工的機制(TDMA)以致封包彼此不會互相干擾，因此在下載方向(終端機到用戶端)被動光纖網路是以點對多點的方式傳輸，在上傳方向(用戶端到終端機)是多點對單點的方式傳輸。顯而易見的被動光纖網路有較低的成本。像這樣的拓撲介質存取控制(MAC)是一個重要的問題，不同於點對點(P2P)傳輸網路或是 curb-switched 網路，被動光纖網路需要服務多數用戶但只有使用一條光纖和一個被動的光耦合器，主要有三種方式去完成介質存取(Media Access)，第一種方式是分頻多工(WDM)，是一個簡單的解法，但具有高成本的網路設備，在終端機(OLT)和用戶端(ONUs)必須具有可調的接收機或接收機陣列。

CSMA/CD 是困難被實現的因為用戶端(ONUs)不能偵測到在終端機(OLT)資料的干擾來自光耦合器的方向性。終端機(OLT)必須偵測到干擾然而發出警告訊號給用戶端(ONUs)然而在被動光纖網路的傳遞距離可能超過 20 公里，這樣大大降低了傳輸效率。大部分的設計者比較偏好分時的方式在光纖通道上傳遞和存取，此方式允許單一上傳波長(1310nm)和單一在終端機(OLT)的傳送機大大提高了成本效益。

全部的用戶端(ONUs)同步到基準的參考時間，每一位用戶被分配到不同的時間框架，每個時間框架可搭載一定量的乙太網路訊框，每

一個用戶端(ONUs)具有緩衝訊框直到下一個時間框架的抵達，當時間框架到達時每一個用戶端(ONUs)使用通道最高速傳送儲存的訊框，如果緩衝器上沒訊框則發出閒置的訊號，可存取的時間框架從靜態位置到動態最適位置基於在用戶端(ONUs)瞬間的資料大小。

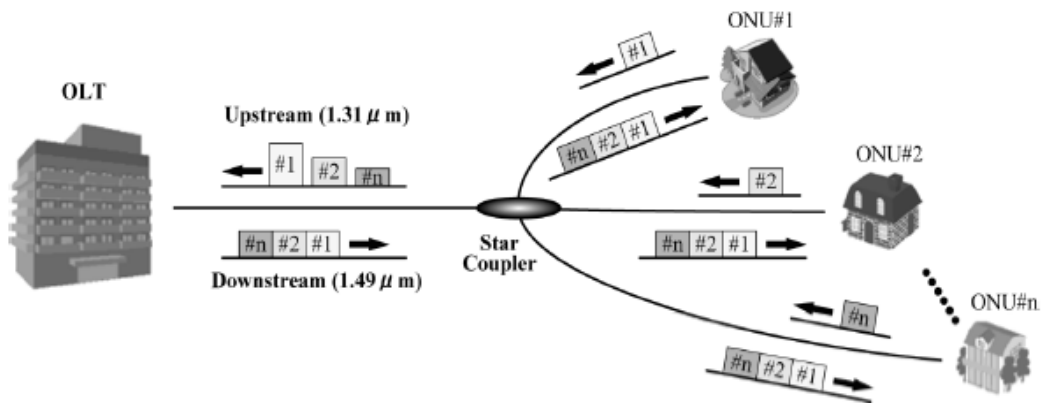


圖 2 十兆位元乙太光纖被動網路系統基本架構

被動光纖網路實體層相似於圖 3 所示，傳送機包括雷射驅動器和雷射二極體然而接收機包含光二極體、放大器和時脈與資料回復電路。為了區分上傳和下載使用了多工器，因為資料在上傳方向由眾多的突發式被動光纖網路封包所構成，所以在接收端的終端機(OLT)和傳送端的用戶必需允許突發式的操作模式。也就是說全部的區塊必需在封包到達前就得到達穩定的狀態。像是突發式的轉導放大器(TIAs)和突發式的時脈與資料回復電路(CDRs)。

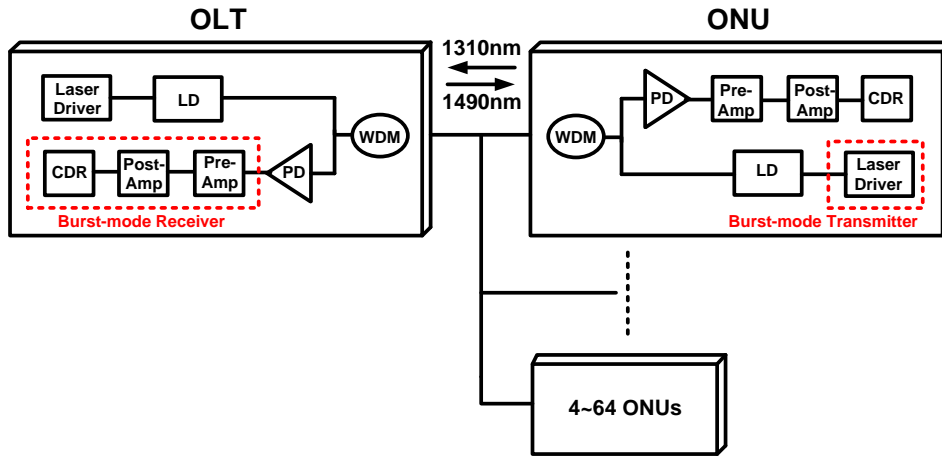


圖 3 突發式傳送、接收機架構

在傳統長距離光通訊網路，一個網路由多條的光纖和光耦合器連接這些光纖，資料的傳送必須經過好幾個中繼放大器，每個中繼放大器由放大器和時脈與資料回復電路所構成。放大器放大且限制訊號的擺幅以減輕雜訊對訊號的影響，使得時脈與資料回復電路重新取樣資料時有乾淨的時脈訊號，然而這個時脈是由資料速率萃取出來的以減輕雜訊在時間上的累積。

### 1.3 規格

為了更了解突發式時脈與資料回復電路，規格部份將在這節被討論，兩個比較熱門的被動光纖網路：千兆位元乙太被動光纖網路 (GPON) 和乙太被動光纖網路 (EPON)。雖然這兩類在實體層有很多種規格，在這節只有跟時脈與資料回復電路相關的規格將被提及，如資料速率、鎖定時間，抖動特性和眼圖遮罩規格，有關上傳傳輸部分。

#### 1.3.1 資料速率

下表表格 1 為不同光纖網路下的資料速率

PON	Data Rate ( Mbps )
GPON	155.52
	622.08
	1244.16
	2488.32
EPON 1000BASE-PX	1250

表格 1 資料速率的規格

### 1.3.2 鎖定時間

不同的資料速率對應到不同的鎖定時間，從表格 1 到表格 2 我們可以觀察到傳統接收機對於連續模式的傳輸有比較低的響應速度，然而比較長的穩定時間並不適用於終端機(OLT)上，連續模式和突發式模式的操作不同在於突發式模式接收機在鎖定時間上有比較嚴格的規格，則連續模式傳輸方式則沒有，就現有的技術在突發式接收機資料速率已經超過 20 Gbps [3]和 33Gbps [4]然而連續模式的接收機已經超過 40Gbps [5]使用標準 CMOS 0.18um 製程技術，在此應用下終端機(OLT)必需有突發式的接收機去接收突發式訊號。

PON	Data Rate ( Mbps )	Bits	Time ( ns )
GPON	155.52	10	64
	622.08	28	44.8
	1244.16	44	35.2
	2488.32	108	43.2
EPON 1000BASE-PX	1250	500	400

表格 2 鎖定時間的規格

### 1.3.3 抖動特性

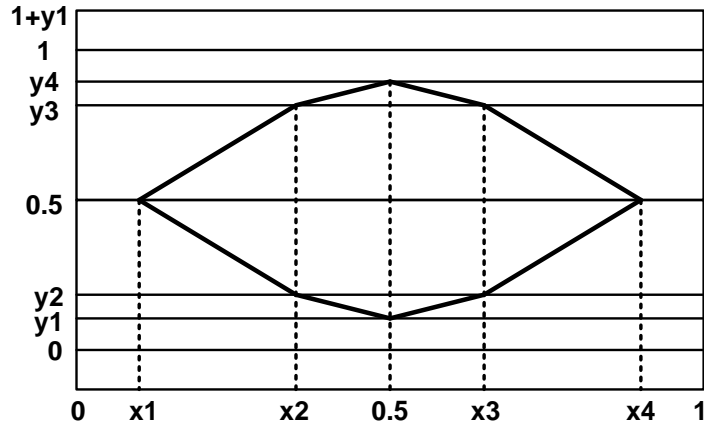
發展至今大部分比較熟悉的是連續模式的時脈與資料回復電路比起突發模式，當提到突發模式的時脈與資料回復電路抖動特性是比較讓人困惑的主題。

基本上來說抖動特性包含三個部分：抖動轉移函數(Jitter Transfer Function)、抖動容忍度(Jitter tolerance)和抖動產生量(Jitter generation)。對於前面所提到連續模式時脈與資料回復電路被應用於一連串的資料中繼放大器上去減低光纖傳遞上的周期性干擾，抖動的特性會沿著資料傳遞的路徑而累積，所以顯而易見抖動規格必需很嚴格去降低傳遞所累積的抖動量，例如 OC-192 或 IEEE 802.3ae [2]然而這些限制在突發式的時脈與資料回復電路相關文獻上很少被看到。

對於突發式時脈與資料回復電路因為應用於接收端的終端機(OLT)上是上傳路徑的終點，抖動特性並不會被累積或放大。結論為被動光纖網路時脈與資料回復電路規格主要限制在用戶端(ONUs)(downstream)因為仍然是連續模式的操作，所以抖動特性對於突發式的時脈與資料回復電路相關文獻會標為“N/A”。

### 1.3.4 上傳傳輸的眼圖遮罩

眼圖遮罩主要決定時脈與資料回復電路靜態相位誤差的極限如表格 3 所示，幸運的是對大部分的資料與時脈回復電路架構這個遮罩的規格並不難去達到。



	155.52Mbps	622.08Mbps	1244.16Mbps	2488.32Mbps
x1/x4	0.10/0.90	0.20/0.80	0.22/0.78	N/A
x2/x3	0.35/0.65	0.40/0.60	0.40/0.60	N/A
y1/y4	0.13/0.87	0.15/0.85	0.17/0.83	N/A
y2/y3	0.20/0.80	0.20/0.80	0.20/0.80	N/A

表格 3 上傳傳輸的眼圖遮罩

#### 1.4 時脈資料回復電路目標規格

根據被動光纖網路的規格，我們可以預設想要達到的目標規格對於我們提出的突發式時脈與資料回復電路使用 CMOS 90nm 製程如表格 4 所示。

	This work
Data rate	700Mbps~7000Mbps
Process	CMOS 90nm
Power supply	1.2V
Power	2.4mW/Gbps
Die size	1.32 mm <sup>2</sup>

Jitter of the recovered clock & data	0.05-0.1UI & 0.08-0.15UI
Locking time	< 10 bits
BER	<10e-12

表格 4 目標規格表

## 1.5 組織架構

本論文主要分五個章節，第一章，說明相關背景和動機；第二章，介紹突發式時脈與資料回復電路的種類；第三章，簡介一下本論文所提出的架構和設計考量；第四章，實驗結果和量測；第五章，結論。





## 第二章 突發式時脈與資料回復電路種類

---

事實上，時脈與資料回復電路已經發展了好幾十年了，表示有數不盡的電路架構和種類發表在文獻中，隨著對頻寬的需求越來越大，時脈與資料回復電路的操作速度相對會被提升。

實際上幾年前就有蠻多高資料速率的時脈與資料回復電路被提出來 [6]-[10]，但較少數著重在突發式時脈與資料回復電路因為被動光纖網路還不是普及且可行的，因此大部分所提出的高速時脈與資料回復電路主要貢獻和著重於同步光網路(SONET) [11][12]，千兆位元乙太網路或是其它光通訊 [13]。直到被動光纖網路的浮現，高速突發式時脈與資料回復電路的規格才變成要去克服吸引人的課題。

雖然至今有許多文獻探討突發式時脈與資料回復電路，我們把它概分為三個種類根據不同的架構，依序分別是："鎖相迴路突發式時脈與資料回復電路"(PLL-based BMCDR)，"超取樣式時脈與資料回復電路"(Oversampling-based BMCDR)，"閘式壓控振盪器突發式時脈資料回復電路"(GVCO-based BMCDR)。第一和第二類始於連續模式時脈與資料回復電路但也可以應用於突發式時脈與資料回復電路，然而第三類就是為了滿足突發式時脈與資料回復電路而設計的。

### 2.1 鎖相迴路突發式時脈與資料回復電路

一個傳統連續模式時脈與資料回復電路系統如圖 4 所示，它是由相位偵測器(PD)，低通濾波器(LPF)，壓控振盪器(VCO)，頻率偵測器(FD)和決策電路(例如 D 型正反器)所構成，如圖 4 所示此架構包含了

一個鎖相迴路外加一個鎖頻迴路在此系統之中。一個鎖相迴路在此系統中是容易被了解的，但鎖頻迴路呢?在許多文獻上已被證明鎖相迴路只能在壓控振盪器振盪頻率與資料速率偏移量在迴路頻寬內可以正常工作，約為 MHz 等級。明顯的很難去設計一個 MHz 等級調諧範圍的壓控振盪器，因此需要去設計一個鎖頻迴路去驅使壓控振盪器的頻率在起始時接近資料速率。

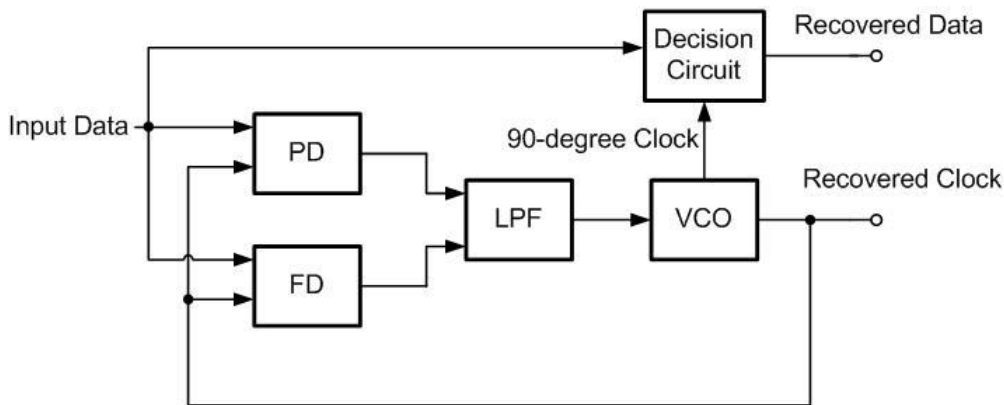


圖 4 傳統時脈與資料回復電路系統

在起始時，鎖頻迴路驅使壓控振盪器的頻率接近資料速率然而把控制權交給鎖相迴路，然而鎖相迴路調整回復時脈的相位對齊輸入資料的相位，以至於相位 90 度的時脈在決策電路可以取樣到資料轉態的中心點，以降低錯誤率(BER)。藉由取樣在資料傳輸序列裡雜訊還有抖動的累積將會減少。

言歸正傳我們來探討傳統的時脈與資料回復電路用在突發式的系統是否可行。首先從鎖頻迴路來觀察無論時脈與資料回復電路屬於 Bang-bang 種類或是線性種類，低通濾波器的電容都必需大於 100pF，假設頻率偵測器輸出電流為 100uA，然而 $\Delta V$  為 1V，然而穩定時間至少為

$$\Delta t = \frac{C \times \Delta V}{I} = \frac{100\text{p} \times 1}{100\text{u}} = 1\text{u sec}$$

對於乙太被動光纖網路而言鎖定時間約為 400ns 然而對於千兆位元被動光纖網路規格鎖定時間小於 64ns，可以看出傳統的鎖頻迴路不能達到快速鎖定的需求。

一個簡易的方式去克服這個問題如圖 5 [14]所示，鎖頻迴路被另外一個鎖相迴路所取代，這個額外的鎖相迴路可以預設壓控振盪器的頻率根據參考時脈訊號，只要序列資料近來上半部的迴路將會接管整個運作功能，當然為達到此目的只要可程式化的除頻器的除數 N 和 M 滿足下式：

$$f_{VCO} = \frac{N}{M} \times F_{ref} = \text{data rate}$$

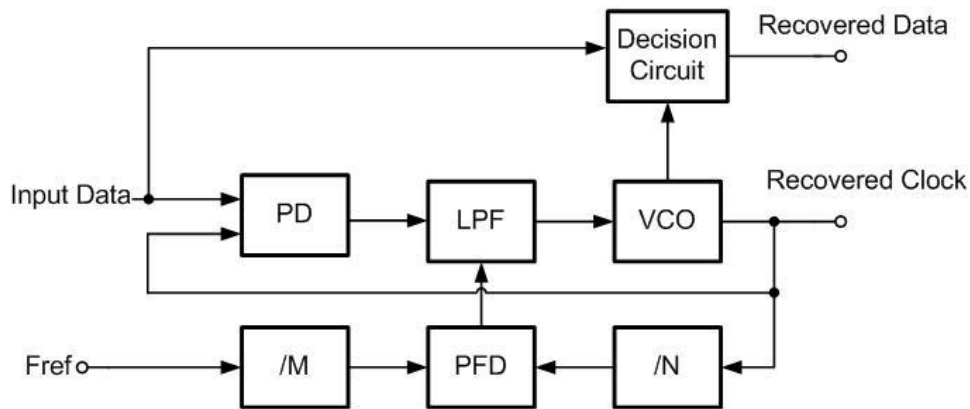


圖 5 具有參考時脈訊號的時脈與資料回復電路系統

確認完鎖頻迴路後鎖相迴路必需鎖住輸入的序列資料滿足所想要的規格，因為迴路頻寬大約為 MHz 等級，所以鎖相迴路約要 1us 去達到穩態，這部分跟傳統的有鎖頻迴路架構一樣，所以鎖相迴路部分必須稍做修改使可以操作在快速鎖定。

一個可行的方式如圖 6 [15]所示，這裡先提到一些特別的組成方塊以達到快速相位校正：閘式壓控振盪器(GVCO)、多工器(MUX)和控制邏輯(Control logic)。

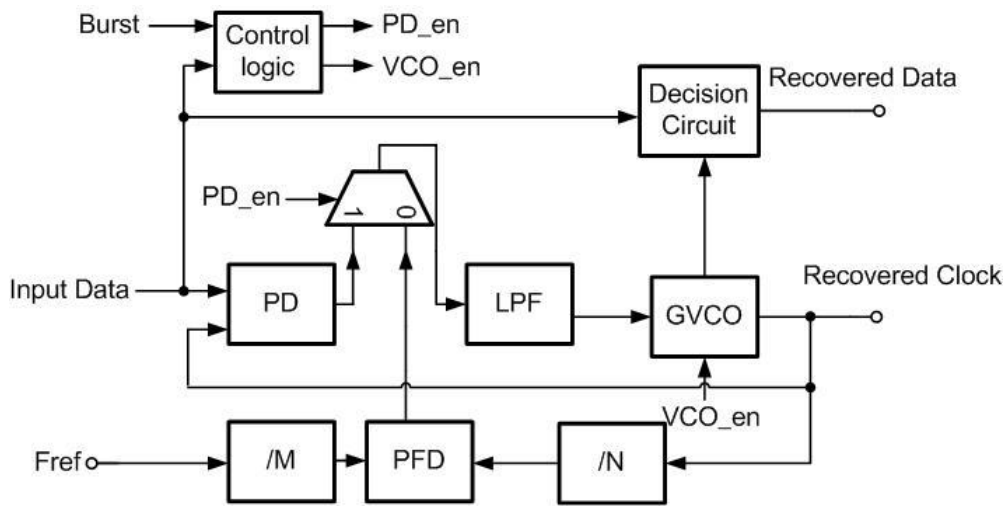


圖 6 鎖相迴路突發式時脈與資料回復電路系統

GVCO 是閘式壓控振盪器的縮寫，壓控振盪器是耳熟能詳的但閘式壓控振盪器就不是那麼廣泛被使用到，閘式意指的是由一些控制邏輯閘所構成的振盪器。舉例來說由反及閘所構成的振盪器如圖 7 所示。從圖可以清楚的看到當 VCO\_en 為高電位時閘式壓控振盪器就如同一般五級的環型振盪器，反之當 VCO\_en 為低電位時閘式壓控振盪器會瞬間被關閉。簡單來說閘式壓控振盪器是一個可以被外部訊號停止或啟動的壓控振盪器。

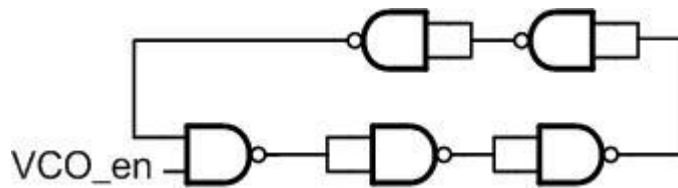


圖 7 反及閘所構成的振盪器

MUX 則為一般的多工器，多工器的輸出訊號控制低通濾波器，Control logic 則為有限狀態機決定要啟動上半部的迴路或是下半部的迴路，他的有限狀態圖如圖 8 所示 [15]，為了要了解此操作，我們可以從”Data come”開始，當序列資料進來系統會送出一個”Burst”的訊號如同圖 8 所示，給時脈與資料回復電路去告知控制邏輯有資料

接收進來了，當“Burst=1”之後只要遇到“Data low”閘式壓控振盪器將會進入停止模式，只要又遇到“Data high”閘式壓控振盪器又會開始振盪然後它的相位便會和資料相位相同，當“PD\_en=1”就表示已經完成上述之動作，將會獲得回復的時脈和資料且全部的鎖定時間約三個資料位元時間。

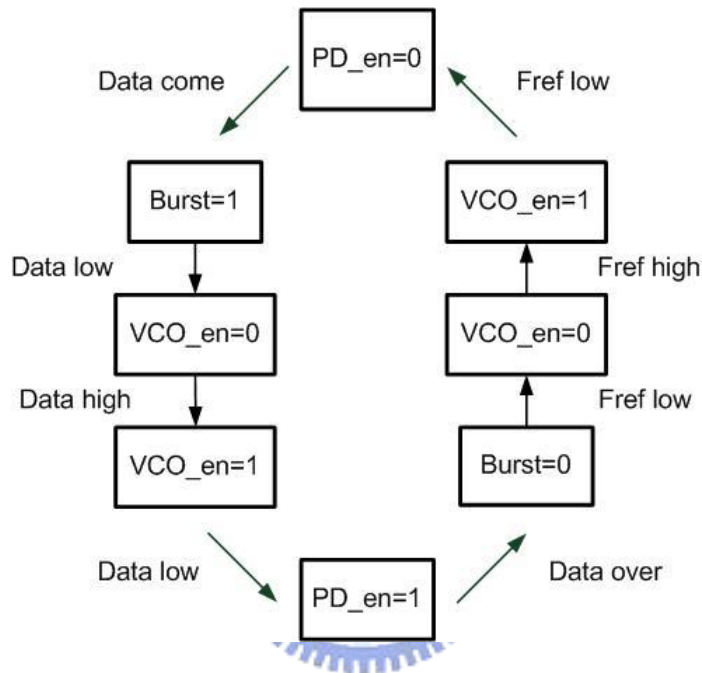


圖 8 控制狀態圖

除此之外切換模式從追蹤參考時脈訊號到追蹤輸入的序列資料，很重要的是切換過程是否是很緩慢的，如果不是閘式壓控振盪器的控制電壓會受到干擾且下半部迴路必需花額外的時間再次達到穩態。因為電路系統必需隨時準備要接收資料，控制邏輯電路必須有責任去負責緩慢的切換，否則將會干擾下一筆資料的接收。

從狀態圖可以逆推回去，當“Data over”後“Burst=0”閘式壓控振盪器將會再度停止只要“Fref low”。當“Fref high”然而“VCO\_en”訊號要保證的是閘式壓控振盪器振盪訊號的相位和 Fref 同步。

可以應用在突發式的系統裡，然而鎖定時間為三個位元週期時間，

它的優缺點將會在 2.4 節裡與其它種類做比較。

## 2.2 超取樣式時脈與資料回復電路

一個傳統超取樣式時脈與資料回復電路如圖 9 所示 [16][17]，這個架構可被分解成時脈與資料回復電路部分和鎖相迴路部分，當鎖相迴路扮演時脈產生器的時候上半部迴路掌管了時脈與資料回復功能。

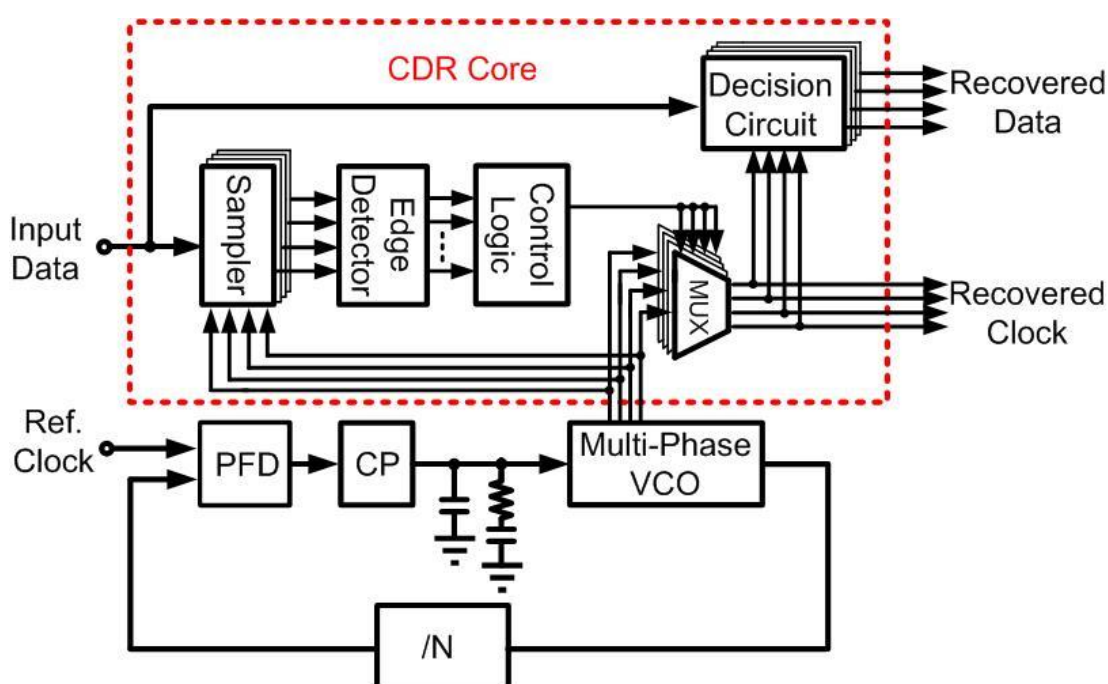


圖 9 超取樣式時脈與資料回復電路架構

鎖相迴路部分是一個傳統的充電幫浦架構除了一個多相位的壓控振盪器(MP-VCO)，相位頻率偵測器負責比較參考時脈相位和經過除頻器訊號的相位所產生的上升或下降訊號去控制充電幫浦，經過一個低通濾波器去過濾掉高頻的成分，多相位的壓控振盪器(MP-VCO)的電壓由相位頻率偵測器和充電幫浦所控制，最後振盪器的振盪頻率將為

穩定到參考時脈訊號的  $N$  倍，多相位的壓控振盪器(MP-VCO)的訊號提供給在時脈與資料回復電路部分的數位電路所使用。

資料回復電路部分包含了取樣器"Samplers"、邊緣檢測器"Edge detector"和控制邏輯"Control logic"，在取樣器部分輸入的資料被多相位的壓控振盪器(MP-VCO)所提供的相位做取樣的動作如圖 10 所示，這個程序我們稱為超取樣。以這個例子來看，輸入資料被三倍超取樣，意思是一筆資料被多相位的壓控振盪器(MP-VCO)所產生的三個不同的相位訊號所取樣，為了減緩每個子電路速度的需求，多相位的壓控振盪器(MP-VCO)採用  $1/4$  速率的操作所以要達到三倍超取樣共需要多相位的壓控振盪器(MP-VCO)產生 12 個相位。

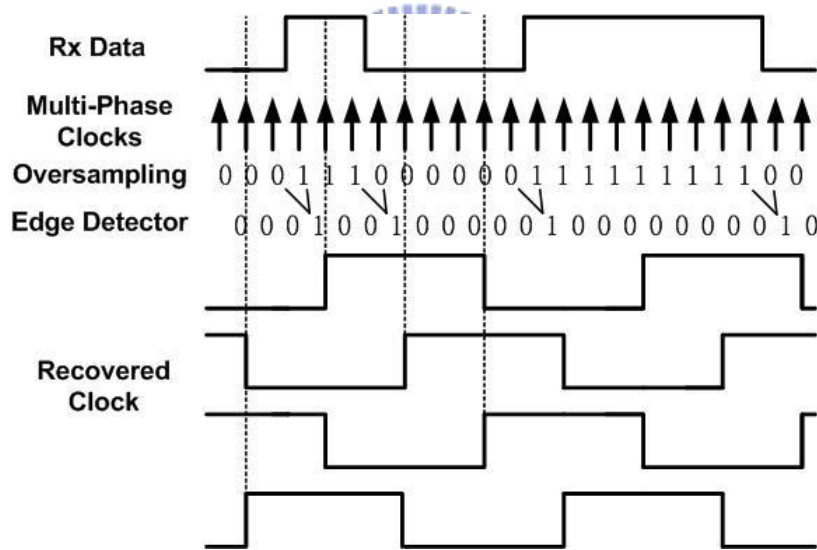


圖 10 超取樣式時脈與資料回復電路時序圖

使用取樣器的輸出結果讓邊緣檢測器偵測出資料的轉態點如圖 10 所示，邊緣檢測器的輸出為高準位時表示有資料轉態的發生；相反如果邊緣檢測器的輸出為低準位表示沒有資料轉態的發生。直覺來說邊緣檢測器可以為互斥或閘陣列所構成。

隨著這些轉態點被標示出來，控制邏輯將會萃取出輸入資料的相

位資訊然後決定從多相位的壓控振盪器(MP-VCO)的三個相位時脈訊號中取最佳的相位去當回復的時脈訊號，四組時脈訊號分別連接到四組多工器，每一組時脈訊號由三個相位所構成。控制邏輯從三個相位選其一去當回復時脈訊號使得資料錯誤率(BER)降到最低，在決策電路方面，輸入資料被四組時脈訊號回復且解多工，因為最佳取樣相位的時脈訊號被挑出去當回復的時脈訊號，所以從字面看來這個架構也稱做相位挑選式時脈與資料回復電路。

為什麼此電路可以運用在突發式的系統上呢？我們來檢視此架構的鎖定時間，從圖 9 來看訊號經過了取樣器、邊緣檢測器、控制邏輯、多工器和決策電路。所以鎖定時間如下式所示：

$$\begin{aligned}
 & T_{\text{Samplers}} + T_{\text{Edge}} + T_{\text{Control}} + T_{\text{MUX}} + T_{\text{Decision}} \\
 &= 1 \times T_{\text{Clock}} + 1 \times T_{\text{Clock}} + 1 \times T_{\text{Clock}} + 1 \times T_{\text{Clock}} + 1 \times T_{\text{Clock}} \\
 &= (4 + C) \times T_{\text{Clock}} = (4 + C) \times R \times T_{\text{Data}}
 \end{aligned}$$

然而  $T_{\text{Clock}}$  是時脈訊號的週期， $T_{\text{Data}}$  是資料的位元寬度， $C$  代表的是控制邏輯完成工作的周期， $R$  代表資料速率跟振盪頻率的比率。

明顯的，不同規格的鎖定時間和不同的頻率比率  $R$  將會影響到最大的  $C$  值，它們的關係如圖 11 所示，根據圖 11 我們可以觀察到兩個趨勢：

- (1) 愈高資料速率，控制邏輯所需最大周期數愈大
- (2)  $R$  值越高，控制邏輯所需最大周期數愈小

結論為，155Mbps 很難去滿足規格不論  $R$  值是多少，甚至其它三個規格  $R$  值約為 2 或 4，要從數位電路的鎖定時間和速度去做折衷， $R$  值基本上設計為 4。因此愈快的鎖定時間需要複雜度愈高的數位電路，暗指的是超取樣時脈與資料回復電路需要從鎖定時間和硬體複雜



度去做折衷，也表示超取樣時脈與資料回復電路會消耗過大的功率和面積，此外，在充滿雜訊的環境，為了降低取樣相位和輸入資料的相位誤差硬體複雜度將會提高，但這樣又不利於高速操作。

如圖 11 所示此架構適合突發式 GPON 622Mbps、GPON 1244Mbps 和 GPON 2488Mbps 的應用，對於 EOPN1000BASE 來說當 R 為 8 時最大的 C 值為 54 所以也可以滿足規格，不過任何架構都有其優缺點我們將在 2.4 節做比較。

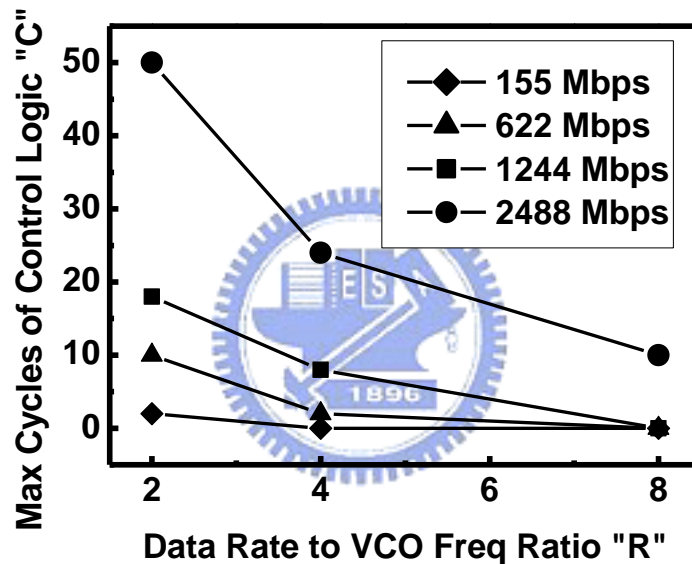


圖 11 超取樣式時脈與資料回復電路控制邏輯最大周期數 C  
(不同資料速率滿足 GPON 規格)

### 2.3 開式壓控振盪器突發式時脈與資料回復電路

不同於鎖相迴路式和超取樣式突發系統的時脈與資料回復電路，開式壓控振盪器突發式時脈與資料回復電路架構本生就是因應突發式系統而生，典型的架構如圖 12 所示 [18]。

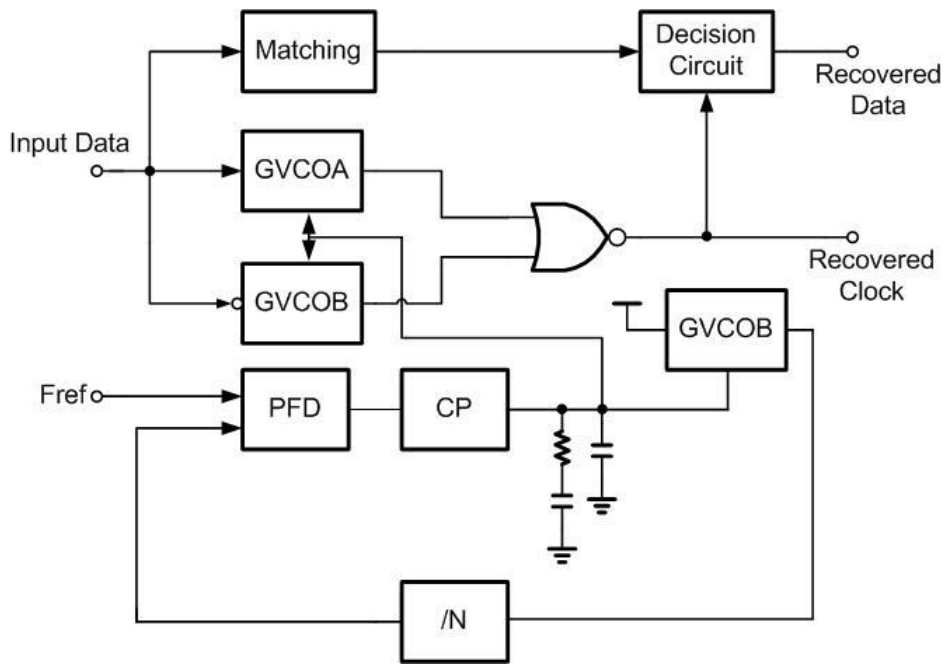


圖 12 閘式壓控振盪器突發式時脈資料回復電路

這個架構也可以被分解成鎖相迴路部分和時脈與資料回復部分，雖然鎖相迴路部分能是傳統的架構，但振盪器由閘式壓控振盪器所取代，就如前面所提到的閘式壓控振盪器是一個可停止和啟動的壓控振盪器，這個部分是快速鎖定的關鍵，不同於超取樣式時脈與資料回復電路架構的鎖相迴路部分是當時脈產生器，然而閘式壓控振盪器架構的鎖相迴路部分是扮演電壓產生器的角色。去使“GVCOA”、“GVCOB”振盪在想要的頻率，因為要提供適當的電壓才能使電路正常的工作，因此在鎖相迴路部分的壓控振盪器可以被“GVCOA”和“GVCOB”所取代，因為它的狀態永遠被設定為振盪模式換句話說也就是一般的壓控振盪器。

接下來要討論時脈與資料回復電路部分，此部分最重要的區塊為“GVCOA”、“GVCOB”和反或閘，這些的區塊也是快速鎖定的關鍵，快速鎖定的過程也很簡單被了解，當輸入資料為高準位時“GVCOA”在振盪模式而“GVCOB”則在停止模式；相反來說當輸入資料為低準位

時"GVCOB"在振盪模式而"GVCOA"則在停止模式，結論為不管輸入資料為高準位或是低準位兩個閘式壓控振盪器會有其中一個在振盪模式，而反或閘所扮演的角色為回復時脈結合器，時序圖如圖 13 所示，簡單來說這些電路的延遲暫時的忽略。

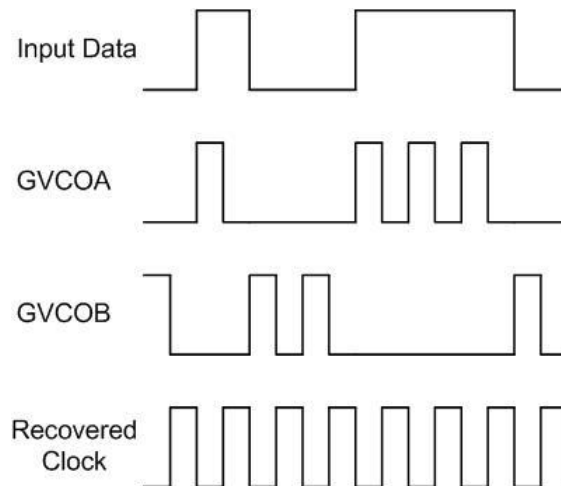


圖 13 閘式壓控振盪器突發式時脈資料回復電路時序圖

但以實際上的情況來說每個電路的延遲必需被考慮進來當資料速率快到 Gbps，所以如圖 12 所示的"Matching"區塊就扮演補償這些延遲而存在。如果沒有"Matching"區塊將會產生明顯的靜態的相位誤差介於資料和 0 度的時脈訊號，而使得 90 度的時脈訊號不能正確取樣到資料的中心點，所以資料錯誤率將會提高許多，基本上而言這個區塊由訊號路徑的複製延遲單元所構成。

## 2.4 比較

這個也許有失公平性，因為有些突發式時脈與資料回復電路不在上述三個分類之中，它的架構有可能是其中兩個的綜合架構甚至是三個，所以擁有不同的特性。所以這節只以一般架構去做比較和直覺的觀察，因為我們的目的只是為了設計適合高速突發式時脈與資料回復

電路的應用且有良好的效率。

在第一章裡已經介紹有關突發式時脈與資料回復電路的規格且只有鎖定時間和資料速率被提及為考量條件，除此之外功率消耗和晶片面積也是重要的考量因素，雖然抖動的表現不在規格中，但這項特性不能被忽略因為畢竟這是時脈與資料回復電路的基本。

#### 2.4.1 資料速率和鎖定時間

在千兆位元被動光纖網路裡，最高的資料速率為 2488Mbps 代表的意思為每個資料位元為 0.4ns，CMOS 製程技術發展至今時脈與資料回復電路要操作在 40Gbps 使用 0.18um 的 CMOS 製程技術已經被提出，所以這三類的時脈與資料回復電路架構都可以輕鬆達到 2488Mbps 的資料速率不是問題。事實上，從鎖定時間這樣規格對於突發式時脈與資料回復電路來觀察，甚至操作在 2488Mbps 都會是個問題所以為什麼突發式時脈與資料回復電路發展高於 2.5Gbps 或是 10Gbps 在今日的文獻還不是那麼普及，所以資料速率和鎖定時間將會在這小節一起提出來討論，因為資料速率可以被達到是從突發式資料的獲得可靠度所決定，可靠度的定義為：快速相位追蹤機制的理想度可以如何被達到。

回想起之前所提到的鎖相迴路突發式時脈與資料回復電路，閘式壓控振盪器可以被停止，當輸入序列資料從高準位變低準位時，也可以被啟動，當資料發生轉態時，所以輸入資料便可以及時脈的相位迅速的做同步的動作，當相位同步之後時脈與資料回復迴路便接管了接下來的工作，如同連續式時脈與資料回復電路一般，從上述的描述鎖定時間大約為三個位元時間，但上述描述是假設在理想的條件下，意

指全部的區塊延遲在精準的控制和預測下，全部的區塊電路都有足夠的頻寬，實際上則不然。

閘式壓控振盪器突發式時脈資料回復電路在鎖相迴路部分一個匹配電路加在“Decision Circuit”之前，為了降低明顯的靜態相位誤差，當序列資料輸入時。如果沒有匹配電路只要“PD\_en=1”，時脈與資料回復電路迴路的相位偵測器將會看到相位誤差，然後時脈與資料回復電路迴路將會去追蹤此相位誤差，這個追蹤的過程可能需要一些時間，所以快速鎖定的功能便會失去，所以匹配電路的加入提高了此電路的可靠度。

不同於鎖相迴路突發式時脈與資料回復電路超取樣式時脈與資料回復電路可靠度較高，因為是以數位電路的方式去實現，也就是超取樣過程成功的話後端的控制邏輯將會挑選出一個適合的相位當回復時脈訊號鎖定時間也因此決定了，藉由邏輯電路如 2.2 節所示，如果  $C=3$  和  $R=4$  則全部的鎖定時間為 28 的資料位元。

雖然匹配電路已經被使用，閘式壓控振盪器突發式時脈資料回復電路仍然會遇到一些問題，當然鎖相迴路突發式時脈與資料回復電路也會遇到。

在 2.3 節我們已經知道了匹配電路的加入是為了產生一些延遲，為了保證電路工作上的一些時序的關係，基本上來說匹配電路和其它複製的閘式壓控振盪器，他們都是從其它電路的複製元件，一般來說在晶片製作過程中一定會存在不匹配，因為製程飄移這些非理想特性仍然存在的，但這些不匹配也許只有 1%，影響不大。

閘式壓控振盪器所存在的問題，閘式壓控振盪器是一個可以停止的壓控振盪器，是由上述所談到觸發訊號所控制，意指的是此閘式壓

控振盪器將會產生一個寬頻的訊號而不是單一頻率的訊號，因為它可以在停止模式和觸發模式隨機做切換，如圖 13 所示，“GVCOA”和“GVCOB”的波形更像隨機的資料而不是普通的時脈訊號。

對於輸入隨機資料的電路必需要足夠的頻寬，否則從閘式壓控振盪器訊號自身的干擾(ISI Inter-Symbol Interference)將會造成延遲單元頻寬的不足，但我們也不能從延遲單元本身的頻寬下手，後面文章將會討論到，這個 ISI 的影響將會造成回復時脈的抖動使得資料接收變得不可靠。

表格 5 為這三種突發式架構可靠度的統整：

	PLL-based type	Phase-picking type	GVCO-based type
Locking time	3 bits	28 bits	1 bit
Reliability	ISI from GVCO	Reliable	ISI from GVCO

表格 5 突發式獲得的可靠度

總結上述，超取樣式時脈與資料回復電路比較適合高速的操作，因為它有比較好的可靠度，但還是有其它特性必須考慮進去。

#### 2.4.2 功率和面積

對於資料速率為 2488Mbps，鎖相迴路突發式時脈與資料回復電路和閘式壓控振盪器突發式時脈資料回復電路必需使用電流模式邏輯(CML)去實現高速的正反器和多工器此時超取樣式時脈與資料回復電路可以操作在 622Mbps 當 R=4 所以此架構仍然可以用靜態或是動

態的 CMOS 邏輯電路去實現，所以電流模式邏輯(CML)會消耗較大的靜態功率，而超取樣式時脈與資料回復電路只消耗了動態功率，從模擬上來觀察，超取樣式時脈與資料回復電路在資料速率為 2488Mbps 有較低的功耗。

就晶片面積來考慮，三者都沒有占到優勢，雖然電流模式邏輯(CML)會消耗比較大的面積比起動態邏輯電路，超取樣式時脈與資料回復電路是平行的處理程序，如果  $R=4$  然後三倍超取樣將會有 12 組平行的邏輯電路，面積可想而知，所以很難去判斷哪一種架構比較節省面積，表格 6 統整上述的討論：

	PLL-based type	Phase-picking type	GVCO-based type
Power consumption	Larger	Smaller	Larger
Area	-	-	-

表格 6 功率和面積

### 2.4.3 抖動特性

	PLL-based type	Phase-picking type	GVCO-based type
Jitter transfer	Low pass	Depends	All pass
Jitter tolerance	Medium	High	High
Jitter generation	Small	Large	Medium

表格 7 抖動特性

表格 7 所示，對抖動特性做一個歸納，雖然規格裡 [2][19]沒有提到抖動轉移函數、抖動容忍度和抖動產生量在終端機的突發式時脈與資料回復電路裡，但討論這些特性仍然有助於我們了解突發式時脈與資料回復電路。

#### 2.4.3.1 抖動轉移函數(Jitter Transfer Function)

抖動轉移函數意指的是當輸入的抖動量變化不同的速率時輸出抖動量的變化，所以代表的是電路抖動量濾波的能力，對於資料中繼放大器而言因為它們是以串連的方式連接，抖動轉移函數是一項很重要的規格去過濾掉訊號串連路徑的抖動累積，如果沒有的話經過數十個資料中繼放大器後，訊號將被不同的雜訊源所干擾。

什麼是時脈與資料回復電路理想的抖動轉移函數，我們說當輸入的抖動變化非常慢時，當零交叉點以很慢的速率在理想的取樣點附近徘徊，然後輸出將會追蹤輸入的變化以確保相位鎖定。換句話說，如果當輸入的抖動量變化得非常快時，時脈與資料回復電路必需過濾掉這個頻率的抖動量，也就是說輸出將以較少的比例去追蹤輸入的抖動，因此抖動的轉移函數展現出低通的特性，如同鎖相迴路一般 [14]。

鎖相迴路突發式時脈與資料回復電路擁有過濾抖動的能力，超取樣式時脈與資料回復電路則是透過控制邏輯來過濾抖動，如圖 9 所示控制邏輯接收到輸入資料轉態的資訊然而挑選一個適當的相位時脈去回復資料，所以當輸入的資料有抖動產生時，控制邏輯會及時做出反應，所以全部的輸入抖動變化將會反映在輸出中，所以沒有抖動轉移的能力，也就是一個全通函數的特性，換句話說當輸入的資料產生抖動時控制邏輯去做一個平均，而不是直接反映在輸出端，而是挑



選出適當的相位，所以輸出抖動量的貢獻來自於鎖相迴路部分，所以此架構還是可以過濾掉抖動 [16]。

上述所談到平均和適當的相位可以從圖 14 和圖 15 觀察出。

藉由多數決，輸入的抖動量將會被平均如圖 14 所示，取樣器的中心相位被取做取樣的相位根據多數決的結果如圖 15 所示，為了進行多數決，被取樣的資料點必需累積一定的周期時間，然後把這些結果進行加總起來，結論是這個操作直接影響到鎖定的時間，也就是我們的規格，所以這個統計的周期不能太長以致於不能達到快速鎖定的功能。

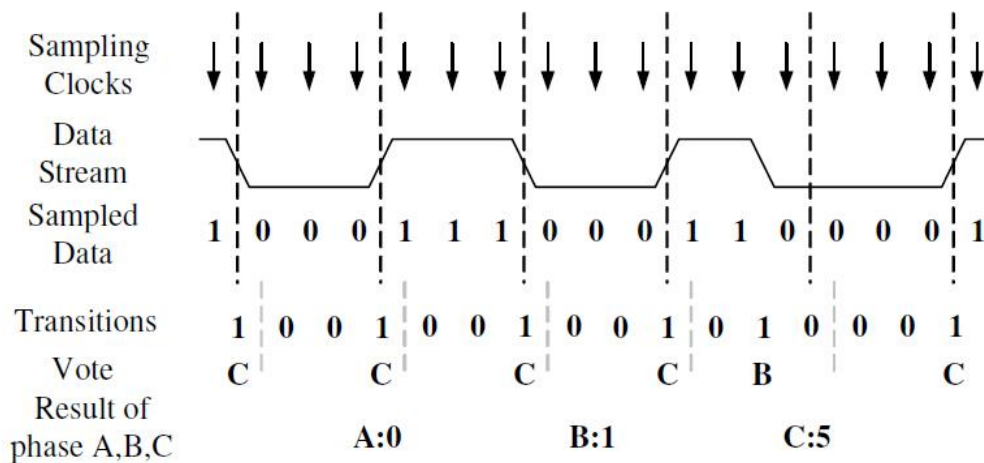


圖 14 相位資訊的平均

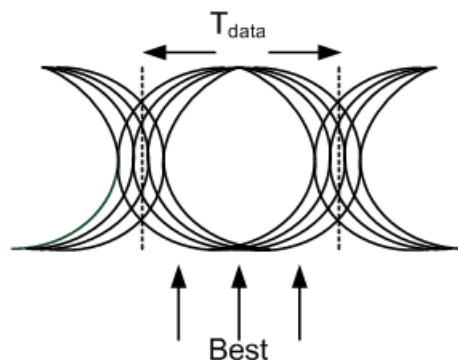


圖 15 最好的相位

開式壓控振盪器突發式時脈資料回復電路的抖動轉移函數為全

通的特性，因為閉式壓控振盪器的相位直接受輸入序列資料的影響而立即去鎖定，當有輸入資料有抖動量時回復的時脈會直接反映這個抖動量，結論為所有輸入資料非理想效應將會反映在回復的時脈上 [20]。

### 2.4.3.2 抖動容忍度(Jitter tolerance)

抖動顧名思義是非理想的零跨越週期性的訊號或資料上，一個理想的周期性訊號如下式表式：

$$V(t) = A \times \cos(\omega t + \phi)$$

然後 $\phi$ 必需為常數，當 $\phi$ 為時間的函數時，訊號的零交叉點將會在理想的位置上徘徊，也就是說會產生抖動，抖動的調變就是去調變周期性的訊號，也就是：

$$\phi = B \times \cos \omega_m t$$

抖動的容忍度意思為給定一個抖動的調變頻率去量測可以容忍此頻率的抖動振幅為多少，所以回復時脈的相位如果可以修正得更快，抖動的容忍度越好，抖動容忍度也可以解釋成相位追蹤的測試，如圖 16 所示。

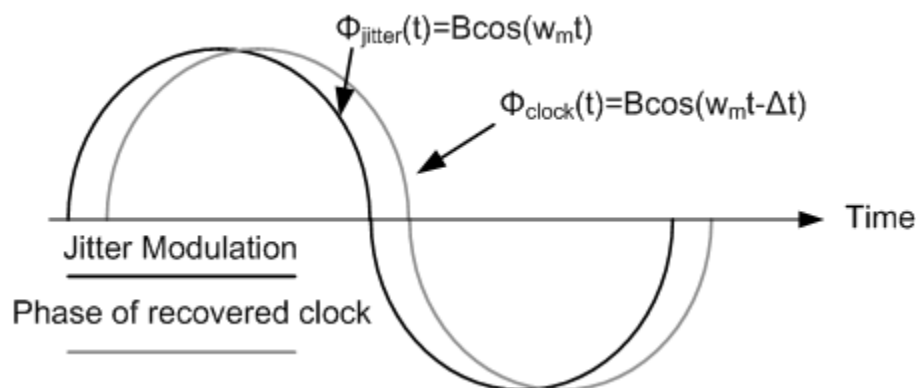


圖 16 相位追蹤過程

跟抖動轉移函數做比較，有較慢的相位追蹤速度有較好的抖動過濾能力，所以抖動轉移函數和抖動容忍度是個折衷的問題。較快的相位追蹤導致較好的抖動容忍度，但相對抖動轉移能力變差；較慢的相位追蹤導致較好的抖動轉移函數但相對的抖動容忍度也會變差。

對於鎖相迴路突發式時脈與資料回復電路來說，當突發鎖定時它動作跟閉迴路的連續式時脈與資料回復電路操作相同，它的抖動容忍度相當於連續式時脈與資料回復電路。一個閉迴路的時脈與資料回復電路抖動轉移特性為低通，所以鎖相迴路突發式時脈與資料回復電路抖動容忍度不是三者中最好的。

對於超取樣式時脈與資料回復電路來說，就如同上面所解釋的，如果控制邏輯電路可以迅速的追蹤輸入資料的抖動量，有較好的抖動容忍度，但相對的會使得抖動轉移變差。不同於 SONET 和千兆位元以太網路，被動光纖網路並沒有規範抖動轉移的好壞，所以在設計控制邏輯時並不用將抖動轉移列入考慮，反而是輸出的相位校正速度能符合鎖定時間的規格就可以了。

對閘式壓控振盪器突發式時脈資料回復電路來說，抖動的容忍度是最高的，因為此架構擁有最快的相位追蹤能力，每一次資料轉態的發生，閘式壓控振盪器的相位將會被立即的校正，所以此架構擁有最好的抖動容忍力但最差的抖動轉移能力在三者之中。

#### 2.4.3.3 抖動產生量(Jitter Generation)

抖動產生量意思是當沒有輸入抖動時輸出的抖動量，這個特性直接影響到這些電路的時間寬限，所以這個規格對時脈與資料回復電路很重要甚至不在此規範中 [2][19]也要考量，這個抖動的來源來自電

路本身，例如：壓控振盪器的相位雜訊或電壓雜訊。

為了做比較，鎖相迴路突發式時脈與資料回復電路擁有最低的抖動產生量因為它是一個閉迴路的操作，這個迴路可以濾掉輸入抖動量和電路本身的雜訊。

相反的，超取樣式時脈與資料回復電路有最大的抖動產生量，既不是來自振盪器的相位雜訊也不是供應電壓的雜訊，它是超取樣天生的特性，它的相位校正式離散時間的而非連續時間，所以每次相位改變，伴隨著  $1/3 UI$  的抖動量產生在回復時脈和資料上，甚至沒有輸入抖動量但相位的跳動仍然可以明顯被觀察。

對於開式壓控振盪器突發式時脈資料回復電路的抖動產生量是介於三者的中間，雖然不是一個閉迴路的架構，但可以過濾掉電路本身的雜訊，也沒有相位快速跳動的問題，所以抖動容忍度介於兩者之中。



## 2.5 總結

表格 8 為 2.4 節的總結比較表。

	PLL-based type	Phase-picking type	GVCO-based type
Locking time	3 bits	28 bits	1 bit
Reliability	ISI from GVCO	Reliable	ISI from GVCO
Power consumption	Larger	Smaller	Larger
Area	-	-	-

Jitter transfer	Low pass	Depends	All pass
Jitter tolerance	Medium	High	High
Jitter generation	Small	Large	Medium

表格 8 總結比較表

根據表格 8 所示每種架構都有其優缺點，我們的目的是追求接收的資料速率，所以主要的問題將會是可靠度，對於鎖相迴路突發式時脈與資料回復電路和開式壓控振盪器突發式時脈資料回復電路而言問題是相同的，就是來自壓控振盪器訊號自身的干擾 (ISI Inter-Symbol Interference)，反之超取樣式時脈與資料回復電路有較高的可靠度，所以第三章提出了一個多頻帶快速鎖定的突發式時脈與資料回復電路，且提出開式壓控振盪器解決了此問題。



### 第三章 一個多頻帶突發式時脈資料回復電路

---

本電路設計主要實現，一個閘式壓控振盪器為基準的突發式時脈與資料回復電路，利用數位輔助鎖頻迴路去鎖定閘式壓控振盪器頻率，再交給閘式壓控振盪器電路進行快速相位的重置和資料與相位的鎖定，此電路所提出的閘式壓控振盪器採 1/7 速率的操作，也就是在一個時脈週期之內有七筆傳送資料，進而達到高速操作及低功率消耗之目的，且利用多模數的除頻器使此電路可以應用在不同頻帶，除此之外突發式時脈與資料回復電路應用在被动光纖網路中，有許多不同的用戶端伴隨著不同資料速率連結到終端機上，因此突發式時脈與資料回復電路可以操作在不同頻帶更為有用。

#### 3.1 系統架構

本晶片的電路架構如圖 17 所示，其主要架構為一個閘式壓控振盪器突發式時脈與資料回復電路，包含頻率檢知器電路(Frequency Locked Detector)、十六位元上、下計數器(U/D Counter)、寬範圍多模數除頻器(Modulus Divider)、電流式數位類比轉換器(Current Steering DAC)、和差調變器(Delta-Sigma Modulator)、閘式壓控振盪器(Gated-VCO)。

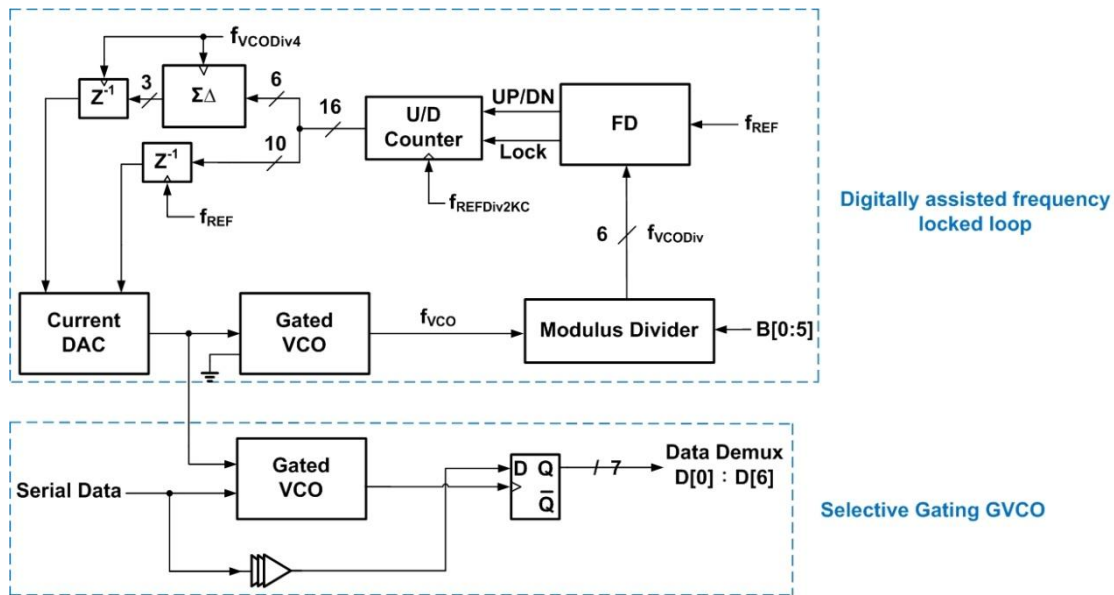


圖 17 系統架構圖

此晶片主要操作在兩個模式，第一個模式為頻率校正模式，外接一個參考時脈訊號到頻率偵測電路，頻率偵測電路所扮演的角色為判斷參考時脈訊號  $f_{REF}$  和  $f_{VCODiv}$  的頻率差，把誤差資訊透過上下計數器轉換成數位碼給電流式數位類比轉換電路去調整閘式壓控振盪器的頻率，最後達到穩態的頻率為多模數除頻器除數乘以參考時脈訊號的頻率。第二個模式為快速資料回復模式需透過閘式壓控振盪器去實現，閘式壓控振盪器顧名思義為邏輯控制的振盪器，此電路會偵測輸入序列資料的資料轉態點，把轉態的時間資訊給振盪器進行時脈重置，以完成快速鎖定的功能，且此電路為  $1/7$  資料速率的時脈與資料回復電路，閘式壓控振盪器(Gated-VCO)的振盪頻率為輸入序列資料的  $1/7$  倍，以降低下一級多模數除頻器(Modulus Divider)速度的需求和減低功率消耗。

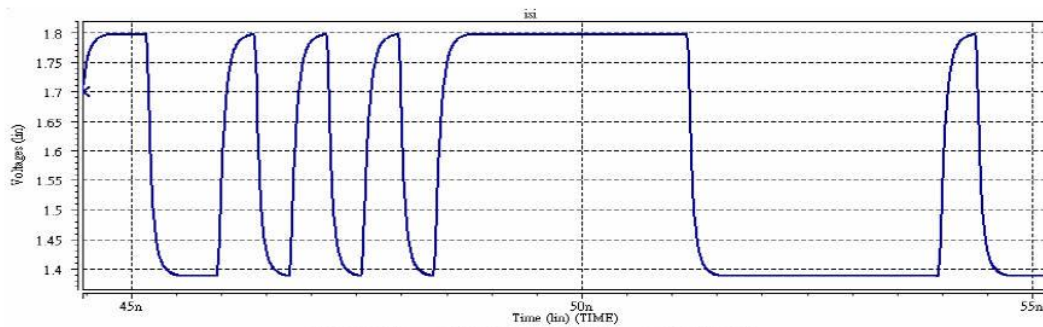
為了解決數位控制振盪器解析度不足的問題，在此使用藉由和差調變器(Delta-Sigma Modulator)，利用高速切換的方式，產生小於一個 LSB 的平均改變量，得到等效上小數的作用來增加解析度，以降低穩

態時量化雜訊所造成的影響。為了應用於不同的頻帶所以多模數除頻器除數範圍為除 2-63，所能涵蓋輸入序列資料速率範圍為 622Mbps 到 7Gbps，最後此晶片會把序列資料解多工成七筆並列資料輸出。

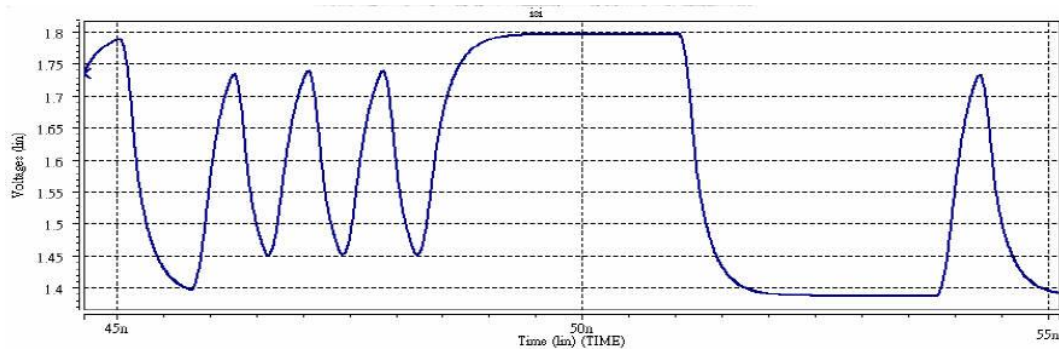
### 3.2 來自閉式壓控振盪器訊號自身的干擾

#### 3.2.1 訊號自身的干擾 (ISI Inter-Symbol Interference)

在開始介紹所提出的閉式壓控振盪器之前，我們先來檢視閉式壓控振盪器會遇到的問題，只要是隨機的資料將會遇到訊號自身的干擾 (ISI Inter-Symbol Interference) 的問題，我們可以從圖 18 這個例子來看，我們可以看出因為訊號自身的干擾造成不足的頻寬，後來的訊號會干擾之前的訊號，零交叉點將會偏移本來的理想值所以會造成抖動的產生，因此在資料經過的電路都應該避免訊號自身的干擾的發生。

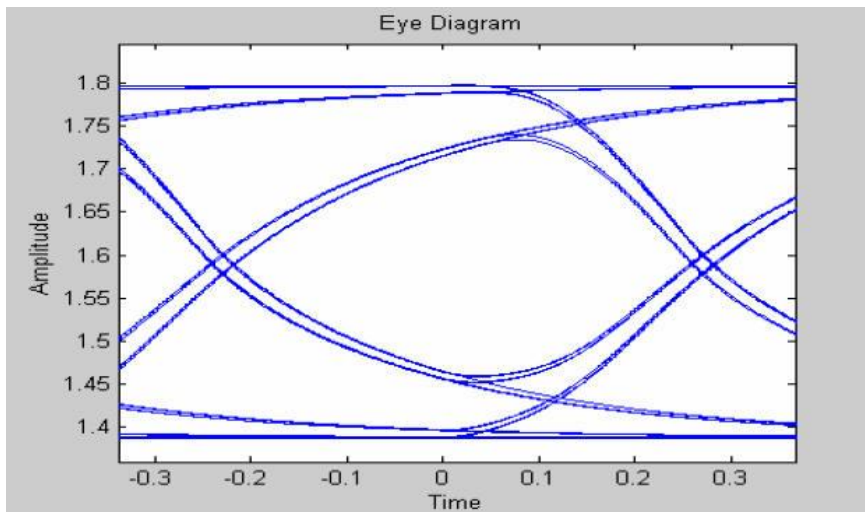


(a) 足夠的頻寬





(b) 不足的頻寬



(c) 訊號自身干擾的眼圖

圖 18 訊號自身的干擾

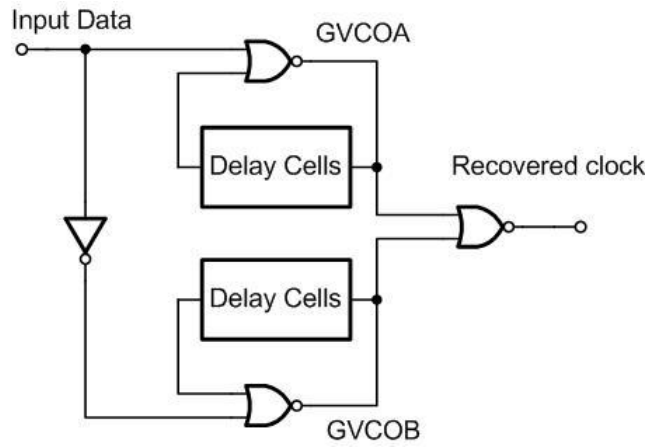
然而開式壓控振盪器的訊號自身干擾現象不是來自不足的頻寬，如第二章所提到的，開式壓控振盪器會隨機的操作在停止和振盪的模式，如果振盪器的振幅在停止模式時不相同在兩個狀態中做切換將會造成非理想的波形，這個現象就稱為開式壓控振盪器的訊號自身干擾。

所以從文獻中提到很多的開式壓控振盪器突發式時脈與資料回復電路架構，不幸的它們都有訊號自身的干擾的問題。

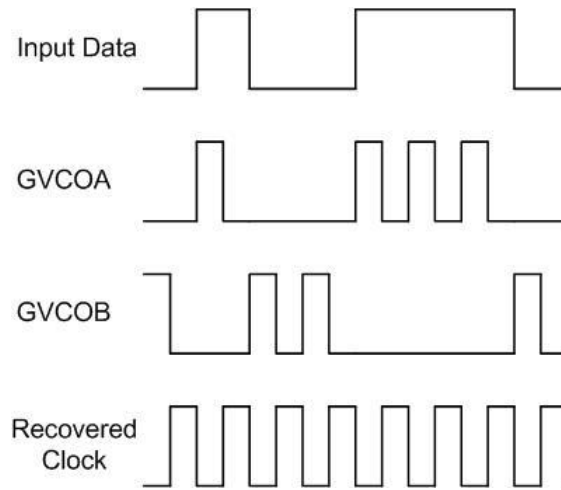
### 3.2.2 開式壓控振盪器的結構

雖然很多文獻都有提到開式壓控振盪器突發式時脈與資料回復電路，不過開式壓控振盪器的結構可以區分成兩類。一種是由兩個開式壓控振盪器所構成然後連結到一個反或閘 [21][22][23]或是多工器 [24]，另外一種是由開式壓控振盪器和邊緣檢測器去觸發開式壓控振

盪器 [25][26][27]，除了 [24]，架構及時序圖如圖 19 和圖 20 所示。

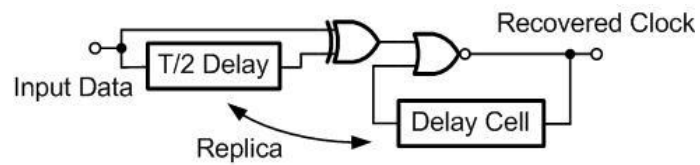


(a) 區塊圖

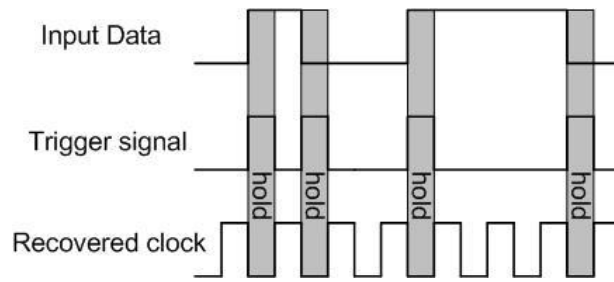


(b) 時序圖

圖 19 兩個開式壓控振盪器所構成架構



(a) 區塊圖



(b) 時序圖

圖 20 邊緣檢測器閘式壓控振盪器所構成架構

第一個架構已經在第二章所提過，輸入的序列資料將會使兩個閘式壓控振盪器進入停止模式，然後利用反或閘去合成出回復的時脈訊號。

第二個架構不同於前者的是，不是經過輸入的序列資料去改變閘式壓控振盪器而是透過邊緣檢測器每當輸入資料有發生轉態便產生一個脈衝去觸發閘式壓控振盪器，從區塊圖可以看到，邊緣檢測器由  $T/2$  延遲單元和互斥或閘所構成然後產生  $T/2$  脈衝寬度的觸發訊號， $T/2$  延遲單元是由閘式壓控振盪器的延遲單元複製出來的。所以當輸入資料有轉態發生時，邊緣檢測電路將會產生  $T/2$  脈衝寬度的觸發訊號，然後閘式壓控振盪器將會進入停止模式在此脈衝下，當  $T/2$  時間過後閘式壓控振盪器恢復振盪，然而它的相位會瞬間對齊輸入資料的相位，也許有些文獻的邏輯閘會不同，但其操作原理是相同的。

### 3.3 提出的閘式壓控振盪器

#### 3.3.1 結構

如第二章所提及，為了避免訊號自身的干擾 (ISI Inter-Symbol Interference) 對閘式壓控振盪器造成非理想的影響，圖 21 所示的閘式

壓控振盪器架構，僅操作在  $1/7$  輸入序列資料速率的閘式壓控振盪器架構，降低了每一級延遲單元在高速輸入序列資料頻寬上的需求，它是由七級延遲單元和資料邊緣檢測器所構成。

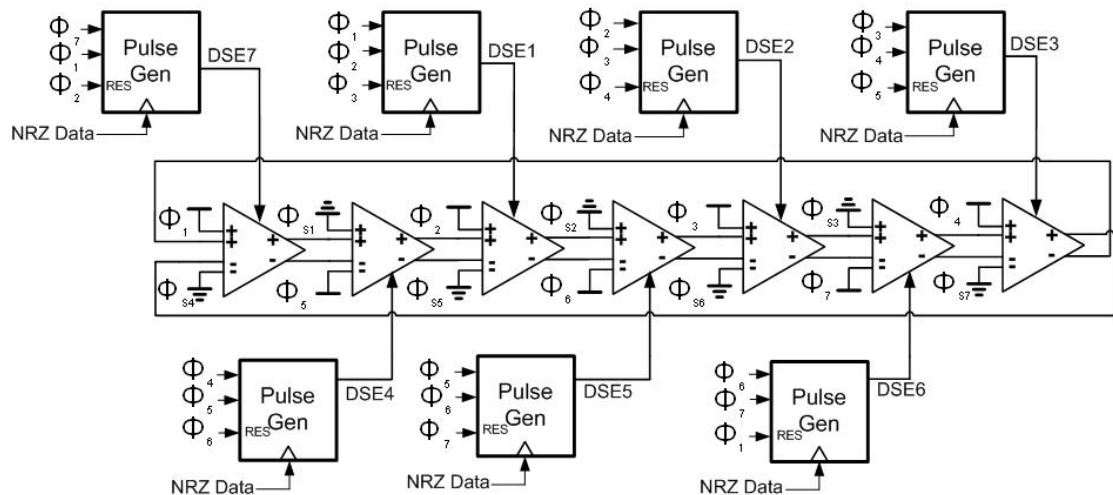


圖 21  $1/7$  資料速率閘式壓控振盪器電路架構

### 3.3.2 操作

因為對於突發式的亂數輸入序列資料我們必須萃取出它第一筆輸入資料的時間點而進行相位快速校正，而且選用操作方式為  $1/7$  速率操作，顧名思義為一個時脈周期有七筆序列資料，所以此架構是利用七個 D 型正反器，利用序列資料來取樣判斷出輸入的資料第一筆上升緣落在一個時脈週期時間的哪一個相位間，再進行時脈重置跟鎖定的動作以產生合適的取樣所需的時脈訊號，時序分析如圖 22 所示。

從圖 22 可以得知，因為時脈頻率比輸入序列資料的速率慢，所以對於亂數資料而言，只要資料從低邏輯準位轉變到高邏輯準位轉態間，我們必需判斷轉態的序列資料在一個時脈週期的位置，所以利用取樣七個不同相位所產生的時間區間，透過邏輯操作來判斷此筆資料

落在哪一個區間，再進行對閘式振盪器迅速校正相位差，使得資料和時脈得以鎖定對齊。

從圖 22 觀察看出， $\Phi_1 \sim \Phi_7$  分別為閘式環型振盪器 14 個相位中的 7 組相位，我們利用此相位的時脈訊號來產生脈衝序列，再利用輸入的序列資料直接取樣來判斷序列資料的輸入轉態時間點，進而進行突發式的鎖定過程。

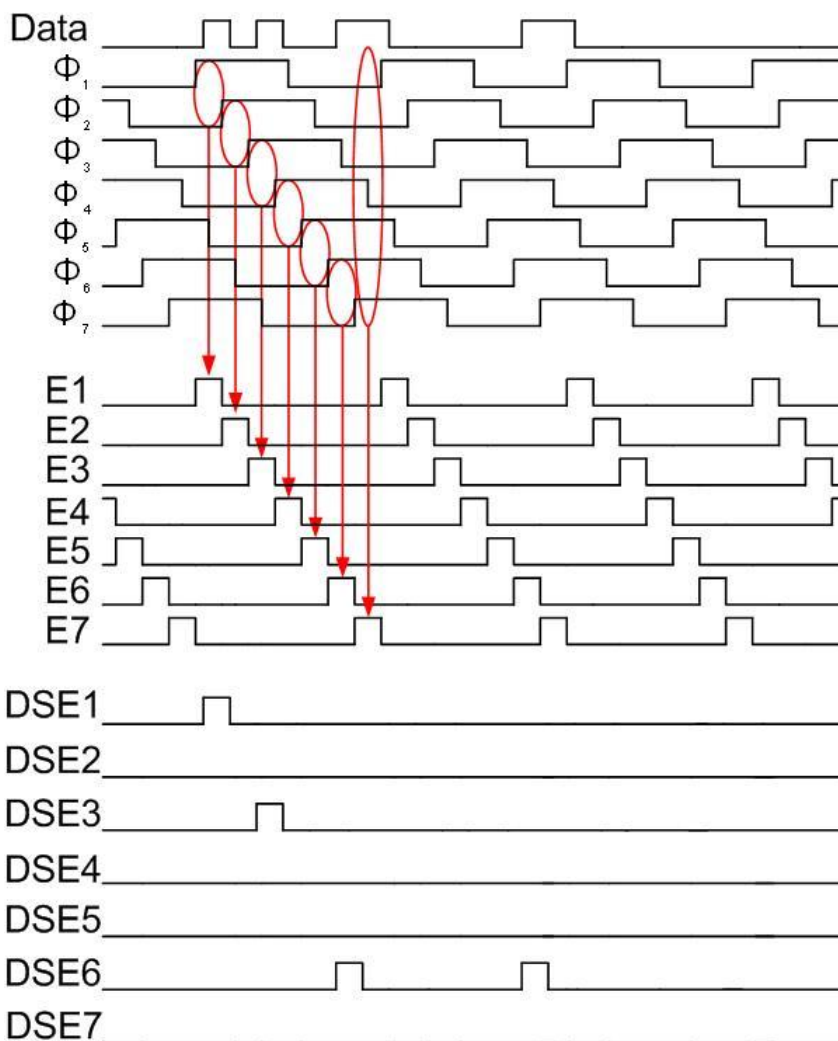


圖 22 操作時序圖

由圖 23、圖 24 所示為閘式壓控振盪器子電路的架構，如圖 23 所示為 TSPC-Type D 型正反器且第一級為 NAND 的邏輯判斷，我們利

用此電路來產生脈衝區間，用來偵測輸入資料的轉態點。由圖 21 可以得知此閘式壓控振盪器為環型振盪器的架構，每一級的延遲單元如圖 24 所示，由 Global Bias 複製到 Local Bias 給延遲單元所使用，藉由改變每一級的延遲時間而改變整個振盪器的振盪頻率，每一級的延遲單元有兩條路徑，一條路徑為了閘式壓控振盪器進行無外力的振盪路徑，就如同傳統的閘式振盪器的停止模式，當資料有轉態時會關閉無外力的振盪路徑而開啟另外一條重置路徑，進行資料、相位的重置校正功能以便達到快速鎖定的目的。

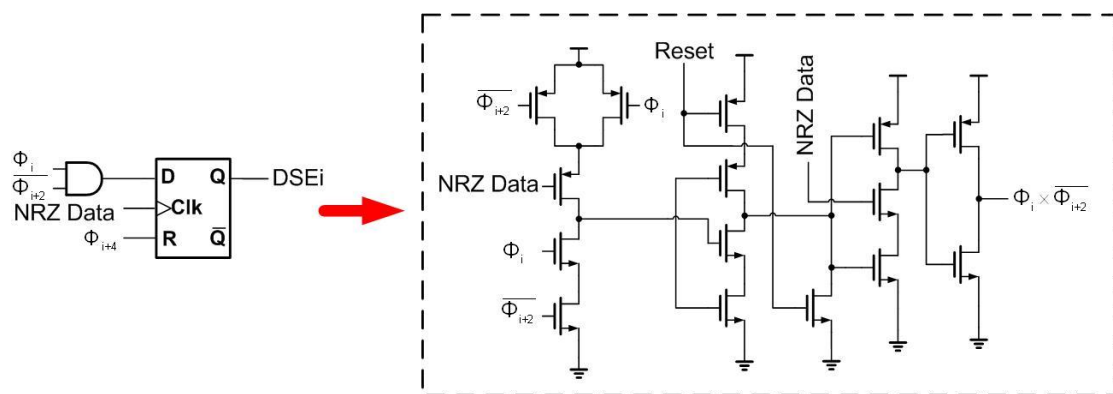


圖 23 閘式壓控振盪器控制電路

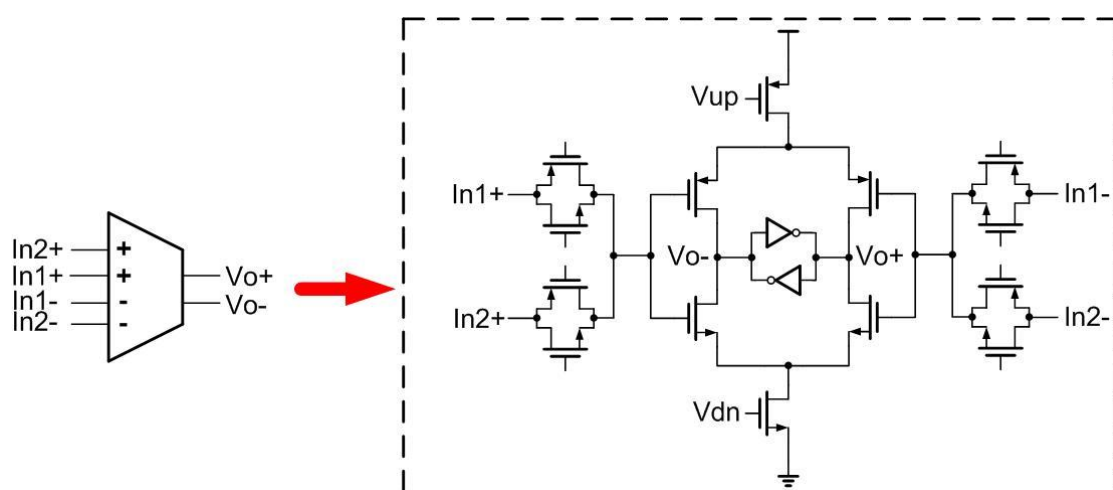


圖 24 閘式壓控振盪器延遲單元

### 3.4 並行同步輸出解多工電路

因為輸入序列資料和時脈相位校正之後，接收到的是並行的資料且是依序解工多出來的，所以我們利用七級環型振盪器本身就有的 14 個相位，取三組時脈訊號來把輸入序列資料轉成並列輸出，如圖 25 所示為並行同步輸出解多工電路，首先利用兩個相差一百八十度的相位進行依序解工多出來的資料的錯排，再由領先上述一百八十度的相位訊號去做最後同步的動作，電路圖由圖 25 所示，如圖 26 所示為同步輸出並行解多工資料電路時序圖，顯示為輸入序列的資料，依序解工多出來的資料，把依序解工多出來的資料做一百八十度錯排，再利用時脈相位做最後同步的動作以完成並行同步輸出的功能。

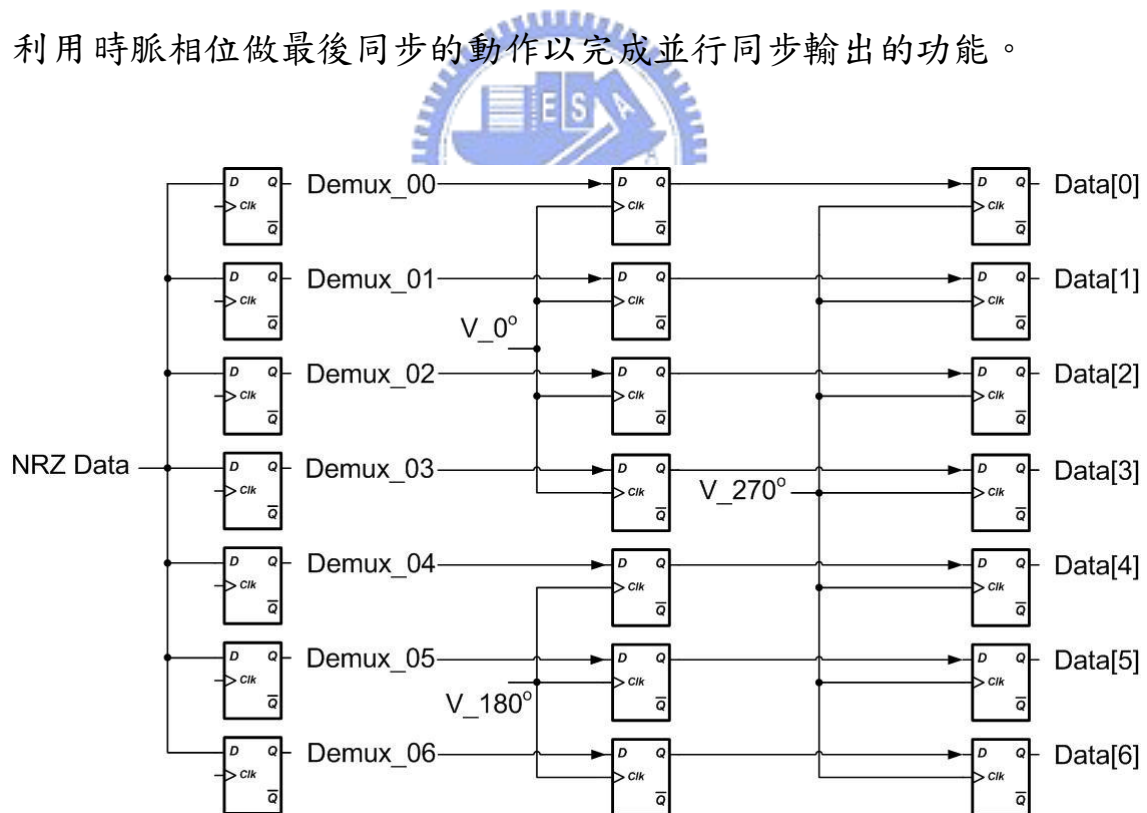


圖 25 並行同步輸出解多工電路

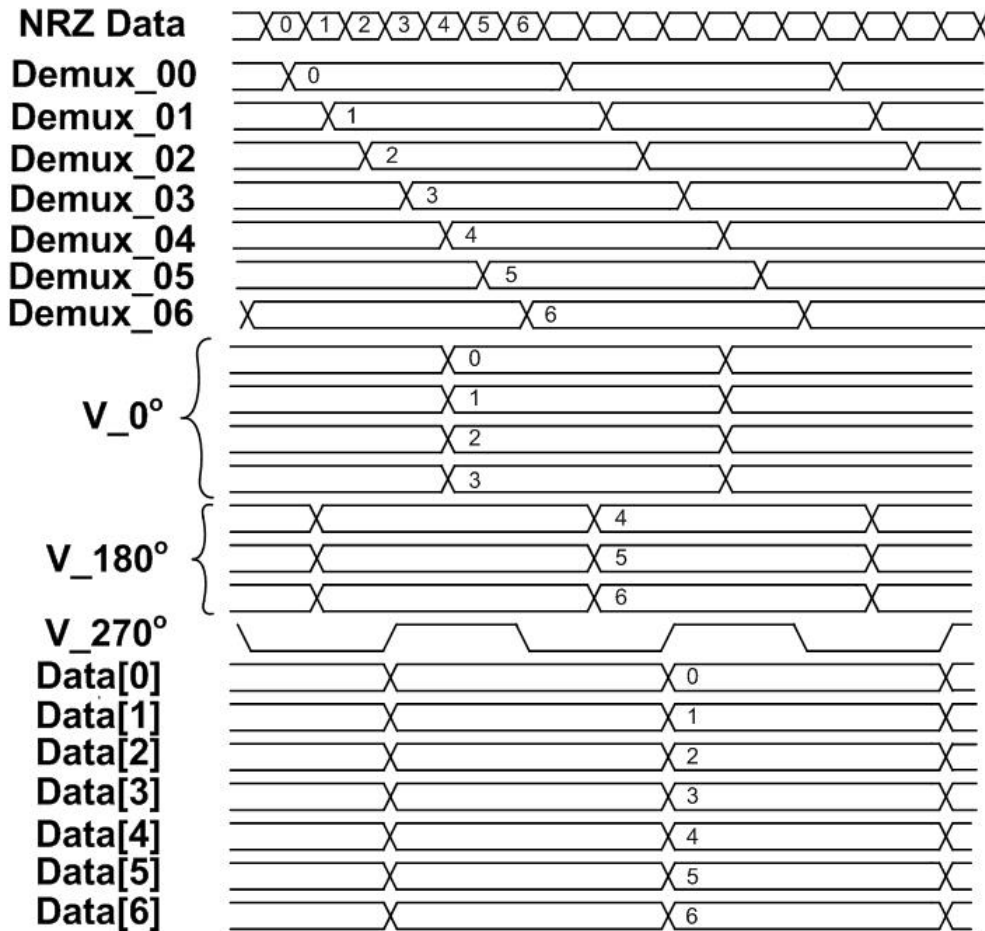


圖 26 同步輸出並行解多工資料電路時序圖

### 3.5 頻率檢知器之原理和設計

頻率偵測器架構如圖 27 所示，架構主要包含一個五位元計數器 (Counter)、鎖定偵測器 (Locking Detector) 和上、下數控制訊號產生器 (UP/DN Generator)，頻率偵測器的功能是比较從多模數除頻器回授的訊號和參考時脈訊號  $f_{REF}$  的頻率。

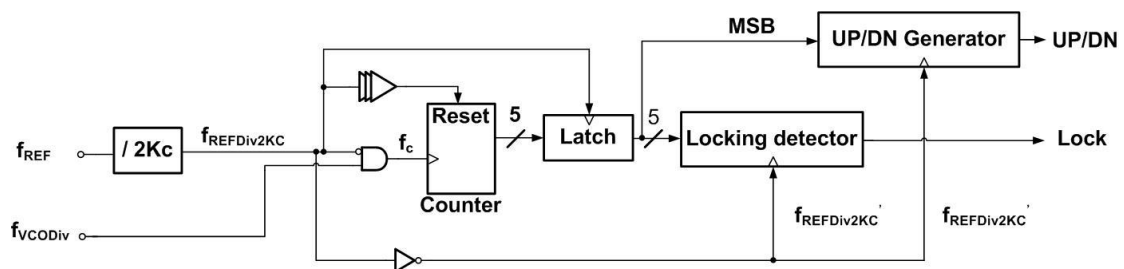




圖 27 頻率檢知器電路架構圖

首先將參考時脈訊號( $f_{REF}$ )經過一個除頻器除以  $2K_c$ ，然後利用多模數除頻器回授的訊號( $f_{VCO_{Div}}$ )對除  $2K_c$ 週期的參考時脈訊號負緣進行計數，如圖 28 所示，如果經過除頻的參考時脈訊號頻率和多模數除頻器回授的訊號頻率相差很接近時，計數器所累積的數位碼應該為  $K_c \pm 1$ ，計數器所累積的值會被儲存於下一級暫存器，在參考訊號除  $2K_c$ 的時脈訊號正緣會把計數器的值歸零為了下一次比較。

鎖定偵測器(Locking Detector)，以除  $2K_c=32$  而言，鎖定偵測器的功能為判斷五位元計數器最後輸出的值是否為 16，也就是所謂的是否為  $K_c$ 週期，架構如圖 29 所示，如果鎖定偵測器判斷為鎖定時則 Lock 輸出為高電位，會使下一級十六位元上、下數計數器停止計數，反之則會啟動下一級十六位元上、下數計數器進行上數或下數。

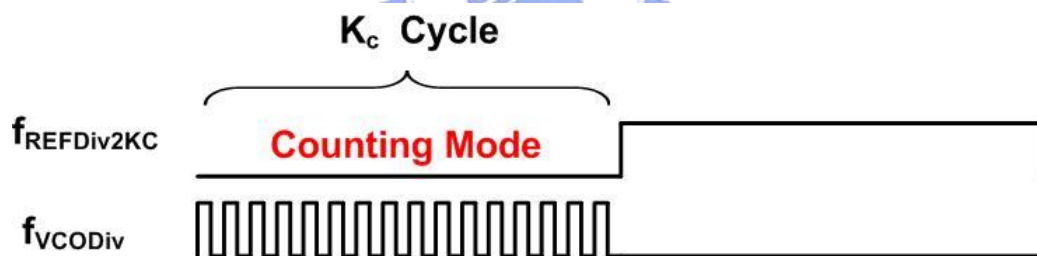


圖 28 計數模式

上、下數控制訊號產生器(UP/DN Generator)是對計數器所累積的值的最高位元進行判斷，當計數器所累積值的最高位元為零時則進行上數，反之則下數，鎖定偵測器和上、下數訊號產生器都在除  $2K_c$ 週期的參考時脈訊號負緣動作，此電路利用一條訊號的兩種位準去表示下一級十六位元計數器該上數或下數，架構如圖 30 所示。

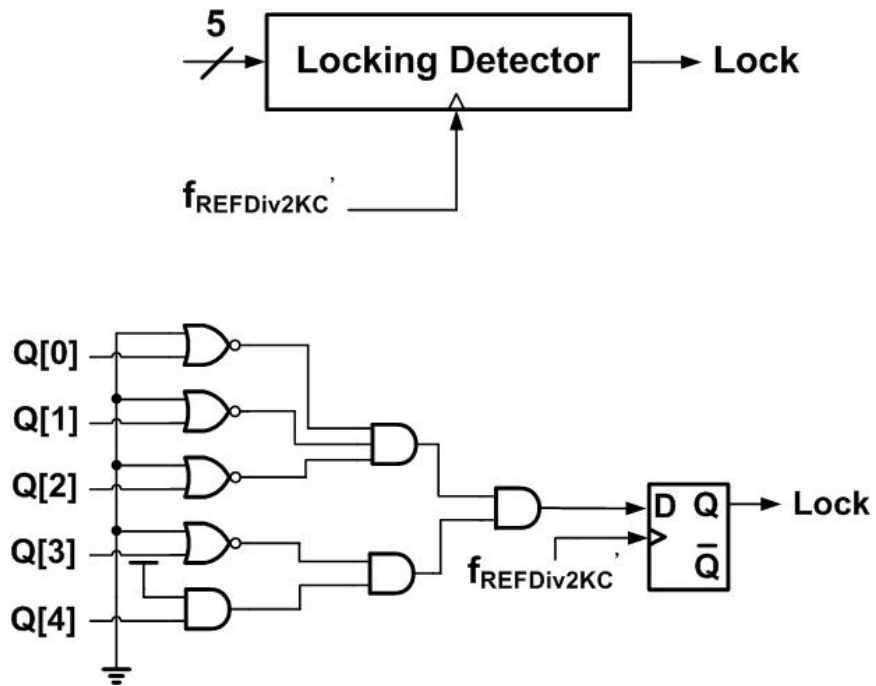


圖 29 鎖定偵測器

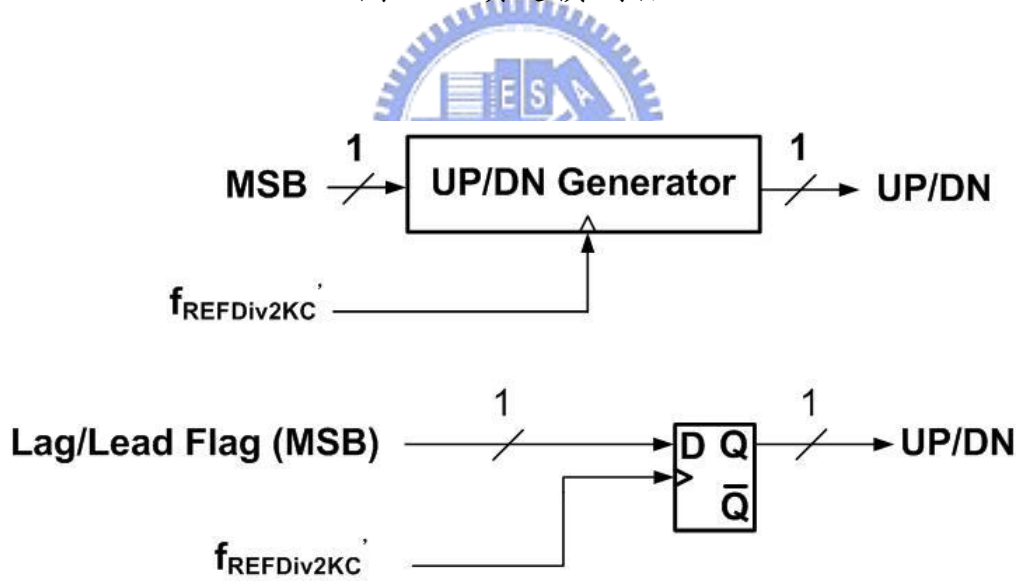


圖 30 上、下數控制訊號產生器

### 3.6 十六位元上、下數計數器

此計數器的功能為接收上一級頻率檢知器所判斷出來的訊號，頻率偵測器輸出兩種控制訊號 Lock 和 UP/DN，如果 Lock 訊號判斷為鎖定時不管 UP/DN 訊號為多少，十六位元上、下數計數器為儲存上一

個狀態的值不進行任何計數的動作；反之如果 Lock 訊號判斷為不鎖定，則依 UP/DN 控制訊號進行上數或下數，電路架構如圖 31 所示，此計數器的數位碼更新率為參考時脈訊號除以  $2Kc$  去更新頻率檢知器的比較結果。

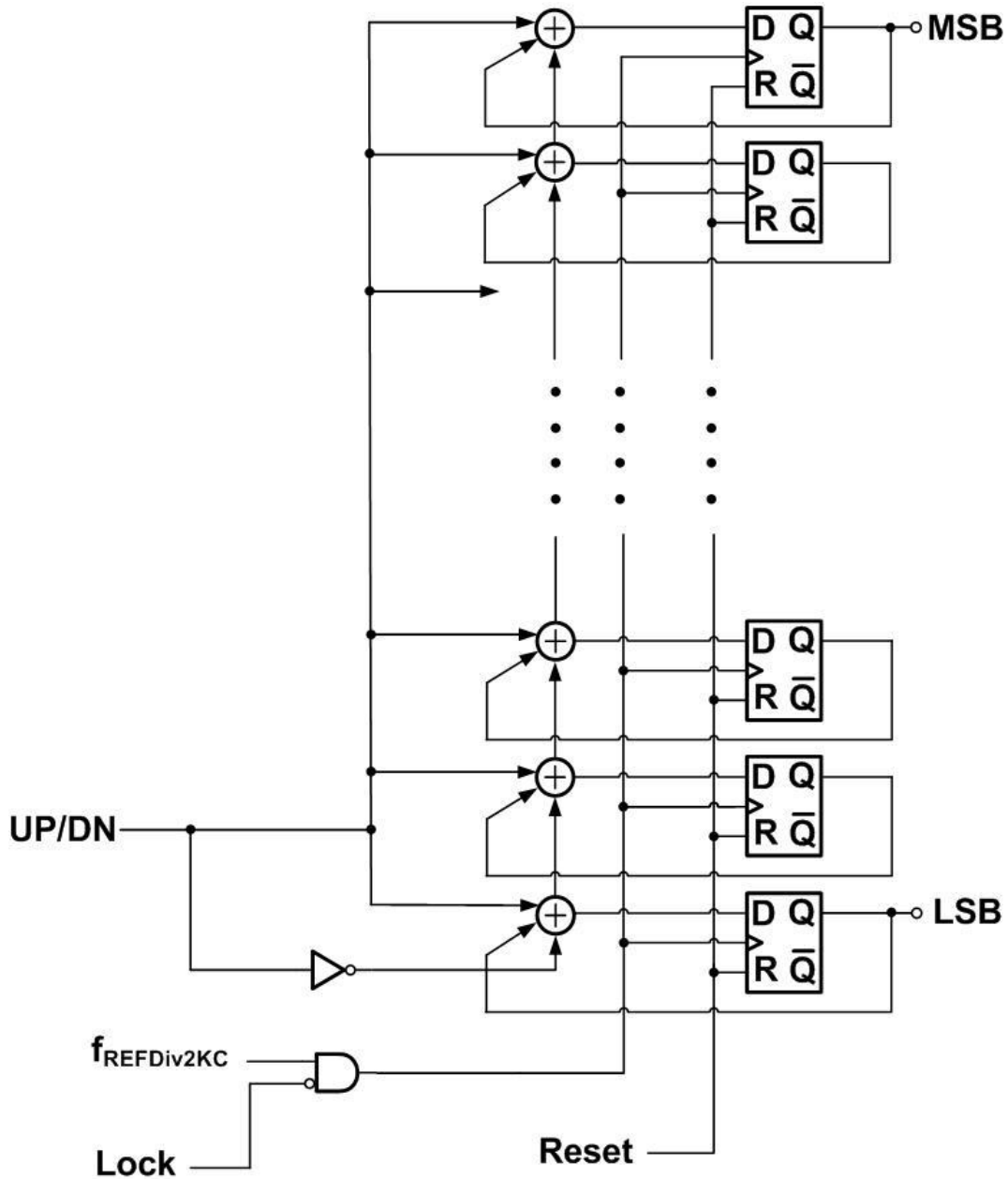


圖 31 十六位元上、下數計數器

### 3.7 電流式數位類比轉換器

此電路目的主要是把上一級十六位元上、下數計數器所累積的值轉換成類比電壓來控制閘式壓控振盪器的振盪頻率，此設計是設計十位元電流式數位類比轉換器再利用六位元和差調變器(Delta-Sigma Modulator)內插出小於最小有效位元的解析度，首先在設計電流式數位類比轉換器如果全部電流源為二位元加權(Binary Weighted)的話主要會遇到兩個主要的問題：第一點為在中間碼切換時(01111-11111 -> 10000-00000)會造成很大的電流跳動，再則從 01111-11111 碼切換到 10000-00000 碼，短暫的瞬間有可能十個開關會同時開啟，第二點因為電流源彼此會有誤差，不能保證中間碼切換時，最高位元電流會大於其它位元電流的總合，也就是不能保證單調遞增(Monotonic Increasing)，這些都會影響此電路的 DNL (Differential Nonlinearity)。

為了降低電流切換瞬間所造成的電流的跳動(Current Glitch)另一種編碼方式為溫度計編碼(Thermometer Code)，所有電流源的權重都一樣，這樣十位元就有  $2^{10}=1024$  個單位電流源，每次增加或減少一個數位碼只開啟或關閉一個單位電流源，有效降低電流的跳動(Current Glitch)對整體電路的影響也能保證一定會單調遞增(Monotonic Increasing)，但此電路還要有十位元的二位元加權碼到溫度計編碼的解碼器，因為這麼高位元的解碼器會使邏輯複雜度增加許多，所以溫度計編碼式數位類比轉換器所考量的是面積的因素。

綜合以上面積、特性上的考量，最常用的方式為把十位元切分為溫度計編碼部分和二位元加權碼部分，我所實現的十位元電流式數位

類比轉換器把高位元的八位元切成溫度計編碼方式；剩餘兩位元則用二位元加權的編碼方式，所以會需要一個八位元的二位元加權碼到溫度計編碼的解碼器，我所採用的方式為兩個四位元二位元加權碼到溫度計編碼的解碼器(Row & Column Decoder)把溫度計編碼的部分切成 $16 \times 16 = 256$ 個單位電流，再藉由(Local Decoder)逐一開啟或關閉這些單位電流，電路架構如圖 32 所示。

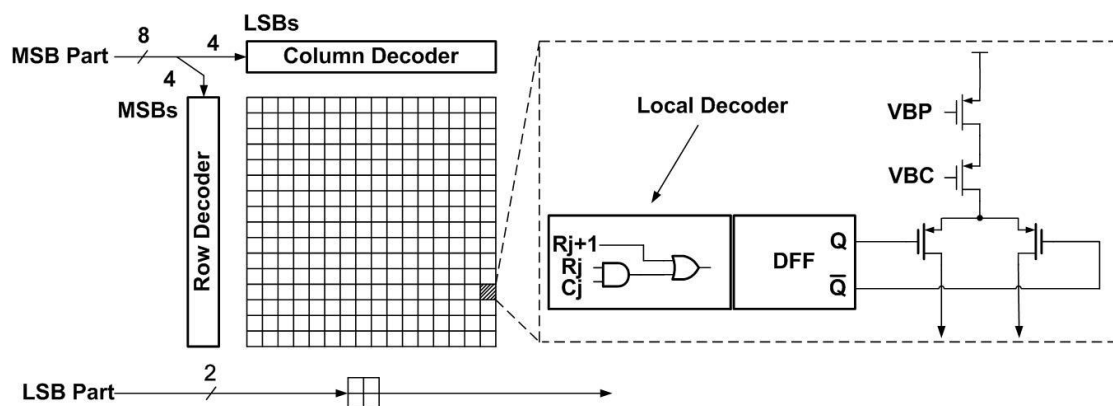


圖 32 電流式數位類比轉換器

首先電流式數位類比轉換器實際製程因為梯度效應會造成每顆單位電流源不匹配，所以初步利中央抽頭(Common-Centroid)佈局的方式去分成四個象限，先利用 Global Bias 複製參考電流給 Local Bias，再利用 Local Bias 把參考電流複製到每個象限，象限兩兩彼此沒有直接關係，如圖 33 所示。

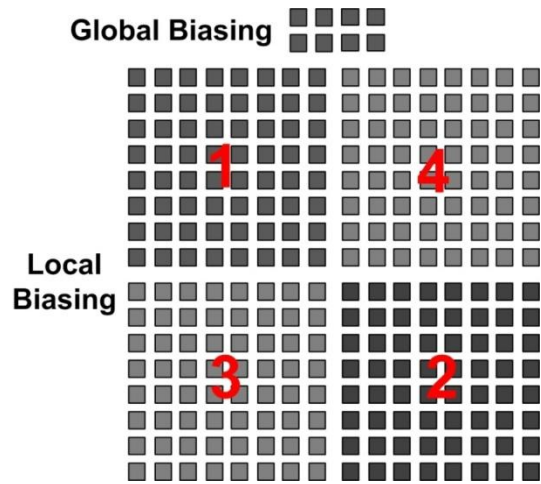


圖 33 佈局示意圖

雖然初步把整個  $16 \times 16 = 256$  個電流陣列分成四個象限，能有效增加 INL 和 DNL 的特性，但每個象限內因製程造成梯度的問題還是存在，所以再把每個象限內行跟列再做錯排，增加 INL 特性，最後在主動單位電流源外圍加兩層 Dummy Cell 為了讓邊緣主動的單位電流源看到的環境是一樣，避免 Boundary Effect 對電路特性造成影響，如圖 34 所示。

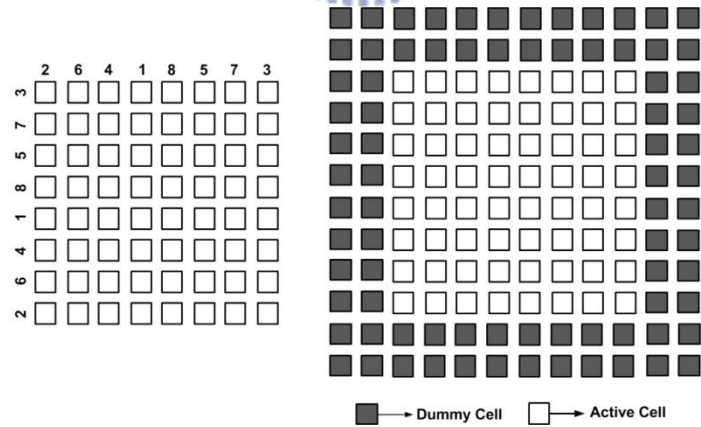


圖 34 象限錯排 & Dummy Cell

### 3.8 和差調變器

此電路目的為藉由和差調變器的快速切換，長時間觀察產生小於一個最小有效位元數的平均改變量，得到等效上小數的作用來增加解析度，架構上採用 MASH-II 的架構去實現，此架構完全可以用數位的方式去實現，電路為兩個累加器的串接，信號流程圖為圖 35 所示，

轉換函數為：

$$Y[z] = X[z] + (1-z^{-1})^2 \cdot E[z]$$

把信號流程圖對應到實體電路，如圖 36 所示，可看成兩個累加器串接，最後誤差量 SDMOut1~3 利用切換電流開關進行相加減的動作，再和電流式數位類比轉換器的電流進行加總進而改變閘式壓控振盪器的振盪頻率。

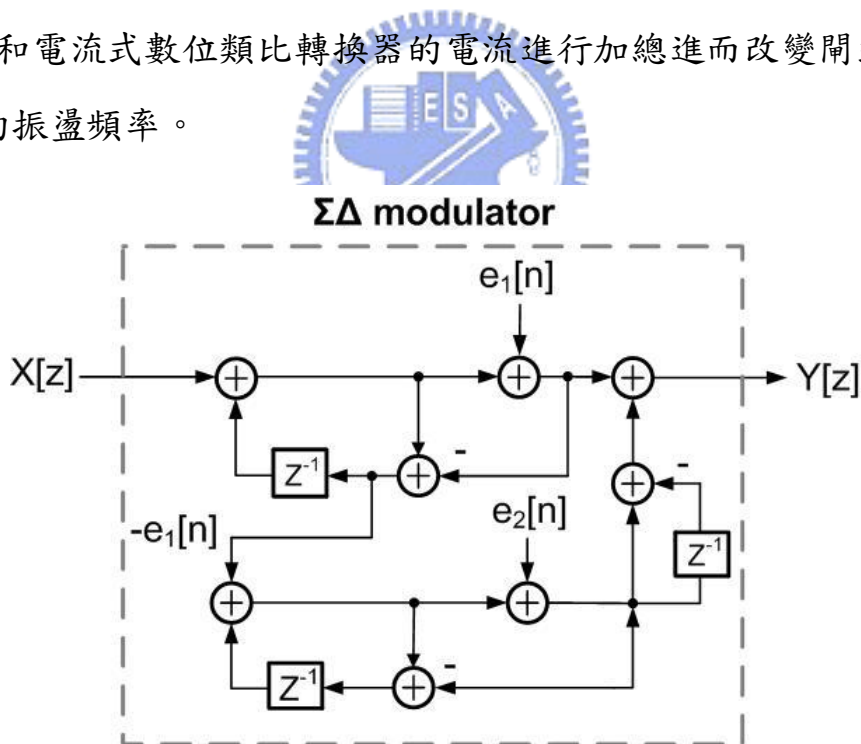


圖 35 二階 MASH 信號方塊圖

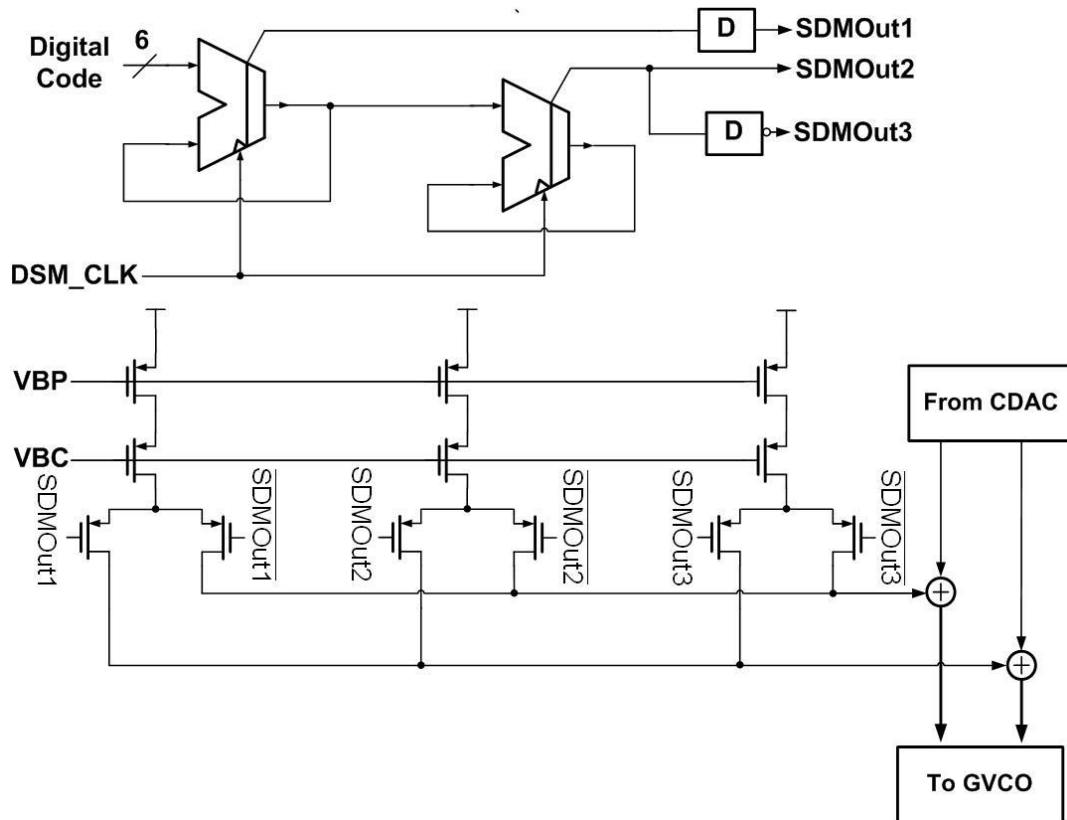


圖 36 二階 MASH 電路圖

### 3.9 多模數除頻器

為了使突發式時脈與資料回復電路操作在不同頻段，一個多模數除頻器是必需的，傳統的多模數除頻器主要是由雙模前置除頻器和可程式化的計數器所構成，如圖 37 所示 [30]，這種架構的設計在 [30][31]-[35] 已有廣泛的被探討，如圖 37 這種架構存在這一些非理想的特性，其一是缺少模組化，除了雙模前置除頻器之外還需要兩個額外的計數器去產生一個給定的除數比例，兩個可程式化的計數器接在雙模前置除頻器之後除了加重前級負載外，意指的是功率也消耗較大，晶片佈局上因為缺乏模組化概念也比較複雜。



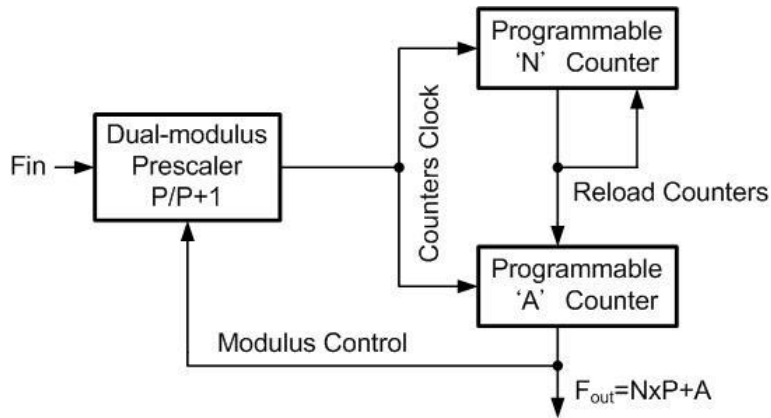


圖 37 雙模前置除頻器式多模數除頻器

所以接下來要介紹高可重複使用性、高彈性和符合模組化以縮短佈局時間的多模數除頻器架構，如圖 38 所示 [29]，由圖可以得知此架構是由除二除三單元串接而成，這個架構省去了舊有架構的較長時間的延遲迴路，它的回授路徑只有介於前後除二除三單元而已，且非常符合模組化的概念，構成單元都一致，也加快了佈局的時間。

操作原理如下，只要在除頻周期內最後一個除二除三單元產生  $mod_{n-1}$  的訊號，這個訊號往前面的除二除三單元傳遞，這個訊號做再同步每一個除二除三單元，只要  $mod$  位於高準位表示除二除三單元進行除三動作，此時可控制的輸入  $p$  被設定為高準位，所以把除二除三單元串接產生的輸出週期為：

$$T_{out} = 2^n \cdot T_{in} + 2^{n-1} \cdot T_{in} \cdot p_{n-1} + \dots + 2 \cdot T_{in} \cdot p_1 + T_{in} \cdot p_0$$

$$= (2^n + 2^{n-1} \cdot p_{n-1} + \dots + 2 \cdot p_1 + p_0) \cdot T_{in}$$

$T_{in}$  為輸入訊號  $F_{in}$  的周期， $p_0 \dots p_{n-1}$  是二進位可程式化的數值，所以由上式可以觀察出除數範圍為： $2^n \dots 2^{n+1} - 1$  可以被實現。

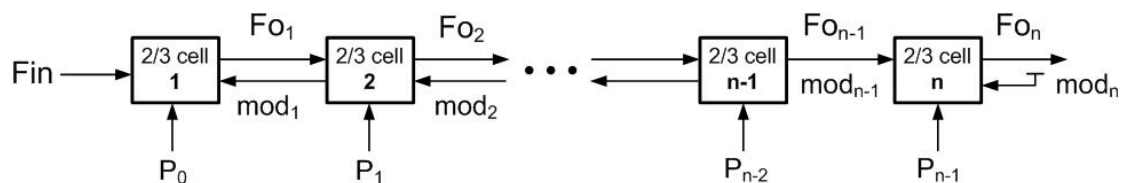


圖 38 多模數除頻器基本架構

由上述討論我們得知此除數範圍是受限的，我們對這基本的架構稍作修改，不過不失其模組化的概念，使最小除數範圍可以獨立控制，為了滿足我們除數設的需求  $2 \sim 63$ ，且六位元控制的多模數除頻器如圖 39 所示，基本上也是由除二除三單元串接而成除了額外增加或開去使最小除數範圍可以獨立控制，我所使用的架構如圖 39 所示，利用五級除二除三單元去實現一個除數範圍為： $2 \dots 2^6 - 1$ 的多模數除頻器。

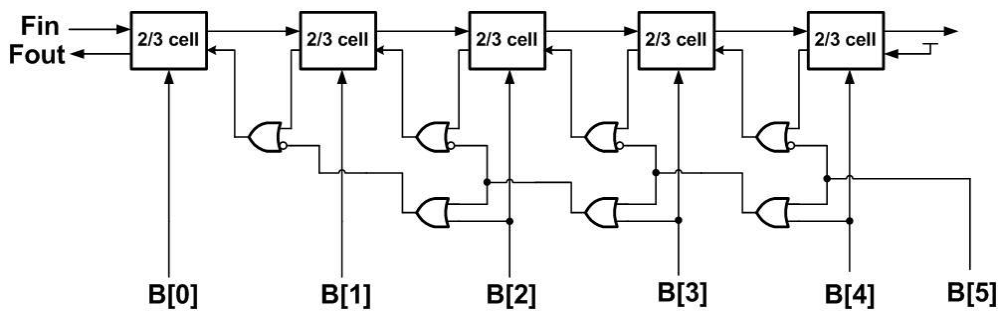


圖 39 寬除數範圍多模數除頻器

### 3.10 電路設計與模擬結果

#### 3.10.1 數位控制振盪器

在這章節將會簡介一下數位開式壓控振盪器的設計與實現，數位開式壓控振盪器簡易區塊圖如圖 40 所示，開式壓控振盪器接收到 16 位元的數位控制碼，高有效位元的八位元切分成溫度計編碼去粗調開式壓控振盪器，六位元經過長時間觀察產生小於一個最小有效位元數的平均改變量去增加數位控制振盪器的解析度。

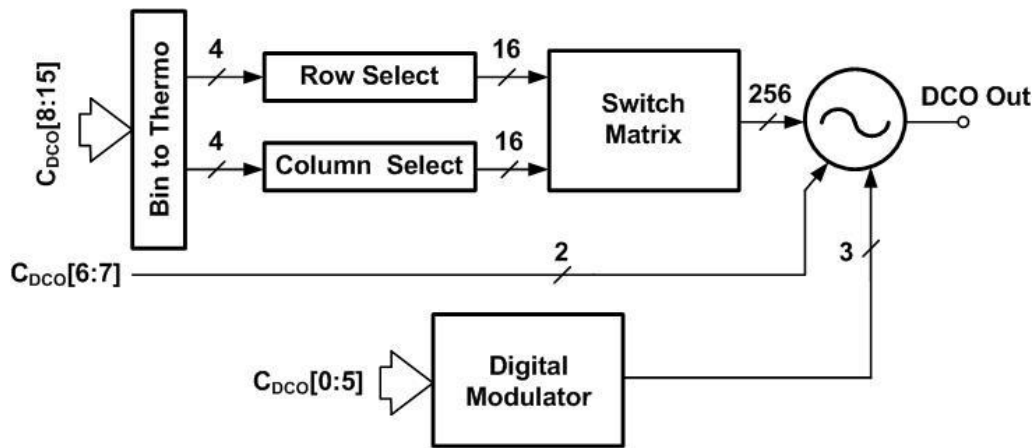
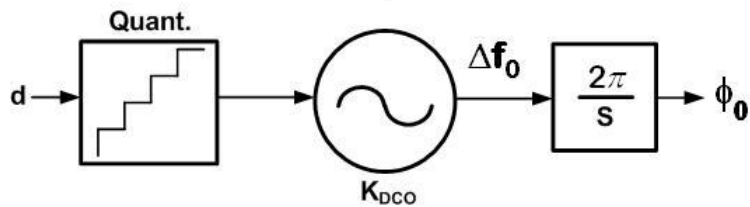
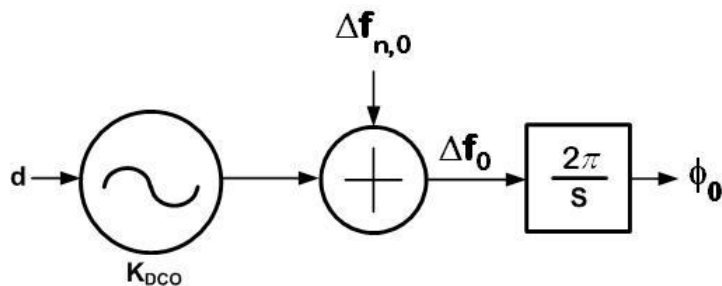


圖 40 數位開式壓控振盪器簡易區塊圖

接下來我們從有限數位控制碼的量化效果對振盪器輸出器相位雜訊的影響，如圖 41(a)所示為數位控制振盪器量化雜訊模型，有限的數位碼  $d$  量化成不同位準，因為有限的控制數位碼造成有限的頻率解析度  $\Delta f_{res}$ ，事實上所得到的頻率跟理想值的誤差為  $\pm \Delta f_{res}/2$ ，這個頻率的誤差透過  $2 \cdot \pi/s$  的積分轉換成相位資訊， $2 \cdot \pi$  的倍數是把單位從赫茲轉換成角頻率(rad/s)。



(a)



(b)

圖 41 數位控制振盪器量化雜訊模型

因為有限的控制碼被量化成不同位準，所以數位控制振盪器的頻率量化誤差可以等效成圖 41(b)的模型，一個白雜訊特性的隨機變數被引入 $\Delta f_{n,0}$ ，它的變異量可表示為：

$$\sigma_{\Delta f_0}^2 = \frac{(\Delta f_{\text{res}})^2}{12}$$

全部的相位雜訊功率均勻的分佈從 DC 到 Nyquist 頻率，也就是參考訊號 $f_R$ 頻率的一半，所以單邊頻譜密度可表示成：

$$\frac{1}{2} \cdot S_{\Delta f} = \frac{\sigma_{\Delta f_0}^2}{f_R}$$

從頻率偏差的量化誤差 $\Delta f_{n,0}$ 到輸出相位乘以 $2 \cdot \pi / S$ ，所以輸出的功率頻譜密度可表示成：

$$\mathcal{L}\{\Delta w\} = \frac{(\Delta f_{\text{res}})^2}{12 \cdot f_R} \cdot \left(\frac{2\pi}{\Delta w}\right)^2$$

也可以改寫成：

$$\mathcal{L}\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{\Delta f}\right)^2 \cdot \frac{1}{f_R}$$

上述的推導，是假設脈衝取樣的前提下，但真正電路的實現是以取樣且維持的方式操作，所以需要再乘以 sinc 函數表示成：

$$\mathcal{L}\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{\Delta f}\right)^2 \cdot \frac{1}{f_R} \cdot \left(\text{sinc} \frac{\Delta f}{f_R}\right)^2$$

從上式我們可以看出 20dB/dec 衰減的特性，我們設計的目標為使數位控制振盪器量化雜訊影響小於振盪器本身的雜訊。

為了降低量化雜訊造成的影響使用了 dithering 的方法 [36]把量化雜訊推至高頻的區域，利用增加數位碼 $W_F$ 使得頻譜如下式所示：

$$\Delta f_{\text{res}} = \Delta f^T / 2^{W_F}$$

$$S_{\Delta f}(\Delta f) = \frac{(\Delta f_{\text{res}})^2}{12} \cdot \frac{1}{f_{\text{dth}}} \cdot \left(2 \sin \frac{\Delta f}{f_{\text{dth}}}\right)^{2n}$$

因為  $S_{\phi}(\Delta f) = S_f(\Delta f) / \Delta f^2$ ，所以相位雜訊頻譜可以表示成：

$$\mathcal{L}\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{\Delta f}\right)^2 \cdot \frac{1}{f_{\text{dth}}} \cdot \left(2 \cdot \sin \frac{\pi \cdot \Delta f}{f_{\text{dth}}}\right)^{2n}$$

整個過程包含了兩個對雜訊貢獻的成分：

$$\mathcal{L}\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{\Delta f}\right)^2 \cdot \frac{1}{f_{\text{R}}} \cdot \left(\text{sinc} \frac{\Delta f}{f_{\text{R}}}\right)^2$$

$$\mathcal{L}\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f_{\text{res}}}{\Delta f}\right)^2 \cdot \frac{1}{f_{\text{dth}}} \cdot \left(2 \cdot \sin \frac{\pi \cdot \Delta f}{f_{\text{dth}}}\right)^{2n}$$

壓控振盪器的相位雜訊模擬結果如圖 42 所示，約 -90.55dBc/Hz

在相位誤差 1MHz 附近，相位暫態圖如圖 43 所示。

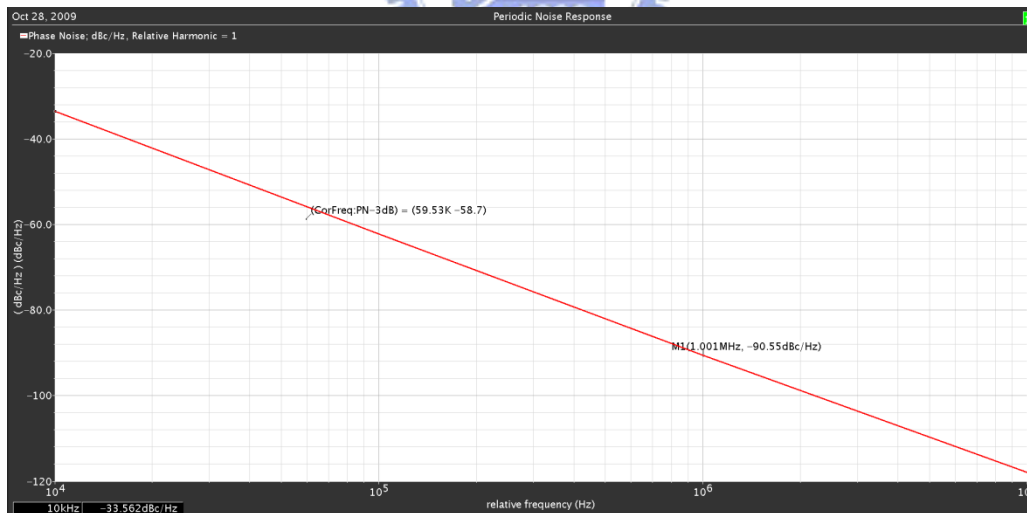


圖 42 壓控振盪器的相位雜訊模擬結果

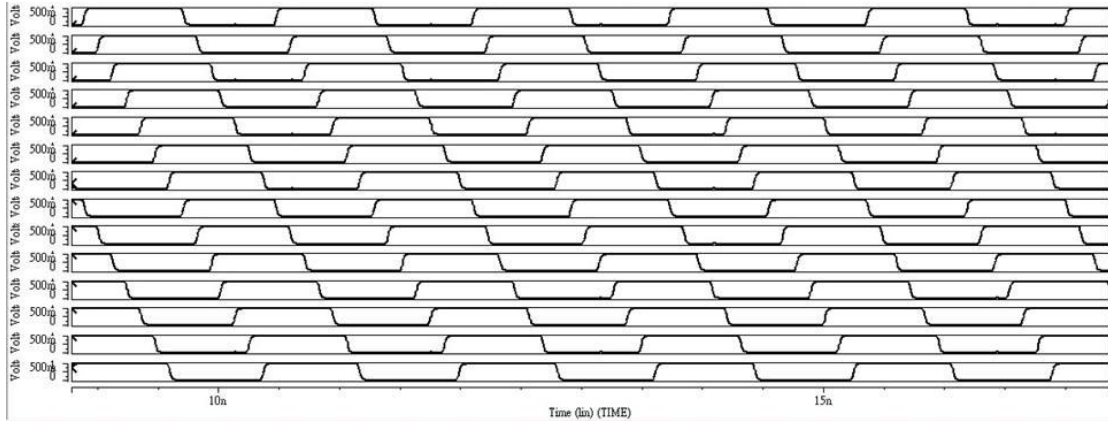


圖 43 十四相位輸出暫態圖

由模擬結果可以得知粗調最小位元可改變頻率量為 1.35MHz，選取和差調變器的輸入為六個位元， $\Delta f_{res}$  為 22kHz，由可知數位控制振盪器的本身雜訊和量化雜訊的關係圖如圖 44 所示，dithering 效應的相位雜訊如圖 45 所示，可以觀察出  $f_{dth}$  頻率越快相對的相位雜訊的表現就越好。

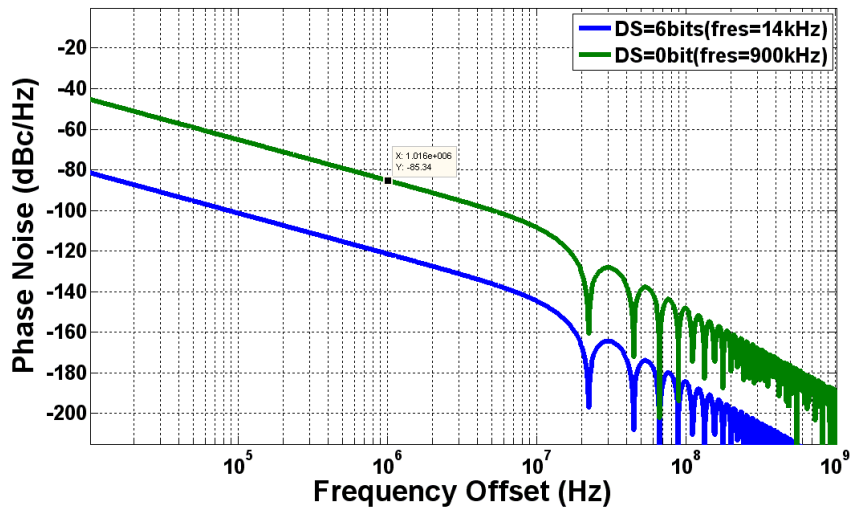


圖 44 量化雜訊的相位雜訊

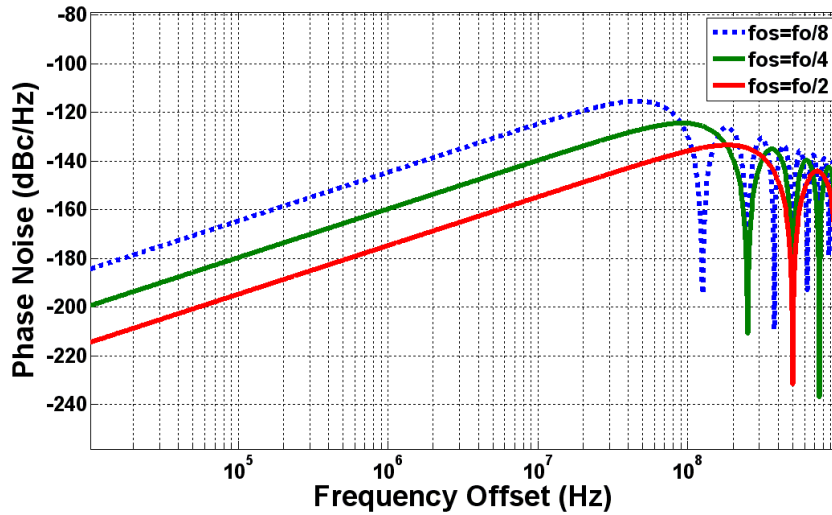


圖 45 Dithering 效應的相位雜訊

整個過程包含了兩個對雜訊貢獻的成分，有限數位碼造成的量化誤差和 Dithering 效應造成的影響，最後把兩個效應加總起來，如圖 46 所示，最後結果有達到預設的目標，為使數位控制振盪器量化雜訊影響小於振盪器本身的雜訊。

由模擬結果在不同的 corner 下的數位控制振盪器，頻率對數位碼的轉移曲線如圖 47 所示。

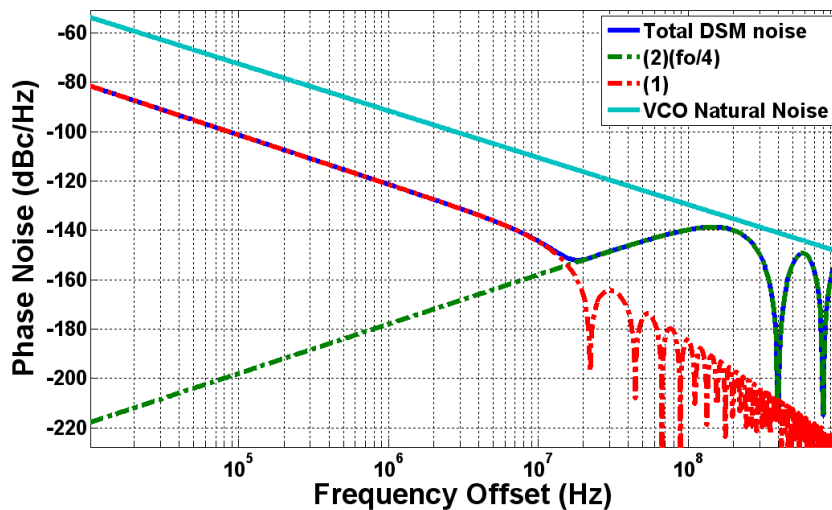


圖 46 量化誤差&Dithering 效應對相位雜訊的影響

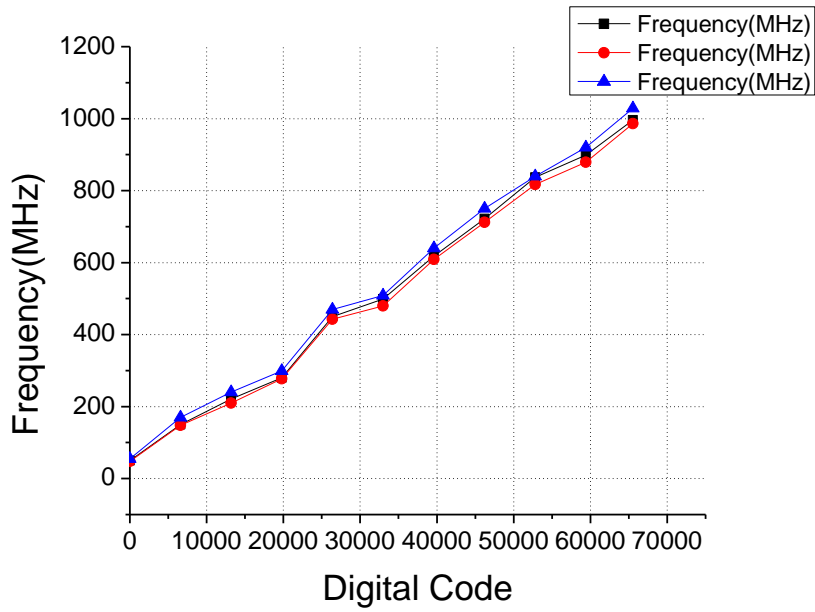


圖 47 頻率對數位碼的轉移曲線

### 3.10.2 數位校正鎖頻迴路

首先數位校正鎖頻迴路的示意圖如圖 48 所示，輸入的參考時脈訊號  $f_{REF}$  為 22.22MHz，先把開式壓控振盪器設定到我們想要的頻率。模擬結果如圖 49 所示。

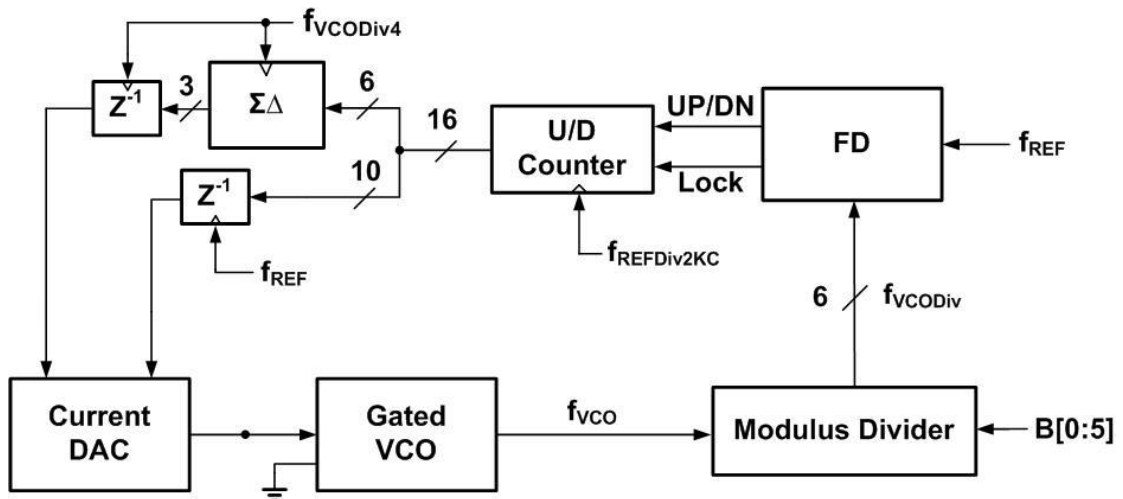


圖 48 數位校正鎖頻迴路示意圖



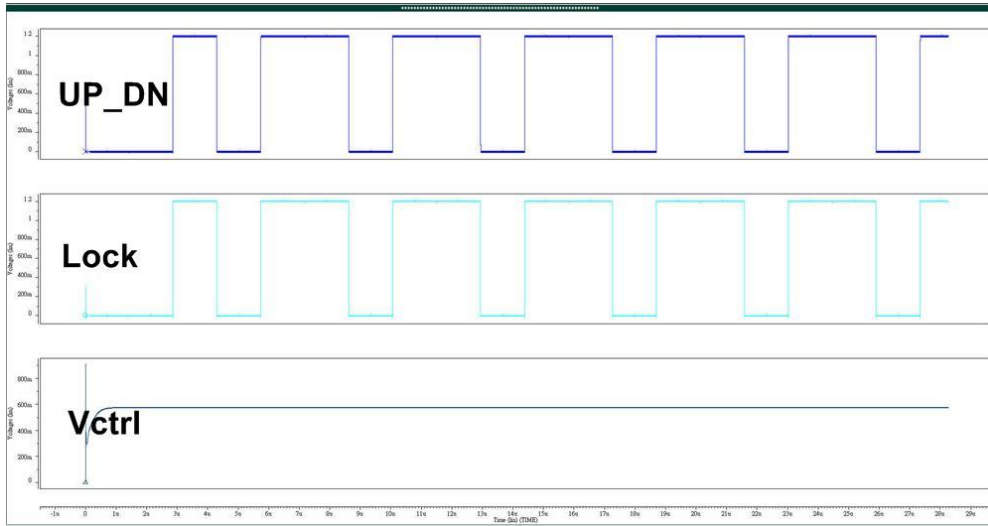


圖 49 數位校正鎖頻迴路模擬結果

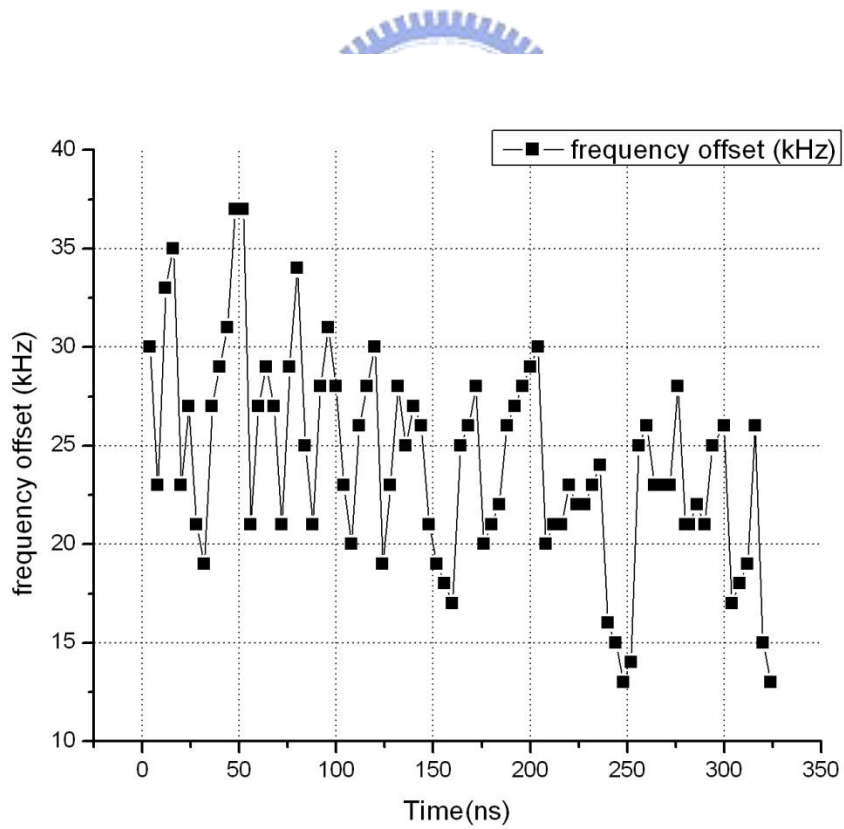


圖 50 頻率誤差對時間關係圖

### 3.10.3 閘式壓控振盪器突發式時脈與資料回復電路

模擬為閘式壓控振盪器突發式時脈與資料回復電路的快速資料回復模式下的暫態模擬，當沒有資料送進來時閘式壓控振盪器會被頻率校正迴路鎖在目標的頻率上，當輸入序列資料接收進來時，因為輸入資料速率和時脈頻率是操作 1/7 速率，由所提出架構先萃取出輸入序列資料轉態的時間點，再產生閘式脈衝序列做到相位快速重置的效果而且在閘式振盪器振盪頻率跟輸入序列資料頻率相差七倍下卻不會影響振盪器振盪的波形，重置後相位就鎖在序列資料的最佳取樣點上如圖 51 所示。

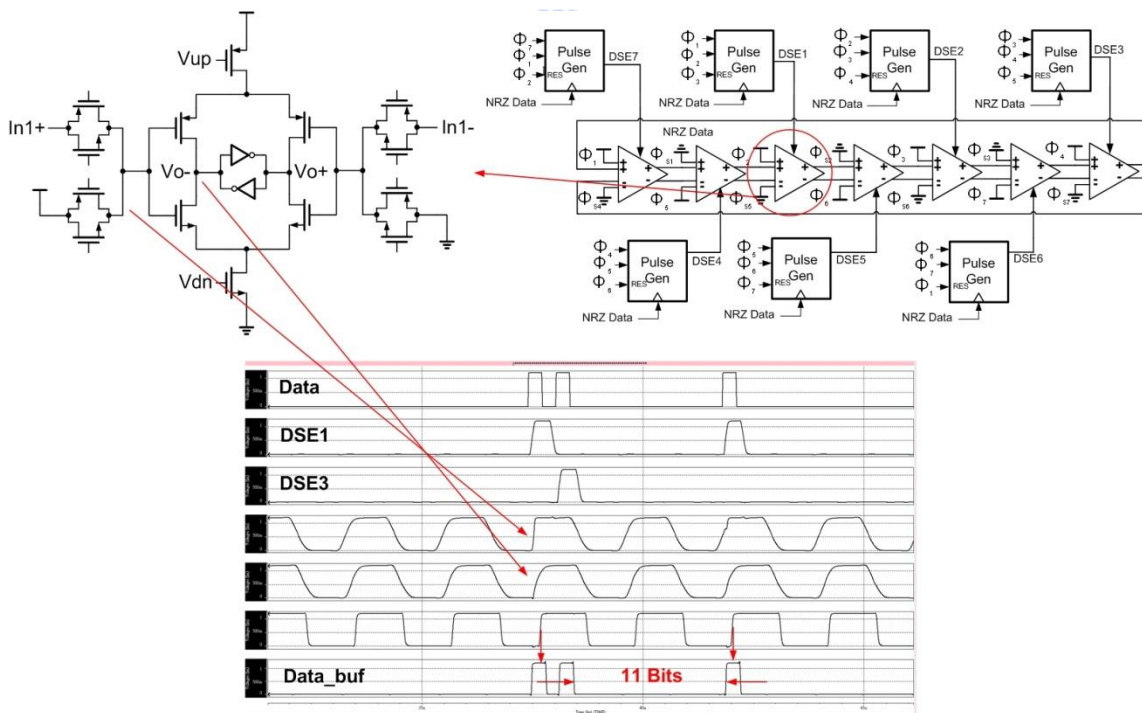


圖 51 突發式系統快速相位的校正模擬圖

從文章第一章開始，說明到突發式時脈與資料回復電路的規格首重鎖定時間，因為要接收突發式的序列資料，如所示為模擬序列輸入的資料經過此電路輸出並行的平行資料，因為將解多工的資料經過錯

排和從新取樣，但鎖定時間還是小於十個位元時間。

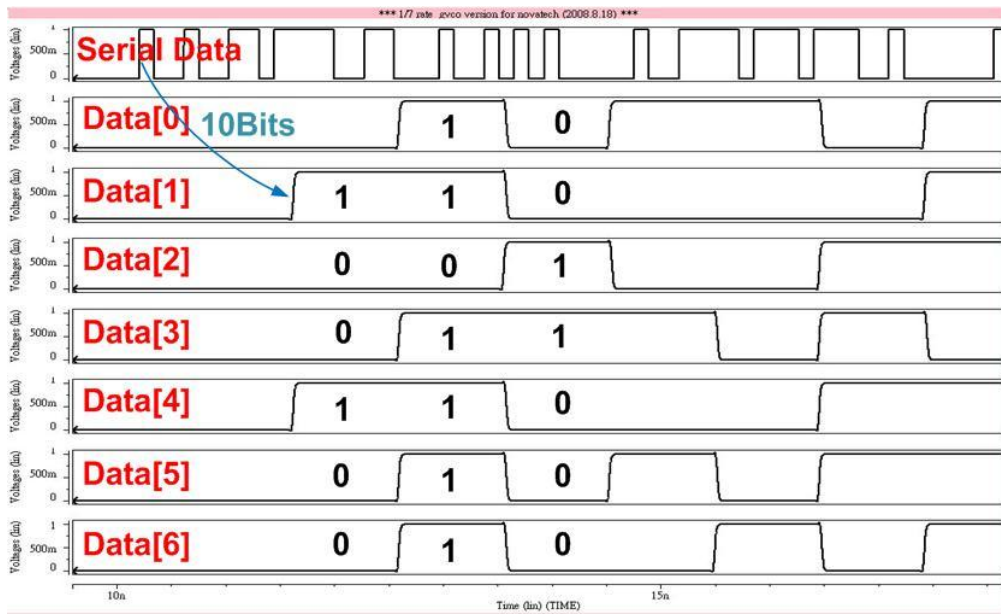


圖 52 鎖定時間模擬圖

接下來模擬驗證以輸入序列資料為 PRBS :  $2^7-1$  在不同頻段上抖動量的表現，如圖 53 所示，不同頻段的抖動量表現如表格 9 所示，圖 54 所示的是此電路操作在不同頻段的功率消耗圖。

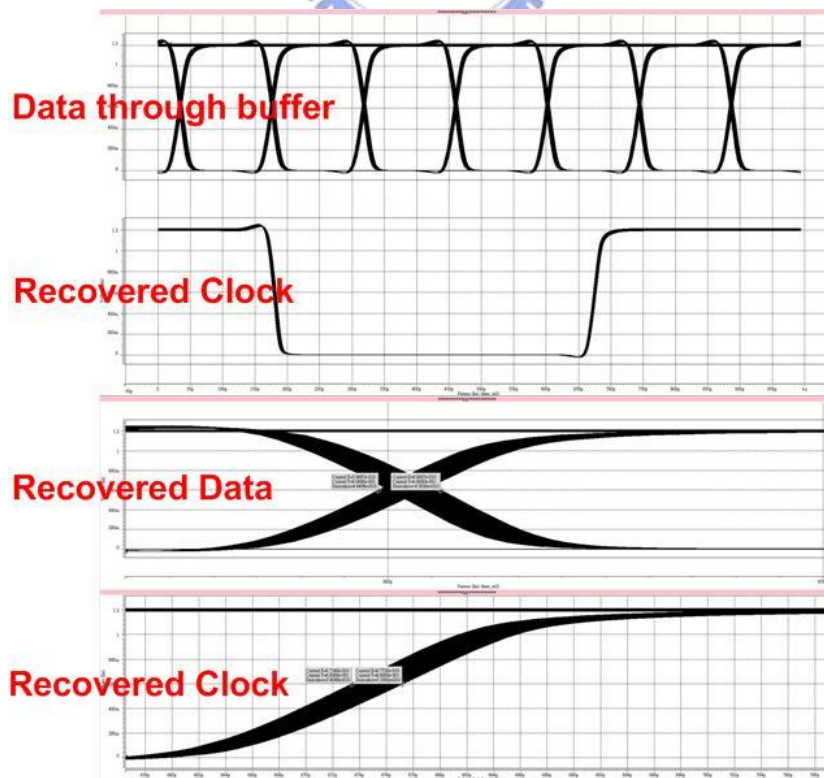


圖 53 序列資料為 7Gbps 的抖動量表現

Data rate	622Mbps	1244Mbps	2488Mbps	4977Mbps	7Gbps
Clock freq.	88MHz	177MHz	355MHz	711MHz	1Gbps
Recovered data(pk-pk)	0.08UI	0.08UI	0.09UI	0.12UI	0.15UI
Recovered clock(pk-pk)	0.05UI	0.06UI	0.06UI	0.09UI	0.1UI

表格 9 不同頻段的抖動量表現

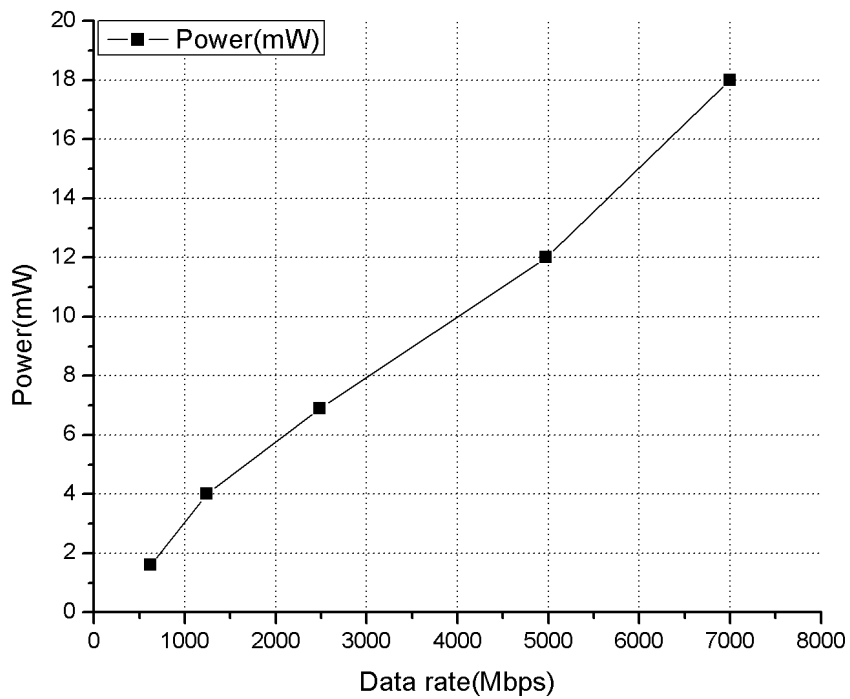


圖 54 不同頻段的功率消耗圖

### 3.10.4 開式數位控制振盪器頻率容忍度分析

此小節我們將會分析探討位於 3.10.1 分析的數位控制開式振盪器解析度是否足夠，當輸入資料沒有經過抖動調變和經過抖動調變的輸入序列資料。假設資料被取樣點落於資料的轉態間表示取樣錯誤將會發生，對於  $2^N-1$  PRBS 序列資料的轉態時間定義為  $K \cdot T_b$  ( $0 < K < 1$ )， $T_b$  為位元時間。

我們假設數位控制開式振盪器在資料轉態時可以自我校正相位以獲得最佳取樣點，如圖 55 所示， $T_{ck}$  稍微比七筆資料的位元時間長，當連續的高準位或是低準位(CID)持續很久的時間時，取樣點將會偏移理想的取樣點，也就是資料的中點，也將會造成錯誤的取樣。

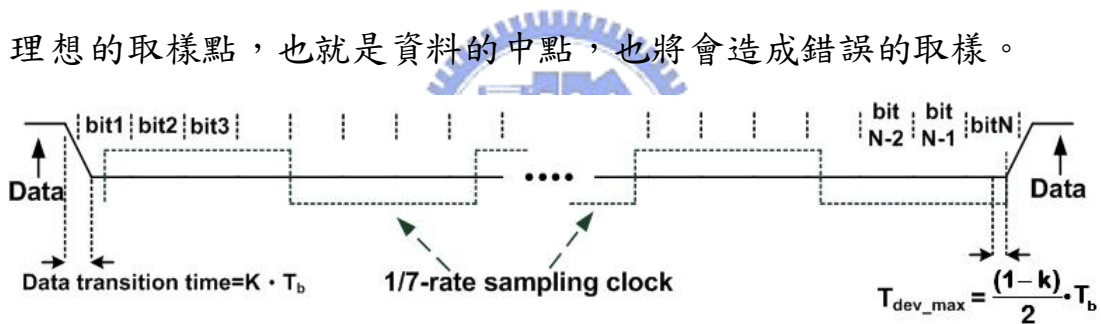


圖 55 分析頻率偏移的容忍度

我們用  $T_{dev\_bit}$  代表每一位元時間的偏移的取樣時間：

$$T_{dev\_bit} = \frac{T_{ck}}{7} - T_b$$

此外在連續的高準位或是低準位(CID)結束時，可允許的最大取樣偏移時間可表示成  $T_{dev\_max}$ ，

$$T_{dev\_max} = \frac{(1-K)}{2} \cdot T_b$$

對於  $2^N-1$  PRBS 序列資料而言有  $N$  筆連續的資料，假設此資料完全沒有抖動的頻率成分存在，在連續的高準位或是低準位(CID)下，累積的取樣時間偏移量為  $T_{dev\_accum}$ ，應該滿足下式：

$$T_{\text{dev\_accum}} = (N - 1) \cdot T_{\text{dev\_bit}} < T_{\text{dev\_max}}$$

把下面兩式帶入上式

$$T_{\text{dev\_bit}} = \frac{T_{\text{ck}}}{7} - T_b$$

$$T_{\text{dev\_max}} = \frac{(1 - K)}{2} \cdot T_b$$

可以得到閘式數位控制振盪器的週期  $T_{\text{ck}}$  的上限

$$T_{\text{ck}} \leq 7 \cdot T_b + \frac{7}{2} \cdot \frac{(1 - K) \cdot T_b}{N - 1}$$

相反的假設  $T_{\text{ck}}$  稍微比七筆資料的位元時間短，可以根據上述的推導得出  $T_{\text{ck}}$  的下限，綜合這兩式我們可以得知數位控制閘式振盪器週期  $T_{\text{ck}}$  的限制如下：

$$7 \cdot T_b - \frac{7}{2} \cdot \frac{(1 - K) \cdot T_b}{N - 1} \leq T_{\text{ck}} \leq 7 \cdot T_b + \frac{7}{2} \cdot \frac{(1 - K) \cdot T_b}{N - 1}$$

上述的分析是假設資料為理想的情況下，也許太過理想；事實上資料有著不同頻率的抖動量將會降低可允許的最大取樣偏移時間  $T_{\text{dev\_max}}$ ，雖然被動光纖網路對抖動的容忍度未被規範，但 OC-192 抖動容忍度的規格可以讓我們設計有個參考，抖動容忍度的規格是以抖動量 (UIpp) 來定，也就是一個系統可以容忍的調變抖動頻率，我們把連續的高準位或是低準位 (CID) 的相位起始跟終點表示為  $\Phi_{\text{start}}$  和  $\Phi_{\text{stop}}$  因為資料的轉態發生在離散時間，可以被表示為：

$$\Phi_{\text{start}} = A_m \cos w(mT_b)$$

$$\Phi_{\text{stop}} = A_m \cos w(m - N)T_b$$

$A_m$  代表的是抖動調變的振幅，單位為 UI； $w$  為輸入序列資料抖動調變的頻率，單位為 (rad/s)； $m$  為時間的索引，可允許的最大取樣偏移時間重新定義成：

$$T_{dev\_max} = \frac{(1-K)}{2} \cdot T_b - |A_m \cos w(mT_b) - A_m \cos w(m-N)T_b| \cdot T_b$$

$$T_{dev\_max} = \frac{(1-K)}{2} \cdot T_b - 2 \cdot A_m \cdot \sin \left[ w \frac{(2m-N)}{2} T_b \right] \cdot \sin \left[ w \frac{N}{2} T_b \right] \cdot T_b$$

假設最差的情況下  $w \frac{N}{2} T_b \ll 1$ ，上式可以被簡化為：

$$T_{dev\_max} = \left[ \frac{(1-K)}{2} - (A_m w T_b N) \right] \cdot T_b$$

從上式可以觀察出來，當抖動的振幅和頻率上升時取樣的邊限會降低，經由上述的推導，數位控制閘式振盪器週期  $T_{ck}$  的限制可改寫為：

$$7T_b - \frac{7}{2(N-1)} [(1-K) - 2A_m w T_b N] T_b \leq T_{ck}$$

$$\leq 7T_b + \frac{7}{2(N-1)} [(1-K) - 2A_m w T_b N] T_b$$

對於 OC-192 抖動容忍度的遮罩規格，最差的情況發生在當  $A_m=0.075UI$  則  $w = 2\pi \cdot 80\text{MHz}$  時，因此最大的可容忍的頻率偏移對不同長度的 PRBS 可從上式對  $T_{ck}$  的限制求出，如圖 56-圖 58 所示：為輸入資料不同的轉態時間對不同長度的 PRBS 的圖，由 3.10 可知本設計頻率解析度小於 1MHz 所以可容忍連續的高準位或是低準位 CID 大於 31 位元。

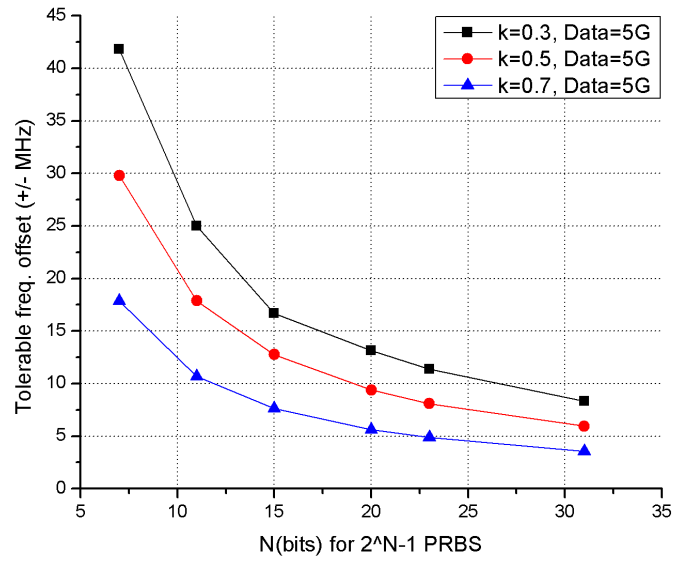


圖 56 頻率容忍度的偏移量@5Gbps

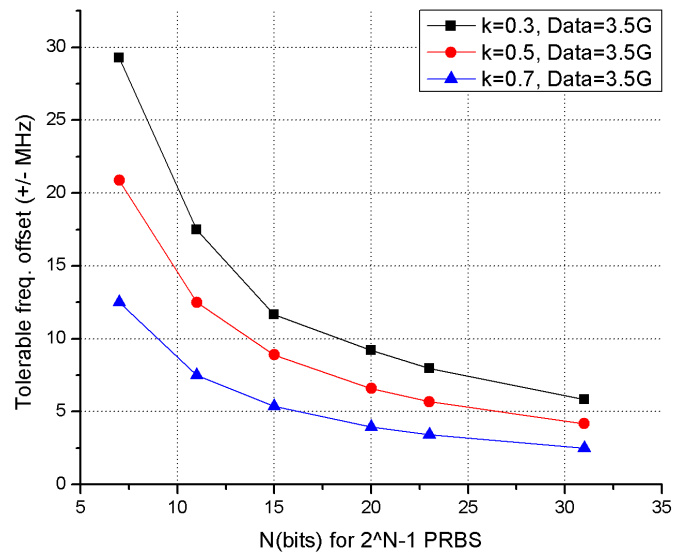


圖 57 頻率容忍度的偏移量@3.5Gbps



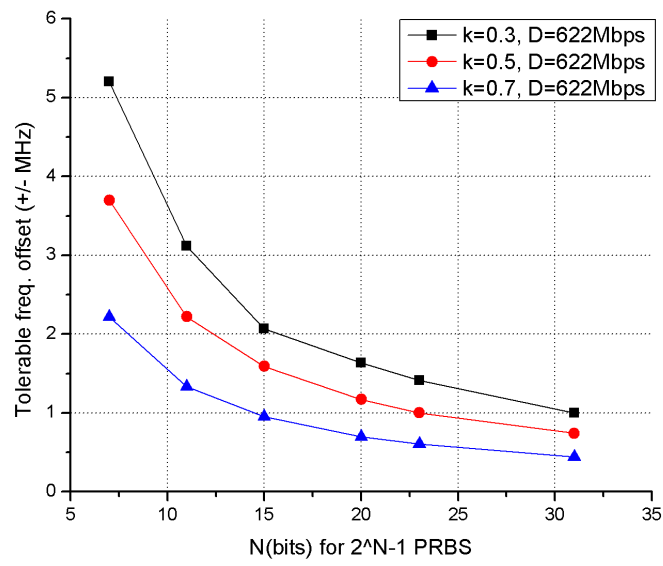


圖 58 頻率容忍度的偏移量@622Mbps



## 第四章 佈局與量測結果

### 4.1 晶片佈局(Chip Layout)

如圖 59 所示為晶片照相圖，此晶片採用 TSMC 90nm CMOS 製程實現，包括 Bounding Pads 和 I/O 的面積約為  $1.32\text{mm}^2$ ，整個佈局上半部為數位頻率校正模式電路，下半部為閘式壓控振盪器。

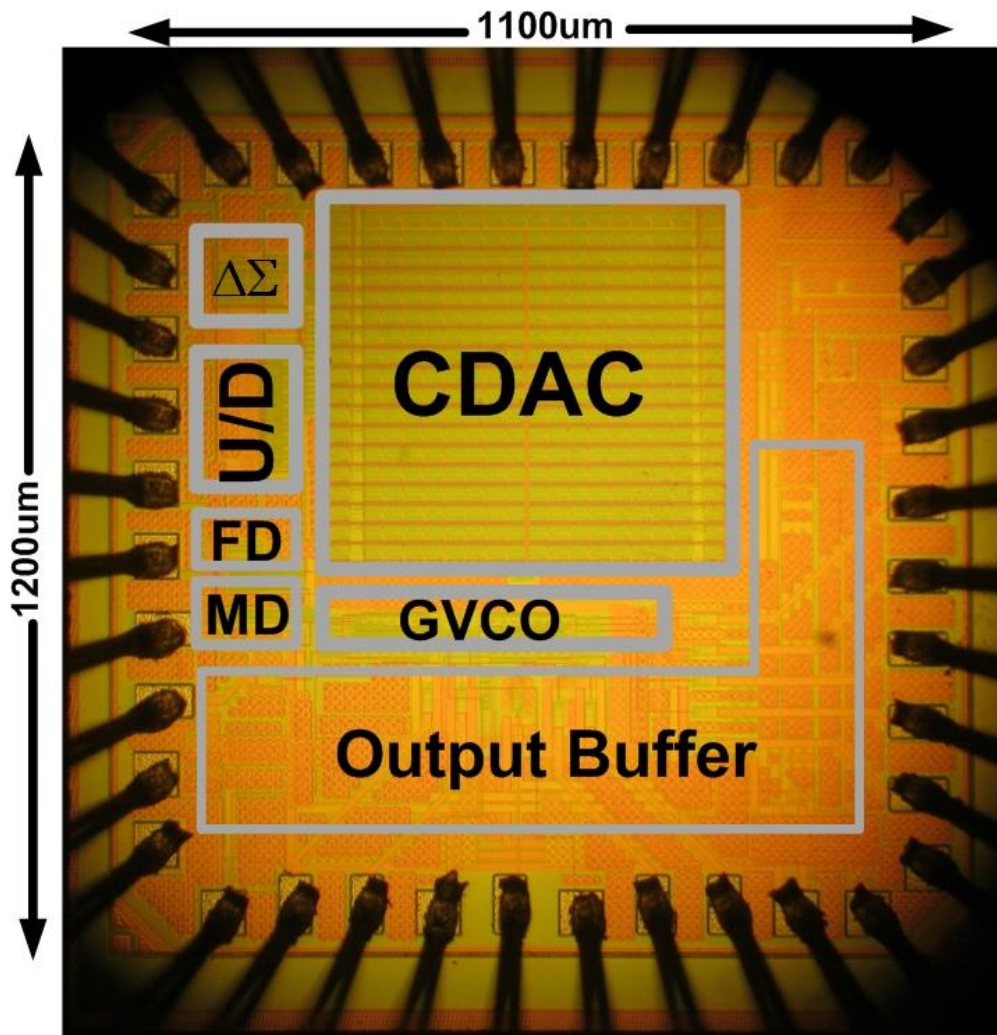


圖 59 晶片照相圖

## 4.2 量測環境(Measurement Setup)

為了去量測多頻帶突發式時脈資料回復電路，兩個四層印刷電路板被使用，如圖 60 所示，雖然把晶片經過封裝可以獲得保護避免應力和灰塵靜電的破壞，但封裝會降低晶片的特性特別是在射頻的應用。因此晶片直接經過 Bond Wire 和 AC 印刷電路板做連接，如圖 60 (a) 所示，然而 DC 印刷電路板，如圖 60 (b) 所示，經過排針與 AC 印刷電路板相連提供直流的供應和偏壓，分成兩個電路板的好處是方便去更換測試的晶片而使 DC 印刷電路板上的被動元件和穩壓 IC 可以重復使用。

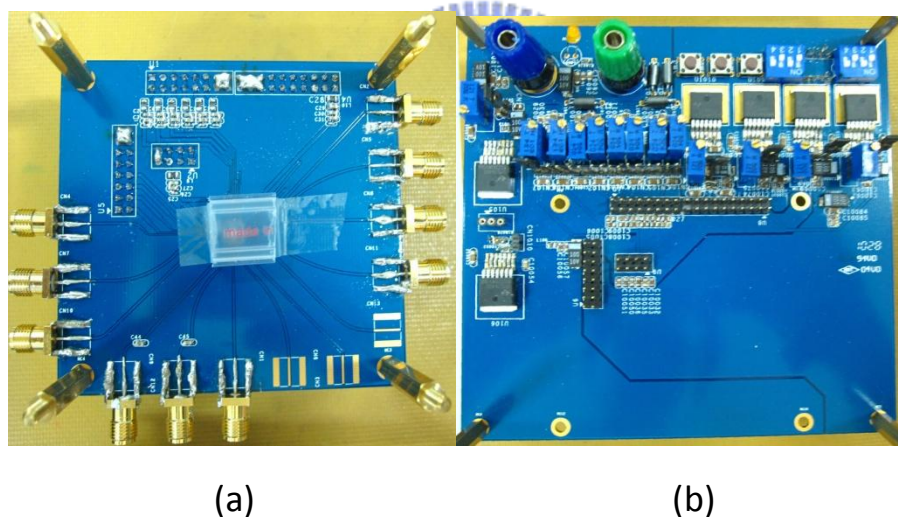


圖 60 (a)AC 印刷電路板(b)DC 印刷電路板

本晶片量測環境的設置如圖 60 所示，此晶片為 On PCB 的方式測量，並採用裸晶直接 Bond Wire 連接到 PCB 的方式，以減少封裝的負載效應。在 RF 輸出端部分，均有加上緩衝放大器，並有考量輸出負載效應以及 Bond Wire 的電感效應。

高頻輸出採用 3.5mm SMA 外接 cable 線至儀器，利用安捷倫訊號產生器 E8257D 產生參考相位訊號供晶片操作使用，安立 MP1800A

則是產生輸入序列資料，可分為不同長度的 PRBS 和使用者編輯的序列資料，利用安捷倫 MSO7104A 和 86100C 去觀察暫態的輸出和抖動的表現，並利用安立 MP1800A 模組去量測 BER。

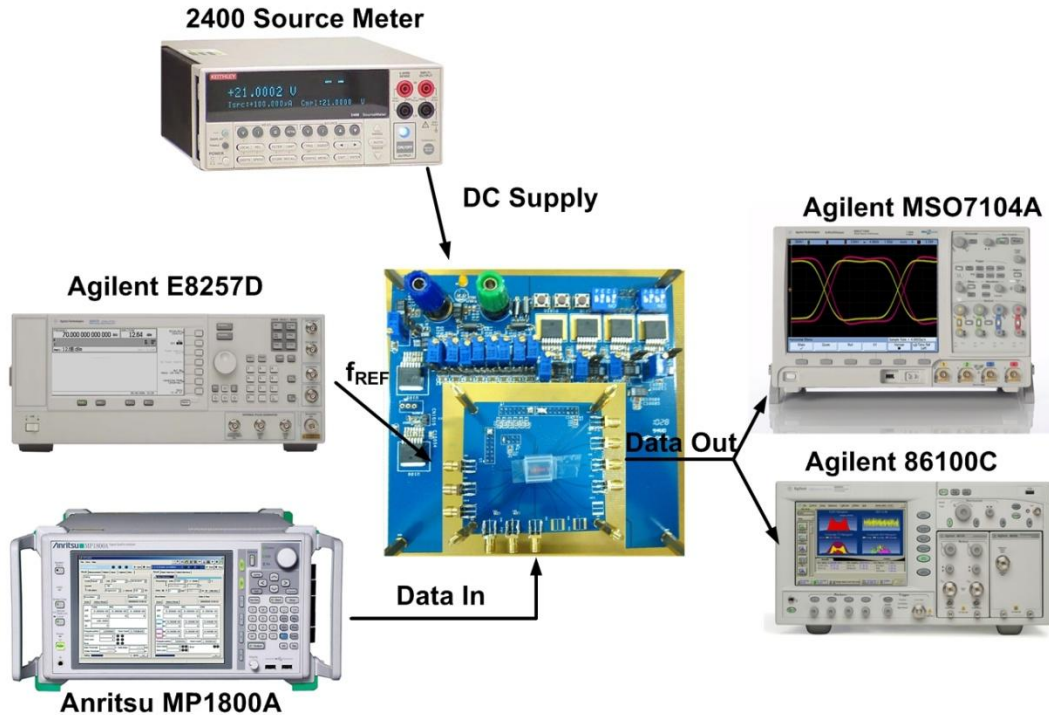


圖 61 量測環境

### 4.3 量測結果(Measurement Results)

拿到晶片後，將 DC 板上的直流偏壓點設定好後，首先測量開式壓控振盪器的工作頻率範圍如圖 62 所示，為數位碼對頻率的關係圖，可看出頻率範圍為 50MHz-780MHz。

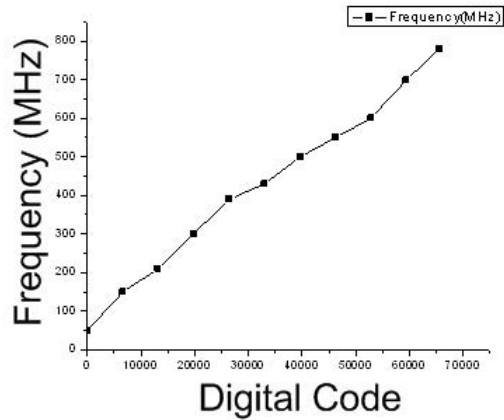


圖 62 數位碼對頻率的關係圖

如圖 63、圖 64 所示為輸入序列資料為 700Mbps 速率下經過此晶片解多工出來的平行資料眼圖，對  $2^7-1$  PRBS 而言方均根抖動量為 46ps、峰對峰值抖動量 133ps；對  $2^{31}-1$  PRBS 而言方均根抖動量為 106ps、峰對峰值抖動量 311ps。如圖 65 所示為回復時脈頻率為 100MHz，方均根抖動量為 12ps、峰對峰值抖動量 76ps。

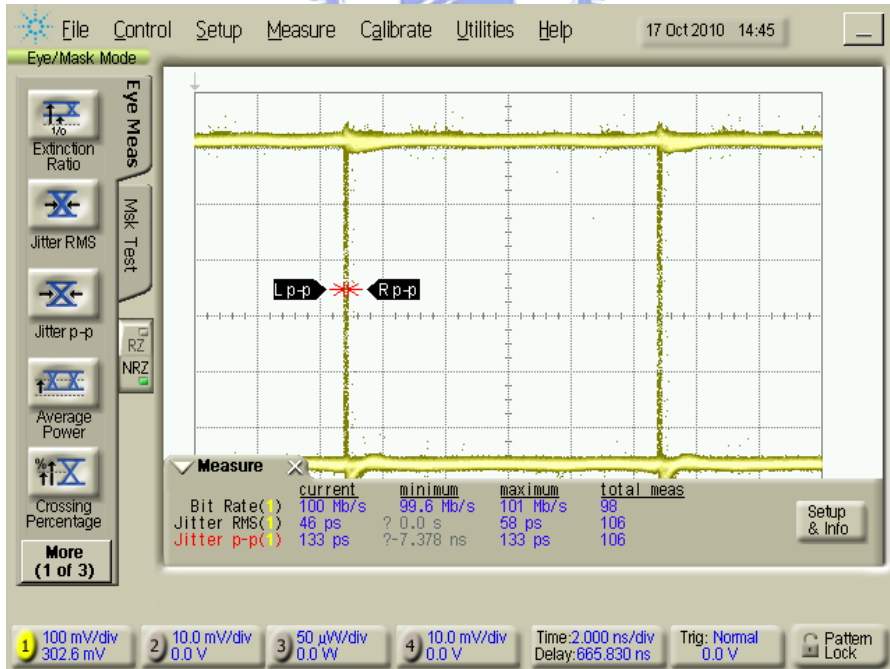


圖 63 量測 100Mbps 解多工資料的眼圖 ( $2^7-1$ )

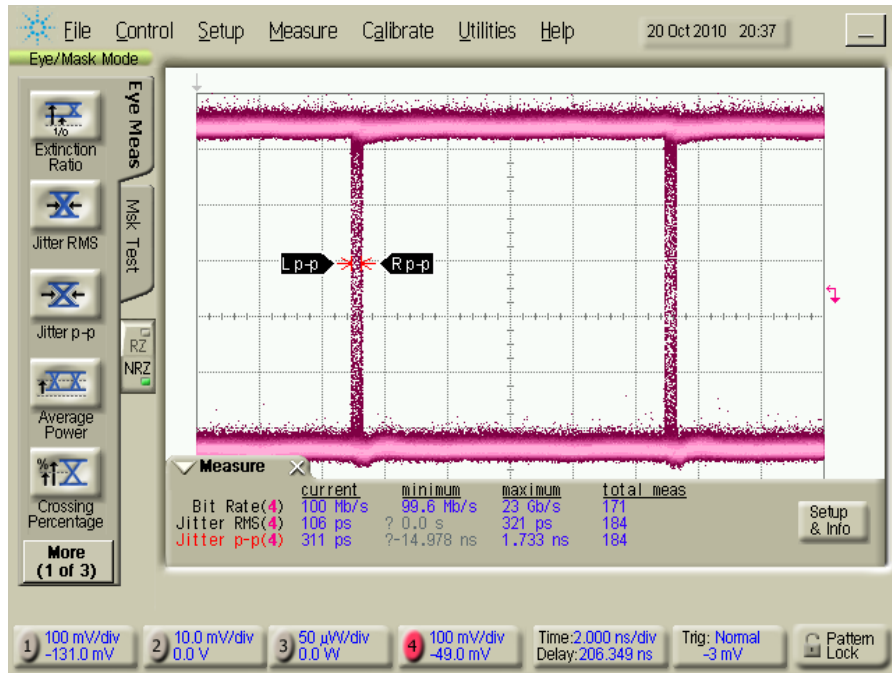


圖 64 量測 100Mbps 解多工資料的眼圖 ( $2^{31}-1$ )

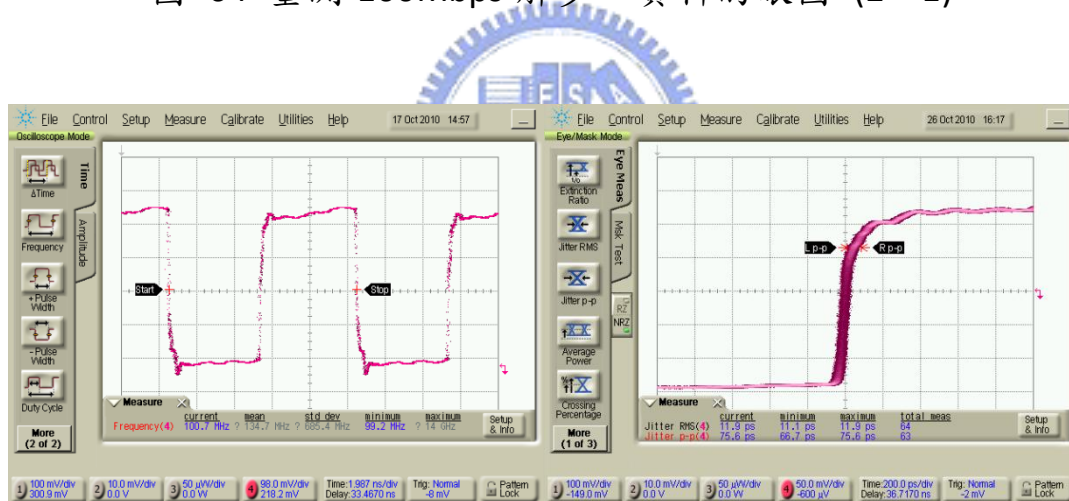


圖 65 量測回復時脈頻率 100MHz

如圖 66、圖 67 所示為輸入序列資料為 3500Mbps 速率下經過此晶片解多工出來的平行資料眼圖，對  $2^7-1$  PRBS 而言方均根抖動量為 21ps、峰對峰值抖動量 59ps；對  $2^{31}-1$  PRBS 而言方均根抖動量為 26ps、峰對峰值抖動量 88ps。如圖 68 所示為回復時脈頻率為 500MHz，方均根抖動量為 6ps、峰對峰值抖動量 33ps。

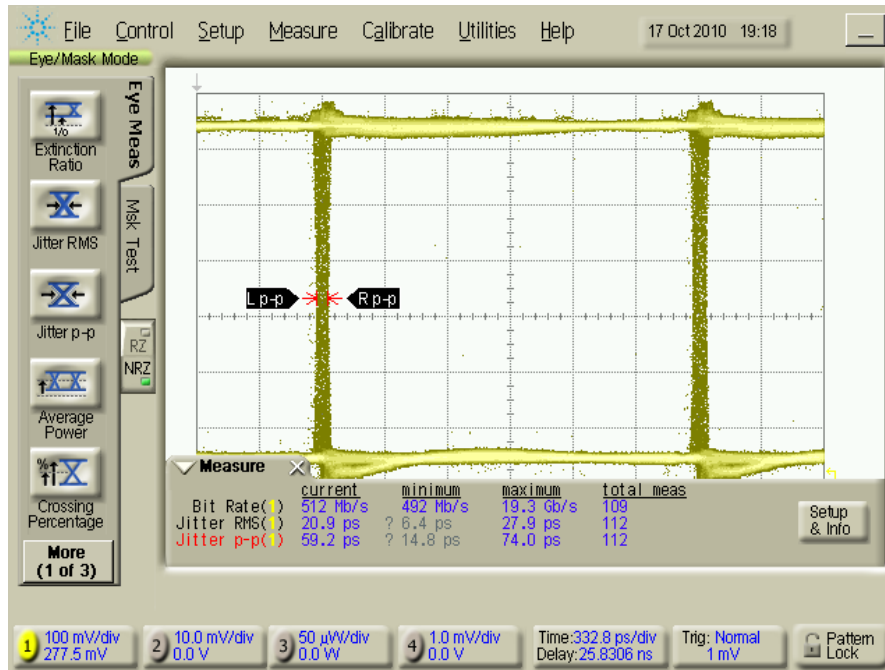


圖 66 量測 500Mbps 解多工資料的眼圖 ( $2^7-1$ )

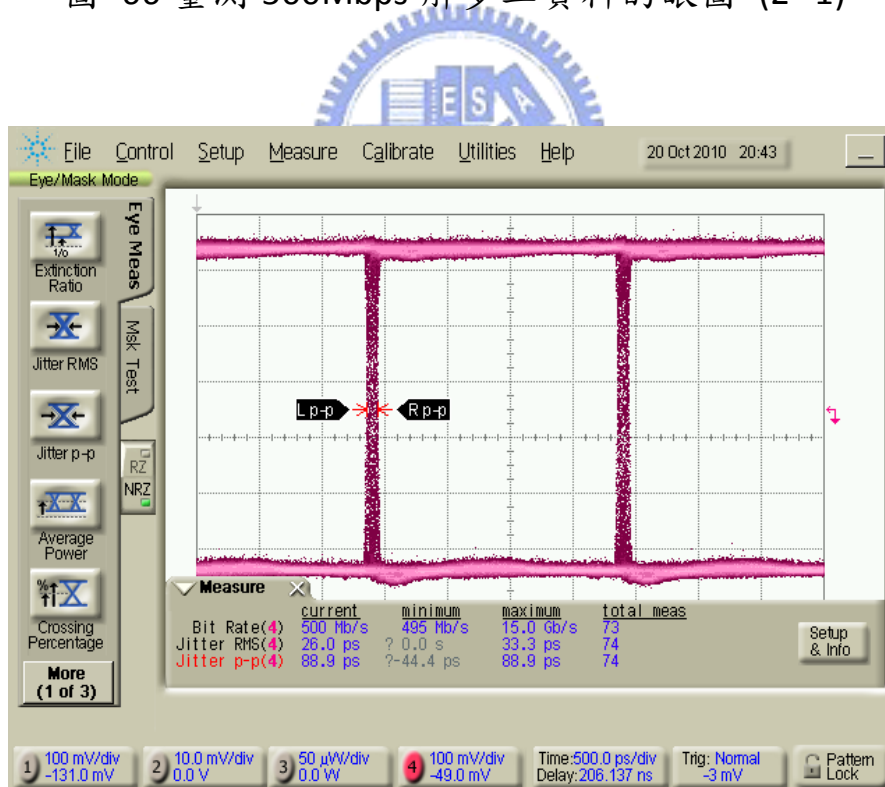


圖 67 量測 500Mbps 解多工資料的眼圖 ( $2^{31}-1$ )

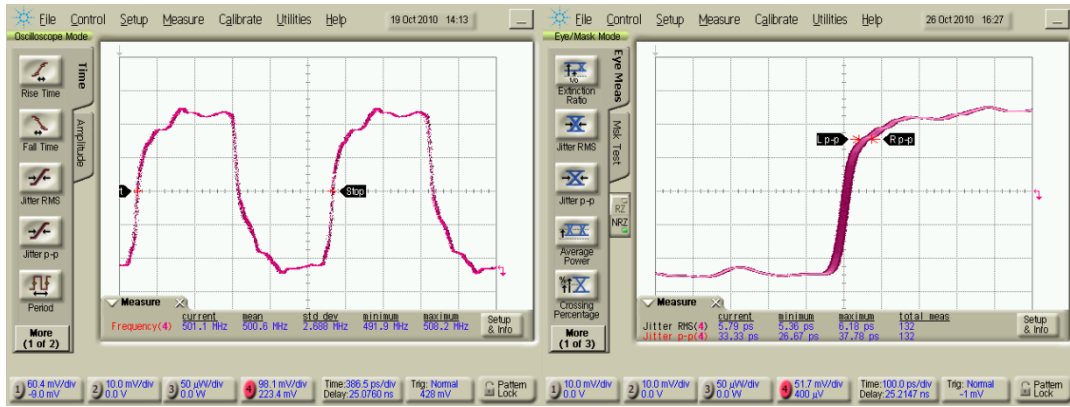


圖 68 量測回復時脈頻率 500MHz

如圖 69、圖 70 所示為輸入序列資料為 4900Mbps 速率下經過此晶片解多工出來的平行資料眼圖，對  $2^7-1$  PRBS 而言方均根抖動量為 19ps、峰對峰值抖動量 76ps；對  $2^{31}-1$  PRBS 而言方均根抖動量為 20ps、峰對峰值抖動量 66ps。如圖 71 所示為回復時脈頻率為 700MHz，方均根抖動量為 6ps、峰對峰值抖動量 33ps。

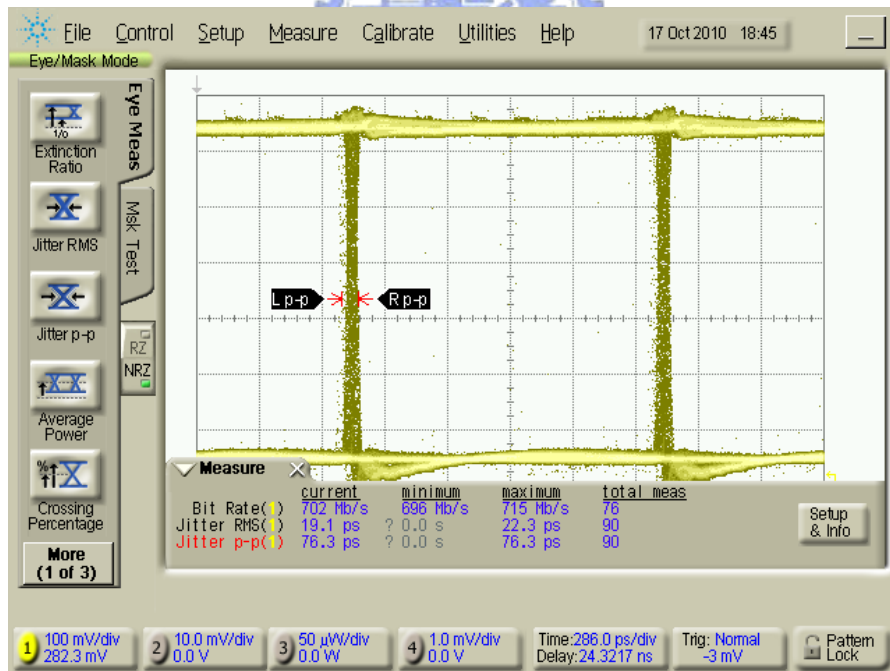


圖 69 量測 700Mbps 解多工資料的眼圖 ( $2^7-1$ )



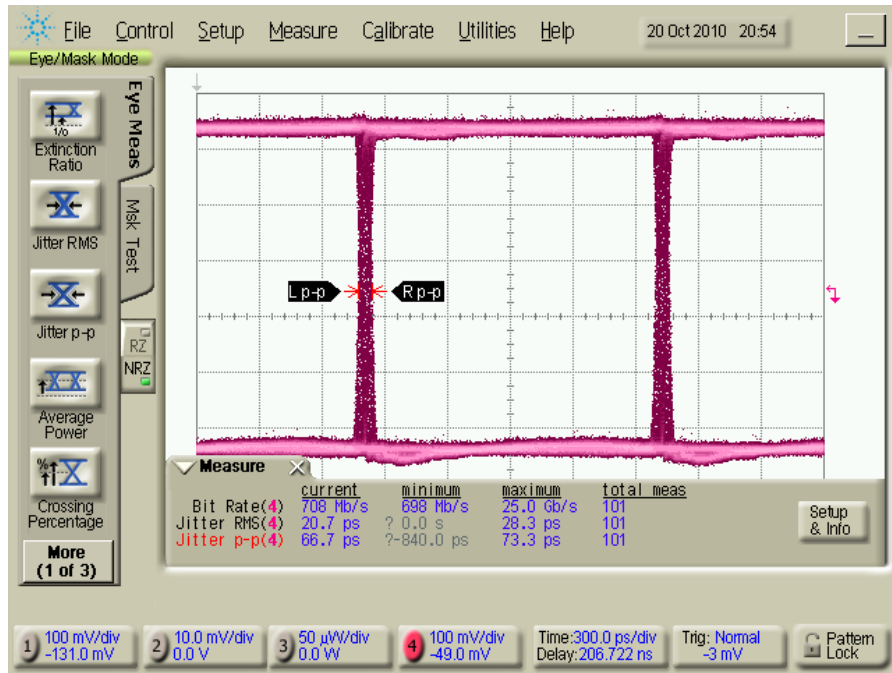


圖 70 量測 700Mbps 解多工資料的眼圖 ( $2^{31}-1$ )

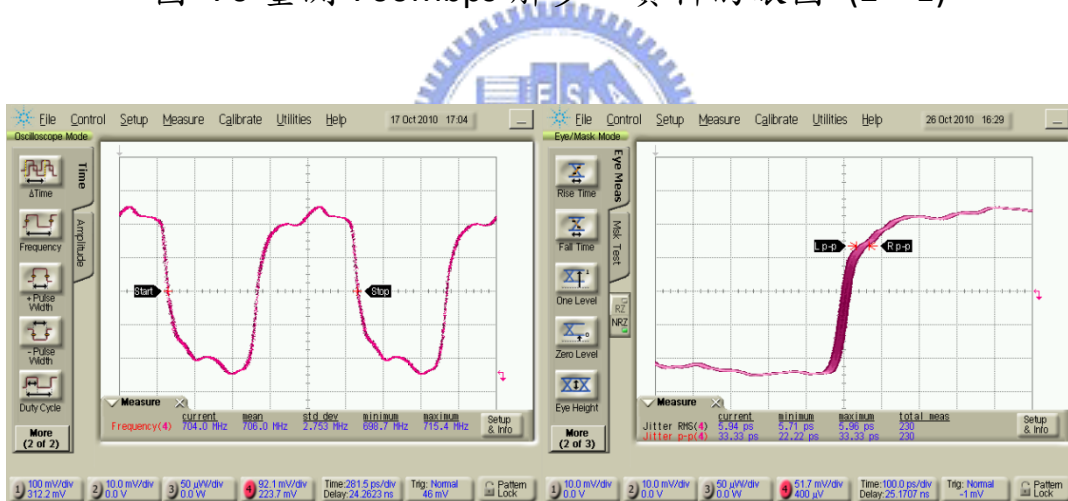


圖 71 量測回復時脈頻率 700MHz

如圖 72、圖 73 所示為量測在兩個不同輸入的序列資料速率 2500Mbps、5000Mbps 下的鎖定時間，鎖定時間定義為序列資料輸入到七筆資料平行解多工出來，鎖定時間小於 10 位元，實際上相位鎖定為一個位元時間，因為要使解多工七筆資料並行出來，所以加上了兩次資料錯排的時間。

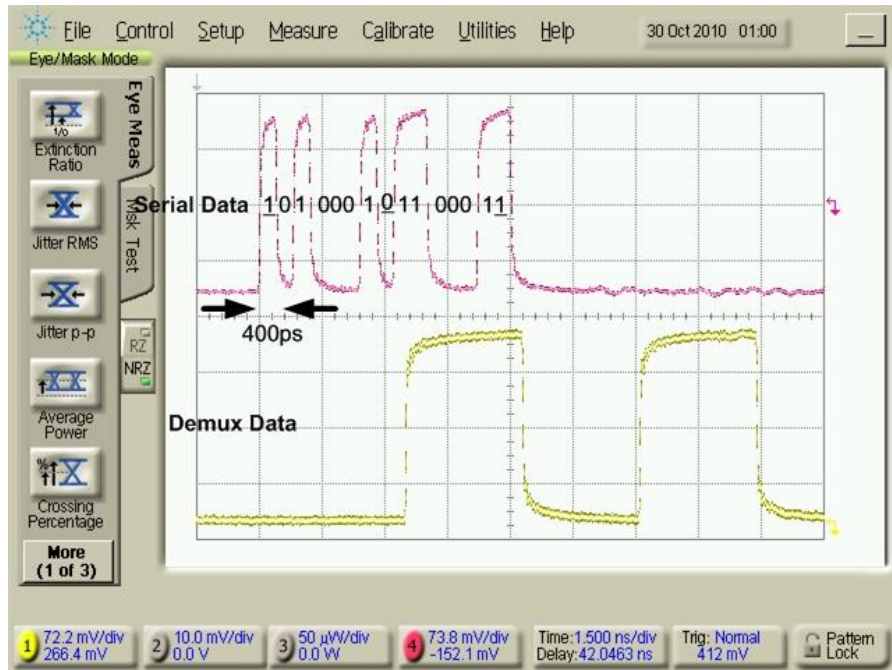


圖 72 量測鎖定時間當資料速率為 2500Mbps

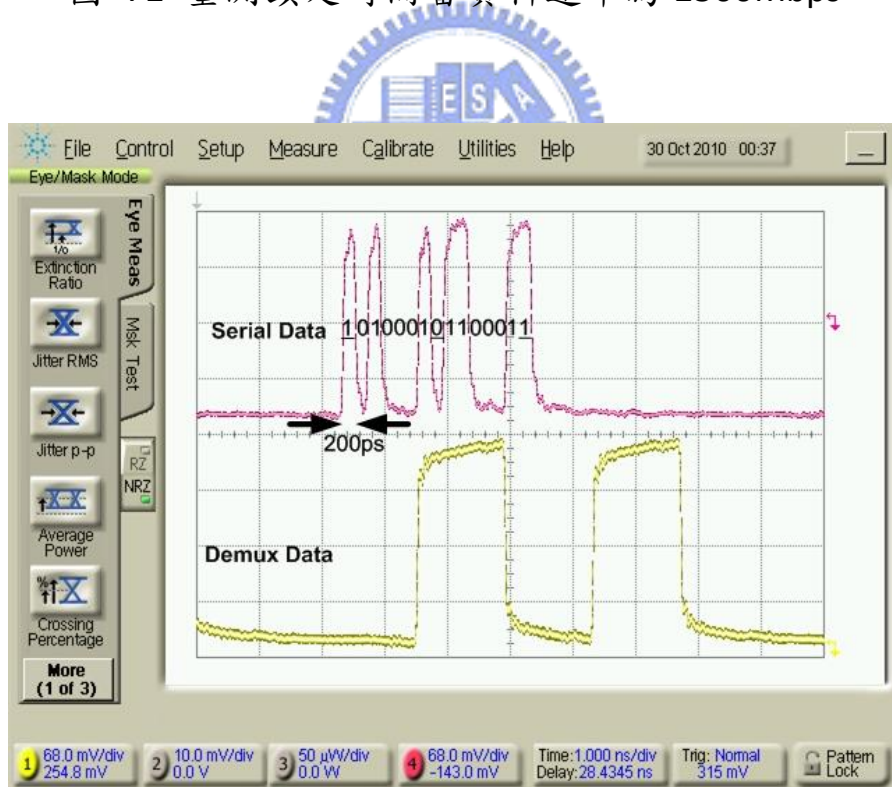


圖 73 量測鎖定時間當資料速率為 5000Mbps

當輸入序列資料速率為 700Mbps 和 5446Mbps 時候，我們取四筆解多工通道的訊號經過安捷倫 MSO7104A 示波器觀察之，如圖 74 所

示：

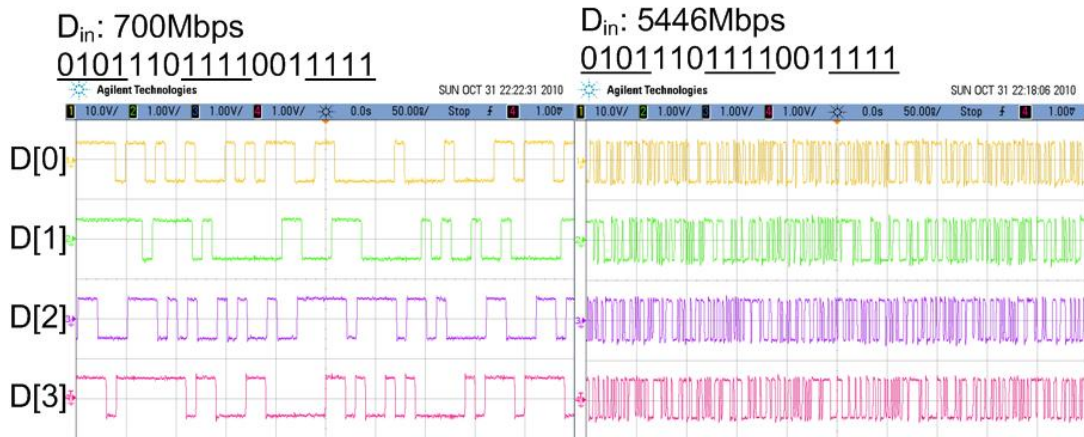


圖 74 四個通道輸出波形

下圖為 Bit Error Rate 量測儀器的架設，利用安捷倫型號 E8257D 訊號產生器去產生我們的參考訊號和安立知 MP1800A 序列資料產生器去產生不同長度的 PRBS 資料，利用 MP1800A 內建訊號品質分析儀去量測的結果如圖 75 所示：

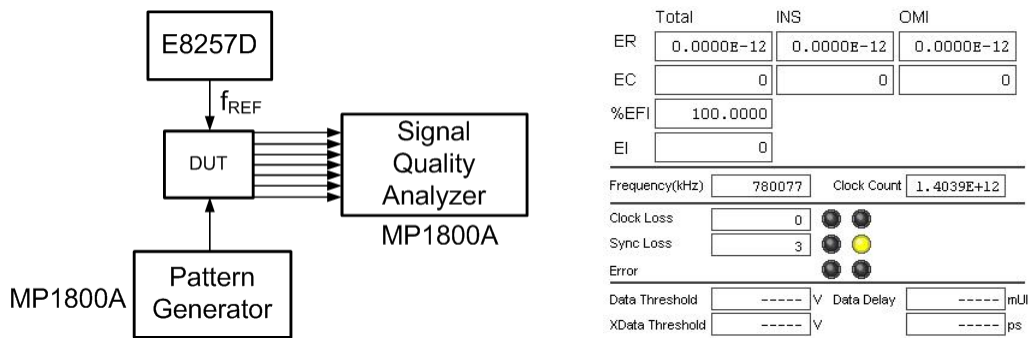


圖 75 Bit Error Rate 量測儀器的架設和結果

最後整個系統效能摘要表如表格 10 所示。

	This work
Data rate	700Mbps ~ 5500Mbps
Process	CMOS 90nm
Power supply	1.2
Power	23mW@ 5500Mbps 3.3mW@ 700Mbps
Die size(channel)	1.32 mm <sup>2</sup> (0.0126mm <sup>2</sup> )
Jitter of the recovered clock & data	6ps(RMS) & 33ps(PK-PK) 20ps(RMS) & 66ps(PK-PK)
Locking time	< 10 bits
BER	< 10 <sup>-12</sup>

表格 10 本晶片效能摘要表

## 第五章 結論

本論文提出了一個數位輔助式閘式壓控震盪器的突發式時脈與資料回復電路 (A Digitally Assisted Gated VCO Based Burst-Mode CDR)，由頻率檢知器電路(Frequency Locked Detector)、十六位元上、下計數器(U/D Counter)、寬範圍多模數除頻器(Modulus Divider)、電流式數位類比轉換器 (Current Steering DAC)、和差調變器 (Delta-Sigma Modulator)、閘式壓控振盪器(Gated-VCO)所構成。以模組化多模數除頻器以減低佈局的時間，且利用或閘去實現寬除數範圍的除頻器，除數範圍為 2-63，且利用二階 MASH-II 架構的和差調變器，去長時間平均等效增加數位控制震盪器的解析度，鎖頻迴路鎖定後在不同的頻帶下頻率偏移量落於 13-37kHz 區間，之後把控制權交給選擇式閘式壓控振盪器去進行快速相位同步以達到快速鎖定的功能。

此電路提供了五個頻帶的操作，在輸入序列(700Mbps-5446Mbps)時，使用選擇式的閘式壓控震盪器去達到快速相位的同步，鎖定時間小於 10 個位元，此時脈與資料回復電路以在 1/7 速率操作，達到序列資料輸入，七筆資料解多工平行的輸出，高解析度數位頻率輔助迴路增加了連續的高準位或是低準位(CID)的容忍度，是可以忍受 CID 大於 60 位元，因為在 1/7 速率操作下也降低了數位輔助鎖頻電路部分的功率消耗，因為在此降速操作下數位電路主要以靜態邏輯閘鎖實現，不包含 I/O Buffer，整體的功耗為 4.2 mW/Gbps，每個通道的面積為 0.0126mm<sup>2</sup>。

## 參考文獻

- [1] Hitoyuki Tagami, et al., “A Burst-Mode Bit Synchronization IC with Large Tolerance for Pulse-Width Distortion for Gigabit Ethernet PON,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 11, pp. 2555–2565, Nov. 2006.
- [2] Ethernet in the First Mile Task Force, IEEE 802.3ah, IEEE Standards Association.
- [3] Jri Lee and Mingchung Liu, “A 20Gb/s Burst-Mode CDR Circuit Using Injection-Locking Technique,” *IEEE ISSCC Digest of Technical Papers*, pp. 46-47, Feb., 2007.
- [4] Lan-Chou Cho, Chihun Lee and Shan-Iuan Liu, “A 33.6-to-33.8Gb/s Burst-Mode CDR in 90nm CMOS,” *IEEE ISSCC Digest of Technical Papers*, pp. 48-49, Feb., 2007.
- [5] Jri Lee and Behzad Razavi, “A 40Gb/s Clock and Data Recovery Circuit in 0.18 $\mu$ m CMOS Technology,” *IEEE Journal of Solid-State Circuits*, vol. 38 , no. 12 , pp. 2181-2188 , Dec. 2003.
- [6] J. Savoj and Behzad Razavi, “A 10 Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 1, p. 13, Jan. 2003.
- [7] R.-J. Yang, S.-P. Chen, and S.-I. Liu, “A 3.125 Gb/s clock and data recovery circuit for the 10 Gbase-LX4 Ethernet,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 8, p. 1356, Aug. 2004.
- [8] A. Rezayee and K. Martin, “A 9-16 Gb/s clock and data recovery

- circuit with three-state phase detector and dual-path loop architecture,” in *Proc. 29th Europe Solid-State Circuits Conf. (ESSCIRC)*, Sep. 2003, pp. 683–686.
- [9] E. Nosaka, H. Sano, K. Ishii, M. Ida, K. Kurishima, S. Yamahata, T. Shibata, H. Fukuyama, M. Yoneyama, T. Enoki, and M. Muraguchi, “A 39-to-45 Gb/s multi-data-rate clock and data recovery circuit with a robust lock detector,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 8, pp. 1361–1365, Aug. 2004.
- [10] S. Jonathan E. Rogers, and John R. Long, “A 10Gb/s CDR/DEMUX with LC Delay Line VCO in 0.18 $\mu$ m CMOS,” *IEEE ISSCC Digest of Technical Papers*, pp. 254-255, 2002.
- [11] M. Meghelli et al., “SiGe BiCMOS 3.3-V Clock and Data Recovery Circuits for 10-Gb/s Serial Transmission System,” *IEEE Journal of Solid-State Circuits*, vol.35, No. 12, pp. 1992-1995, Dec. 2000.
- [12] Y. M. Greshishchev et al., “SiGe Clock and Data Recovery IC with Linear-Type PLL for 10-Gb/s SONET Application,” *IEEE Journal of Solid-State Circuits*, vol.35, No. 9, pp. 1353-1359, September 2000.
- [13] S. G. Georgiou, Y. Baeyens et al., “Clock and Data Recovery IC for 40-Gb/s Fiber-Optical Receiver,” *IEEE Journal of Solid-State Circuits*, vol.37, No. 9, pp. 1120-1125, September 2002.
- [14] Behzad Razavi, “Design of Integrated Circuits for Optical Communications,” McGRAW-HILL, International Edition, 2003.
- [15] P. Han, C. Lee, and W. Choi, “A novel 622Mbps burst mode CDR

- circuit using two-loop switching,” *Journal of Semiconductor Technology and Science*, vol.3, no.4, pp.188-193, Dec. 2003.
- [16] Chih-Kong Ken Yang, *et al.* , “A 0.5 $\mu$ m CMOS 4.0-Gbit/s serial link transceiver with data recovery using oversampling,” *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 713-722, May. 1998.
- [17] Che-Fu Liang, *et al.*, “A 2.5Gbps Burst-Mode Clock and Data Recovery Circuit,” *Proceedings of Technical Papers on IEEE Asian Solid-State Circuits*, pp. 457-460, Nov. 2005.
- [18] A. E. Dunlop, W. C. Fischer, M. Banu, and T. Gabara, AT&T Bell Laboratories, Murray Hill, NJ, “150/30 Mb/s CMOS Non-Oversampled Clock and Data Recovery Circuits with instantaneous Locking and Jitter Rejection,” *IEEE ISSCC Digest of Technical Papers*, pp. 44-45, Feb. 1995.
- [19] “G.984.2 Gigabit-capable passive optical networks (GPON): Physical media dependent (PMD) layer,” ITU-T, 2003.
- [20] T. Lwata, T. Hirata, H. Sugimoto, H. Kimura, and T. Yoshikawa, “A 5Gbps CMOS Frequency Tolerant Multi Phase Clock Recovery Circuit,” *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 83-82, 2002.
- [21] A. E. Dunlop, W. C. Fischer, M. Banu, and T. Gabara, “150/30 Mb/s CMOS Non-Oversampled Clock and Data Recovery Circuits with instantaneous Locking and Jitter Rejection,” *IEEE ISSCC Digest of Technical Papers*, pp. 44-45, Feb. 1995.
- [22] M. Banu, and A. Dunlop, AT&T Bell Labs, Murray Hill, NJ, “A 660



Mb/s CMOS Clock Recovery Circuit with Instantaneous Locking for NRZ Data and Burst-Mode Transmission,” *IEEE ISSCC Digest of Technical Papers*, pp. 102-103, Feb. 1995.

[23] Y. Ota, R.G. Swartz, M. Banu, and A.E. Dunlop, “High-Speed, Burst-Mode, Packet-Capable Optical Receiver and Instantaneous Clock Recovery for Optical Bus Operation,” *IEEE Journal of Light wave Technology*, vol.12, no. 2, pp. 325-331, Feb. 1994.

[24] P. Han, and W. Choi, “1Gb/s gated-oscillator burst mode CDR for half-rate clock recovery,” *Journal of Semiconductor Technology and Science*, vol. 4, no.4, pp. 275-279, Dec. 2004.

[25] J. Hwang, C. Park, and C. Park, “155-Mb/s Burst-Mode Clock Recovery Circuit Using the Jitter Reduction Technique,” *IEICE Transaction Communication*, vol. E86-B, no.4, pp.1423-1426, Apr. 2003.

[26] M. Nogawa, K. Nishimura, S. Kimura, T. Yoshida, T. Kawamura, M. Togashi, K. Kumozaki, and Y. Ohtomo, “A 10Gb/s Burst-Mode CDR IC in 0.13um CMOS,” *IEEE ISSCC Digest of Technical Papers*, pp. 228-229, Feb.2005.

[27] Yu-Gun KIM, Chun-Oh LEE, Seung-Woo LEE, Hyun-Su CHAI, Hyun-Suk RYU, Woo-Young CHOI, “Novel 622Mb/s Burst-Mode Clock and Data Recovery Circuits with Muxed Oscillators,” *IEICE Transaction Communication*, vol.E86-B, no. 11, Nov. 2003.

[28] C. H. Lin, and K. Bult, “A 10-b, 500-Msample/s CMOS DAC in 0.6mm<sup>2</sup>,” *IEEE Journal of Solid-State Circuits*, vol. 33, pp.

1948-1958, Dec. 1998.

- [29] C. S. Vaucher, Z. Wang, et al., "A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35- $\mu\text{m}$  CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1039-1045, May. 2000.
- [30] Y. Kado, et al., "An ultralow power CMOS/SIMOX programmable counter LSI," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1582–1587, Oct. 1997.
- [31] T. Seneff, et al., "A sub-1 mA 1.6 GHz silicon bipolar dual modulus prescaler," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 1206–1211, Oct. 1994.
- [32] J. Craninckx and M. Steyaert, "A 1.75 GHz/3 V dual-modulus divide by 128/129 prescaler in 0.7  $\mu\text{m}$  CMOS," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 890–897, July 1996.
- [33] F. Piazza and Q. Huang, "A low power CMOS dual modulus prescaler for frequency synthesizers," *IEICE Transaction Electron.*, vol. E80-C, pp. 314–319, Feb. 1997.
- [34] P. Larsson, "High-speed architecture for a programmable frequency divider and a dual-modulus prescaler," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 744–748, May 1996.
- [35] J. Navarro Soares, Jr. and W. A. M. Van Noije, "A 1.6 GHz dual-modulus prescaler using the extended true-single-phase-clock CMOS circuit technique (E-TSPC)," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 97–102, Jan. 1999.

- [36] R. B. Staszewski, et al., “A digitally controlled oscillator in a 90 nm digital CMOS process for mobile phones,” *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 2203-2211, 2005.

