

國立交通大學

電子工程學系電子研究所碩士班

碩士論文

一個內含頻寬改善檢光二極體，並使用 $0.18\mu\text{m}$
互補式金氧半製程設計之 2-Gb/s、850nm 的光
通訊接收器

A 2-Gb/s, 850nm Optical Receiver with a
Bandwidth-Enhanced Photo-Diode in $0.18\mu\text{m}$
CMOS Technology

研究生：林致煌

Chih-Huang Lin

指導教授：蔡嘉明 教授

Prof. Chia-Ming Tsai

中華民國一〇〇年一月

一個內含頻寬改善檢光二極體，並使用 $0.18\mu\text{m}$
互補式金氧半製程設計之 **2-Gb/s**、**850nm** 的光
通訊接收器

A 2-Gb/s, 850nm Optical Receiver with a
Bandwidth-Enhanced Photo-Diode in $0.18\mu\text{m}$
CMOS Technology

研究生：林致煌

Student : Chih-Huang Lin

指導教授：蔡嘉明 教授

Advisor : Prof. Chia-Ming Tsai



A Thesis
Submitted to Department of Electronics Engineering & Institute of
Electronics
College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in
Electronics Engineering
January 2011
Hsinchu, Taiwan, Republic of China

中華民國一〇〇年一月

一個內含頻寬改善檢光二極體，並使用 $0.18\mu\text{m}$ 互補式金氧半製程設計之 2-Gb/s、850nm 的光通訊接收器

學生：林致煌

指導教授：蔡嘉明 教授

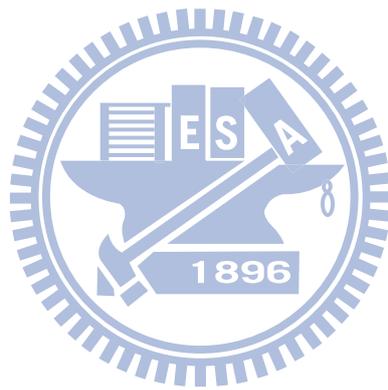
國立交通大學

電子工程學系電子研究所碩士班

摘要

本論文設計單晶整合光接收器，在標準金氧半製程嘗試整合檢光二極體、接收器前端電路與負壓產生器。接收器使用可適性等化器之架構來補償不同逆偏壓下檢光二極體的頻率響應，並使用源級退化級與主動式電感的技術使其頻寬能到達 1.4GHz 以上。光接收器的設計目標為在不同輸入光強度以及不同檢光二極體頻率響應下，都能達到 850nm 光波長的可適性。為了接收多模光纖所有的雷射光能量，本次採用的檢光二極體面積為 $70\mu\text{m} \times 70\mu\text{m}$ 。負壓產生器之設計目標在於產生一個 -10V 的電壓來改善檢光二極體的本質響應，並且能夠因應不同輸入光強度來自動切換時脈頻率，以提升功率效率。因為負壓產生器輸出端與檢光二極體直接相連，故如何抑制負壓的鏈波訊號使其不影響光接收器效能，便是一個設計重點。在此次的整合過程中，因為雜訊耦合議題考慮不周的關係而發生基板雜訊耦合的現象，因此在量測上使用基板分離的手段來使量測能夠順利進行。在 850nm 光波長下量測，設計之光接收器可因應不同的入射光強度作出適當的補償，在檢光二極體響應率為 0.375A/W 時，達到 -9.8dBm 的靈敏度，針對

不同逆偏壓的檢光二極體，光接收器也能自動對高頻衰減作出不同程度的補償。
負壓產生器在最小輸入光強度下產生-9V 的輸出負壓以及 17.6% 的功率效率。設計
的晶片面積為 1mm×1mm，在 1.8V 供應電壓下消耗 90mW 的功率。



A 2-Gb/s, 850nm Optical Receiver with a Bandwidth-Enhanced Photo-Diode in 0.18 μ m CMOS Technology

Student : Chih-Huang Lin

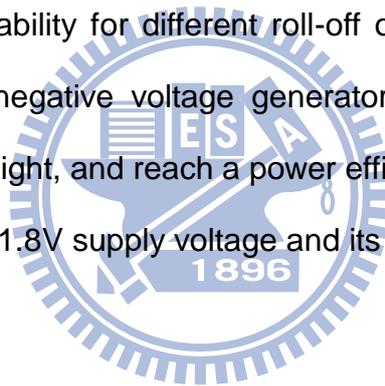
Advisor : Prof. Chia-Ming Tsai

Department of Electronics Engineering & Institute of Electronics
National Chiao Tung University



This thesis presents a monolithically integrated optical receiver, attempting to integrate a integrated photodiode, receiver front-end circuits and a negative voltage generator monolithically in standard CMOS process. The optical receiver adopts equalizer architecture to compensate the response of a photo-diode under different reverse-biased conditions. The source degeneration and active peaking techniques are adopted to improve the bandwidth up to 1.4GHz. This design is for adaptability of 850nm light wavelength under different power of light and different frequency response of the photo-diode. In order to collect all the laser from multi-mode fiber, the area of photo diode is 70 μ m \times 70 μ m. A negative voltage generator provides a minus ten volts to enhance the intrinsic response of the photo-diode. This generator

will change clock frequency automatically under different input power of light to enhance the power efficiency. Due to a directly connection between the photo-diode and the negative voltage generator, suppressing the ripple signal from the generator so that there is no degradation on the performance of the optical receiver is an important design point. In this process of monolithically integration, substrate noise coupling is occurred due to a thoughtless consideration of the noise coupling issue. A substrate-separation method is taken to make the measurement successfully. Measurement results by using 850nm light wavelength achieve the adaptability of different light power of light and a sensitivity of -9.8dBm when responsivity of photo-diode is 0.375A/W. It also achieves the adaptability for different roll-off of different reverse-biased photo- diode. And the negative voltage generator provides -9V under the minimum input power of light, and reach a power efficiency of 17.6%. The chip dissipates 90mW from a 1.8V supply voltage and its area is 1mmx1mm.



誌謝

在這段研究所的求學過程中，雖然充滿挫折與辛苦，但是卻也讓我學習到許多知識與做事的態度。而時時刻刻不斷提醒我、激勵我學習這些事情的人，就是蔡嘉明老師，所以我非常感謝老師對我的指導，不管是在研究上還是在做事的態度上面，都讓我覺得更加成長了一些，雖然畢業之後就不會再有老師的提醒，但我依然會時時刻刻緊記著這些教誨，期待著有一天不管是在工作上或是在社會上，都能有一番作為。而我也要感謝郭建男老師與洪浩喬老師在論文上的指導，有了你們的指導讓我的論文能夠更加地完整。再來我要感謝我的父母，提供我研究所路上的一些物質上的支出與心靈上的鼓勵支持，讓我能夠無後顧之憂地進行學習與研究，而家人們都非常地辛苦但卻也沒有半句怨言，之後的日子就是我回報的時刻。再來我要感謝實驗室一起學習的夥伴們，振鵬、博璋、勛哲、至中，光仁、暉庭、柏均、瑜聰、安修、易弘和勝凱，有了你們一起討論研究或是打球跑步，都讓我覺得紓解了不少的壓力。特別感謝光仁與暉庭在 Layout 上的幫助，幫我減輕了不小的負擔。最後我要感謝一直以來都陪伴著我的品涵，有了妳的陪伴，我才有勇氣在一次又一次的挫折中重新站起來，努力地前進著。現在，我畢業了，希望在往後的日子裡頭，我能夠將所學習到的知識與態度應用在生活上的大小事，能夠對於社會有些許的貢獻。

林致煌

2011.01.20

目錄

中文摘要	i
英文摘要	iii
誌謝.....	v
目錄.....	vi
表目錄	viii
圖目錄	ix
第一章 簡介	1
1.1 研究背景	1
1.2 光纖系統簡介	2
1.3 論文大綱	3
第二章 單晶整合光接收器及等化器相關背景	4
2.1 檢光二極體簡介	4
2.1.1 光偵測原理.....	4
2.1.2 金氧半檢光二極體結構.....	5
2.1.3 檢光二極體頻率響應	5
2.2 等化器相關研究簡介.....	6
2.2.1 使用斜率偵測器的單迴圈可適性等化器結構	6
2.2.2 使用高低通濾波器的雙迴圈可適性等化器結構.....	7
2.2.3 使用高低通濾波器的單迴圈可適性等化器結構.....	7
第三章 3.125 Gb/s 的單晶整合光接收器設計.....	9
3.1 研究動機	9
3.2 檢光二極體結構與模型建立.....	9
3.2.1 檢光二極體結構	9
3.2.2 Medici 模擬及 ADS 模型建立	12
3.3 接收器架構簡介及設計概念.....	12

3.3.1 等化器設計概念	12
3.3.2 光接收器架構簡介.....	13
3.3.3 負壓產生器設計概念	15
3.3.4 負壓產生器架構簡介	16
3.3.5 負壓產生器輸出與 NMOSFET 的關係.....	17
3.4 電路設計	17
3.4.1 轉阻放大器	17
3.4.2 單端對雙端轉換級.....	21
3.4.3 可調式等化器.....	22
3.4.4 可變增益放大器	27
3.4.5 斜率控制器	28
3.4.6 仿製路徑	32
3.4.7 誤差放大器	33
3.4.8 迴圈行為.....	34
3.4.9 負壓產生器	38
3.4.10 雜訊分析	48
3.4.11 電路佈局.....	48
第四章 量測結果.....	51
4.1 量測環境	51
4.2 光接收器量測	53
4.3 檢光二極體量測.....	56
4.4 負壓產生器量測.....	58
4.5 負壓產生器之雜訊頻譜量測與分析	62
第五章 結論與改進	66
參考文獻	68
附錄.....	70
簡歷.....	77

表目錄

表 1.1 SONET 與 SDH 相對應資料傳輸速率規格表	1
表 2.1 可適性電路相關研究發展比較表	8
表 3.1 轉阻放大器設計規格表	20
表 3.2 預計規格列表	50
表 4.1 量測結果列表與比較(光接收器部分)	61
表 4.2 量測結果列表與比較(負壓產生器部分)	61



圖目錄

圖 1.1 光纖通訊系統.....	2
圖 2.1 不同材料對光波長之響應率.....	4
圖 2.2 金氧半檢光二極體結構.....	5
圖 2.3 檢光二極體各成份之頻率響應.....	6
圖 2.4 使用斜率偵測器的單迴圈可適性等化器架構.....	6
圖 2.5 使用高低通濾波器的雙迴圈可適性等化器架構.....	7
圖 2.6 使用高低通濾波器的單迴圈可適性等化器架構.....	8
圖 3.1(a)N-well/P-substrate 型 與(b)N-well/D-N-well/P-substrate 型之檢光二極體剖面圖.....	10
圖 3.2(a)多指式 與(b)二維陣列式之檢光二極體俯視圖 (c)檢光二極體之頻率響應以及直流響應率的比較.....	11
圖 3.3 Medici 模擬和 ADS 模型對應圖.....	12
圖 3.4 設計概念.....	13
圖 3.5 光接收器架構圖.....	14
圖 3.6 斜率偵測器概念圖.....	14
圖 3.7 仿製電路示意圖.....	15
圖 3.8 仿製電路之行為操作概念圖.....	15
圖 3.9 電壓加倍器工作示意圖.....	16
圖 3.10 負壓產生器架構簡介圖.....	16
圖 3.11 加入 Deep N-well 的 NMOS 結構圖.....	17
圖 3.12 共源極轉阻放大器一階等效模型.....	18
圖 3.13(a)轉阻放大器 (b)開迴路小訊號等效電路.....	19
圖 3.14 迴路增益.....	19
圖 3.15 轉阻放大器頻寬與回授電阻 R_F 關係曲線.....	20

圖 3.16(a)單端對雙端轉換級電路模型 (b)直流偏移消除前後的差異 (c)電路架構	22
圖 3.17 可調式等化器	23
圖 3.18 多頻帶補償式源級退化級半電路	23
圖 3.19 加成控制器控制電壓對輸出電流轉換曲線	25
圖 3.20(a)主動式電感示意圖(b)等效電路(c)加入主動式電感前後的頻寬差異..	26
圖 3.21 等化器高頻補償能力	26
圖 3.22(a)等化器補償前後的頻率響應 與(b)群體延遲	27
圖 3.23(a)可變增益放大器電路圖 (b)頻寬與增益關係曲線圖	28
圖 3.24 斜率偵測器之電路設計原理.....	29
圖 3.25 斜率偵測器及電流比較器	29
圖 3.26 電流相加原理	30
圖 3.27 斜率偵測器行為模擬	31
圖 3.28 參考電壓差距對輸出電流差異之關係曲線	31
圖 3.29 仿製路徑尺寸設計	32
圖 3.30 仿製路徑之功能模擬	32
圖 3.31(a)誤差放大器電路圖 (b)加入負電阻前後之誤差放大器頻率響應.....	33
圖 3.32 控制電壓與其對應的控制輸出	34
圖 3.33(a)斜率控制轉換曲線 (b)直流控制轉換曲線 (c)相位邊限	35
圖 3.34(a)改變檢光二極體輸出光電流的暫態響應圖 (b)輸入光電流為 20 μ A 及 (c)100 μ A 的輸出訊號眼圖	36
圖 3.35 系統對於控制雜訊電壓的暫態響應.....	37
圖 3.36 閉迴路補償開啟前後的輸出眼圖	37
圖 3.37(a)參考電壓差異減少 50mV 及(b)增加 50mV 的輸出訊號眼圖	38
圖 3.38 增強式電荷轉移區塊電路圖.....	39
圖 3.39 (a) $V_i < V_o$ 及(b) $V_i > V_o$ 的電荷轉移區塊示意圖	39
圖 3.40 (a)傳統式 及(b)增強式電荷轉移區塊示意圖.....	40

圖 3.41 負壓產生器等效電路	41
圖 3.42(a)電容佈局面積與時脈頻率關係 (b)功率消耗與時脈頻率關係	41
圖 3.43 鏈波雜訊對轉阻放大器輸出影響分析圖	42
圖 3.44 負壓產生器架構圖	43
圖 3.45 除頻器電路架構及模擬圖	44
圖 3.46 非重疊時脈產生器電路架構及模擬圖	45
圖 3.47 分壓器電路架構圖	45
圖 3.48 磁滯比較器電路架構及模擬圖	46
圖 3.49 (a) V_{PD} v.s I_{PD} 轉換曲線圖 (b)Efficiency v.s I_{PD} 轉換曲線圖 (c)時脈頻率暫態響應模擬	47
圖 3.50 負壓產生器輸出鏈波電壓能量分佈	48
圖 3.51 電路佈局圖	49
圖 3.52 電路佈局放大圖	50
圖 4.1 暫態響應量測環境	52
圖 4.2 頻率響應量測環境	52
圖 4.3 等化器開迴路測試	53
圖 4.4 直流增益控制迴圈功能測試	53
圖 4.5 輸出眼圖振幅設定 (a)20mV/div (b)10mV/div	54
圖 4.6 光接收器閉迴路測試	54
圖 4.7 雜訊之直方圖量測	55
圖 4.8 不同訊號速度下之誤碼率量測	55
圖 4.9 訊號速度 2.5Gb/s 下的效能表現	56
圖 4.10 不同負壓下的靈敏度量測	56
圖 4.11 檢光二極體量測設定	57
圖 4.12 檢光二極體頻率響應量測	57
圖 4.13 檢光二極體直流響應率量測	58
圖 4.14 逆偏電壓對檢光二極體所產生電流之影響圖	58

圖 4.15 負壓產生器輸出曲線	59
圖 4.16 負壓輸出之量測與模擬比較圖	59
圖 4.17 功率效率曲線圖	60
圖 4.18 功率效率曲線的量測與模擬比較圖	60
圖 4.19 基板雜訊干擾排除之示意圖	62
圖 4.20 (a)排除基板雜訊干擾前與 (b)排除基板雜訊干擾後的頻譜量測	62
圖 4.21 (a)100MHz 與(b)25MHz 時脈頻率下 的光接收器輸出端頻譜量測圖	64
圖 4.22 高次諧波整數倍頻驗證圖 (a)100MHz (b)50MHz	65
圖 4.23 晶片照相圖	65
圖 5.1 開迴路設定下的 BER 測試	66
圖 5.2 BER10^{-9} 的開迴路輸出眼圖量測	67



第一章 簡介

1.1 研究背景

光纖傳輸技術發展數十年至今，已從早期的高耗損率發展到現今能應付長距離通訊需求的低耗損率。相較於傳統的雙絞線電纜(twisted-pair cables)與同軸電纜(coaxial cables)，光纖的低耗損率以及極大頻寬的特性則能提供更多頻帶來承載不同的訊號通道，使資料的傳輸能夠更大量以及更遠。而國際電信聯盟為了讓光纖通訊設備製造商之間有共通的標準，制定了許多與光纖通訊有關的標準。SONET(Synchronous Optical Network)及 SDH(Synchronous Digital Hierarchy)兩套相似的標準即為在不同資料傳輸速率下所相對應的規格，如表 1.1。而近幾年來，隨著半導體製程的進步，元件及電路的設計製造成本大幅的降低，過去高速光通訊的相關元件與研究只能侷限在長距離電信資訊交換的情況已不復見，於是中距離與短距離的應用規格便漸漸地發展成型。因此，如何將光電元件與電路整合在廉價的 CMOS 製程裡，便是一項值得深入研究的課題。

SONET STANDARD	SDH STANDARD	BIT RATE
OC-1	STM-0	51.84Mbps
OC-3	STM-1	155.52Mbps
OC-12	STM-4	622.08Mbps
OC-24	—	1.2441Gbps
OC-48	STM-16	2.4883Gbps
OC-192	STM-64	9.9532Gbps
OC-768	STM-256	39,813Gbps
OC-3072	STM-1024	159.252Gbps

表 1.1 SONET 與 SDH 相對應資料傳輸速率規格表

1.2 光纖系統簡介

圖 1.1 為一個光纖通訊系統的架構圖[1][7]，主要由(1)近端(near end)、(2)光纖(Fiber)以及(3)遠端(Far end)所構成。近端包含雷射二極體驅動器(Laser driver)以及一個輸入資料為多使用者、較慢速的多通道(channel)平行資料的多工器(MUX)系統，此多工器系統將多個慢速的平行資料編碼成高速的串列資料再送入雷射二極體驅動器，雷射二極體驅動器驅動雷射二極體將電訊號轉換成光訊號發送出去。光纖即是傳送光訊號的媒介，近幾十年來的發展，光訊號在光纖中傳輸時的耗損率已從最早的每公里 1000dB 減少為每公里可小於 0.2dB。最後，光訊號則由遠端來接收，遠端中包含檢光二極體(Photo-Diode)、轉阻放大器(TIA)、限幅放大器(Limiting Amplifier)以及一組解多工器(DMUX)系統，當光訊號從光纖入射到檢光二極體後，檢光二極體會產生一微弱的電流訊號，此微弱的電流訊號經過轉阻放大器以及限幅放大器放大成一個全擺幅的數位訊號，之後再經由解多工器將串聯的訊號還原成並聯的訊號。

本研究要設計的部分為接收器前端電路，包含了一整合進 CMOS 的檢光二極體、轉阻放大器和增益放大器，以及一個負壓產生器。此外還有做為特定應用而加入額外電路，如後文所描述。

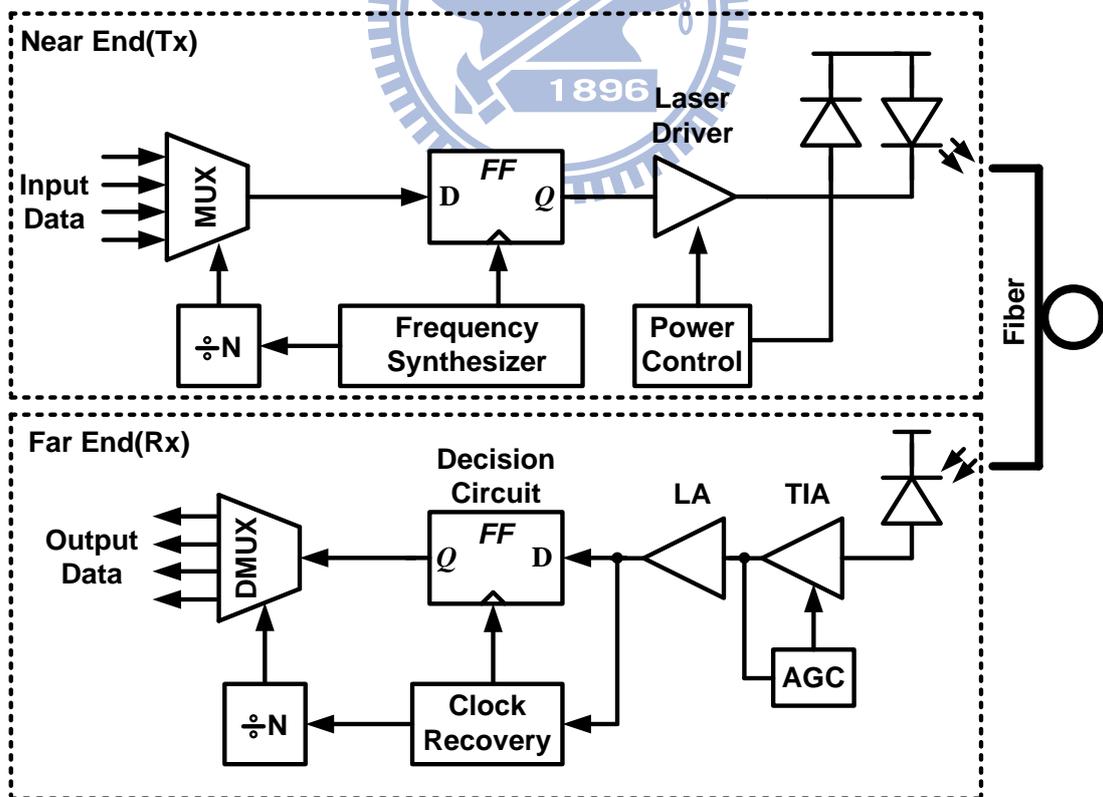


圖 1.1 光纖通訊系統

1.3 論文大綱

本論文由五個章節所組成。

第一章先介紹光纖的發展背景以及對光纖通訊系統做一個簡單的介紹。

第二章介紹單晶整合光接收器的相關背景，首先會先介紹光偵測原理以及金氧半檢光二極體的架構與頻率響應，再來是介紹近年來發展出的可適性等化器架構，從這些架構的介紹中可以延伸出此次研究的議題。

第三章則是談到電路設計方面，以 $0.18\mu\text{m}$ CMOS 製程設計出一個 3.125Gb/s 的寬頻單晶整合光接收器。首先談到採用的檢光二極體架構與模型建立，再來則是電路設計方面的討論。這次的電路設計方面包含轉阻放大器、加成本等化器、可變增益放大器及提供迴圈資訊的直流與高頻判斷電路，最後再談到負壓產生器電路的設計。

第四章為量測結果，在此章節會先描述這次量測環境的建立以及量測時晶片的設定條件，另外也會針對雜訊耦合議題進行討論。

第五章則為結論。



第二章 單晶整合光接收器及等化器相關背景

2.1 檢光二極體簡介

2.1.1 光偵測原理

在逆偏壓的條件下，當能量大於矽能隙(band-gap)的光子打入二極體時，位於價帶的電子會躍升至傳導帶，產生一對電子電洞對，此即為檢光二極體的光偵測原理。檢光二極體操作於逆偏壓是因其不會產生順偏電流影響主要的電流訊號。不同光波長的光子入射檢光二極體時穿透的深度也會不同，可能橫跨超過空乏區域。在空乏區內產生的載子藉由較快的飄移(drift)機制所收集，而在空乏區外的少數載子則由較慢的擴散(diffusion)機制傳輸，光電流即為這兩種載子流動的總和。然而，緩慢的擴散載子在暫態響應上會產生一尾狀效應(tail response)，若光電流成份中擴散載子的比例越多，那麼檢光二極體的速度將會越慢。因此，降低光電流中擴散載子的比例便能得到較高速的響應，於是，調整PN 接面摻雜輪廓或是增加逆偏電壓使得空乏區變大，都是獲得較佳檢光二極體響應的方法。

響應率(responsivity)為檢光二極體的重要參數，被定義成單位入射光能量所能產生的電流比例。圖 2.1 為不同材料對光波長的響應率，可以看到對矽而言，其響應率的最大值約在光波長為 850nm 時。

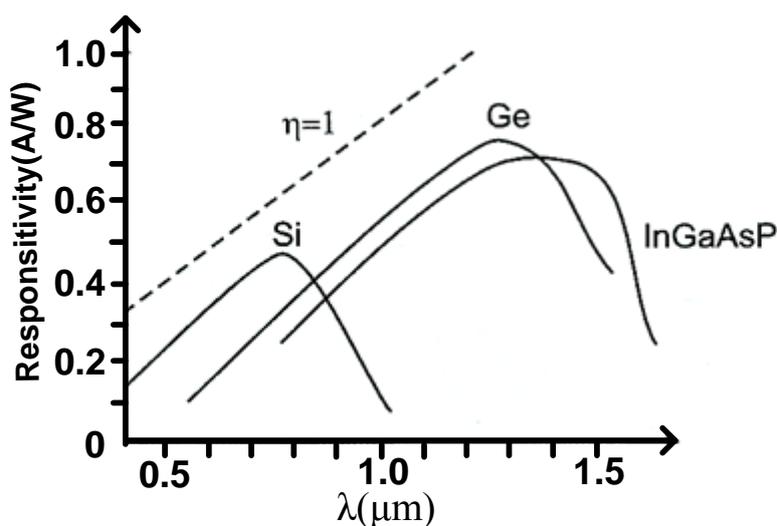


圖 2.1 不同材料對光波長之響應率

2.1.2 金氧半檢光二極體結構

圖 2.2 為檢光二極體在 CMOS 製程中可實現的類型，在 $P^+/N\text{-well}$ 與 $N^+/P\text{-substrate}$ 的檢光二極體類型中，由於兩者的 PN 接面深度都較淺，所以比起 $N\text{-well}/P\text{-substrate}$ 類型的較深 PN 接面，前兩者的接收效率會較差。接著從檢光二極體速度的觀點來看， $P^+/N\text{-well}$ 類型的檢光二極體在接收光時並無牽扯到基板的緩慢擴散載子，所以比其他兩種類型具有更快的速度。然而， $N^+/P\text{-substrate}$ 與 $N\text{-well}/P\text{-substrate}$ 類型的檢光二極體雖然速度較慢，但因為擁有大量的基板擴散載子而有著較大的信號成份。考量信雜比(SNR)與頻寬的因素後，決定採用信雜比(SNR)較佳但速度較慢的 $N\text{-well}/P\text{-substrate}$ 類型的檢光二極體，並利用電路技巧補償其較慢的速度。

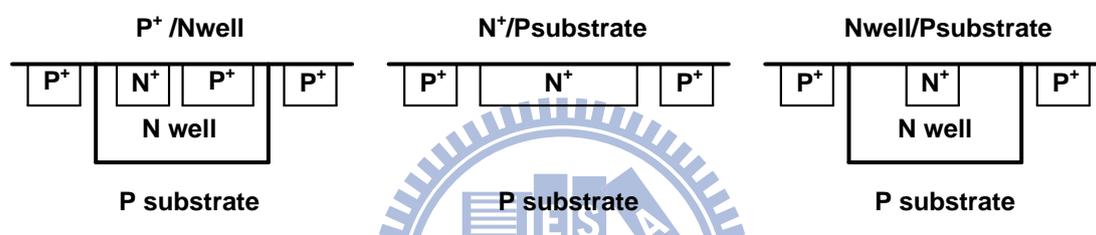


圖 2.2 金氧半檢光二極體結構

2.1.3 檢光二極體頻率響應

由於光電流是由速度較快的飄移載子與速度較慢的擴散載子以不同比例混合而成，因此考慮元件的二維效應，從[2]的結果可以看出在 CMOS 檢光二極體內不同成分電流的頻率響應，圖 2.3 為 850nm 光波長照射在檢光二極體上的響應，可看出高速的飄移載子有最高的頻寬，N-well 擴散載子因為離接面較近所以有次之的頻寬，而 P-substrate 擴散載子的頻寬最低。但在響應率上，P-substrate 擴散載子的電流成份比其他兩電流高出許多，因此檢光二極體的頻寬仍舊被速度慢的 P-substrate 擴散載子所限制。之後電路的設計，主要是針對此擴散載子的低速表現作補償，並進而達到要求的接收器工作速度。

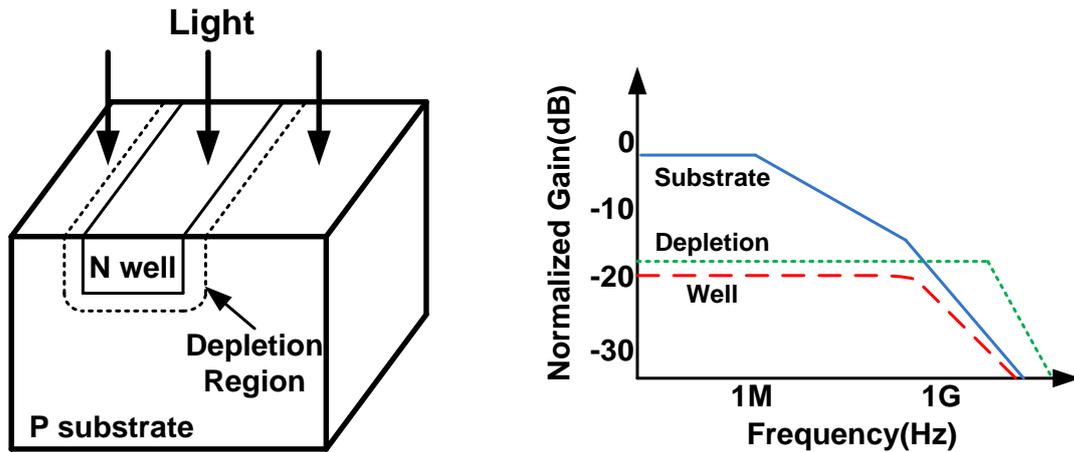


圖 2.3 檢光二極體各成分之頻率響應

2.2 等化器相關研究簡介

2.2.1 使用斜率偵測器的單迴圈可適性等化器架構

在圖 2.4[3]中，使用了載波器(Slicer)來得到參考訊號，並利用斜率偵測器(Slope Detector)攫取高頻的資訊。斜率偵測器將參考訊號及輸入訊號的斜率取出後，將兩者的差異經過一個比較器放大，再產生控制電壓，進而對訊號作補償。但此種架構的缺點是斜率偵測器會對訊號作嚴重的衰減，大幅減低系統的迴圈增益。因此無法做出精準的補償。

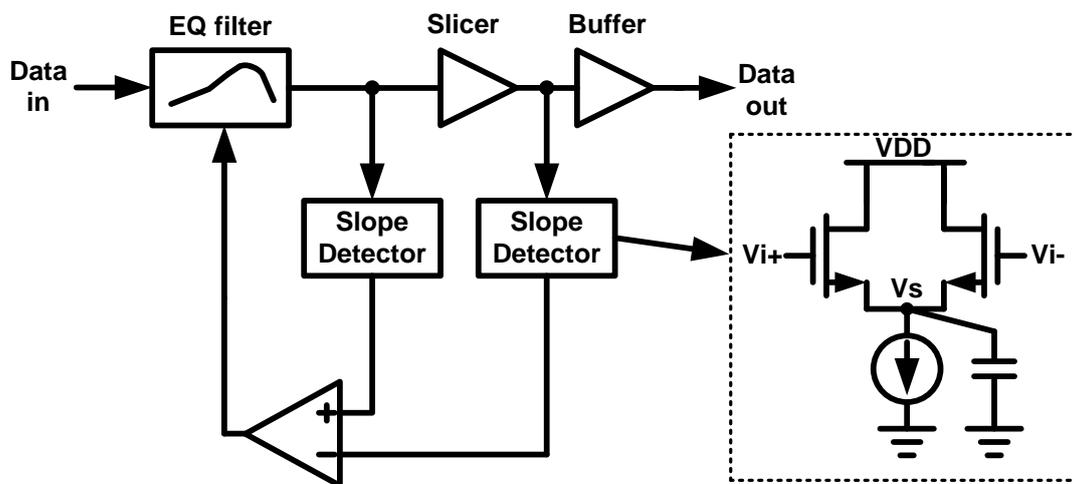


圖 2.4 使用斜率偵測器的單迴圈可適性等化器架構

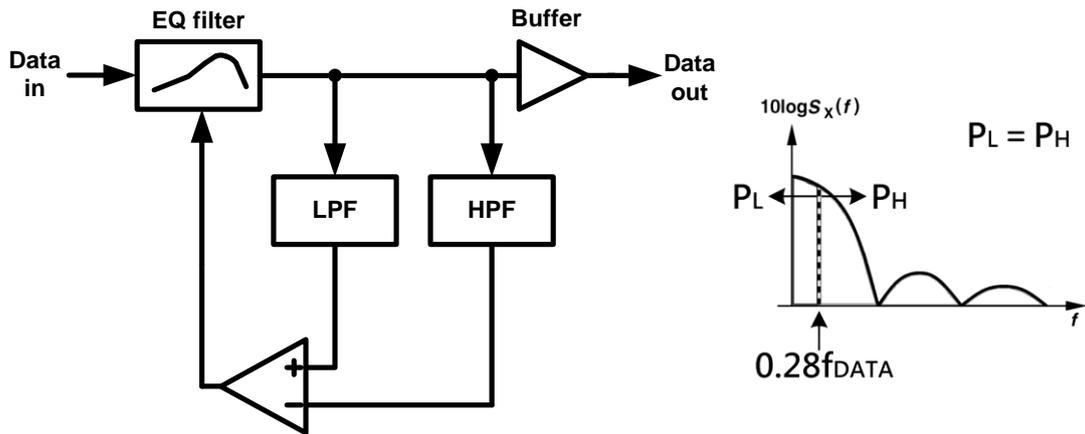


圖 2.6 使用高低通濾波器的單迴圈可適性等化器架構

	[3]	[4]	[5]
Technology	150-GHz SiGe	0.18 μ m CMOS	0.13 μ m CMOS
Data Rate	10Gb/s	3.5Gb/s	20Gb/s
Supply Voltage	3.3V	1.8V	1.5V
Power	155mW	80mW	60mW
BER	N/A	N/A	10^{-15}
Area	810 μ m \times 870 μ m	480 μ m \times 730 μ m	800 μ m \times 250 μ m

表 2.1 可適性電路相關研究發展比較表

第三章 3.125 Gb/s 的單晶整合光接收器設計

3.1 研究動機

在短距離的資料傳輸應用中(如區域網路、晶片間的連線)，因為通道無法被共用，且光偵測器(optical detector)多以 GaAs 或 InP-InGaAs 等昂貴的方式實現，因此對於單一使用者而言，其成本相當高昂。

為了降低短距離資料傳輸的花費，我們傾向使用低成本的塑膠光纖、雷射和標準製程。然而，低成本的塑膠光纖其直徑為 $50\mu\text{m}$ ，其雷射光點的直徑大小也會落在此值附近，使得檢光二極體(Photo-Diode)的面積將被限制在 $50\mu\text{m}\times 50\mu\text{m}$ 左右。因此在製程方面為了降低成本，將整個光偵測器整合進主流的 CMOS 製程裡。這樣的整合可大幅減輕接地彈跳(ground bounce)、鏢線(bond wire)、靜電防護(ESD)等所引起的問題。

此外，電路的輸入端 RC 時間常數決定了系統的主極點(dominant pole)，而整合進晶片裡的檢光二極體其電容已知且固定，故增進了系統的穩定度；電路輸入端減少了額外的對外連結，原先路徑上所耦合進的環境雜訊都可以避免。

然而，在現今的 CMOS 技術下所實現的積體光偵測器，其傳輸速率約為 10Mb/s 的數量級左右。如此慢的速率是因為矽材料本身的緣故，長波長的光打入檢光二極體時將在矽的深處產生擴散載子(diffusion carriers)，此緩慢擴散至空乏區的載子限制了整體的速率。

因此在這次的研究裡，為了提升檢光二極體的速度，並且在低成本的前提下，我們傾向於盡量增加空乏區區域的方法。於是，檢光二極體的結構與偏壓方式便是一個方向。研究中，我們將以現今標準的 CMOS 製程實現一整合了檢光二極體的光接收器，並以一內部產生的大的負壓來提供檢光二極體一個 10V 的逆偏壓，以增加空乏區的厚度來改善檢光二極體的頻寬，另外還使用等化(equalization)的技巧補償 CMOS 檢光二極體先天的緩慢速率，如此一來可兼顧低成本和高速率、高整合性的優點。

3.2 檢光二極體結構與模型建立

3.2.1 檢光二極體結構

此次研究使用的檢光二極體為第二章第一節所提到的 N-well/P-substrate 類

型的改良版，不同之處在於加入了 Deep N-well 層，而加入 Deep N-well 層的好處在於增加縱切方向 PN 接面的空乏區面積，如圖 3.1(b)所示。

當能量大於材料能隙的入射光射入檢光二極體時，會在 P 型基板、空乏區及 N 型井分別產生電子電洞對，光電流即為這三股電流的總和。因為空乏區的飄移載子由兩端的電場所收集，故有較快的速度。N-well 和 P-substrate 的載子由擴散的方式收集，其中 P 型基板的載子所需擴散的距離較長，因此有較慢的速度。當波長為 850nm 的光射入 CMOS 檢光二極體時，其穿透深度約為 10 μ m，因此大部分的載子都在 P 型基板處產生，其緩慢的擴散載子使得整體頻寬只有 MHz 的等級，且其增益有著緩慢的下降。

因此若是因為空乏區面積的增加使得飄移載子的比例增加而擴散載子的比例減少，那麼檢光二極體頻寬就可以因此得到改善。

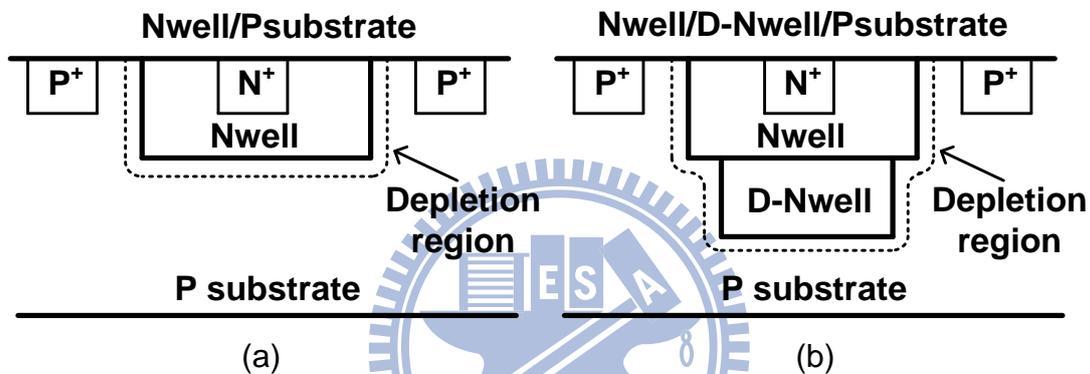


圖 3.1 (a)N-well/P-substrate 型 與 (b)N-well/D-Nwell/P-substrate 型之檢光二極體剖面圖

圖 3.2 為檢光二極體中 N-well 不同的排列方式，相較於傳統多指式 (multi-finger) 的排列方式(圖 3.2(a))，這次採用的二維陣列式(2-D array)排列(圖 3.2(b))可以更增加橫向 PN 接面的空乏區面積，因此頻寬可以更進一步得到改善。在檢光二極體頻率響應獲得改善後，後級等化器(Equalizer)便不需提供太多高頻補償，電路即可達到預定的頻寬，如此一來靈敏度(sensitivity)便可得到改善。所以這次設計的是二維陣列式的 N-well/Deep N-well/P-substrate 檢光二極體。考量雷射的光點大小(spot size)後，決定檢光二極體面積為 70 μ m \times 70 μ m，避免太小的檢光二極體面積造成光能量的損失以及避免太大檢光二極體面積造成多餘的電容負載效應。此次設計面積約產生 0.8pF 的電容值。圖 3.2(c)為不同檢光二極體架構及排列方式的量測結果，在頻率響應方面，可以看出架構影響頻寬的因素最為強烈，而排列方式的不同並沒有對頻寬有太大的影響；而在考量直流響應率之後，最後我們選擇有 Deep N-well 層的檢光二極體來接收光訊號。

另外，因為此製程表皮不能夠受光，一旦受光，基板的緩慢擴散載子比例將會增加，降低檢光二極體頻率響應，使得後級等化器(Equalizer)需要花費更多的高頻補償，電路才能達到預定的頻寬，其代價便是高頻雜訊增加，因此降低電路

的靈敏度。故在電路佈局(layout)時我們在檢光二極體周圍利用金屬圍一圈防護環(guard ring)做為擋光的功能，避免入射光照射到檢光二極體以外的區域而影響靈敏度。

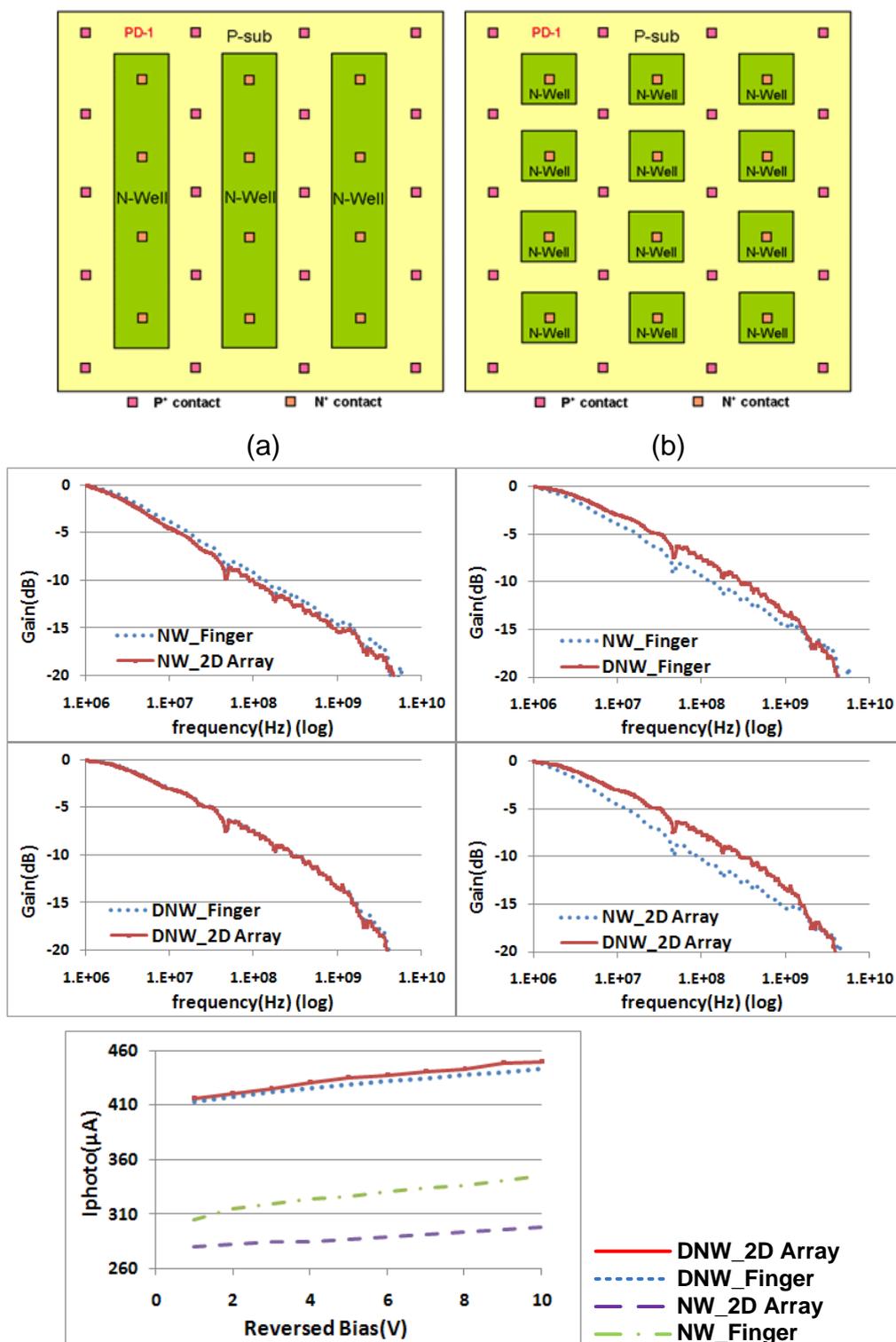


圖 3.2(a)多指式 與(b)二維陣列式之檢光二極體俯視圖 (c)檢光二極體之頻率響應以及直流響應率的比較

3.2.2 Medici 模擬及 ADS 模型建立

為了能將檢光二極體與後端電路設計整合，須萃取這次研究裡所使用的標準 CMOS 製程檢光二極體的頻率響應並建立模型。圖 3.3 為電路模擬時使用的檢光二極體的頻率響應模型和 Medici 之模擬的比較，執行 Medici 模擬的條件為 850nm 的入射光波長以及 10V 的逆偏壓條件。

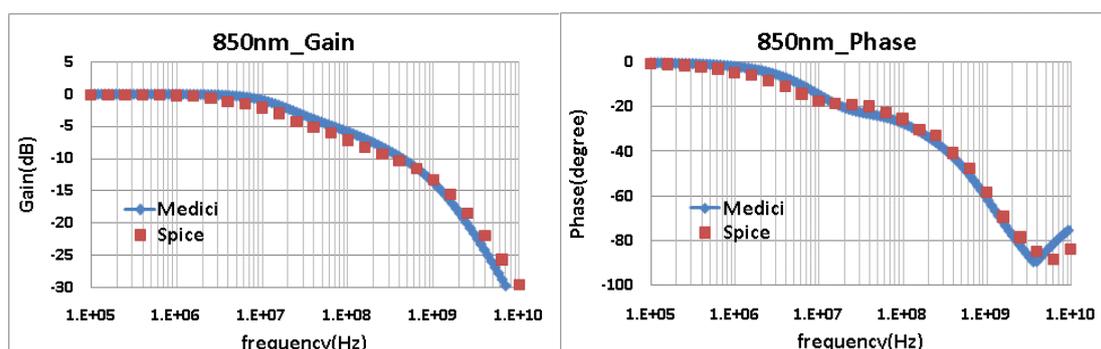


圖 3.3 Medici 模擬和 ADS 模型對應圖

3.3 光接收器架構簡介及設計概念

3.3.1 等化器設計概念

在元件模擬軟體 Medici 的實驗中，發現不同頻率響應的入射光，其頻率響應的差異主要來自於生成於基板的緩慢擴散載子響應，與高速飄移載子或後端電路 RC 時間常數較無關係，因此等化器的設計為了能夠因應不同的輸入頻率響應做調整，因此利用一個加成控制器來混合不同比重的高頻補償量，進而達到可適性補償的目的，如圖 3.4 所示，圖中的增益響應模擬反應出不同比例的調整，影響的範圍主要是擴散載子的響應範圍。

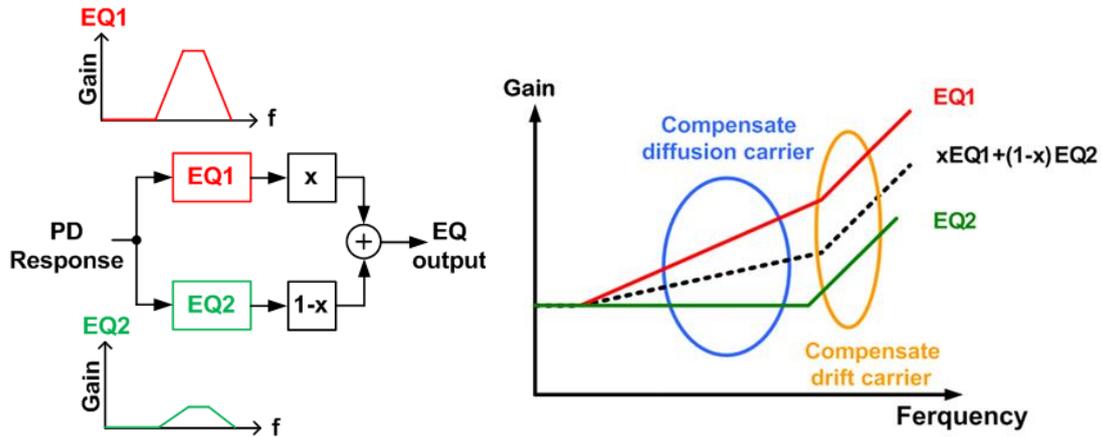


圖 3.4 設計概念

3.3.2 光接收器架構簡介

此次設計的光接收器架構如圖 3.5 所示，首先光訊號由大逆偏的檢光二極體接收產生光電流，之後經過包含轉阻放大器在內的主要路徑(Main path)轉換成放大的電壓訊號並且消除直流偏移，再由斜率控制器(Slope controller)內的斜率偵測器(Slope detector)偵測出斜率資訊，並利用比較器與一個由 V_{sc} 控制的參考斜率來進行斜率的閉迴路控制。而仿製路徑(Dummy path)則利用前饋(feed-forward)的方式偵測訊號的峰值，並經由一個比較器與一個參考電壓 V_{ref3} 來進行振幅的控制，此種前饋式的偵測方式可以有效地降低傳統雙迴圈架構中，兩個迴圈相互干擾嚴重的效應。此次設計的仿製路徑由於是主要路徑中電路的複製，因此仿製路徑與主要路徑有著相同的直流增益。另外，值得注意的是直流增益控制方面不能使得主要路徑上的訊號產生限幅(limiting)的現象，否則會使得訊號的斜率資訊錯誤而產生錯誤的高頻補償量。

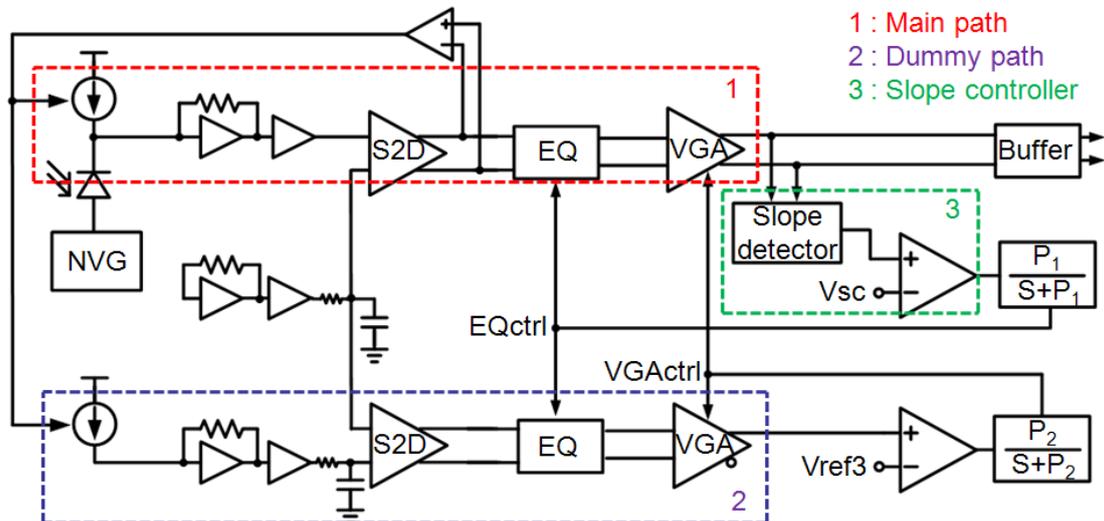


圖 3.5 光接收器架構圖

再來談討論的是斜率偵測器的概念，為了進行高頻補償，我們必須適當地擷取出高頻相關的資訊，而鑑於傳統可適性架構利用整流器當作斜率偵測器使得斜率訊號微弱的缺點，因此此次斜率偵測器的設計理念傾向於加強偵測到的斜率訊號的強度。概念上，即是將斜率資訊轉換成數位訊號並進行控制，圖 3.6 即為本次斜率偵測器的設計概念，從時序圖中即可清楚地得知斜率偵測器偵測斜率資訊並轉成數位訊號的方法。而從(公式 3.1)可以看出當我們控制斜率資訊 ΔT ，便是在對訊號的斜率作控制的動作。另外，(公式 3.1)成立的條件為訊號振幅大於兩個參考電壓的差異量，因此在設計上需適當地設計兩個參考電壓值。

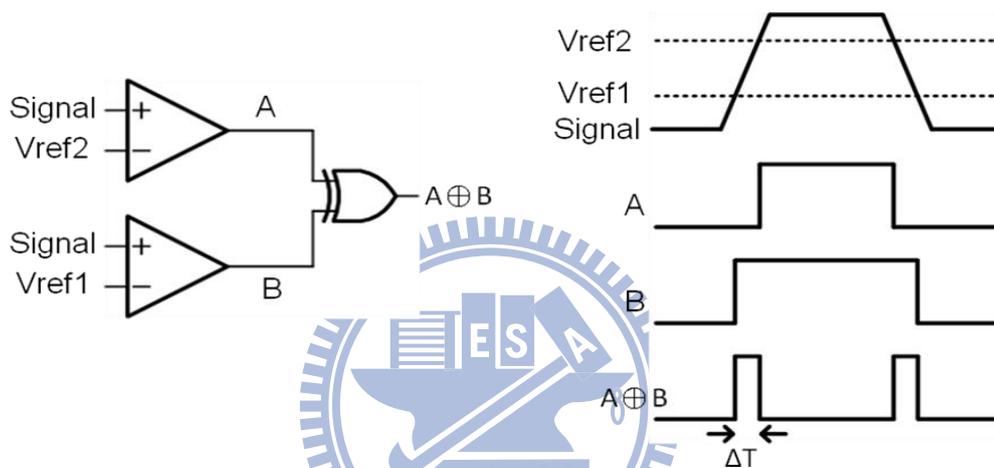


圖 3.6 斜率偵測器概念圖

$$\Delta T = \frac{V_{ref2} - V_{ref1}}{\text{Slope}} \quad (\text{公式 3.1})$$

接著我們討論振幅偵測的概念。由於斜率偵測器的工作條件發生在訊號振幅大於兩參考電壓差時，因此為了在不同強度的光訊號條件下，都能提供足夠的訊號振幅使斜率偵測器能夠正常操作，於是需要一個能夠進行直流控制的仿製路徑，此仿製路徑採用前饋控制的方法來避免雙迴圈交互影響的缺點，如圖 3.7。

再來談到仿製路徑如何取得直流資訊的方法。首先，由於檢光二極體在“0”的訊號下產生的電流振幅約為零，因此在不同光強度的條件下，檢光二極體產生“1”的訊號的電流振幅就會跟輸入光強度有關係，所以檢光二極體先天上存在一直流偏移電流(I_{DC})，此直流偏移電流值約為檢光二極體產生“1”的訊號的電流振幅與產生“0”的訊號的電流振幅的平均。於是，主要路徑上等化器電路前端的偏移消除迴圈(offset cancellation loop)一方面消除了主要路徑的直流偏移量，另一方面也保存了訊號電流振幅相關的資訊。藉由複製偏移消除迴圈中的直流偏移

補償電流到仿製路徑上，仿製路徑於是得到訊號振幅相關的資訊，如圖 3.8 所示為仿製路徑上直流位準與主要路徑上訊號的關係圖。由於仿製路徑上的直流位準即為主要路徑上訊號的峯值，因此控制仿製路徑的直流訊號即可控制主要路徑上訊號的振幅大小。另外，整個仿製路徑完全是以電路的直流位準為對象作操作，因此有著很大的增益。

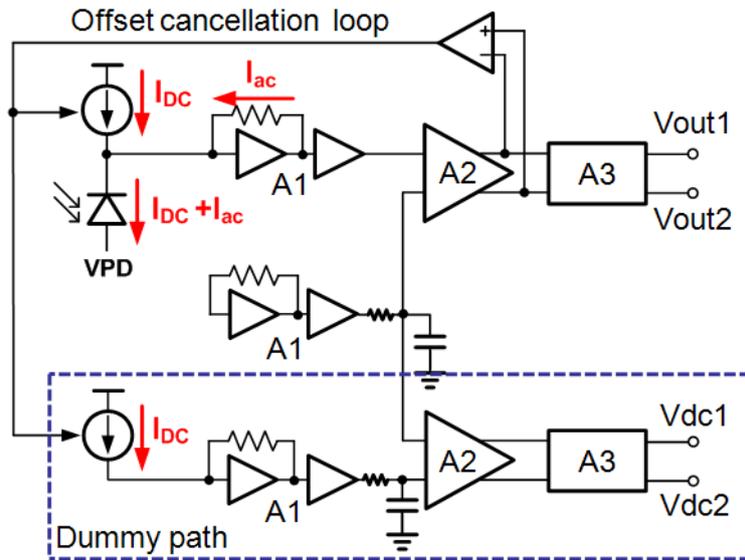


圖 3.7 仿製電路示意圖

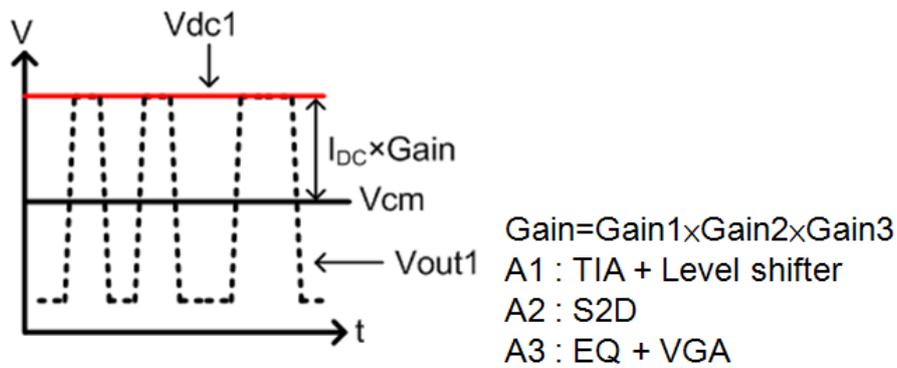


圖 3.8 仿製電路之行為操作概念圖

3.3.3 負壓產生器設計概念

此次負壓產生器是以 Dickson charge pump[11]為基底來設計，而 Dickson charge pump 的概念類似電壓加倍器(Voltage doubler) [6]，是利用開關的交互切

換以及電容瞬時跨壓保持不變的特性，使輸出電壓達到輸入電壓的兩倍，如圖 3.9 所示。在 phase I 時，電容正負端分別接到 V_{DD} 與 GND，因此電容此時跨壓為 V_{DD} ；而當 phase II 時來臨時，開關的切換使得電容的負端由 GND 切換到 V_{DD} ，由於電容瞬時跨壓保持不變的關係，因此此時電容的正端呈現的電壓值就變成 2 倍的 V_{DD} 。利用此一電壓加倍器的概念串聯 N 級並使相連兩級的開關狀態相反，即可在輸出端得到 N 倍 V_{DD} 的輸出電壓的結果。

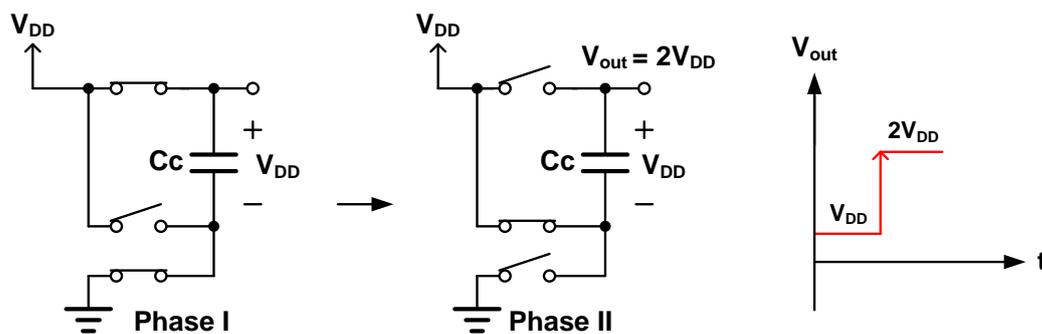


圖 3.9 電壓加倍器工作示意圖

3.3.4 負壓產生器架構簡介

圖 3.10 為此次負壓產生器的功能區塊圖(functional block)，負壓產生器核心為串聯 8 級的增強式電荷轉移區塊(Boosted CTB)，而用來驅動電荷轉移的時脈則由環震盪器(ring oscillator)[7]產生一組時脈，再經過非重疊時脈產生器(non-overlapping clock generator)[17]產生所需的四組時脈。另外，為了提升低輸入負載電流時的功率效率，從輸出端建立一條回授路徑來自動判斷何時需要切換時脈頻率。

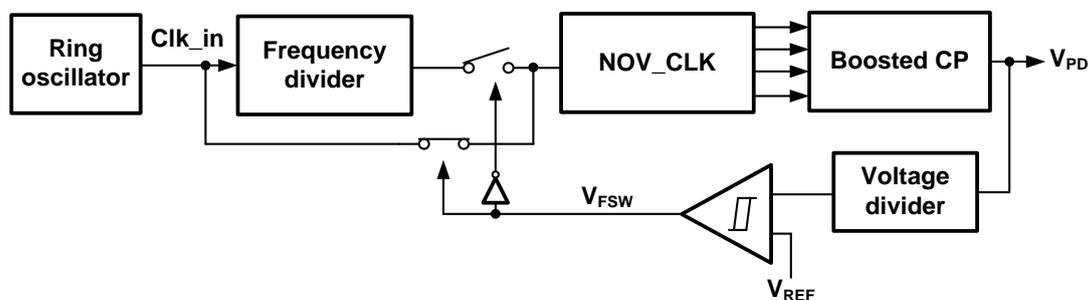


圖 3.10 負壓產生器架構簡介圖

3.3.5 負壓產生器輸出與 NMOSFET 的關係

在這次的研究中，因為負壓產生器產生的負壓要直接提供給檢光二極體以使得檢光二極體處於大逆偏狀態，因此負壓產生器的輸出端會直接接到 P 型基板上，使得 P 型基板呈現負壓狀態。

因為 P 型基板是呈現負壓的狀態，所以若是 NMOS 的基極直接連接到 P 型基板上，那麼 NMOS 將會面臨閘級氧化層崩潰(Gate oxide breakdown)的問題。因此，如圖 3.11 所示在 NMOS 結構中加入了 Deep N-well 層，目的在於使 NMOS 本身的基極(body)能夠跟 P 型基板做隔離的動作，避免 NMOS 的閘基級跨壓過大而造成崩潰現象，所以在這次的研究中所有的 NMOS 都有加入 Deep N-well 層來與 P 型基板做隔離；而在 PMOS 中因為基極本來就與 P 型基板是分開的，所以 PMOS 不會有問題。

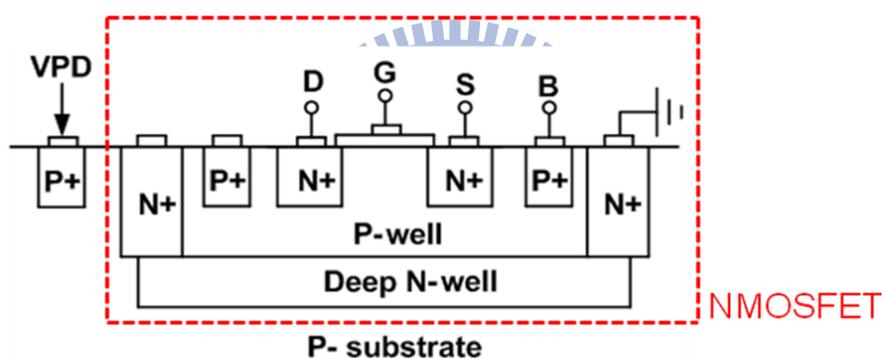


圖 3.11 加入 Deep N-well 的 NMOS 結構圖

3.4 電路設計

3.4.1 轉阻放大器

檢光二極體在逆偏(reverse-biased)狀態下，照光會產生一光電流訊號，因此我們需要設計一轉阻放大器來接收此光電流訊號，並將之轉換為電壓訊號以供後級進行後續的處理。為了增益與雜訊的考量，我們以共源級採電壓-電流負回授(shunt-shunt feedback)的架構來實現，其一階模型如圖 3.12 所示。

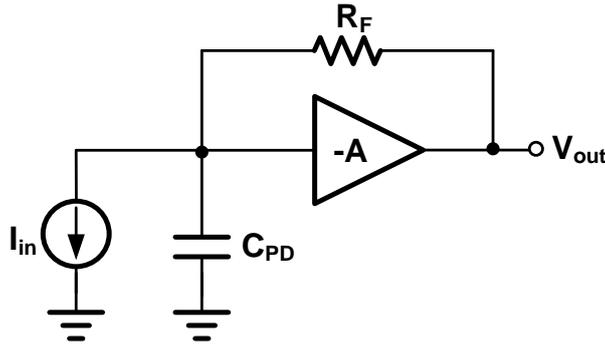


圖 3.12 共源極轉阻放大器一階等效模型

$$T_z = -\frac{A}{A+1} \cdot \frac{R_F}{1 + s \frac{R_F C_{PD}}{A+1}} \quad (\text{公式 3.2})$$

$$f_{-3dB} = \frac{1}{2\pi} \cdot \frac{A+1}{R_F C_{PD}} \quad (\text{公式 3.3})$$

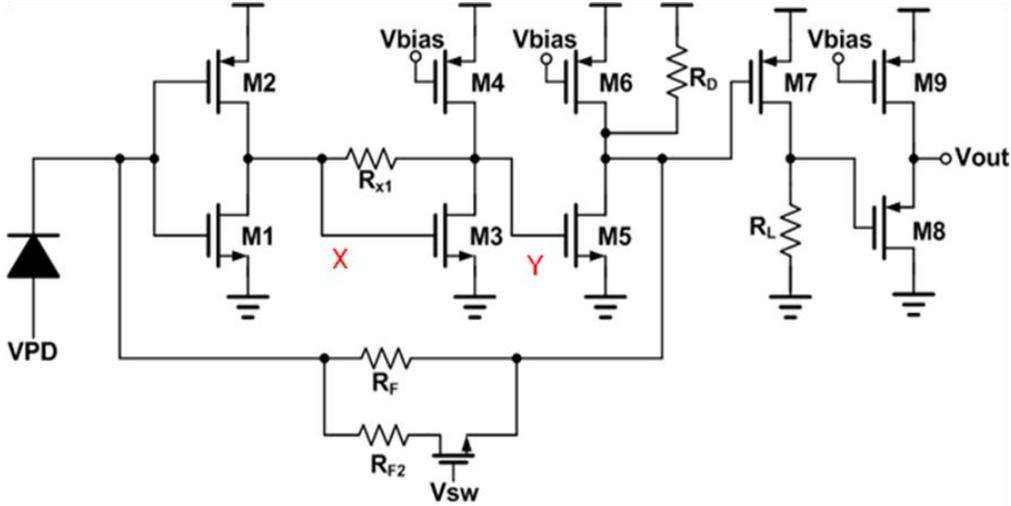
由於架構採電壓-電流負回授的緣故，因此我們利用增加開迴路增益的方法來同時降低輸入以及輸出阻抗，輸入阻抗的降低能夠提高輸入端極點的頻率以提升頻寬；而輸出阻抗降低則是能夠獲得增加對後級驅動能力的好處。

為了提升轉阻放大器的頻寬，在此我們採用多級放大(Multi-stage)的方式來實現，如圖 3.13(a)所示為一個三級串接的轉阻放大器，設計規格如表 3.1，而為了達到增益與穩定度的要求，我們加入 R_{x1} 電阻來控制穩定度，如圖 3.14 所示，穩定度是由 ω_t 與 ω_{p2} 的距離來決定，當 R_F 降低時發現 ω_t 會增加，若 ω_{p2} 不受 R_F 影響時因 ω_t 的增加使 ω_t 與 ω_{p2} 的距離縮短，如此相位邊限(phase margin)會降低，因此我們加入 R_{x1} 電阻來適當的控制 ω_t 與 ω_{p2} 的距離，以解決穩定度問題。另外，當 R_F 增加時 ω_t 往低頻移動，造成放大器的頻寬減少，圖 3.15 所示即為 R_F 與轉阻放大器頻寬的關係圖。為了適當設計放大器，我們需要對放大器做小訊號分析，由圖 3.13(b)可以推導出放大器的轉移方程式(公式 3.4)，若忽略輸出端的極點及電路零點效應，可以得到自然頻率(ω_n)(公式 3.5)及阻尼因數(ζ)(公式 3.6)，那麼對於給定的頻寬， $0.7 \times \text{Data Rate}[7]$ ，我們可以先決定 ω_t 再配合自然頻率及阻尼因數來決定電路其他參數。

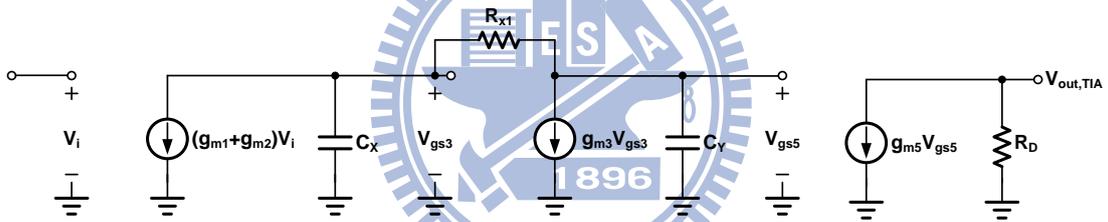
$$\frac{V_{out,TIA}(s)}{V_i(s)} = \frac{(g_{m1} + g_{m2})g_{m5}R_{x1}R_D(sC_X + g_{m3} - 1)}{[s^2R_{x1}C_X C_Y + s(C_X + C_Y) + g_{m3}](sR_D C_{out} + 1)} \quad (\text{公式 3.4})$$

$$\omega_n = \sqrt{\frac{g_{m3}}{R_{x1}C_X C_Y}} \quad (\text{公式 3.5})$$

$$\zeta = \frac{1}{2} \frac{C_X + C_Y}{\sqrt{g_{m3} R_{x1} C_X C_Y}} \quad (\text{公式 3.6})$$

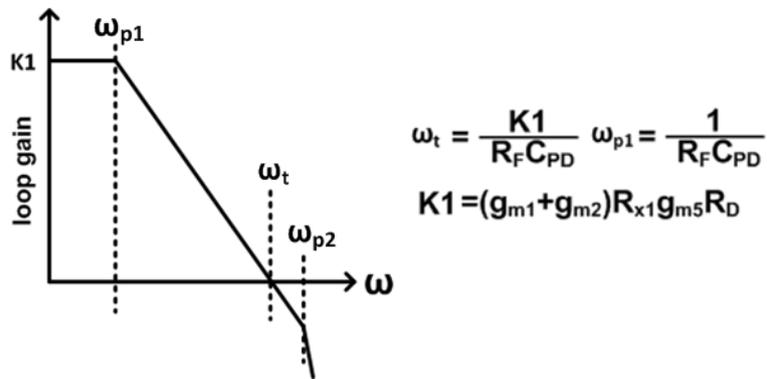


(a)



(b)

圖 3.13 (a)轉阻放大器 (b)開迴路小訊號等效電路



$$\text{if } \omega_{p1} \ll \omega_t : \text{Phase Margin} = 90^\circ - \tan^{-1}\left(\frac{\omega_t}{\omega_{p2}}\right)$$

圖 3.14 迴路增益

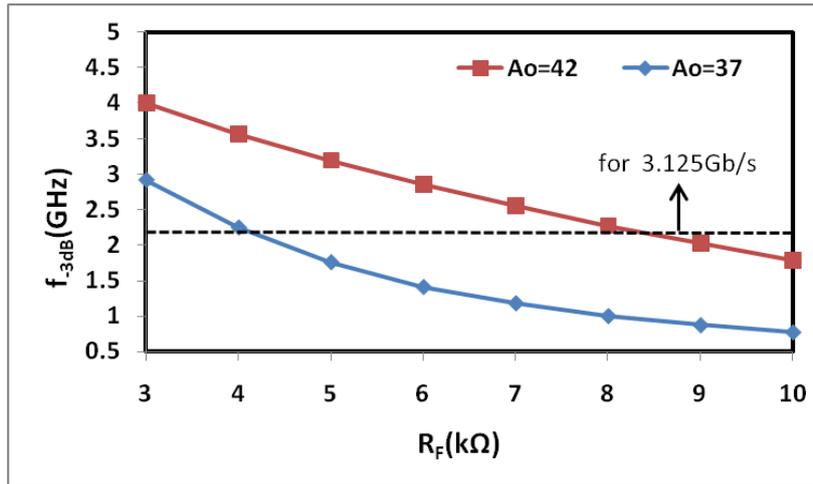


圖 3.15 轉阻放大器頻寬與回授電阻 R_F 關係曲線

靈敏度在轉阻放大器的設計上是一項重要的規格，若靈敏度越好，代表光接收器能夠接收越長距離所傳來的訊號。一個轉阻放大器通常會以它的輸入端等效雜訊電流(input-referred noise current)來計算靈敏度，在相同強度的輸入光電流條件下，越小的輸入端等效雜訊電流代表靈敏度的表現越好，因此在設計上必須盡可能地降低輸入端等效雜訊電流的值。

對於轉阻放大器上各元件的雜訊造成的影響，可將其在輸入端等效具有一個雜訊輸入電流源，此電流源的計算可以參考[7]並將之列出如(公式 3.7)，由公式可以看出雜訊電流的大小主要由轉阻放大器回授電阻 R_F 、輸入端寄生電容 C_T 以及放大器第一級轉導值所決定，所以為了得到好的靈敏度，必須在頻寬足夠的條件下，盡可能地增加 R_F 的阻值以減少回授電阻造成的熱雜訊，同時因放大器第一級直接影響輸入端，因此必須將第一級的轉導值放大來降低電路造成的雜訊[8]，使轉阻放大器具有較佳的靈敏度表現。轉阻放大器消耗功率為 25.1mW。

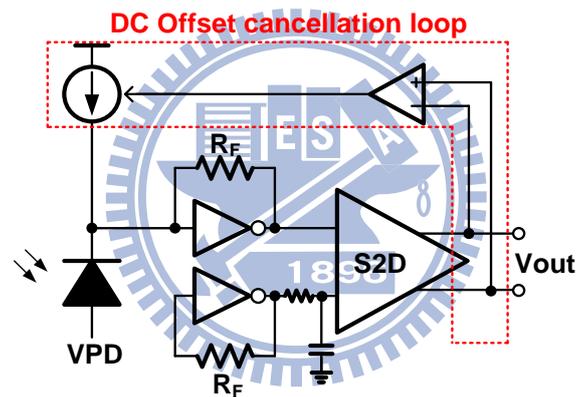
$$\overline{I_{n,in,TIA}^2} \approx 4kT \left[\frac{1}{R_F} + \gamma \cdot \frac{1 + (\omega \cdot R_F C_T)^2}{(g_{m1} + g_{m2}) R_F^2} \right] \quad (\text{公式 3.7})$$

	Target	Requirement
C_{FD}	0.8pF	0.8pF
Gain	74dBΩ	$R_F > 5k\Omega$
BW	2.2GHz	$> 2.2GHz$
A_o	42	> 42

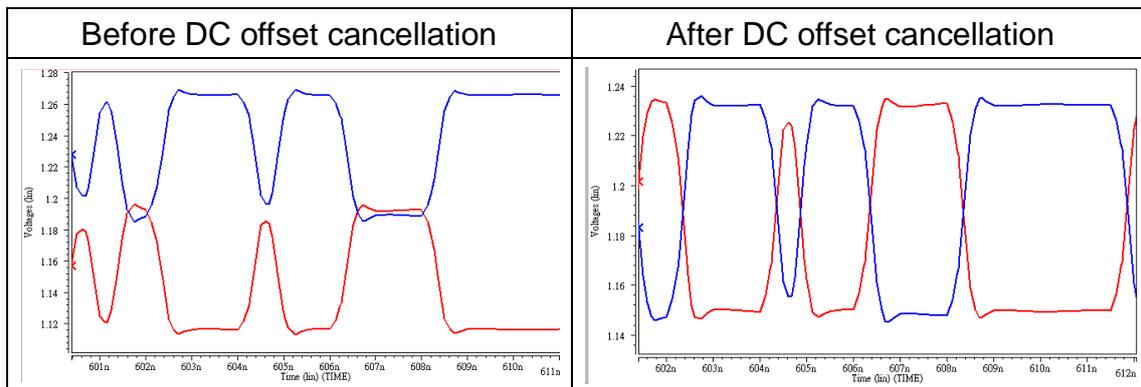
表 3.1 轉阻放大器設計規格表

3.4.2 單端對雙端轉換級(Single-to-Differential ,S2D)

此次設計的轉阻放大器為單端輸出型式，而為了提高訊號對供應電壓的雜訊免疫力以及降低基板雜訊(substrate noise)對電路的影響，我們透過單端對雙端轉換級將訊號轉成差動形式，圖 3.16(a)為電路的行為模型，在電路中加入一個不照光的仿製轉阻放大器(dummy TIA)是為了提供 S2D 輸入端一個直流準位，而由於檢光二極體照光產生的光電流先天存在一個隨著不同輸入光強度而改變的直流偏移量，故為了提高系統的動態範圍，在 S2D 輸出端建立一個直流偏移消除迴圈(DC offset cancellation loop)，圖 3.16(b)的模擬可以看出直流偏移消除前後的差異。另外，因為仿製轉阻放大器只提供一個直流準位，為了靈敏度的考量我們在仿製轉阻放大器輸出端加入一個低通濾波器來降低此仿製電路帶來的雜訊影響。圖 3.16(c)為電路的實現方式，以 Cherry-Hooper 架構[7]為基底加上米勒負電容 C_F 來維持所需要的頻寬。此轉換級消耗功率為 2.6mW。



(a)



(b)

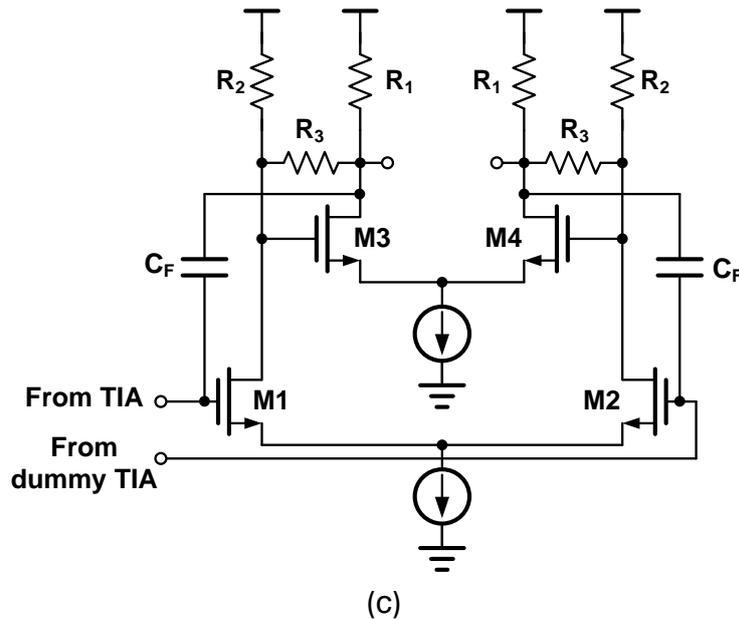


圖 3.16 (a)單端對雙端轉換級電路模型 (b)直流偏移消除前後的差異 (c)轉換級電路架構

3.4.3 可調式等化器

在這次的應用中，由於檢光二極體對於不同逆偏條件有著不同斜率的增益下降響應，故我們創造兩種不同程度的高頻補償，並以加成的方式做補償調整，如圖 3.17 所示，上端路徑擁有大量的高頻補償，目的是為了解決檢光二極體中大量的基板緩慢擴散載子所產生的效應，故以一級多頻帶補償式源級退化級來實現；無高頻補償的下端路徑存在的理由，一為建立高頻補償程度的下限，另一則為使訊號在進入加成控制器前的延遲時間相等，以減少相位抖動量(jitter)。另外，考慮到迴圈控制的線性度，設計之高頻補償範圍必須涵蓋不同逆偏條件下增益響應的變化範圍。兩路徑的加成比例由加成控制器(Interpolation Weighting Controller)中的 EQctrl 訊號來控制，此值越高，加成控制器的高頻補償能力越強。

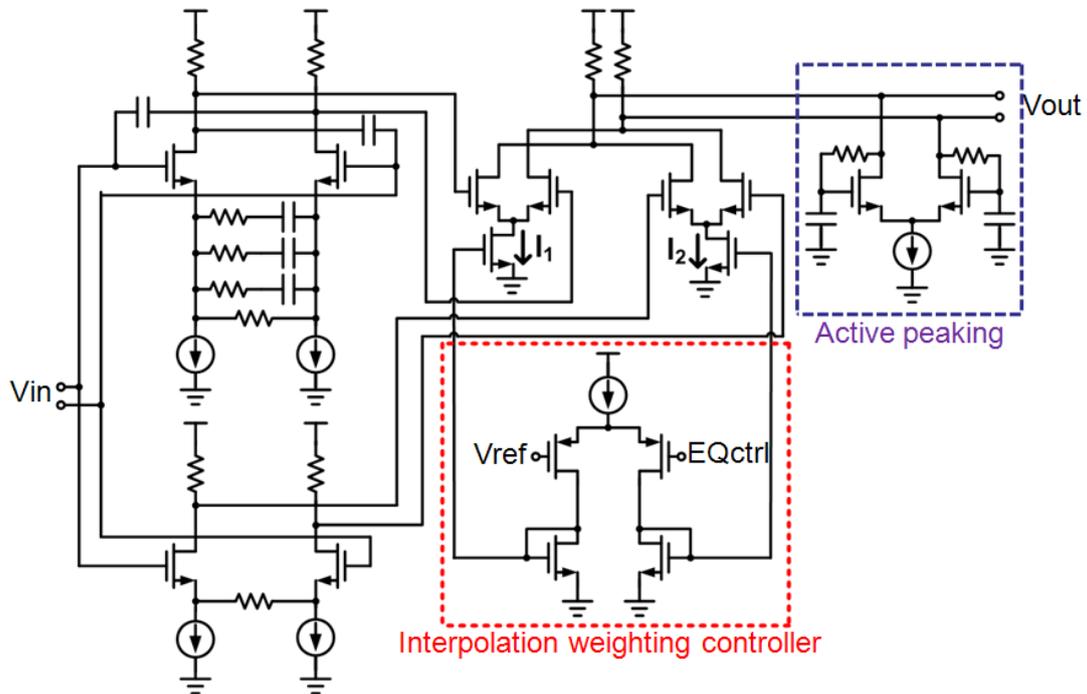


圖 3.17 可調式等化器

上端路徑的多頻帶補償式源級退化級的概念是使源級的阻抗值隨著頻率增加而減少，當源級阻抗減少時，放大器的增益就會提升，如此一來便能得到一個可以隨著頻率增加而增加的增益響應，因此能夠用來進行高頻補償。

圖 3.18 所示為退化級的半電路，半電路中的 Z_s 阻抗若能達到隨著頻率增加而阻抗減少，那麼放大器的增益響應將能進行高頻補償。(公式 3.8) 為半電路的轉移函數(transfer function)，將 Z_s 代入(公式 3.8)並假設 g_m 很大且 $R_S=R_D$ ，經過整理可得(公式 3.9)，在(公式 3.9)將 $s=0$ 、 $s=j\omega$ 、 $s \rightarrow \infty$ 代入可以看出當頻率增加時，源級退化級的增益也會隨之增加。

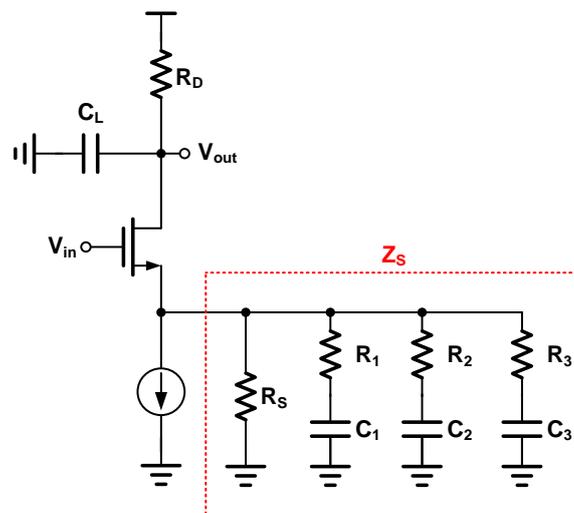


圖 3.18 多頻帶補償式源級退化級半電路

$$|A_v| = \frac{V_{out}}{V_{in}} \approx -\frac{R_D}{\frac{1}{g_m} + Z_s \parallel r_o} \quad (\text{公式 3.8})$$

$$\frac{V_{out}}{V_{in}}(s) \approx -\left[1 + \frac{sR_D C_1}{1+sR_1 C_1} + \frac{sR_D C_2}{1+sR_2 C_2} + \frac{sR_D C_3}{1+sR_3 C_3}\right] \quad (\text{公式 3.9})$$

$$\Rightarrow \left. \frac{V_{out}}{V_{in}}(s) \right|_{s=0} = 1$$

$$\left. \frac{V_{out}}{V_{in}}(s) \right|_{s=j\omega} = 1 + \frac{\omega R_D C_1}{\sqrt{1 + \omega^2 R_1^2 C_1^2}} + \frac{\omega R_D C_2}{\sqrt{1 + \omega^2 R_2^2 C_2^2}} + \frac{\omega R_D C_3}{\sqrt{1 + \omega^2 R_3^2 C_3^2}}$$

$$\left. \frac{V_{out}}{V_{in}}(s) \right|_{s \rightarrow \infty} = 1 + \frac{R_D}{R_1} + \frac{R_D}{R_2} + \frac{R_D}{R_3}$$

(公式 3.10)為源極退化級中電阻電容值的一階估計，利用此估計公式我們可以計算出不同頻率下所需補償的增益量。公式中 $\Delta dB, n$ 為在第 n 個頻率時的高頻衰減量。須注意的是此為半電路的電阻電容公式，換算成差動電路時需作相對應的轉換。而(公式 3.11)則為此源極退化級可補償的最大範圍。另外，考慮到系統訊號雜訊比(Signal to Noise Ratio, SNR)的因素，在設計上 R_s 的值不可過大，避免因為直流增益下降太多使得 SNR 降低。

$$f_n = f_{min} \cdot \left(\frac{f_{max}}{f_{min}} \right)^{\frac{n-1}{3}}, R_n = \frac{R_D}{10^{\frac{\Delta dB, n}{20}} - 10^{-\frac{\Delta dB, (n-1)}{20}}} \quad (\text{公式 3.10})$$

$$C_n = \frac{1}{2\pi \cdot f_n \cdot R_n}, n = 1, 2, 3$$

$$\text{Maximum boosting: } \Delta |A_v| = 20 \log \frac{|A_{v, max}|}{|A_{v, min}|}$$

$$= 20 \log |g_m R_D| - 20 \log \left| \frac{R_D}{\frac{1}{g_m} + R_s \parallel r_o} \right| \quad (\text{公式 3.11})$$

$$= 20 \log |1 + g_m (R_s \parallel r_o)|$$

加成控制器的設計採用折疊(folded)的方式以避免頭部空間(headroom)的限制，此外等化器控制電壓(EQctrl)的變化因為不會影響兩條輸出電流的總和，所

以等化器的輸出電壓準位不會因為控制電壓的變動而受到影響，進而影響迴圈控制的精準度。圖 3.19 所示為加成控制器控制電壓對輸出電流的轉換曲線，圖中可看出在任一 EQctrl 電壓下，兩電流的總和都相同。

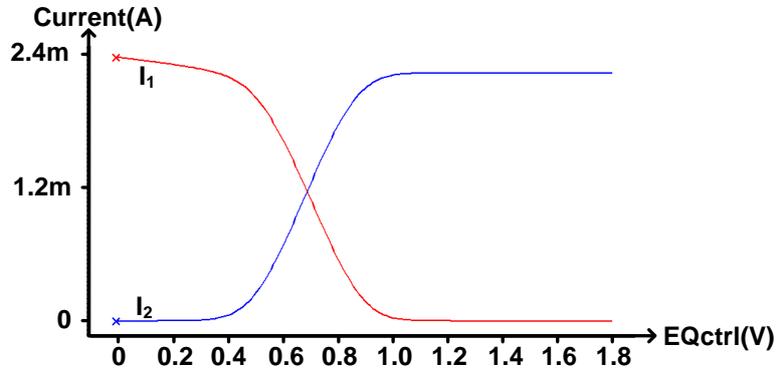
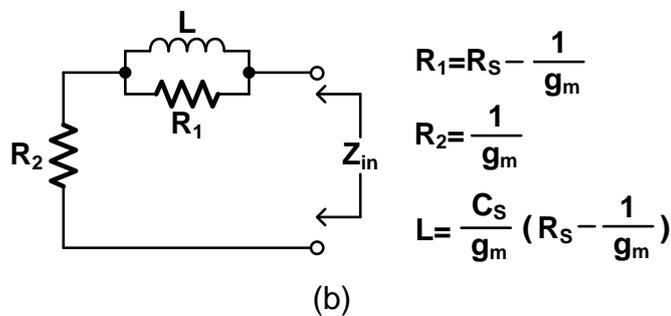
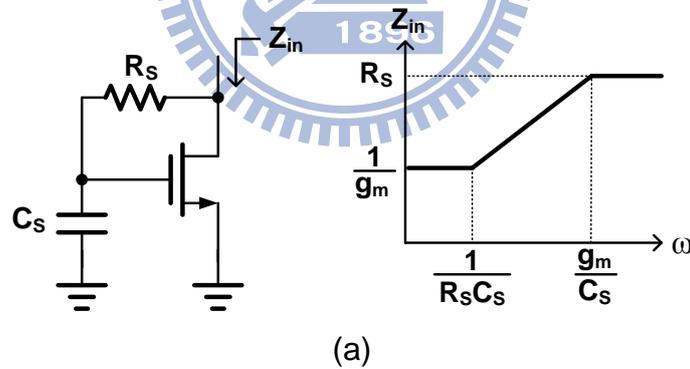
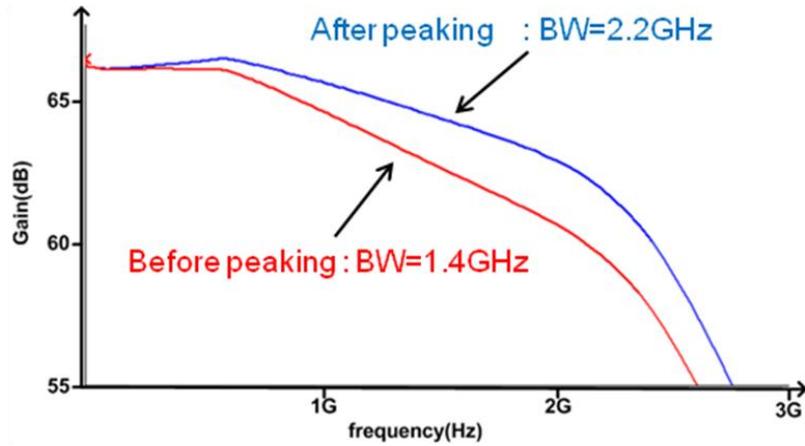


圖 3.19 加成控制器控制電壓對輸出電流轉換曲線

此外，在等化器輸出端我們進一步地使用了主動式電感[7]來增加頻寬，主動式電感的原理如圖 3.20(a)所示，在 g_m 大於 $1/R_s$ 的條件下，圖中 Z_{in} 的阻抗會隨著頻率增加而增加，等效上可用以補償高頻的衰減，等效電路如圖 3.20(b)，圖 3.20(c)則是加入主動式電感前後的頻寬比較，可以看出加入後頻寬由 1.4GHz 增進到 2.2GHz。





(c)

圖 3.20 (a)主動式電感示意圖 (b)等效電路 (c)加入主動式電感前後的頻寬差異

圖 3.21 為不同等化器控制電壓下，等化器輸出的頻率響應圖，當控制電壓上升時，高頻增益隨之上升而低頻增益下降。最大高頻補償能力為 1.8GHz 時補償了 25dB，此補償大於 850nm 光波長響應在 1.8GHz 的衰減(17.8dB)。而低頻增益的變化則可以提供後級可變增益放大器一個設計的範圍。圖 3.22(a)為經過等化器補償過後 850nm 光波長的頻率響應，補償過後的濾波器通過帶抖動 (filter's pass-band ripple)有效的維持在正負 3dB 內，對於眼圖的高度及寬度之影響小於 10%。而圖 3.22(b)為補償前後群體延遲(Group Delay)的模擬，補償前的群體延遲差距有 12ns，表示相位抖動量相當嚴重；而補償之後的群體延遲差距縮小到 63ps，表示相位抖動量獲得很大的改善。可調式等化器消耗功率為 13.4mW。

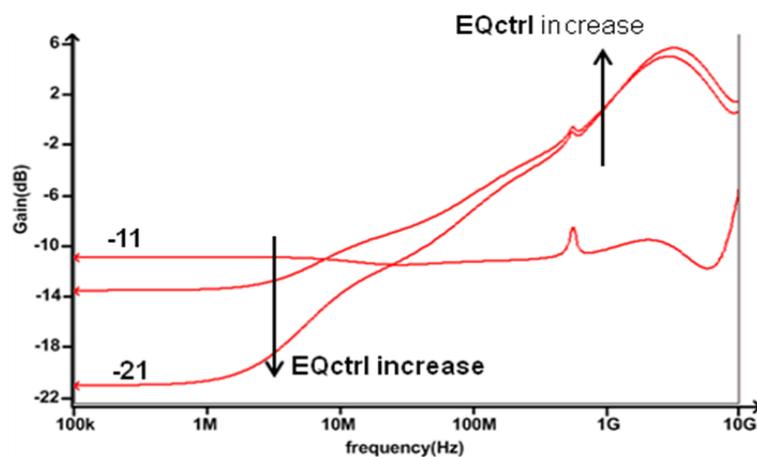


圖 3.21 等化器高頻補償能力

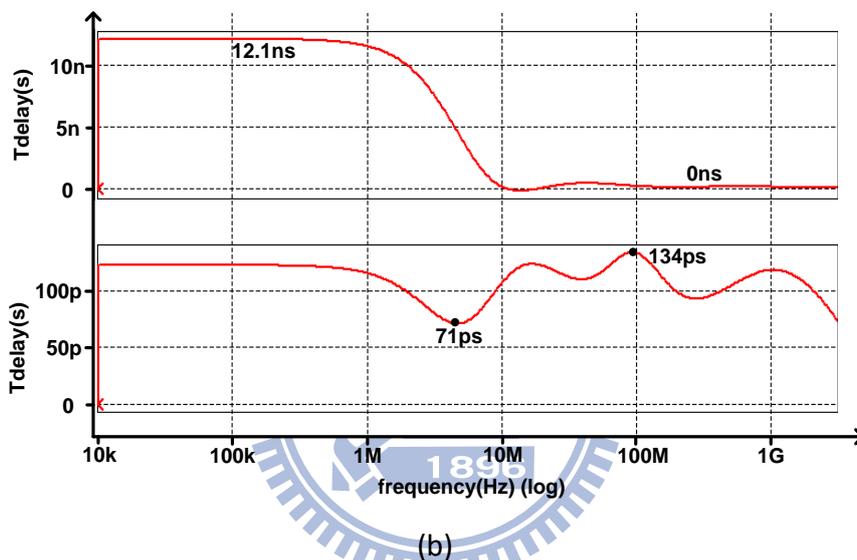
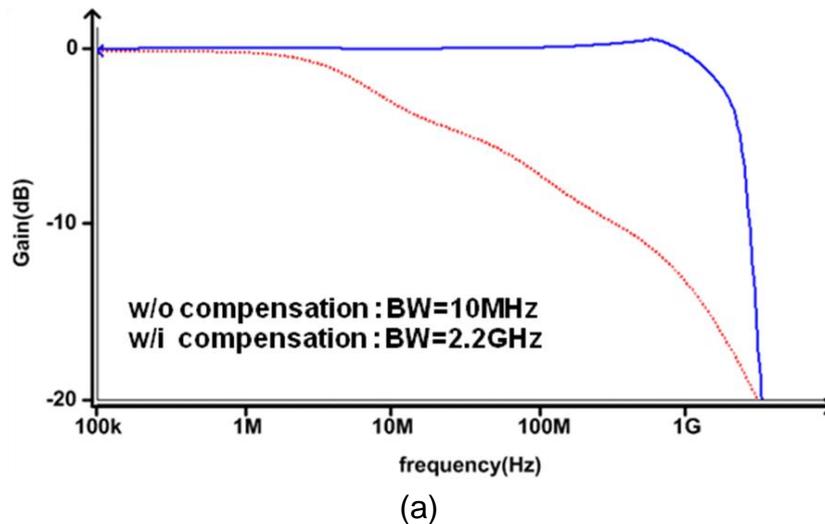


圖 3.22 (a)等化器補償前後的頻率響應 與(b)群體延遲

3.4.4 可變增益放大器

在現有文獻中，可變增益放大器的作法有改變偏壓電流[9]，或是改變負載電阻[10]等。在此採用 Cherry-Hooper 放大器[7]搭配源級回授(source feedback)的概念來執行。源級回授的優點有(1)改變源級回授阻抗 R_S 即可改變放大器增益，不會影響訊號路徑上的 RC 時間常數；(2)因為有著負回授的關係，因此放大器的頻寬表現較佳。Cherry-Hooper 放大器由一個轉導放大器及一個轉阻放大器組成，藉由轉阻放大器輸入及輸出阻抗低的特性，將內部極點拉遠以達到高速的目的。此外，在 g_m 很大的前提下，電路增益約為回授電阻和源級電阻的比例，故對製程和溫度的飄移有較大免疫力，圖 3.23(a)為其電路架構。為了系統上的應用，我們疊接三級的可變增益放大器來做增益的控制，圖 3.23(b)為三級可變增益放大器的頻寬與增益關係曲線，可以看出可調增益範圍為-5dB ~ 30dB，頻

寬皆大於 2.5GHz。此次設計的可變增益放大器總消耗功率為 12.4mW。

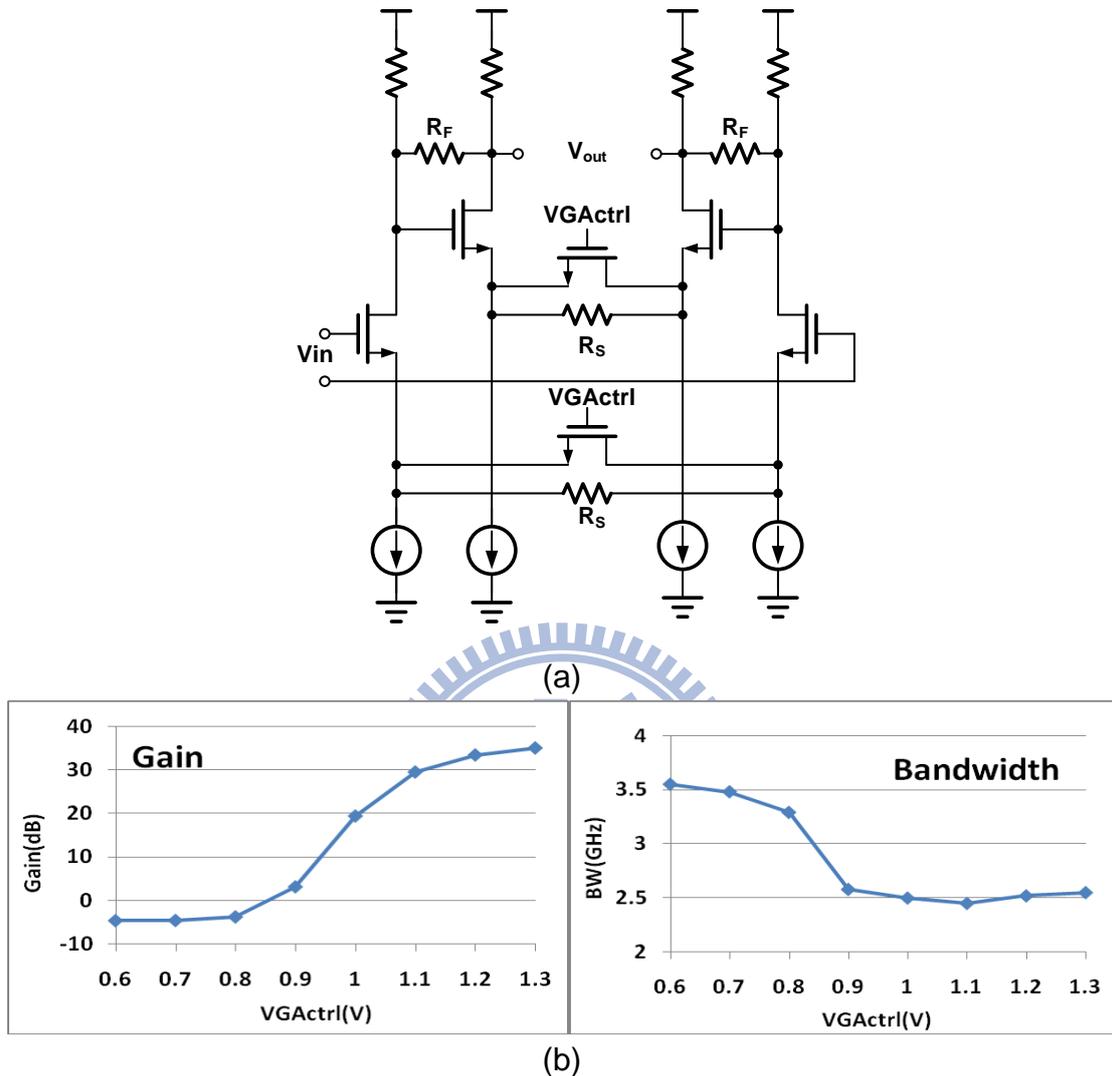


圖 3.23 (a)可變增益放大器電路圖 (b)頻寬與增益關係曲線圖

3.4.5 斜率控制器

在本次設計的斜率控制器中包含了斜率偵測器以及電流比較器，前者用於偵測訊號的斜率資訊，而後者則是進行斜率的控制。斜率偵測器是以差動轉導放大器(Transconductance Amplifier)為基底來進行設計，而為了解決迴圈增益不足的問題，在設計上我們降低轉導放大器的過驅電壓(Overdrive Voltage, V_{ov})，使轉導放大器有趨近於理想的數位操作方式。圖 3.24 為轉導放大器電壓電流關係曲線圖，在本次設計上必須使 V_{linear} 極小以趨近理想數位操作模式，而為了斜率偵測器增益的考量， I_{Bias} 理想上也必須極大以降低穩定狀態誤差(steady-state error)的誤差值。

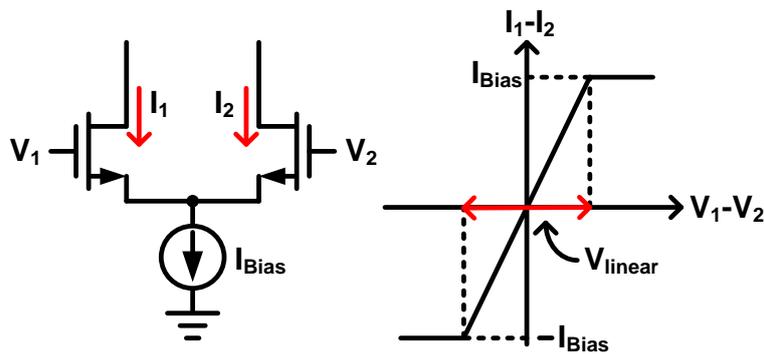


圖 3.24 斜率偵測器之電路設計原理

圖 3.25 為本次設計的斜率控制器，斜率偵測器將輸入訊號與兩個參考電壓 (V_{ref1} 、 V_{ref2}) 進行比較之後以電流的形式取出斜率的資訊。

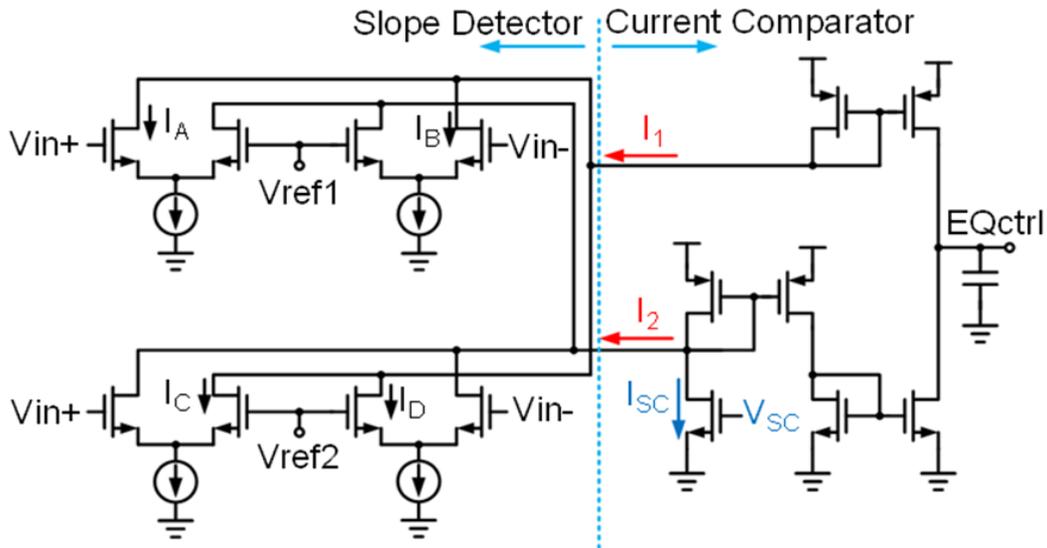


圖 3.25 斜率偵測器及電流比較器

在斜率偵測器擷取正確斜率資訊期間 ($V_{ref1} \leq V_{in+}, V_{in-} \leq V_{ref2}$)， I_1 電流為四個轉導放大器輸出電流 (I_A, I_B, I_C, I_D) 所匯集而成，而這四條電流因為只有相位上的差異，所以它們可以進行相加的動作，如圖 3.26 所示。另外， I_2 電流則為 I_A, I_B, I_C, I_D 四條電流的反向電流所組成。

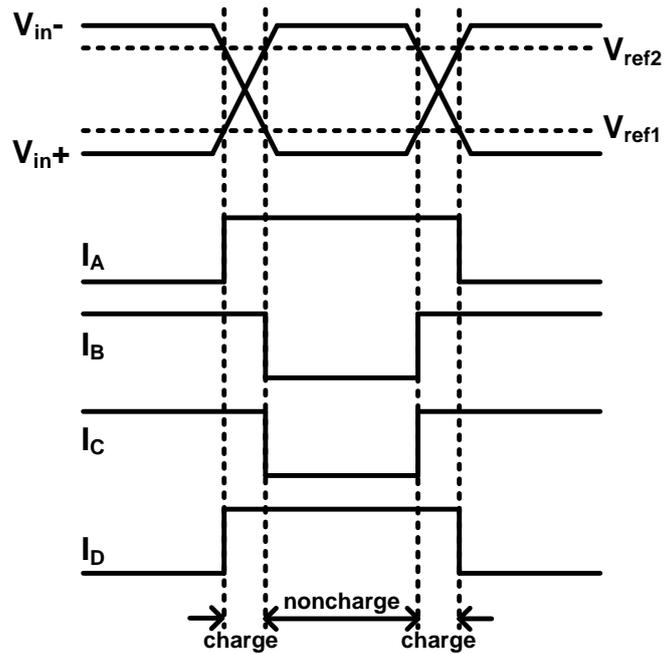


圖 3.26 電流相加原理

輸入訊號經過斜率偵測器後，可以得到兩組電流(圖 3.25 之 I_1 、 I_2)，在圖 3.26 的電流相加示意圖中可以得知，在非充電(noncharge)週期間 I_1 及 I_2 的電流量相等，而在充電(charge)週期間 I_2 電流為零，因此當 I_1 及 I_2 經電流比較器多個電流鏡之後，在充電週期間 I_1 會對輸出端的電容充電，而在非充電週期間因為 I_1 及 I_2 相等，所以不對輸出電容做充放電動作。另外，在電流比較器中存在一個斜率控制電流(I_{sc})，此斜率控制電流與 I_1 的平均電流會對輸出端的電容進行充放電的拉鋸，當等化器對高頻做越多補償時，訊號斜率的絕對值越大，因此充電週期減少而非充電週期增加，使得 I_1 的平均電流減少，在時間趨近於無限大時，使得輸出端能夠達到充放電平衡。換句話說，斜率控制電流是用來決定等化器補償幅度的機制。另外，電流比較器的輸出端放置一個大電容來製造控制斜率迴圈的主極點。圖 3.27 為將不同斜率的訊號輸入斜率偵測器後得到的電流差異(I_1-I_2)結果，當斜率越小時，電流差異值越大，此結果和所要求的斜率偵測器功能相符。

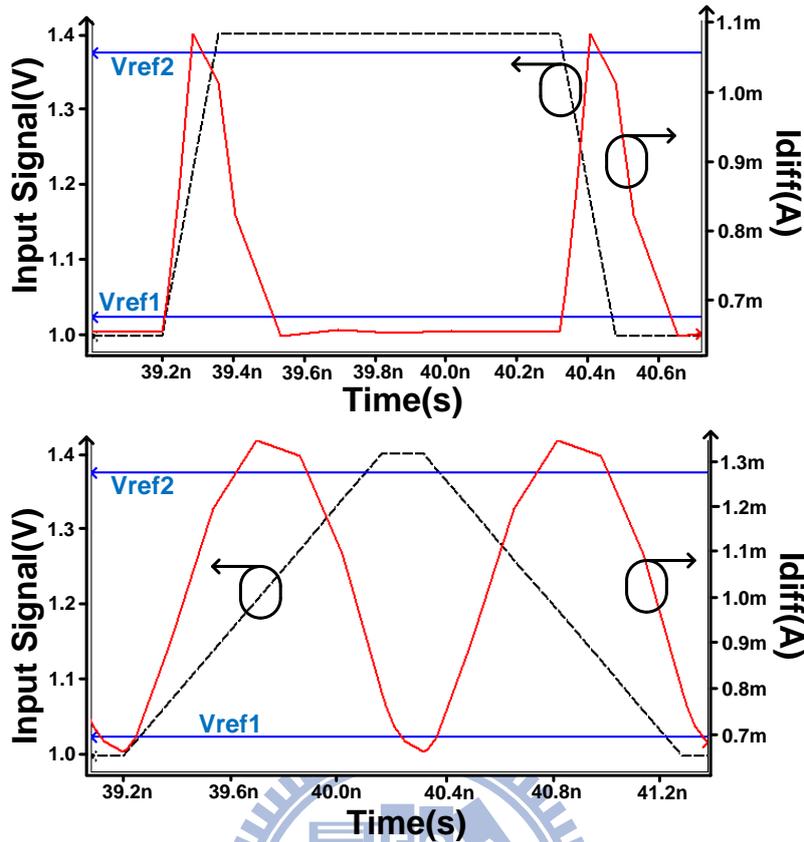


圖 3.27 斜率偵測器行為模擬

另外，斜率偵測器中兩個參考電壓(V_{ref1} 、 V_{ref2})的差值亦會影響斜率資訊的時間差異，當參考電壓差距越大時，斜率資訊的時間差異就越大。圖 3.28 的模擬結果說明此一概念，因此以迴圈增益的觀點，會採用較大的參考電壓差距。斜率控制器消耗功率為 2.9mW。

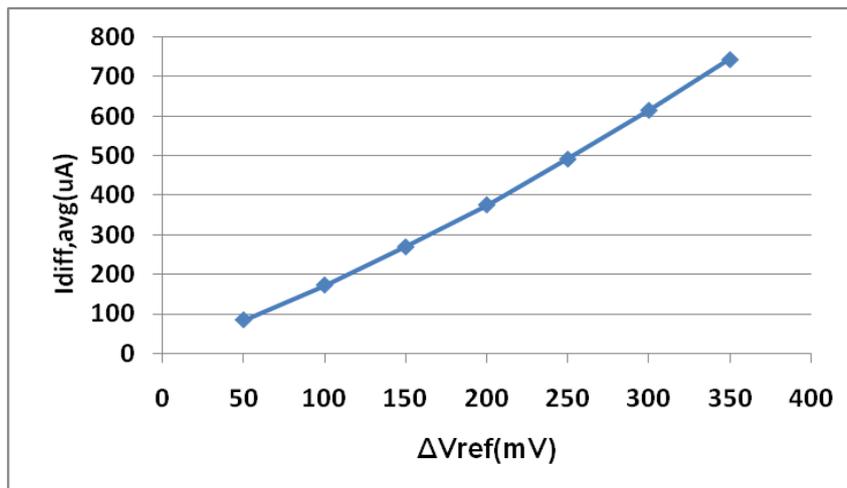


圖 3.28 參考電壓差距對輸出電流差異之關係曲線

3.4.6 仿製路徑

仿製路徑只有對直流訊號做處理，所以對於雜訊及速度的要求不高，這邊我們處理的問題是耗電量，因此在設計時，仿製路徑中轉阻放大器、單端對雙端轉換級、等化器及可變增益放大器的電流源皆設計為主要電路的五分之一，為了維持電路的等效性，須同時將這三個電路中的 MOS 的長寬比變為原本的五分之一，並將電阻乘上五倍，如圖 3.29。另外，由於仿製路徑不需做任何高頻處理，因此那些在主要路徑中做高頻處理的相關元件，都會在仿製路徑中被除去，以達到節省面積的目的。最後，圖 3.30 模擬結果顯示仿製路徑能夠執行正確的電路行為。仿製路徑上的電路的總消耗功率為 16.4mW。

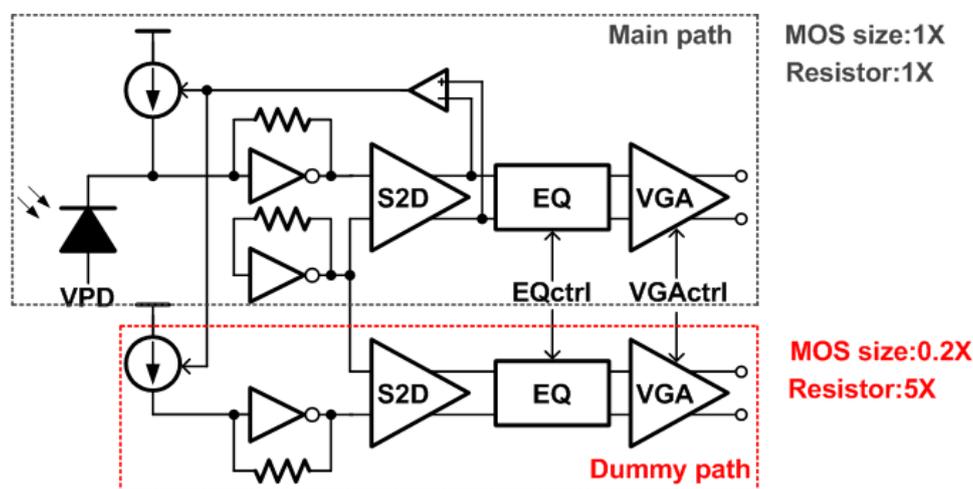


圖 3.29 仿製路徑尺寸設計

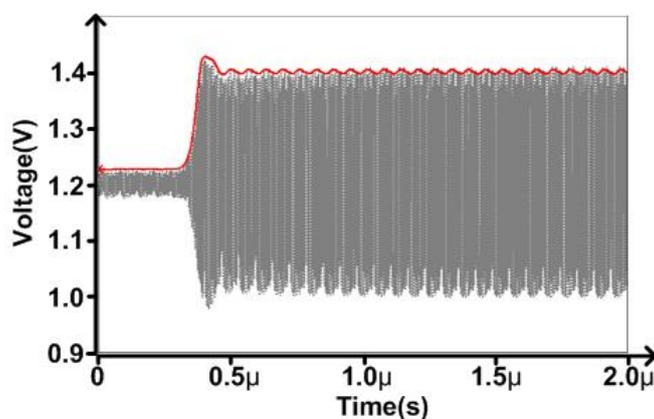
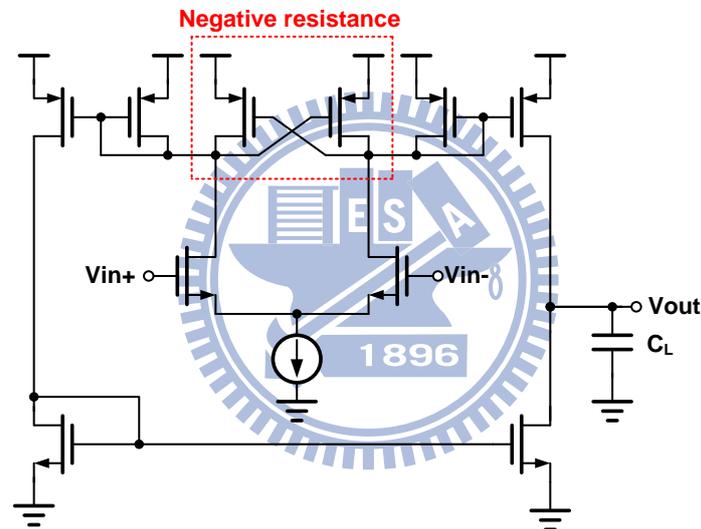


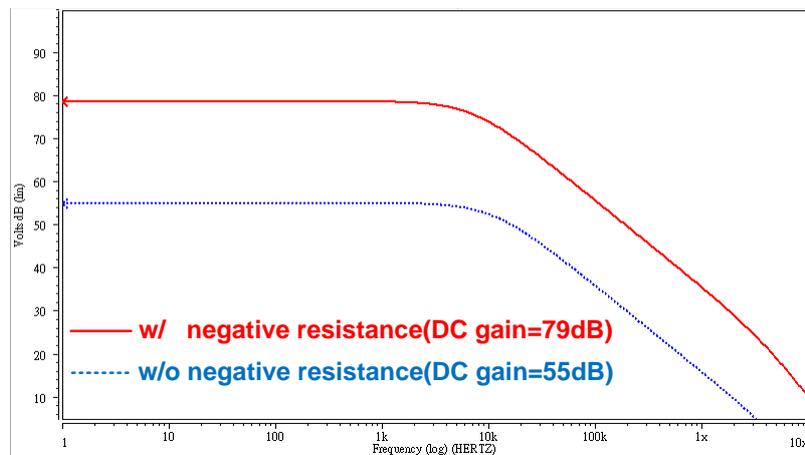
圖 3.30 仿製路徑之功能模擬

3.4.7 誤差放大器

誤差放大器經常置於負回授路徑上，如仿製路徑中的輸出端，使用了一個誤差放大器來偵測 VGA 的輸出直流電壓和目標參考電壓(V_{ref3})的差異，因此放大器的增益值直接影響了迴圈增益。在此電路中採用了負電阻(Negative resistance)的技術用以提升誤差放大器的增益，如圖 3.31(a)所示，而在圖 3.31(b)顯示的是使用負電阻技術前後的增益差異，使用負電阻技術前直流增益為 55dB，而加入負電阻技術後直流增益提升為 79dB，大大提升了電路的增益值。另外，誤差放大器的輸出端電容用來決定系統中直流控制迴圈的主極點。此誤差放大器消耗功率為 0.6mW。



(a)



(b)

圖 3.31 (a)誤差放大器電路圖 (b)加入負電阻前後之誤差放大器頻率響應

3.4.8 迴圈行為

在這次設計的光接收器中，存在兩個控制迴圈，分別是進行高頻增益補償的控制迴圈與進行低頻增益補償的控制迴圈。控制系統要能正常操作，須使控制的轉換曲線(transfer curve)呈現單調性(monotonic)，圖 3.32 為取得此次設計中兩個控制迴圈轉換曲線的示意圖，圖中的控制電壓(EQctrl、VGActrl)都是以開迴路的方式來進行改變。改變 EQctrl 控制電壓並觀察 $I_{diff,avg}$ 輸出值可以得到高頻補償迴圈的轉換曲線；而改變 VGActrl 控制電壓並觀察 VGA_{Main+} 的峰值變化可以得到低頻補償迴圈的轉換曲線。另外，為了確保系統的閉迴路行為不會產生震盪，所以還做了相位邊限(Phase Margin)的模擬。

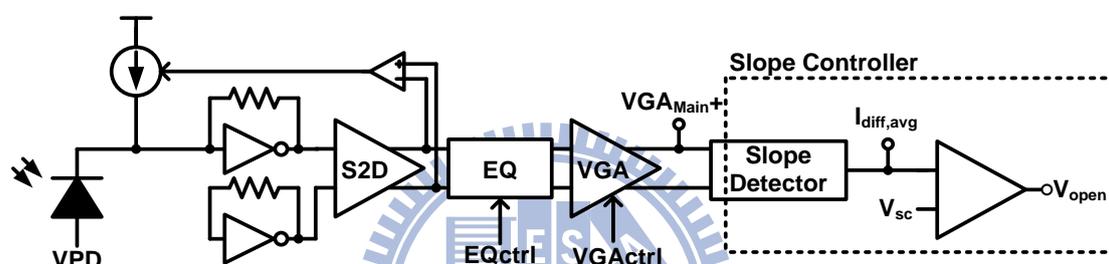
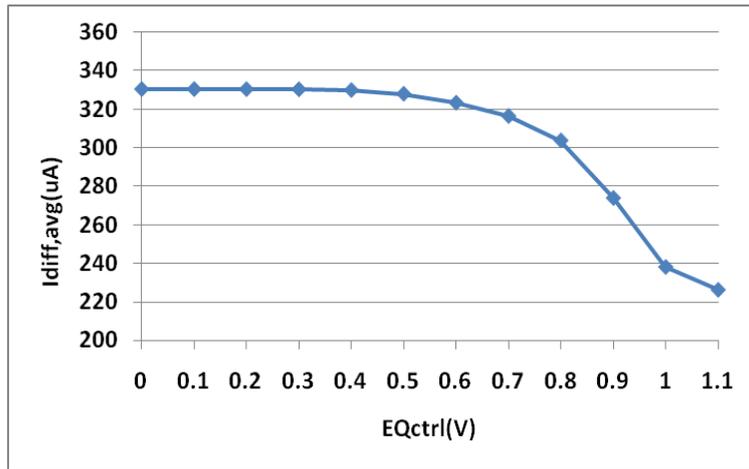


圖 3.32 控制電壓與其對應的控制輸出

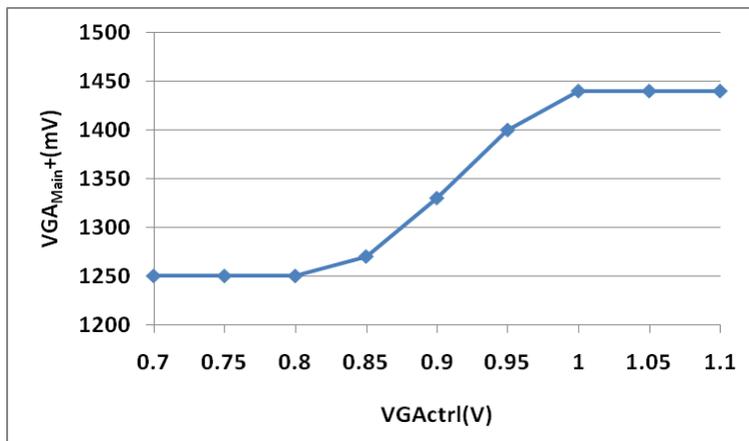
圖 3.33(a)為訊號振幅與參考電壓差值($V_{ref2}-V_{ref1}$)的比例為 5:4 時的斜率控制轉換曲線，由於等化器控制電壓(EQctrl)是針對斜率偵測器的兩個輸出電流差異(I_1-I_2)的平均作改變，因此以輸出電流差的平均為縱軸。由圖 3.33(a)可以得知斜率控制的轉換曲線呈現單調性遞減，因此迴圈控制可以正常工作。

圖 3.33(b)為直流控制轉換曲線，由於可變增益放大器控制電壓(VGActrl)是針對訊號的振幅作改變，因此以訊號的峰值為縱軸。由圖 3.33(b)可得到直流控制轉換曲線呈現單調性遞增，因此迴圈控制可以正常工作。

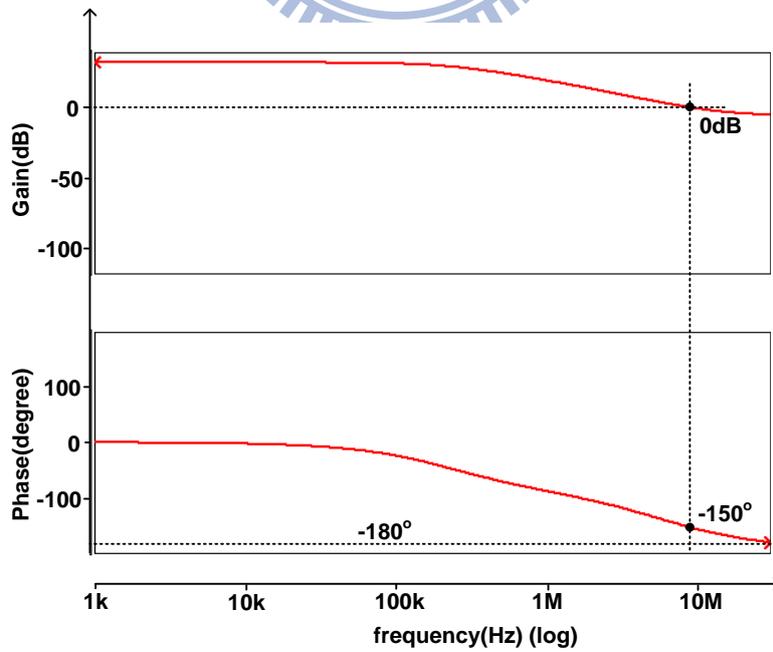
圖 3.33(c)為相位邊限(Phase Margin)的模擬，輸入的 AC 訊號先經過檢光二極體的頻率響應模型再送入後端放大級電路，之後從斜率控制器輸出端 V_{open} 觀察開迴路的相位邊限。模擬條件為兩個控制電壓設定在最佳補償點的補償條件之下來進行。從圖中可以看出仍然有 30 度的相位邊限，因此不會發生震盪的現象。



(a)



(b)



(c)

圖 3.33 (a)斜率控制轉換曲線 (b)直流控制轉換曲線 (c)相位邊限

以下的閉迴路暫態響應(transient response)模擬分別模擬改變光強度以及加入雜訊來進行系統的模擬。

圖 3.34(a)為光波長 850nm 條件下，檢光二極體輸出光電流由 $20\mu\text{A}$ 改變為 $100\mu\text{A}$ 的暫態響應。此圖顯示出當檢光二極體輸入光電流改變時，系統仍然可以維持穩定。圖 3.34(b)(c)為穩定狀態下的輸出訊號眼圖，顯示出當輸入光電流改變時，系統輸出端的振幅仍然可以維持相同大小，表示低頻增益控制迴圈可以正常地操作。

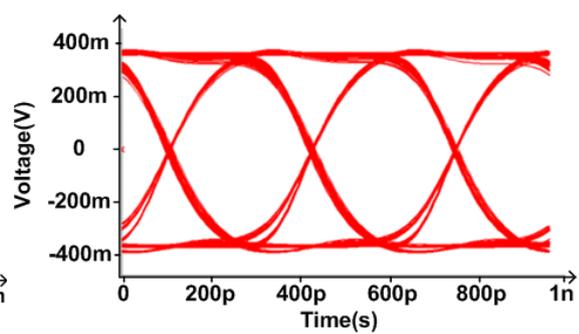
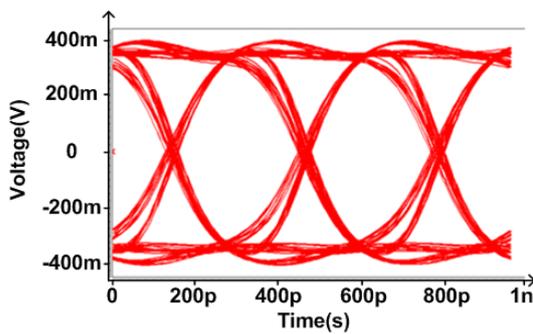
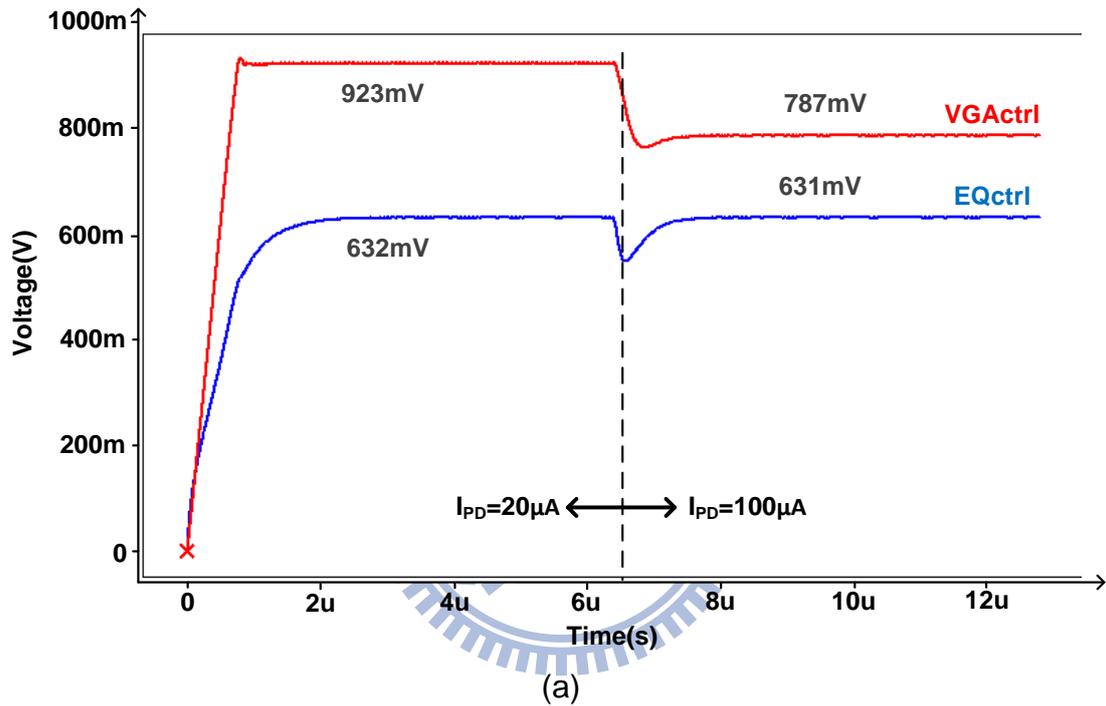


圖 3.34 (a)改變檢光二極體輸出光電流的暫態響應圖 (b)輸入光電流為 $20\mu\text{A}$ 及 (c) $100\mu\text{A}$ 的輸出訊號眼圖

圖 3.35 是分別在可變增益放大器控制電壓(VGActrl)以及等化器控制電壓

(EQctrl)中加入階梯電壓，並觀察兩個控制電壓的穩定情況，圖中顯示控制電壓在階梯電壓干擾後仍然可以回到原本的穩定狀態。

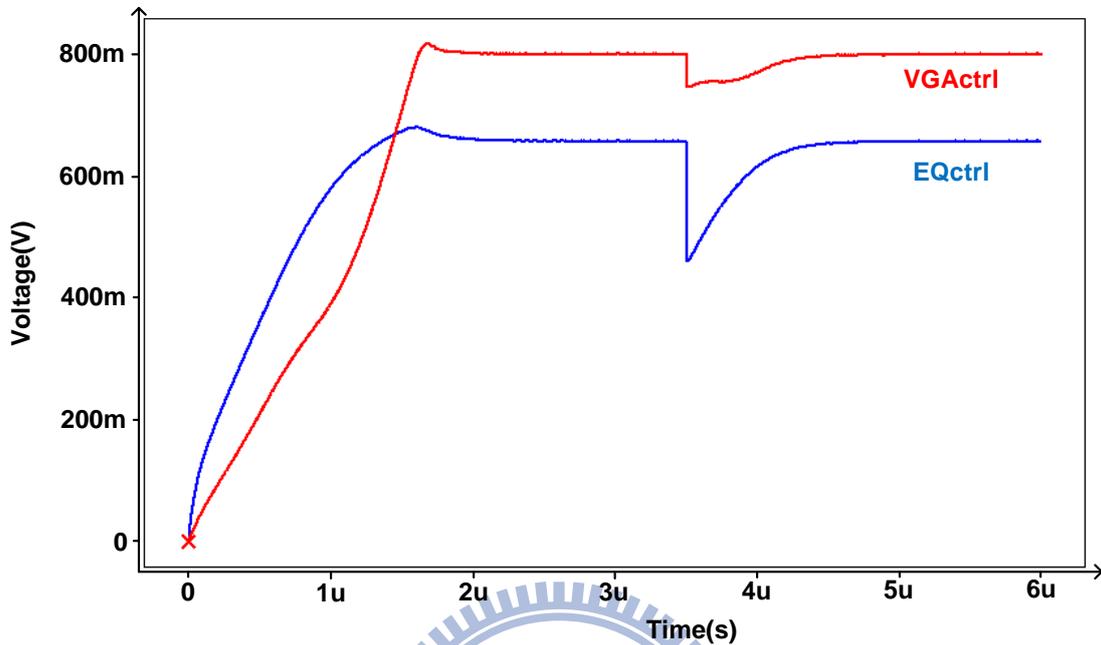


圖 3.35 系統對於控制雜訊電壓的暫態響應

圖 3.36 為系統自動補償迴路開啟前後的差異，在自動補償機制關閉的情況下，因為等化器控制電壓(EQctrl)以及可變增益放大器控制電壓(VGActrl)都設為零，因此眼圖的振幅相當小並且 ISI 的情況相當嚴重。而在自動補償機制開啟後，閉迴路補償的結果下，輸出眼圖有著較大的振幅以及消除 ISI 的結果。

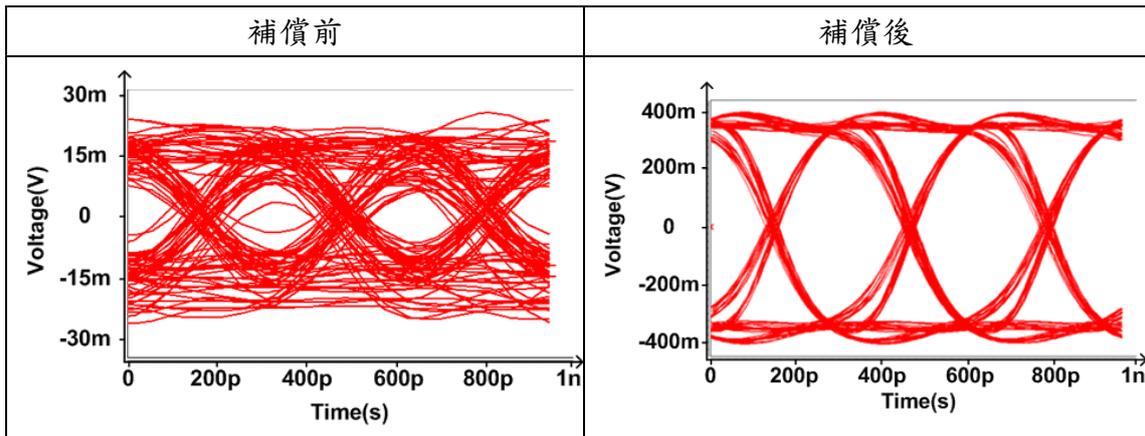


圖 3.36 閉迴路補償開啟前後的輸出眼圖

圖 3.37 模擬電路不匹配的效應，將之等效成參考電壓差異的變化。而電路不匹配的效應在這邊主要是討論仿製路徑偵測訊號峰值的準確度，因為它將會影

響參考電壓差值與訊號擺幅的比例關係。如圖 3.37，當參考電壓差異減少 50mV 時，斜率偵測器萃取出來的斜率資訊變小，使得斜率控制器中電流比較器輸出端的充電電流縮小，控制電壓(EQctrl)下降造成輸出眼圖有較大的訊號間干擾(ISI)；反之，當差異增加 50mV 時，控制電壓上升使得輸出眼圖有較快的訊號速度，訊號間干擾也較小，但無論增加或減少 50mV 的參考電壓差異，都能使輸出眼圖解決大部分的訊號間干擾現象，因此斜率偵測器中因為峰值偵測不匹配造成的參考電壓差異的容忍度大約為 $\pm 50\text{mV}$ ，換句話說，峰值偵測的錯誤容忍度大約為 $\pm 16\%$ 。

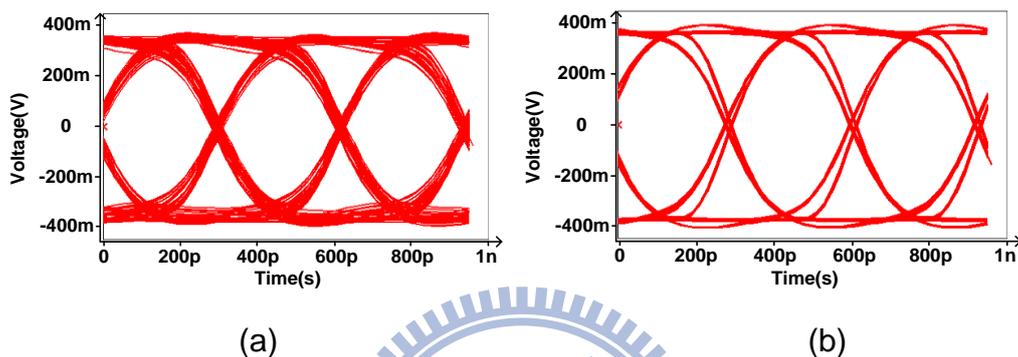


圖 3.37 (a)參考電壓差異減少 50mV 及(b)增加 50mV 的輸出訊號眼圖

3.4.9 負壓產生器

在負壓產生器的設計中，我們以 Dickson charge pump[11]為基底來實現，然而在傳統式 Dickson charge pump 中因為傳輸電晶體(pass transistor)是由閘(Gate)汲(Drain)相連的電晶體所構成，因此在電晶體進行電荷傳輸時將會面臨臨界電壓(Threshold voltage)以及基底效應(Body effect)所帶來的電荷損失，因此在傳統式 Dickson charge pump 中以一個增強式電荷轉移區塊(Boosted Charge Transfer Block)[12][13]取代閘汲相連的電晶體，來改善臨界電壓以及基底效應對於電荷傳輸的限制。圖 3.38 為增強式電荷轉移區塊電路圖，概念是利用預充電晶體(pre-charge transistor)使得傳輸電晶體的閘極和汲極產生一個壓差，以及利用兩個開關來適時地使電晶體的基極和源極相連，以解決基底效應的電荷損失。

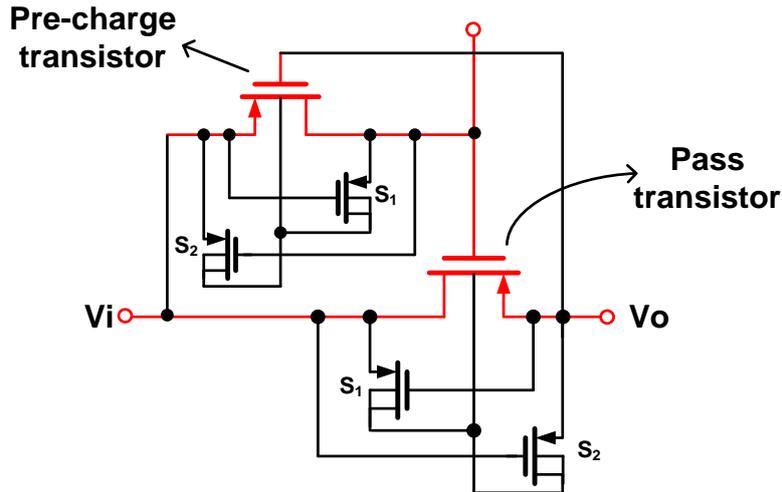


圖 3.38 增強式電荷轉移區塊電路圖

圖 3.39 所示為電荷轉移區塊中兩個開關的動作示意圖，在此先假設傳輸電晶體的閘汲短路以簡化說明。當 $V_i < V_o$ 時，傳輸電晶體啟動使得電荷開始進行傳送，此時 S_1 打開而 S_2 關閉，這個動作使得傳輸電晶體的源極端和基極端相連接，消除了基底效應，而 S_1 打開避免了汲基極接面的順偏結果；另外，當 $V_i > V_o$ 時，傳輸電晶體關閉，此時 S_1 關閉而 S_2 打開，這個動作使得傳輸電晶體的源基極接面和汲基極接面都能夠避免順偏的結果。另外，因為負電壓輸出是接到 P 型基板的原因使得 P 型基板電壓為負，因此在 $V_i < V_o$ 及 $V_i > V_o$ 的狀況下，N 型井(N-well)的電位都不會低於 P 型基板，因此 P 型基板與 N 型井(N-well)的 PN 接面不會產生順偏的風險。

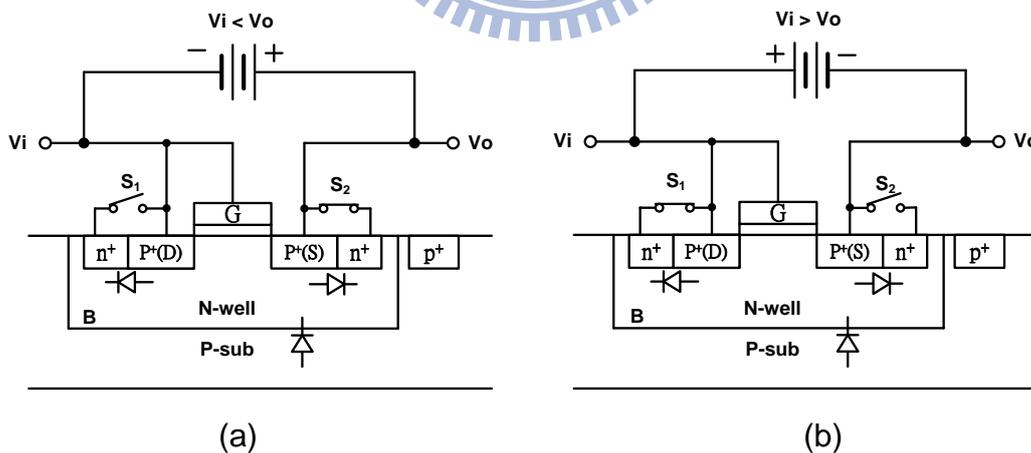


圖 3.39 (a) $V_i < V_o$ 及 (b) $V_i > V_o$ 的電荷轉移區塊示意圖

在傳統閘汲極相連的傳輸電晶體中，傳送的電荷會受到臨界電壓的限制，如圖 3.40(a)所示，若疊接 N 級，那麼損失的電荷將為 N 倍的臨界電壓乘上電容值 (C_c)。增強式電荷轉移區塊在傳輸電晶體的閘汲極間加入一預充電晶體，如圖 3.40(b)，此預充電晶體在傳輸電晶體準備電荷傳輸前，先預充一個電壓 (V_x) 在傳

輸電晶體閘極的電容上，這個電壓使得傳輸電晶體進行電荷傳送時能夠減低臨界電壓的限制，若此電壓大於臨界電壓，那麼臨界電壓的限制將可以完全地獲得改善。

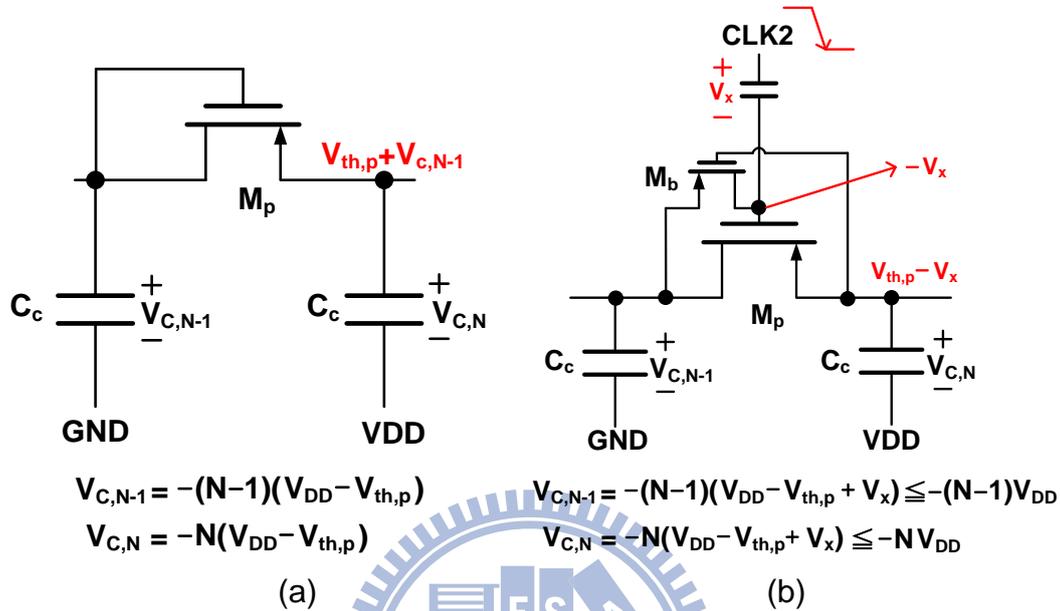


圖 3.40 (a)傳統式 及(b)增強式電荷轉移區塊示意圖

圖 3.41 為負壓產生器等效電路圖[11]，其中 $V_{o,noload}$ 表示負載電流 I_{PD} 為零時的輸出負壓，經過一連串改善電荷損失的步驟後，(公式 3.12)及(公式 3.13)為改善電荷損失前後的負壓輸出公式，兩相比較下可以看出增強式電荷轉移區塊改善了 N 倍臨界電壓的電壓損失，在設定相同的目標輸出負壓條件下，我們可以用較少的疊接級數即可達成所需負壓，藉此達到節省面積和高功率效率的目的。

在負壓產生器的參數設定方面，當目標輸出負壓 $V_{o,noload}$ 以及最大負載電流 $I_{PD,max}$ 決定後，由(公式 3.13)即可求出疊接級數 N ，而為了不影響光電流訊號以及適當的電容佈局面積，我們以[14][15][16]為參考來設計此次負壓產生器的操作頻率 f_{CLK} 以及充電電容 C_c 的數量級，分別為 100MHz 及 0.54pF。圖 3.42 為電容的佈局面積與負壓消耗功率對時脈頻率的關係圖，可以看出 100MHz 的時脈頻率選擇較為恰當。另外，預充電晶體、傳輸電晶體以及預充電容的設計必須考慮到雜散電容(stray capacitance)和啟動阻抗(turn-on resistance)的效應，而傳輸電晶體和預充電容之間還需考慮電荷分享(charge sharing)效應，才能進行適當的設計。最後，在輸出端加上一個源級跟隨器(source follower)來降低輸出鏈波(output ripple)的大小。

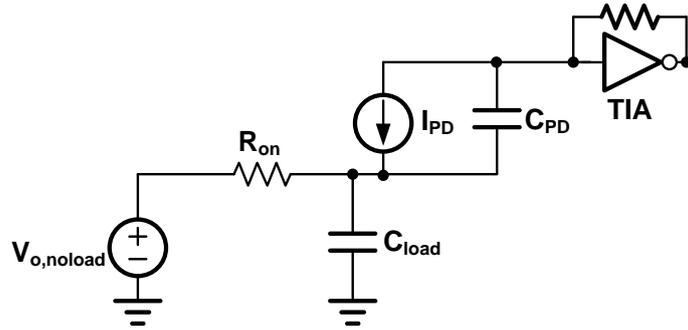


圖 3.41 負壓產生器等效電路

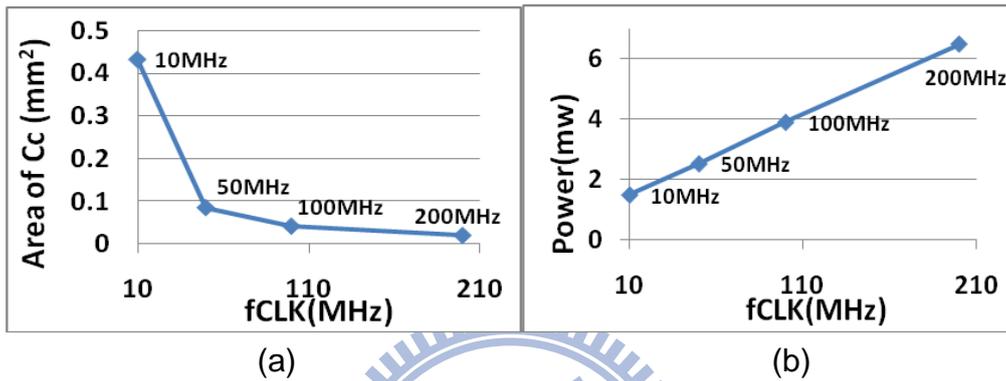


圖 3.42 (a)電容佈局面積與時脈頻率關係 (b)功率消耗與時脈頻率關係

$$V_{o,noload} = N \left(-\frac{C_c}{C_c + C_s} \cdot V_{DD} + V_{th,p}(N) + \frac{I_{PD}}{f_{CLK} \cdot (C_c + C_s)} \right) + V_{th,p} \quad (\text{公式 3.12})$$

$$V_{o,noload} = N \left(-\frac{C_c}{C_c + C_s} \cdot V_{DD} + \frac{I_{PD}}{f_{CLK} \cdot (C_c + C_s)} \right) + V_{th,p} \quad (\text{公式 3.13})$$

因為負壓產生器輸出端直接與檢光二極體連接，所以為了避免輸出鏈波影響重要的光電流訊號，必須分析產生的鏈波大小對於光電流訊號的影響。圖 3.43 用來分析鏈波雜訊對轉阻放大器輸出端的影響[16]，(公式 3.14)及(公式 3.15)分別表示轉阻放大器輸出電壓以及負壓輸出鏈波訊號的組成，將(公式 3.15)代入(公式 3.14)可以得到(公式 3.16)，在(公式 3.16)中可以看出影響轉阻放大器輸出訊號的因素除了檢光二極體產生的光電流 $I_D(s)$ 以外，還包含了負壓輸出鏈波電壓訊號等效而成的鏈波電流訊號 $I_{R,PUMP}(s)$ ，此鏈波電流訊號可以視為一雜訊干擾電流源，而為了減少此雜訊源對訊號電流的影響，必須使得 $I_{R,PUMP}(s) \ll I_D(s)$ 。

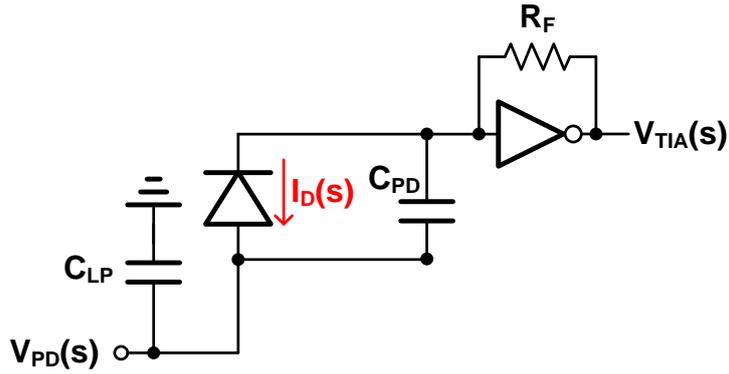


圖 3.43 鏈波雜訊對轉阻放大器輸出影響分析圖

$$V_{TIA}(s) = [I_D(s) + s \cdot C_{PD} \cdot V_{PD}(s)] \cdot R_F \quad (\text{公式 3.14})$$

$$V_{PD}(s) = -\frac{I_D(s)}{s(C_{LP} + C_{PD})} + V_{R,PUMP}(s) \quad (\text{公式 3.15})$$

$$V_{TIA}(s) = \left(I_D(s) \cdot \frac{C_{LP}}{C_{LP} + C_{PD}} + I_{R,PUMP}(s) \right) \cdot R_F \quad (\text{公式 3.16})$$

$$I_{R,PUMP}(s) = s \cdot C_{PD} \cdot V_{R,PUMP}(s)$$

圖 3.44 為此次設計的負壓產生器架構圖，核心部分以 Dickson charge pump 為基底再配合增強式電荷轉移區塊所組成，而四個操作時脈由環震盪器 (ring oscillator)[7] 經過非重疊時脈 (non-overlapping) 產生器 [17] 產生，非重疊時脈的用處在於避免使相鄰兩個傳輸電晶體或預充電晶體有同時開啟的時間，此舉可以使負壓產生器有較佳的效能以及較小的鏈波訊號。另外，為了在低輸入光電流時有著較佳的功率效率，我們將負壓輸出經過分壓之後與一參考電壓做比較，此參考電壓用以決定當負電壓低於一定準位時，便將操作時脈切換成較低速度的操作頻率，而磁滯比較器在這邊的功能是避免雜訊影響比較器的輸出結果。

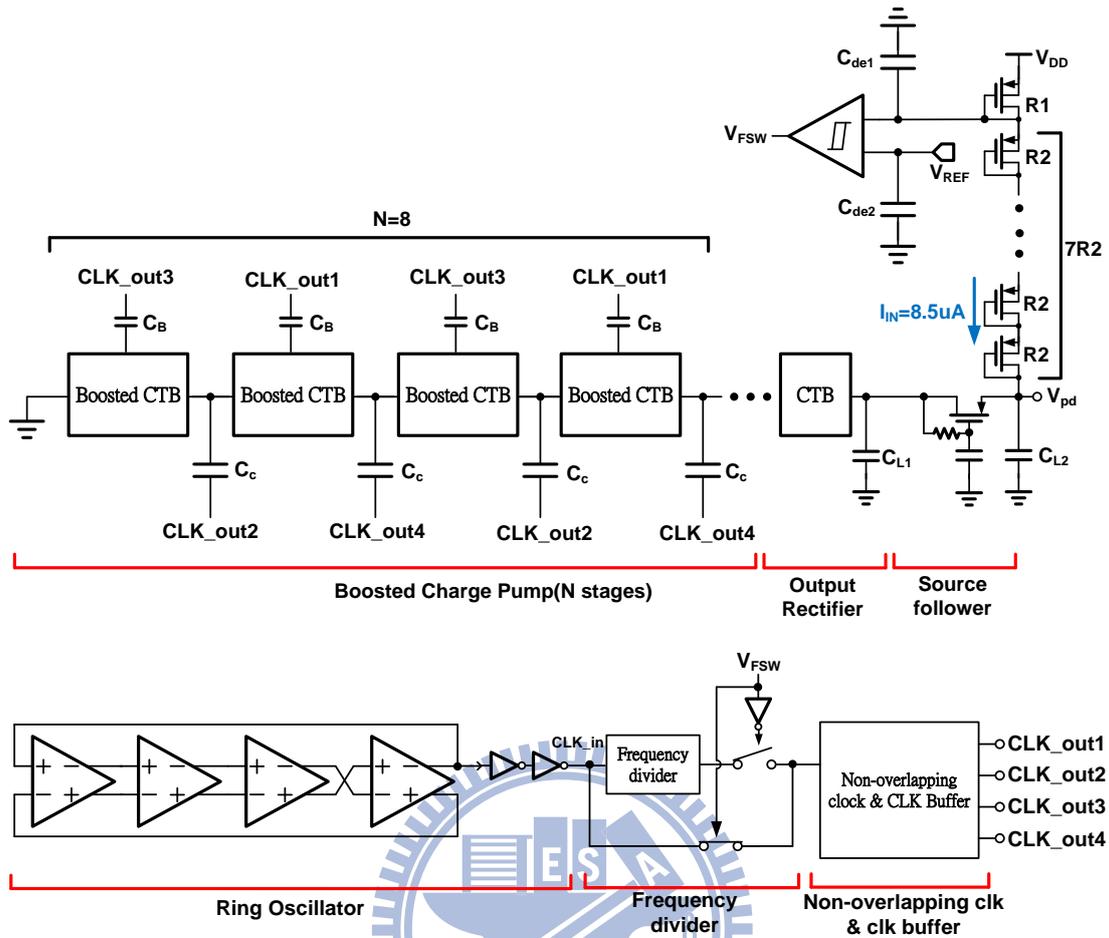
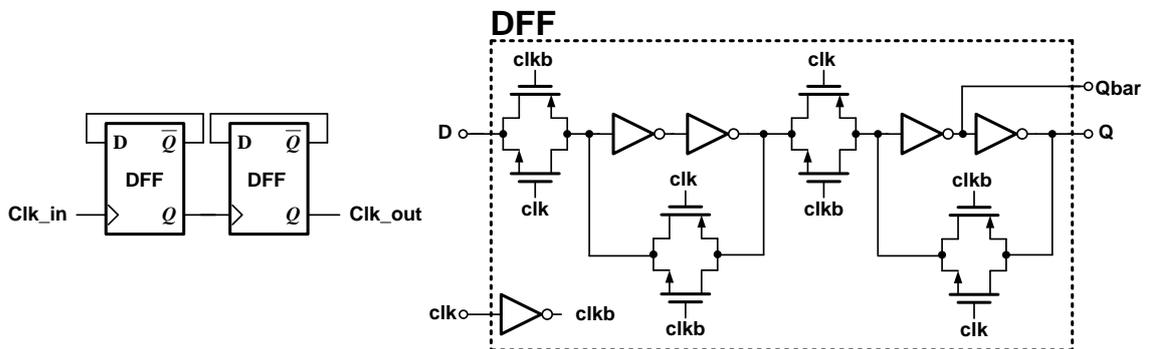


圖 3.44 負壓產生器架構圖

圖 3.45 為除頻器的電路架構圖以及模擬圖，此除頻器是以 D 及 Qbar 相連接的 D 型正反器串接兩級而成，功能為將輸入頻率除以四倍，此除頻器消耗功率為 $35\mu\text{W}$ 。



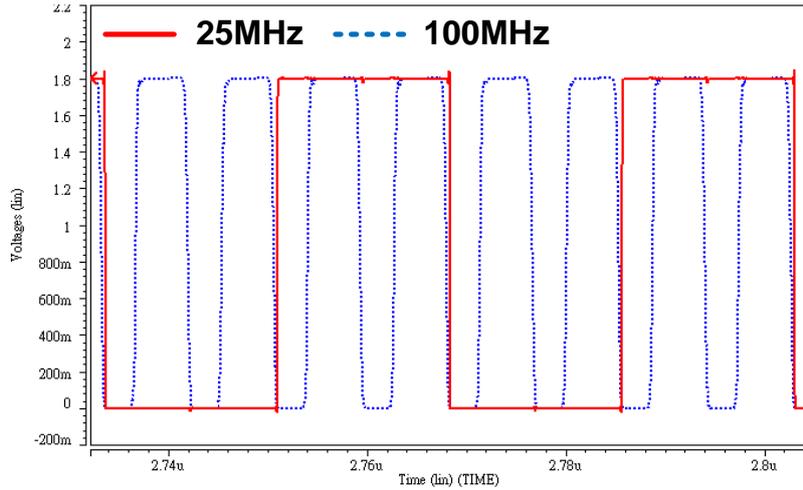
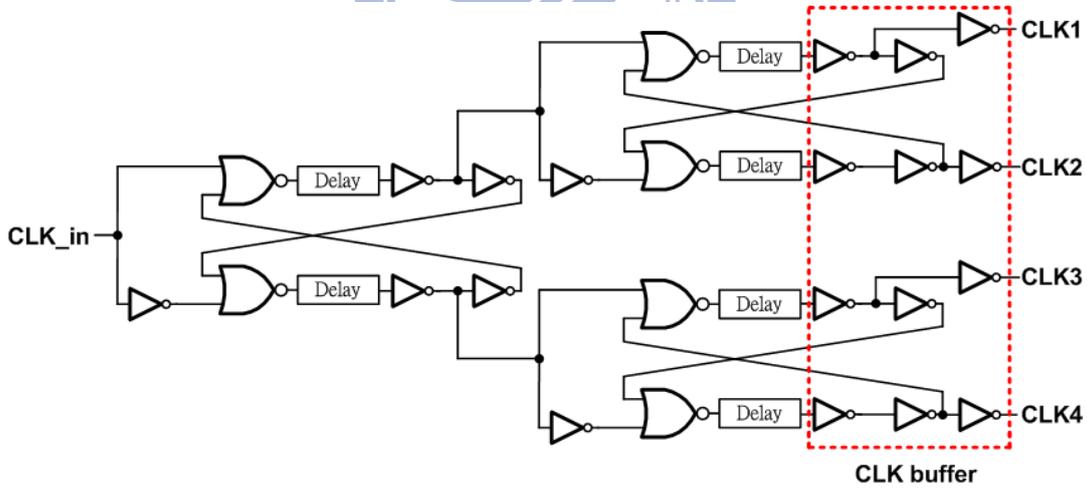


圖 3.45 除頻器電路架構及模擬圖

圖 3.46 為非重疊時脈產生器電路架構以及模擬圖，由於此次負壓產生器需要四組非重疊時脈來驅動，所以我們利用三組標準的兩相位非重疊時脈產生器 (two phase non-overlapping clock generator) 來實現，而為了確保負壓電路能夠正常工作，此次設計的延遲區塊的延遲時間 $t_{delay}=0.2ns$ 。另外，直流功耗在輸入時脈頻率為 100MHz 時約為 0.8mW。



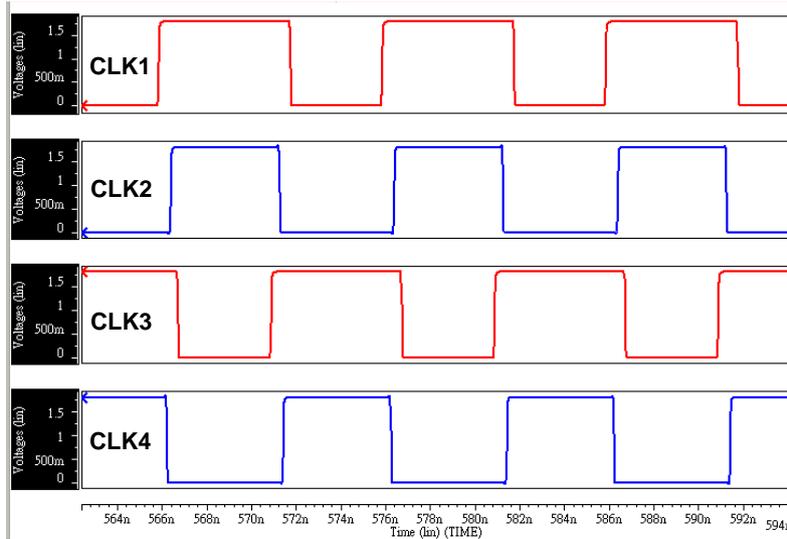


圖 3.46 非重疊時脈產生器電路架構及模擬圖

圖 3.47 為分壓器電路架構圖，因為分壓器上的跨壓約有 10V 以上，因此在設計上必須做到高阻抗，盡量降低分壓器上的電流以達到低功耗的目的。另外，在設計阻抗鏈時需要注意一個阻抗的跨壓不能過大，避免破壞電晶體的結構。此次設計分壓器上的電流大約為 $8.5\mu\text{A}$ ，因此功率消耗約為 0.1mW 。

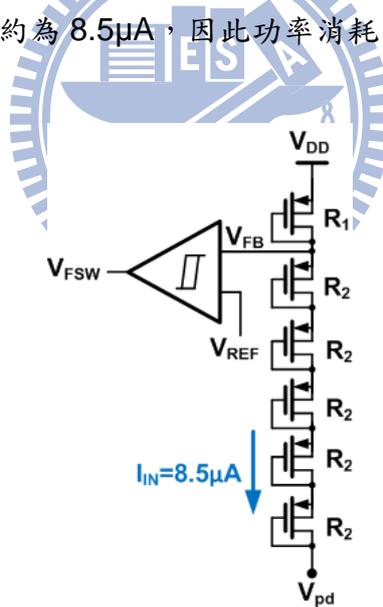


圖 3.47 分壓器電路架構圖

圖 3.48 為磁滯比較器電路架構以及模擬圖，磁滯比較器的操作模式為當輸入訊號大於比較器的正臨界電壓 V_{th+} 時，輸出為高態；而當輸入訊號小於比較器的負臨界電壓 V_{th-} 時，則輸出為低態。正臨界電壓與負臨界電壓的選定，則是由所處理的訊號大小與元件操作狀態決定，利用正回授的特性，當 $(W/L)_5/(W/L)_3$ 與 $(W/L)_6/(W/L)_4$ 大於一時，此電路具有磁滯比較的功能。此次設計的磁滯比較器開窗大小為 90mV ，消耗功率為 $80\mu\text{W}$ 。

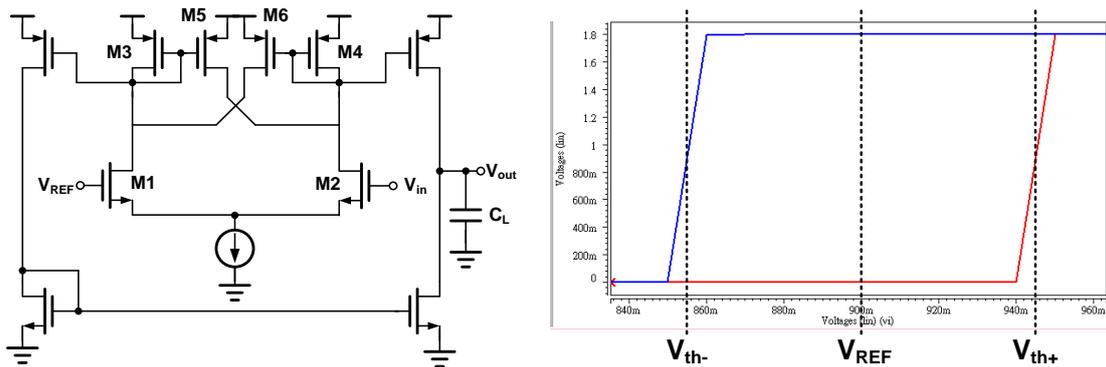
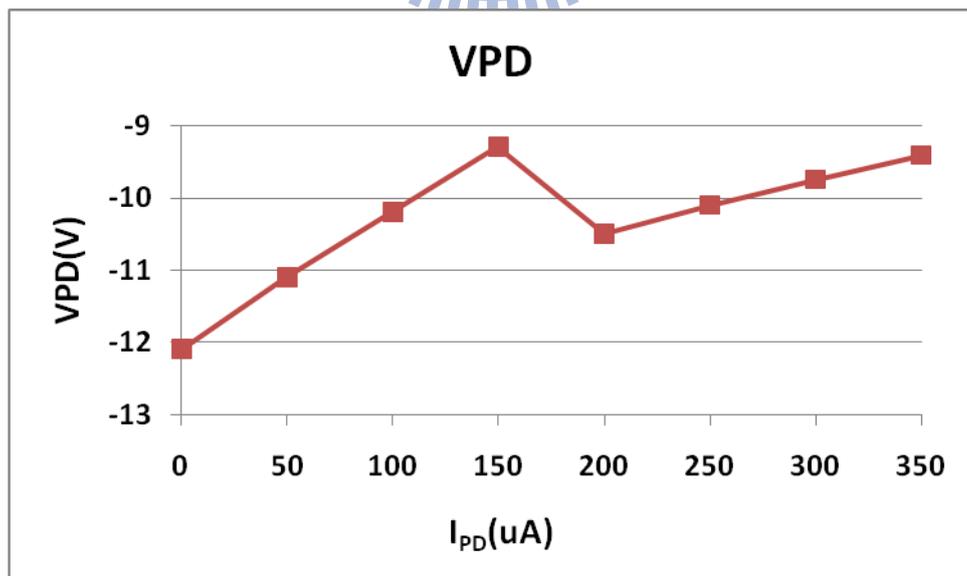


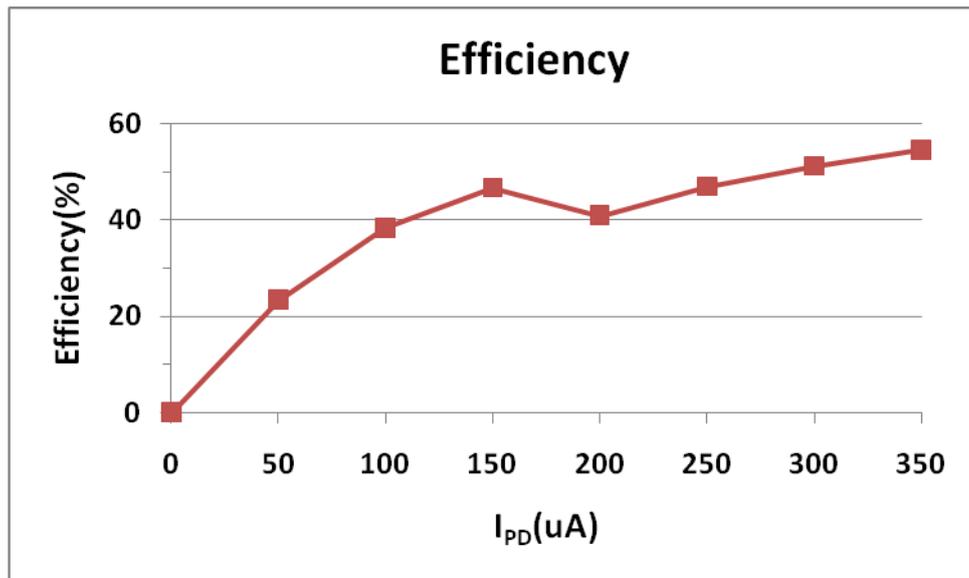
圖 3.48 磁滯比較器電路架構及模擬圖

圖 3.49(a)(b)分別為輸入不同大小光電流的條件下，負壓產生器的輸出負壓 (V_{PD})以及功率效率(Power Efficiency)的轉換曲線圖，在轉換曲線中可以發現存在一個轉折點，此轉折點代表的意義是時脈頻率的改變，當輸入光電流小於 $200\mu A$ 後，負壓輸出在時脈頻率 $100MHz$ 條件下將會低於 $-10V$ ，此時磁滯比較器的輸入訊號將會低於負臨界電壓使得磁滯比較器轉態，因此時脈頻率將會降低為 $25MHz$ 來操作，藉此動作來提升低輸入光電流條件下的功率效率。圖 3.49 (c) 為時脈頻率改變的暫態響應模擬。(公式 3.17)為功率效率(Power Efficiency)的定義。

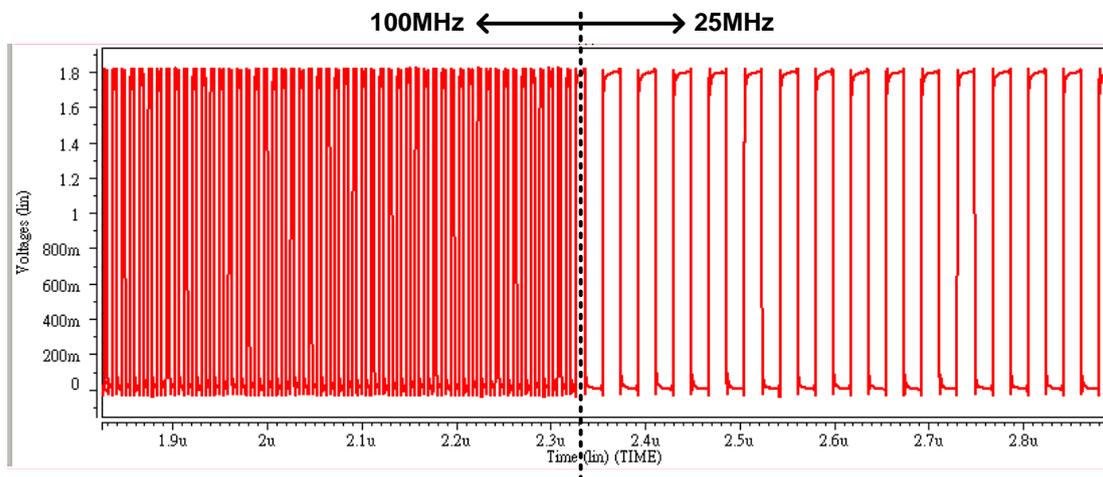
$$\eta \equiv \frac{V_{PD} I_{PD}}{V_{DD} I_{VDD}} \times 100\% \quad (\text{公式 3.17})$$



(a)



(b)



(c)

圖 3.49 (a) V_{PD} v.s I_{PD} 轉換曲線圖 (b)Efficiency v.s I_{PD} 轉換曲線圖

(c)時脈頻率暫態響應模擬

圖 3.50 負壓產生器輸出鏈波電壓能量分布模擬圖，模擬條件是在時脈頻率為 25MHz 以及輸入光電流為 $20\mu A$ 下所進行，圖中可以看出在 25MHz 時有最大的鏈波電壓 $V_{R,PUMP} = -83.7dBV$ ，代入(公式 3.16)可以計算出鏈波電流 $I_{R,PUMP} = 8.2nA$ ，此值遠小於輸入光電流 $20\mu A$ ，因此此次設計的負壓產生器輸出端的鏈波訊號並不會影響重要的輸入光電流訊號。

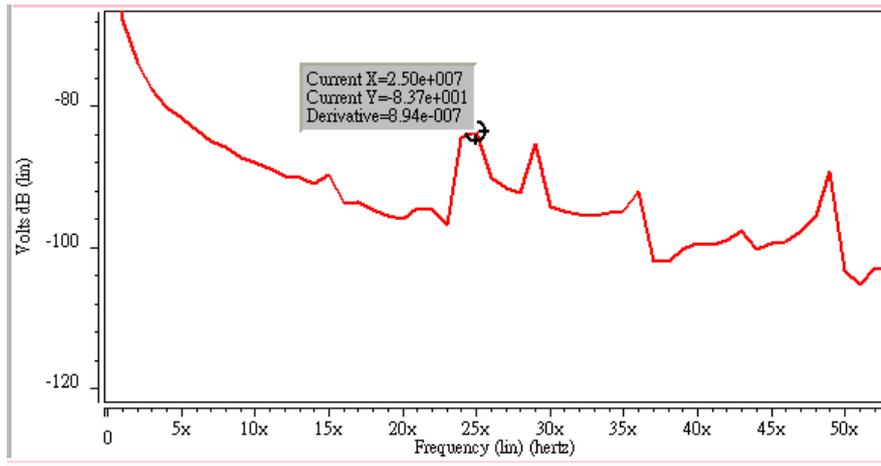


圖 3.50 負壓產生器輸出鏈波電壓能量分佈

3.4.10 雜訊分析

欲預測設計電路所能達到的靈敏度，必須模擬在閉迴路補償時的電路設定下所得到的輸入雜訊電流值(4.72 μ A@850nm)，並預估檢光二極體響應率，將這兩者代入以下(公式 3.18)推出預估靈敏度，公式中 ρ 為檢光二極體的直流響應度 (Responsivity, 0.45A/W)， r_e 為雷射光源的亮暗比 (Extinction Ratio, 12.74dB=18.5)，14.1 則是對應到 10^{-12} 誤碼率(Bit Error Rate)的常數：

$$\text{sensitivity} = 10 \times \log \left[\frac{14.1 \times I_N (r_e + 1)}{2 \rho (r_e - 1)} \times 1000 \right] \quad (\text{公式 3.18})$$

利用此式所推得的靈敏度，在 850nm 時為-10.8dBm。

3.4.11 電路佈局

圖 3.51 為這次的佈局圖，使用一個大小為 70 μ m \times 70 μ m 的檢光二極體，檢光二極體的擺放採取盡量遠離主電路的策略，以避免照光時對電路造成影響。光接收器電路電源由三條 10 μ m 的金屬線接入，並以兩層 10 μ m 的金屬包圍電路以提供所有電流流通。而電路中許多的電壓要同時輸入主要路徑及仿製路徑中的電路，因此兩路徑中的電路要擺在相對的位置。在電路的外接考量方面，等化器控制電壓(EQctrl)、可變增益放大器控制電壓(VGActrl)及直流消除相關的控制電壓(Voc)設計成可藉由外部控制來觀察電路的開迴路(Open Loop)效能。另外，因為負壓產生器含有時脈訊號，所以為了避免負壓產生器的雜訊干擾，在佈局上光接

收器與負壓產生器的電源路徑採各自獨立的方法。

圖 3.52 針對佈局圖中電路的部分作放大。斜率控制器放在兩個路徑中間，減少等化器控制電壓到兩路徑的走線長度差異。而負壓產生器放在靠近仿製路徑的位置，避免雜訊影響主要路徑上的高頻訊號表現。表 3.2 為模擬結果與設計目標的比較。

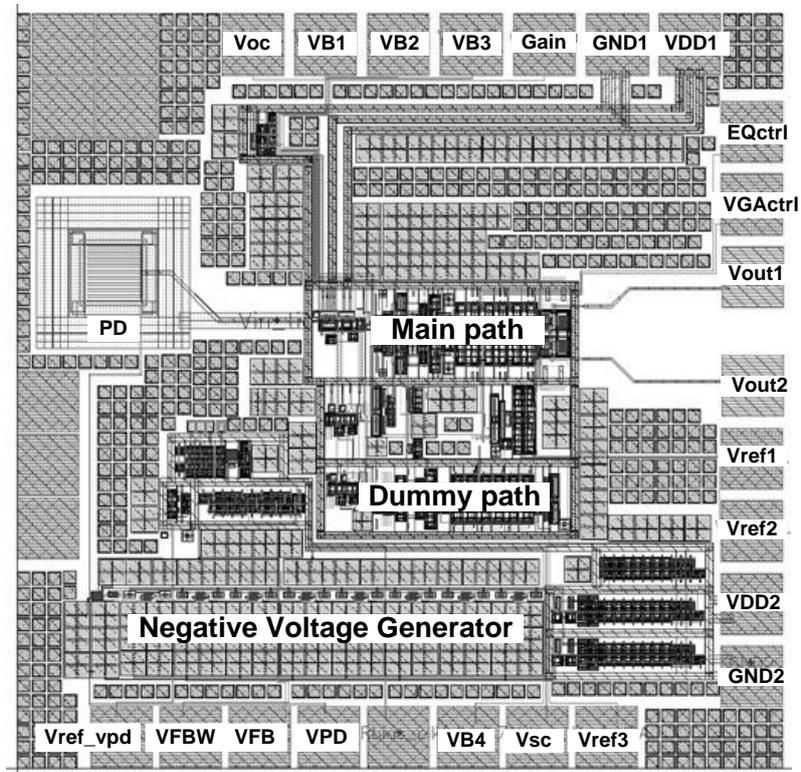


圖 3.51 電路佈局圖

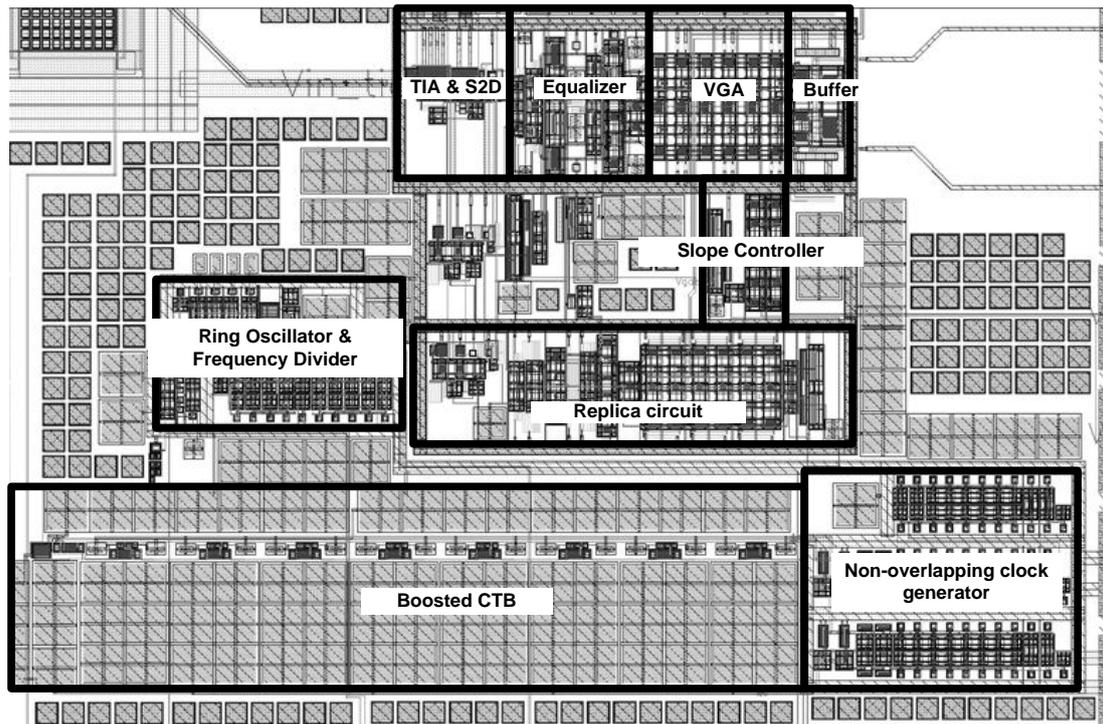


圖 3.52 電路佈局放大圖

	Design Target	Simulation Result
Technology	0.18 μ m CMOS	0.18 μ m CMOS
Optical Wavelength	850nm	850nm
Bandwidth	2.2GHz	2.2GHz
Data rate	3.125Gb/s	3.125Gb/s
DC Responsivity	0.45A/W	0.45A/W
Sensitivity (850nm)	-13dBm @ BER= 10^{-12}	-10.8dBm @ BER= 10^{-12}
VPD(V)	-10	-10
Efficiency(%)	>90%	50% @ $I_{LOAD}=150\mu$ A
Chip Size	NA	1000 μ m \times 1000 μ m
Power Dissipation	NA	109mW

表 3.2 預計規格列表

第四章 量測結果

4.1 量測環境

暫態響應量測的部分如圖 4.1 所示，利用 Agilent N4901B 誤碼率測試儀(Bit Error Rate Tester, BERT)送出 2Gb/s 的 2^7-1 的偽隨機位元串流(Pseudo Random Bit Stream, PRBS)，而後以光發射器(Light Wave Transmitter)將電訊號轉成波長為 850nm 的光訊號，經由光針(Optical Probe)將光聚在整合於晶片裡的檢光二極體上。晶片輸出的信號送入 Agilent 86100B 示波器觀察眼圖，並送回 Agilent N4901B 量測誤碼率。光功率的大小由光強度衰減器(Optical Power Attenuator)調整，並由 AFL OPM4 光功率量測器(Optical Power Meter)量測光發射器送出的光功率。在速度上從 3.125Gb/s 降到 2Gb/s 的原因是，在 3.125Gb/s 下因為頻寬不足使得眼圖 jitter 過大，電路的斜率補償功能無法明顯的顯現出來，故為了能夠較明顯的看出電路功能以及得到較佳品質的眼圖，此次光接收器將以 2Gb/s 的速度來測量。

而在 PCB 量測板上的設定，因為此次研究的雜訊防護議題考慮不周的關係，使得負壓產生器(NVG)的雜訊由基板耦合到光接收器上，因而在光接收器的量測方面無法進行，故在這次量測光接收器效能部份時，我們先將負壓產生器功能關閉，而負壓方面則由外部的電源供應器直接輸入一個負電壓(External VPD)來取代，以這樣的方式來進行光接收器效能的量測。而負壓產生器的效能量測則是將負壓產生器功能開啟後，入射不同輸入光強度的光訊號到檢光二極體上，並且測量負壓輸出值以計算功率效率。最後，利用基板分離的方法來觀察負壓產生器的輸出鏈波雜訊是否對光接收器效能有所影響，並且利用頻譜分析儀(Power Spectrum Analyzer)來分析雜訊來源。

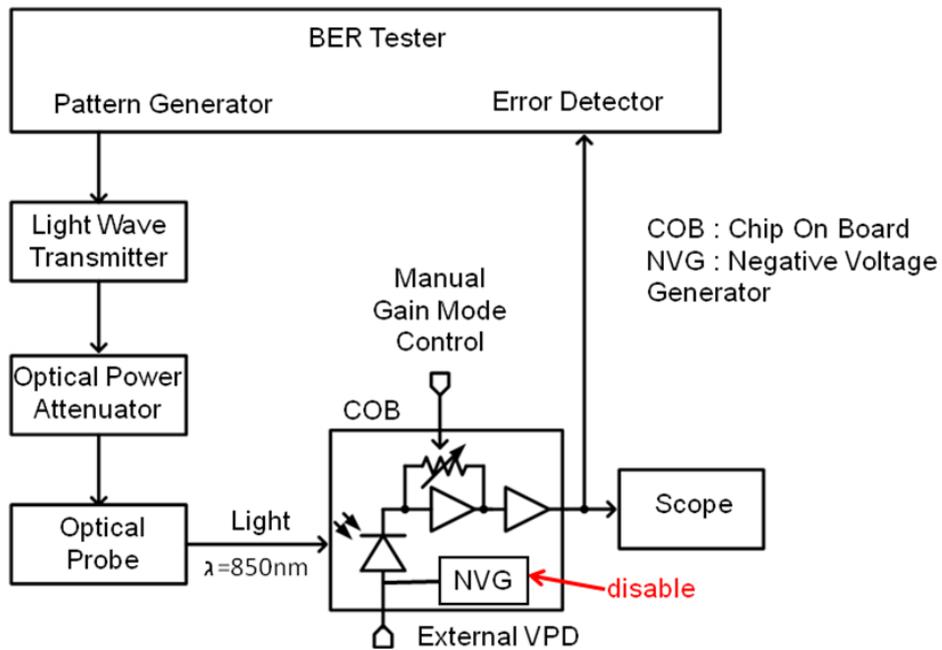


圖 4.1 暫態響應量測環境

頻率響應量測的部分如圖 4.2 所示，利用 Agilent E5071B 網路分析儀 (Network Analyzer) 送出訊號，而後以光發射器將電訊號轉成波長為 850nm 的光訊號，經由光針將光聚在整合於晶片裡的檢光二極體上。晶片輸出的訊號送回網路分析儀量測頻率響應。而進行頻率響應量測前需要先進進行校正 (Calibration) 的動作，以去除傳送訊號的電纜線 (Cable) 的效應。

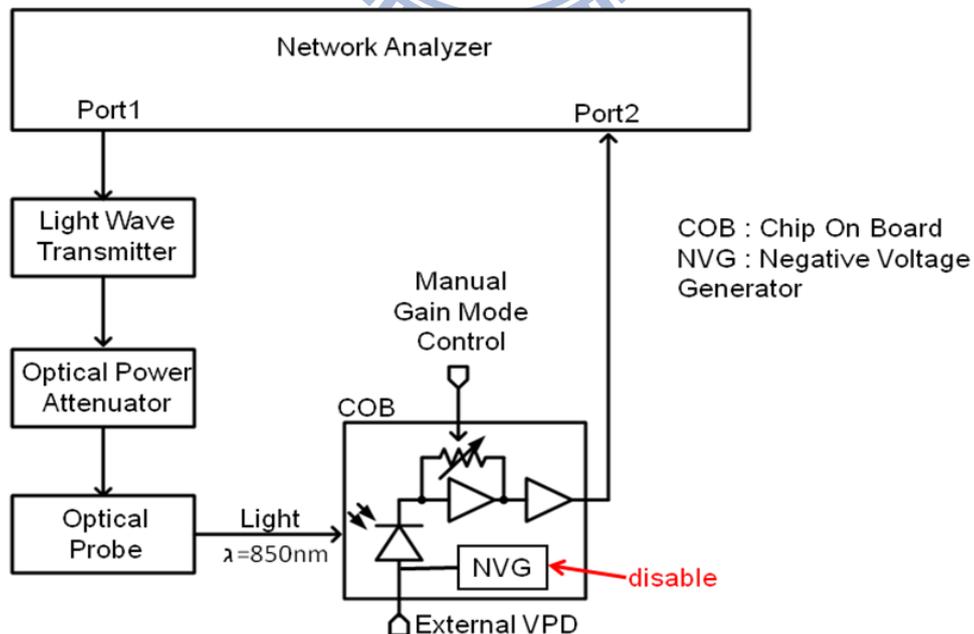


圖 4.2 頻率響應量測環境

4.2 光接收器量測

圖 4.3 為等化器的開迴路測試，圖 4.3(a)可以觀察出當等化器的控制電壓(EQctrl)為 0 時，表示等化器不提供高頻補償使得眼圖速度不夠；而圖 4.3(c)則是等化器過度補償時，眼圖會有明顯的 shooting 現象，因此等化器必須能夠適當的提供高頻補償，才能得到品質良好的眼圖，如圖 4.3(b)。

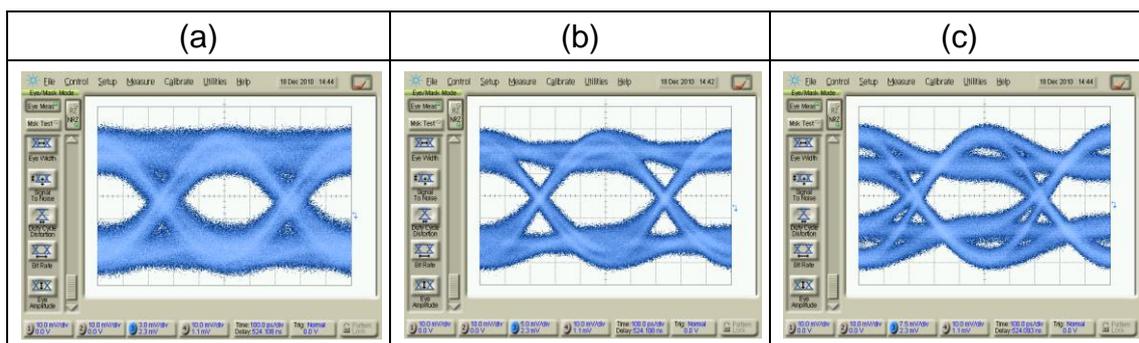


圖 4.3 等化器開迴路測試(2Gb/s, VPD= -10V, Pin= -10dBm, 10mV/div)

圖 4.4 為直流增益控制迴圈的功能測試，測試方法為改變輸入光強度，觀察輸出振幅是否能維持固定。從圖中可以看出當光強度改變 3dBm 時，(a)(b)兩圖眼圖的振幅都能維持固定，表示直流增益控制迴圈有正常工作。

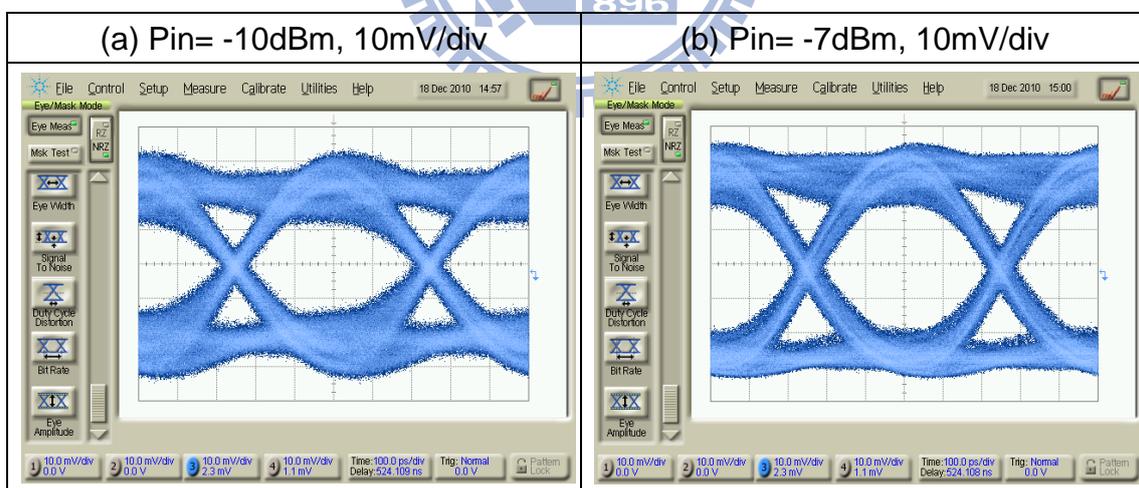


圖 4.4 直流增益控制迴圈功能測試(2Gb/s, VPD= -10V)

圖 4.5 說明此次眼圖大小的設定原因，因為可變增益放大器(VGA)在較高增益下頻寬不足的關係，使得輸出訊號的大小只能設定在 50mV~60mV 之間，若設定在較大的輸出振幅，如圖 4.5(a)，將會因為頻寬不足造成眼圖品質不佳，故最佳的振幅設定如圖 4.5(b)所示。

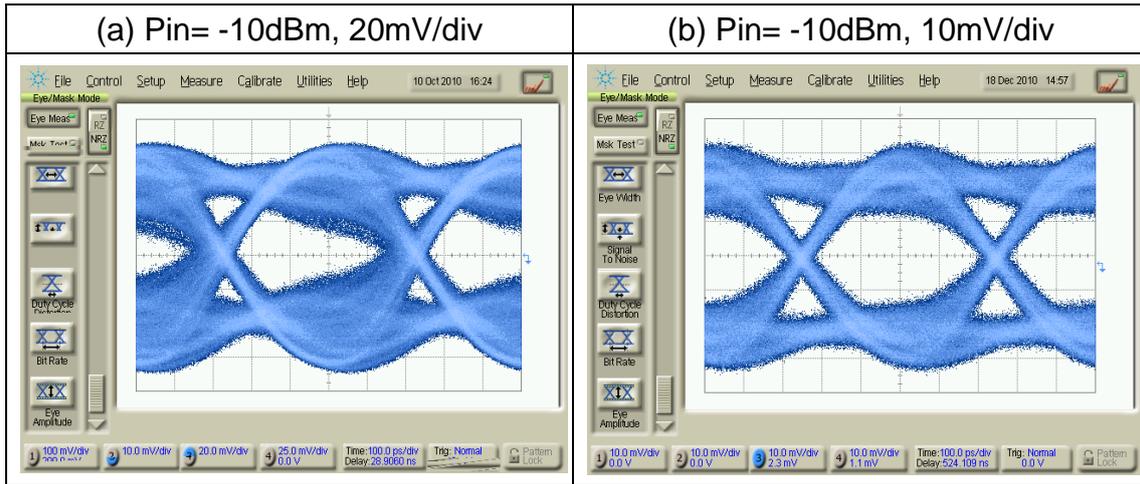


圖 4.5 輸出眼圖振幅設定 (a)20mV/div (b)10mV/div (2Gb/s, VPD= -10V)

圖 4.6 為光接收器閉迴路測試，觀察圖中眼圖可以發現，在不同的檢光二極體逆偏條件下，斜率控制器都能適當的控制等化器的高頻補償，使兩個輸出眼圖都能有相同的斜率表現，另外，直流增益迴圈也能夠在不同輸入光強度的條件下，使輸出眼圖的振幅維持固定。所以經過等化器補償後，可以得到消除符號間干擾(Inter-Symbol Interference, ISI)的眼圖，圖 4.5 為在符合誤碼率小於 10^{-12} 時之最小光強度產生的輸出訊號眼圖。

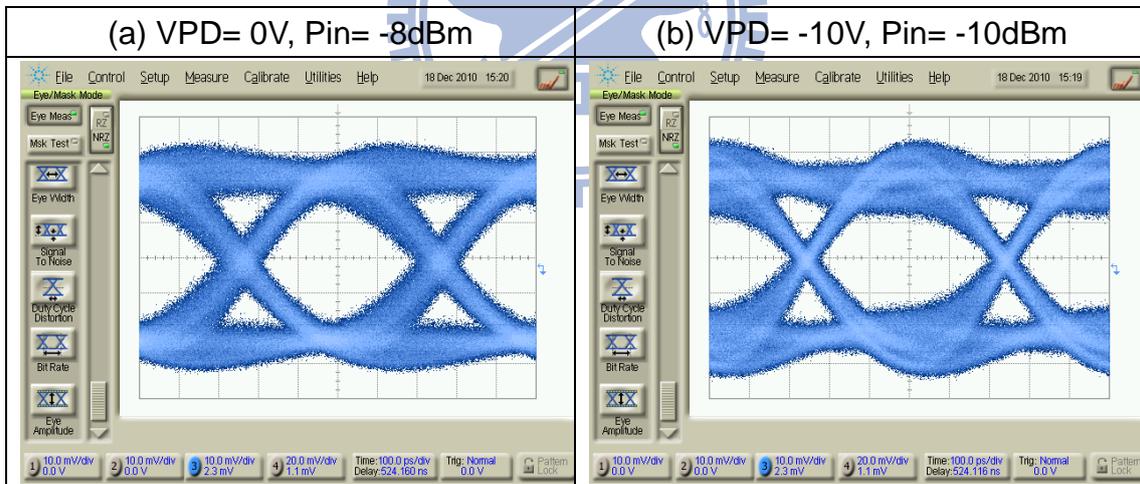


圖 4.6 光接收器閉迴路測試(2Gb/s, 10mV/div)

圖 4.7 為直方圖量測和雜訊推估，量測時將光輸入關掉，僅量測電路本身的雜訊 ($V_{N,out}=1.35mV$)，並在同樣的電路設定下，以光強度 (P_{IN}) 為 -10dBm 時量測輸出振幅 ($V_{out}=50mV$)，利用下方公式，可算出電路的靈敏度 (Sensitivity) 為 -16.7dBm。

$$\text{sensitivity} = 10 \times \log \left[\frac{14.1 \times I_N (r_e + 1)}{2 \rho (r_e - 1)} \times 1000 \right] \cdot I_N = \frac{V_{N,\text{out}}}{\text{Gain}} = \frac{V_{N,\text{out}} P_{\text{in}} \rho}{V_{\text{out}}}$$

$$= 10 \times \log \left[\frac{14.1 \times V_{N,\text{out}} (r_e + 1) P_{\text{in}}}{2 V_{\text{out}} (r_e - 1)} \times 1000 \right]$$

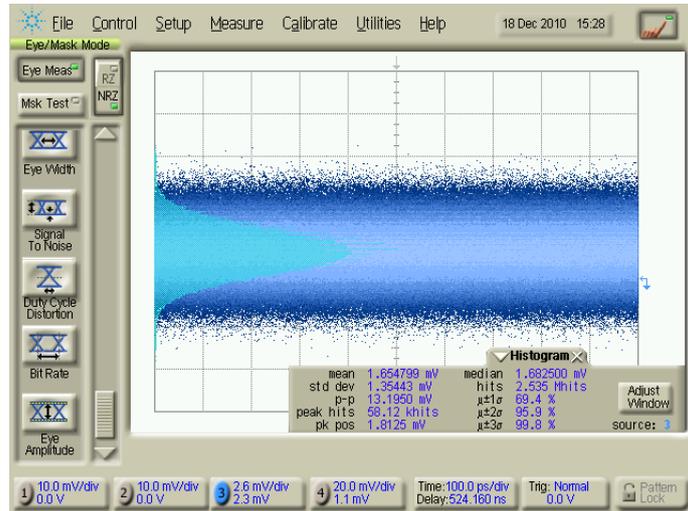


圖 4.7 雜訊之直方圖量測

圖 4.8 為不同訊號速度下的誤碼率量測，在越高速的訊號速度下越會受到符號間干擾的影響，進而降低靈敏度。圖 4.9 為訊號速度 2.5Gb/s 下的效能表現，2.5Gb/s 的靈敏度在 -10V 的負壓條件下約為 -8dBm。

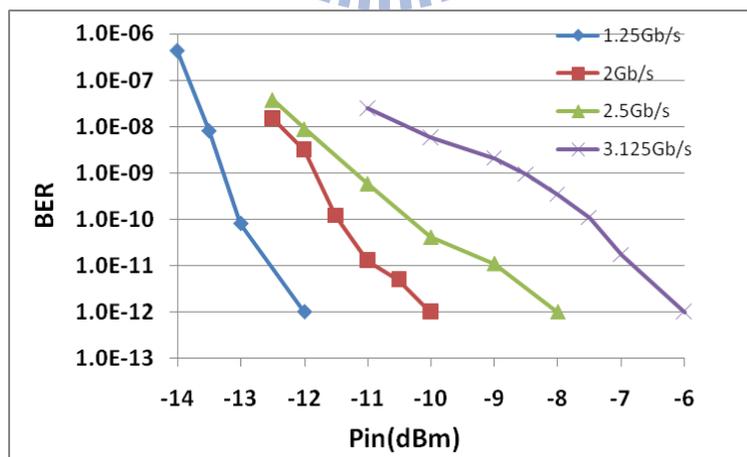


圖 4.8 不同訊號速度下的誤碼率量測

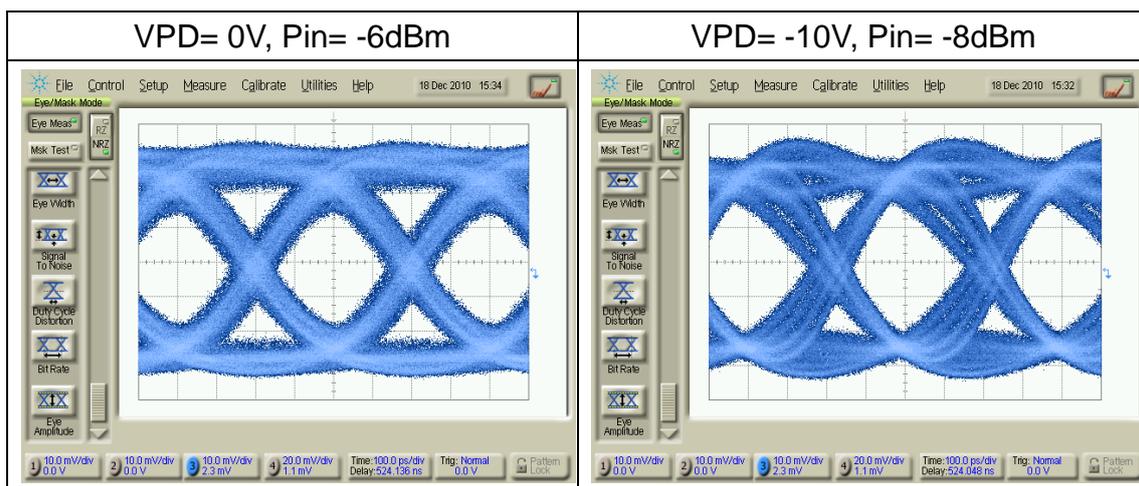


圖 4.9 訊號速度 2.5Gb/s 下的效能表現(2.5Gb/s, 10mV/div)

圖 4.10 為不同負壓下的靈敏度量測，從圖中可以觀察出當負偏壓低於-7V 以後，靈敏度的改善會趨緩，靈敏度約可達到 -9.5dBm 以上，因此在負壓產生器的設計上可以降低負壓產生器的級數以節省晶片面積及消耗功率。

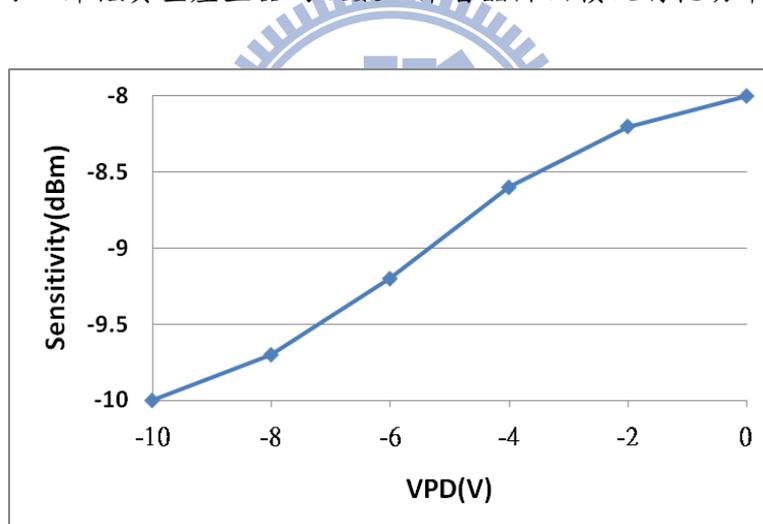


圖 4.10 不同負壓下的靈敏度量測(訊號速度:2Gb/s)

4.3 檢光二極體量測

檢光二極體的量測藉由雷射切割系統(Laser Cutter)將檢光二極體和電路的走線切斷避免額外干擾，並利用聚焦離子束(Focused Ion Beam, FIB)在晶片中生成一個連接到檢光二極體的腳位。而後，利用電源隔離器(Bias-Tee)提供直流逆偏壓，並將射頻端的電流訊號送進儀器，藉由儀器裡的 50ohm 阻抗轉提成電壓，如圖 4.11 所示。這是因為檢光二極體本身有一個 pF 等級的雜散電容，故僅用儀器的 50ohm 電阻做電流-電壓的轉換，以免產生太低的極點而影響低頻本質

響應的觀察。

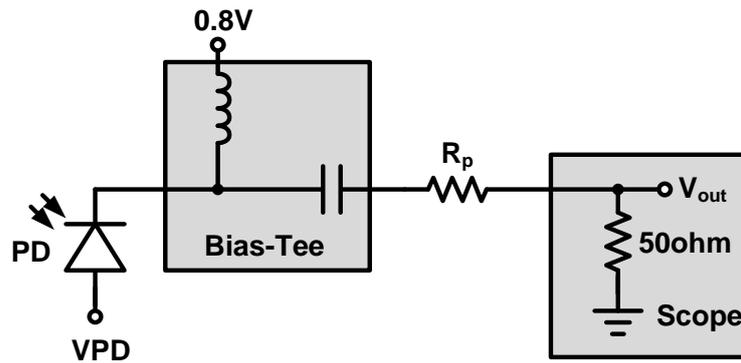


圖 4.11 檢光二極體量測設定

圖 4.12 為檢光二極體的頻率響應量測，分別量測負電壓在 0V 以及 -10V 底下的頻率響應，圖中觀察發現量測到的增益下降與 Medici 模擬得到的響應符合，在 1.4GHz 頻率下兩者增益差距約為 5.8dB。而圖 4.13 為直流響應率(DC responsivity)量測，由於此量測無法從示波器的波形上來進行光纖的照光位置調整，因此在這邊的調整照光位置的方法是取直流電流最大時來當做“對光”的依據。在此量測到的直流響應率在 -10V 的負電壓下約為 0.375A/W。圖 4.14 為測試逆偏電壓對於檢光二極體電流的影響，暗電流(Dark Current)代表未照光時檢光二極體所產生的電流，在一般的低逆偏電壓的應用中，此電流值約為 nA 等級，所以通常不特別考量，而總電流(Total Current)代表照光時檢光二極體產生的電流。由此圖可以發現逆偏電壓在 14.7V 附近會急速增加電流輸出，但由於此時的暗電流也快速增加，訊雜比約是一比一，並不適合用作訊號傳輸。因此較適合的操作點約在 14V 附近。

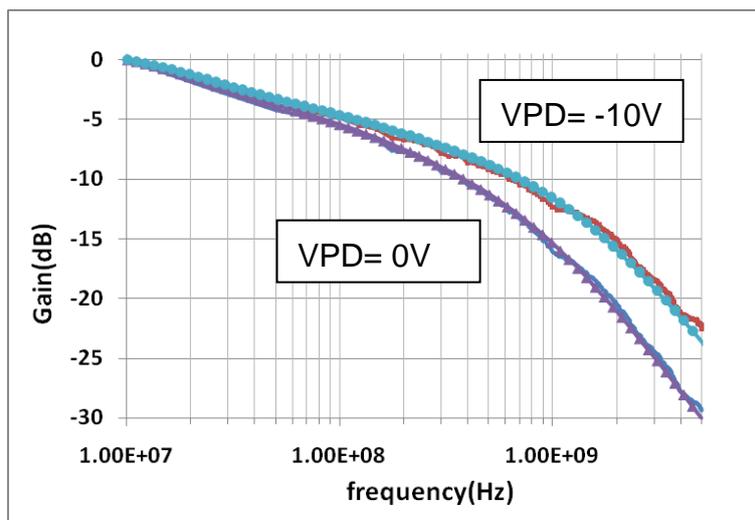


圖 4.12 檢光二極體頻率響應量測

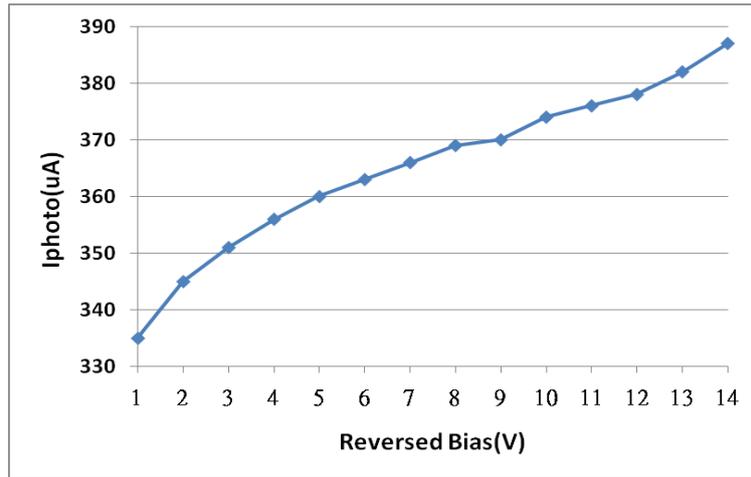


圖 4.13 檢光二極體直流響應率量測

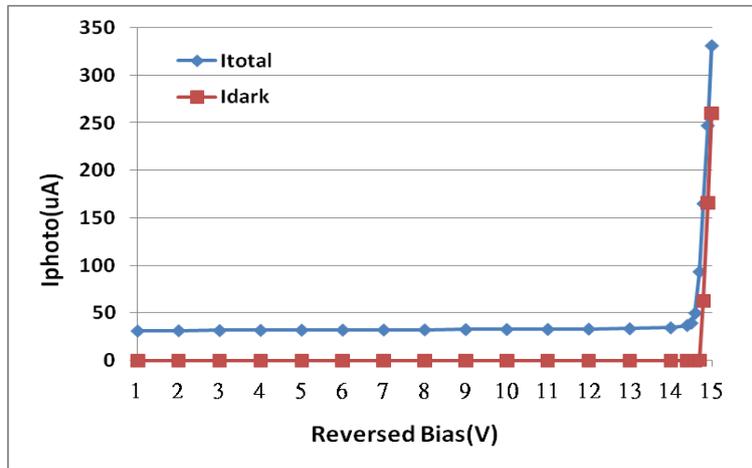


圖 4.14 逆偏電壓對檢光二極體所產生電流之影響圖

4.4 負壓產生器量測

圖 4.15 為量測不同時脈頻率下的負壓輸出，由圖中可以觀察出兩條負壓曲線的趨勢在較大輸入光強度的條件下都上升的很快，其中時脈頻率在 100MHz 下的斜率表現與模擬結果不符，這邊可以由公式 4.1 可以推測造成斜率差異的原因，應是電路佈局時的寄生效應使得時脈頻率降低，因此負壓輸出曲線的斜率才會增加。另外，雜散電容 C_s 的效應也會影響負壓曲線的斜率以及最負的值。圖 4.16 為模擬與量測比較圖，圖中可以看出模擬與量測上的曲線斜率差異主要來自於時脈頻率的不同。

$$V_{o,noload} = N \left(-\frac{C_c}{C_c + C_s} \cdot V_{DD} + \frac{I_{PD}}{f_{CLK} \cdot (C_c + C_s)} \right) + V_{th,p} \quad (\text{公式 4.1})$$

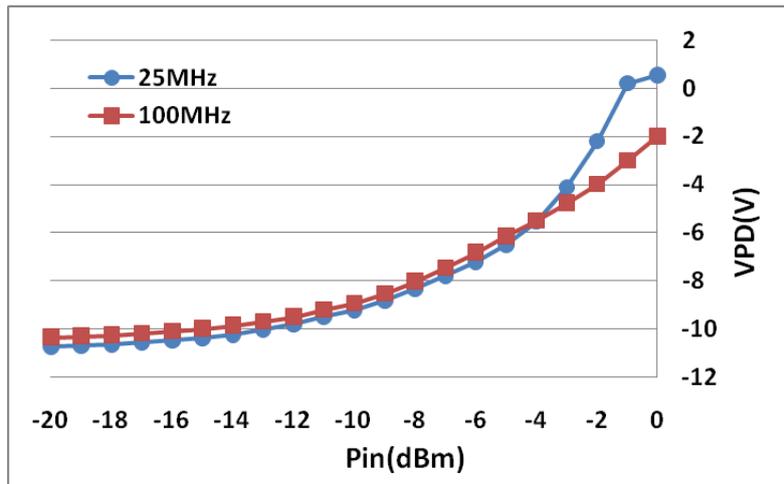


圖 4.15 負壓產生器輸出曲線

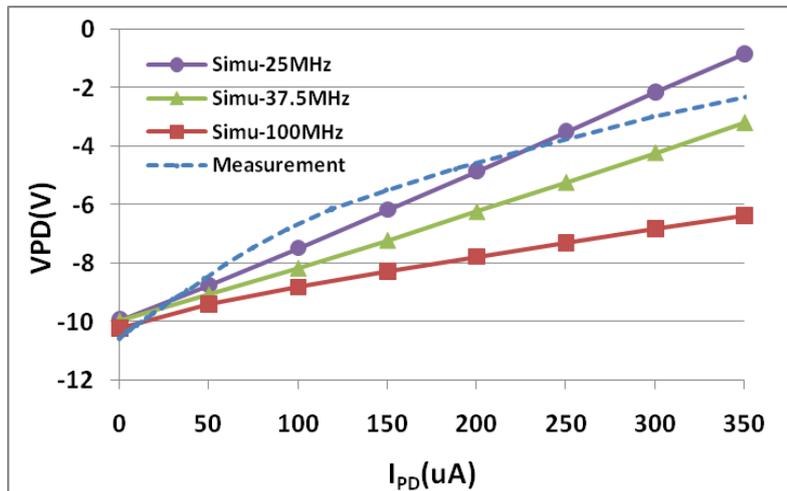


圖 4.16 負壓輸出之量測與模擬比較圖

圖 4.17 為功率效率量測圖，圖中的轉折點表示時脈頻率由高頻率操作轉換到低頻率操作，在這邊量測到的最大功率效率是發生在輸入光強度-5dBm 下的 26%，而在光接收器的最小輸入光強度-9.8dBm 下的功率效率則約為 17.6%。

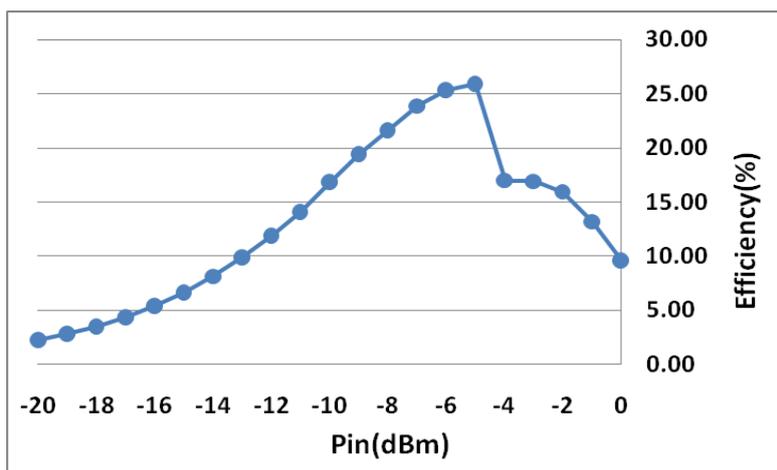


圖 4.17 功率效率曲線圖

圖 4.18 為功率效率的量測與模擬結果比較圖，由圖中可以觀察出在輸入光電流越大時，功率效率的差距會越大，原因則是負壓輸出曲線在光電流較大時的斜率無預期般的低所造成。

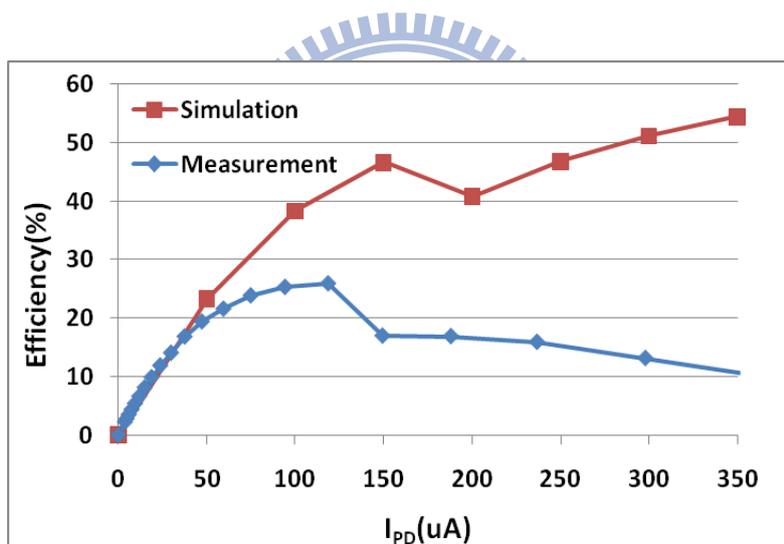


圖 4.18 功率效率曲線的量測與模擬比較圖

表 4.1 與表 4.2 為量測結果列表與比較，此次研究的最大貢獻在於以負壓產生器改善檢光二極體的本質響應，並且實現一個能針對不同衰減量進行補償的可適性操作電路。而在負壓輸出鏈波的影響方面，我們分別量測由外部電源直接提供負壓與負壓產生器自行提供負壓條件下的靈敏度，發現兩者的靈敏度相同，因此負壓輸出鏈波對於光接收器的效能並沒有造成影響。

	[18]	[19]	This work
Technology	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
Circuits Included	TIA + Equalizer	TIA	TIA + Equalizer + VGA + Adaption ckts +NVG
Adaptability	No	No	Yes
Optical Wavelength	850nm	850nm	850nm
Photodiode Area	50 μ m \times 50 μ m	80 μ m \times 80 μ m	70 μ m \times 70 μ m
Bandwidth	1.5GHz	N/A	1.4GHz
Data rate	3 Gb/s	500 Mb/s	2 Gb/s
DC Responsivity	N/A	N/A	0.375A/W
Sensitivity	-19dBm @ BER=10 ⁻¹¹	-8dBm @ BER=3 \times 10 ⁻¹⁰	-9.8dBm @ BER=10 ⁻¹²
Chip Size	700 μ m \times 400 μ m	1000 μ m \times 570 μ m	1mm \times 1mm
Measurement Method	On Wafer	On Board	On Board
Power Dissipation	50mW	17mW	90mW

表 4.1 量測結果列表與比較(光接收器部分)

	[15]	[16]	This work
Technology	0.6 μ m BiCMOS	0.6 μ m BiCMOS	0.18 μ m CMOS
V_{DD}	5 V	5 V	1.8 V
Data Rate	5 Gb/s	2.5 Gb/s	2 Gb/s
Responsivity	0.26 A/W	0.26 A/W	0.375 A/W
Sensitivity	-18.1 dBm (1)	-21.2 dBm (2)	-9.8 dBm (3)
f_{CLK}	60 MHz	45 MHz	25 MHz
I_{load}	4 μ A	1.97 μ A	39 μ A
VPD	+11 V	+12 V	-9 V
Efficiency	0.18 %(25mW)	6 %(10mW)	17.6 %(2.0mW)

表 4.2 量測結果列表與比較(負壓產生器部分): (1)(2)with TIA, Post-amplifier and Buffer; (3) with TIA, Equalizer, VGA and Buffer.

4.5 負壓產生器之雜訊頻譜量測與分析

在這次的研究中，我們試著將負壓產生器整合進光接收器系統中，但由於在雜訊防護的議題上考慮不周詳，導致負壓產生器的雜訊經由基板耦合到輸出訊號中，而為了排除基板雜訊干擾，於是將負壓產生器與光接收器的基板分開如圖 4.19 所示，在關閉輸入光訊號的條件下利用頻譜分析儀進行光接收器輸出端 (Output) 的量測，量測結果如圖 4.20。在尚未排除基板雜訊干擾時，光接收器輸出端的雜訊能量分佈相當混亂，影響訊號的程度相當嚴重，如圖 4.20(a)；而當排除基板雜訊干擾後，光接收器輸出端的雜訊能量分佈則有大幅度的改善，已經不會影響到訊號的測試，如圖 4.20(b)。而在雜訊防護議題方面，若要有效地防止基板雜訊的耦合，除了盡可能地將雜訊源遠離類比電路外，還需在雜訊源與類比電路之間鋪上防護層(shielding)並且連接到額外的地(GND)來吸收雜訊。

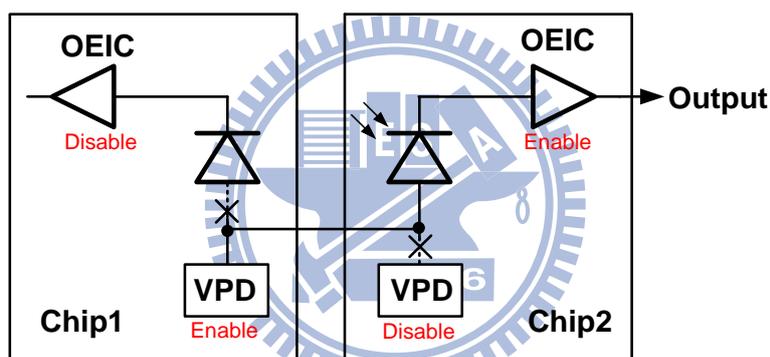


圖 4.19 基板雜訊干擾排除之示意圖

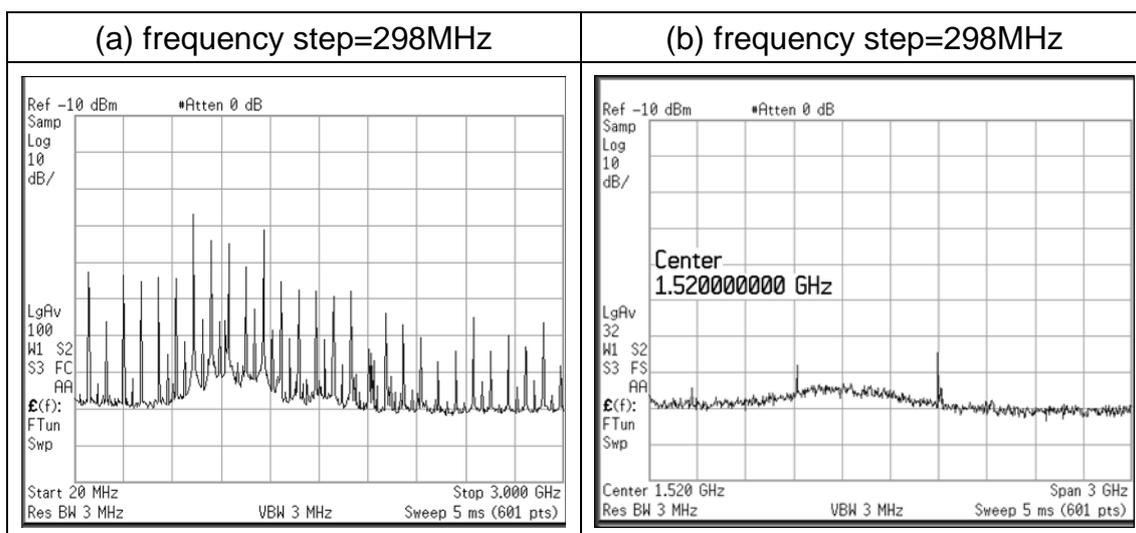


圖 4.20 (a)排除基板雜訊干擾前與 (b)排除基板雜訊干擾後的頻譜量測

接著，為了更加確定雜訊來源是因為時脈的存在，首先必須先對時脈造成的雜訊進行了解。由於時脈是個方波訊號，理想上的方波訊號在高等數學的分析上為一個基頻的正弦波(Sine Wave)再加上奇數倍頻的正弦波所組成，這些奇數倍頻的正弦波稱為奇次諧波(Odd-Order Harmonics)，因此理想的方波訊號在頻譜分析儀上的表現應為除了在基頻上有著能量外，在奇數倍頻的頻率上也存在著能量。因此回過頭來觀察圖 4.21(a)的頻譜表現，假設頻率點 104MHz 為一個基頻頻率，那麼在 312MHz(3 倍頻)、520MHz(5 倍頻)...等等，在奇數倍頻上都可以找到能量的存在，因此從這個現象可以推測應存在一個頻率為 104MHz 的時脈訊號。但除了奇數頻外，在偶數倍頻上(2 倍頻、4 倍頻...)也發現有偶次諧波(Even-Order Harmonics)的存在，因此可以推測，這個 104MHz 的時脈訊號不是一個純正的方波訊號，因為失真的關係而產生了偶次諧波。另外，在頻譜上也觀察到有較小能量的諧波，此諧波的頻率關係與 104MHz 時脈的諧波關係相同，但基頻落在 54.8MHz 上，這就表示有另一個 54.8MHz 的時脈訊號的存在。回到電路上來看，環震盪器(Ring Oscillator)之後接上兩組串聯的除二除頻器產生了 100MHz、50MHz 與 25MHz 的時脈訊號，其中前面兩個時脈訊號的存在由頻譜上面已經得到驗證，但 25MHz 的時脈訊號在頻譜上不存在的的原因，是因為這些雜訊是透過耦合(Coupling)的方法而出現在光接收器輸出端上，因此不同頻率的雜訊經過 $1/SC$ 的阻抗之後會有不同的強度表現，因此在頻譜上 25MHz 的訊號強度因為過於微弱而無法展現出來。而當磁滯比較器將驅動 Boosted Charge Pump 的時脈頻率從 100MHz 切換到 25MHz 時，從圖 4.21(b)的頻譜上便可以看出 25MHz 基頻能量的出現，這是因為此時負壓產生器的時脈頻率以 25MHz 為主，因此能量較強。從圖 4.22(a)(b)的作圖可以看出高次諧波與一次諧波(基頻)的頻率關係接近整數倍的關係，此圖橫軸為整數 N 的計數，縱軸為高次諧波除以一次諧波的值，做出趨勢線後發現兩條斜直線的斜率趨近於 1，因此驗證了前面所做的關於高次諧波的推測，意即雜訊來自於時脈訊號的存在。

最後，圖 4.23 為此次研究在國家晶片中心下線的晶片照相圖。

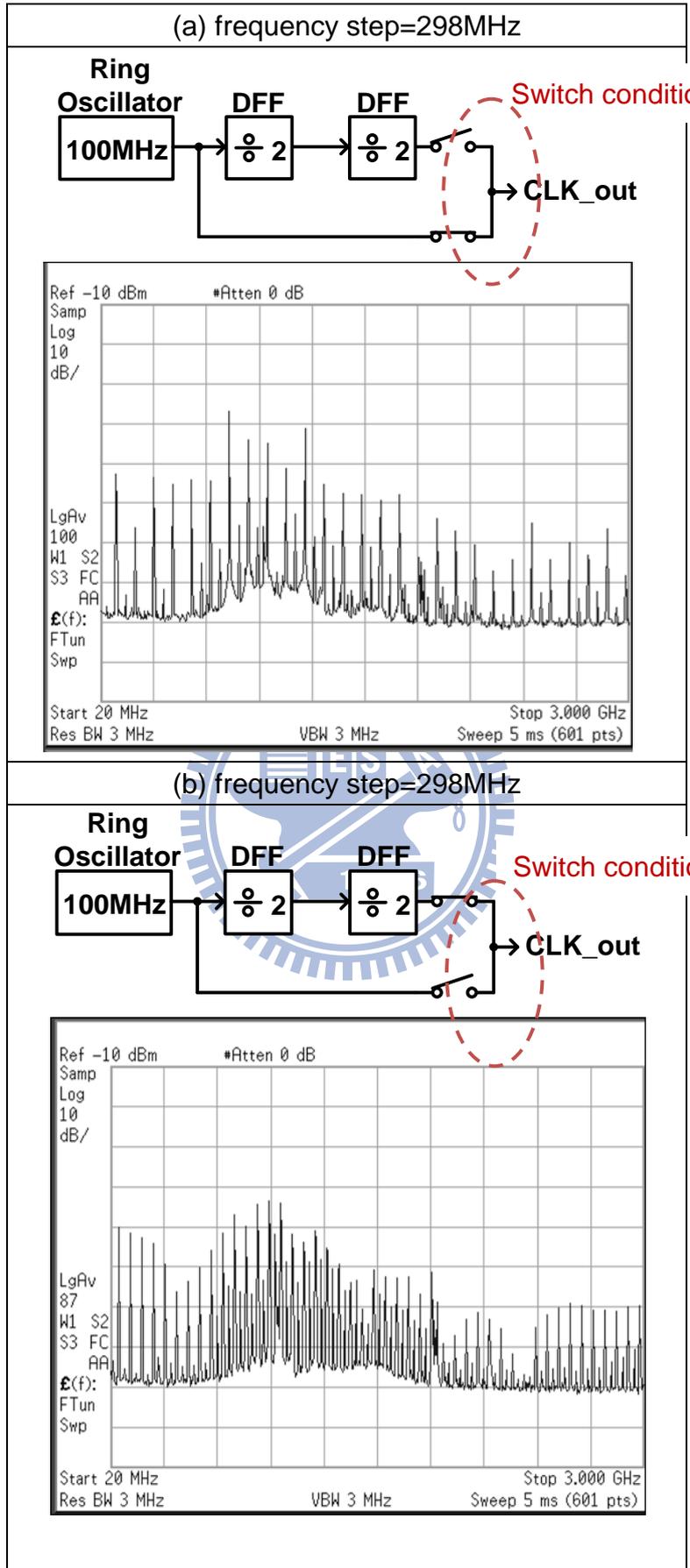


圖 4.21(a)100MHz 與 (b)25MHz 時脈頻率下 的光接收器輸出端頻譜量測圖

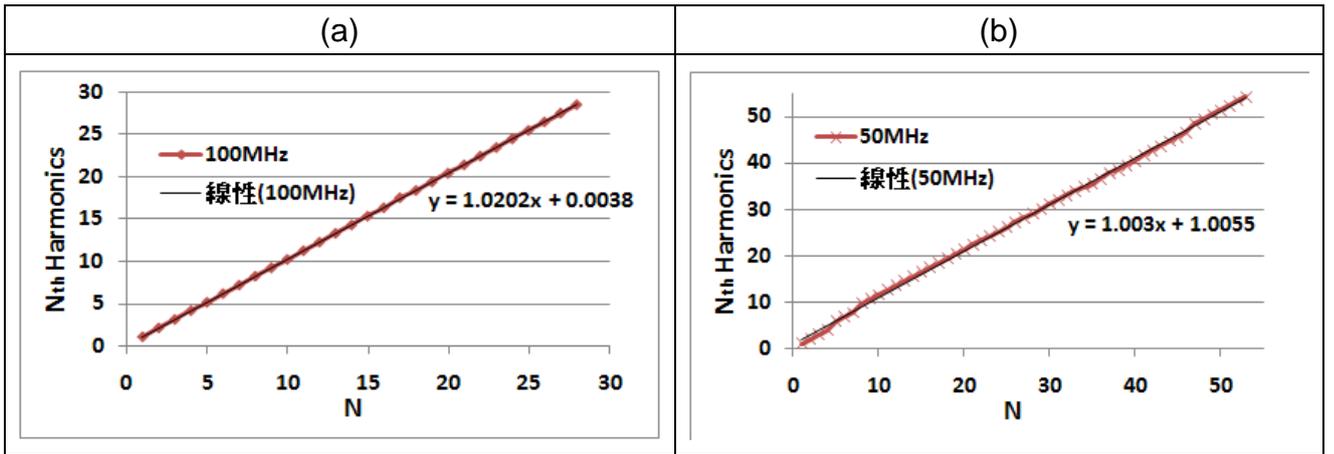


圖 4.22 高次谐波整數倍頻驗證圖 (a)100MHz (b)50MHz

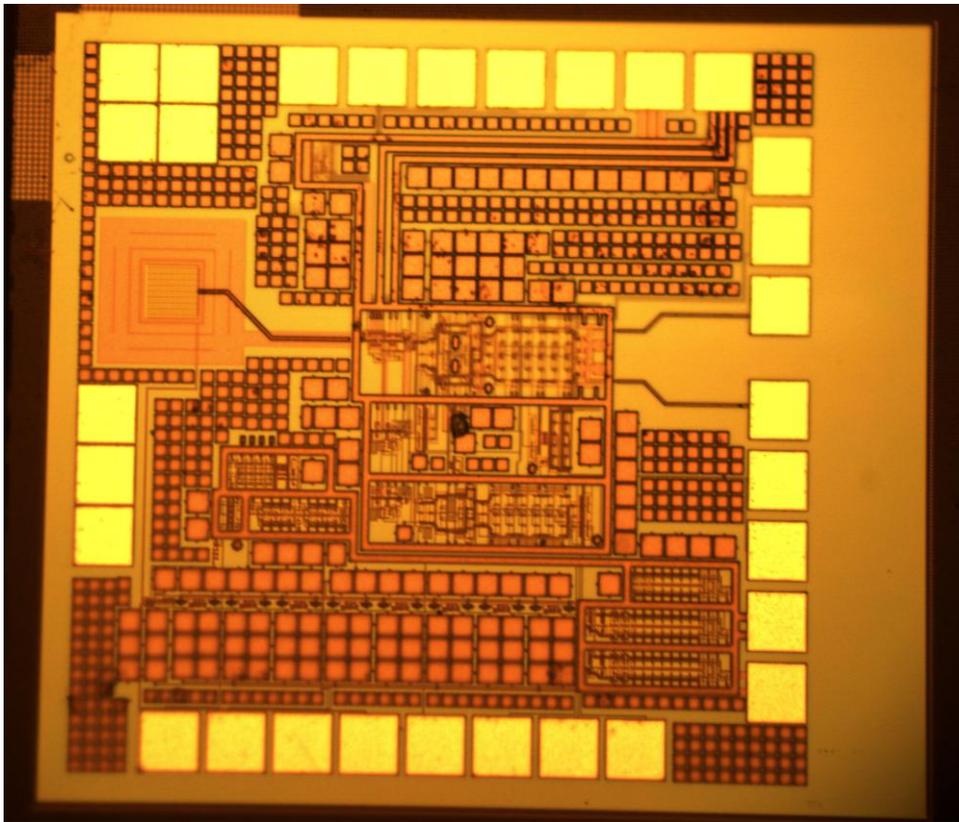


圖 4.23 晶片照相圖

第五章 結論與改進

在這次研究中，提出以負壓產生器改善檢光二極體頻寬的想法，並且嘗試將負壓產生器整合進 $0.18\mu\text{m}$ 金氧半製程以實現一個 2Gb/s 的光接收器。雖然整合的部分因為雜訊影響而無法成功，但在光接收器以及負壓產生器的個別功能方面，還是能夠正常的工作。而負壓產生器輸出端造成的鏈波雜訊，經由模擬以及量測結果得知此雜訊不會影響光接收器的靈敏度。採用的檢光二極體面積為 $70\mu\text{m} \times 70\mu\text{m}$ ，在 850nm 光波長下利用不同輸入光強度驗證直流迴圈的正確操作，並且在不同檢光二極體逆偏條件下驗證高頻補償迴圈的功能。效能方面，此設計在誤碼率小於 10^{-12} 的條件下量測出 -9.8dBm 的靈敏度，而負壓產生器在 -9.8dBm 輸入光強度下產生 -9V 的輸出負壓，功率效率為 17.6% 。整個晶片在 1.8V 供應電壓下消耗 90mW 的功率。另外，在 2.5Gb/s 訊號速度下，可以量測出 -8dBm 的靈敏度，而負壓產生器也有 -8V 的輸出負壓。

另外，為了在量測上看出轉阻放大器的效能，我們利用開迴路(Open-Loop)的方法，避開可變增益放大器對靈敏度的限制，因為可變增益放大器在提供較高的低頻增益時會使頻寬過於衰減以致於影響到靈敏度的量測，因此利用開迴路將可變增益放大器設定在不影響頻寬的條件下，進行 BER 的測試。圖 5.1 為 BER 的測試結果，在開迴路的設定下，觀察 $\text{BER} < 10^{-9}$ 的靈敏度，可以看到的是在 2Gb/s 的條件時靈敏度大約是 -12.5dBm ，這表示轉阻放大器在不受可變增益放大器的影響時，靈敏度約可達到 -12.5dBm 。而在 2.5Gb/s 的條件下則測得靈敏度為 -11dBm 。因此可變增益放大器在往後的設計上除了消耗功率的考量外，需更加注意增益與頻寬的關係。圖 5.2(a)(b)分別為 2Gb/s 及 2.5Gb/s 在 -12.5dBm 及 -11dBm 靈敏度下的輸出眼圖。

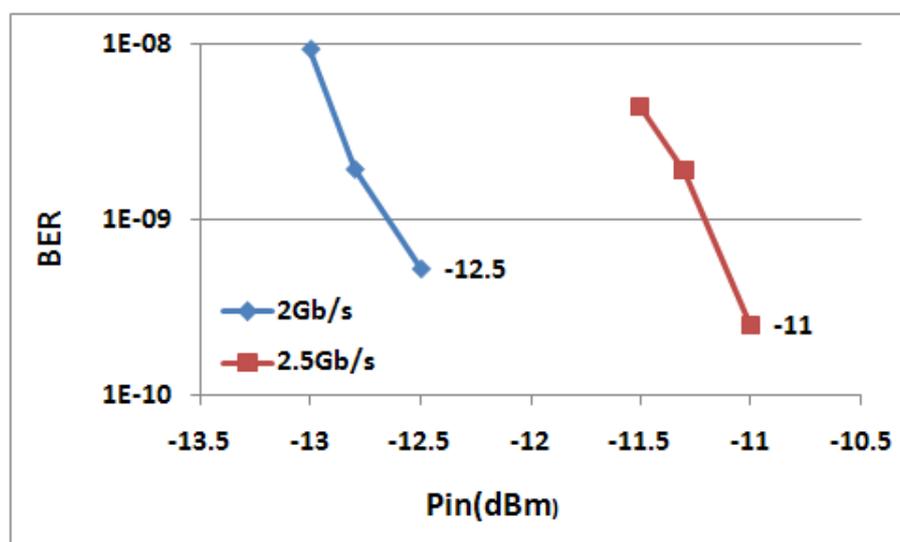


圖 5.1 開迴路設定下的 BER 測試

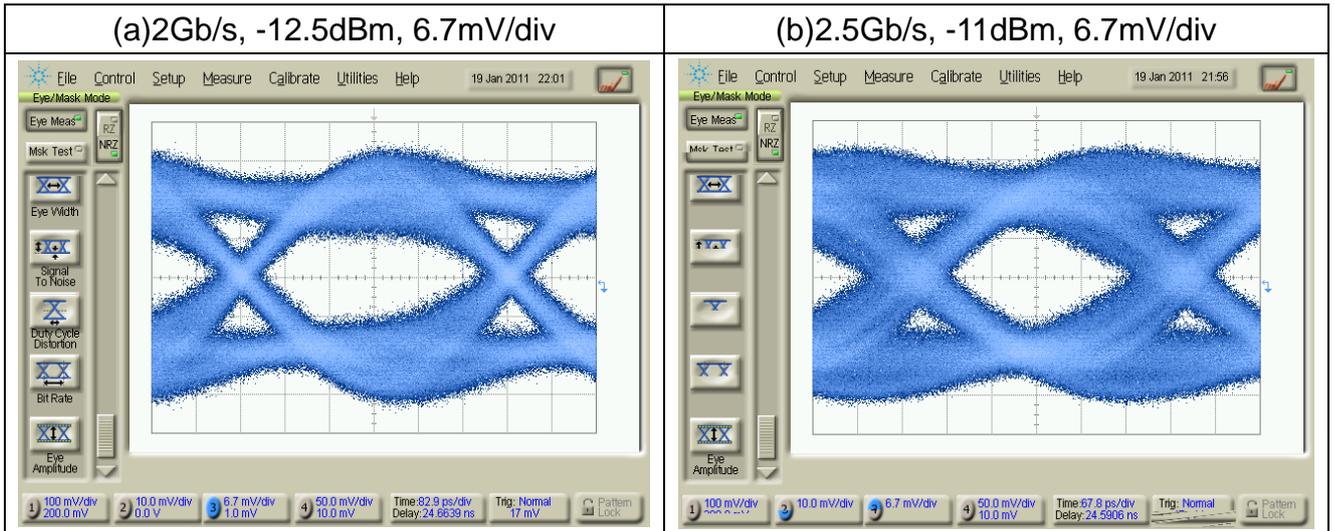
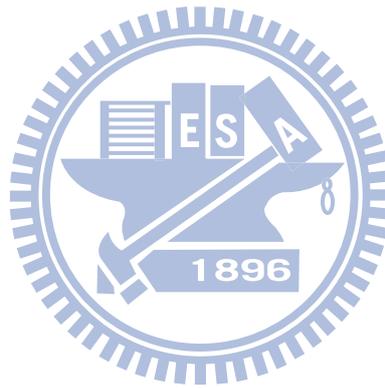


圖 5.2 BER10^{-9}的開迴路輸出眼圖量測



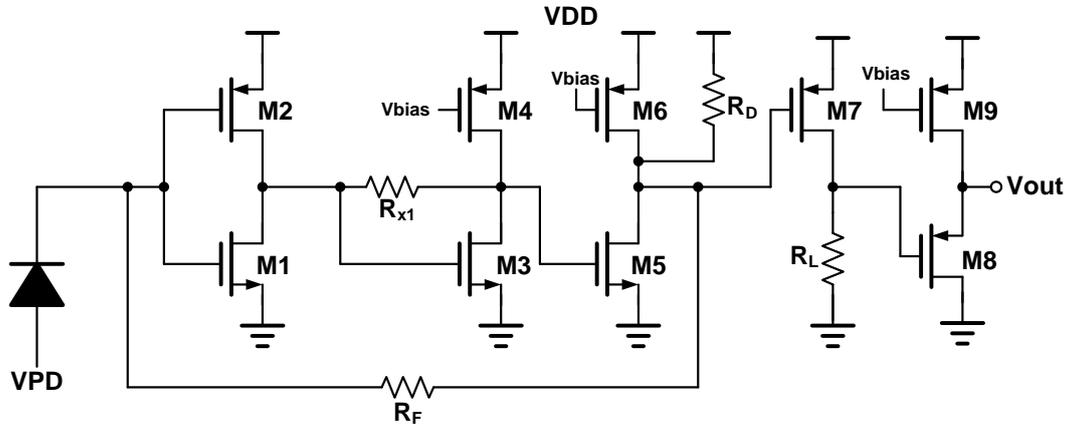
參考文獻

- [1] E. Säckinger, Broadband Circuits for Optical Fiber Communication, John Wiley & Sons, 2005.
- [2] M. Ingels and M. Steyaert, Integrated CMOS Circuits for optical Communications, Springer, 2004
- [3] G. Zhang, "A BICMOS 10 Gb/s adaptive cable equalizer," in IEEE ISSCC Dig. Tech. Papers, Feb. 2004, pp. 482-483
- [4] J. S. Choi, M. S. Hwang and D. K. Jeong, "A 0.18 μ m CMOS 3.5-gb/s continuous-time adaptive cable equalizer using enhanced low-frequency gain control method," IEEE J. Solid-State Circuits, vol. 39, pp. 419-425, 2004.
- [5] J. LEE, "A 20-Gb/s adaptive equalizer in 0.13- μ m CMOS technology," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 273–282, Feb. 2006.
- [6] J. A. Starzyk, Q. J. Ting-Wei, A. Fengjing, "A DC-DC Charge Pump Design Based on Voltage Doublers," IEEE Transaction on Circuits and Systems I: Fundamental Theory and Application, vol. 48, no. 3, pp. 350-359, Mar. 2001
- [7] B. Razavi, Design of integrated circuits for optical communications, McGraw Hill, 2003.
- [8] D. Johns and K. Martin, "Analog Integrated Circuit Design," Wiley, 2007
- [9] C. F. Liao and S. I. Liu, "A 10Gb/s CMOS AGC Amplifier with 35dB Dynamic Range for 10Gb Ethernet," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 2092–2101, Feb. 2006.
- [10] S. Yamashita, S. Ide, K. Mori, N. Ueno, and K. Tanaka, "Novel cell AGC technique for burst-mode CMOS preamplifier with wide dynamic range and high sensitivity for ATM-PON system," IEEE J. Solid-State Circuits, vol. 37, no. 7, pp. 881-886, Jul. 2002.
- [11] J.F. Dickson, "On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE J. Solid-State Circuits, vol. SC-11, no.3, pp.374-378, Jun. 1976.
- [12] J. Shin, I. Y. Chung, Y. J. Park, and H. S. Min, "A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect," IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1227-1230, Aug. 2000
- [13] C. Lauterbach, W. Weber, D. Romer, "Charge Sharing concept and New Clocking Scheme for Power Efficiency and Electromagnetic emission

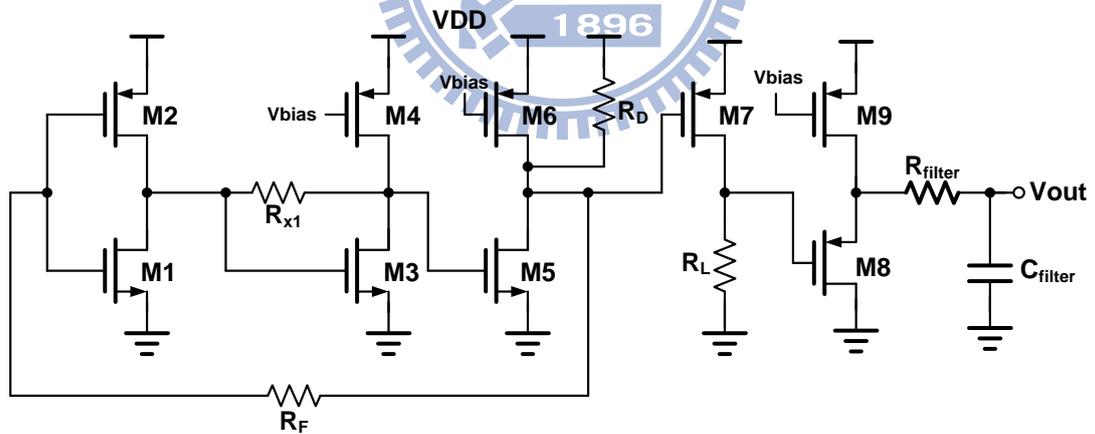
- Improvement of Boosted Charge Pump,” IEEE J. Solid-State Circuits, vol. 35, no. 5, pp. 719-723, May 2000.
- [14] R. Swoboda, J. Knorr, H. Zimmermann, “A 2.4GHz-Bandwidth OEIC with Voltage-Up-Converter,” in Proc. 30th Eur. Solid-State Circuits Conf., pp. 223-226, Sep. 2004.
- [15] R. Swoboda, J. Knorr, H. Zimmermann, “A 5Gb/s OEIC with Voltage-Up-Converter,” IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1521-1526, July 2005.
- [16] R. Swoboda, J. Knorr, H. Zimmermann, “A 2.5Gb/s Receiver PDIC With Low-Noise Integrated Charge Pump,” IEEE Transaction on Circuits and Systems II: Express Briefs, vol. 53, no. 11, pp. 1308-1312, Nov, 2006.
- [17] Na Li; Zhangcai Huang; Minglu Jiang; Y. Inoue, “High Efficiency Four-phase All PMOS Charge Pump without Body Effects,” International Conference on Communications, Circuits and Systems, pp. 1083-1087, 2008.
- [18] S. Radovanović, A. J. Annema and B. Nauta, “A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication,” IEEE J. Solid-State Circuits, vol. 40, pp. 1706-1717, 2005.
- [19] C. Hermans and M. Steyaert, “A high-speed 850-nm optical receiver front-end in 0.18 μ m CMOS,” IEEE J. Solid-State Circuits, vol. 41, pp. 1606-1614, 2006.
- [20] C. M. Tsai and L. R. Huang, “A 21mW 2.5Gb/s 15k Self-Compensated Differential Transimpedance Amplifier,” IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 234-235, Feb. 2005.
- [21] C. M. Tsai and L. R. Huang, “A 24mW 1.25Gb/s 13k Transimpedance Amplifier Using Active Compensation,” IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 894-903, Feb. 2006
- [22] C. H. Lu and W. Z. Chen, “Bandwidth enhancement techniques for transimpedance amplifier in CMOS technologies,” Proc. Eur. Solid-State Circuits Conf., pp. 174-177, Sep. 2001.
- [23] C. F. Liao and S. I. Liu, “A 10Gb/s CMOS AGC Amplifier with 35dB Dynamic Range for 10Gb Ethernet,” IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 2092–2101, Feb. 2006.
- [24] S. Yamashita, S. Ide, K. Mori, N. Ueno, and K. Tanaka, “Novel cell AGC technique for burst-mode CMOS preamplifier with wide dynamic range and high sensitivity for ATM-PON system,” IEEE J. Solid-State Circuits, vol. 37, no. 7, pp. 881-886, Jul. 2002.

附錄

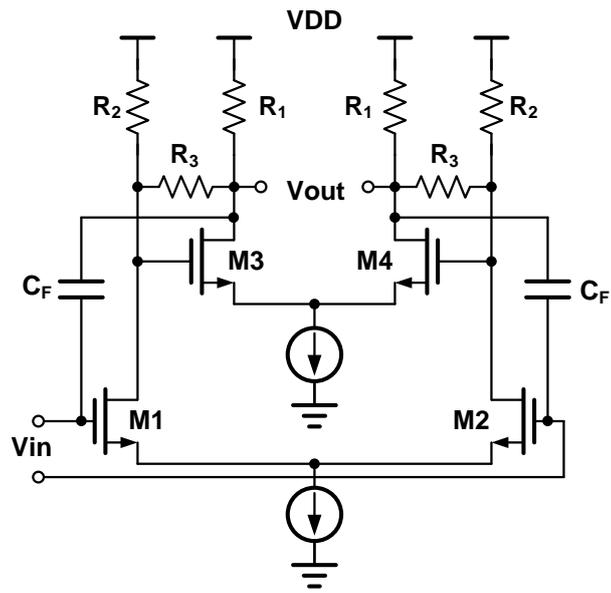
TIA in Main Path



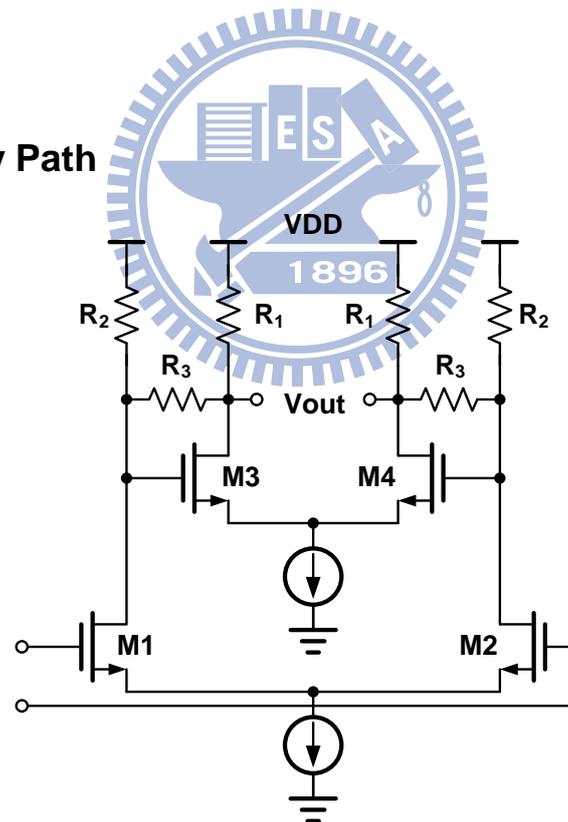
TIA in Dummy Path



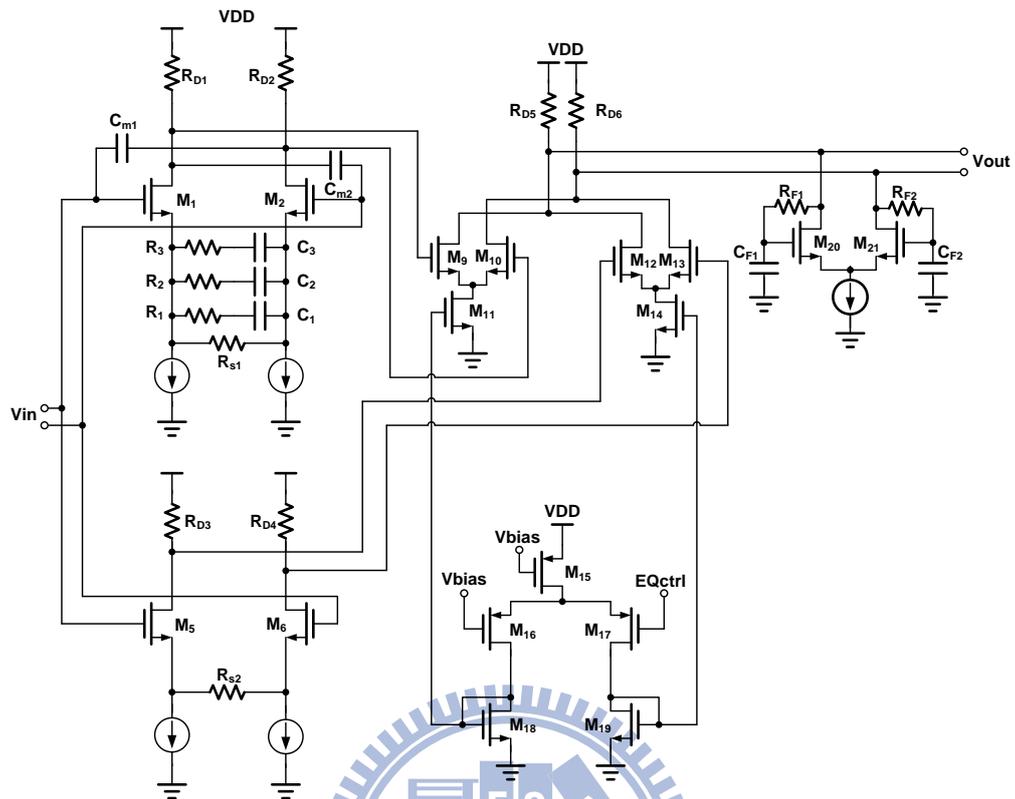
S2D in Main Path



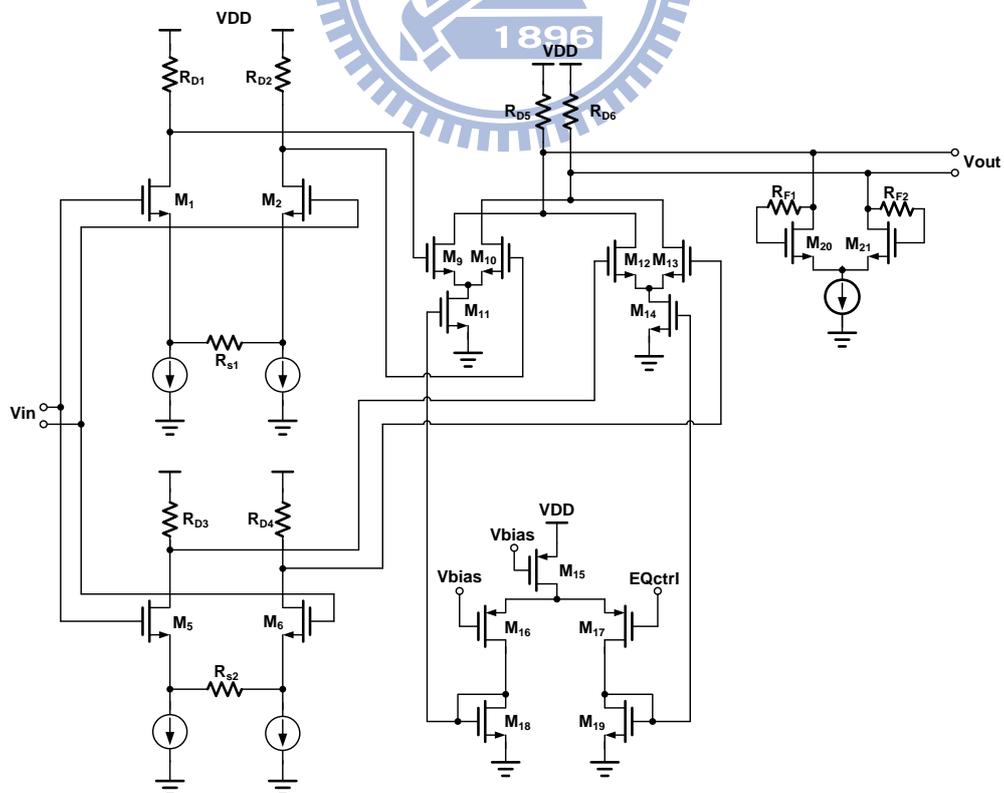
S2D in Dummy Path



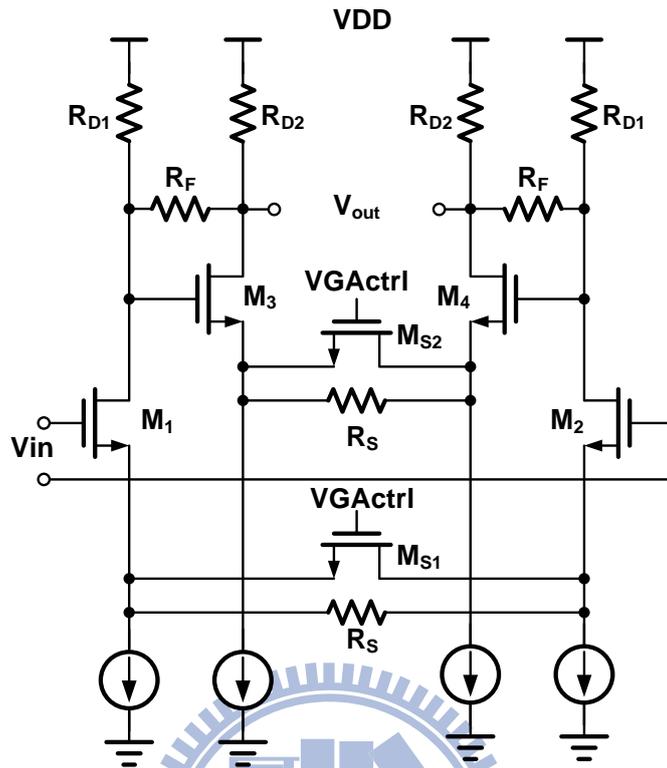
EQ in Main Path



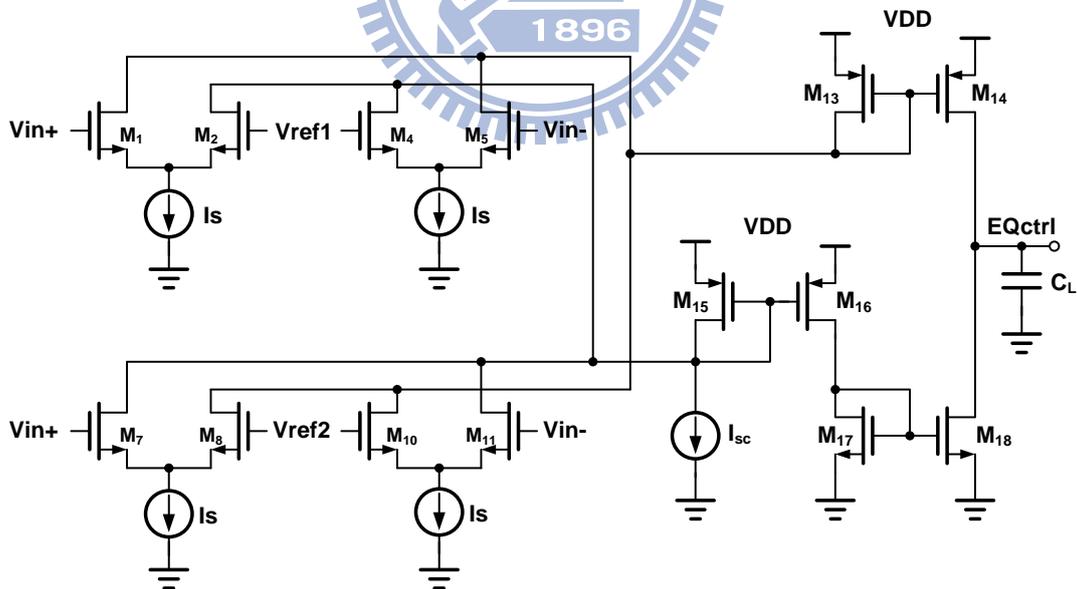
EQ in Dummy Path



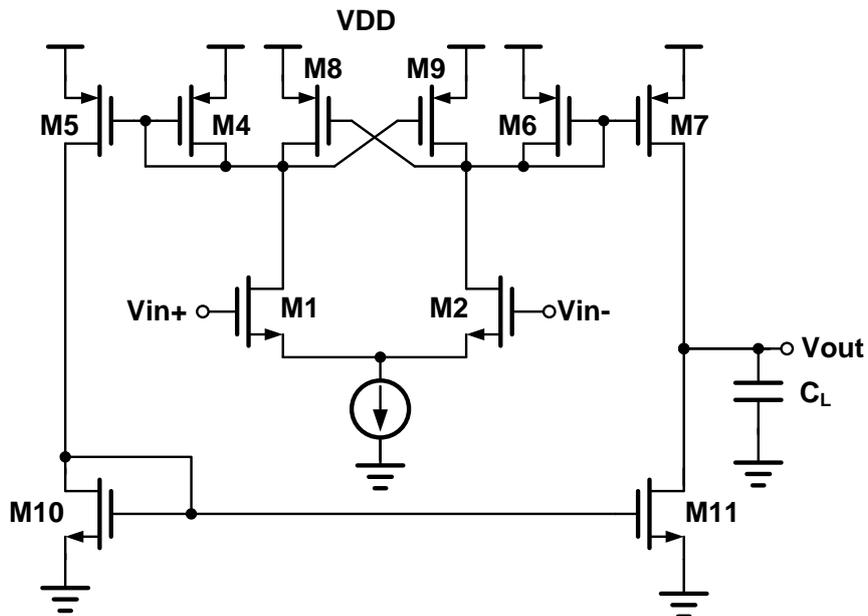
VGA in Main Path & Dummy Path



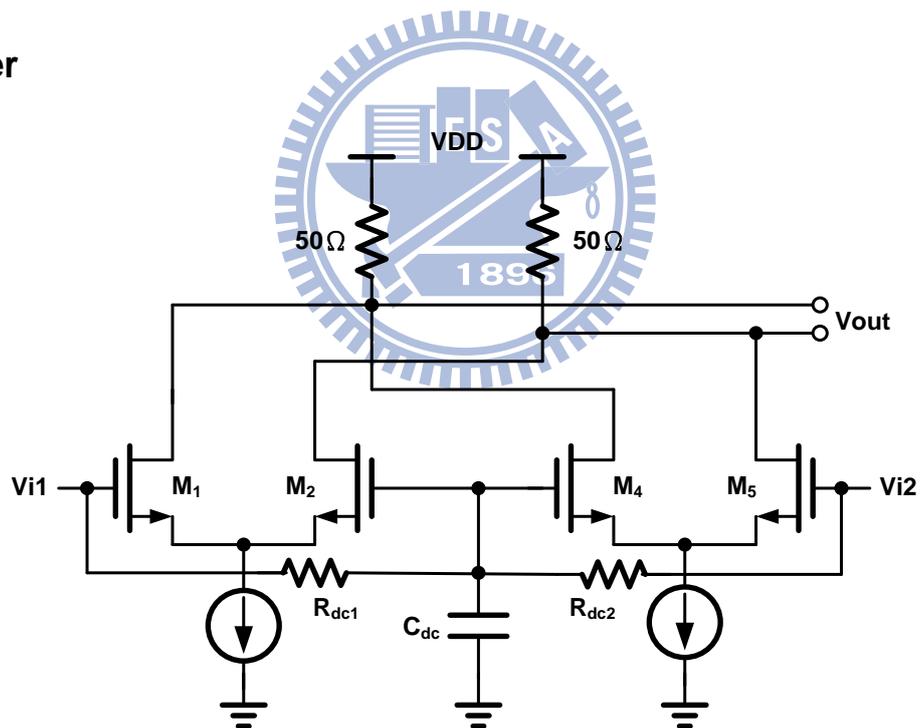
Slope controller



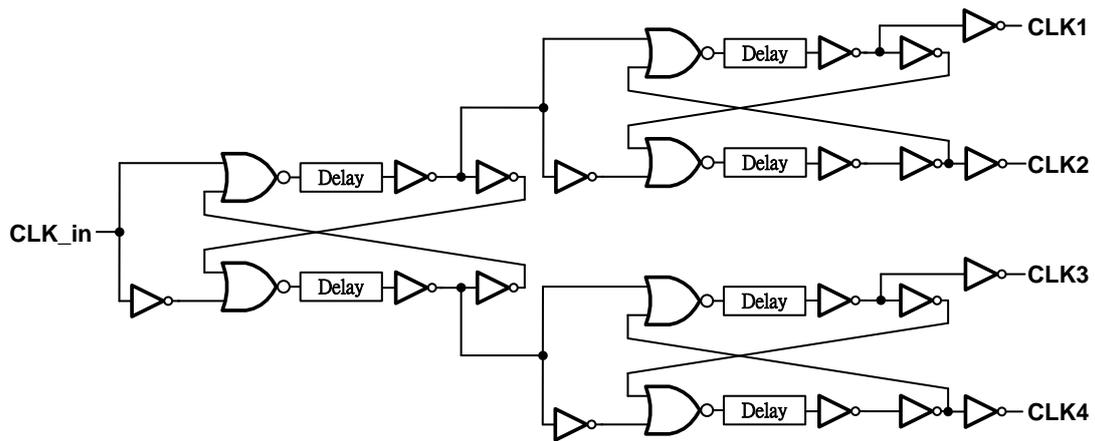
Error amplifier



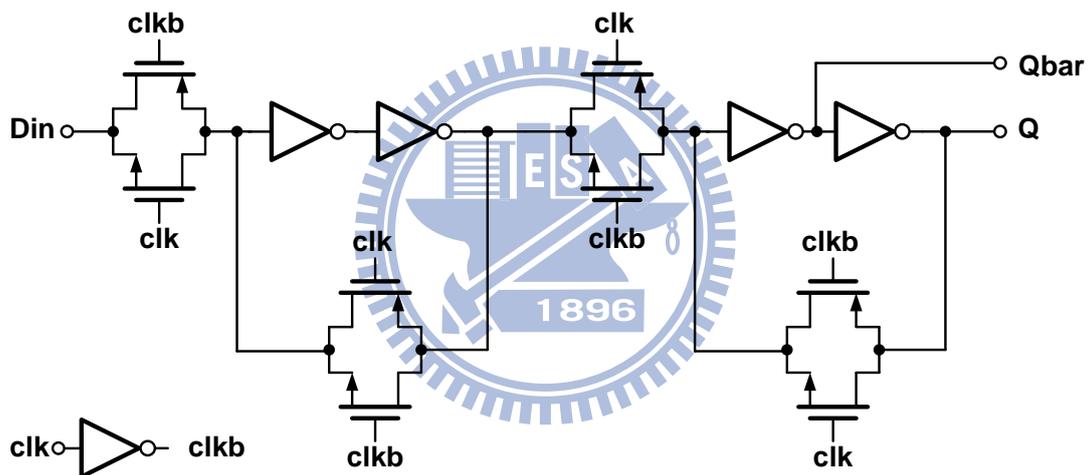
Buffer



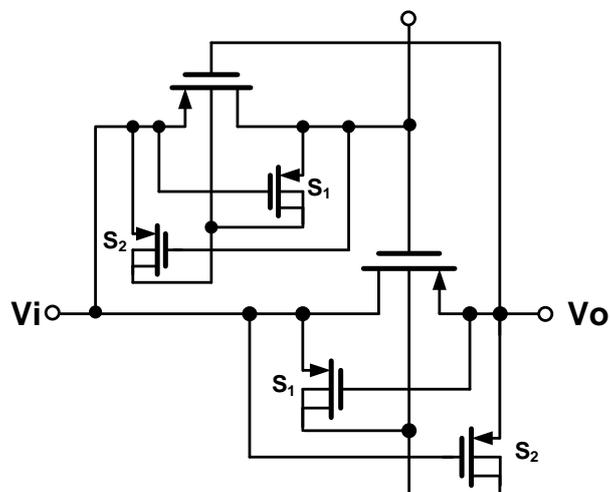
Non-overlapping clock generator



DFF in Frequency divider



Boosted Charge Transfer Block



簡歷

姓名：林致煌

出生地：台灣高雄縣

學歷：2000.09 ~ 2002.09 高雄縣橋頭國中

2002.09 ~ 2004.06 高雄市高雄中學

2004.09 ~ 2007.06 國立中興大學 電機工程學系

2007.09 ~ 2011.01 國立交通大學 電子研究所

