

國立交通大學

電子工程學系

電子研究所碩士班

碩士論文

奈米金氧半製程之線性穩壓器自動化設計

**Low Dropout Regulator Automation Design in
Nanometer CMOS Process**



研究生：許世昕

指導教授：陳巍仁 教授

中華民國九十九年九月

奈米金氧半製程之線性穩壓器自動化設計

**Low Dropout Regulator Automation Design in
Nanometer CMOS Process**

研究生：許世昕

Student : Shih-Hsin Hsu

指導教授：陳巍仁

Advisor : Wei-Zen Chen



Submitted to Department of Electronics Engineering and Institute of Electronics
College of Electrical and Computer Engineering
National Chiao-Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master
in
Electronics Engineering
July 2010
Hsin-Chu, Taiwan, Republic of China

中華民國九十九年七月

奈米金氧半製程之線性穩壓器自動化設計


研究生：許世昕

指導教授：陳巍仁

國立交通大學

電子工程學系 電子研究所碩士班

摘要



本篇論文提出一個能夠用在奈米製程的類比電路最佳化自動設計流程，並應用在線性穩壓器的設計上面。大部分主要的程式皆以 C 語言為平台。由使用者給定電器規格之後，透過此最佳化自動設計程式可得到電路各元件之尺寸大小。

在尺寸設計上我們使用一種模擬輔助設計之概念。透過電路分析之結果得到各個設計參數，然後利用程式呼叫模擬軟體來找出所需要之尺寸大小。這種設計方法在設計參數皆以得知的情況下，在 5~10 分鐘以內找出各元件之尺寸大小。

而我們又整合了一種最佳化設計概念叫做幾何規劃，用這個演算法可以取代在一般電路設計時計算各個參數值的過程，也避免掉一些初始假設的問題。透過這個方法可以在短短幾十秒的時間內算出各個設計參數且達到最佳化。

為了能夠整合最佳化演算法和模擬輔助設計，我們還加入了一個模型產生器來產生元件特性的數學模型。經過驗證，這個產生器產生出的元件特性模型能夠準確的描述元件特性，並且在設計流程上能夠順利結合最佳化演算法和模擬輔助設計。

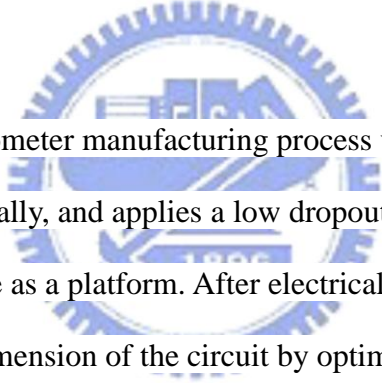
Low Dropout Regulator Automation Design in Nanometer CMOS Process

Student: Shih-Hsin Hsu

Advisor: Wei-Zen Chen

*Department of Electronics Engineering & Institute of Electronics
National Chiao-Tung University*

Abstract



This paper presents a nanometer manufacturing process used in analog circuit design optimization process automatically, and applies a low dropout regulator on a design. Most major programs use C language as a platform. After electrical specifications are given, the user could obtain transistors dimension of the circuit by optimized automatic design program.

We use a simulation-based design concept for transistor dimension design. By the results of circuit analysis to receive various design parameters, and then use simulation software program to find out the dimension needed. With the design parameters are given, the method can find out the size of transistors within the 5 to 10 minutes.

And we integrate the concept of an optimal design which called geometric programming, using this algorithm can replace the circuit design process of calculating the value of each parameter, also avoid some initial guess problem. In this way, the various design parameters can be calculated in just tens of seconds and is optimized.

In order to integrate optimization algorithms and simulation-based design, we also added a model generator to generate a mathematical model of the device characteristics. After

verification, the device characteristics model produced by the generator can accurately describe the device characteristics, and in the design process can be successfully combined with optimization algorithms and simulation-based design.



Acknowledgment

終於來到了這天。經過了三年的光陰，說長不長而說短也不怎麼短的時間，終於要畢業了。經過這段時間的洗禮，我收穫不少，這都要感謝陳巍仁陳老師不辭辛勞的在專業領域上的指導。老師總是在我遇到困難或阻礙的時候給我許多指引，並指出許多我沒看到的漏洞，並且讓我能夠對自己的要求更高，更積極。老師的諄諄教誨對我的研究生涯而言真的是非常有用，能夠完成研究真的都要感謝老師。

另外還要感謝陳宏明陳老師在一些關於軟體設計和演算法上的幫忙，讓我即使在這領域上的基礎並不深，對許多問題都毫無概念，但是依然能夠順利克服。還有 Robin 學長，當初跟著我們老師接到計畫時還很緊張，不過也多虧了你我才能夠一起順利完成，也很感謝你在程式設計上也給了我很多的知識和經驗。

蒙神學長，能跟你一起討論研究真是太榮幸了，有些最佳化設計的文獻剛開始接觸到的時候都只能看個一知半解，跟你討論請教過後讓我更有信心來面對最佳化設計的問題，謝謝你。

我還要感謝許多學長及夥伴們，有你們我的研究生涯變得更多采多姿。感謝大學長盧台祐學長，豪哥、宗裕、松諭、巧玲、宗恩、國維、塔哥、區威、歐陽、昕爺的不吝指教，讓我在這個 group 不再陌生，做研究也更得心應手。也要謝謝 Leader 威宇、建名、宅帥、大仔、小州哥、鴨哥、示範、紹岐在我剛來實驗室的時候給我許多熱情和激勵，讓我能夠順利融入實驗室生活。還要感謝天哥、育祥、Kitty、小賴、彥緯、邱神、昀哥、Adair、歐熊、阿良、溫董、叔叔、筱姪、怡歡、佳琪，跟你們一起在 Lab 奮鬥的回憶是刻骨銘心的，能夠遇到你們真的是太開心了。

另外我還要感謝馨瑩，謝謝妳在我背後默默的支持著我，在我遇到挫折的時

候鼓勵我，在我心煩的時候給我定心丸。人家都說成功的男人背後都有一個偉大的女人，雖然我還不算是成功，不過妳為我所付出過的絕對是偉大的，謝謝妳一路過來總是不離不棄，我很幸運能夠在人生中遇到妳。

最後要感謝我的家人，我的父親許振訓先生，母親陳惠英女士，還有我妹妹許淳彧。謝謝你們讓我有個好的成長環境並且能夠自由的追求目標，希望在以後能夠成為一個讓你們驕傲的人。

敝人之拙作雖然已再三反覆檢查和推導過，但如有思考不縝密、內容不精實或是描述不清楚之地方，還請各位見諒並給予批評或指教，謝謝

許世昕 July, 2010



Contents

摘要.....	iii
<i>Abstract</i>	iv
<i>Acknowledgment</i>	v
<i>Contents</i>	vii
章節 1 介紹	1
2.1 背景及動機.....	1
2.2 論文總覽.....	3
章節 2 線性穩壓器設計流程	5
2.1 線性穩壓器的介紹及背景.....	5
2.2 線性穩壓器手動設計流程.....	14
2.3 元件尺寸產生之方法.....	19
2.4 設計結果驗證流程.....	28
2.5 手動設計流程之問題.....	30
Chapter 3 最佳化設計方法介紹	32
3.1 最佳化演算法的發展及背景.....	32

3.2	Posynomial 產生器	37
3.2.1	Posynomial 的定義	38
3.2.2	最小平方近似法	39
3.2.3	共軛梯度法	43
3.3	最佳化方法-幾何規劃	48
3.2.1	凸面的定義	48
3.2.2	幾何規劃介紹	49
3.2.1	內點法	51
3.4	電路設計最佳化流程	53
Chapter 4	實驗結果	56
4.1	產生元件模型	56
4.2	幾何規劃最佳參數解	59
4.3	電路設計結果	65
Chapter 5	結論	70
	參考文獻	72

章節1.

介紹

1.1 背景及動機

自從積體電路的製程技術進入到了次微米及奈米的時代時，設計類比電路便漸漸的遇上了一些困難，例如像是越來越低的電壓源、越來越低的功率消耗以及更複雜的製程參數。另外一些平常被忽略的元件效應，像是短通道影響和長通道調變效應這類平常在元件的數學模型中被省略掉的部份，其影響也越來越不可忽視了。更嚴重的是，我們所知道的元件數學模型，其之間的關係已經漸漸的出現不小的偏差，有些係數之間的次方關係已經不再是以往的一次方正比或是反比的關係了，即便是按照規格的精細手算過程所計算出來的參數和面積值，也可能在跑完模擬之後出現跟預期不同的結果，因此如何正確又迅速的設計電路尺寸大小便是我們想要探討的。

現在的晶片設計也已經進入了系統晶片的時代了，通常設計晶片電路往往都是需要設計很多區塊，有高頻電路、高效能類比電路、功率電路、混合訊號電路以及龐大的數位電路等。越來越龐大的電路系統以及越來越艱困的設計條件和環境，使得要設計一個系統晶片需要花上很多時間及人力去開發，尤其又以類比電路這部份更耗費資源去設計。設計類比電路除了架構、數學關係以及參數分析之外，還需要設計元件尺寸，加上電路佈

局等等都得靠工程師花時間和精神去完成。

而且我們也知道，因為晶片整合的關係，功率電路所扮演的腳色越來越關鍵，電源管理變成一個很重要的環節，而在這之中線性穩壓器是一個能夠廣泛應用的一個功率整合器。在各個系統中，有許多都會需要用到它在低輸出雜訊，快速的反應時間或是高準確率的表現，也因此受到廣泛應用的線性穩壓器，其設計所要求之規格除了多之外，範圍也隨著不同的應用而變得相對寬廣。更麻煩的是，正如一般類比電路設計一樣，線性穩壓器的眾多設計規格也常常面臨到一些平衡得失的抉擇，像是靜態功耗和穩定時間之間的得失選擇，因此如何能夠迅速且正確的設計出符合應用要求的最佳化線性穩壓器也是一個很重要的議題。

若能夠有一個電腦輔助設計軟體，能夠依照工程師分析的電路特性及數學關係，然後由電腦去計算並設計出各個參數以及元件尺寸，那麼這樣便可以省下許多的時間，而這些時間便可拿來著重於設計電路的架構，以其可以達到更好的電路效能。目前我們所熟知的自動化設計所使用的演算法有幾種[11]：包括從較早期以前的典型最佳解演算法，這種是直接從數學模型式子循線去找尋最佳解，不過一來模型不準確且計算出來的解只是局部最佳解而已；另外也有基因演算法等利用知識為基礎的演算法，這算是可以克服數學模型上的問題，以模擬與固定的嘗試準則來尋找較好的解，但是這種方法相當耗時間而且也不一定能找出最佳解；而目前也有幾種全域最佳化的演算法，不過所需要的時間更是不可小覷，隨著問題規模的增加而需要的時間會是成指數等級增加的。幸運的是，現在有一種能夠非常迅速逼近出全域最佳解的方法，也就是凸面規劃(Convex programming)。這種方法可以衍伸出各種不同型態的規劃，而幾何規劃(Geometric programming)便是一種能夠針對電路設計做最佳化的方法[2]，不過這個方法也是需要靠著準確的數學模型包括元件特性和電路行為來逼近出最佳解，而前面已經說明元件特性在奈米製程設計上會碰到的種種

問題，並不能靠一般書上所列之公式來簡單計算，因此對於幾何規劃來說也是個不小的問題。雖然針對幾何規畫，目前也有可以儘可能準確的建立模型的演算法，但是要能夠真的準確的建立出最基本的元件模型，也就是元件特性和尺寸大小之間的關係，可就比較困難了。因為在兩者之間存在著太多的製程參數在影響，而有些製程參數本身又跟尺寸大小有關，這種複雜的交錯關係要利用演算法來建立模型是比較困難，而且也不見得夠準確。因此我們提出了一個先借由幾何規畫演算法計算出能夠滿足電器規格的電路參數和元件特性之最佳解，然後在這個解之下利用模擬輔助的方法來設計尺寸大小，既能夠保有一定的準確度，也能夠不必花費太多的時間來設計電路。

1.2 論文總覽

整篇論文會分成五個章節，將會介紹如何建立一個自動化設計流程並且應用在一個線性穩壓器的電路設計上面，同時能夠達到最佳化的目標。第一章會敘述我們的動機並帶出我們的目標。

第二章我們會介紹一些現有的線性穩壓器的基本概念，列出一些常見的架構並分析，我們會從中選一個架構來建立一個手動設計流程，配合一個元件尺寸產生之方法來完成電路設計。

第三章則會展示一個完整的最佳化自動設計流程，我們會先介紹最佳化演算法過去的發展及一些概念，然後帶出能夠達到全域最佳化的幾何規劃。同時為了能夠建立幾何規劃所需要的元件特性模型，我們也會介紹一種共軛梯度法來實現。

第四章會在 65 奈米製程下來展示我們的最佳化自動設計流程如何完成線性穩壓器的設計。這邊會用前一章的共軛梯度法建立元件特性模型，然後配合第二章所分析的電路特性，透過幾何規劃得到各個設計參數的最

佳解，然後再利用第二章所述的元件尺寸產生之方法來完成最佳化電路設計。

最後在第五章會針對我們所做的設計做出一個完整的結論。



章節2.

線性穩壓器設計流程

本章節主要重點在於如何從類比電路設計的角度，從分析電路架構和行為特性，進而配合一些產生元件尺寸之方法來設計一個線性穩壓器。我們會先介紹線性穩壓器並且比較幾種常見的架構，接著選擇一組電路來討論，從電器規格到各個設計參數再到最後的元件尺寸的產生，這邊會用一種模擬輔助的方法來做為產生元件尺寸大小之方法，使設計結果能夠一次到位，整個流程會在這個章節做完整的說明。

2.1 線性穩壓器的介紹及背景

線性穩壓器是一種用在電子產品的電源系統中的重要角色，尤其在現在行動電子產品越來越普遍需求的情況下，因為現在的行動通訊產品都需要要求穩定且低雜訊的電源，而線性穩壓器剛好能夠從電池所提供的電源中轉換出一個穩定且乾淨的輸出電源來給電路系統使用，使其越來越受到歡迎。另外其低靜態電流和其低電壓損耗的特性，同時也能達到提升電池的壽命和使用效率，並且讓行動產品的待機時間能夠更持久。線性穩壓器在電源系統中是這麼重要，但是要設計出好的線性穩壓器卻有著幾個問題，一個就是各個表現之間有著嚴重的平衡得失，往往有好的雜訊抑制功能卻沒辦法穩定的輸出，有穩定的輸出卻需要較高的靜態電流消耗。這樣的問題不斷的困擾著類比設計工程師，加上類比電路原本就存在著的一些設計難題像是元件模型的不準確性以及許多製程參數的影響，使得設計工

工程師在面對各種不同規格要求下要來設計線性穩壓器變得困難許多。以下我們會先介紹一般的線性穩壓器以及比較一下現今的幾種架構，另外再針對其中一組架構來做最佳化自動設計。

一個基本的線性穩壓器主要包含了一個誤差放大器(Error amplifier)，一個傳送元件(Pass element)，回授(Feedback)，參考電壓(Bandgap voltage reference)，另外在晶片外則有附載電容(Load capacitor)以及其等效串聯電阻(ESR)，其基本架構圖如 Fig 2-1 所示

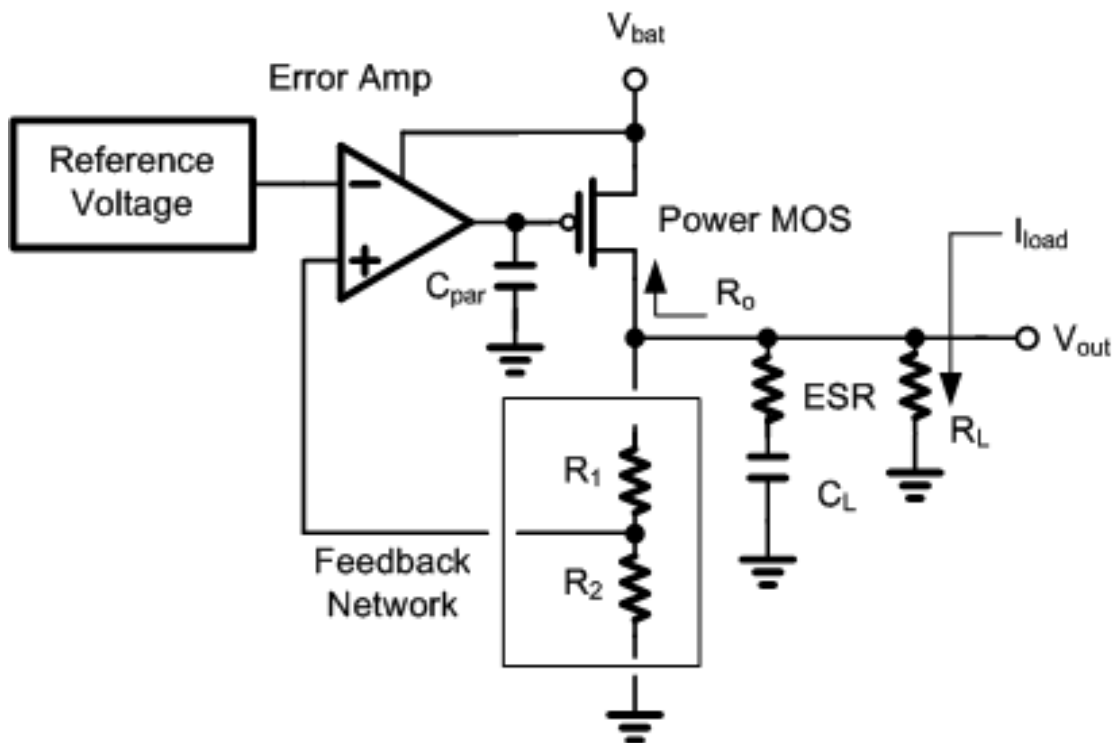


Fig 2-1 線性穩壓器區塊電路圖一覽

其大致上的主要運作模式便是由誤差放大器來比較參考電壓以及回授路徑所傳回來的電壓值，兩者之間比較所產生的誤差被放大之後，透過放大器傳至傳送元件的閘極端，藉由改變閘極端的電壓來改變傳送元件的電流，進而去調整輸出的電壓，以達到穩定輸出的效果。另外一般的線性穩壓器有幾個主要的設計規格，下表 2-1 列出這些設計規格以及其基本定義

表 2-1 線性穩壓器重要規格一覽

Drop out voltage	$I_{load} \times R_o$
Line regulation	$\Delta V_{out} / \Delta V_{bat}$
Load regulation	$\Delta V_{out} / \Delta I_{load}$
Efficiency	$I_{load} / (I_{load} + I_q)$
Power Supply Rejection Ratio	$20 \log(V_{bat} / V_{out})$

線性穩壓器的架構討論

線性穩壓器的變化大致上就是在於誤差放大器的單級或是多級，補償是單一補償或是多重補償，交錯組合可以產生出很多種不同的架構如[8]，每種架構都有其優缺點存在，在這邊我們將挑出幾組比較常用的架構如單級單一補償(Single Miller Compensation, SMC)和多級多重補償(Nest Miller Compensation, NMC)來做討論。

第一個要介紹的就是單級單一補償，架構其實就只是很簡單的一個單級誤差放大器然後接傳送元件構成主要架構，其架構示意圖如 Fig 2-2 所示

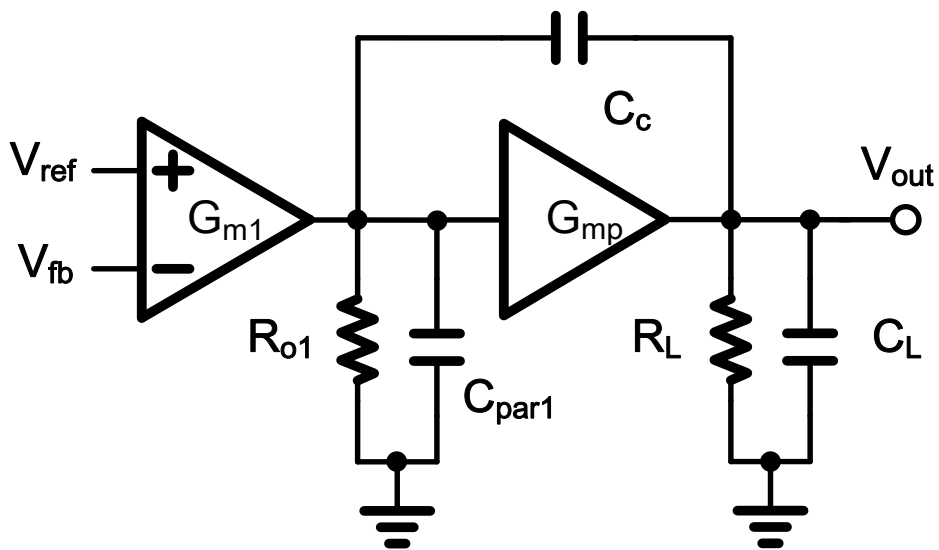


Fig 2-2 單級誤差放大器之線性穩壓器架構

而其轉移函式則如下

$$A_{V(NMC)} = \frac{G_{m1} G_{mp} R_{o1} R_L \left(1 - s \frac{C_c}{G_{mp}}\right)}{\left(1 + s C_c G_{mp} R_{o1} R_L\right) \left(1 + s \frac{C_L}{G_{mp}}\right)} \quad (2-1)$$

這樣的一個電路架構其主極點 $p_{3db} = 1/C_c G_{mp} R_{o1} R_L$ 而非主極點 $p_2 = G_{mp}/R_L$ ，另外會產生一個右半平面的零點 $z_1 = -G_{mp}/C_c$ 。為了確保這樣的一個迴路能夠穩定，必須使非主極點和零點 (p_2, z_1) 都在相對於增益頻寬 $GBW = G_{m1}/C_c$ 較高頻的地方，要使得相位邊限的表現較好，我們通常會讓增益頻寬為非主極點的一半，所以藉由這樣的關係，我們可以推出補償電容所需要的大小

$$\frac{G_{m1}}{C_c} = \frac{1}{2} \times \frac{G_{mp}}{C_L} \quad (2-2)$$

$$C_c = 2 \left(\frac{G_{m1}}{G_{mp}} \right) C_L \quad (2-3)$$

從式子(2-2,2-3)中可以看出補償電容會由負載電容所影響，而且增益頻寬也是由傳送元件的轉導值和負載電容所決定，因此一旦規格決定了負載條件，則電路的頻寬就已經被限制住了。另外還有一個很不樂見的是相位邊限的變化，我們可以簡單計算並化簡出其表示式

$$\begin{aligned} PM &= 180^\circ - \tan^{-1} \left(\frac{GBW}{P_{3dB}} \right) - \tan^{-1} \left(\frac{GBW}{P_2} \right) - \tan^{-1} \left(\frac{GBW}{|z_1|} \right) \\ &= 63^\circ - \tan^{-1} \left(\frac{GBW}{|z_1|} \right) = 63^\circ - \tan^{-1} \left(\frac{G_{m1}}{G_{mp}} \right) \end{aligned} \quad (2-4)$$

從式子(2-4)中可以知道，若是要越好的相位邊限的效能，就要讓 G_{m1}/G_{mp} 越小，但是我們都知道 G_{m1} 是由負載條件限制住的，而在放大器的設計中由輸入差動對所控制的 G_{m1} 也很難設計的很小，因此這樣的一個情況下相

位邊限很容易被這個右半平面的零點所影響。為了消除這個影響，最常用的方法便是利用一個補償串聯電阻來抵消右半平面的零點，我們從轉移方程式(2-5)便可以看出

$$A_{V(SMCNR)} = \frac{G_{m1}G_{mp}R_{o1}R_L \left(1 + sC_c \left(R_c - \frac{1}{G_{mp}} \right) \right)}{\left(1 + sC_c (R_c + G_{mp}R_{o1}R_L) \right) \left(1 + s \frac{C_L (R_c + R_{o1}) R_L}{R_c + G_{mp}R_{o1}R_L} \right)} \quad (2-5)$$

這個方法不但消除了右半平面的零點，而且要讓相位邊限的表現更好，我們只需要增加補償電阻即可。但是要小心的是，補償電阻不能無限制的增加，因為若是一直增加補償電容，極點的位置也會跟著改變，會破壞了原本極點分離(Pole-splitting)的效果。

多級架構主要還是以二級誤差放大器較多人使用，三級誤差放大器雖然也有其優點，不過較少人使用，因此在這邊不做討論。這樣的一個架構，其增益在日趨侷限的供給電壓源之下依然能夠維持一個夠高的水準，而為了能夠讓相位邊限以及穩定度都能夠維持在一個水準之上，第二個要介紹的網狀米勒補償(Nested Miller Compensation, NMC)便因應而生。

網狀米勒補償是利用兩個米勒電容，分別從線性穩壓器的輸出端接回至誤差放大器的第一級和第二級的輸出端，其架構示意圖如 Fig 2-3

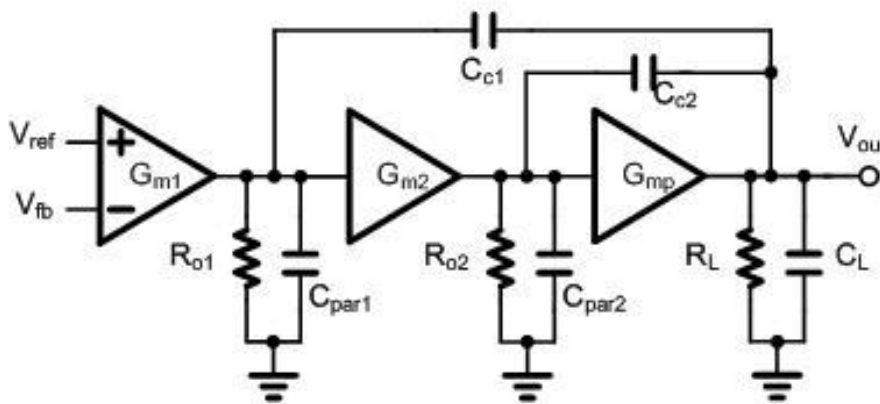


Fig 2-3 網狀米勒補償兩級誤差放大器之線性穩壓器架構圖

在假設 $G_{m(1,2,p)} \gg 1/R_{o(1,2,L)}$ 以及 $C_{L,1,2} \gg C_{p(1,2)}$ 的情況下，我們可以將電路的轉移方程式寫成如式子(2-6)所示

$$A_{V(NMC)} = \frac{G_{m1}G_{m2}G_{mp}R_{o1}R_{o2}R_L \left(1 - s \frac{C_{c2}}{G_{mp}} - s^2 \frac{C_{c1}C_{c2}}{G_{m2}G_{mp}} \right)}{\left(1 + sC_{c1}G_{m2}G_{mp}R_{o1}R_{o2}R_L \right) \left(1 + s \frac{C_{c2}(G_{mp} - G_{m2})}{G_{m2}G_{mp}} + s^2 \frac{C_L C_{c2}}{G_{m2}G_{mp}} \right)} \quad (2-6)$$

$$A_{V(NMC)} = \frac{G_{m1}G_{m2}G_{mp}R_{o1}R_{o2}R_L}{\left(1 + sC_{c1}G_{m2}G_{mp}R_{o1}R_{o2}R_L \right) \left(1 + s \frac{C_{c2}}{G_{m2}} + s^2 \frac{C_L C_{c2}}{G_{m2}G_{mp}} \right)} \quad (2-7)$$

若我們再假設 $G_{mp} \gg G_{m(1,2)}$ ，則轉移方程式又可以寫成如上面式子(2-7)。在[8]的分析中有提到網狀米勒補償的用意是為了更有效的增加相位邊限的表現，但是卻同時得面臨到頻寬降低的平衡得失。我們利用極點分離法來分析，若各個轉導值和電容之間滿足關係式如下式子(2-8)

$$\frac{G_{m1}}{C_{c1}} \leq \frac{1}{2} \frac{G_{m2}}{C_{c2}} \leq \frac{1}{4} \frac{G_{mp}}{C_L} \quad (2-8)$$

$$GBW \leq \frac{1}{2} p_2 \leq \frac{1}{4} p_3 \quad (2-9)$$

則可將第二極點和第三極點設為 G_{m2}/C_{c2} 和 G_{mp}/C_L ，這樣一來同時可以達到穩定所需要滿足的極點關係如上面式子(2-9)[12]，不過卻也面臨的更低的頻寬限制。另外我們將式子(2-8)化簡成式子(2-9,2-10)後可以觀察出來，補償電容值的大小得由負載電容的大小來決定，因此得需要相當大的電容值來提供良好的相位邊限，

$$C_{c1} = 4 \left(\frac{G_{m1}}{G_{mp}} \right) C_L \quad (2-10)$$

$$C_{c2} = 2 \left(\frac{G_{m2}}{G_{mp}} \right) C_L \quad (2-11)$$

為了讓補償電容可以變得較小，可以讓傳送元件的轉導值遠大於第一級和第二級之轉導值，而且若是沒有讓 $G_{mp} \gg G_{m(1,2)}$ ，則相位邊限可能會變得很差，甚至可能會出現頻率山峰(Frequency peak)，會造成這樣的原因主要是因為非主極點變成複數極點並且產生一個阻尼常數(Damping factor)，還有原本轉移方程式中的右半平面零點也會出現。有了這樣的一個限制讓網狀米勒補償架構在低功率消耗的設計條件之下變得難以達到穩定，尤其是在高負載的情況下。這樣的問題我們一樣也可以用補償串聯電阻來解決，消除右半平面零點並且改善相位邊限，但是改善效果有限，因此才又出現了下面這樣的一個架構

最後第三個要介紹的便是，二級誤差放大器配合單一米勒補償[9]。其只用單一個米勒電容，從線性穩壓器的輸出端接回至誤差放大器第一級的輸出，其架構示意圖如 Fig 2-4

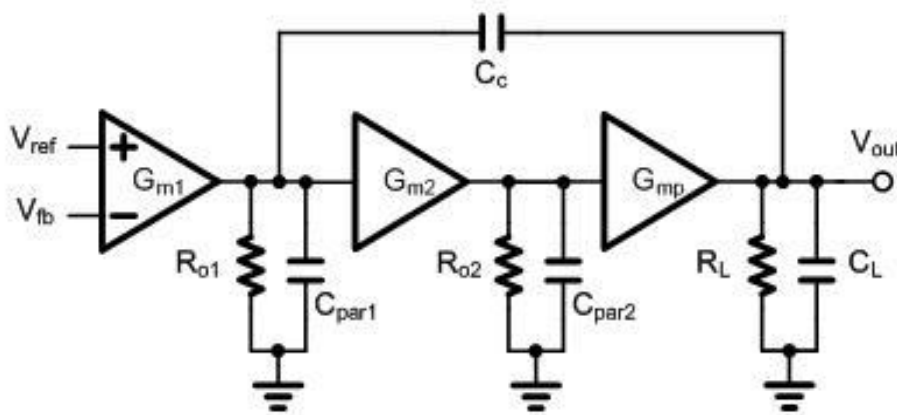


Fig 2-4 單一補償兩級誤差放大器之線性穩壓器架構圖

這樣的線性穩壓器其主要想法便是利用單一米勒補償來分離第一極點和第三極點，而第二極點則是由誤差放大器第二級之增益來決定。這樣的一個架構只需要一個補償電容。從圖(2-4)的電路架構圖可以推導出電路的轉移方程式

$$A_v = \frac{A_{dc} \left(1 + s \frac{C_c}{R_{o2} G_{m2} G_{mp}} + s^2 \frac{C_{par2} C_c}{G_{m2} G_{mp}} \right)}{\left(1 + \frac{s}{p_{3db}} \right) \left(1 + s \left(\frac{C_{par2}}{R_L G_{m2} G_{mp}} + \frac{C_L}{R_{o2} G_{m2} G_{mp}} \right) + s^2 \frac{C_{par2} C_L}{G_{m2} G_{mp}} \right)} \quad (2-12)$$

其中的 A_{dc} 是整體電路的直流增益，而 p_{3db} 則是電路之主極點。其直流增益和主極點分別可以表示成如式子(2-12,2-13)

$$A_{dc} = A_{EA} \times G_{mp} \times R_L = G_{m1} \times R_{o1} \times G_{m2} \times R_{o2} \times G_{mp} \times R_L \quad (2-13)$$

$$p_{3db} = \frac{1}{R_{o1} G_{m2} R_{o2} G_{mp} R_L C_c} \quad (2-14)$$

若讓第二極點和第三極點皆推至頻寬之外，則我們可以讓增益頻寬(Gain Bandwidth, GBW)等於直流增益乘上主極點頻寬，可以推導出增益頻寬如式子(2-15)

$$GBW = \frac{G_{m1}}{C_c} \quad (2-15)$$

其中 G_{m1} 是第一級電路的等效轉導值， C_c 則是補償電容。接著我們假設讓第三極點遠大於第二極點的話，則可將式子(2-12)中的非主極點近似出來如下面式子(2-16)所示

$$p_2 = \frac{G_{m2} G_{mp} R_{o2}}{C_L}, \quad p_3 = \frac{1}{R_{o2} C_{par2}} - \frac{G_{m2} G_{mp} R_{o2}}{C_L} \quad (2-16)$$

式子(2-15)中的 C_{par2} 是第二級輸出點上所看到的寄生電容， G_{m2} 則是第二級整體看到的轉導值， R_{o2} 是第二級的等效輸出阻抗。由於 C_{par2} 中會看到 power MOS 的閘極端的寄生電容，而又因為 power MOS 的尺寸設計通常都很大，所以其閘極端的寄生電容將會主導整個 C_{par2} ，因此我們便將 C_{par2} 趨近於 power MOS 的閘極端的寄生電容。

另外因為考慮到相位邊限的關係，為了使的電路之相位邊限的表現能夠超過 50° ，我們利用類似極點分離(Pole splitting)的擺放，讓極點之間滿

足下面的(2-17)關係式

$$GBW \leq \frac{1}{2} p_2 \leq \frac{1}{4} p_3 \quad (2-17)$$

$$C_c = \frac{2G_{m1}C_L}{G_{m2}G_{mp}R_{o2}} = \frac{1}{A_{v2}} \left(2 \frac{G_{m1}}{G_{mp}} C_L \right) \quad (2-18)$$

上面的 A_{v2} 是多級電路中第二級的增益 ($G_{m2} \times R_{o2}$)，在這邊我們可以發現一件事情就是，雖然補償電容一樣會受到負載電容的影響，但是卻會比先前提到的架構都還來的小，因為第二級增益使得其電容值可以變得很小。

但是當負載電流大到讓 power MOS 的轉導值以及寄生電容都遠大於前面兩級時，則第二極點和第三極點則會變成如下面式子(2-19)所示

$$p_2 = \frac{G_{m2}G_{mp}R_L}{C_{cap2}}, \quad p_3 = \frac{1}{R_L C_L} \quad (2-19)$$

在式子(2-16)的分析當中，其負載電流沒有大到讓 power MOS 的轉導值以及寄生電容都遠大於前面兩級，其頻寬上的限制也來的比較寬鬆，但是當非主極點因為大的負載電流而有所改變時，則頻寬的限制便會來的比較緊了。

在這最後我們將比較一下前面所介紹的幾種架構，下表是幾個不同的規格，不同的架構皆會有不同的表現

表 2-2 規格比較表

	Case I	Case II	Case III
I_{load}	1mA~200mA	10mA~200mA	Under 1mA
C_{load}	100pF	100pF	100pF
GBW	Low	Midium	High

首先因為介紹的架構皆是將主極點放置在內部而非輸出點上面，因此負載電容只能使用奈米等級以下的電容。另外至於負載電流的不同狀況，若是在 Case I 和 Case II 的情況下，多級架構下的網狀米勒補償會來的比單一米

勒補償好，主要是因為第三極點一個由轉導值所主導，另外一個則由輸出阻抗所主導。而且當電流在變化時候，由單一米勒補償的第三極點變化會較為劇烈，以 case I 來看其變化會有大約 200 倍的幅度，而 case II 則稍微小一點，大約為 20 倍的變化幅度。這樣的變化會使第三極點跟第二極點很快的靠近變成共軛極點，這是非常不好的現象。但是網狀米勒補償的第三極點的變化，因為主要是受到轉導值的控制，在 case I 和 case II 的時候分別只有 30 倍和 5 倍的變化幅度，相較於單一米勒補償的靠近速度慢了許多，因此網狀米勒補償在大電流負載的情況下其頻寬表現比單一米勒補償來的優異。而單級誤差放大器的架構則因為增益較低而不列入考慮。綜合以上的因素我們在面對 Case I 和 Case II 的時候會優先選擇網狀米勒補償。

而當面對 Case III 的時候，因為 power MOS 的尺寸會小上許多，從前面的極點分析可以看的出來，網狀米勒補償的頻寬限制反而會來的比單一米勒補償嚴格上許多，在這個時候頻寬上來考量的話選擇兩級誤差放大器配合單一米勒補償會來的比較好。

最後我們希望能夠設計提供大的負載電流的穩壓器，因此我們選擇網狀米勒補償的電路架構做為我們自動化電路設計的目標，下一節將會展示我們的手動設計流程並且將其自動化。

2.2 線性穩壓器手動設計流程

一個單一米勒補償之線性穩壓器的電路架構如 Fig 2-5 所示[9]， A_1 和 A_2 分別為第一級和第二級電路，若要設計這樣一個電路，要考慮的規格條件多，且如何在得失平衡之間抉擇也是一個問題。我們先來大致上瀏覽過一個手動設計的流程。

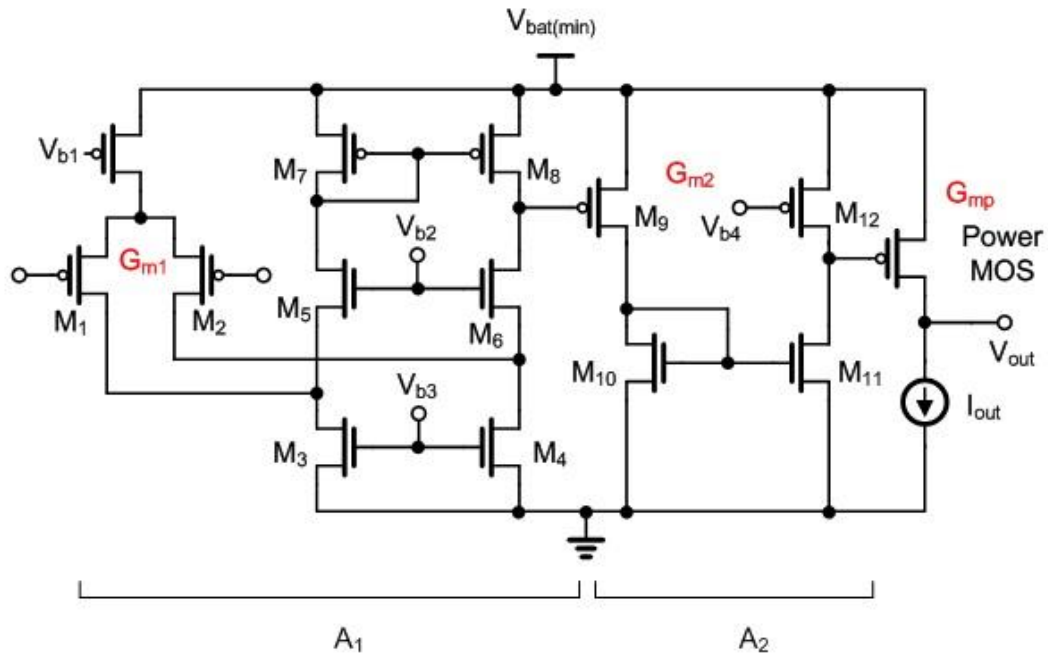


Fig 2-5 單一補償兩級誤差放大器之線性穩壓器電路圖

Power MOS 的尺寸設計

Power MOS 的尺寸設計因為所影響到的因素較小，我們能夠先設計並決定尺寸大小。設計 power MOS 的尺寸大小需要先決定線性穩壓器的輸出負載電流、輸出負載電壓以及最小電池輸入電壓，這些資訊都是電器規格已給定的，因此我們便可以在這樣的條件下利用模擬掃視元件之寬度。另外為了能夠讓電路之尺寸最小，我們選擇讓電路的過驅電壓(Overdrive voltage)最大，但是不能大到使元件進入到三極區(Triode region)。掃視過後找出能夠提供足夠負載電流之尺寸大小作為 power MOS 之尺寸。找出此尺寸大小之後，便能夠利用模擬軟體同時得到其所提供之轉導值(G_{mp})和閘極端的寄生電容(C_{par})。

增益、回授及線調節、負載調節

接著我們要來分析的是回授(Feedback)、增益(Gain)和線調節(Line regulation)及負載調節(Load regulation)之間的關係。我們設定回授電阻流過的電流為最大輸出電流的萬分之一，目的是希望 power MOS 流出來的電流

不會被回授電阻抽去太多。另外我們也知道了輸出電壓(V_{out})以及參考電壓(V_{ref})。所以透過分壓的關係，我們可以很簡單的得出回授電阻之阻值，其計算關係如下式 (2-8)

$$\beta = \frac{V_{ref}}{V_{out}} = \frac{R_2}{R_1 + R_2}, \quad \frac{V_{out}}{R_1 + R_2} = I_{out\max} \times 10^{-4} \quad (2-20)$$

其中 β 為回授因子，而 R_1 、 R_2 也則是回授電阻。接著我們要考量的是線調節(Line regulation)和增益之間的關係。線調節的定義是指輸入的電壓變化對於輸出電壓所產生相對應的變化，其之間的關係我們可以用下面的式子 (2-9) 表示，並推出這樣的關係

$$\frac{\Delta V_o}{\Delta V_{in}} = \frac{\Delta I_o}{\Delta V_{in}} \times \frac{\Delta V_o}{\Delta I_o} = G_{mp} R_o = \frac{G_{mp} \times r_{op}}{1 + A \times \beta} = \frac{G_{mp} \times r_{op}}{1 + A_{EA} \times G_{mp} \times r_{op} \times \beta} \approx \frac{1}{A_{EA} \times \beta} \quad (2-21)$$

$$A_{EA} = G_{m1} \times R_{o1} \times G_{m2} \times R_{o2} \quad (2-22)$$

其中 β 是前面已經得出的回授因子，而 A_{EA} 則是 Low Dropout regulator 中所使用的放大器的增益，其增益可以表示成上式，等式中的 G_{m1} 、 G_{m2} 為第一級與第二級的轉導值， R_{o1} 、 R_{o2} 為第一及與第二級的等效輸出阻抗。因此從這個關係之中我們可以知道電路的增益最低限制了。

跟著我們要考量的就是負載調節(Load regulation)，其定義是指在輸出的負載流量產生變化時對於輸出電壓所產生的影響，其之間的關係是可用下面式子 (2-11) 來表示

$$R_o = \frac{\Delta V_o}{\Delta I_o} = - \frac{r_{op}}{1 + A\beta} = - \frac{r_{op}}{1 + A_{EA} \times g_{mp} \times r_{op} \times \beta} \approx \frac{-1}{A_{EA} \times g_{mp} \times \beta} \quad (2-23)$$

β 和 A_{EA} 分別是回授因子和運算放大器之增益，而 g_{mp} 則是 power MOS 的轉導值，因此透過這個關係我們可以初步得到 g_{mp} 的最低限制。

頻率響應，相位邊限(Phase Margin)以及 PSRR

這段我們將要針對頻率響應來做分析，透過前面的電路架構介紹可以

知道各個極點之間的關係，在頻寬已知的情況下則可以推得各個小訊號參數的值。

$$G_{m2} \geq 2 \times GBW \times C_{c2} \quad (2-24)$$

$$G_{m2} \leq \frac{1}{2} \times \frac{G_{mp}}{C_L} \times C_{c2} \quad (2-25)$$

另外關於 PSRR 的部份，我們從定義的可以得知

$$PSRR = \frac{\Delta V_{out}}{\Delta V_{bat}} = \frac{A_{v0}}{A_v} \quad (2-26)$$

其中的 A_v 是整個迴路在回授路徑開路的狀態下的增益，而 A_{v0} 則是從電池供電端到輸出在回授路徑開路下的增益，而若我們假設整個系統為一個單一極點的系統，也就是在單一增益頻寬內只有一個極點的系統，則可以將 PSRR 的轉移函式寫成如下式子(2-27)所示

$$PSRR = 20 \log \left(\frac{V_{bat}}{V_{out}} \right) = -20 \log \left[\frac{1 + \frac{s}{f_{3db}}}{A_{EA} g_{mp} \beta \left(1 + \frac{s}{f_{GBW}} \right)} \right] \quad (2-27)$$

其中的 f_{GBW} 即是單一增益頻寬，而 f_{3dB} 則是主極點頻寬。透過這樣的關係式並且配合 PSRR 規格的區域範圍如 Fig 2-6，我們便可以訂出頻寬以及增益之間的關係。

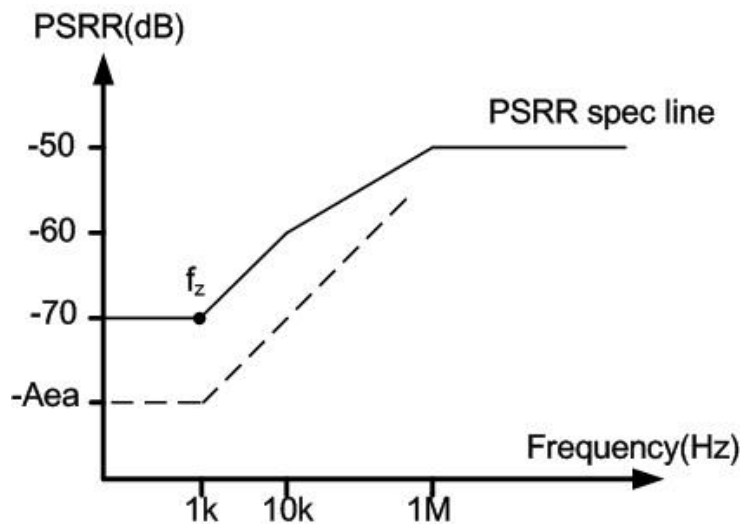


Fig 2-6 PSRR 頻率響應示意圖

暫態響應(Transient Response)

最後要討論的部分就是電路的暫態響應的表現，而一般線性穩壓器的暫態表現通常都是觀察其輸出電流改變時，其輸出電壓的變化過程。下圖 Fig 2-X 是一個簡單的暫態響應示意圖

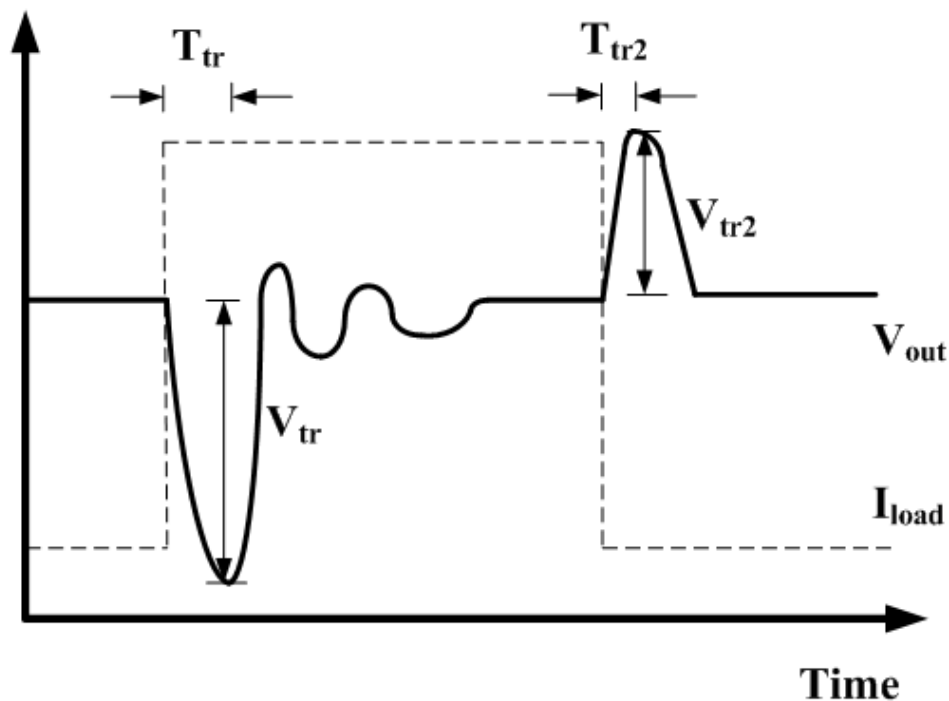


Fig 2-7 暫態響應示意圖

其中輸出電壓的瞬間變化幅度(V_{tr})主要是由負載電流(I_{load})、輸出電容(C_L)

和頻寬所決定。在電流改變的瞬間對輸出電容充電，經過一段時間(T_{tr})之後會回復至穩定的狀態，因此我們可以將輸出電壓的變化表示成如式子(2-28)的關係

$$V_{tr} = \frac{I_{load} \times T_{tr}}{C_L} \quad (2-28)$$

而其中反應時間(T_{tr})在內部扭轉速率(Internal Slew-Rate)很快的情況下，其值就會由頻寬所決定，而內部扭轉速率則是誤差放大器對傳送元件(Pass Element)的寄生電容充店速度。因此我們可以將整個反應時間表示成如式子(2-29)的形式

$$T_{tr} = \frac{1}{GBW} + C_{par} \frac{\Delta V}{I_{sr}} \quad (2-29)$$

其中 GBW 是電路的閉迴路頻寬(Closed-loop bandwidth)， C_{par} 和 I_{sr} 是傳送元件的寄生電容和扭轉電流，而 ΔV 則是傳送元件開極端的電壓變化。所以當我們已經決定了傳送元件的尺寸大小，透過電流變化時觀察所得到的電壓變化，透過電器暫態響應的規格便可以決定電路的頻寬以及迴轉電流的大小。

經由上述的分析過程，我們可以初步得到電路中的各項轉導值、阻抗值和電流，接著便是利用模擬輔助的方式來設計電路元件之尺寸大小

2.3 元件尺寸產生之方法

以往在設計電路元件的尺寸大小時，我們多半都是以電流和驅動電壓之間的關係來做設計，不過這個設計準則只能適用於操作在 strong inversion 區域的電路元件，而我們所用的元件尺寸產生之方法，也就是這個 G_m/I_d 方法[1]是一個能夠在所有操作區域的元件提供設計參數作為設計依據的方法，以下我們將稍微介紹一下其原理和概念，並且用在線性穩壓器的元件尺寸設計上。

G_m/I_d 方法原理介紹

G_m/I_d 方法主要是想要利用模擬的輔助來設計電路的尺寸大小，用 G_m/I_d 這個參數當作一個指標，來尋找相對應的標準化電流(Normalized current) $I_d/(W/L)$ 。在[1]有提到，用 G_m/I_d 這個參數當作一個指標是因為有下列三個因素：1. 這個參數和類比電路的行為表現有很強大的關連 2. 它能夠指示出元件的操作區域(次臨界區和飽和區) 3. 它能夠作為一個工具來尋找適合的元件尺寸大小

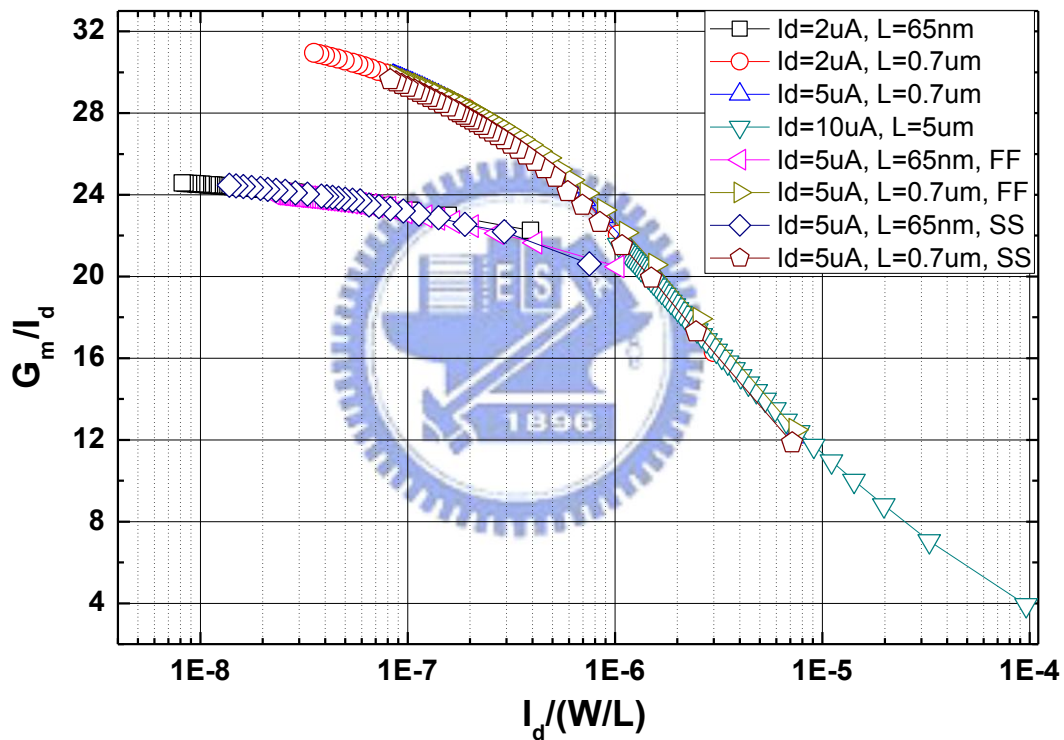


Fig 2-8 NMOS 之 G_m/I_d 對 $I_d/(W/L)$ 特性曲線圖

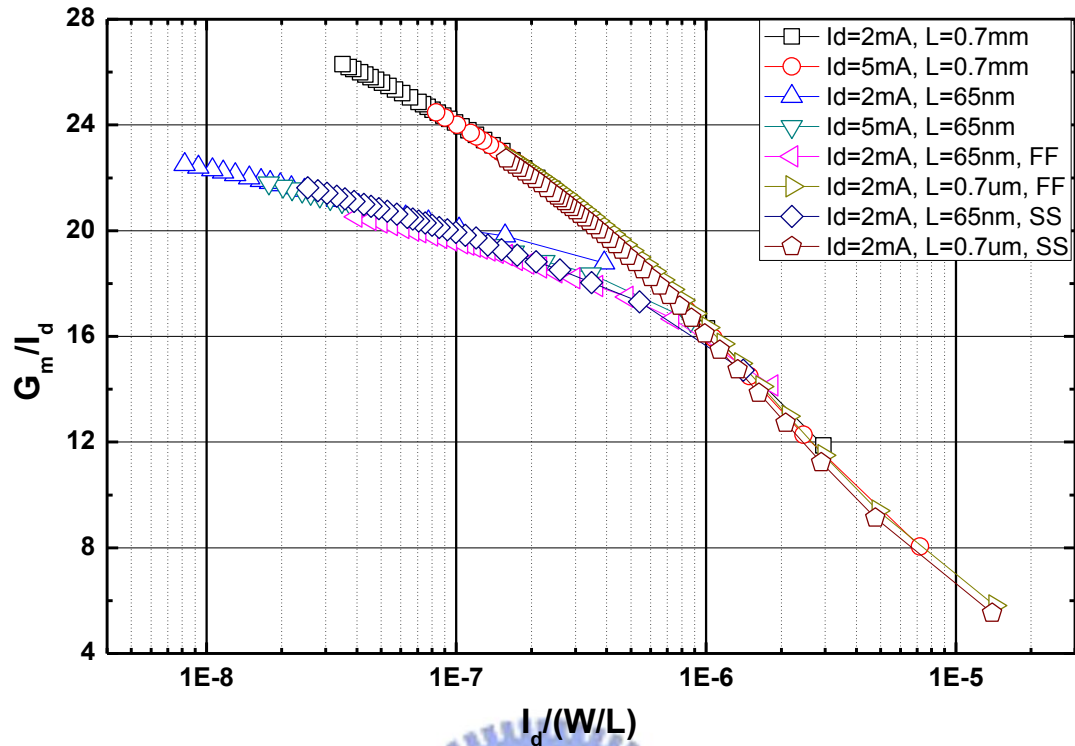


Fig 2-9 PMOS 之 G_m/I_d 對 $I_d/(W/L)$ 特性曲線圖

針對剛剛的因素 1，我們可以利用內部增益級(Intrinsic gain stage)作為一個例子來說明。其架構即為單一個場效電晶體作為放大器的電路，我們可以用式子(2-27)、(2-28)來表示它的增益和頻寬

$$A_v = g_m \times r_o = \frac{g_m}{I_d} \times V_A \quad (2-30)$$

$$f_T = \frac{g_m}{2\pi \times C_L} \quad (2-31)$$

$r_o = V_A/I_d$ 為元件之輸出阻抗，而 G_m/I_d 便是一個將電流轉換成轉導值的效率之標準，在固定的電流之下若要得到越大的增益則需要越大的轉導值。因此在[7]中將這個值當成是轉導產生效率(Transconductance generation efficiency)之基準。

而 G_m/I_d 和電晶體元件操作區域的關連，我們可以藉由下面式子(2-30)和上面圖片 Fig 2-7、Fig 2-8 來觀察出其中關係

$$\frac{g_m}{I_d} = \frac{1}{I_d} \frac{\partial I_d}{\partial V_G} = \frac{\partial(\ln I_d)}{\partial V_G} = \frac{\partial \left\{ \ln \left[\frac{I_d}{(W/L)} \right] \right\}}{\partial V_G} \quad (2-32)$$

當在 weak inversion 的時候， I_d 和 V_G 之間呈現指數關係，發生在此微分式出現最大值，也就是圖中較為平緩的區段，這個結論我們可以透過式子 (2-31) 簡單的一個推導過程便可以看出來。若假設 G_m/I_d 在一個值之後趨近於最大值，則令其等於一個常數，再經過一個簡單的轉換便可得出類似元件在 subthreshold 的操作關係。而當在 strong inversion 的時候，其之間的關係則成了平方關係，使得微分式變成線性的成長，也就是圖中線性降低的區段。因此我們可以從 G_m/I_d 的變化中看出電晶體的操作區域。

$$\begin{aligned} \frac{\partial \left\{ \ln \left[\frac{I_d}{(W/L)} \right] \right\}}{\partial V_G} = C &\Rightarrow C \times V_G = \ln \left[\frac{I_d}{(W/L)} \right] \\ \Rightarrow I_d = \frac{W}{L} e^{C \times V_G} \end{aligned} \quad (2-33)$$

另外我們接著要來探討這個參數和元件尺寸之間的關係。其實這不難看出，從上面式子(2-30)可以發現， G_m/I_d 是一個跟元件尺寸獨立的參數，而標準化電流 $I_D/(W/L)$ 也是很明顯的跟元件尺寸互相獨立。因此他們兩者之間的關係可以說是完全不受尺寸影響的獨特特性，只會受到元件類別的影響(如 N 型 P 型)，而當製程進入到奈米尺寸時，只有在元件長度不同的時候，會稍微影響其曲線在 subthreshold 區和平緩度(Fig 2-7, Fig 2-8)，至於元件的寬度對於這樣的特性曲線是完全沒有影響的。因此在這樣獨立的特性條件之下，我們若是需要設計一個元件的尺寸大小，我們只需要知道其電流和轉導值的大小，並且在某些應用情況下先選定元件長度，便可以清楚的決定出元件的尺寸大小了。

尺寸大小設計

● 電路區塊模型建立

因為這個方法是基於模擬輔助之下來產生元件尺寸的，因此我們得先建立模擬的環境，也就是電路區塊。如何建立模擬用的電路區塊，是產生元件尺寸的第一步。由前一節我們對電路的架構已經初步的了解了，因此我們便針對已知的轉導值(G_m)和輸出阻抗(R_O)去分別設計電路的寬度(Width)和長度(Length)。在 G_m/I_d 方法中，我們所用的最基本的電路區塊模型是一個如下圖 Fig 2-10 的電流鏡模型

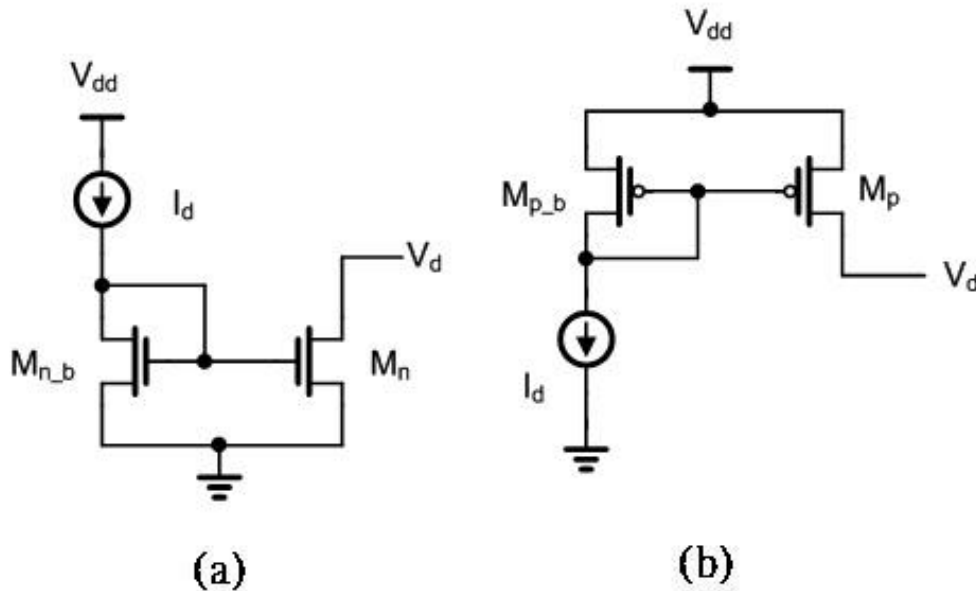


Fig 2-10 (a)為區塊模型 NMOS 型 (b)為區塊模型 PMOS 型

我們透過電流源來給定區塊模型一個已知的電流，然後針對不同的長度(Length)去掃視整個範圍的寬度(Width)，透過這樣的一個動作，我們可以得到一個 G_m/I_d 和 I_d/W 的關係曲線，再經由這個關係曲線去找到對應的寬度。但是像上圖那樣的電流區塊模型，也是得先知道汲極電壓(V_d)的情況下才能去產生電路尺寸。所以我們在設計產生尺寸之流程時，主要順序是

會先訂出輸出級的輸出電壓，然後從輸出級往前設計到輸入級。原則上最基本的電路區塊模型就已經能解決大部分的設計輸出級的電路區塊和一些簡單輸入級的電路區塊。

但是有些提供轉導值的輸入級元件，其源極和汲極並沒有辦法準確知道的情況下，也就是說此元件之源極並沒有接地，而汲極也沒接至輸出級。在這樣的情況下，我們便沒辦法利用最基本的電路區塊模型去設計電路，因此我們得修改區塊電路來達到與原本整個電路最相似的程度。像是源極串聯一個做為電流源的元件，或是汲極串聯一個做為負載的負載元件，又或者是汲極串聯一個元件並作為電流鏡傳至下一級。這些都是在建立電路區塊模型時需要注意的部份。下圖 Fig 2-11 是一些經過修改後的電路區塊模型

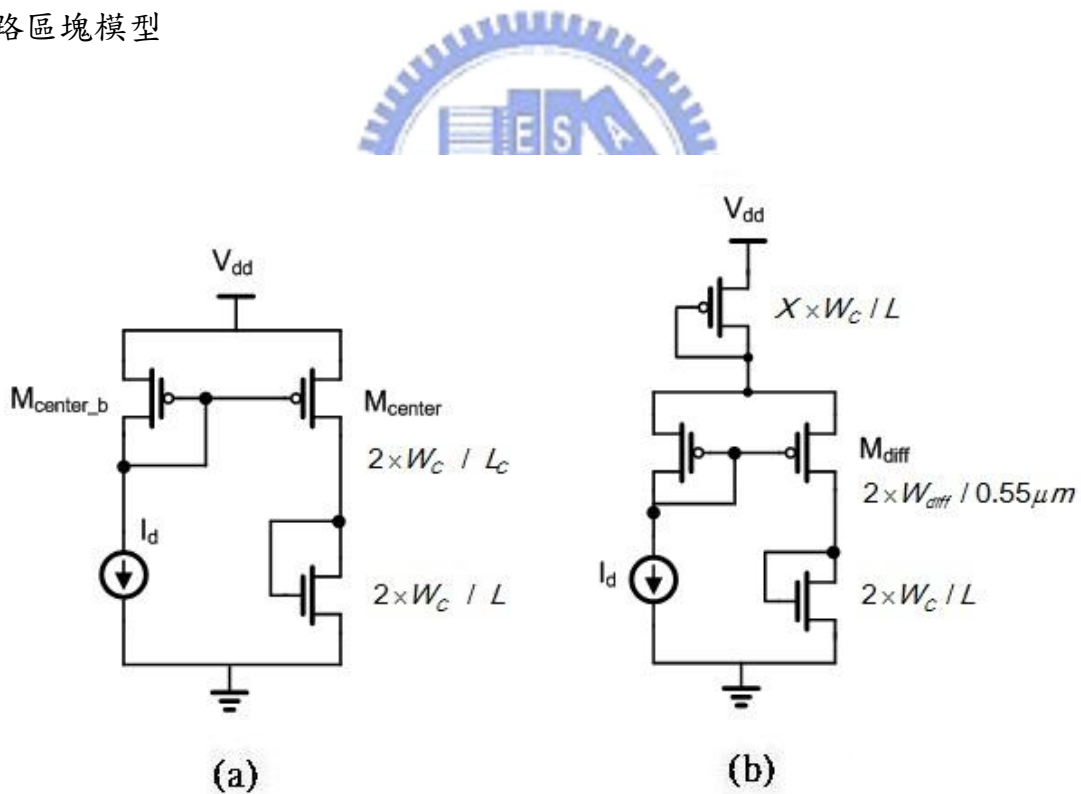


Fig 2-11 (a)伴隨著 NMOS 附載的 PMOS 元件所用的區塊電路(b)以 PMOS 為電流源，NMOS 為附載的 PMOS 差動對所用的區塊電路

修改過後的電路區塊模型，因為加入了這些輔助元件，整個區塊模型變得

與原本的電路架構非常相似，使得要設計的中心元件得以順利產生尺寸大小。另外，這些輔助元件像是電流源元件或是負載元件，由於其本身並沒有要提供轉導值或是輸出阻抗，而且基於電路佈局上的考量，為了能夠讓這些元件在電路佈局的時候可以跟中心元件合併在一起，達到節省面積的效果，因此我們將他們的寬度(Width)尺寸大小，設計成跟中心元件的單位大小一樣。例如 Fig 2-11(a)的中心元件的寬度之單位大小是 W_C 而並聯數(fingers)是 2，則其上下串聯的電流源或是負載元件的尺寸寬度則一樣為 W_C ，而並聯數的設計則是，除了電流源有放大倍數(圖中的 X)的需求之外，其餘的皆設計為 2。至於電路中的輸入差動對，因為在電路佈局上有其他考量而另外分開畫的，所以在尺寸設計上便不需要依照中心元件之寬度去設計，而是另外掃視寬度並找出適合的寬度(圖中之 W_{diff})和並聯數(圖中之 Y)。以上就是整個元件尺寸之模擬輔助設計的電路區塊架構建立的方法以及一些基本的初始設定，基於這些基礎和前面所計算出來的小訊號參數值，我們便可以進行下一步—產生元件尺寸。

● 產生元件尺寸之流程

從前面的線性穩壓器介紹中，我們也已經對電路架構和分析有一定的了解，我們可以藉由一些初始假設，從中得到各個參數的值。首先設定第一級和第二級的電流比例為 4:7(第一級四條路徑各一單位流量，第二級兩條路徑則為一單位和八個單位)，而增益部分則是以 1:1 的比例來分配。接著我們將要設計的電路區塊分成四個部份，分別是 G_{m1} 、 G_{m2} 、 R_{O1} 、 R_{O2} ，而這幾個參數皆有主要的元件來提供。 G_{m1} 是由輸入差動對元件來提供，而 G_{m2} 則是第二級的輸入級的 Common Source 來提供，至於輸出級的話由於架構皆採用 PMOS 串連一組疊接的 NMOS 來提供輸出阻抗，所以 R_{O1} 和 R_{O2} 皆會由各級輸出級的 PMOS 來主導阻值。因此我們可以很快的建構出我們的電路區塊，下圖 Fig 2-12 是為設計第二級電路所需之模擬用電路區塊模型

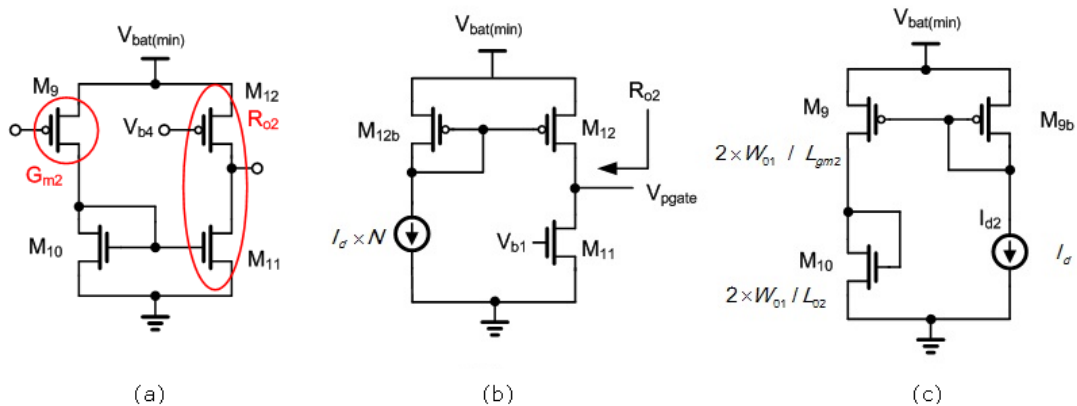


Fig 2-12 (a) 誤差放大器第二級電路 (b) 第二級長度設計用之電路模型 (c) 第二級寬度設計用之電路區塊模型

前面我們也有提過，模擬輔助設計尺寸會從輸出級開始往前端設計，因此我們會從第二級的輸出級開始設計。由於先前已經將 power MOS 的尺寸大小決定好，因此我們也可以經由模擬得到其閘極電壓 V_{pgate} ，此電壓就是第二級的輸出電壓，也是輸出級的 PMOS 的汲極電壓。由於第二級輸出阻抗主要是由元件 M_{11} 和 M_{12} 的長度 (Length) 來決定，所以當我們給定了輸出級電路模擬區塊的汲極電壓和元件流過的電流之後 (Fig 2-12(b))，便開始掃視元件 M_{11} 和 M_{12} 的長度並找出能提供足夠的輸出阻抗的長度。掃視過後我們得到了一個適合的長度來滿足電路需求的輸出阻抗 R_{O2} ，同時這個長度也是第二級的電流源元件或是電流鏡元件的長度。

當第二級的長度設計完，輸出阻抗的要求也達到了之後，我們接著就是要藉由第二級的轉導值 G_{m2} 來設計第二級的 Common source 的元件寬度，也就是這次電路設計中的中心元件的寬度。由於中心元件的汲極端並沒有明確的電壓值，我們便將電路區塊模型稍做調整，便成如圖 Fig 2-12(c) 所示的架構，當電流給定的情況下掃視元件的寬度。利用 G_m/I_d 的原理，我們可以透過已知的轉導值和電流值去找到相對應的 I_D/W 。在這個步驟中

我們所找到的元件寬度，是為中心元件的寬度，同時就是我們電路其他元件的寬度，其他元件除了輸入差動對以外皆使用同樣的寬度。電路中有採用電流鏡的部份也是依照同樣的寬度，利用不同的並聯數去達要所需要的電流鏡比例。

當我們透過 G_{m2} 、 R_{O2} 設計出第二級電路的長度以及中心寬度之後，我們將繼續針對剩下的 G_{m1} 和 R_{O1} 來做設計。下圖 Fig 2-13 即是設計第一級電路所需的電路區塊模型圖。

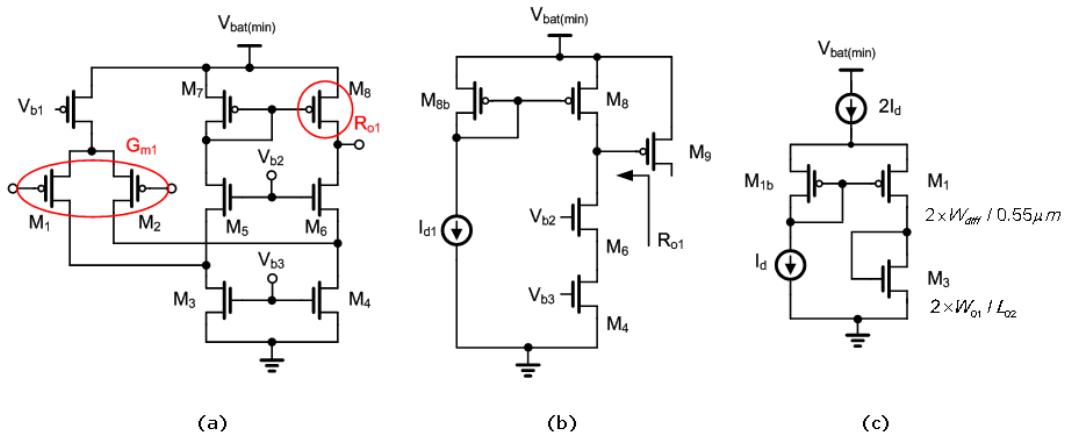


Fig 2-13 (a) 誤差放大器第一級電路圖 (b) 第一級長度設計用之電路模型 (c) 第一級寬度設計用之電路區塊模型

由於先前的設計，我們可以完整的模擬第二級的電路，藉此來取得第二級輸入級的閘極電壓，也就是第一級輸出級的汲極電壓。有個這個電壓值，我們就可以利用 Fig 2-13(b) 的電路區塊模擬圖來設計第一級的長度。其設計方法和第二級長度一樣，但是這邊需要注意的是其寬長比。因為考慮到 PSRR 的表現，我們必須讓提供輸出阻抗的第一級輸出級之 PMOS 的寬長比，與第二級輸入級的 Common source 之 PMOS 的寬長比相同。因為中心元件的寬度已經讓這兩個 PMOS 的寬度都固定住了，因此我們要藉由掃視元件長度以及並聯數，找出一組能夠提供足夠的輸出阻抗並且同時能

夠使寬長比相同的尺寸。

最後我們要設計的便是提供電路 G_{m1} 的輸入差動對了，我們所使用的電路模擬區塊是如 Fig 2-13(b)的架構。這個部份是比較獨立的，我們是設計其長度為最小，然後掃視其寬度和並聯數，利用 G_m/I_d 方法找出相對應的 I_D/W 。在本實驗中我們針對差動對的寬度作一個限制，其最大值為 $6\mu\text{m}\sim 7\mu\text{m}$ 。在這個限制之下，能夠達到條件的寬度和並聯數的組合便是有限的。

2.4 設計結果驗證流程

我們設計完電路之後，需要驗證電路的可靠性，以確保設計出的電路能符合我們的要求，因此我們會安排一些驗證的流程來確保這個線性穩壓器能夠滿足電器規格。由於線性穩壓器電路在不同負載或是不同電源供應下會有不同的表現，因此我們在驗證的時候都會針對最高或最低的負載和電源供應條件下一起檢視。首先我們比較在意的是 PSRR 的部分，一開始要驗證的是其低頻的增益表現，因為若是低頻增益沒辦法達到規格要求，則其他頻率的增益也沒辦法達到，就如同前面電路分析時所描述。而從規格要求和先前的電路分析我們可以知道 PSRR 的低頻表現會跟誤差放大器的增益有關，因此當電路尺寸都已經設計完成之後，程式會先呼叫 SPICE 並模擬電路在 PSRR 的表現，如果 PSRR 低頻時候的表現沒辦法達到規格要求，則會增加誤差放大器的增益要求，並且重新計算最佳化的電流以及其對應之小訊號參數和各項分配比例，然後再次執行元件尺寸大小的設計。這樣的檢查迴圈會一直執行直到其低頻表現能夠達到規格要求，接著才會繼續對其他頻率的增益做驗證。

另外兩個 PSRR 的驗證頻率是在 1KHz 以及 10KHz 的增益，先前的低頻表現在不同的環境下皆已經能達到要求，可是我們發現有些環境下的 PSRR 低頻增益雖然只有剛好吻合規格要求，但是其頻寬卻遠高於規格要

求，相反的有些環境的低頻增益遠高於規格要求，卻沒辦法在頻寬上達到規格要求，這是一個需要注意的地方。基於這樣的考量下，我們在 PSRR 的驗證過程中加入了頻寬的檢驗，針對電路在 1KHz 和 10KHz 的頻率下，其增益是否能達到規格要求。若是沒有達到規格要求，則增加電路中 power PMOS 的尺寸大小，因為我們認為 PSRR 低頻時的增益很高，在較高頻的時候卻無法達到規格要求是因為其頻率響應曲線過了第一個極點之後下降太快，導致在 1KHz 時就已經低過規格要求了，如下圖 Fig 2-14

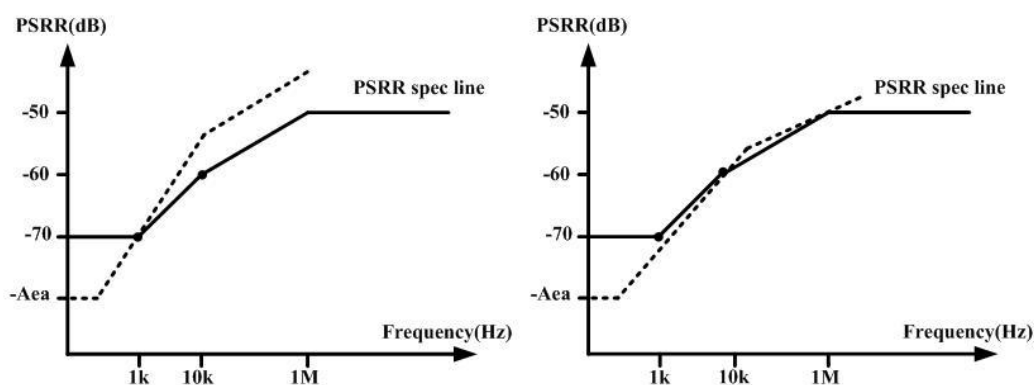


Fig 2-14 PSRR 頻率響應修正之示意圖

因此針對這個問題，程式會增加 power MOS 的尺寸大小來使得下降速度較為平緩，如此一來便能夠改善其頻寬的表現。這樣的修正迴圈一樣會持續執行直到電路之 PSRR 頻寬的表現都能達到規格要求。

另外我們要檢查的是相位邊限 (Phase margin) 的條件，通常因為先前的檢查有可能會導致 C_{par} 變大，因此會使得 Phase margin 的表現變差，因此在這邊我們檢查發現 Phase margin 不夠時，便開始設計補償電阻 R_c 。這個過程很簡單，我們會在小訊號模擬時掃視 R_c 以及其對應之 Phase margin，兩者之間的關係大致上會呈現一個拋物線的關係圖，如果所有範圍內的 R_c 其對應之 Phase margin 中的最大值無法滿足規格所要求的 Phase

margin，則需要增加第二級之轉導 G_{m2} ，並且重新掃視 R_c 來尋找能夠達到規格之數值，這樣的動作也會不斷的增加 G_{m2} 直到有 Phase margin 之最大值超過電路規格要求。

2.5 手動設計流程之問題

這樣的一個設計流程乍看之下沒什麼問題，但其實卻有些地方在最後設計完之後才可能會發生，主要原因是由於電流分配的因子是一個初始假設，而兩極增益的分配在這次的電路中雖然有式子可以明確決定，但在很多其他情況下卻沒辦法事先決定，而是像電流分配一樣有一個初始假設。這樣的設計可能有些時候沒有什麼問題，頂多只是設計出來的電路並不是最佳解，但有些時候卻有可能發生尺寸設計不出來的情況，主要是因為當規格要求的關係使得需要的轉導值較大或是分配的關係使得提供轉導值之元件流過之電流較小，這樣即使尺寸在大也沒辦法設計出符合的轉導值。因為這樣的情況，使得設計流程還需要加入校正電路的頻寬或是電流分配比例的步驟。整個設計電路之設計流程如下圖所示

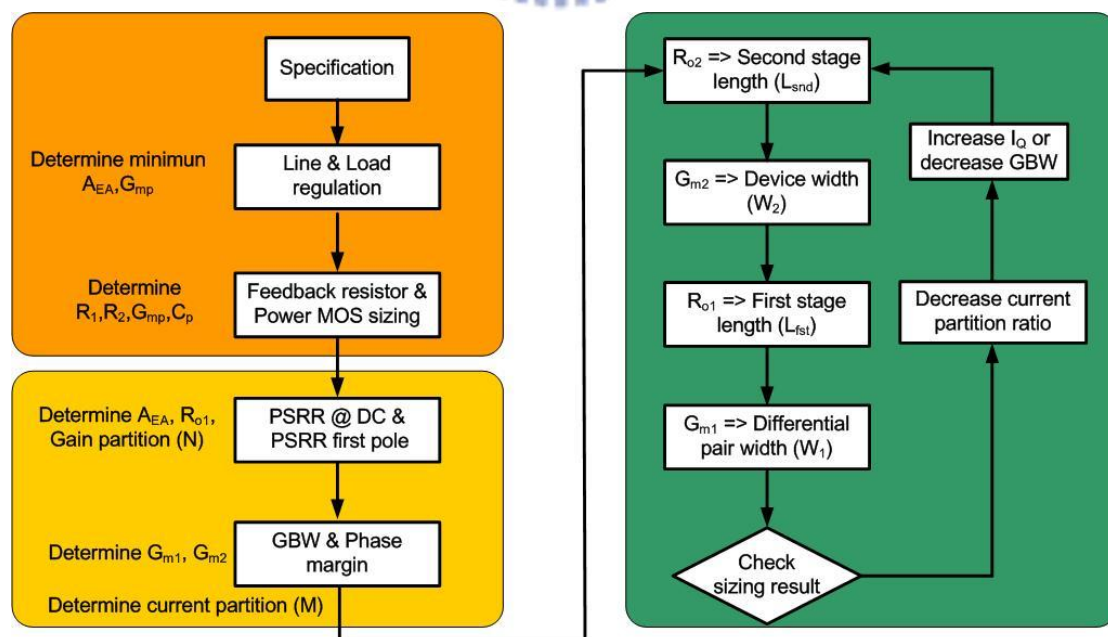


Fig 2-15 以知識為基礎配合尺寸產生方法之設計流程

Fig 2-15 中，左邊的區塊是電路行為及小訊號分析的部份，而右邊的部份則是在小訊號分析完畢之後，利用已知的參數進行模擬輔助的元件尺寸設計。而先前所述的問題則是會發生在左邊黃色區塊的部份，橘色區塊對於小訊號分析的影響幾乎是沒有，因此我們只需要針對黃色區塊來做些改善，以期能達到解決問題的效果。



章節3.

最佳化設計方法介紹

我們在這個章節會從最佳化演算法的角度去切入，先介紹並且比較過去一些常見的最佳化演算法，我們為何選擇幾何規劃做為類比電路設計最佳化的演算法，以及其如何應用在類比電路設計上。本章節會從上一章所得到的結論來跟最佳化設計做結合，並展是完整的最佳化設計流程

3.1 最佳化演算法的發展及背景

最佳化設計一直是工程師們在設計電路時最大的難題，如何設計出在各項表現上都能夠在互相制衡的情況下達到最佳的結果。這會這麼的困擾是因為類比電路有著嚴重的平衡得失的現象在，為了讓頻寬更高卻會犧牲掉增益或是穩定度，為了要增加增益或是大訊號的表現卻也可能會使得頻寬變差，若要在天秤的兩端取得平衡並且達到最佳實在是非常麻煩，這類的取捨讓設計者們傷透腦筋。而且有時候電路的設計結果，會隨著不同的初始假設而可能有截然不同的發展，往往可能設計到最後才發現一開始的初始假設是錯的，不但浪費了許多時間，而且還要再從頭設計過，非常的不划算。因此我們才會希望能夠借助一些最佳化的演算法來解決電路設計上所遇到的這類問題，能夠找到在各項表現皆最佳的解，而且不會受到初始假設的影響，甚至不需要做初始假設，那麼我們便可以很輕鬆的設計出令人滿意的電路了。

要介紹我們所使用的幾何規劃方法之前，我們要先來回顧一下過去的一些最佳化方法的發展。至目前為止，比較常用的最佳化方法大致上可以分為三大類：(1)典型最佳化方法(2)以知識為基礎方法(3)全域最佳化方法。

1) 典型最佳化方法算，算是相當早期便已經開始發展的一些求方程式極值的方法，例如最陡降路線(Steepest descent)或是拉格朗日乘數(Lagrange multiplier)，這些典型的最佳化方法經過一些改進或是轉型，例如 Penalty multiplier methods，應用於各種最佳化問題已經好一段時間了。

最陡降路線演算法的想法其實很簡單，就是從一個初始解(Initial solution)循著疊代的方式逐漸去逼近最佳解，其基本概念可以用下面式子(3-1)-(3-3)來表達

$$\text{for } \min f(x) \quad (3-1)$$

$$x_{n+1} = x_n + d_n \times h \quad (3-2)$$

$$d = -f'(x) \quad (3-3)$$

其中 d 就是最陡降路線的尋找方向，而 h 則是沿著這個方向所走的距離。這種演算法後來也被開發出不同的尋找方向，像是牛頓法等。

另外拉格朗乘數則是用來解決當問題有些條件限制時，求最佳解問題的方法。其問題形式如下

$$\text{for } \min f(x) \quad (3-4)$$

$$\text{s.t. } g(x) = c \quad (3-5)$$

其中 $f(x)$ 是目標函式，而 $g(x)=c$ 則是問題的條件限制。我們看這個問題可以想做 $f(x)$ 最佳值會發生在 $g(x)=c$ 和 $f(x)$ 的等高線相切點上，而這樣的一個環境下我們可以進一步得到一個結論， $f(x)$ 和 $g(x)=c$ 的垂直向量必定會

是同一方向的向量，因此我們可以得到像下面的關係

$$\nabla f(x) = \lambda \times \nabla g(x) \quad (3-6)$$

我們從這樣的一個方程組裡面便可以得到 λ 和對應的最佳解 x ，至於怎麼求出 λ 則有其他的演算法例如 Lagrangian relaxation 等方法可以算出。

這類典型最佳化方法可以解決大多數類型的問題，而且其演算法的實現也較為容易，解決時間也非常迅速。不過在這些優點之下卻有幾個很大的問題存在，最主要的就是它們並不能保證求出來的解是全域最佳解，只能保證是區域性最佳解。另外就是這類方法在問題或是規格表示式的限制上也比較多，例如問題的方程式需要是能夠一次微分或是多次微分等。

2) 以知識為基礎方法，比較常見的就是基因演算法了。這個方法是透過不斷的進化，包括用基因互換、突變以及複製等方法來針對設計參數群組做演進，從第一代的參數基因群來做演化，直到程式認為演化的結果夠好才停止，其流程大致上如下圖。



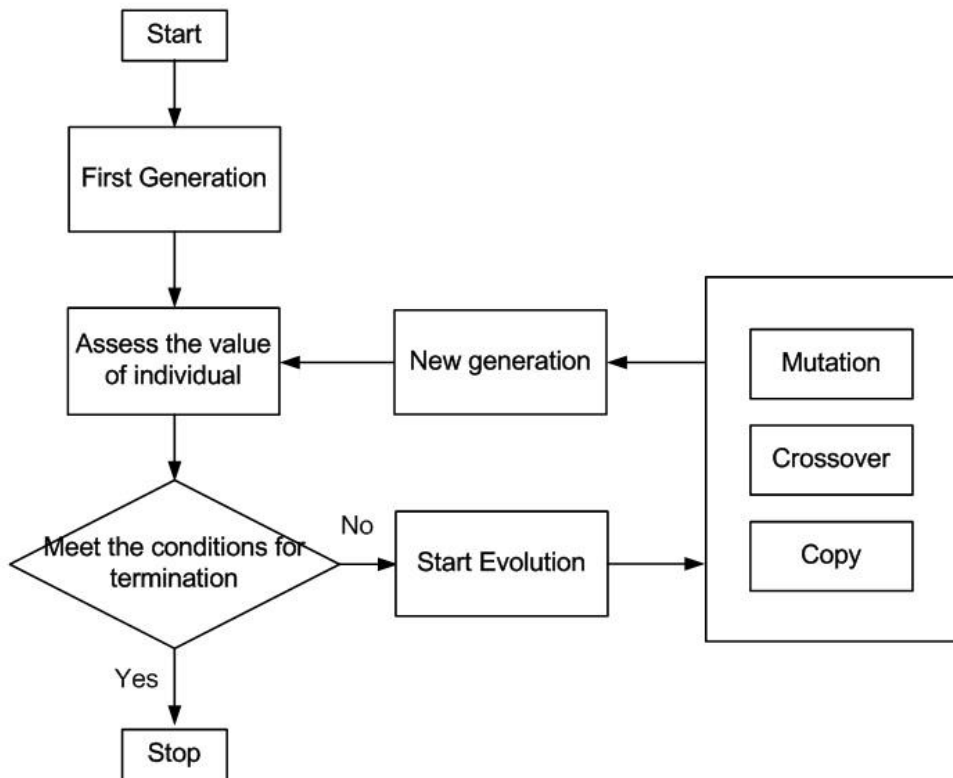



Fig 3-1 基因演算法之流程圖

這類的方法一樣沒辦法保證能夠求得全域最佳解，甚至只能得到一個算是合理且不差的解，另外它得到的解的優劣還會因為不同的初始假設（初代基因）和每一次進化所用的判斷參數而有所不同。這個演算法的主要優點只是在於它在處理各種類型的問題時所面臨的限制會比較少，甚至會比典型最佳化方法來的寬鬆許多。

3) 全域最佳化方法，在過去比較常用的有 Branch and bound 和模擬退火法(Simulation annealing)等演算法。我們先來看看 Branch and bound，這個演算法會將所有的解以樹狀圖的方式展開來並且去尋找，在已經訂下的邊界值(Bound)和定義好的成本函數(Cost function)下，會去判斷每個路徑上的解，當一條路徑上的解低於原本設定的邊界值(Bound)，則以這個新邊界(New bound)來取代原本的邊界值。但是當成本函數的判斷已經知道這條路徑已經不可能好過原本設定的邊界值，則中斷這個路徑解的尋找過程，並且往下一個路徑去尋找解。從前面的敘述我們可以發現，在這個演算法裡

面的邊界值和成本函數的定義是非常重要的，因為若是定義的邊界值太差，或是成本函數判斷的能力不夠謹慎，則可能形成每個路徑解都要蒐尋到最後才知後優劣，這樣子即使是一個小型的問題可能也要花很多時間去尋找最佳解。雖然這個方法所花費的時間較久，而且隨著問題的規模越大，解決時間會成級數成長，但是卻能夠保證得到全域最佳解。

而模擬退火法則是另一個能夠得到全域最佳解的演算法，當初的想法是源自於金屬受到加熱時分子會被打散，而透過冷卻的過程可以讓分子重新排列，並且達到目標所要求的穩定狀態。這個演算法過程一開始會先設定一個啟始溫度參數和初始解，接著尋找初始解附近的其他解並且從成本函數(Cost function)來判斷優劣。當附近的解較優的時候則繼續從這個新的解來尋找，而當附近的解並沒有優於上一個解的時候，則會用一個機率函數來決定是否要讓這個較差的解來取代上一個解。我們可以將這個機率函式如下式(3-7)表示


$$p = \begin{cases} 1 & \text{if } \Delta E \leq 0 \\ \exp(-\Delta E/T) & \text{if } \Delta E > 0 \end{cases} \quad (3-7)$$

其中 ΔE 就是成本函數的差($f_{n+1}(x)-f_n(x)$)，而 T 則是溫度。在最開始的時候 T 會設定一個很大的數值當做系統的起始溫度，接著會開始利用一些像是梯度搜尋或是疊帶法來搜尋附近的解，然後依照成本函數來衡量新解的好壞，並透過機率函式來決定是否要跳到新的解。在一開始溫度高的時候，跳到較差的解的機率會比較高，但是隨著溫度慢慢降低的時候就比較不容易跳到較差的解了，最後當溫度降到終止溫度時則停止演算法。這樣一個方法的優點只在於它能夠大大降低被困在局部最佳解的情況，有更大的機會找到全域最佳解，但是相對所需要花費的時間也是大幅增加。

現在我們有一種演算法叫做凸面規劃(Convex programming)，這是一

種能夠保證找到全域最佳解的演算法而且能夠處理非常大型的問題，幾百個參數和上千個條件限制的規模對其來講也不算是個大問題。其唯一的缺點便是其問題的型式限制，能夠處理大量的參數和條件限制相對的便需要比較嚴謹的定義規範。所幸我們在電路設計上所需要用到的數學模型，大多可以用凸面規劃的一種延伸問題型態－幾何規劃(Geometric programming)來描述，因此我們在這邊選用這種最佳化演算法來跟我們的設計流程做結合。

在這次的實驗中，由於我們所採用的線性穩壓器，在設計上也有需要做初始假設的部份，因此希望能夠藉由最佳化演算法來幫助設計並達到最佳化。我們將利用幾何規劃做為工具來做最佳化設計，這章節也是以這個部分為主，先介紹整個演算法的一些背景和概念，然後和整個電路設計流程做結合，建立出一個最佳化設計流程。

3.2 Posynomial 產生器

Posynomial 產生器顧名思義就是用來產生 Posynomial 函式，我們的設計流程中需要使用此產生器來產生電路的數學模型函式給幾何規劃(Geometric programming)做最佳化演算用。為了能讓幾何規劃準確的找出最佳解，我們必須要有一個很精確的演算法來逼進出準確的電路行為之數學模型，而本節將會介紹一個直接逼近演算法並配合模擬數據之流程 [3][4][5]，能夠逼近出準確的數學模型函式，透過下圖 Fig 3-2 可以清楚了解產生器之流程。

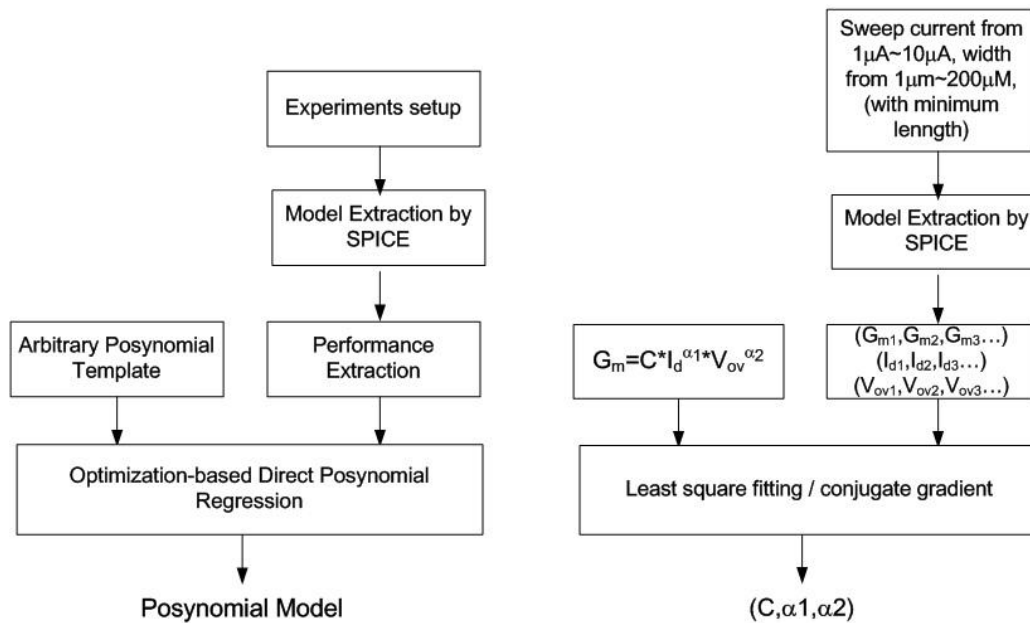


Fig 3-2 數學模型產生器之流程圖,左為流程描述,右為方法實際內容

產生器的整個流程大抵上是藉由模擬軟體的模擬輔助，得到數組的資料數據，其中包含了設計參數和電路行為。有了這些數據並經過演算法的運算逼近，則可以得到參數和電路行為之間的關係函數。這邊需要稍微注意的是所選擇的模擬範圍，模擬時候取得的數據範圍也必須要包含之後電路設計時所想要設計的範圍，否則會有不預期的誤差出現，造成電路設計失敗，這點是需要小心的。接下來我們將在每個小節開始從基本定義到產生器之演算法逐一做詳細介紹。

3.2.1 Posynomial 的定義

在介紹 posynomial 之前，我們需要先知道一些基本的東西。首先我們先談談 signomial，它是一種多變數函數，可以當成是一種多維的多項式，每個變數皆有不同實數冪次。我們可以把 signomial 寫成下面式子(3-8)的形式

$$f(x_1, x_2, \dots, x_n) = \sum_{i=1}^M \left(c_i \prod_{j=1}^N x_j^{\alpha_{ij}} \right) \quad (3-8)$$

這邊的 c_i 及 α_{ij} 皆為實數。若我們將冪次項 α_{ij} 限制為正整數，則此 signomial 變成為一般的多項式(Polynomial)。如果只是限制係數 c_i 為正實數，則此函式便是我們所要介紹的 posynomial 了。另外我們還需要介紹一個函式叫 monomial，它是組成 posynomial 的個體，將 monomial 全部加總起來就是 posynomial。而他們之間有些運算特性需要稍微說明一下，posynomials 之間做加、減法及非負值乘法之後皆為 posynomial，而 monomials 之間只有做乘、除法才會維持 monomial。另外 posynomial 乘上 monomial 或是除上 monomial 之後都還會是 posynomial。從表示式我們也可以看出，不管是 posynomial 或是 monomial，都跟電路或元件的行為模型的格式相似，也就是說我們可以用這類的函式來表示我們的電路或元件模型。而且我們也可以利用上述的這些運算特性，來對一些比較複雜的關係式做化簡。

3.2.2 最小平方近似法

最小平方近似法如[3]是一種數學上用來找出方程式曲線的方法，主要的概念是利用已知的一組資料點中找出最好且最近似的方程式曲線，利用資料點與想要逼近之曲線之間的差值平方的總和，使其最小而得到的解則為欲逼近之曲線(如 Fig 3-3)。

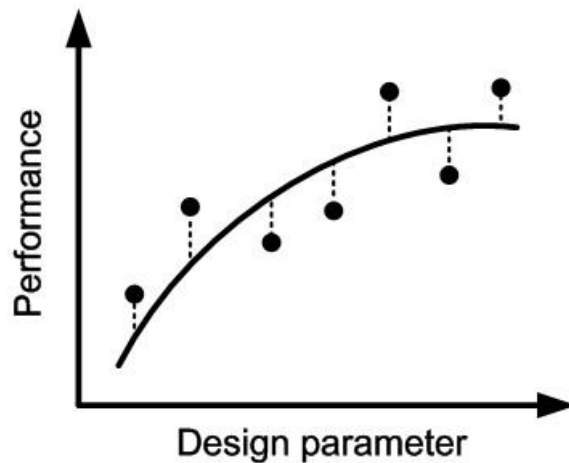


Fig 3-3 最小平方近似法之圖形示意圖

用差值平方總和的最小值而不是差值絕對值總和的最小值，是因為這樣一來這個差值便可視為一個連續可微分的量，但也因此可能會造成一些較偏遠的點對於逼近有些不均勻的影響，這要視待解決的問題而定。從前面的定義解釋，我們可以將最小平方逼近法的問題用下式(3-9)表示

$$\min \Psi(C) = \sum_{r=1}^a [f(X_r) - p_r]^2 \quad (3-9)$$

其中 $f(X_r)$ 是要逼近的函式，而 X_r 是一組設計參數 $\{x_1, x_2, \dots, x_n\}$ ， p_r 則是相對應的電路行為表現。一般來說，要求得 $\Psi(C)$ 的最小值就是將其對 $f(X_r)$ 中的每個係數做偏微分運算之後使之等於零，經過計算之後則可求得解，也就是 $f(X_r)$ 中的各個係數。

寫到這邊或許還不是能夠很明白的說明怎麼解出想要逼近的方程式的係數，那麼我們便來簡單的將通式 $\Psi(C)$ 對每個係數做偏微分運算所得到的所有關係式做個整理，或許就能夠清楚知道要怎麼得到係數了。

我們先用一個指數係數已經給定的 posynomial 用在最小平方逼近法來

做說明，其表示式如下列式子(3-10,3-11)：

$$f(x) = \sum_{i=1}^m c_i t_i, \quad t_i = \prod_{l=1}^n x_l^{\alpha_{il}} \quad (3-10)$$

$$\min \Psi = \sum_{j=1}^a \left(\left[\sum_{i=1}^m (c_i t_{ij}) - p_j \right]^2 \right) \quad (3-11)$$

其中 $f(x)$ 是待求出的方程式， c_i 和 α_{ij} 皆為正實數， Ψ 則是我們要最小化的目標。接著我們便照著前面所述敘的，將 Ψ 對每個係數都做微分之後可得到方程組如下面式子(3-12)

$$\begin{aligned} \frac{\partial \Psi}{\partial C_1} &= 2 \sum_{j=1}^m \left[\sum_{i=1}^n (C_i t_{ij}) - p_j \right] \times t_{1j} = 0 \\ \frac{\partial \Psi}{\partial C_2} &= 2 \sum_{j=1}^m \left[\sum_{i=1}^n (C_i t_{ij}) - p_j \right] \times t_{2j} = 0 \\ &\vdots \\ \frac{\partial \Psi}{\partial C_n} &= 2 \sum_{j=1}^m \left[\sum_{i=1}^n (C_i t_{ij}) - p_j \right] \times t_{nj} = 0 \end{aligned} \quad (3-12)$$

再將它們展開並稍微做些整理如式子(3-13)

$$\begin{aligned} \sum_{j=1}^m C_1 t_{1j} t_{1j} + \sum_{j=1}^m C_2 t_{2j} t_{1j} + \cdots + \sum_{j=1}^m C_n t_{nj} t_{1j} &= \sum_{j=1}^m p_j t_{1j} \\ \sum_{j=1}^m C_1 t_{1j} t_{2j} + \sum_{j=1}^m C_2 t_{2j} t_{2j} + \cdots + \sum_{j=1}^m C_n t_{nj} t_{2j} &= \sum_{j=1}^m p_j t_{2j} \\ \sum_{j=1}^m C_1 t_{1j} t_{nj} + \sum_{j=1}^m C_2 t_{2j} t_{nj} + \cdots + \sum_{j=1}^m C_n t_{nj} t_{nj} &= \sum_{j=1}^m p_j t_{nj} \end{aligned} \quad (3-13)$$

這樣子的方程組也可以改寫成如式子(3-14)的矩陣形式

$$\begin{bmatrix} \sum_{j=1}^m t_{1j}t_{1j} & \sum_{j=1}^m t_{2j}t_{1j} & \cdots & \sum_{j=1}^m t_{nj}t_{1j} \\ \sum_{j=1}^m t_{1j}t_{2j} & \sum_{j=1}^m t_{2j}t_{2j} & \cdots & \sum_{j=1}^m t_{nj}t_{2j} \\ \vdots & \vdots & \ddots & \vdots \\ \sum_{j=1}^m t_{1j}t_{nj} & \sum_{j=1}^m t_{2j}t_{nj} & \cdots & \sum_{j=1}^m t_{nj}t_{nj} \end{bmatrix} \times \begin{bmatrix} C_1 \\ C_2 \\ \vdots \\ C_n \end{bmatrix} = \begin{bmatrix} \sum_{j=1}^m p_j t_{1j} \\ \sum_{j=1}^m p_j t_{2j} \\ \vdots \\ \sum_{j=1}^m p_j t_{nj} \end{bmatrix} \quad (3-14)$$

如果我們再把這個矩陣式展開成(3-15)的矩陣式

$$\begin{bmatrix} t_{11} & t_{12} & \cdots & t_{1j} \\ t_{21} & t_{22} & \cdots & t_{2j} \\ \vdots & \vdots & \ddots & \vdots \\ t_{n1} & t_{n2} & \cdots & t_{nj} \end{bmatrix} \times \begin{bmatrix} t_{11} & t_{21} & \cdots & t_{n1} \\ t_{12} & t_{22} & \cdots & t_{n2} \\ \vdots & \vdots & \ddots & \vdots \\ t_{1j} & t_{2j} & \cdots & t_{nj} \end{bmatrix} \times \begin{bmatrix} C_1 \\ C_2 \\ \vdots \\ C_n \end{bmatrix} = \begin{bmatrix} t_{11} & t_{12} & \cdots & t_{1j} \\ t_{21} & t_{22} & \cdots & t_{2j} \\ \vdots & \vdots & \ddots & \vdots \\ t_{n1} & t_{n2} & \cdots & t_{nj} \end{bmatrix} \times \begin{bmatrix} p_1 \\ p_2 \\ \vdots \\ p_j \end{bmatrix} \quad (3-15)$$

到這邊，我們已經將我們最小平方逼近法的問題，轉變成一個求解矩陣方程組的問題了。而這個矩陣方程組的問題可以簡寫成式子(3-16,3-17)

$$T \times T^T \times C = T \times P \quad \Rightarrow \quad C = (T \times T^T)^{-1} \times T \times P \quad (3-16)$$

$$T^T \times C = P \quad (3-17)$$

其中 T 和 T^T 分別是由 t_{ij} 所組成的矩陣和轉置矩陣，而 P 就是由 $performance(p_j)$ 所組成的矩陣， C 則是我們要求的係數所組成的矩陣。因此我們若要求得方程式的係數，只要解像上面 $T^T * C = P$ 這樣很簡短的一個矩陣方程式，便可求得所要的係數了。如果要逼近的方程式是一個線性系統的話，則直接用 $C = (T \times T^T)^{-1} \times T \times P$ 這樣的運算式直接去解，即可得到所要

逼近的方程式的係數解 C ，方法很簡單，只是一般的矩陣和反矩陣的運算而已，在這邊不多加贅述。但是，正如同剛剛所說的，這個方法只適用於線性系統，而且是在方程式的指數係數 α_{ij} 皆已經給定的情況下才能用這樣的方法。但是我們都知道元件的數學模型除了一些製程參數的係數項難以估算之外，模型的參數和參數之間的分量比例，也已經不是一般的正比關係或是平方關係了。如果要將這些分量比例一起當成要逼近的參數來考慮的話，這樣的一個非線性系統，由於複雜度比較高，因此需要用到一些比較特別的演算法去做計算，像是共軛梯度法(Conjugate gradient)這類的方法，而在本次實驗中我們所採用的是其中一種叫做 Fletcher-Reeves 的非線性共軛梯度法。這個演算法我們將會在下一個小節做詳細的介紹。

3.2.3 共軛梯度法(Conjugate gradient)

共軛梯度演算法最主要的應用就是用在解決如下面式子(3-18)的線性系統

$$Ax = b \quad (3-18)$$

其中 x 為未知的向量， b 為一已知的向量，而 A 則是一個已知的、方形的、對稱的正定矩陣。從意義上來說，因為 A 為對稱的正定矩陣，因此我們可以利用 quadratic form 的最小值來去解 x ，quadratic form 的樣子如下式(3-19)

$$f(x) = \frac{1}{2} x^T A x - b^T x + c \quad (3-19)$$

而 $Ax=b$ 的解便是發生在上面這種 quadratic form 的最小值的地方。至於要如何找到 $f(x)$ 的最小值，便是找出其梯度為零的地方，因此要解 x 就是找出 $f(x)$ 梯度為零的點。至於證明 quadratic form $f(x)$ 的最小值，也就是梯度為零的點即是 $Ax=b$ 的解的證明過程可以參考[10]，這邊便不多做說明。那麼我們大概知道了共軛梯度演算法的概念之後，便是要來解決我們的問題。

在前面我們也有提到，從最小平方逼近法只能針對線性系統做逼近的動作，而且只能逼近出式子的係數解。但是若要逼近出指數係數解，則需要能夠應付較為複雜的非線性系統的演算法了。幸運的是共軛梯度演算法不但能夠處理線性系統的解，而且也能夠延伸到非線性系統的問題上面。而要計算非線性的共軛梯度，會使其原本的線性演算法面臨到一些挑戰：

- 1.原本的一些遞迴公式不能使用
- 2.跨步距離(step size) λ 的估計會變得更複雜
3. β 的選擇也會變得更多樣

在一般線性共軛梯度的 β ，已經有比較準確的公式來表示 β 了。但是在非現性系統上的 β 卻還沒有一個準確的計算方法，目前也有許多研究在討論計算 β 的方法，而 Fletcher-Reeves 方法[10]也有一個定義如下：


$$\beta_{(i+1)}^{FR} = \frac{\gamma_{(i+1)}^T \gamma_{(i+1)}}{\gamma_{(i)}^T \gamma_{(i)}} \quad (3-20)$$

在這樣的 β 定義我們可以將 Fletcher-Reeves 非線性的共軛梯度演算法的標準流程如下表 3-1 所示

表 3-1 Fletcher-Reeves 演算法基本概念

$$\begin{aligned}d_{(0)} &= \gamma_{(0)} = -f'(x_{(0)}); \\ \text{Find } \alpha_{(0)} &\text{ that } \min f(x_{(i)} + \alpha_{(i)}d_{(i)}); \\ x_{(i+1)} &= x_{(i)} + \alpha_{(i)}d_{(i)}; \\ \gamma_{(i+1)} &= -f'(x_{(i+1)}); \\ \beta_{(i+1)} &= \frac{\gamma_{(i+1)}^T \gamma_{(i+1)}}{\gamma_{(i)}^T \gamma_{(i)}}; \\ d_{(i+1)} &= \gamma_{(i+1)} + \beta_{(i+1)}d_{(i)};\end{aligned}$$

我們大概解釋一下這個流程，一開始會先有一個初始假設 x_0 ，而 $f(x)$ 在這個假設點上的微分取負值便是我們要搜尋的方向，接著我們要試著找出 α 值使得 $f(x+\alpha d)$ 會最小。然後演算法便會去繼續尋找下一個解 x_{i+1} ，我們可以想像成他是從上一次的解，加上往方向 d 走了 α 倍距離的值而成為下一個解。接著 Fletcher-Reeves 方法有告訴我們 β 的計算，因此我們可以算出 β ，進而去尋找下一次 x 要搜尋的方向 d_{i+1} ，而且這個下次要尋找的方向是會跟前一次的方向成共軛垂直的關係。這個演算法需要注意的是，其尋找到的解，只會是當前區域的最佳解，並不會是全局的最佳解，而且如果起始假設越接近真的解，則需要跑的重複迴圈數會越少，時間會越快。反之則亦然。以上是非線性的共軛梯度演算法大抵上的概念介紹，而我們可以將實際的詳細演算法[10]以下面的邏輯敘述來撰寫，我們先將一般的 Polynomial 方程式的通用式以及我們要求得參數解的最小平方差之微分式表示成如下面式子(3-23)

$$f(\alpha) = \sum_{i=1}^m c_i t_i, \quad t_i = \prod_{l=1}^n x_l^{\alpha_{il}} \quad (3-21)$$

$$f(\alpha) = \sum_{i=1}^m \left(e^{\alpha_{i0}} \prod_{l=1}^n x_l^{\alpha_{il}} \right) \quad (3-22)$$

$$f_{\text{delta}} = f(\alpha) - p_r \quad (3-23)$$

$$\frac{\partial f_{\text{delta}}}{\partial \alpha_{il}} = \sum_{r=1}^a 2(f(\alpha) - p_r) c_i \ln(x_{lr}) \prod_{j=1}^n x_{lj}^{\alpha_{ij}} \quad (3-23)$$

舉例來說，若是要逼近出轉導值(G_m)對電流(I_d)以及過驅電壓(V_{ov})，我們可以用上面的通用式來建立模型，並且令函式的一次微分矩陣為 d ，二次微分矩陣為 h ，而 α 為指數係數解的向量形式

$$G_m = C \times I_d^{\alpha_1} \times V_{ov}^{\alpha_2} \quad (3-24)$$

$$\Rightarrow f(\alpha) = e^{\alpha_0} \times I_d^{\alpha_1} \times V_{ov}^{\alpha_2} \quad (3-25)$$

$$\alpha = [\alpha_0 \quad \alpha_1 \quad \alpha_2] \quad (3-26)$$

$$\begin{aligned} -f_{\text{delta}}' &= - \begin{bmatrix} \partial f(x)/\partial x_0 \\ \partial f(x)/\partial x_1 \\ \partial f(x)/\partial x_2 \end{bmatrix} = \begin{bmatrix} 2(f(x) - G_m) f(x) \\ 2(f(x) - G_m) \ln(I_d) f(x) \\ 2(f(x) - G_m) \ln(V_{ov}) f(x) \end{bmatrix} \\ &\equiv d = \begin{bmatrix} d_0 \\ d_1 \\ d_2 \end{bmatrix} \end{aligned} \quad (3-27)$$

$$\begin{aligned} f_{\text{delta}}'' &= \begin{bmatrix} -\partial d_0/\partial \alpha_0 & -\partial d_0/\partial \alpha_1 & -\partial d_0/\partial \alpha_2 \\ -\partial d_1/\partial \alpha_0 & -\partial d_1/\partial \alpha_1 & -\partial d_1/\partial \alpha_2 \\ -\partial d_2/\partial \alpha_0 & -\partial d_2/\partial \alpha_1 & -\partial d_2/\partial \alpha_2 \end{bmatrix} = \begin{bmatrix} 2[(f(x) - G_m) f(x) + f(x)^2] \\ 2[(f(x) - G_m) f(x) + f(x)^2] \ln(I_d)^2 \\ 2[(f(x) - G_m) f(x) + f(x)^2] \ln(V_{ov})^2 \end{bmatrix} \\ &\equiv h = \begin{bmatrix} h_{00} & h_{01} & h_{02} \\ h_{10} & h_{11} & h_{12} \\ h_{20} & h_{21} & h_{22} \end{bmatrix} \end{aligned} \quad (3-28)$$

因此我們可以很輕鬆的將演算法中的各個參數給表示出來，下表 3-2 即是我們用來實現 Fletcher-Reeves 演算法的邏輯。

表 3-2 Fletcher-Reeves 演算法之實現

```

Compute  $r = d = -f'_{\text{delta}}(x)$  &  $h = f''_{\text{delta}}(x)$ 
 $\delta_0 = d^T \times d$ ;
Do{
 $\delta_{\text{temp}} = d^T \times d$ ;
  Do{
 $\lambda = -\left([f'_{\text{delta}}(x)]^T \times d\right) / \left(d^T \times f''_{\text{delta}}(x) \times d\right)$ ;
 $x = x + \lambda \times d$ ;          for min  $f_{\text{delta}}(\alpha + \lambda \times d)$ 
 $j = j + 1$ ;
  } while  $j < j_{\text{max}}$  &  $\lambda^2 \times \delta_{\text{temp}} > \zeta^2$ 
Compute  $r = -f'_{\text{delta}}(x)$ ;
 $\delta_{\text{new}} = r^T \times r$ ;
 $\beta = \delta_{\text{new}} / \delta_0$ ;
 $\delta_0 = \delta_{\text{new}}$ ;
 $d = r + \beta \times d$ ;
 $i = i + 1$ ;
}while  $i < i_{\text{max}}$  &  $\delta_{\text{new}} > \varepsilon^2 \times \delta_0$ 

```

其中 i_{max} 和 j_{max} 是共軛梯度迴圈(CG iteration)和牛頓回圈(Newton-Raphson iteration)的最大上限次數，而 ε 和 ζ 分別是共軛梯度誤差容忍度(CG error tolerance)和牛頓誤差容忍度(Newton-Raphson error tolerance)。在使用這樣的共軛梯度演算法時，我們能透過兩個誤差容忍度來控制逼近的精準度，誤差容忍度設定的越小，產生出來之方程式越能夠接近真實的關係式，但是也有可能進入發散或是無解的風險在，相反的若是設定之容忍度越大，則產生出來之方程式便可能與真實之關係式有些出入，但是也比較不容易無解或是發散。有了這樣的一個演算法並且透過模擬取得設計參數以及對應之行為，配合整個產生器之流程，便能從已知的資料群中逼近出模型關係式了。

3.3 最佳化方法-幾何規劃(geometric programming)

幾何規劃(Geometric programming)是從凸面問題(Convex problem)延伸而來的一個最佳化演算法[6]，當我們有一個想要最佳化的目標，以及其他許多的條件限制去規範之下，便可以找出一組解能夠在這些條件限制下，達到某項表現會是最佳的。接下來我們將從凸面的定義到幾何規劃來逐一介紹最佳化的概念

3.3.1 凸面(Convex)的定義

這節我們將會簡單的介紹一下凸面以及其應用的最佳化問題。通常我們要處理的最佳化問題通常會是如下面式子(3-29,3-30)的形式

$$\text{minimize } f_0(x) \quad (3-29)$$

$$\text{subject to } f_i(x) \leq b_i, \quad i=1, \dots, m \quad (3-30)$$

其中 $f_0(x)$ 是我們要最佳化的目標，也就是我們的對象(Subject)，而 $f_i(x)$ 則是針對這個目標所設下的條件限制(Constrain)。在這個問題之下找出一個 x^* 能夠滿足所有的條件限制，同時能夠滿足 $f_0(x^*) \leq f_0(x)$ ，則此 x^* 即是我們所要找的最佳解。最佳化問題又會因為在不同類型的函式有不同的規劃，也會有不同的演算法來解決，若所有的 $f(x)$ 皆為線性且滿足下面等式(3-31)，則最佳化問題便稱為線性規劃(Linear programming)，若是非線性的則稱為非線性規劃(Nonlinear programming)

$$f_i(\alpha x + \beta y) = \alpha f_i(x) + \beta f_i(y) \quad (3-31)$$

但是在我們的實驗中，我們要解決的最佳化問題既不是線性的，也不是一般非線性的，而是另一種被稱為凸面最佳化問題(Convex optimization)

problem)的延伸型態-幾何規劃(Geometric programming)，因此我們需要先從基本的凸面問題開始了解，至於為什麼要用幾何規劃的形式，我們會在後面的章節做說明。凸面(Convex)的定義有分為兩個部份，分別是凸面集合(Convex sets)和凸面函式(Convex function)。凸面集合(Convex set)從數學上來看就是一組集合 C 能滿足(3-32)

$$\theta x_1 + (1-\theta)x_2 \in C, \quad 0 \leq \theta \leq 1 \quad (3-32)$$

其中 x_1 和 x_2 皆屬於 C 。簡單來說，在幾何上的意義便是集合 C 裡面的任意兩點 x_1, x_2 的連線，其連線之間任一點也包含在集合 C 裡面，則此集合稱為凸面集合。接著是凸面函式的定義，若一個函式滿足下面條件(3-33)

$$f_i(\theta x + (1-\theta)y) \leq \theta f_i(x) + (1-\theta)f_i(y), \quad 0 \leq \theta \leq 1 \quad (3-33)$$

且 x 和 y 皆為凸面集合，則這樣的一個函式可稱為凸面函式。而又當我們要解決的最佳化問題，其目標和條件限制皆滿足凸面函式之定義，則此最佳化問題便是凸面最佳化問題(Convex optimization problem)。雖然凸面最佳化問題尚無一個普遍的運算式子去解決，但是還是有些可靠的演算法可以有效的解決這類的問題，內點法(Interior-point method)是其中一個最好用的演算法，我們將會在稍後做介紹。

3.3.2 幾何規劃

幾何規劃是一種最佳化問題，但他並不是凸面的形式(Convex form)，但是我們可以將他歸類成凸面問題的一個延伸應用問題[6]。我們可以藉由一些變形來改變原本的問題，使其變成凸面問題(Convex problem)，進而用一些最佳化演算法來找出問題的解。假設今天有一個問題，形式如下

$$\text{minimize } f_0(x) \quad (3-34)$$

$$\text{subject to } f_i(x) \leq 1, \quad i = 1, \dots, m \quad (3-35)$$

$$h_i(x) = 1, \quad i = 1, \dots, p \quad (3-36)$$

其中的 f_i 為 posynomial 而 h_i 為 monomial，解決這樣的一個問題便稱為幾何規劃(Geometric program)。但是此問題原本並不一定是凸面問題，因此接下來我們需要將此規劃轉換成凸面問題的形式。為了要讓幾何規劃變成是一個凸面問題，我們在這邊用變數變換的方式來做轉換。假設我們令 $y_i = \log x_i$ ，所以 $x_i = \exp y_i$ 。那麼一個 monomial 的函式 $g(x)$ 如下式(3-37)

$$g(x) = cx_1^{a_1} x_2^{a_2} \cdots x_n^{a_n} \quad (3-37)$$

改寫過後如式子(3-38)

$$\begin{aligned} g(x) &= c(e^{y_1})^{a_1} (e^{y_2})^{a_2} \cdots (e^{y_n})^{a_n} \\ &= e^{a^T y + b} \end{aligned} \quad (3-38)$$

相同的方法，我們也可以將一個 posynomial 的函式轉型，由於 posynomial 只是 monomial 的加總，因此函式的轉換我們可以很輕易的寫出如式子(3-39)

$$\begin{aligned} f(x) &= \sum_{j=1}^K c(e^{y_1})^{a_{1j}} (e^{y_2})^{a_{2j}} \cdots (e^{y_n})^{a_{nj}} \\ &= \sum_{j=1}^K e^{a_j^T y + b} \end{aligned} \quad (3-39)$$

有了上面這兩種函式的轉變型態之後，我們可以將原本的幾何規劃變成一

個凸面問題如下面式子(3-40)-(3-42)

$$\min f'_0(y) = \log \left(\sum_{j=1}^{K_0} e^{a_{0j}^T y + b_{0j}} \right) \quad (3-40)$$

$$\text{subject to } f'_i(y) = \log \left(\sum_{j=1}^{K_0} e^{a_{ij}^T y + b_{ij}} \right) \leq 0, \quad i = 0, \dots, m \quad (3-41)$$

$$h'_i(y) = g_i^T y + h_i = 0, \quad i = 1, \dots, p \quad (3-42)$$

在這之中， $f'_i(y)$ 皆滿足凸面(convex)的條件，而 $h'_i(y)$ 皆滿足仿射(affine)的條件。因此我們稱這個變形過後的問題為一個凸面形式的幾何規劃，而原本的問題則稱為 Posynomial 形式的幾何規劃。另外要順帶一提的是在上面的變形當中，我們並沒有加入任何運算，只是單純的做形式上的變換，因此前後的設計參數資料都是一樣的。

3.3.3 內點法(Interior-point)

這個方法主要就是為了用來解決包含不等式條件限制(Inequality constraints)的最佳化問題，其精神是先將不等式條件限制的問題轉換成無不等式條件限制的問題，進而透過適用於有等式條件限制的牛頓法。首先我們將想要最佳化的問題列出如下式(3-43)

$$\begin{aligned} &\text{minimize } f_0(x) \\ &\text{subject to } f_i(x) \leq 0, \quad i = 0, \dots, m \\ &\quad \quad \quad Ax = b, \quad i = 1, \dots, p \end{aligned} \quad (3-43)$$

內點法的其中一種叫做障壁法(Barrier method)，這是一種先將問題轉換成對數障壁函式的方法。透過這個方法將含有不等式條件限制的問題近似的轉換成只有等式條件限制的問題，讓牛頓法可以來順利的解決這樣的問題。第一步便是將整個問題重寫成如下式(3-44)的形式

$$\begin{aligned} &\text{minimize } f_0(x) + \sum_{i=1}^m I'(f(x)_i) \\ &\text{subject to } Ax = b, \quad i = 1, \dots, p \end{aligned} \quad (3-44)$$

而其中所定義的 $I'(f(z))$ 則如下式(3-45)所示

$$I'(z) = \begin{cases} 0 & z \leq 0 \\ \infty & z > 0 \end{cases} \quad (3-45)$$

雖然經過這樣的形式轉換過後不等式的存在消失了。但是這樣一來問題的目標函式便成了不可微分的函式了，在這樣的情況下牛頓法還是沒辦法順利使用。

因此在這邊需要再另外對這個函式 $I'(f(z))$ 做其他的近似處理。在障壁法中所用的近似方法是將其近似成如下面式子(4-46)的形式

$$\hat{I}'(z) = \frac{-1}{t} \log(-z), \quad t > 0 \quad (3-46)$$

其中 t 是為一種近似程度的指標，當 t 越大時則近似程度越高。這樣的近似式子跟原式很像，當 $z > 0$ 的時候此式也是等於無限大，但是跟原式不一樣的是其可微分的性質，讓我們在接下來可以用牛頓法來做處理。讓我們用這樣的近似式重新改寫原本的問題如下式(3-48)

$$\begin{aligned} & \text{minimize } f_0(x) + \sum_{i=1}^m \frac{-1}{t} \log(-f_i(x)) \\ & \text{subject to } Ax = b, \quad i = 1, \dots, p \end{aligned} \quad (3-46)$$

而針對原本後面不可微分項的函式，經過這樣的改寫過後我們也可以將其微分式寫出如式子(3-48)所示


$$\nabla \left\{ \sum_{i=1}^m \frac{-1}{t} \log(-f_i(x)) \right\} = \sum_{i=1}^m \frac{1}{t \times f_i(x)} \nabla f_i(x) \quad (3-46)$$

這樣一來適用於等式條件限制之牛頓法便可以來解決這類的問題了。但是這邊還有一點需要注意的就是，雖然問題型式已經改寫的既可以沒有不等式條件限制也可以微分，但是這終究只是原問題的近似型態，而影響到近似程度高低的便是前面剛剛提到的變數 t ，當 t 越大的時候近似程度越高反之則越低，理論上來說當 t 趨近於無限大的時候則近似程度接近本分之

百。但是我們不可能將 t 取得太大，否則問題的目標函式對牛頓法來說將變得難以處理或是計算。

整個最佳化求解的過程就是在外部迴圈先給定一個初始的 t 值來產生近似後的問題型態，然後內部迴圈讓牛頓法來求得近似最佳解，傳回給外部迴圈，接著讓 t 乘上一個常數 ϕ 來做等比增加，然後再回到內部迴圈進行下一回牛頓法。整個演算法流程大致上如下表所示

表 3-3 障壁法(Barrier method)

<pre>initial x, t_0 set $\phi > 1$ & $\varepsilon > 0$ Repeat Do{ Compute x^* for minimizing objective function, starting at x Update $x = x^*$ } while $m/t > \varepsilon$ Increase $t = \phi \times t$</pre>	
---	--

其中 ε 是個誤差容忍常數，由使用者決定。而 ϕ 則是 t 的等比增加常數，內部迴圈則是牛頓法。

3.4 最佳化之設計流程

我們類比電路自動化設計的流程，是先利用幾何規劃最佳化來找出最佳的電流分配比例、小訊號參數的值和各級增益的分配，而只要有了這些資訊便可以利用 G_m/I_d 方法來設計出元件的尺寸大小了。整個設計流程簡圖如下面 Fig 3-4 所示，其中最佳化演算法幾何規劃(Geometric programming)和元件尺寸設計的結合如 Fig 3-5 所示

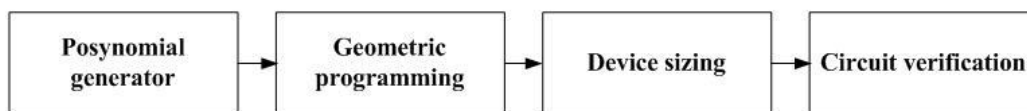


Fig 3-4 最佳化自動設計流程

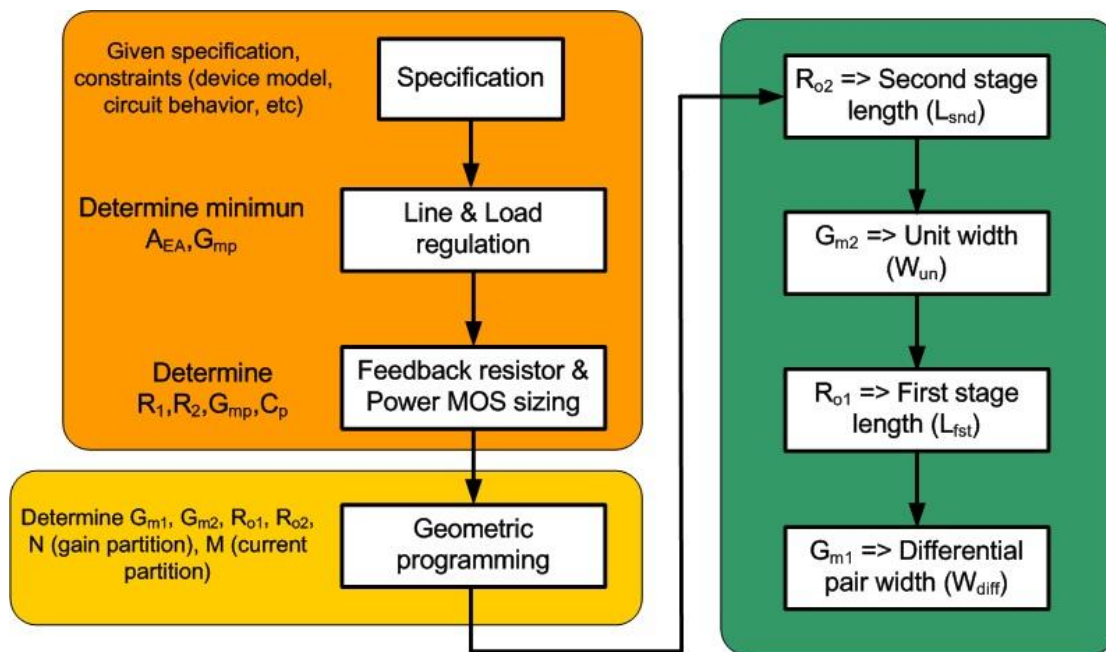


Fig 3-5 結合最佳化之元件尺寸產生流程

首先第一步便是要產生一些元件或是電路的 Posynomial 模型關係式 [4][5]，然後利用這些關係式並藉由幾何規劃最佳化來算出最佳的解，而這些解也就是我們要用來在 G_m/I_d 方法設計電路尺寸大小時所需要的小訊號參數以及各級電流分配，最後當電路尺寸皆設計完成之後便是驗證電路並做修正了。由於以往書上的元件的數學模型在次微米或是奈米製程上相當不準確，它們之間的相對關係也已經不盡相同了。但是為了要讓幾何規劃最佳化能夠有較準確的數學模型關係來做計算，因此需要一個 Posynomial 產生器來產生需要的模型。這個產生器主要是靠模擬得到的數據來做方程式的逼近，因此得到的數學模型能夠相當的準確。而在我們的實驗中我們

只需要逼近出元件的電流和小訊號參數之間的關係，因為我們利用幾何規劃的目的是為了要得到小訊號參數的解，並不是要求得最後的尺寸大小，所以只要建立小訊號參數的模型即可。接著將產生出來的元件模型，加上電路本身的行為數學模型以及一些設計考量上的限制，傳給幾何規劃最佳化做運算。幾何規劃最佳化是在一個最佳化目標下，能夠將所有的條件限制及數學關係合在一起解出一組能夠達到此目標的解[6]。因此我們將電路的行為以及元件的數學關係帶入之後，便可以在已知的電路規格要求之下，得到各個元件所需要的電流以及小訊號參數，同時電流分配比例也會算出來。有了這些資訊之後，便可以利用 G_m/I_d 方法[1]來做元件尺寸的設計，利用模擬軟體的輔助一步步將每個元件的尺寸大小設計好，並在最後做驗證。如果驗證有問題，則可能需要調整小訊號參數或是各個元件的電流量，然後重新設計尺寸大小。



章節4.

實驗結果

我們的最終目的就是希望將一個線性穩壓器順利的自動化設計完成。在這個章節中我們將會從上一章節所建立之完整的最佳化自動設計流程，來套用在我們在第二章所選用的線性穩壓器設計上。

在 4.1 節會先建立元件轉導值對電流之數學模型，然後 4.2 節會分析第二章得到的電路特性之模型，並且加上元件數學模型來做幾何規劃，4.3 節會展示利用剛得到之設計參數配合尺寸產生方法來得到最後結果，同時比較第二章之流程和最佳化過後之流程的電路特性表現。

4.1 產生元件模型

在做線性穩壓器的自動化設計之前，我們需要先針對元件做一些數學模型的建立，這些元件的數學模型是為了要在之後和電路整體的行為模形一起做幾何規劃，來達到最佳化設計。本節將會利用前一章所介紹的產生器來產生出所需要用的元件數學模型。

第一個就是要先找出 G_m 和 I_D 之間的關係。因為這個元件數學模型的產生就是用上一章節所介紹的 Posynomial 產生器來產生，需要先藉由模擬得到多組的設計參數資料和其對應的行為表現，然後以此為基底來產生模型。我們先將其基準模型建立成兩種型態，一種是飽合區之基準模型樣本，另外一種則是 subthreshold 區之基準模型樣本，從兩操作區的電流公

式去做微分便可得到其關係式之樣本如下面式子(4-1,4-2)所表示。

$$\begin{aligned} G_{m-sat} &= C_{sat-0} \times I_D^{\alpha_{sat-1}} \times V_{ov}^{\alpha_{sat-2}} \\ &= 2.71828^{\alpha_{sat-0}} \times I_D^{\alpha_{sat-1}} \times V_{ov}^{\alpha_{sat-2}} \end{aligned} \quad (4-1)$$

$$\begin{aligned} G_{m-sub} &= C_{sub-0} \times I_D^{\alpha_{sub-1}} \times (ExpV_{ov})^{\alpha_{sub-2}} \\ &= 2.71828^{\alpha_{sub-0}} \times I_D^{\alpha_{sub-1}} \times (ExpV_{ov})^{\alpha_{sub-2}} \end{aligned} \quad (4-2)$$

其中常數的部份設計成 2.71828 為底數， α_0 為指數的關係，是因為要同時做指數項係數的逼近，因此將其轉換形式以方便運算。當我們有了這樣的一個模型樣本之後，我們針對一個基本的 PMOS 元件做掃視，利用基本電流鏡的架構去掃視一個 PMOS 的電流和寬度，然後從模擬之後的列表檔案中得到所有的電流值和 overdrive 電壓值以及其對應之轉導值。我們將得到的所有資料，依照 overdrive 電壓值區分成操作在飽和區的以及操作在 subthreshold 區的資料群，然後再個別依照上面的兩種模型樣本去讓 Posynomial 產生器去產生所需要的模型。我們將共軛梯度和牛頓之容忍誤差度設定在 0.00001，並將兩迴圈之執行上限 i_{max} 以及 j_{max} 設定在 10000，這樣的一個容忍誤差度算是比較高的要求，逼近所花費的時間也較久，將上萬組資料丟入運算需要花費數分鐘至十分鐘不等的時間才能完成，但是為了得到較準確的模形，這是必需的。

我們使用 65 奈米製程，Hspice 2007 的模擬環境，對一個 PMOS 和一個 NMOS 元件模擬，電流從 1 A~10 A，寬度從 1 m~200 m。我們利用模擬而得到的資料來進行逼近的動作，建立了 G_m 和 I_d 以及 V_{ov} 之關係。我們將這一關係的模型樣本分成兩種，一種是飽和區的模型樣本如式子(4-1)，而另一種則是 subthreshold 區的模型樣本如式子(4-2)。

在 Intel Core2 2.13GHz 以及 Windows XP 的執行環境下，逼近一組模型所

花費時間大約不超過 2 分鐘，而且逼近出來的模型和實際模擬值的誤差也
 能夠維持在一定的範圍之內，而其逼近出來的結果則如下表(4-2)所示，
 G_{m-sat} 和 G_{m-sub} 分別是飽和區和 subthreshold 區的轉導值，而 α_{sat-i} 和
 $\alpha_{sub-i}(i=0-2)$ 則是其轉導值的模型樣本中的參數所對應到的指數係數。

表 4-2 共軛梯度法逼近之函式指數係數結果

	TT	FF	SS
G_{m-sat}	$\alpha_{sat-0}=1.0793$	$\alpha_{sat-0}=1.04677$	$\alpha_{sat-0}=1.06815$
	$\alpha_{sat-1}=1.01146$	$\alpha_{sat-1}=1.00855$	$\alpha_{sat-1}=1.0109$
	$\alpha_{sat-2}=-0.720069$	$\alpha_{sat-2}=-0.719934$	$\alpha_{sat-2}=-0.721921$
G_{m-sub}	$\alpha_{sub-0}= 2.96235$	$\alpha_{sub-0}= 2.9657$	$\alpha_{sub-0}= 2.95294$
	$\alpha_{sub-1}= 1.00058$	$\alpha_{sub-1}= 1.00047$	$\alpha_{sub-1}= 1.00018$
	$\alpha_{sub-2}= -3.69973$	$\alpha_{sub-2}= -3.71841$	$\alpha_{sub-2}= -3.66833$

我們將這樣的結果來和原本的模擬結果以及公式計算的結果來做一個比
 較，觀察 G_m/I_d 對 V_{ov} 的關係圖，可以發現公式計算的曲線和模擬結果誤差
 相當的大，而逼近的結果則能夠很接近模擬結果的曲線，如下圖 Fig 4-1
 所示。

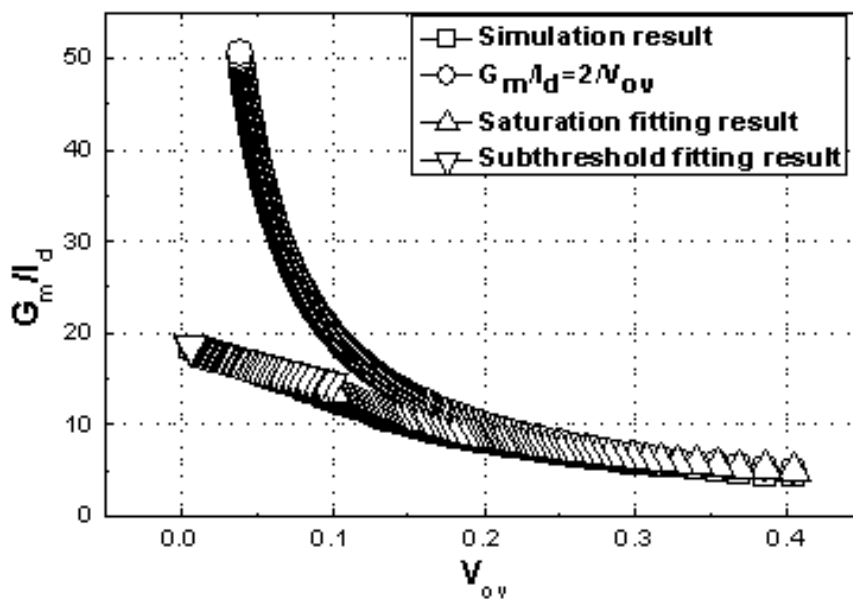


Fig 4-1 分段逼近之結果與模擬結果,簡化方程式曲線比較圖

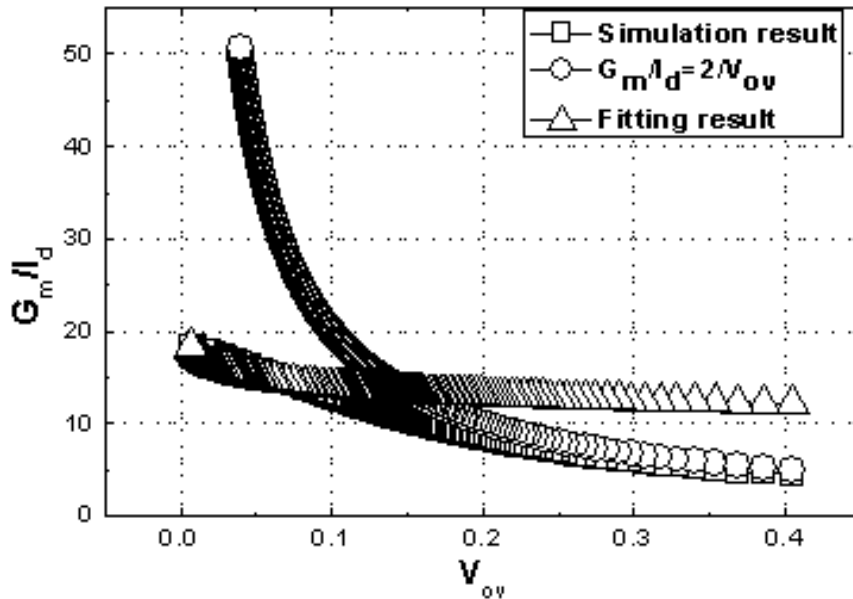


Fig 4-2 無分段逼近之結果與模擬結果,簡化方程式曲線比較圖

上圖中的紅色曲線就是我們所熟知的公式 $G_m/I_d=2/V_{ov}$ ，而黑色曲線則是實際模擬所得到的關係趨線，藍色和綠色則是利用逼近的演算法所得到的方程式曲線，可以明顯的看出藍色和綠色兩段幾乎能夠跟模擬的結果一模一樣。另外我們順便在這邊逼近了一組不分操作區域的結果，用的樣本模型則是和一般飽和區的樣本模型相同，從上面的結果圖示 Fig 4-2 可以看的出來結果相當不理想，因為在 subthreshold 區的樣本模型中的 V_{ov} 對 G_m 的關係還有指數的影響在其中，如果跟飽和區一視同仁用同樣的樣本模型去逼近，結果可想而知。

4.2 幾何規畫

有了 Posynomial 產生器所產生的元件模型，再加上先前電路分析所得到的電路行為模型，我們已經可以用這些已知的條件來做幾何規畫，找出小訊號分析的最佳解。讓我們再來歸納一下這些條件限制

元件特性條件限制

因為在我們的設計流程當中，幾何規劃只需要負責幫我們找出各個元件的小訊號參數和電流分配的解，因此在這個部分便不需要考慮到元件面積的條件限制。我們在剛剛已經有了逼近出來的轉導值和電流關係之結果如下式(4-3)、(4-4)所示

$$G_{m-sat} = 2.71828^{1.0793} \times I_D^{1.01146} \times V_{ov}^{-0.720069} \quad (4-3)$$

$$G_{m-sub} = 2.71828^{2.96235} \times I_D^{1.00058} \times (ExpV_{ov})^{-3.69973} \quad (4-4)$$

因為希望可以達到低功率設計，所以我們讓第一級輸入級提供轉導值之元件操作在 subthreshold 區，至於第二級輸入級因為有電流放大的幫助，所以需要提供之轉導值並不用太高，在低功率設計下依然可以用飽和區的操作情況下來滿足，從這些考量情況下我們可以得到兩個條件式子(4-5)、

(4-6)

$$G_{m1,2} = 2.71828^{2.96235} \times I_{D1,2}^{1.00058} \times (ExpV_{ov1,2})^{-3.69973} \quad (4-5)$$

$$G_{m9} = 2.71828^{1.0793} \times I_{D9}^{1.01146} \times V_{ov9}^{-0.720069} \quad (4-6)$$

而從定義可知此兩條件式為 monomial 函式，而且是屬於等值條件式。

另外關於提供轉導之元件的過驅電壓，其考慮因素主要是其操作區域和面積的影響。若是要使用飽和區的元件模型，則其過驅電壓的範圍則需要在 0.1~0.5，這個範圍內能夠在微安培等級的電流中設計出大部分需要的轉導質，當然這個範圍是可以調整的，如果將下限提高的話將會付出較多的電流做為代價，一切就看使用者的取捨了。另外如果是使用 subthreshold 區的模型，則其過驅電壓的範圍會跟飽和區的有些不同，選擇絕對值在 0.01~0.1 之間的電壓是較為合理的，從先前得出的模形式中我們可以發現 subthreshold 區的元件轉導值會跟其過驅電壓絕對值呈正比，但是過驅電壓絕對值卻也跟面積成正比。因此若是將上限設定得太高的話，在之後做尺

寸設計時可能會出現面積相當大的結果，這是我們所不願意見到的。所以關於過驅電壓的條件限制我們可以列出如下面式子(4-7)、(4-8)所示

$$0.01 \leq V_{ov1,2} \leq 0.1 \quad (4-7)$$

$$0.1 \leq V_{ov9} \leq 0.5 \quad (4-8)$$

這兩個條件限制皆為 posynomial 函式，且為不等式條件限制。

此外關於元件輸出阻抗的部分，由於元件之長度我們會由產生元件尺寸之方法來做處理，但是為了能夠計算出線性穩壓器所需之電流，我們在這邊選擇比較傳統的元件特性模型來使用

$$R_{o8} = \lambda \frac{l_8}{i_{d8}} \quad (4-9)$$

$$R_{o11} = \lambda \frac{l_{11}}{i_{d11}} \quad (4-10)$$

$$R_{o12} = \lambda \frac{l_8}{i_{d12}} \quad (4-11)$$

其中 λ 是常數，而式子(4-9)-(4-11)皆為 monomial 函式，且他們皆為等式條件限制。

小訊號轉移方程式條件限制

從第二章的電路分析當中，對於這部分的條件限制我們已經非常清楚了，在這邊我們會彙整並且列出。

首先從轉移方程式已經知道，誤差放大器的增益會是如式子(4-12)所示，而為了要達到電器規格的要求，則有另外幾個條件限制如式子(4-13)所示

$$A_{EA} = G_{m1,2} \times R_{o8} \times n \times G_{m9} \times (R_{o11} // R_{o12}) \quad (4-12)$$

$$\frac{1}{A_{EA} \times \beta} \geq \text{Line Regulation} \quad (4-13)$$

$$A_{EA} \geq |A_{PSRR@dc}| \quad (4-14)$$

其中 n 為第二級電流放大之比例。在式子(4-12)中，因為第一級提供輸出阻抗的部分是由一個 PMOS 和一組疊接的 NMOS 並聯而成，因此我們將其化簡成由 PMOS(M8)提供。而此式為 posynomial 函式而且是等式條件限制，不過若是讓 R_{o11} 等於 R_{o12} 來讓其能夠有效提供第二級輸出阻抗，則式子(4-12)則可以改寫成 monomial 函式。另外同理(4-13)(4-14)也可以是 monomial 函式，不過卻是不等式條件限制。

而關於頻率響應的部分，從第二章的分析結果，我們可以知道頻寬和小訊號參數之間的關係，相位邊限和各個極點之間的關係，PSRR 的頻寬和小訊號參數之間的關係，下面將會一一列出。

頻寬的部分比較單純，直接由電器規格來限制其表現，所以我們的條件限制式子如下式(4-15)所示

$$GBW = \frac{G_{m1}}{2\pi C_c} \geq GBW_{spec} \quad (4-15)$$

其中 GBW_{spec} 就是電器規格所給定之頻寬。而這樣一個條件限制是 monomial 函式而且為不等式條件限制。

至於極點的部分，考量到相位邊限的關係，我們要讓第二極點(f_{p2})和第三極點(f_{p3})擺放在距離頻寬夠遠的地方，再加上轉移方程式所得到的第二和第三極點的關係式，因此我們可以列出他們的條件限制如下面式子(4-16)、(4-17)所示

$$f_{p2} = \frac{nG_{m9}G_{mp}(R_{o11} // R_{o12})}{2\pi C_L} \geq 2 \times GBW \quad (4-16)$$

$$f_{p3} = \frac{1}{2\pi(R_{o11} // R_{o12})C_{par2}} \geq 4 \times GBW \quad (4-17)$$

這邊兩式子皆為 posynomial 函式且為不等式條件限制，不過跟前面一樣的道理也可以化成 monomial 函式。

另外關於 PSRR 的頻寬對小訊號參數的關係，我們從前面第二章的分

析可以得到如式子(4-18)的條件限制

$$f_{PSRR-p1} = \frac{1}{2\pi R_{o8} C_c} \geq f_{PSRR-spec} \quad (4-18)$$

其中 $f_{psrr-spec}$ 是 PSRR 頻寬的電器規格要求。而此條件限制為 monomial 而且是不等式條件限制。

有關頻率響應和各個小訊號參數之間的條件限制皆已詳細列出，接下來將會針對其他電路部分之條件限制做說明。

其他條件限制

最後我們要來看一些其他的條件限制。首先將會討論電流分配以及增益分配的比例了。電流分配也就是第二級之電流鏡電流放大比例，其值不能太小(我們將在下一節尺寸設計再做說明)，因此這個比例我們大概取 2 為下限。而增益分配比例，我們設計希望兩級之間的增益不要過於懸殊，造成兩級輸出阻抗差距過多，不論是 R_{o1} 遠大於 R_{o2} 或是 R_{o2} 遠大於 R_{o1} ，都可能會讓之後的尺寸設計上產生不必要的困擾。在這樣的考量下，我們將兩級增益比例限制在大約 0.3~1.5 之間，這樣的限制下會比較來的平衡。因此針對這兩點我們可以列出兩個條件限制

$$n \geq 2 \quad (4-19)$$

$$0.3 \leq m \leq 1.5 \quad (4-20)$$

條件限制式(4-19)為 monomial 而(4-20)則為 posynomial，而兩式皆為不等式條件限制。

有了這樣的分配比例之後，我們必須在對電流或是小訊號參數之間的關係做些限制，下列式子將會定義其關係

$$i_{d1,2} = i_{d8} = i_{d9} \quad (4-21)$$

$$n \times i_{d9} = i_{d11,12} \quad (4-22)$$

$$G_{m1} R_{o8} = m \times n \times G_{m9} (R_{o11} // R_{o12}) \quad (4-23)$$

如同第二章裡面關於元件尺寸產生之流程中所述，我們讓第一級每一條電流路徑的比例皆為 1，並且在第二級做 n 倍放大，另外兩級之間的增益比例則是以 m 倍的關係。上列式子(4-21)-(4-23)皆為 monomial 且為等式條件限制。

所有的條件限制式子皆已列出，透過這些條件限制並且用幾何規畫做最佳化運算便可以得出各個小訊號參數和電流的數值。我們最後在表格(4-3)中將所有的條件限制式子做個總整理

表格 4-3 條件限制式子一覽

<pre> %transistor model gm1 = subgmCoeff*(id1^subalpha1)*(vov1^subalpha2); gm2 = gmCoeff*(id1^alpha1)*(vov2^alpha2); ro1 = lemda*11/id1; ro2 = lemda*12/id2; vov1 <= 1.15; vov2 <= 1.648721271; 1.0010005 <= vov1; 1.2210005 <= vov2; </pre>
<pre> %Circuit Behavior define m = id2/id1; n = gm1*ro1/(gm2*m*ro2); gain = gm1*gm2*m*ro1*ro2; ft = (1/2/pi)*(gm1/cc); fp2 = gm2 /2/pi/cp2; fp3 = gmp /2/pi/cl; </pre>
<pre> %Circuit constraint eagain <= gain; GBW <= ft; 2*GBW <= fp2; 4*GBW <= fp3; 4 <= m; n <= 1.5; 0.1 <= n; ro1 <= 10e6; </pre>

```
ro2 <= 10e6;  
5*id1+id2 <= 40e-6;
```

幾何規劃目前已經有由[1]在 Matlab 的環境下提供一個完整的演算法程式碼，我們用此環境來執行幾何規劃，在短短幾秒至十幾秒內便可以得到各個設計參數的最佳解。

4.3 電路設計結果

從前面幾何規劃的電路分析中，我們整理出一份完整的條件限制清單，然後配合已逼近之電路元件模型做計算之後，我們可以得到在最佳化條件之下所需要的小訊號參數，電流大小以及增益分配和電流分配之比例。透過這些設計參數資訊，我們再度利用第二章所提供的元件尺寸產生之流程來做為尺寸大小產生引擎。我們在 Windows XP 和 Hspice 2009 的模擬環境下，使用 C 語言撰寫控制並呼叫 Hspice 的引擎來產生尺寸大小。下表 4-4 是透過我們的尺寸產生引擎所得到的電路各元件之尺寸大小。另外下表 4-5 則是電器規格和驗證之後的電路表現，我們所訂的電器規格是當輸出電壓為 2.5 伏，輸出電流為 200 毫安培的環境下，頻寬要求 80 萬赫茲，線調節則是 10 毫伏，負載調節為 3 毫伏，相位邊限要 50 度，功率消耗在 40 μ A 以內。另外 Power supply rejection ratio 則是皆為 -70dB 在 1 千赫茲，-60dB 在 1 萬赫茲的規格。而誤差放大器的估算則需要 70dB。

而圖 Fig4-3 和 Fig4-4 則分別是在 200 毫安培和 1 毫安培、輸入電壓從 3 伏特至 4 伏特時，電路的頻率響應表現，在 1 毫安培時候共軛極點出現但是卻離增益頻寬較遠，其暫態響應如圖 Fig 4-6 也因此來的比較好一些。另外圖 Fig 4-5 是電路的 PSRR 表現，在 200 毫安培的輸出電流、輸入電壓從 3 伏特至 4 伏特情況下，皆能夠在 1KHz 和 10KHz 低於 -50dB 和 -30dB，而且觀察其上升斜率確實也是十倍比上 20dB

表格 4-4 電路元件尺寸一覽

Device	Width/Length
M1,M2	26.07 μ m/0.55 μ m
M3,M4	2.756 μ m/0.7 μ m
M5,M6	1.378 μ m/0.7 μ m
M7,M8	1.378 μ m/0.55 μ m
M9	1.378 μ m/0.55 μ m
M10	1.378 μ m/0.7 μ m
M11	13.78 μ m/0.7 μ m
M12	13.78 μ m/6.2 μ m
Power PMOS	11600 μ m/0.45 μ m

表格 4-5 電器規格和電路設計結果一覽

	Specification	Manual design			Optimization design		
		TT	FF	SS	TT	FF	SS
V_{in}		3 V~4 V					
V_{out}		2.5 V					
I_{out} & Load Cap		200 mA / 100pF					
GBW(open loop)	800 KHz	1.38MHz	1.45MHz	1.31MHz	1.39MHz	1.43MHz	1.36MHz
Line regulation	10 mV	<0.1 mV			<0.1 mV		
Load regulation	3 mV	<1 mV			<0.5 mV		
Error amplifier gain(dB)	57	70.79	68.79	72.38	70.62	65.49	74.1
Phase margin	50	71.15	70.07	69.83	83.43	83.01	83.78
PSRR	<-50dB @ 1KHz <-30dB @ 10KHz	< -54.5dB @ 1KHz < -37.2dB @ 10KHz			< -56.1dB @ 1KHz < -36.1dB @ 10KHz		
Quiescent current	40 μ A	39.06 μ A	39.02 μ A	39.08 μ A	29.45 μ A	29.24 μ A	29.53 μ A
Area(mm ²) w/o power MOS		83.11			33.65		
Power saved					25%		

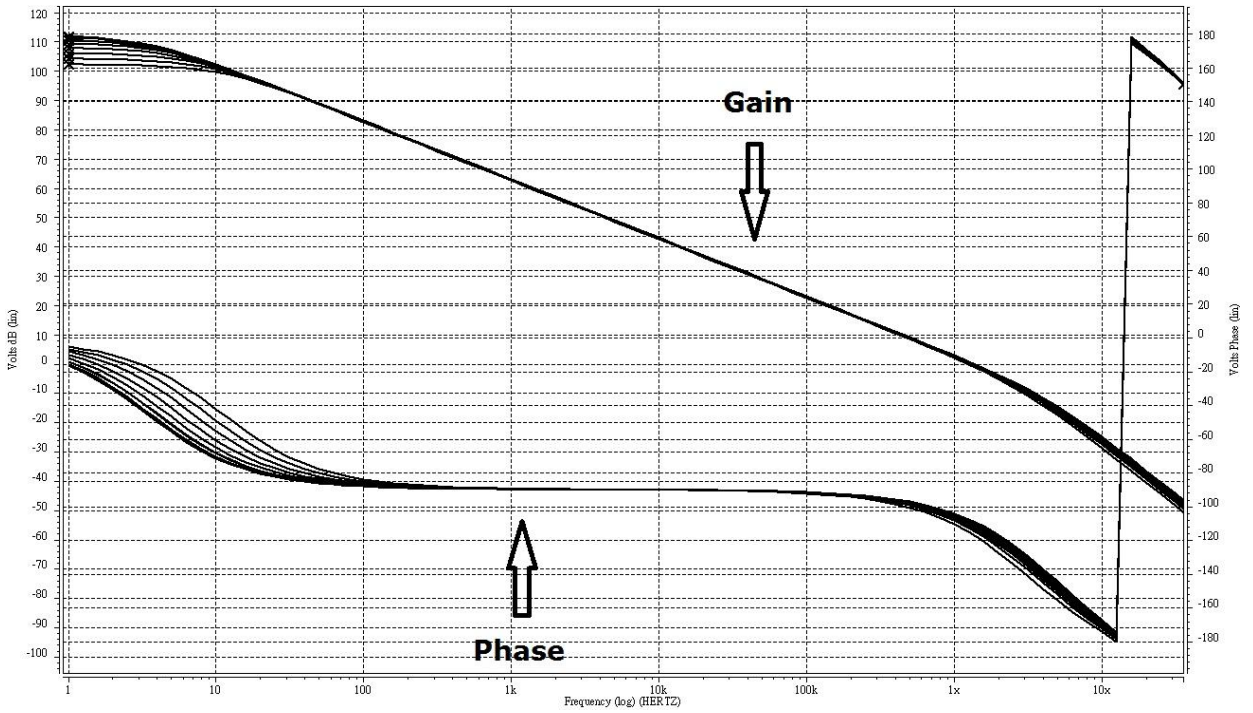


Fig 4-3 NMC 架構在 200mA 負載電流下之頻率響應@ $V_{in}=3V-4V$

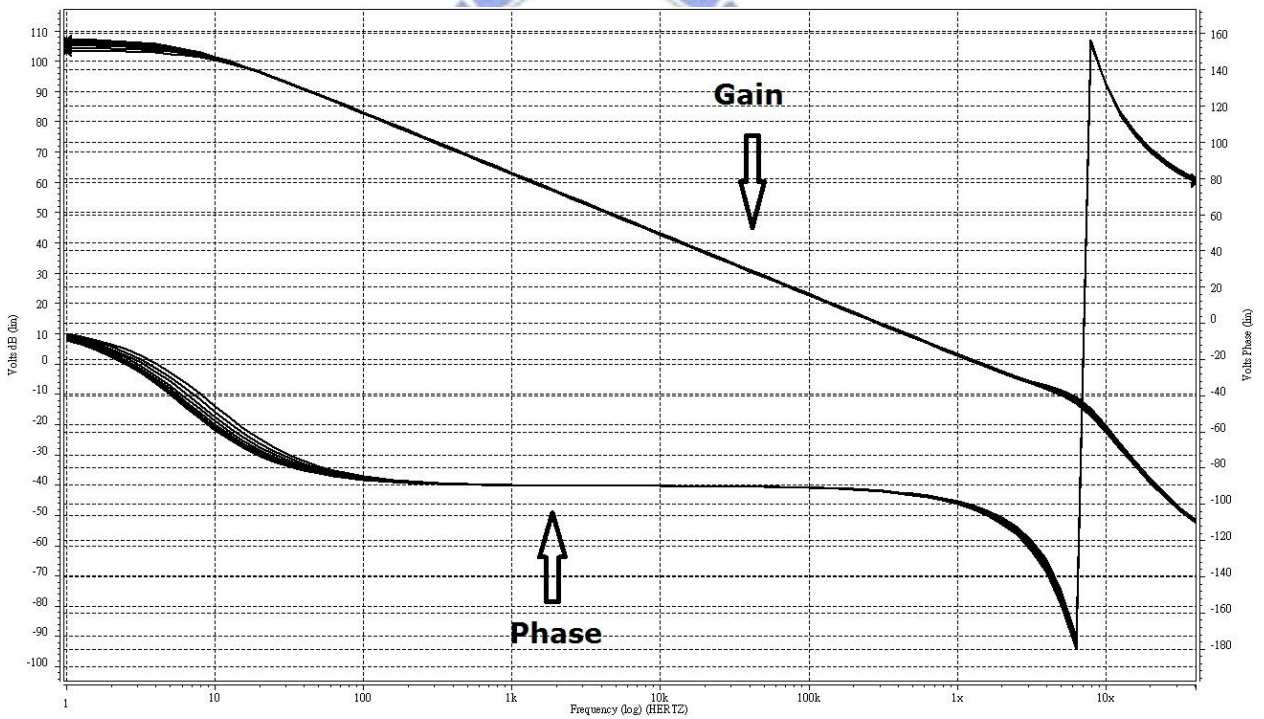


Fig 4-4 NMC 架構在 1mA 負載電流下之頻率響應@ $V_{in}=3V-4V$

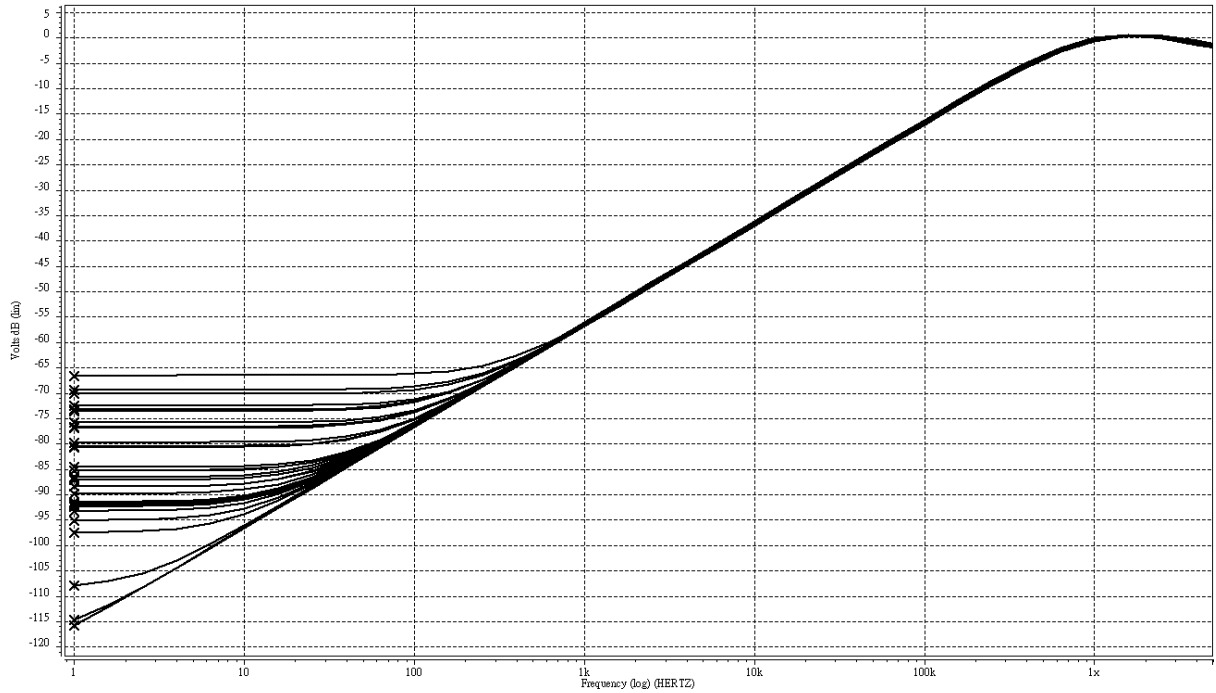


Fig 4-5 PSRR 在 TT,FF,SS 下的表現 @ $V_{in}=3V-4V$, $I_{load}=200mA$

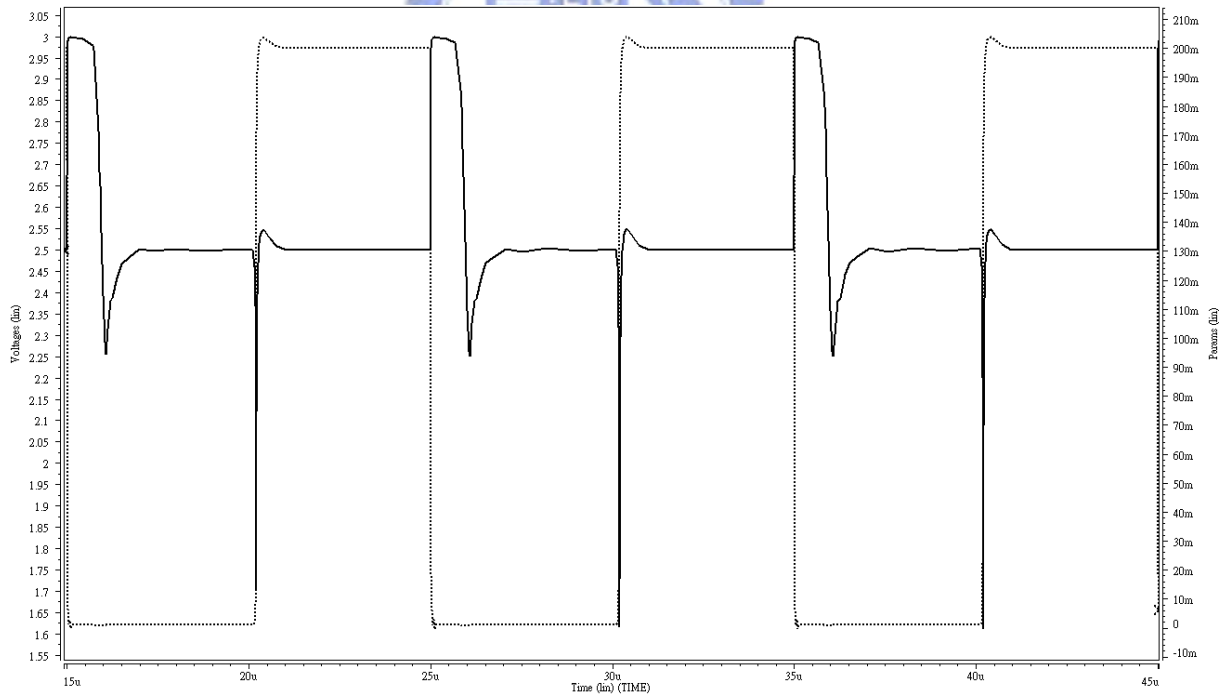


Fig 4-6 負載電流變化範圍 1mA~200mA 的暫態響應 @ $V_{in}=3V$

透過最佳化設計得到的結果，比一般手動設計的結果，在功率消耗上節省了將近 13%，這個結果告訴我們幾何規劃配合尺寸產生流程是可以順利設

計出符合電器規格之電路，同時能達到最佳化設計的目的。



章節5.

結論

本篇論文的主要目的是希望能夠建立一個類比電路最佳化自動設計之流程。為了能夠達到這個目標，我們選擇了一種常用的類比電路—線性穩壓器做為我們的目標電路，然後利用一種模擬輔助的方法— G_m/I_d 方法做為元件尺寸大小之產生的方法，並且配合幾何規劃的幫助來達到最佳化設計。

我們會在這邊再次回顧一下我們的研究結果

第一個就是透過我們所提出的設計流程，利用模擬輔助設計的 G_m/I_d 方法，我們可以在高階製程上(65 奈米) 透過程式控制模擬軟體 Hspice 掃視並自動化產生電路元件之尺寸大小，同時所產生之結果也能夠滿足我們所想要達到的電器規格表現，任何高階製程所面臨到的設計問題都不會影響到我們的設計。而且因為是模擬輔助設計的關係，這樣的設計流程可以任意移植到不同的製程上面，並且馬上就能針對不同的製程設計元件尺寸，不需要花時間另外再調整設計。唯一需要注意的是當目標電路架構改變了，那麼電路區塊模型也得跟著改變，而產生尺寸大小的過程可能也會有些微的異動，不過主要的過程精神還是不變。

第二個則是在幾何規劃的幫助下，我們可以不需要任何初始假設，只需要給齊足夠的並且嚴謹的條件限制，也就是電路行為模型和元件特性模型，那麼便可以得到在規格要求下求得所有參數的最佳解，而且會是全域的最佳解。透過幾何規劃的計算，從電流分配比例到小訊號參數等等都可以準

確的得出，然後利用這些結果資訊進一步去進行模擬輔助設計來產生元件尺寸大小。

另外小訊號模型的逼近，我們也用了共軛梯度演算法，一個能夠求出元件特性方程式的各項設計參數之指數係數，並且經過比較之後能夠高度穩合實際的模擬結果，這樣可以保證我們在做幾何規劃時所求得的最佳解能夠最接近真實的結果，減少誤差的產生。

最後就是整個設計流程從元件特性模型產生，並配合電路行為模型進行幾何規劃，得到設計參數的最佳解之後，最後使用模擬輔助設計方法來產生元件尺寸大小，整個過程花費時間也相當迅速，大約只需幾分鐘到十幾分鐘的時間之內便可以完成一個線性穩壓器的設計，這是非常方便且實用的一個最佳化自動設計流程。



參考文獻

- [1] F. Silveria, D. Flandre, P. G. A. Jespers, “A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA,” *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 9, pp. 1314-1319, Sep. 1996.
- [2] Maria del Mar Hershenson, Stephen P. Boyd, and Thomas H. Lee, “Optimal Design of a CMOS Op-Amp via Geometric Programming,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 20, No. 1, pp. 1-21, Jan. 2001.
- [3] W. Daems, G. Gielen, W. Sansen, “An Efficient Optimization-based Technique to Generate Posynomial Performance Models for Analog Integrated Circuits,” *Design Automatic Conference*, pp. 431-436, June 2002.
- [4] T. Eeckelaert, W. Daems, G. Gielen, W. Sansen, “Generalized Posynomial Performance Modeling,” *Design, Automation and Test in Europe Conference and Exhibition*, pp. 250-255, 2003(DATE 2003).
- [5] W. Daems, G. Gielen, W. Sansen, “Simulation-Based Generation of Posynomial Performance Models for the Sizing of Analog Integrated Circuits,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 22, No. 5, pp. 517-534, May 2003.
- [6] Stephen P. Boyd and Lieven Vandenbergh, “*Convex Optimization*,” Cambridge University Press, 2004.
- [7] K. R. Laker and W. M. C. Sansen, “*Design of Analog Integrated Circuits and Systems*,” McGraw-Hill, 1994.
- [8] Ka Nang Leung and Philip K. T. Mok, “Analysis of Multistage Amplifier-Frequency Compensation” *IEEE Transaction on Circuits and Systems-I*, Vol. 48, No. 9, pp. 1041 – 1056, Sept 2001.
- [9] Xiaohua Fan, Chinmaya Mishra, Edgar Sanchez-Sinencio, “Single Miller Capacitor Frequency Compensation Technique for Low-Power Multistage Amplifiers” *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 3, pp.584-592, Mar 2005.
- [10] Jonathan Richard Shewchuk, “An Introduction to the Conjugate Gradient

Method Without the Agonizing Pain”, August, 1994
<http://www.cs.cmu.edu/~quake-papers/painless-conjugate-gradient.pdf>

- [11] Robert K. Brayton, Gray D. Hachtel, etc, “A Survey of Optimization Techniques for Integrated-Circuit Design” *Proceeding of The IEEE*, Vol. 69, No. 10, pp. 1334-1362, Oct 1981.
- [12] Sergio Pernici, Germano Nicollini, Rinaldo Castello, “A CMOS Low-distortion Fully Differential Power Amplifier with Double Nested Miller Compensation” *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 7, pp. 758-763, July 1993.
- [13] Vishal Gupta, Gabriel A. Rincon-Mora, Prasun Raha, “Analysis and Design of Monolithic, High PSR, Linear Regulators for Soc Applications” *IEEE International SOC Conference*, pp. 311-315, 2004.
- [14] Yali Shao, Yi Wang, Zhihua Ning, Lenian He, “Analysis and Design of High Power Supply Rejection LDO” *IEEE 8th International Conference on ASIC*, pp. 324-327, 2009.
- [15] Gabriel A. Rincon-Mora, P. E. Allen, “A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator”, *IEEE Journal of Solid-State Circuits*, vol. 33, no. 1, pp. 36-44, Jan 1998.
- [16] Ramy Tantawy, Elizabeth J. Brauer, “Performance Evaluation of CMOS Low Drop-Out Voltage Regulators”, *The 47th IEEE International Midwest Symposium on Circuits and Systems*, 2004.
- [17] Sai Kit Lau, Ka Nang Leung, Philip K. T. Mok, “Analysis of Low-Dropout Regulator Topologies for Low-Voltage Regulation” *IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 379-382, 2003
- [18] Pual R. Gray, Rual J. Hurst, Stephen H. Lewis, Robert G. Meyer “*Analysis and Design of Analog Integrated Circuits*,” Wiley, 2001.
- [19] Behzad Razavi, “*Design of Analog CMOS Integrated Circuits*”, McGraw-Hill, 2000.
- [20] DasGupta. S, Mandal. P “An automated design approach for CMOS LDO regulators,” *Asia and South Pacific Design Automation Conference*, pp. 510-515, 2009.
- [21] Gabriel A. Rincon-Mora, Phillip E. Allen “Study and Design of Low Drop-Out Regulators”