

國立交通大學

電子工程學系

電子研究所碩士班

碩士論文

CMOS 光通信接收機設計

**Design of CMOS Receivers for Optical
Communications**



研究生：周順天

指導教授：陳巍仁 教授

中華民國九十九年十一月

CMOS 光通信接收機設計

Design of CMOS Receivers for Optical Communications

研究生：周順天

Student : Shun-Tien Chou

指導教授：陳巍仁 博士

Advisor : Prof. Wei-Zen Chen



國立交通大學
電子工程學系 電子研究所
碩士論文

A Thesis

Submitted to Department of Electronics Engineering and Institute of Electronics
College of Electrical and Computer Engineering

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master

in

Electronics Engineering

November 2010

Hsin-Chu, Taiwan, Republic of China

中華民國九十九年十一月

CMOS 光通信接收機設計

學生：周 順 天

指導教授：陳 巍 仁 博士

國立交通大學

電子工程學系電子研究所碩士班



近年來隨著多媒體資訊的快速發展，大眾對於資料傳輸效率要求越來越高，像是未來 HDMI、USB 4.0 等應用的操作速度都希望能超過 10 Gbps。但在如此高的操作速度下，傳統銅線傳輸的損耗率和電磁干擾(EMI)等問題已非常嚴重，因此具有低串音(Cross Talk)以及低電磁干擾(EMI)的光纖傳輸特性被視為適合應用於此類高密度高速率的資料傳輸媒介。因此，在互補式金屬氧化物半導體(CMOS)製程下實現小面積、低成本的光纖收發機電路，以期應用於高密度傳輸平台之系統單晶片設計，因此完成一個高整合度的高速光電積體電路(Optoelectronic integrated circuit, OEIC)將是此篇論文的目標。

本篇論文設計了兩顆晶片，分別為相容於 90 奈米互補式金屬氧化物半導體(CMOS)製程來實現操作於 10 Gbps 的光電積體電路(Optoelectronic integrated circuit, OEIC)，以及用 65 奈米互補式金屬氧化物半導體(CMOS)製程來實現操作於 40 Gbps 的光纖接收端前級電路，希望可以分別將光訊號以及光電流訊號完整地轉換成後端數位可解調之電壓訊號準位。

第一個晶片於 90 奈米 CMOS 製程下整合了一個逆偏壓為 1.2 V 的 CMOS 積體化光感測器(Photodetector, PD)，一個轉阻放大器(Transimpedance Amplifier, TIA)，一個適應性等化器(Adaptive Equalizer, EQ)，以及一個後級限幅放大器(Limiting Amplifier, LA)於單晶片設計。OEIC 提供 92 dBΩ 的整體增益，並且針對 CMOS PD 的物理特性利用適應性的類比等化器(Equalizer)進而讓 OEIC 可以操作到 10 Gbps 的資料速度，而 OEIC 的輸入功率靈敏度為 -4 dBm。在整顆晶片耗功 130 毫瓦。晶片面積是 0.57 mm²。

第二個晶片為一個操作於 40 Gbps 的光通訊接收機，整體架構中包含了一個轉阻放大器(Transimpedance amplifier, TIA)和一個後級限幅放大器(Limiting Amplifier, LA)，架構中運用了分離節點式串聯峰化、並聯峰化的高頻補償技術、以及逐級套疊式主動回授(Nested active feedback)架構等方法來提升接收機整體效能，進而提供 92 dBΩ 的整體轉換增益、35 GHz 的 -3dB 頻寬、以及 800 mV_{pp} 的差動輸出擺幅，平均的輸入參考雜訊(Input-referred noise) 為 14 pA/√Hz。此晶片採用 65 nm CMOS 標準製程，晶片面積為 0.825 mm²。



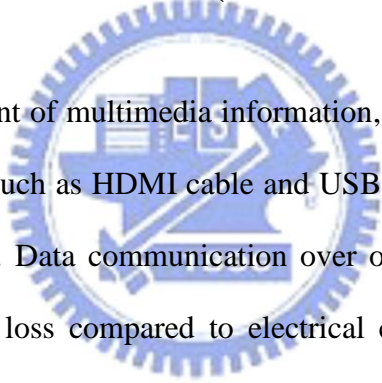
Design of CMOS Receivers for Optical Communications

Student: Shun-Tien Chou

Advisor: Prof. Wei-Zen Chen

*Department of Electronics Engineering & Institute of Electronics
College of Electrical and Computer Engineering
National Chiao-Tung University*

ABSTRACT (ENGLISH)



With the rapid development of multimedia information, people need higher data transfer efficiency. Many applications such as HDMI cable and USB 4.0 are expected to design more than 10 Gbps operating speed. Data communication over optical links benefits from wider bandwidth and lower channel loss compared to electrical counterparts. Fiber channels are widely deployed for long haul telecommunications as network backbone. Optical links are drawing more and more attentions in these applications for their superiorities in less cross-talk, lower EMI, and fewer equalizer needed for data rate up to 10 Gbps. As a result, implementation of optoelectronic integrated circuits (OEIC) in CMOS technology with small form factor and low cost becomes a challenging and practical research topic for the SOC design of the high density communication platform.

This thesis consists of two chips, respectively, 10 Gbps CMOS OEIC with adaptive equalizer in 90-nm CMOS technology and 40 Gbps optical receiver analog front-end in 65-nm CMOS technology. The 10 Gbps CMOS OEIC consists of a novel spatially-modulated photo detector (SMPD) under a low reverse-biased voltage of 1.2 V, a low-noise

trans-impedance amplifier (TIA), a post limiting amplifier, and a adaptive equalizer on a single chip. The optical receiver is capable of delivering 92 dBΩ conversion gain when driving 50 Ω output loads. The input sensitivity of the optical receiver is about 30 μA_{pp}, and the measured responsivity of the photo detector is about 37 mA/W. The input sensitivity of the optical receiver is -4 dBm for BER less than 10⁻¹² under 2⁷ - 1 PRBS test pattern. The core circuit dissipates 130 mW. Fabricated in 90 nm CMOS technology, chip size is 0.57mm².

The 40 Gbps optical receiver analog front-end integrating both transimpedance amplifier and limiting amplifier is presented. Incorporating nested feedback, split-node series peaking, and shunt peaking techniques, the optical receiver provides a conversion gain of 92 dBΩ, -3dB bandwidth of 35 GHz, and 800mV differential output voltage swing. The average input referred noise of the optical receiver is 14 pA/√Hz. The core circuit dissipates 168 mW. Fabricated in 65 nm CMOS technology, chip size is 0.825mm².



Contents

摘要.....	i
Chapter 1 Introduction.....	1
1.1 研究動機.....	1
1.2 論文概要.....	5
Chapter 2 Transimpedance Amplifier.....	6
2.1 設計規格考量.....	7
2.2 轉阻放大器架構分析.....	8
2.2.1 轉阻放大器架構雜訊比較.....	8
2.2.2 核心放大器架構分析.....	11
2.3 轉阻放大器模擬結果與雜訊分析.....	17
Chapter 3 Limiting Amplifier.....	20
3.1 設計規格考量.....	21
3.2 設計重點與架構分析.....	23
3.2.1 設計流程.....	23
3.2.2 頻寬上的議題.....	24
3.3 提出的後級限幅放大器.....	26

3.3.1	逐級分析結點等效阻抗.....	26
3.3.2	增益峰化組合.....	30
3.4	偏差消除電路.....	34
3.4.1	低通回授路徑.....	34
3.4.2	減法器.....	36
3.5	模擬結果.....	37
Chapter 4 Adaptive Equalizer and Buffer		39
4.1	適應性等化器系統架構與運行.....	40
4.1.1	操作特性討論.....	40
4.1.2	說明頻譜偵測功能細節.....	42
4.2	等化濾波器(Equalizing Filter).....	45
4.2.1	CMOS SM PD 的元件特性.....	45
4.2.2	所提出的等化濾波器(Equalizing Filter)	49
4.3	偵測系統的子電路設計.....	57
4.3.1	可調式 RC 濾波器.....	57
4.3.2	功率偵測器.....	58
4.3.3	電壓/電流轉換器.....	59
4.4	輸出緩衝器(Output Buffer).....	61

Chapter 5 A 10 Gbps fully CMOS Optical Receivers with Adaptive Equalizer.....	63
5.1 模擬環境.....	63
5.2 10 Gbps OEIC 模擬結果.....	65
5.3 量測結果.....	70
5.3.1 晶片測試.....	70
5.3.2 量測結果.....	71
Chapter 6 A 40 Gbps Optical Receiver Analog Front-End in 65 nm CMOS.....	75
6.1 光接收機設計動機與架構說明.....	76
6.2 寬頻轉阻放大器(Broadband TIA).....	77
6.2.1 轉阻放大器架構說明.....	77
6.2.2 分析共振頻率與電感感值.....	79
6.2.3 模擬結果.....	85
6.3 後級限幅放大器(Limiting Amplifier).....	86
6.3.1 架構與效能規格.....	86
6.3.2 模擬結果.....	87
6.4 輸出緩衝器(Output Buffer).....	88

6.5 量測環境架設與量測結果 90

Chapter 7 Conclusion 93

References 95



List of Figures

圖(1-1) 光通訊傳輸系統	2
圖(2-1) TIA 基本架構 (A) COMMON-SOURCE TIA (B) COMMON-GATE TIA	9
圖(2-2) 基本型(A) 2 級式 (B) 3 級式 CHERRY-HOOPER 放大器	12
圖(2-3) 零點套疊式主動回授(ZERO NESTED ACTIVE FEEDBACK)之核心放大器	13
圖(2-4) 核心放大器架構頻率響應模擬比較圖	15
圖(2-5) 零點套疊式主動回授(ZERO NESTED ACTIVE FEEDBACK)之轉組放大器	17
圖(2-6) 轉組放大器的(A)增益響應與(B)群體延遲	18
圖(2-7) 轉組放大器於 10 GBPS、輸入信號大小為 20 mA _{pp} 的輸出眼圖	19
圖(3-1) 後級放大器在有無 DC 偏移時個別輸出波形圖	22
圖(3-2) (A) 2 級式 (B) 3 級式 CHERRY-HOOPER 放大器	27
圖(3-3) 4 級式逐級套疊主動回授後級放大器架構區塊圖	28
圖(3-5) 4 級式逐級套疊主動回授後級放大器節點迴路增益	29
圖(3-6) 右移及左移回授混合點	30
圖(3-7) 右移及左移回授取樣點	31
圖(3-8) 4 級式後級放大器回授系統化簡圖	31
圖(3-10) 9 級式逐級套疊主動回授後級放大器數學式 MATLAB 模擬圖	33
圖(3-11) 加入偏差消除機制的後級放大器完整架構	35
圖(3-12) 數學模型	35
圖(3-13) 轉導減法器	36
圖(3-14) 後級限幅放大器的(A)增益響應與(B)群體延遲	37
圖(3-15) 後級放大器於 10 GBPS、20mV _{pp} 輸入信號的輸出眼圖	38
圖(4-1) 適應性等化器(ADAPTIVE EQUALIZER)系統架構	40
圖(4-2) 濾波器轉角頻率 FC 隨著資料樣型: (A) PRBS (B) 高頻率的資料轉換 (C) 長週期的 BIT 資料鏈而變動	42
圖(4-3) 長條式空間調變之光感測器(STRIPTYPE SMPD)的(A)上視圖(B)剖面圖	46
圖(4-4) 長條式空間調變之光感測器(STRIPTYPE SMPD)的電流響應	47
圖(4-5) 網狀式空間調變之光感測器(MESHED TYPE SMPD)(A)上視圖(B)剖面圖	47
圖(4-6) 在逆偏壓 1.2V 下, STRIP 和 MESHED SMPD 的頻率響應比較	48
圖(4-7) CMOS PD 電流成分響應示意圖	48
圖(4-8) 量測結果與數學模型之頻率響應圖	49
圖(4-9) 傳統源極退化放大器電路圖	50
圖(4-10) 2 級式極點主動回授式等化濾波器電路圖	52
圖(4-11) 權重式極點主動回授的 EQUALIZING FILTER 架構圖	54
圖(4-12) 提出來的可調式零點主動回授之等化濾波器電路圖	55

圖(4-13) CMOS PD & 等化濾波器的頻率響應圖	57
圖(4-14) (A)可調式低通濾波器 (B)可調式高通濾波器電路圖	58
圖(4-15) 可調式(A)低通與(B)高通濾波器的頻率響應圖	58
圖(4-16) 電壓/電流轉換器電路圖	59
圖(4-17) 電壓/電流轉換器電路圖	60
圖(4-18) 電壓/電流轉換器頻率響應.....	60
圖(4-19) 緩衝器電路圖	62
圖(5-1) 具適應性等化之 10Gb/s 全 CMOS 光感測器接收機.....	63
圖(5-2) CMOS PD_A 與 CMOS PD_B 頻率響應.....	65
圖(5-3) CASE 1: VGAIN / VFC 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖	66
圖(5-4) CASE 2: VGAIN / VFC 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖	67
圖(5-5) CASE 3: VGAIN / VFC 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖	68
圖(5-6) CASE 4: VGAIN / VFC 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖	69
圖(5-7) OEIC 布局以及 PAD 布置圖	70
圖(5-8) 量測設置圖	71
圖(5-9) 晶片圖與量測用 PCB 板.....	72
圖(5-10) 資料速度: 2.5 GBPS / 3.125 GBPS	72
圖(5-11) 資料速度: 4.25GBPS	73
圖(5-12) 資料速度: 5GBPS	73
圖(6-1) 40 GBPS CMOS 光接收機類比前端電路	76
圖(6-2) 提出的寬頻轉組放大器(BROADBAND TRANSIMPEDANCE AMPLIFIER)	79
圖(6-3) ω_{R1} 串聯共振示意圖	81
圖(6-4) ω_{R2} 串聯共振示意圖.....	84
圖(6-5) 轉組放大器的頻率響應.....	85
圖(6-6) 12 級式逐級套疊主動回授後級放大器架構.....	87
圖(6-7) 限幅放大器的頻率響應.....	88
圖(6-8) 輸出端阻抗匹配(S11)	89
圖(6-9) 緩衝器電路圖	89
圖(6-10) 晶片圖	90
圖(6-11) 量測到的接收機頻率響應圖.....	91
圖(6-12) 輸入電流速度與大小為 40 GBPS 與 120 U _{A,pp} 所量測到的接收機輸出眼圖.....	91
圖(6-13) 量測到累積的輸出端雜訊.....	92

List of Tables

表格 1 (2-1) TIA 規格	19
表格 2 (3-1) LA 規格	38
表格 3 (5-1) BENCHMARK	74
表格 4 (6-1) : 40 GBPS OPTICAL RECEIVER 規格.....	77
表格 5 (6-2) : TIA 規格	86
表格 6 (6-3) : LA 規格	88
表格 7 (6-4) : BENCHMARK.....	92



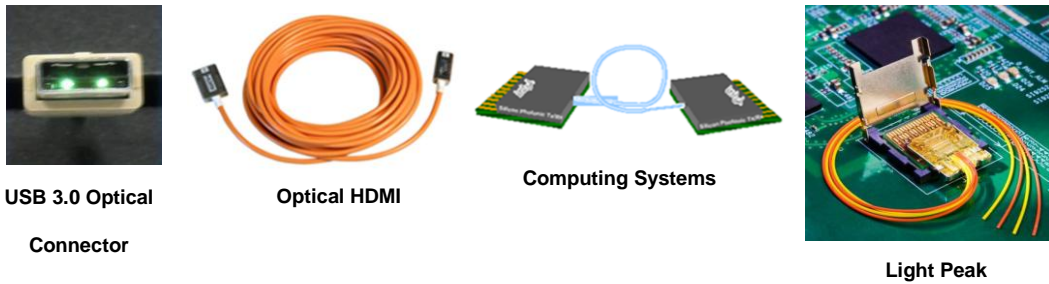
Chapter 1

Introduction



1.1 研究動機

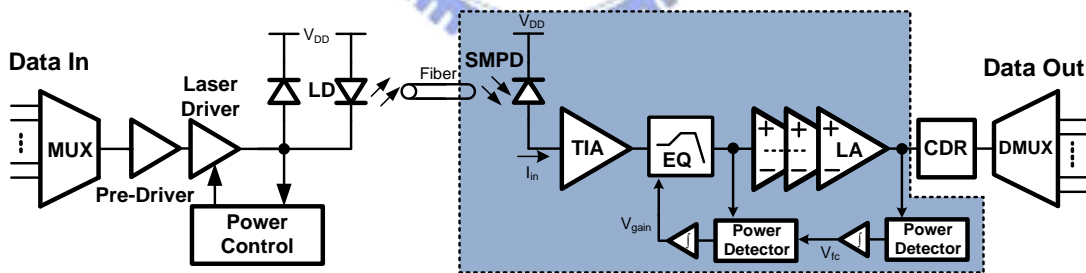
在現今快速發展的資訊時代下，傳統的銅線傳輸電訊號在高速資料傳輸系統中將面臨損耗過大、電磁波干擾(Cross talk)等嚴重缺點，因此若改以擁有高頻寬且低通道衰減的光纖來作為傳送資料的通訊媒介，將比利用傳統銅線傳送更具有優勢。今日，光通訊已經被廣泛運用於長距離的通訊，主要應用領域以網路傳輸為主，但如今隨著晶片對晶片(Chip-to-chip)之間的資料傳輸速度或是短距離資料傳輸系統(像是 HDMI、USB 4.0 等技術)的需求越來越高，傳輸介質開始改以光為發展方向，且由 Intel 公司最近所提出的 light peak 技術，短距離的光通訊系統已被認為是可行的技術。因此完成一個高整合度的高速光電積體電路(Optoelectronic integrated circuit, OEIC)將是此篇論文的目標。



在本篇論文中包含了二個晶片，分別是用 90 奈米互補式金屬氧化物半導體 (CMOS) 製程來實現操作於 10 Gbps 的光電積體電路 (Optoelectronic integrated circuit, OEIC)，以及用 65 奈米互補式金屬氧化物半導體 (CMOS) 製程來實現操作於 40 Gbps 的光纖接收端前級電路。

● **具適應性等化之 10 Gbps 全 CMOS 光感測器接收機**

傳統的多晶片系統的光感測器是利用先進製程 GaAs 或 InGaAs 所設計，而電路方面是利用 Bipolar 或是 BiCMOS 來設計，如果可以改以互補式金屬氧化物半導體 (CMOS) 製程來實現將可有效地降低晶片成本，同時也將提高接收端電路與基頻系統的整合度。



圖(1-1) 光通訊傳輸系統

CMOS 製程中，光感測器通常是以一個 PN 接面的二極體所構成，常利用 substrate / well 的接面或是 well / diffusion 的接面。而因為 850-nm 的光子於矽材料 (Silicon) 中的穿越深度超過了 Nwell 的底部，對於淺製程的 CMOS 來說，大部分的光電子都會在 Psubstrate 的地方產生，並且是以數十 MHz 的慢速度做擴散。通常 CMOS 製程下，高頻寬的光感測器必須除去該慢速的擴散電流 [1]-[6]。從製程技術方面來增加光感測器的頻寬，可以利用 SOI 製程 [1] 或是 BiCMOS [2]

製程實現，但是它們不是屬於 CMOS 製程，所以付出的成本很高。而換成 CMOS 製程時，常需利用 Nwell-Pdiffusion 二極體[3]或是 deep Nwell [4]來防止收集 Psubstrate 所產生的慢速擴散電流，但是其也因為使用了高濃度的半導體，其材料將會有數 pF 的寄生電容產生，這將嚴重影響高速接收機的設計，因此常常需利用等化器來補償 CMOS 光感測器頻寬不足的缺點[2], [7]-[9]，但因等化器能補償的頻率範圍有限，若不提升 CMOS PD 的頻寬，OEIC 系統將無法達到操作速度 10 Gbps 的傳輸目標。

為了實現更高速的光接收機系統，這裡採用空間調變式光感測器(Spatially Modulated Light Photodetector, SMLPD)來完成 CMOS 光感測器設計，空間調變式光感測器有傳統的長條式(Strip type) [1] [6]-[8] [10]，也有網狀式(Meshed type) [11]。此外，為了提高晶片的整合度，光感測器的逆偏壓希望設計為 90 奈米 CMOS 製程的供應電壓: 1.2 V。在此逆偏壓下，網狀式空間調變之光感測器雖擁有比長條式空間調變之光感測器更高的頻寬，可是其響應度(Responsivity)卻只有 20 mA/W；反觀長條式空間調變之光感測器頻寬雖只有 0.85 GHz，但其響應度是網狀式的兩倍。

綜合以上結論，本晶片選擇長條式空間調變之光感測器來作為接收 850-nm 的光，並且為了使 OEIC 達到 10 Gbps 的操作速度，也設計了一個適應性的等化器來補償感測器頻寬不足的缺點。

第一個晶片提出了一個高整合度且低成本的全 CMOS 的製程所構成的光電積體電路架構：成功整合逆偏壓為 1.2 V 的 CMOS 積體化光感測器(Photodetector, PD)，轉阻放大器(Transimpedance Amplifier, TIA)，適應性等化器(Adaptive Equalizer, EQ)，以及後級限幅放大器(Limiting-Amplifier, LA)。在電路設計上，採用一些特別的主動回授電路技巧來提升頻寬，藉此避免掉大面積的電感以及大量的功率消耗。此外，一般適應性等化系統是利用比較切片機

(Slicer)輸入端及輸出端的頻譜分佈來做為調整補償量的依據，但是這樣的等化器系統會有切片機的輸入端及輸出端振幅不平衡問題，即使調整了低頻增益，其調整範圍也會因為高頻增益與低頻增益的不相關性及電路架構而有所限制 [12][13]。所以這裡所設計的適應性等化系統是利用具有相同轉角頻率的高通及低通 RC 濾波器分別取出高低頻的頻譜能量後，藉由比較高低頻能量差異來當補償量依據，並且為了防止當資料樣型(Data Pattern)不理想時造成等化系統的補償機制出現偏差，因此再增加了另一個控制迴路來調整 RC 濾波器的轉角頻率，進而完成一個具有對資料樣型容忍(Data Pattern Tolerant)的光電積體電路 (Optoelectronic Integrated Circuit, OEIC)。而等化濾波器的設計這裡提出了一個針對 CMOS 積體化光感測器的固態特性設計的電路架構，希望可以完成一個具有對資料樣型容忍且速度達 10Gbps 的全 CMOS 短距離光通訊接收機電路。

● 40Gbps 全 CMOS 光接收機類比前端電路

為了因應越來越高速的資料與網路傳輸，多通道平行傳輸的技術和具有靈活管理功能的分類轉發處理器顯示了獨特的性能優勢，然而如果可以提高單一通道的傳輸速度將可以倍數地提升整體傳輸效能，而且隨著傳送端電路、光多工器、以及 CDR 等其他電路的操作速度上升，在 40 Gbps 的光通訊系統 OC-768 中已經可以預期以單通道型式完成資料的傳送與接收，因此完成一個 40 Gbps 的光通訊接收機類比前端電路將是本晶片的主要目標。本晶片其中包含了轉組放大器及後級限幅放大器，藉由較先進的製程、串聯峰化、並聯峰化的高頻補償技術、以及逐級套疊式主動回授(Nested active feedback)架構等方法，希望有效地提高接收機的整體頻寬，讓接收機整體增益能大幅上升，進而完成一個操作速度為 40 Gbps 且高增益的光纖接收端前級電路。

1.2 論文概要

本篇論文包含了 6 個章節，第 1 章先概略地介紹設計的動機與 2 顆晶片的大概規格與電路內容，接著因為第 2 顆晶片(40 Gbps 全 CMOS 光纖接收機)的子電路架構與第 1 顆晶片(具適應性等化之 10Gbps 全 CMOS 光感測器接收機)雷同，所以將先逐章介紹第 1 顆晶片的電路設計，之後第 5 章再開始重點介紹第 2 顆晶片中的電路設計特點。由第 2 章開始將介紹接收機中的轉阻放大器(Transimpedance Amplifier, TIA)的架構設計，說明了各項考量與改良方式。接著於第 3 章介紹如何有效提升後級限幅放大器頻寬。而第 4 章一開始會先介紹適應性等化器的架構考量，接著分析 CMOS PD 的物理特性，並且以數學模型來近似其元件量測結果，再依此元件特性來完成等化濾波器的電路設計，而其他子電路架構也於此章節做簡單的說明。而第 1 顆晶片的模擬與初步量測結果將附於第 5 章節。

接下來，第 2 顆晶片的電路特性與設計細節將於第 6 章詳細說明，利用數學推導證明如何設計串聯(Series peaking)與並聯峰化電感(Shunt peaking)來有效改善轉阻放大器的整體頻寬，而其量測結果於此章節後段附上。而最後結論與未來工作將於第 7 章做說明。

Chapter 2

Transimpedance Amplifier



在光纖通訊系統裡，由雷射二極體發送光，到達光感測器之前光會在光纖中一邊傳輸一邊損耗，接著光感測器會感應光功率，並且將光的強度正比地轉換成光電流。在光通訊接收機的前端電路裡，轉阻放大器(Transimpedance Amplifier, TIA) 的功用即是將光感測器產生的光電流轉為電壓輸出訊號。

這章節裡一開始會先討論在設計 TIA 時應有的種種規格考量，並且分析傳統在具有不同前級放大器電路下 TIA 架構的雜訊，而在 2.2 節中針對所選的架構做改良，藉由數學分析來證明 TIA 的核心放大器(Core Amplifier) 電路特性。接著在 2.3 節中附上 TIA 電路的模擬結果與雜訊分析。

2.1 設計規格考量

轉阻放大器(Transimpedance Amplifier, TIA)在光通訊接收機中扮演著重要的角色，而其敏感度和傳輸資料的速度主要是受整體增益、頻寬、群速延遲以及雜訊表現所影響，接著我們將討論在設計各項規格時的種種考量。

增益 (Gain)

TIA 的增益定義指的是將輸入電流轉換成電壓式的輸出信號，而當轉阻放大器增益值越大就越可以抑制後級電路像是等化濾波器、後級放大器和緩衝器產生的雜訊。此外，增益的大小也會影響後級放大器對敏感度規格的要求。一般操作於 10 Gbps 傳輸速度的轉阻放大器增益大約在 500 Ω 到 2 K Ω 之間[2],[7]-[9],[11]，而操作於 40 Gbps 傳輸速度的 TIA 增益大約則在 400 Ω 到 600 Ω 之間[17]-[18],[21]。

✓ 頻寬 (Bandwidth)

光接收機的系統頻寬往往是由 TIA 決定，頻寬不足時會到導致訊號失真，嚴重時會大幅增加資料傳輸的錯誤機率，這將大大影響光通訊的傳輸品質，以下將討論頻寬對資料傳輸錯誤機率的相對關係為何。式子(2-1)與(2-2)表示的即是資料傳輸錯誤機率密度：

$$P_{tot} = Q\left(\frac{V_{pp}}{2\sigma_n}\right) \quad (2-1)$$

$$Q(x) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{u^2}{2}\right) du \quad (2-2)$$

V_{pp} 為輸出峰對峰擺幅大小， σ_n 為雜訊的方均根值大小，而頻寬不足會導致雜訊累積，對其之間關係式子為 $\sigma_n \propto \sqrt{BW}$ 。可以發現當頻寬變小時雖然 BER (Bit Error Rate) 會快速下降，但是也因此產生 ISI (Intersymbol Interference) 的問題，所以雜訊表現與 ISI 問題之間的權衡考量是相當重要的。而在經由一連串數學分

析過後，發現將 TIA 的頻寬設計為 0.7 倍的資料位元速度時，在眼圖上的資料判讀仍可以被接受[14]，因此此篇論文第一顆操作於 10 Gbps 傳輸速度的轉阻放大器頻寬大約設計在 7 GHz，而第二顆操作於 40 Gbps 傳輸速度的轉阻放大器則至少設計在 28 GHz 以上。

✓ 雜訊 (Noise)

TIA 的輸入參考雜訊(Input-referred Noise)電流將決定在規格所要求的 BER(10^{-12})下，接收機能處理的最小輸入電流訊號，而且尤其當是使用輸出光電流訊號相對較小的 CMOS 光感測器(Photodetector)時，如何降低 TIA 的輸入參考雜訊(Input-referred noise)電流大小變得更為重要。此外，隨著供應電壓越來越低，雜訊的影響將會變得越來越嚴重，而轉阻放大器的基本架構選擇與電晶體的使用量也會左右雜訊量的多寡，所以往往 TIA 架構會受限於此。

✓ 群速延遲 (Group Delay Variation)

群速延遲(τ)的定義為相位(Φ)對頻率(ω)的微分，即 $\tau(\omega) = -d\phi/d\omega$ 。而群速延遲的變異量($\Delta\tau$)和頻寬一樣會影響 ISI 以及 TIA 輸出的 Jitter 問題。一般可接受的群速延遲的變異量($\Delta\tau$)要少於 $\pm 10\%$ 的位元時間，所以 10 Gbps 資料傳輸的 $\Delta\tau$ 標準希望大約控制在 ± 10 ps 以內，而 40 Gbps 資料傳輸的 $\Delta\tau$ 標準大約要控制在 ± 2.5 ps 以內。

2.2 轉阻放大器架構分析

2.2.1 轉阻放大器架構雜訊比較

因為考量到 COMS 光感測器響應度(Responsivity)並不高，輸出的光電流大小相當有限，所以如何減少轉阻放大器的輸入參考雜訊變得相當重要。而轉阻放大器的架構種類將基本決定雜訊響應量，基本的轉阻放大器常用的兩種架構分別

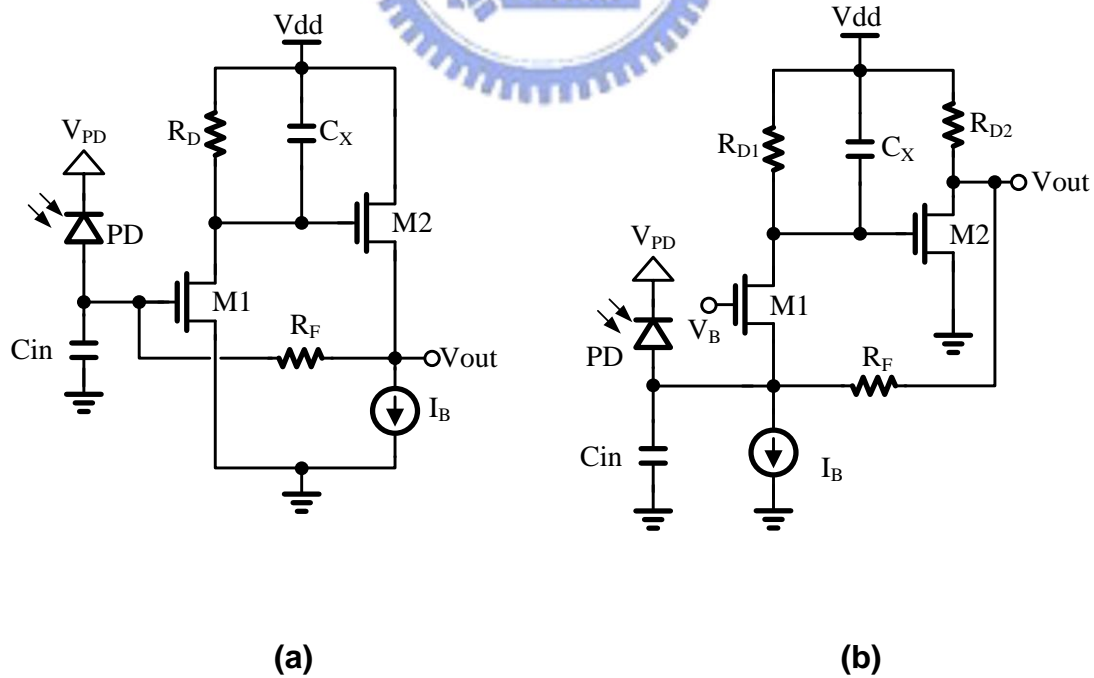
是：共源式(Common Source)核心放大器加上電阻並並回授(Shunt-shunt Feedback)和共閘式(Common Gate)核心放大器加上電阻並並回授(Shunt-shunt Feedback)所組成。這裡針對此兩種轉組放大器架構、如圖(2-1)、做雜訊分析，由數學推導式(2-3)可以觀察到核心放大器若採用共閘式(Common gate)放大器，電流源的雜訊電流($4kT\gamma g_{mB}$)將直接混入電流訊號，造成訊號失真，因此我們選用共源式(Common source)核心放大器加上電阻並並回授(Shunt-shunt feedback)來完成一個高敏感度的轉組放大器。以下為雜訊分析式：

(A) Common- source TIA

$$\overline{I_{n,in}^2} = \frac{4kT}{R_F} + \frac{4kT}{g_{m1}^2} \left(\frac{1}{R_D} + \gamma g_{m1} \right) \left(\frac{1}{R_F^2} + \omega^2 C_{IN}^2 \right) + \frac{4kT\gamma}{g_{m1}^2 g_{m2}} \left(\frac{1}{R_D^2} + \omega^2 C_X^2 \right) \left(\frac{1}{R_F^2} + \omega^2 C_{IN}^2 \right)$$

(B) Common-gate TIA

$$\overline{I_{n,in}^2} = \frac{4kT}{R_F} + \frac{4kT}{R_{D1}} + 4kT\gamma g_{mB} + \frac{4kT}{g_{m2}^2} \left(\frac{1}{R_F} + \frac{1}{R_{D2}} + \gamma g_{m2} \right) \left(\frac{1}{R_{D1}^2} + \omega^2 C_X^2 \right) \quad (2-3)$$



圖(2-1) TIA 基本架構 (a) Common- source TIA (b) Common-gate TIA

一般高敏感度的轉組放大器由共源式(Common source)核心放大器加上電阻並回授組成： C_{amp} 為核心放大器 $A_C(s)$ 的輸入端電容， C_{PD} 為光感測器的寄生電容。令 $A_C(s)$ 是一組單極點式的源極耦合對(Source couple pair)放大器

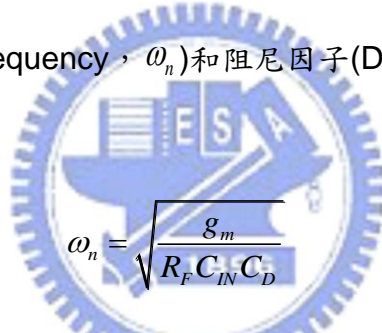
$$A_C(s) = \frac{g_m R_D}{1 + s C_D R_D} \quad (2-4)$$

其 C_D 是指在轉組放大器輸出端全部的寄生電容，假設 $R_F \gg R_D$ ， $C_{IN} = C_{PD} + C_{amp}$ ，

轉組放大器整體增益轉移方程式 $T_Z(s)$ 近似結果為：

$$T_Z(s) \approx \frac{R_F}{\frac{R_F C_{IN} C_D}{g_m} s^2 + \frac{R_F C_{IN} + R_D C_D}{g_m R_D} s + 1} \quad (2-5)$$

因此自然頻率(Natural frequency， ω_n)和阻尼因子(Damping factor， ζ)可以被表示成：



$$\omega_n = \sqrt{\frac{g_m}{R_F C_{IN} C_D}} \quad (2-6)$$

$$\zeta = \frac{1}{2} \frac{R_F C_{IN} + R_D C_D}{\sqrt{g_m R_D^2 R_F C_{IN} C_D}} \quad (2-7)$$

為了有最平坦的轉組放大器增益反應($\zeta = \frac{1}{\sqrt{2}}$)，核心放大器主極點頻率(ω_p)

應該設計在：

$$\omega_p = \frac{1}{R_D C_D} \approx \frac{2 g_m R_D}{R_F C_{IN}} \quad (2-8)$$

而轉組放大器直流增益、-3dB 頻寬(ω_{-3dB})、以及輸入參考雜訊頻譜密度($\overline{I_{m,TIA}^2}$)

的推導式為[14]:

$$T_z \approx R_F \quad (2-9)$$

$$\omega_{-3dB} = \frac{\sqrt{2}g_m R_D}{R_F C_{IN}} \quad (2-10)$$

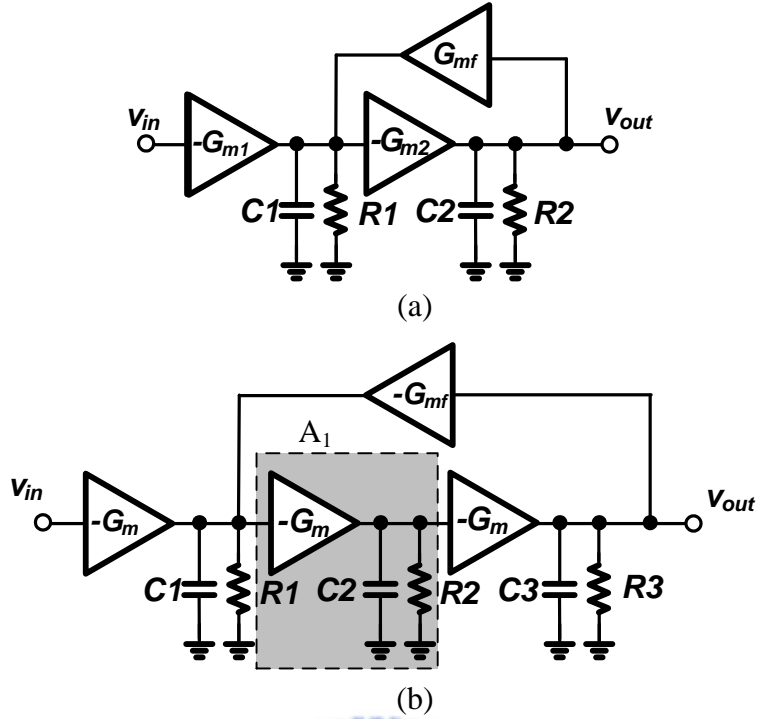
$$\overline{I_{in,TIA}^2} = \frac{4kT}{R_F} + \frac{1}{R_F^2} \left(\frac{4kT}{g_m} + \frac{4kT}{g_m^2 R_D} \right) \quad (2-11)$$

根據式子(2-11)可以發現藉由增加回授電阻(R_F)值可以有效降低輸入參考雜訊，但是這也伴隨著轉組放大器頻寬因此而下降的壞處，所以為了保有轉組放大器要求的頻寬，核心放大器的電壓增益($g_m R_D$)必須增加，因此可以得知核心放大器的增益頻寬乘積(GBW)必須要提高，而這即是為了達到高敏感度、高增益、以及寬頻的轉組放大器所必須面臨的主要瓶頸。

欲完成操作於 10-Gb/s 的轉組放大器， C_{PD} 和 C_{amp} 大約分別為 250 fF 和 50 fF，因此核心放大器 AC(s)的主極點頻率(ω_p)要超過 10 GHz 而且電壓增益要超過 19.4 dB。由此可以算出核心放大器 AC(s)在有下一級負載的情況下的增益頻寬乘積(Gain bandwidth product, GBW)必須超過 93 GHz，而這個核心放大器的規格要實現於 CMOS 90-nm 製程下將有一定的難度。

2.2.2 核心放大器架構分析

為了克服核心放大器 $A_C(s)$ 的設計瓶頸，將先分析常用核心放大器的架構，並且以增加 GBW 為主要設計目標，而一般常常會採用 Cherry-Hooper 放大器的回授機制來降低節點等效阻抗，進而達到增加 GBW 的設計目標。接著將逐步分析核心放大器架構的改良過程，圖(2-2)為 2 級式和 3 級式的 Cherry-Hooper 放大器架構圖[21]。



圖(2-2) 基本型(a) 2級式 (b)3級式 Cherry-Hooper 放大器

藉由架構推導可以得到 2 級式 Cherry-Hooper 放大器每一點的等效節點阻抗，其式子如下：

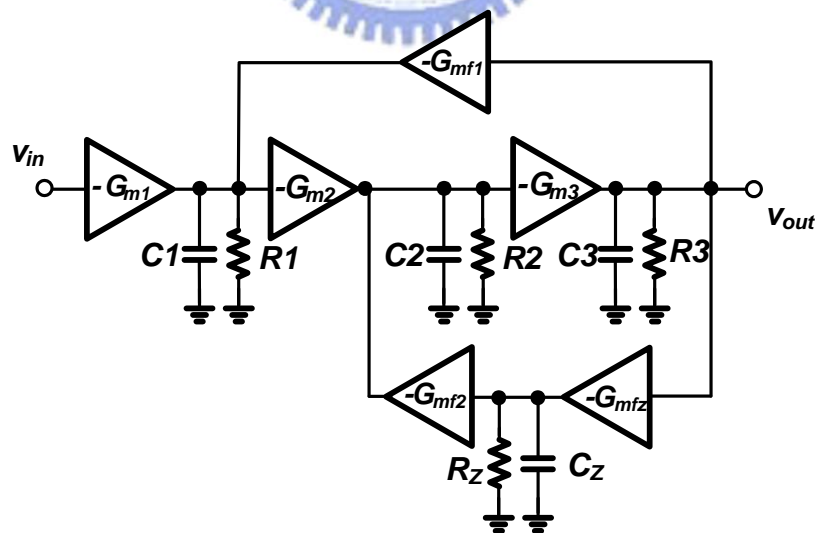
$$\begin{aligned}
 R_{C1} &= \frac{R_L (sR_L C_2 + 1)}{sR_L C_2 + (1 + G_{mf} G_{m2} R_L^2)} \approx \frac{R_L}{1 + G_{mf} G_{m2} R_L^2} \\
 R_{C2} &= \frac{R_L (sR_L C_1 + 1)}{sR_L C_1 + (1 + G_{mf} G_{m2} R_L^2)} \approx \frac{R_L}{1 + G_{mf} G_{m2} R_L^2}
 \end{aligned} \tag{2-12}$$

R_{C1} 指的是電容 C_1 所看到的等效阻抗且 $R_L = R_1 = R_2$ ，由式子可以觀察到只要加大 G_{m2} 即可以同時縮小等效阻抗 $R_{C1,2}$ ，因此將放大器架構改良成 3 級式 Cherry-Hooper 放大器，從架構直觀來看有如直接對 G_{m2} 再乘上一級 A_1 ，讓轉導值提升為 $A_1 \times G_{m2}$ ，改善後的節點等效阻值如下：

$$R_{C1} = R_{C2} = R_{C3} = \frac{R_L}{1 + G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L} \approx \frac{R_L}{1 + G_m^2 G_{mf} R_L^3} \tag{2-13}$$

這裡令 $G_m = G_{m1} = G_{m2}$ 、 $R_L = R_1 = R_2 = R_3$ 以及 $A_1 = G_m R_L$ ，因為 $G_m G_{mf} R_L^2 \gg 1$ ，所以 3 級式 Cherry-Hooper 放大器的節點等效阻抗只有 2 級式 Cherry-Hooper 放大器的 $\frac{1}{G_m R_L}$ 倍，這將有效改善放大器的頻寬表現。且兩個架構的 DC 增益都可近似為 $A_0 \approx \frac{G_{m1}}{G_{mf1}}$ ，因此兩個架構的節點阻抗相等的情況下，3 級式 Cherry-Hooper 放大器明顯有較大的增益。

接著如果核心放大器可以在轉阻放大器的主極點處提供一個增益峰化值 (Gain peaking)，那麼將可再進一步改善轉阻放大器的整體頻寬，所以這邊提出一個零點套疊式主動回授 (Zero nested active feedback) Cherry-Hooper 放大器架構，其想法是希望藉由將回授路徑變成串級式主動回授，即增加一個極點於回授路徑中，故可到在核心放大器閉迴路上產生一個零點，但如果直接將原本的回授路徑變成串級式主動回授將會導致核心放大器的穩定度不足，因此改在原本的 3 級式 Cherry-Hooper 放大器加入一個串級式回授路徑到 2、3 級之間的節點，其架構如圖(2-3)：



圖(2-3) 零點套疊式主動回授 (Zero nested active feedback) 之核心放大器

新的節點等效阻抗以及轉移方程式分別為式子(2-14)與(2-15):

$$R_{C1} = \frac{R_L \times [1 + G_m G_{mf2} G_{mz} (R_L \parallel C_L)^2 (R_Z \parallel C_Z)]}{1 + G_m G_{mf2} G_{mz} (R_L \parallel C_L)^2 (R_Z \parallel C_Z) + G_m^2 G_{mf1} (R_L \parallel C_L)^2 R_L}$$

$$\approx \frac{R_L \times [1 + G_m G_{mf2} G_{mz} R_L^2 R_Z]}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \quad (2-14)$$

$$R_{C2} = R_{C3} = \frac{R_L}{1 + G_m G_{mf2} G_{mz} (R_L \parallel C_L)^2 (R_Z \parallel C_Z) + G_m^2 G_{mf1} (R_L \parallel C_L)^2 R_L}$$

$$\approx \frac{R_L}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3}$$

$$A_c(s) = \frac{V_{out}}{V_{in}}(s) = A_{c0} \times \frac{\left(1 + \frac{s}{\omega_z}\right)}{1 + \alpha s + \beta s^2 + \chi s^3 + \delta s^4}$$

$$= \frac{G_m^3 R_L^3}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \times \frac{(1 + s R_Z C_Z)}{\left[1 + s \left[\frac{(3R_L C_L + G_m G_{mf2} G_{mz} R_L^3 R_Z C_L) + R_Z C_Z (1 + G_m^2 G_{mf1} R_L^3)}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \right] \right.}$$

$$\left. + s^2 \left(\frac{3R_L^2 C_L^2 + 3R_L C_L R_Z C_Z}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \right) \right.}$$

$$\left. + s^3 \left(\frac{R_L^3 C_L^3 + 3R_L^2 C_L^2 R_Z C_Z}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \right) \right.}$$

$$\left. + s^4 \left(\frac{R_L^3 C_L^3 R_Z C_Z}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3} \right) \right] \quad (2-15)$$

$$A_{c0} = A_c(0) = \frac{V_{out}}{V_{in}}(0) = \frac{G_m^3 R_L^3}{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3}$$

同樣令 $G_m = G_{m1} = G_{m2} = G_{m3}$ 、 $R_L = R_1 = R_2 = R_3$ 、 $C_L = C_1 = C_2 = C_3$ 。由以上

的節點等效阻抗以及轉移方程式可以發現增益鋒化的位置從零點、 $\omega_z = \frac{1}{R_Z C_Z}$ 開

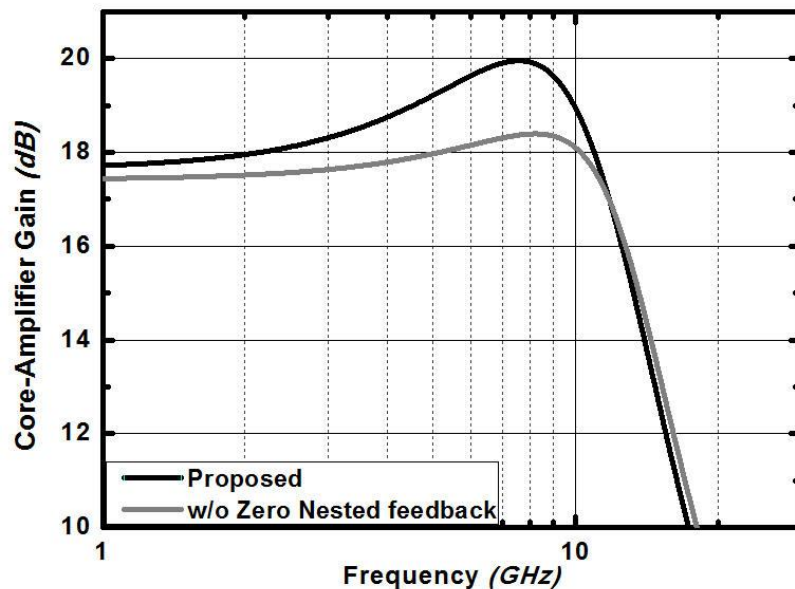
始，且因為轉移方程式分母的一次項係數 $\alpha = \frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}} + \frac{1}{\omega_{p3}} + \frac{1}{\omega_{p4}}$ ，再對照上面

所推導的節點等效阻抗可以得知第四個極點位置為：

$$\omega_{p4} = \frac{1}{R_Z C_Z} \times \frac{1 + G_m G_{mf2} G_{mz} R_L^2 R_Z + G_m^2 G_{mf1} R_L^3}{(1 + G_m^2 G_{mf1} R_L^3)} \quad (2-16)$$

因此可以藉由調整 $\omega_z = \frac{1}{R_Z C_Z}$ 與 ω_{p4} 之間的相對位置來改變增益響應，例如如果

同時加大 G_{mf2} 與減小 G_{mf1} 就可以在不改變 DC 增益大小下調整調整 ω_z 與 ω_{p4} 之間的相對位置，即在這頻率差之間提供一段增益峰化(Gain peaking)，相較於傳統的3級式Cherry-Hooper放大器只靠調整 G_{mf1} 改變阻尼因子(Damping factor, ζ)來讓增益響應產生峰化，此架構可以在不影響 DC 增益大小下再提供另一個增益峰化來源，使得核心放大器的增益峰化頻率範圍加大，進而讓轉阻放大器的頻寬更寬。接著將利用 HSPICE 模擬來比較以上討論的各個核心放大器架構，比較各別的特性表現，模擬圖如圖(2-4)所示。

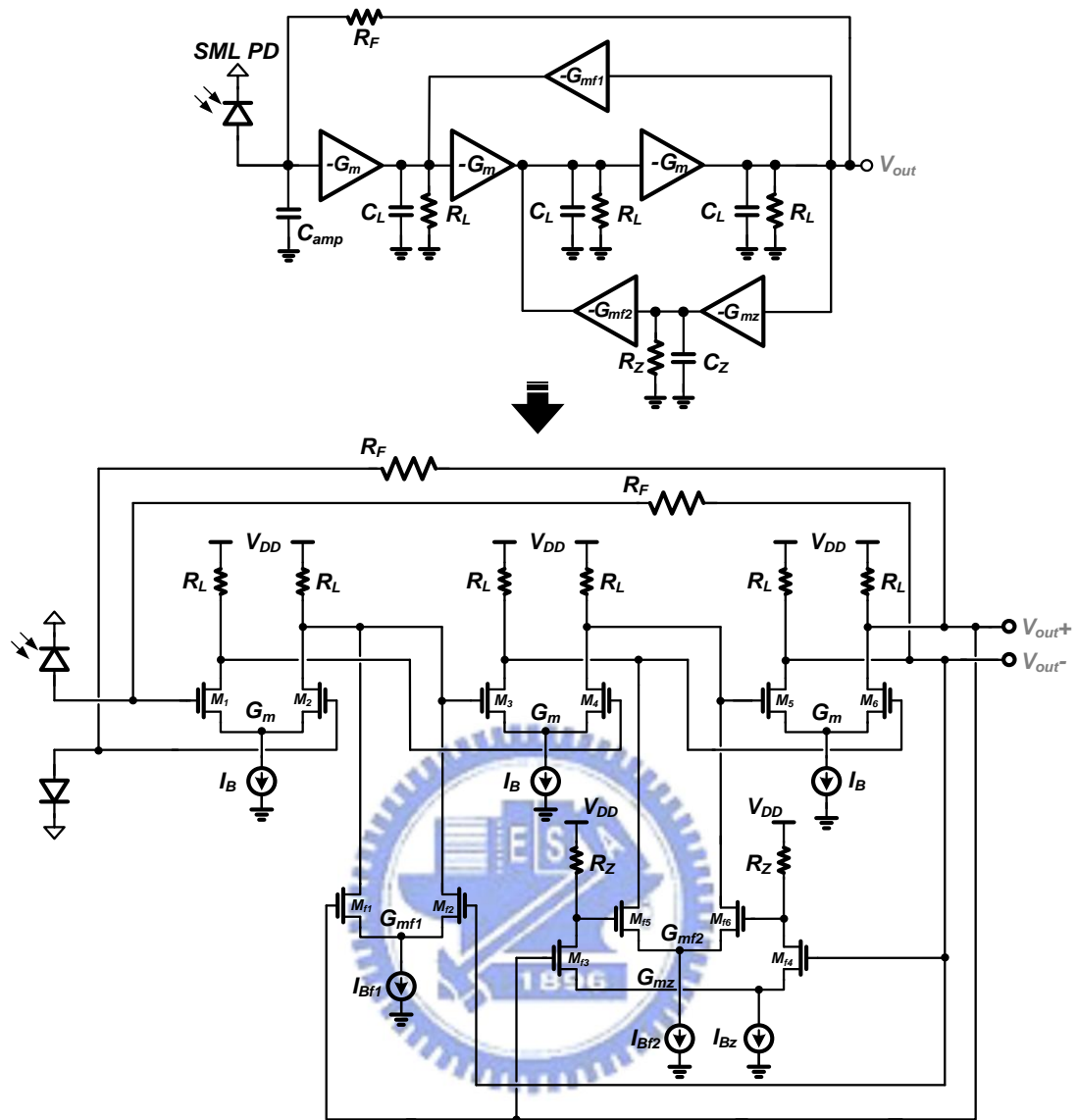


圖(2-4) 核心放大器架構頻率響應模擬比較圖

因為本晶片採用的光感測器為長條式空間調變之光感測器(Strip type SMPD)(將於 4.2.1 介紹細節)，於照光與不照光區的中性區會同時產生慢速的擴散電流，因此想藉由設計差動式轉組放大器架構對輸入電流訊號做相減動作，希望藉此將慢速的擴散電流成分消除，而只留下較高速的漂移電流成分，所以上所討論的 G_m 、 G_{mf} 、 R_L 將由源極耦合對(Source couple pair)放大器來實現。最後在差動的兩個路徑上利用 2 顆電阻完成外部回授路徑，將接收的光電流訊號轉換成電壓訊號，藉此完成最後的差動轉組放大器(Differential Transimpedance Amplifier, DTIA)設計。此晶片的轉阻放大器的完整轉移方程式為(1-17)，頻寬與增益目標分別為 7 GHz 與 60 dB Ω ：

$$T_Z(s) = \frac{v_{out}(s)}{i_{in}(s)} = -\frac{A_C(s)}{A_C(s)+1} \times \frac{R_F}{1 + \frac{R_F C_{IN}}{A_C(s)+1} s} \quad (2-17)$$

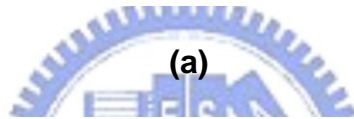
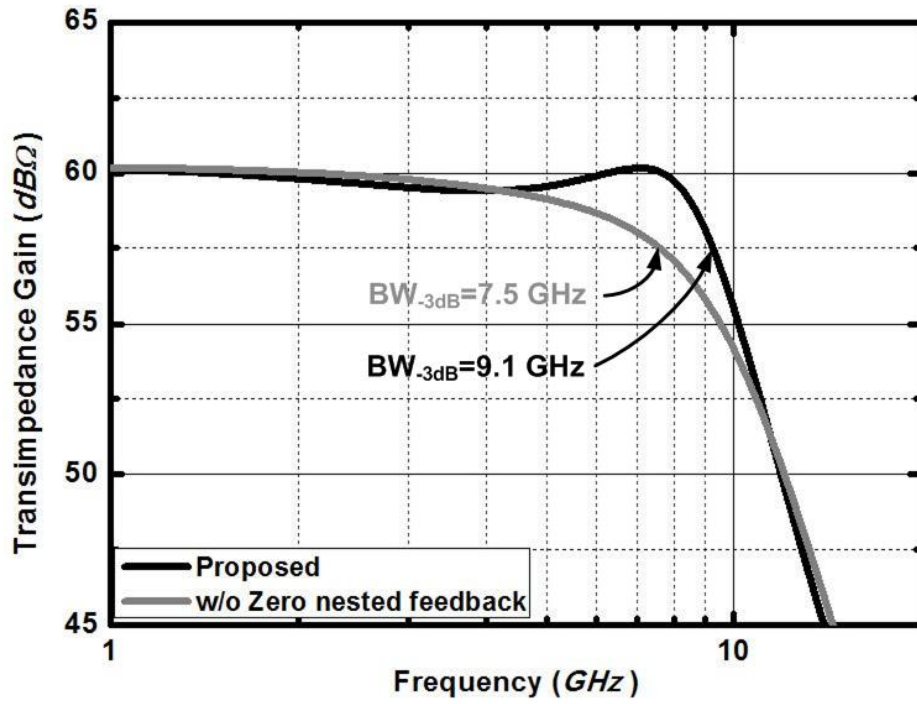
先利用 2.2.1 小節的設計流程可以粗略推算出核心放大器的各項規格，接著引入增益峰化，再針對 R_F 做微調，過大的 R_F 值會造成轉組放大器頻寬下降，而過小的 R_F 則會產生過高的增益峰化值，導致增益響應以及群體延遲不夠平坦，因此在滿足頻寬最大化、增益以及群體延遲變異量最小化的情況下，經過模擬後 R_F 決定採用 1.1 K Ω ，完成設計一個在 90nm CMOS 製程下操作於 10Gbps、增益 60dB、頻寬 7.5 GHz 的轉組放大器放大器，最終完整架構如圖(2-5)所示：



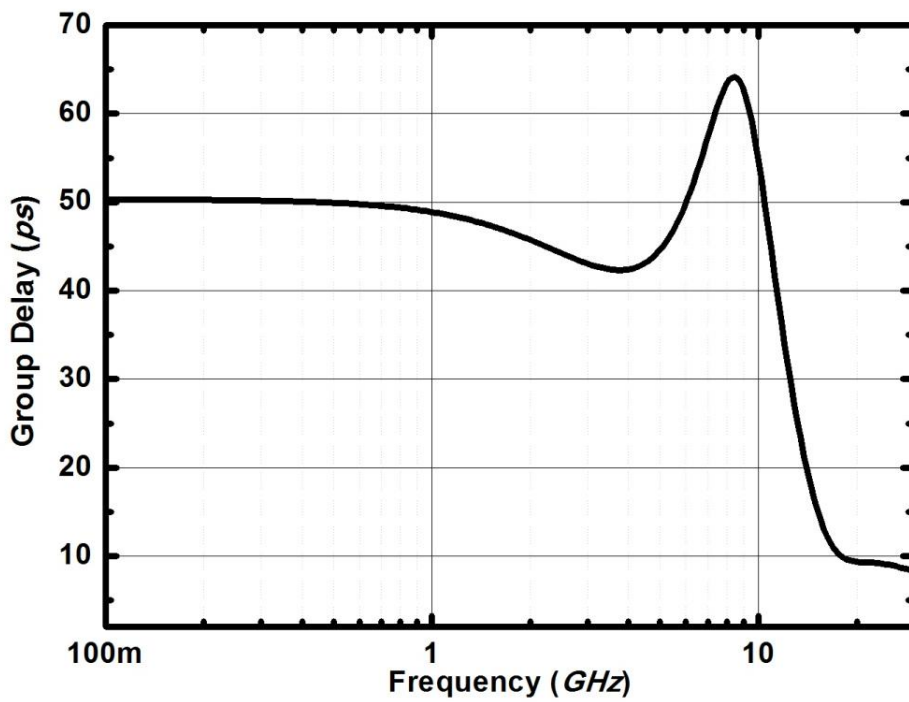
圖(2-5) 零點套疊式主動回授(Zero nested active feedback)之轉阻放大器

2.3 轉阻放大器模擬結果與雜訊分析

轉阻放大器的增益響應與群體延遲如圖(2-6)，輸入訊號速度 10 Gbps、大小 $20 \mu\text{A}_{pp}$ 的輸出眼圖如圖(2-7)

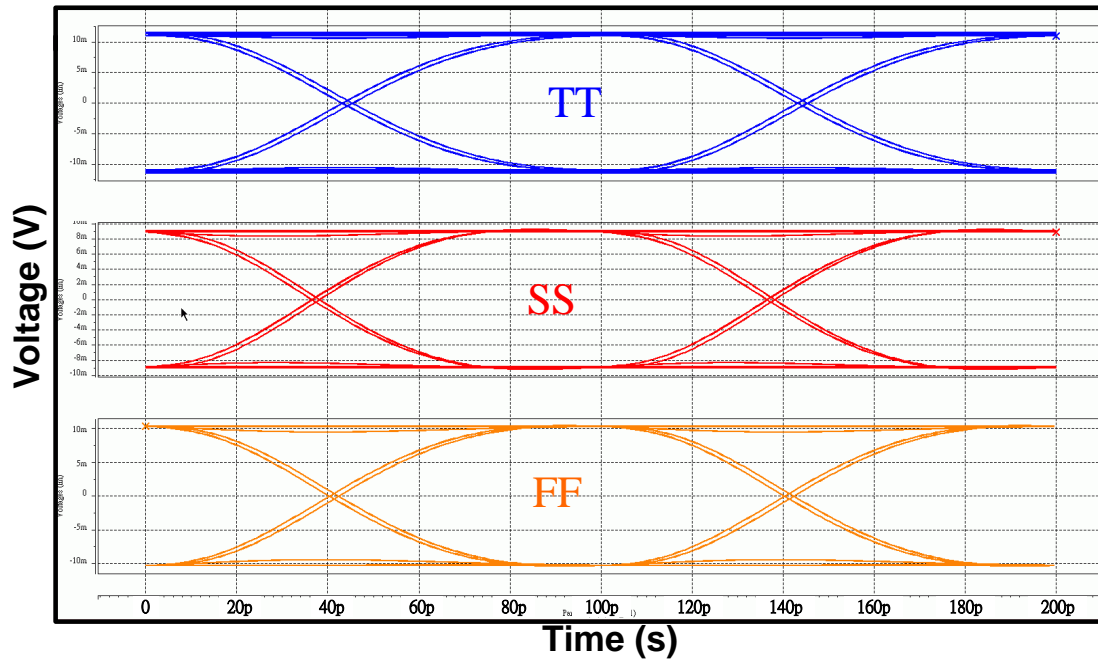


(a)



(b)

圖(2-6) 轉組放大器的(a)增益響應與(b)群體延遲



圖(2-7) 轉組放大器於 10 Gbps、輸入信號大小為 $20 \mu\text{A}_{pp}$ 的輸出眼圖

轉組放大器的輸入參考雜訊電流 $\overline{I_{in,TIA}^2}$ 推導後式子如下:

$$\overline{I_{in,TIA}^2} = \frac{8kT}{R_F} + \frac{1}{R_F^2} \left[\overline{V_{n,SC}^2} + \frac{1}{g_m^2} \left(g_{mf}^2 \overline{V_{n,SC}^2} + g_{mf}^2 \frac{\overline{V_{n,SC}^2}}{g_m^2 R_D^2} \right) \right] \quad (2-18)$$

$\overline{V_{n,SC}^2}$ 表示單級源極耦合對的輸入參考雜訊電壓，式子為:

$$\overline{V_{n,SC}^2} = 2 \left(\frac{4kT}{g_m} + \frac{4kT}{g_m^2 R_D} \right) \quad (2-19)$$

經過 HSPICE 模擬，轉組放大器累積到 10 GHz 的輸入參考雜訊電流大約為 $2.1 \mu\text{A}_{rms}$ 。

表格 1 (2-1) TIA 規格

Spec.	Gain	BW	Input-Referred Noise	Δ Group Delay	Power
TIA	60 dB Ω	9.1 GHz	$2.1 \mu\text{A}_{rms}$	$<\pm 15$ ps	25.2mW

Chapter 3

Limiting Amplifier



光電流訊號經由前端的轉阻放大器放大後，輸出的電壓訊號振幅往往很小，當輸入的電流較小時轉阻放大器的輸出電壓大約只有數個 mV，這樣的電壓大小在讓後端的時脈資料回覆(Clock and Data Recovery, CDR)電路做判讀時，會導致不正確的資料串列回覆。為了解決這問題，必須在轉阻放大器之後增加一後級電壓放大器來將電壓訊號振幅提高到時脈資料回覆電路可正確判讀的邏輯位準範圍，因此後級限幅放大器的增益和頻寬規格將必須夠大夠寬，這樣才能完整地將訊號傳送到後端的時脈資料回覆電路。

在此章節中，將針對一個無電感的後級限幅放大器的各項規格、架構演進、以及細部電路數學分析做進一步的討論。

3.1 設計規格考量

增益 (Gain):

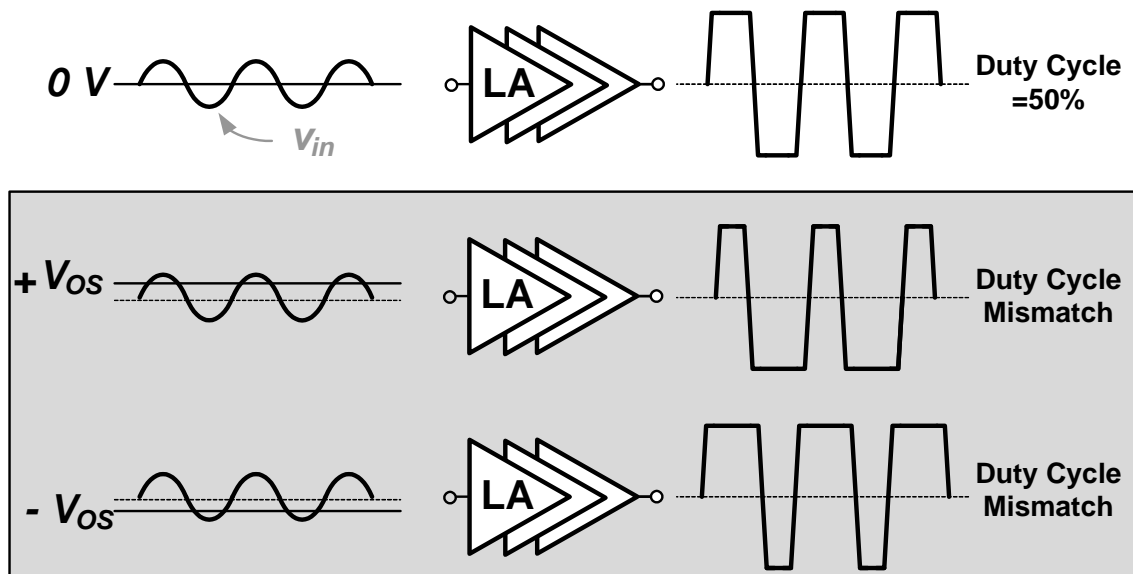
在光通訊系統中，後級限幅放大器的功用在於將轉阻放大器的輸出電壓訊號振幅提高至時脈資料回覆電路可正確判讀的邏輯位準範圍，因此後級放大器的電壓增益大小至少必須為前級轉阻放大器的最小輸出訊號振幅和數位電路可解之電壓位準振幅之間的相對倍數，目標大約是將幾個 mV_{pp} 放大至 3~4 百 mV_{pp} ，因此後級放大器的增益要求大約為 30 dB~50 dB。

頻寬 (Bandwith):

光通訊系統接收端電路頻寬往往由前級的轉阻放大器所決定，大約會設計成資料傳輸速度的 0.7 倍，所以為了不使接收機整體因串級後級放大器而造成整體頻寬下降，產生 ISI 問題。後級放大器目標頻寬將定在資料傳輸速度的 1~1.2 倍。因此此篇論文第一顆操作於 10 Gbps 傳輸速度的後級放大器頻寬大約設計在 10 GHz，而第二顆操作於 40 Gbps 傳輸速度的轉阻放大器則也希望設計在 40 GHz 左右。

輸入偏移電壓 (Input Offset Voltage)

雙端差動式後級放大器的偏移電壓問題將嚴重影響接收器表現，由其一般的後級放大器通常都是採用多級串接的方式來達到高增益，因此每一級的元件大小、 V_t 電壓、以及負載電阻等各項誤差會一直累積下去，導致偏移電壓可能會越來越嚴重，進而造成如圖(3-1)所示的問題。當訊號的 DC 電壓準位偏移時，限幅後的波形在經由邏輯電路判讀後會出現高準位與低準位的工作週率(Duty cycle)不是各一半的問題，訊號失真以及接收器敏感度下降的問題也將因此接踵而至，故在後級放大器架構中消除偏移電路(Offset cancellation)是非常重要的機制。



圖(3-1) 後級放大器在有無 DC 偏移時個別輸出波形圖

AM-to-PM 轉換

因為後級放大器大增益的關係，相位位移量會隨著振幅增加，尤其後級放大器的後段輸出電壓往往都已經達到飽和，所以其放大器電路操作已非線性，當訊號較大時 AM 調變轉成為 FM 調變的現象將更為嚴重，而光通訊的輸入訊號為偽隨機二進位置序列(Pseudo Random Binary Sequence, PRBS)訊號，因此若要改善這個問題就表示後級放大器的群速延遲變異量(Group Delay Variation) 必須要小，一般可接受的群速延遲的變異量($\Delta\tau$)要少於 $\pm 10\%$ 的位元時間，所以 10 Gbps 資料傳輸的 $\Delta\tau$ 標準大約要控制在 ± 10 ps 以內，而 40 Gbps 資料傳輸的 $\Delta\tau$ 標準大約要控制在 ± 2.5 ps 以內，如此一來才能盡量減低 AM 調變轉為 FM 調變產生的 Jitter 量[14]。

3.2 設計重點與架構分析

3.2.1 設計流程

在設計後級限幅放大器時，主要的關鍵點在於如何明確定義增益、輸出振幅、以及頻寬的設計限制，其中整體增益是由轉導放大器的輸出振幅和時脈資料回覆電路所要求之輸入振幅所決定。而輸出振幅除了要符合時脈資料回覆電路所要求之輸入振幅外，對頻寬和功率消耗也會有所影響。接著頻寬則大約是選擇和資料速度相同，好減輕 ISI 的問題。

為求達到寬頻且高增益，傳統後級放大器往往是選用串接多級高寬頻的單級放大器的方式來實現目標。單級放大器的增益設計是在最大化頻寬、功率效益、以及最大化輸入敏感度之間權衡交換，而串接的級數是由整體增益除以單級增益所決定，一旦級數確定後，單級放大器的頻寬即可以確定。以下會先針對傳統的後級放大器的設計細節介紹：

一般的後級放大器是藉由串接多級相同的增益單位(Gain cell)所組成，且為了提高放大器的頻寬，常常會採用 Cherry-Hooper 放大器的回授機制來降低節點等效阻抗，所以我們可以假設每一級的放大器的轉導方程式可近似成一個 2 極點式的放大器：如下：

$$A(s) = \frac{A_{S0}\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3-1)$$

A_{S0} 為 DC 增益。令欲設計的整體後級放大器的 DC 增益為 A_{T0} 、整體頻寬為 ω_T 、而串接級數為 N 級，為了達到平坦的增益表現，上式中單級放大器轉移方程式的係數 ζ 將設計等於 $\frac{1}{\sqrt{2}}$ ，此時可令 $\omega_n = \omega_{-3dB} = \omega_s$ ，再藉由數學推導可得到單

級放大器的增益 $A_S(0)$ 和 -3dB 頻寬 ω_s 為以下所示[21]：

$$A_s = A_T^{1/N} \quad (3-2)$$

$$\omega_s = \left(2^{1/N} - 1\right)^{-1/4} \times \omega_T \quad (3-3)$$

可以由式子觀察出隨著串接級數的增加，增益變大的速度會比頻寬的下降速度快很多，因此當串接級數增加時，增益頻寬乘積(Gain Bandwidth Product, GBW)就可以一直上升到某個極限，而這個極限會參照以下兩點來做分析與考量：

1. 輸入參考雜訊(Input-referred noise)：

若因增益變大的速度會比頻寬的下降速度快很多而一直以降低單級放大器的增益來換取較高的單級頻寬 ω_s 的話，單級放大器將會產生更高的輸入參考雜訊(Input-referred noise)，進而導致整體放大器的敏感度下降。所以在選擇級數時，雜訊往往是決定上限值的關鍵指標。

2. 最小化功率消耗：

當後級放大器的增益和頻寬選定後，在級數繼續增加的情況下每一單級放大器的功率減少速度是要比整體後級放大器功率增加速度要來得快，所以整體功率仍然會下降，不過一旦級數超過一定數目時，整體後級放大器功率將開始隨著級數增加而上升，因此功率和級數之間有著接近最佳化的設計空間[23]。

3.2.2 頻寬上的議題

由上面的討論可以得知串接的級數因為受雜訊和功率的限制會被設計在一定數目以下，因此並不能單純靠一直增加串接級數來降低單級放大器的設計難度。接著將分析當串接相同且具有 Butterworth 頻率響應的單級放大器時，在增益和頻寬選定的情況下，經過計算後所得到單級放大器的頻寬(BW_{cell})與後級放大器整體頻寬(BW_{tot})之間的關係式如下：

$$BW_{tot} = BW_{cell} \left(2^{\frac{1}{n}} - 1 \right)^{\frac{1}{2m}} \quad (3-4)$$

n 為串接級數而 m 為單機放大器階數。

以下舉個例，如果 BW_{tot} 預計設計到 10 GHz 且當 n=5 時，在階數 m 等於 2 和 4 的情況下 BW_{cell} 必須分別超過 26 GHz 以及 16 GHz, [21]。由此可以看出當極點位置重覆時會讓後級放大器的增益響應在頻寬附近的下降速度增加，導致整體頻寬嚴重下降。而且以單一種單級放大器做串接時，為求後級大器的整體增益表現平坦，必須讓單級放大器符合 Butterworth 的頻率響應，好讓增益峰化值 (Gain peaking) 再經過串接多級後還能保持較小的增益變異 (Gain variation)。

而由上面分析的頻寬關係式可以發現單級放大器的頻寬規格是設計上的主要瓶頸，如果可以藉由增益峰化值來改善頻寬的化，將可大大減少設計上的壓力，例如經過數學分析後，發現當一個三階的單級放大器的頻率響應擁有增益峰化值 3 dB 時，其頻寬將可以變成原來的 1.5 倍[20]。但是這個方法在後級放大器架構為串接多級相同的增益單位的情況下，每增加一級串接就會增加增益峰化值 3 dB，這樣的增益變異量會讓後級放大器的訊號傳輸產生嚴重突波，導致光通訊傳輸系統的資料傳輸出錯。

所以如果要在增益平坦的情況下讓頻寬有所改善就必須把握幾個原則：

1. 分離極點位置。
2. 利用多階放大器概念降低單級放大器頻寬需求。
3. 善用增益峰化 (Gain peaking) 來改善頻寬的設計瓶頸。

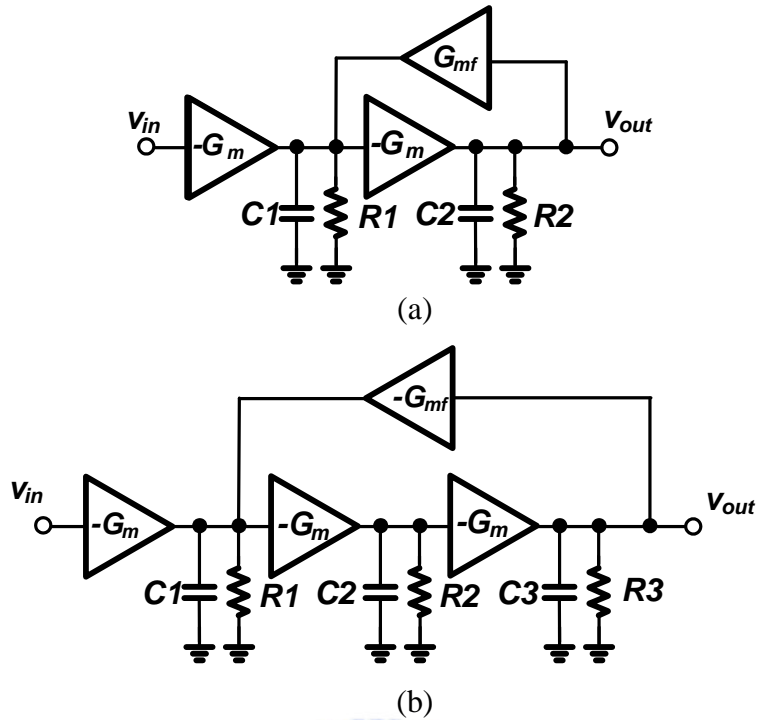
3.3 提出的後級限幅放大器

針對前面歸納出來的幾點設計要點與瓶頸，這邊提出一個後級放大器架構來加以改善，以下將概括敘述，主要想法是希望利用逐級套疊式的主動回授分離每一節點的等效阻抗，並且由於逐級增加回授的關係，可以讓整體後級放大器有如一個閉迴路的單級高階濾波器，並且藉由回授系統的數學調整回授的匯入和匯出點，將一整串列的後級放大器等效分解成數個獨立的轉移方程式相乘積，進而觀察出逐級套疊式主動回授如何改善增益峰化值累積的問題。此外，為了解決串接多級放大器造成 DC 偏移量逐級累積而導致訊號失真的問題，這邊也加入了消除 DC 偏移的電路架構，利用被動元件組成低通濾波器以及減法器來消除後級放大器產生的 DC 偏移電壓以及前端轉組放大器的不平衡訊號，本章節將再做更清楚的架構探討與分析。



3.3.1 逐級分析節點等效阻抗

為了設計高頻寬的後級放大器，這邊和轉組放大器中的核心放大器一樣選用 Cherry-Hooper 放大器的回授機制來當基本的設計理念，在第一章提過一般傳統 2 級式和 3 級式 Cherry-Hooper 放大器因為節點的迴路增益(Loop gain)都相同，所以節點的等效阻抗因此相同，其架構與節點等效阻抗數學式分別如圖(3-2)與式子(3-5) (3-6)所示。而若是以此放大器架構做為增益單位來進行串接的話就會導致極點位置全部重覆，如此一來會造成整體後級放大器增益下降更快速，導致頻寬嚴重不足。



圖(3-2) (a) 2 級式 (b) 3 級式 Cherry-Hooper 放大器

2 級式 Cherry-Hooper 放大器：

$$R_{C1} = \frac{R_L(sR_L C_2 + 1)}{sR_L C_2 + (1 + G_{mf} G_{m2} R_L^2)} \approx \frac{R_L}{1 + G_{mf} G_{m2} R_L^2}$$

$$R_{C2} = \frac{R_L(sR_L C_1 + 1)}{sR_L C_1 + (1 + G_{mf} G_{m2} R_L^2)} \approx \frac{R_L}{1 + G_{mf} G_{m2} R_L^2}$$
(3-5)

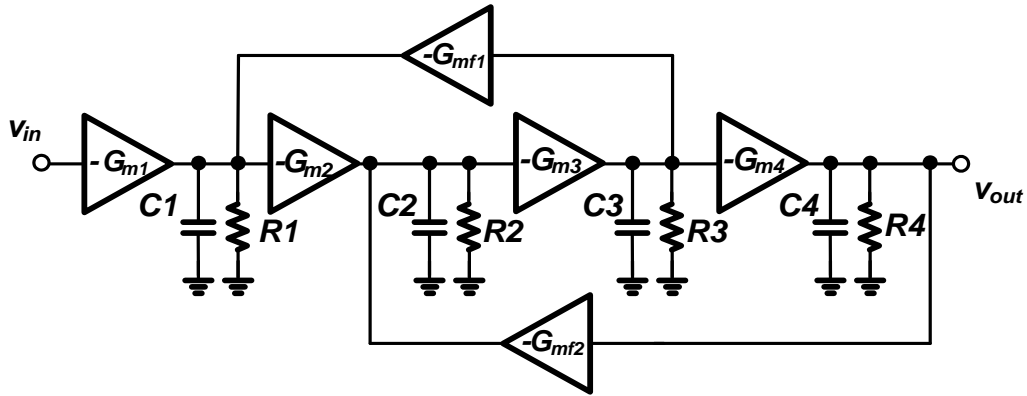
3 級式 Cherry-Hooper 放大器：

$$R_{C1} = R_{C2} = R_{C3} = \frac{R_L}{1 + G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L} \approx \frac{R_L}{1 + G_m^2 G_{mf} R_L^3}$$
(3-6)

$R_{C1,2,3}$ 指的是電容 $C_{1,2,3}$ 所看到的等效阻抗且 $R_L = R_1 = R_2 = R_3$

經過此分析之後，了解如果要降低節點阻抗與極點位置重覆的問題，必須試著增加以及改變每一節點的迴路增益，因此這裡提出一個逐級疊接式主動回授之後級放大器提供額外的回授因子(Feedback factor)，藉由產生另一迴路來增加節點的迴路增益，好讓每一節點的等效阻抗下降並且產生分離。以下將一級一級增

加串接的源級偶合差動對電路，並且逐級引入套疊式主動回授，其 4 級和 6 級式逐級套疊主動回授的後級放大器架構圖和節點等效阻抗數學式分別如下所示：



圖(3-3) 4 級式逐級套疊主動回授後級放大器架構區塊圖

4 級式逐級套疊主動回授後級放大器的等效節點阻抗：

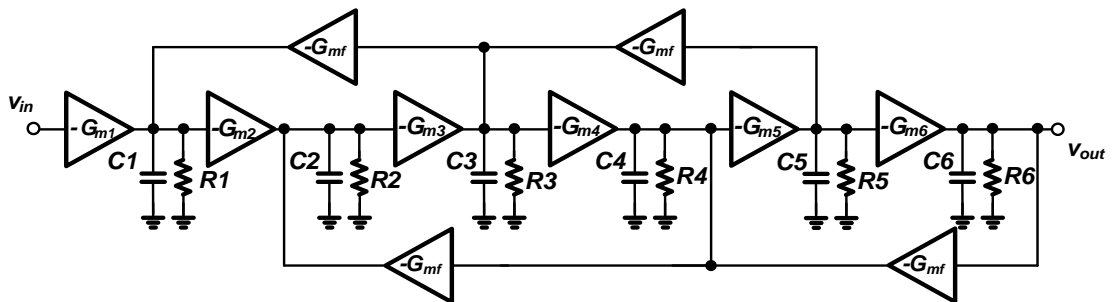
$$R_{C1} = R_{C4} = \frac{R_L \times [1 + G_m^2 G_{mf} (R_L \parallel C_L)^3]}{1 + G_m^2 G_{mf} (R_L \parallel C_L)^3 + G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L}$$

$$\approx \frac{R_L \times (1 + G_m^2 G_{mf} R_L^3)}{1 + 2G_m^2 G_{mf} R_L^3} \quad (3-7)$$

$$R_{C2} = R_{C3} = \frac{R_L}{1 + 2G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L}$$

$$\approx \frac{R_L}{1 + 2G_m^2 G_{mf} R_L^3}$$

$R_{C1 \cdot 2 \cdot 3 \cdot 4}$ 指的是電容 $C_{1 \cdot 2 \cdot 3 \cdot 4}$ 所看到的等效阻抗且 $R_L = R_1 = R_2 = R_3$

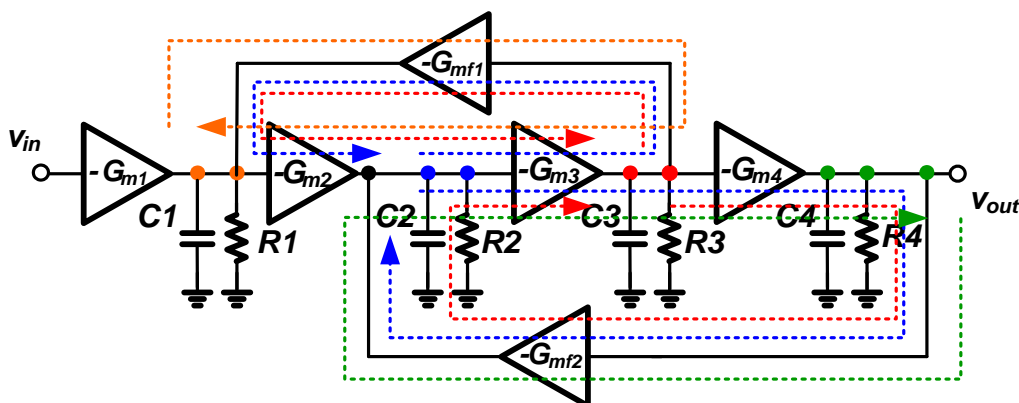


圖(3-4) 6 級式逐級套疊主動回授後級放大器架構區塊圖

6 級式逐級疊接主動回授之後級放大器節點阻抗：

$$\begin{aligned}
 R_{C1} = R_{C6} &= \frac{R_L \times \left[1 + 3G_m^2 G_{mf} (R_L \parallel C_L)^3 \right]}{1 + 3G_m^2 G_{mf} (R_L \parallel C_L)^3 + G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L + G_m^4 G_{mf}^2 (R_L \parallel C_L)^5 R_L} \\
 &\approx \frac{R_L \times \left[1 + 3G_m^2 G_{mf} R_L^3 \right]}{1 + 4G_m^2 G_{mf} R_L^3 + G_m^4 G_{mf}^2 R_L^6} \\
 R_{C2} = R_{C5} &= \frac{R_L \times \left[1 + 2G_m^2 G_{mf} (R_L \parallel C_L)^3 \right]}{1 + 2G_m^2 G_{mf} (R_L \parallel C_L)^3 + 2G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L + G_m^4 G_{mf}^2 (R_L \parallel C_L)^5 R_L} \\
 &\approx \frac{R_L \times \left[1 + 2G_m^2 G_{mf} R_L^3 \right]}{1 + 4G_m^2 G_{mf} R_L^3 + G_m^4 G_{mf}^2 R_L^6} \\
 R_{C3} = R_{C4} &= \frac{R_L \times \left[1 + G_m^2 G_{mf} (R_L \parallel C_L)^3 \right]}{1 + G_m^2 G_{mf} (R_L \parallel C_L)^3 + 3G_m^2 G_{mf} (R_L \parallel C_L)^2 R_L + G_m^4 G_{mf}^2 (R_L \parallel C_L)^5 R_L} \\
 &\approx \frac{R_L \times \left[1 + G_m^2 G_{mf} R_L^3 \right]}{1 + 4G_m^2 G_{mf} R_L^3 + G_m^4 G_{mf}^2 R_L^6}
 \end{aligned} \tag{3-8}$$

R_{C1-6} 指的是電容 C_{1-6} 所看到的等效阻抗且 $R_L = R_1 = R_2 = R_3 = R_4 = R_5 = R_6$ ，由上面的數學分析可以觀察出各節點的等效阻抗在經過逐級套疊式主動回授後，大部分阻抗會因節點迴路增益增加而變小，並且隨著節點迴路增益的不同會出現節點等效阻抗上有所差異，這將有利極點位置分離。以 4 級式逐級套疊主動回授的後級放大器為例，圖(3-5)中的虛線表示各節點的迴路增益大小。此外，由上面逐級增加的分析來看，即使再增加串接級數，這個特性也還能夠繼續保持下去。

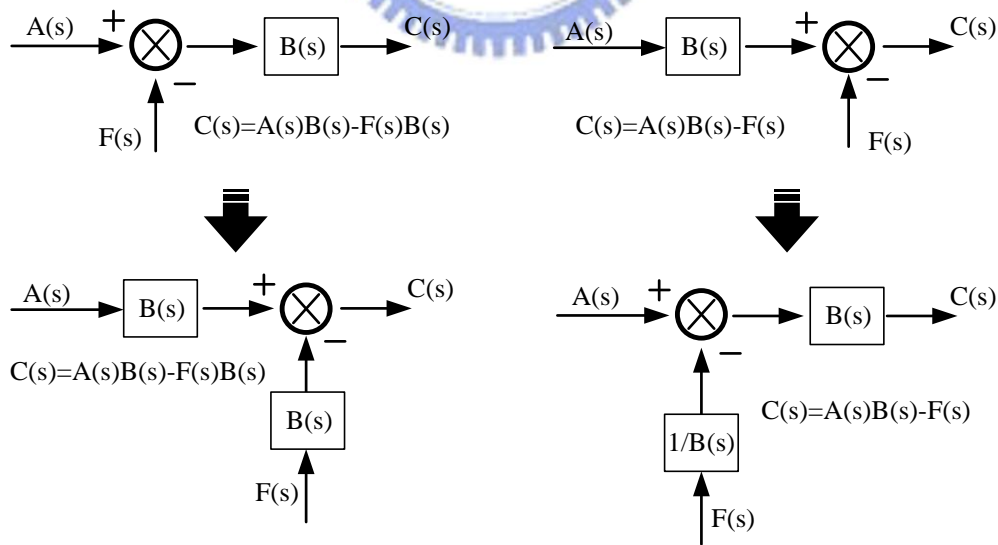


圖(3-5) 4 級式逐級套疊主動回授後級放大器節點迴路增益

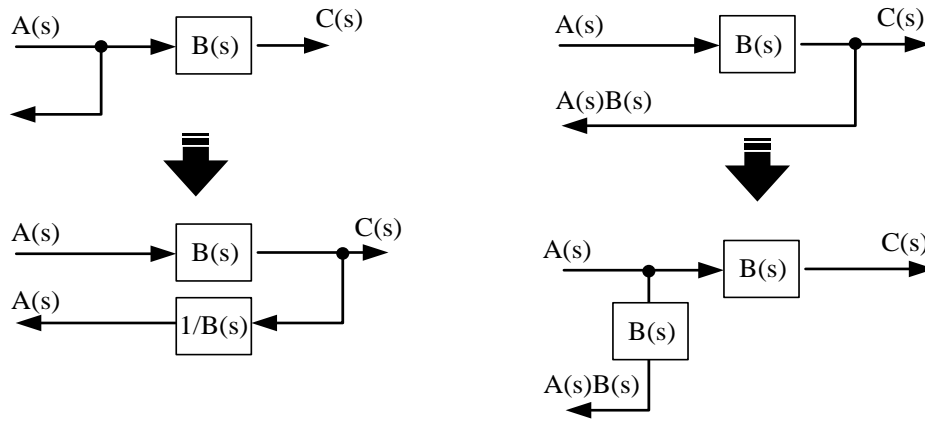
3.3.2 增益峰化(Gain peaking)組合

逐級套疊式主動回授之後級放大器的第二個特點來自於增益峰化值之間的相互補償，單純串接相同增益級(Gain cell)的傳統後級放大器架構中因為增益峰化值會和級數成正比地累加上去，導致訊號傳輸產生嚴重突波，造成通訊系統的訊號失真，但是如果不好好善用增益峰化可以拓展頻寬的特點，放大器頻寬的設計瓶頸問題將會無法突破，接下來將探討逐級套疊式主動回授後級放大器是如何完成增益峰化值之間的相互補償。

從逐級套疊式主動回授的架構概念得知重疊回授的機制除了有效地讓節點迴路增益更高外，也促使回授因子(β)不再是單純常數或 1 階方程式，因此隨著串接級數與套疊式回授的增加，整體放大器的轉移方程式的零點將越來越多，不再只是單純的高階方程，而增益峰化的位置也會越來越多元。由於一整串的閉迴路系統不易直觀地說明這項特點，因此接下來利用線性回授系統中調整回授的取樣點及混合點、如圖(3-6)(3-7)、的方法來將一整串的閉迴路系統拆解成數個獨立的方程式相乘積。

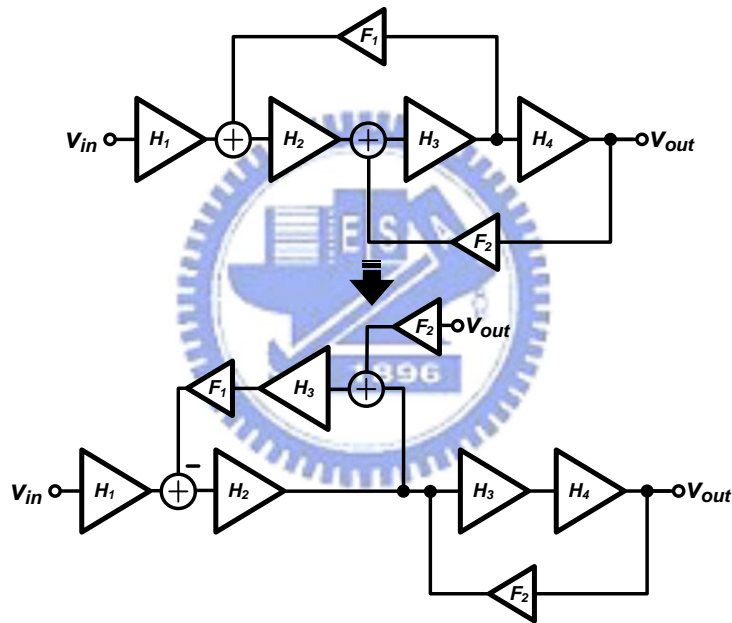


圖(3-6) 右移及左移回授混合點



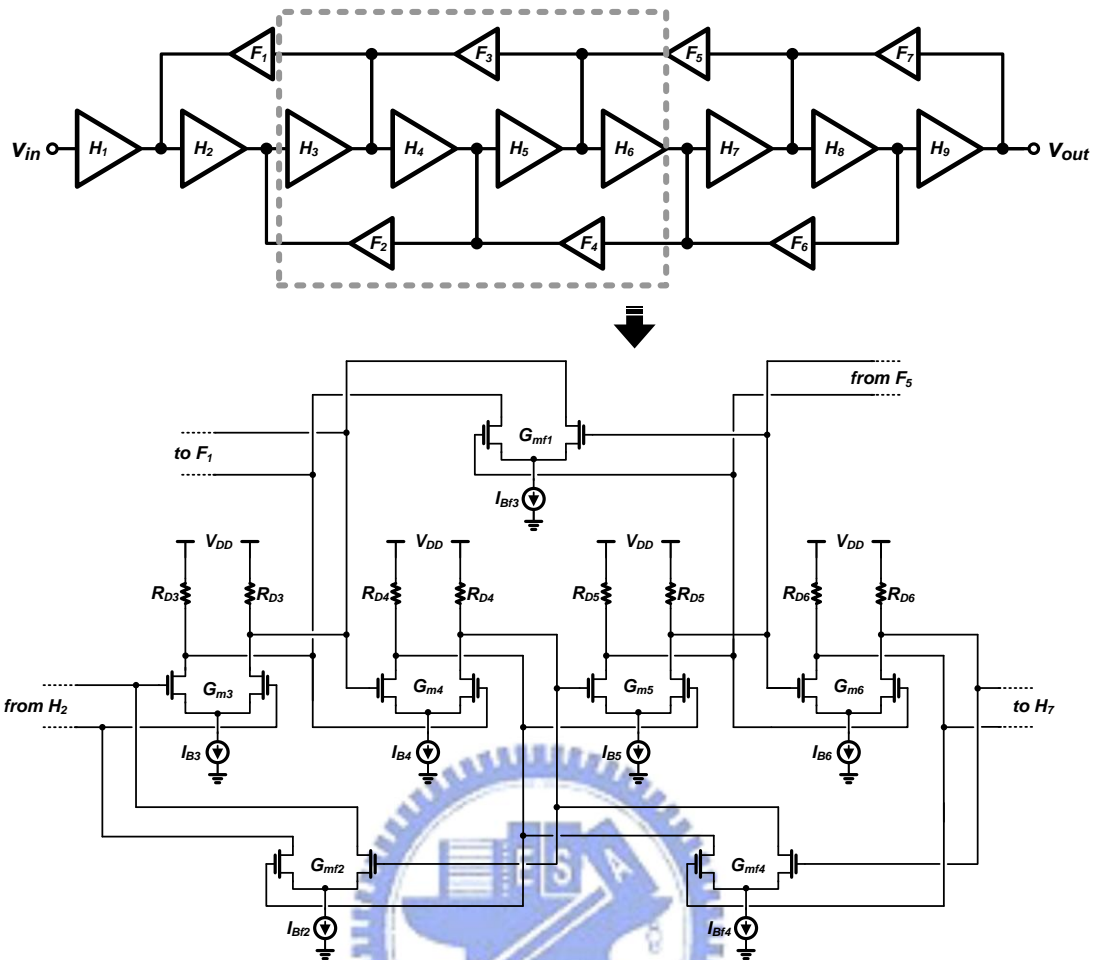
圖(3-7) 右移及左移回授取樣點

以 4 級的逐級套疊式主動回授後級放大器架構為例，圖(3-8):



圖(3-8) 4 級式後級放大器回授系統化簡圖

本晶片一為一個在 90nm CMOS 製程下能操作於 10 Gbps 的 OEIC，因此後級放大器的設計目標頻寬定為 10 GHz、增益則希望大於 30dB，在採用逐級套疊式主動回授之後級放大器架構下，單級源極耦合差動對電路的尾電流可以降低到 3 mA 即可達到規格要求，比一般傳統架構的功率消耗少了許多，並且在考量增益目標和雜訊後決定採用 9 級的逐級疊接式主動回授之後級放大器。最後整體的後級放大器架構電路如圖(3-9):



圖(3-9) 9級式逐級套疊主動回授後級放大器架構

為求分析與設計方便每一單位增益級和主動回授電路分別以相同的源極偶

合對電路 $H(s)$ 和 $F(s)$ 完成、 $(H(s) = \frac{G_m R_L}{1 + sR_L C_L}, F(s) = \frac{G_{mf} R_L}{1 + sR_L C_L})$ ，經過複雜的計

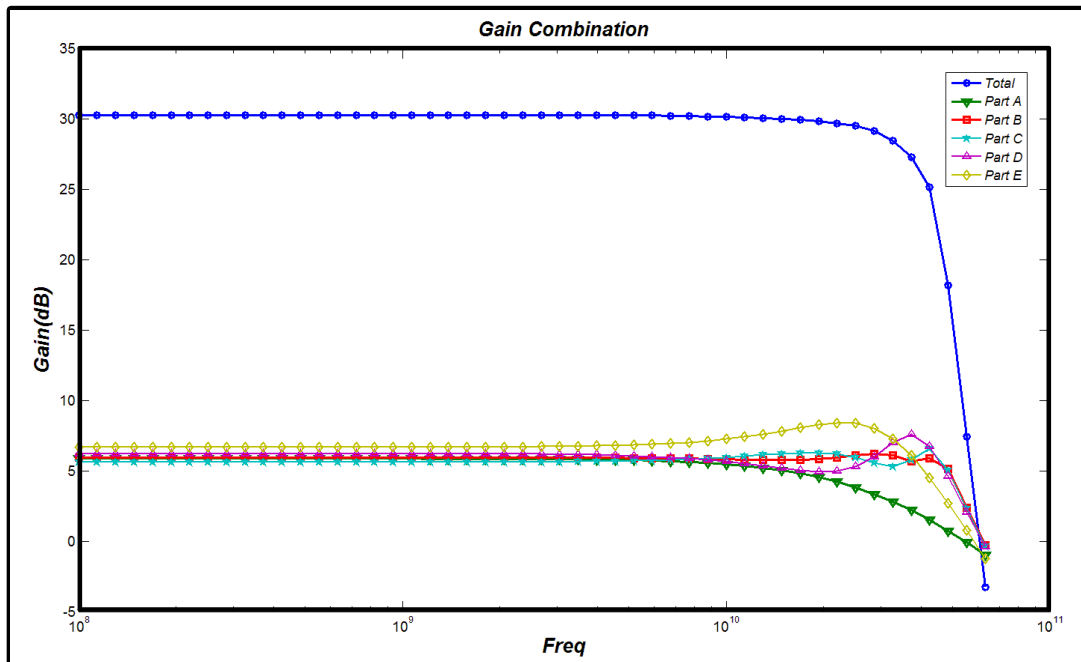
算後，可以將其一整串列的閉迴路放大器拆解成 5 個獨立方程式相乘積，分別以

$T_1(s) \sim T_5(s)$ 表示於式子(3-7)，再將設計後的參數帶入 Matlab 模擬 $T_1(s) \sim T_5(s)$ 的

頻率響應，藉此將可觀察 $T_1(s) \sim T_5(s)$ 之間增益峰化互相補償組合的情況，其模擬

結果如圖(3-10)所示：

$$\begin{aligned}
T_1(s) &: H(s) \\
T_2(s) &: \frac{H^2(s) + 9 \times H^4(s)F(s) + 26 \times H^6(s)F^2(s) + 27 \times H^8(s)F^3(s) + 9 \times H^{10}(s)F^4(s)}{1 + 11 \times H^2(s)F(s) + 41 \times H^4(s)F^2(s) + 62 \times H^6(s)F^3(s) + 34 \times H^8(s)F^4(s) + 3 \times H^{10}(s)F^5(s)} \\
T_3(s) &: \frac{H^2(s) + 3 \times H^4(s)F(s)}{1 + 5 \times H^2(s)F(s) + 3 \times H^4(s)F^2(s)} \\
T_4(s) &: \frac{H^2(s) + H^4(s)F(s)}{1 + 3 \times H^2(s)F(s)} \\
T_5(s) &: \frac{H^2(s)}{1 + H^2(s)F(s)} \\
T_{all}(s) &= T_1(s) \times T_2(s) \times T_3(s) \times T_4(s) \times T_5(s)
\end{aligned}
\tag{3-7}$$



圖(3-10) 9 級式逐級套疊主動回授後級放大器數學式 Matlab 模擬圖

藉由 Matlab 模擬結果可以清楚發現各個獨立的方程式之間增益峯化值相互補償的現象，然而雖然這個好處在[20]的架構中也可以達到，但是其架構的節點迴路增益較低，可以藉由模擬比較後發現，當閉迴路系統中的回授機制更規則、更密集時，其增益峯化值之間相互補償後的平坦度會更好，更能避免訊號傳輸間產生嚴重突波而造成通訊系統的訊號失真。

雖然已經將整個回授系統化簡成數個獨立的轉移方程式相乘積，但是因為其

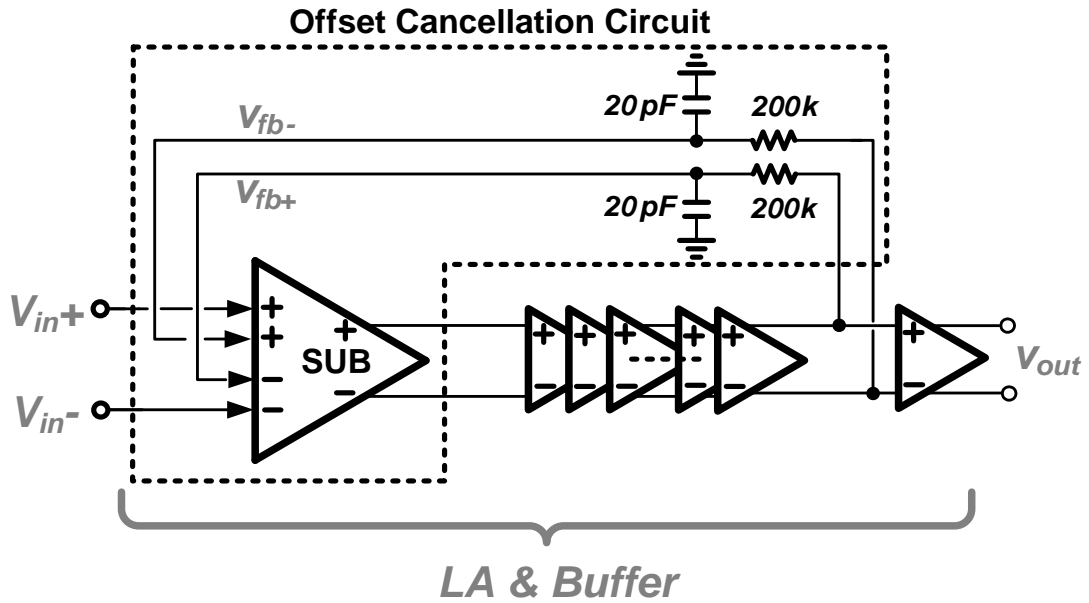
中高階方程式的個別回授參數並不好設計，故這裡並非以這些方程式做為設計的唯一依據。由架構可以觀察出第一級與最後一級差動對輸出點的迴路增益(Loop gain)較其他輸出節點來的小，且後級放大器後面接的是的大電流緩衝器(Buffer)，因此對後級放大器的最後一級回授因子必須做對應比例的增強，故 $F_1(s)$ 與 $F_7(s)$ 將設計的比其他回授因子大。經過以上的分析與模擬證明此架構可以在保持整體放大器增益響應的平坦度下善用增益峯化值來有效地讓頻寬上升。

3.4 偏差消除電路

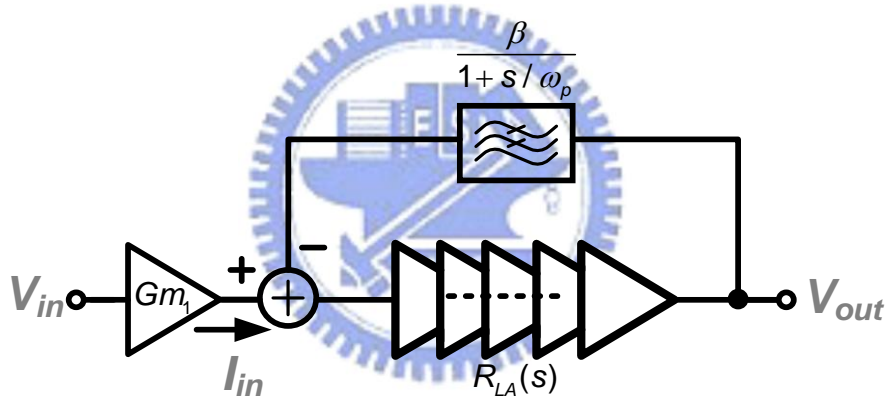
由於後級限幅放大器為多級式架構，每一級的元件大小、 V_t 電壓、以及負載電阻等各項誤差會一直累積下去，導致 DC 偏移電壓可能會越來越嚴重，造成限幅後的波形在經由邏輯電路判讀後會出現高準位與低準位的工作週率(Duty cycle)不是各一半的問題，致使訊號失真以及接收器敏感度下降。所以後級放大器必須加入了消除 DC 偏移的電路結構，利用回授低通濾波器以及減法器來消除後級放大器產生的 DC 偏移電壓以及前端轉組放大器的不平衡訊號，以下將針對細部電路做解說。

3.4.1 低通回授路徑

如圖(3-11)(3-12)、由架構可以知道低通回授式偏差值消除電路不會影響到整體後級限幅放大器操作速度，利用被動元件組成低通濾波器，萃取出輸出電壓接近 DC 時的電壓值，再利用減法器將輸入與輸出之間的 DC 準位相減，藉由得到的誤差值在第一級調整電流分配，進而改善輸出與輸入 DC 準位上的差距。



圖(3-11) 加入偏差消除機制的後級放大器完整架構



圖(3-12) 數學模型

令沒有加偏差消除電路且扣除第一級轉導級後的轉移方程式為 R_{LA} ，低通回授轉

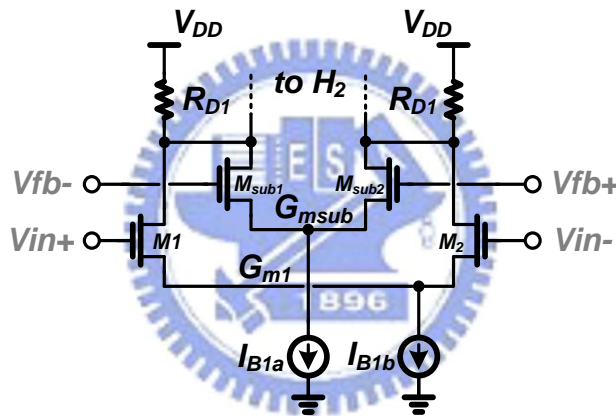
角頻率為 ω_p ，因此加上低通回授和減法器後的整體轉移方程式為(3-8)。

$$\begin{aligned}
 LA(s) &= \frac{I_{in}}{V_{in}} \times \frac{V_{out}(s)}{I_{in}} = G_{m1} \times \frac{R_{LA}}{1 + R_{LA} \frac{\beta}{1 + \frac{s}{\omega_p}}} \\
 &= G_{m1} \times \frac{R_{LA} \left(1 + \frac{s}{\omega_p}\right)}{\frac{s}{\omega_p} + 1 + R_{LA}\beta} = G_{m1} \times \frac{R_{LA}}{1 + R_{LA}\beta} \times \left[\frac{\left(1 + \frac{s}{\omega_p}\right)}{1 + \frac{s}{\omega_p(1 + R_{LA}\beta)}} \right] \quad (3-8)
 \end{aligned}$$

由式子可以得知整體方程式多了一個零點於 ω_p ，和一個極點於 $\omega_p(1+H_{LA}\beta)$ ，低通濾波器的回授路徑導致後級放大器的增益響應成為一個帶通濾波器型式(Band-pass filter)，而低頻的轉角頻率一般都設計大約在 KHz 左右等級的頻段以避免影響到偽隨機二進位置序列(PRBS)訊號的傳輸。

3.4.2 減法器

因為後級限幅放大器是採用 Chery Hooper 放大器中第一級做轉導放大，第二級再轉阻回電壓訊號的概念做延伸，因此如果要以減法器來得到後級放大器輸入與輸出之間的 DC 準位誤差的話，減法就只要執行於第一級的轉導放大即可，因此減法器的架構如圖(3-13)所示。



圖(3-13) 轉導減法器

輸出端因多級串接而累積的偏差電壓值將可藉由減法器得到誤差值，並且在第一級轉導級調整差動對電路 DC 電流分配，進而改善輸出電壓 DC 準位上的偏差。

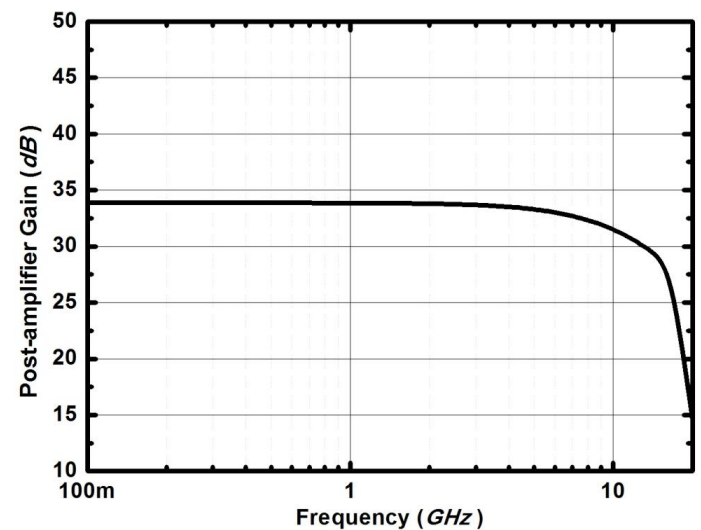
此外，經過式子(3-8)的計算，得知在 DC($s=0$)處 $LA(0) = Gm_1 \frac{1}{\beta}$ ，而 $\beta = Gm_{sub}$ ，因

此表示後級放大器的 DC 輸入準位誤差大約會被放大 $\frac{Gm_1}{Gm_{sub}}$ 倍，當沒有加偏差消

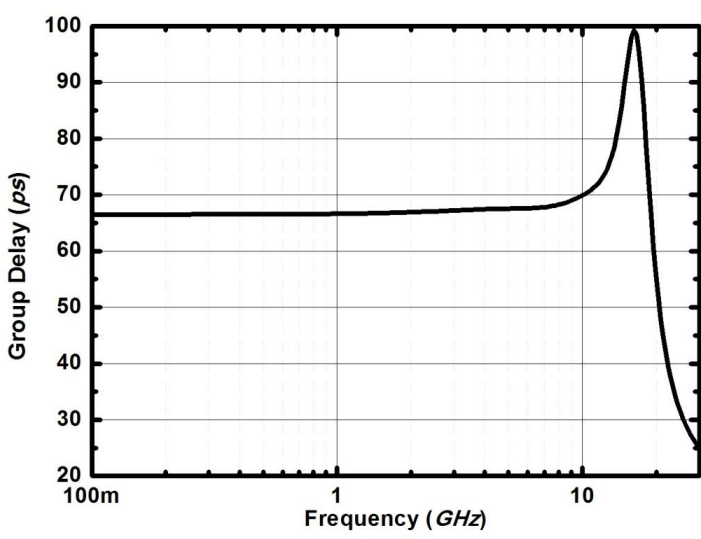
除電路時，DC 輸入準位誤差則會被放大 $Gm_1 \times R_{LA}$ ，由此發現輸入訊號自身的偏差電壓對輸出端的影響也可因此得到抑制。

3.5 模擬結果

為了設計一個在 90 nm CMOS 製程下能操作於 10 Gbps 的 OEIC，因此後級限幅放大器的設計目標頻寬定為 10 GHz、增益則定 30 dB，其增益響應與群體延遲如圖(3-14)，而輸入訊號速度 10 Gbps、大小 20 mV_{pp} 的輸出眼圖如圖(3-15)。

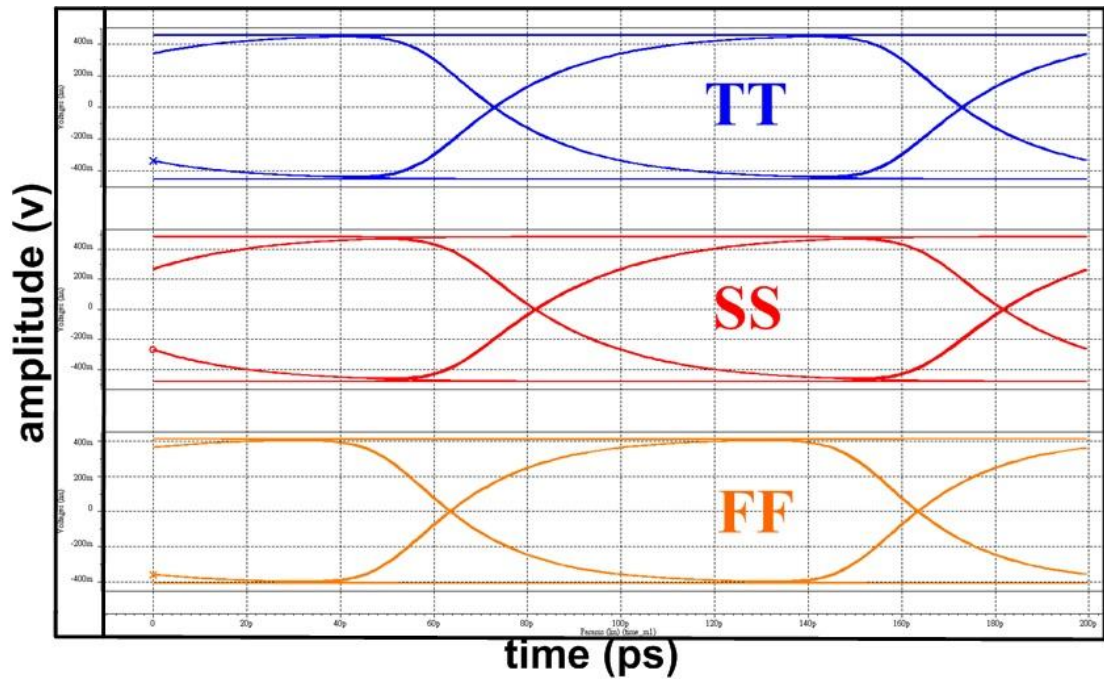


(a)



(b)

圖(3-14) 後級限幅放大器的(a)增益響應與(b)群體延遲



圖(3-15) 後級放大器於 10 Gbps、20mV_{pp} 輸入信號的輸出眼圖

經過 HSPICE 模擬，後級放大器累積到 10 GHz 的輸入參考雜訊電流大約為 290 μV_{rms} ，整理過後的後級放大器規格如表(3-1)所示。

表格 2 (3-1) LA 規格

Spec.	Gain	BW	Input-Referred Noise	Power
LA	33 dB Ω	10.8 GHz	290 μV_{rms}	43.2mW

Chapter 4

Adaptive Equalizer and Buffer



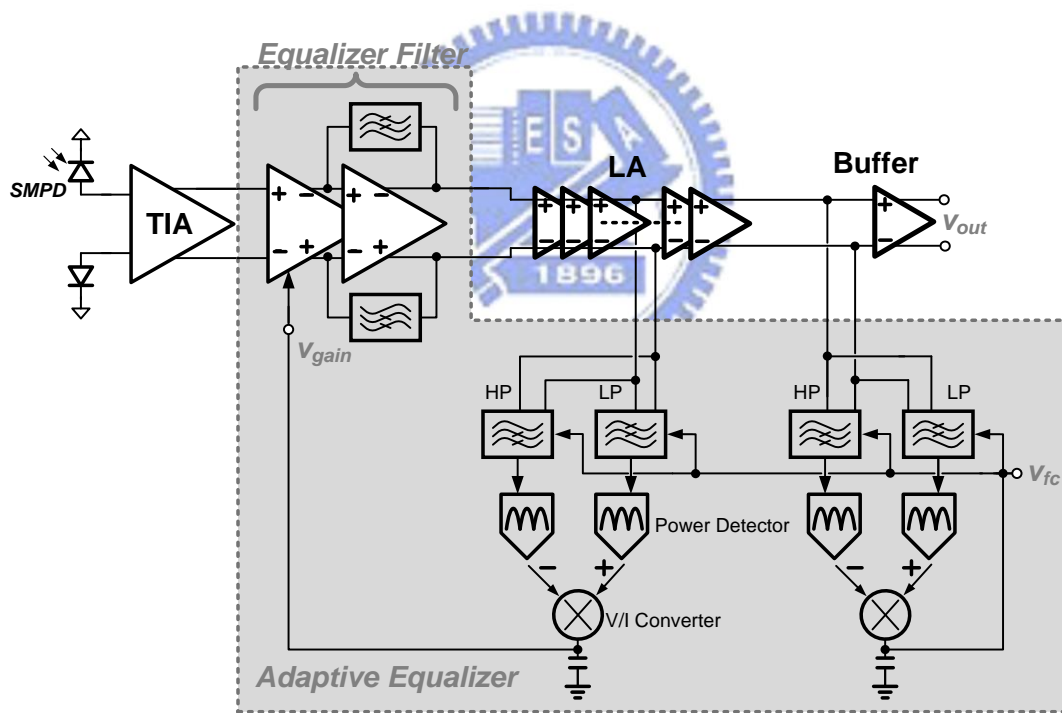
為了成功整合逆偏壓 1.2 V 的 CMOS 積體化長條式空間調變之光感測器光感測器 (Strip type Spatially Modulated Light Photodetector) 來接收 10 Gbps 的 850-nm 光源訊號，必須設計一個適應性等化器 (Adaptive Equalizer) 來補償糟糕的 CMOS 感測器頻寬，並且為了防止當資料樣型 (Data Pattern) 不理想時，造成等化系統的補償機制出現偏差，因此再增加了另一個控制迴路來調整取樣補償量的準則，進而完成一個具有對資料樣型容忍 (Data Pattern Tolerant) 適應性等化器。以下會先從適應性等化器的架構以及操作機制做分析，接著概略說明 CMOS PD 的物理特性之後再一一介紹各個局部的電路設計。

4.1 適應性等化器系統架構與運行

4.1.1 操作特性討論

一般適應性等化系統是利用比較切片機(Slicer)輸入端及輸出端的頻譜分佈來做為調整補償量的依據，但是這樣的等化器系統會有切片機的輸入端及輸出端振幅不平衡的問題，即使調整了低頻增益，其調整範圍也會因為高頻增益與低頻增益的不相關性及電路架構而有所限制[12][13]。

圖(4-1)中的灰色區為本篇論文採取的適應性等化器(Adaptive Equalizer)系統架構[12]，



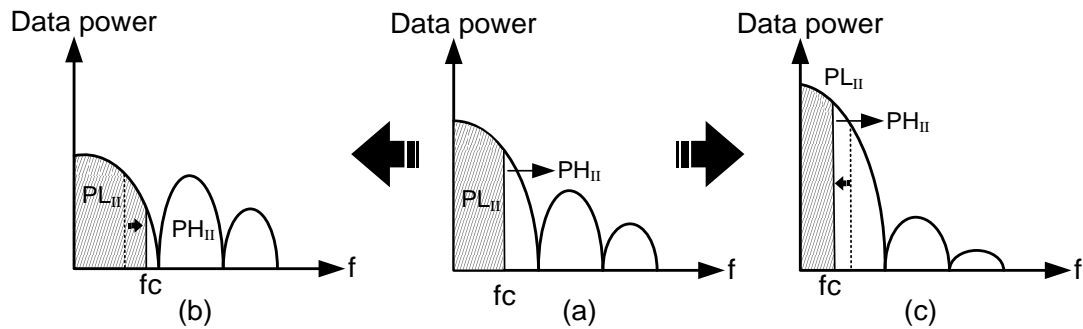
圖(4-1) 適應性等化器(Adaptive Equalizer)系統架構

圖中的下半部即為萃取頻譜功率並且產生控制電壓的偵測迴路，而圖形中的左邊的控制迴路是用來平衡失真的訊號頻譜[13]，而為了讓 OEIC 獲得具有資料樣型容忍度 (Data Pattern Tolerant)和資料速度容忍度(Data Rate Tolerant)功能的操作特性，因此在圖形的右半邊增加了另一個控制迴路。利用左邊的增益補償控制

迴路和右邊的濾波器轉角頻率(Corner frequency, f_c) 控制迴路分別產生 V_{gain} 和 V_{fc} 兩個控制電壓: V_{gain} 用來決定等化濾波器(Equalizing Filter)對失真的轉組放大器輸出訊號高頻增益補償量; V_{fc} 控制的則是頻譜偵測架構中濾波器的 -3dB 截止頻率或稱轉角頻率, 接著將說明訊號走向以及偵測系統的操作過程。

以下先討論右半邊的 V_{fc} 控制迴路的操作情況, 適應性等化器的輸入訊號來自於轉組放大器的輸出, 訊號經由等化濾波器之後會再送入切片機(Slicer), 本晶片的切片機即為其前面章節所介紹的後級放大器(Limiting Amplifier), 其功用就是利用後級限幅放大器 10 GHz 的高頻寬以及高增益來將有失真的或振幅小的差動訊號放大成清楚的波形, 如此一來才能初步的得到資料樣型(Data Pattern), 後級放大器的輸出訊號經過緩衝器後分別傳給具有相同轉角頻率的可調式高通及低通 RC 濾波器, 而在濾波器後面再個別利用功率偵測器(Power Detector)取出高低頻的平均功率: $P_{H||}$ 和 $P_{L||}$, 之後再利用錯誤放大器(Error Amplifier)將 $P_{H||}$ 和 $P_{L||}$ 之間的功率差值轉換成濾波器轉角頻率控制電壓 V_{fc} , 利用這個負回授迴路將 $P_{H||}$ 和 $P_{L||}$ 調整到相同為止。

從圖(4-2)中可以解釋當資料樣型和速度出現變異, 當輸入資料樣型內含長週期的 1 或 0 的資料樣型時, 可調式濾波器的轉角頻率會往下調整, 以免誤認訊號低頻能量過高, 而導致對高頻過度補償(Over-compensated)的現象發生; 同理, 當輸入資料樣型無長週期的 1 或 0 的資料樣型時, 可調式濾波器的轉角頻率會上升, 以免誤認訊號高頻能量過高, 而導致對高頻補償不足(Under-compensated)的現象發生。因此利用 V_{fc} 控制迴路這個機制可以為當下的光電流資料樣型找出合適的濾波器轉角頻率, 進而提供給 V_{gain} 控制迴路的濾波器一個適當頻譜偵測依據。



圖(4-2) 濾波器轉角頻率 f_c 隨著資料樣型: (a)PRBS (b)高頻率的資料轉換 (c)長週期的 bit 資料鏈而變動

接下來討論 V_{gain} 控制迴路的訊號處理與運作流程，此迴路和上面所介紹的雷同，而為了要準確偵測出訊號失真的情況，因此訊號如果經過太多級的放大而導致振幅飽合的話，將無法準確還原訊號原本的失真情況，故 V_{gain} 控制迴路的訊號來源來自於 LA 串級架構的中間節點，將其輸出送入和另一迴路一樣的可調式的高通及低通 RC 濾波器，而其轉角頻率即是從 V_{fc} 控制迴路得到的結果，之後也是同樣再經由功率偵測器(Power Detector)取出高低頻的平均功率: PH_I 和 PL_I ，並且利用錯誤放大器(Error Amplifier)將 PH_I 和 PL_I 之間的差值轉換成可調式等化濾波器的控制電壓 V_{gain} 。而轉角頻率的訂定、切片機的用途、以及兩個迴路之間的相互關係會在以下做更詳細的等化器架構操作介紹。

4.1.2 說明頻譜偵測功能細節

✓ 轉角頻率 f_c 的效用

此等化器架構是藉由可調式的高、低通濾波器分別取出高、低頻頻譜功率後，萃取兩者之間差異量來當調整等化濾波器補償量依據，並且為了防止資料樣型變異，所以這邊增加了另一個可以控制轉角頻率 f_c 的負回授迴路，讓可調式濾波器可以隨著資料樣型變異情況自我調整到合適的轉角頻率，以下將分析如何界定濾波器的轉角頻率範圍[12]。

理想的偽隨機二進位置序列(Pseudo Random Binary Sequence, PRBS)訊號在經過正規化後的頻譜值可以表示為:

$$S_x(f) = T_b \left[\frac{\sin(\pi f T_b)}{\pi f T_b} \right]^2 \quad (4-1)$$

T_b 為資料串的位元周期，接著要找出一個可以把訊號頻譜分離成兩個相等功率的濾波器轉角頻率，其積分功率的數學式如下[13]:

$$\begin{aligned} \int_0^\infty S_x(f) df &= \frac{1}{2} \\ \int_0^{f_m} S_x(f) df &= \int_{f_m}^\infty S_x(f) df = \frac{1}{4} \\ f_c &\approx \frac{0.28}{T_b} \end{aligned} \quad (4-2)$$

因此可以得知當訊號為理想的 PRBS 資料時，濾波器的轉角頻率必須大約設計成 0.28 倍的資料位元頻率才能將訊號頻譜分割成兩個相等功率，但這也表示此轉角頻率只適用於資料為理想的隨機二進位樣型，如果資料樣型出現長週期的 1 或 0，或是高頻率的 1 和 0 訊號轉換時，將會造成等化器出現過度補償或補償部不足的現象發生。因此必須再加上一個會隨著資料樣型而自行調整濾波器轉角頻率的控制迴路，當訊號的資料樣型低頻功率較大時，轉角頻率(f_c)會被控制迴路往低頻移動；反之，當訊號的資料樣型高頻功率較大時，轉角頻率會跟著往高頻方向調整。示意圖已如圖(4-2)表示。

而在光通訊傳輸中，資料樣型理論上還是以 PRBS 訊號為主，所以在設計可調式濾波器時會以 0.28 倍的資料位元速度做為頻率可調範圍的中心位置。

✓ 切片機(Slicer)的功能

雖然在[13]的架構中可以藉由拿掉切片機而達到較低的電流消耗以及較高的操作頻率，但是這不僅讓等化器只能適用於理想的隨機 PRBS 資料樣型，導

致架構不夠健全地適用於所有情況，而且因為此適應性等化器是要應用在 OEIC 系統中，若只靠轉阻放大器來放大光電流訊號和當適應性等化器的訊號來源的話，其輸出振幅是不夠的，故在接收機架構中後級放大器(切片機)將不可省略。後級放大器(切片機)讓 OEIC 接收機最後的輸出振幅可以放大到數位可解調的準位，其大擺幅的輸出特性也提高了資料樣型偵測迴路的判斷能力，進而可以針對資料樣型的變異情形對濾波器的轉角頻率做出適當的調整。此外，此架構有別一般等化器架構，此晶片不是採切片機(Slicer)的輸入與輸出點的差值來做補償依據，因此切片機的輸入端及輸出端振幅不平衡的問題更不會出現於此。而後級放大器架構將於另一章節做詳細的介紹。

✓ **Vgain 與 Vfc 兩個控制迴路之間運作細節**

在等化架構中兩個控制迴路之間的關係是屬於相互影響的，當 10Gbps 的光訊號經過頻寬 850MHz 的 CMOS 積體化長條型(Strip type)光感測器後會產生嚴重失真的光電流訊號，利用 Vfc 和 Vgain 這兩個控制迴路同時調整，可以觀察出一開始因為訊號失真的關係所以訊號切換的慢甚至未完全轉換時下一個訊號就已經來到，這樣的情況會導致後級放大器錯誤放大，影響了對真實資料樣型的正確判斷，但這也表示失真訊號的低頻功率較大，故前段的 Vgain 控制迴路會開始運行增益補償，因此失真的訊號在轉換處會慢慢回復，後面的轉角頻率的控制迴路也可以做出正確的資料樣型判讀。

為了使等化系統更加穩定且不希望 Vgain 控制迴路的增益補償因短時間的資料樣型變異而立即受到擾動，故等化系統的閉迴路主極點設計於 Vfc 節點處，所以會設計轉角頻率的控制迴路頻寬較於前段的 Vgain 控制迴路低很多，所以如果發生後級放大器因為訊號失真而錯誤放大導致偵測到訊號有較大低頻功率時，也不會馬上造成轉角頻率被調整到更低的頻率而去影響到前段 Vgain 控制迴路的補償。不過當資料樣型長時間出現變異時，頻寬較低的轉角頻率的控制迴路會

將 V_{fc} 慢慢穩定在某個對應的適當值，而且因為後級放大器大增益的特性，即使前段 V_{gain} 變化劇烈，只要資料樣型不變， V_{fc} 的變化會非常小，如此一來兩個迴路才能在互相合作情況下順利運行。

下一小節將開始介紹各個子電路的架構與設計細節。

4.2 等化濾波器(Equalizing Filter)

4.2.1 CMOS SM PD 的元件特性

在介紹等化濾波器設計之前，先必須針對 OEIC 訊號失真的源頭:CMOS PD 做進一步的分析。為減少成本、棒線 ESD 等缺點，完成一個高整合度的高速光電積體電路(Optoelectronic Integrated Circuit, OEIC)是本晶片的主要目標，而理想上 PD 在第一時間必須能完全將偵測到的光訊號轉換成電流訊號，但 CMOS PD 的頻寬並無法達到這裡預計操作於 10 Gbps 的設計要求，因此 CMOS PD 的規格表現將決定後段適應性等化器應補償的頻率範圍。除了考量其頻寬外，光感測器的響應度也會直接影響整個 OEIC 的靈敏度。由此可知，如何選擇 CMOS PD 的種類與結構將是一個重要的議題。

為了提高光感測器頻寬，故以空間調變式光感測器(Spatially Modulated Photodetector, SMPD)為主要的光感測器種類，其中長條式空間調變之光感測器(Strip type SMPD)，如圖(2-3)，它是以多條 Nwell / Psubstrate 照光感測器(沒有用金屬遮蔽)與不照光感測器(用金屬遮蔽)的光感測器交錯所構成。當 PD 受到 850-nm 的光照射下，受光的感測器的電子電洞對會分裂，其會產生以下三種光電流成分[1] [6]-[8] [10]：

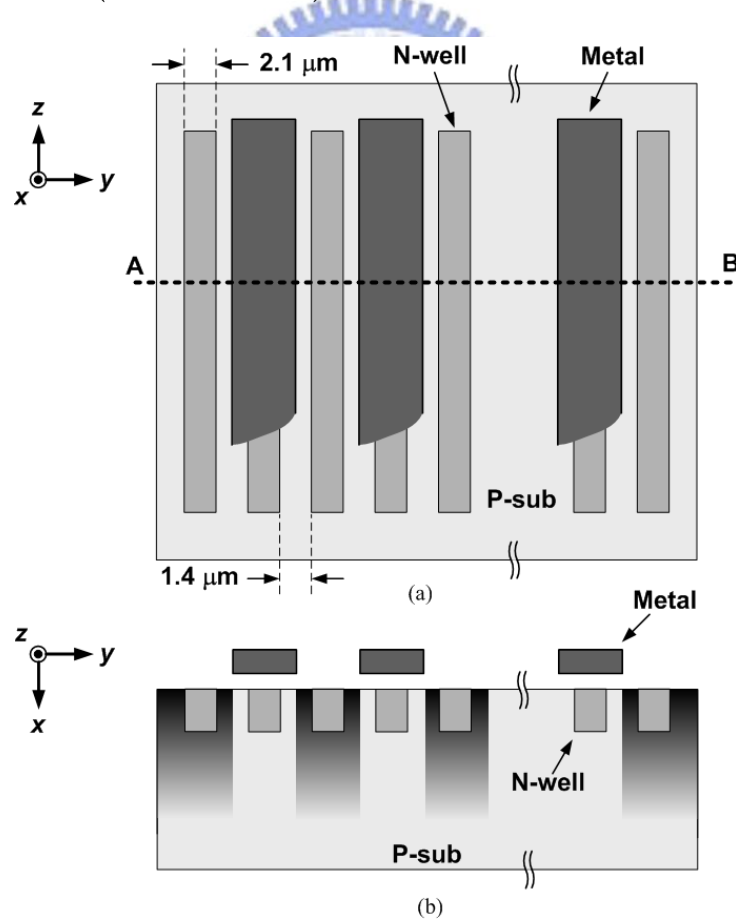
I_{dr} ：受電場影響下的空乏區之快速飄移電流。

I_{nL} 和 I_{nD} ：照光區和不照光區 P 型中性區之慢速擴散電流。

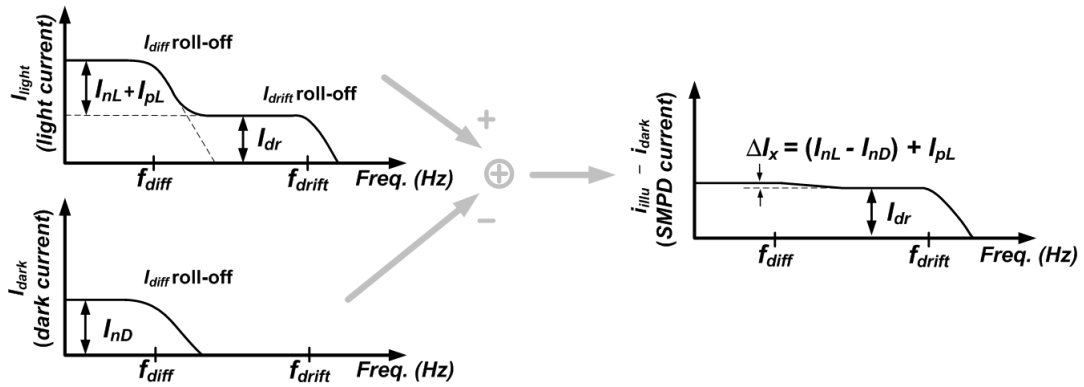
I_{pL} ：N 型中性區之慢速擴散電流。

因為波長 850-nm 的光源對於矽材質的穿越深度會超過 N-well 底部，所以大部分的光電流會是 P 型中性區(P-substrate)所產生的慢速擴散電流，其電流會向四面八方做擴散。若受光與不受光的光感測器彼此距離越接近，則 P-substrate 的慢速擴散電流被兩個光感測器收集到的擴散電流會越接近($I_{nL} \approx I_{nD}$)，此時將所有的受光感測器與所有的不受光感測器分別接到一個全對稱式的差動型 TIA 輸入兩端，則該慢速的 P-substrate 擴散電流將被相減而移除掉，如此一來將可以得到一個寬頻的 CMOS PD，有效地提高 OEIC 的資料速度，下圖(4-4)說明長條式空間調變之光感測器的電流成分，可看出受光的光感測器與不受光的光感測之電流相減之後，剩下的會即是高速的電流成分。電流方程式(4-3)如下：

$$I_{light} - I_{dark} = (I_{nL} + I_{pL} + I_{dr}) - I_{nD} = (I_{nL} - I_{nD}) + I_{pL} + I_{dr} \quad (4-3)$$

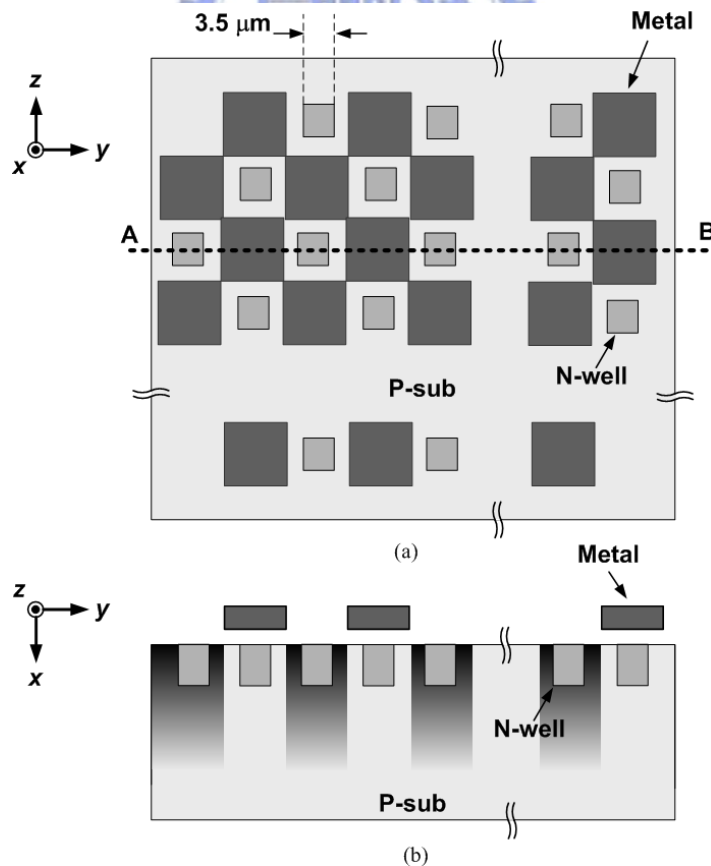


圖(4-3) 長條式空間調變之光感測器(Strip type SMPD)的(a)上視圖(b)剖面圖。

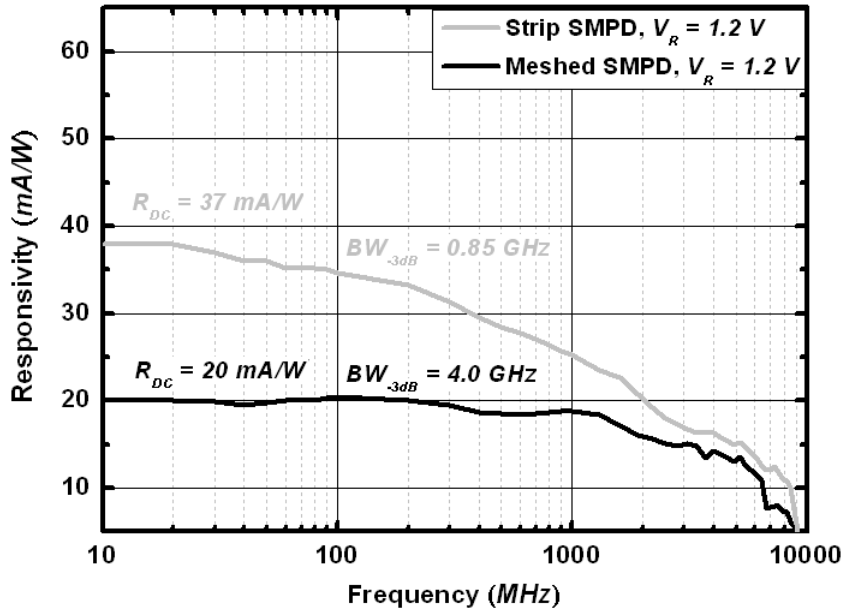


圖(4-4) 長條式空間調變之光感測器(Strip type SMPD)的電流響應

同樣的理念下，也有另一種架構：網狀式空間調變之光感測器(Meshed type SMPD) [11]，如圖(4-5)；雖然在逆偏壓為 1.2 V 下，長條式空間調變之光感測器的頻寬只有 850 MHz，只達網狀式光感測器的 0.22 倍，可是其響應度仍有 37 mA/W，是網狀式光感測器的 2 倍，其兩個元件的量測比較圖如圖(4-6)，因此為了設計一個高靈敏度的 OEIC 系統，本晶片選擇長條式空間調變之光感測器來完成光感測器設計。

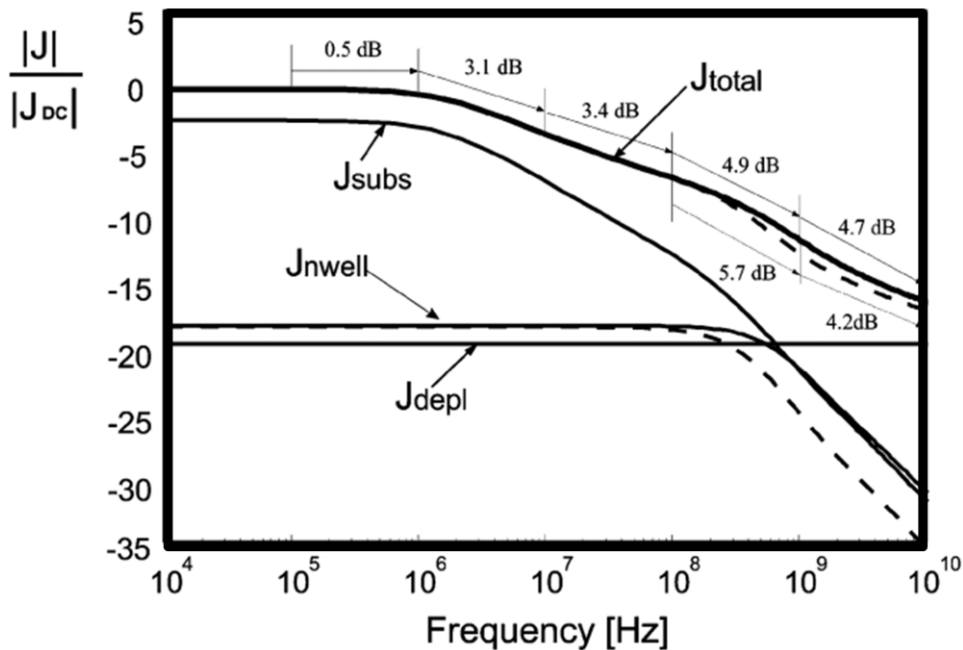


圖(4-5) 網狀式空間調變之光感測器(Meshed type SMPD)(a)上視圖(b)剖面圖



圖(4-6) 在逆偏壓 1.2V 下，Strip 和 Meshed SMPD 的頻率響應比較

決定 CMOS PD 的架構後，接著必須依照 PD 的物理特性與量測結果做進一步的分析，可以發現 PD 的響應度在數百 MHz 到數 GHz 附近隨著頻率上升而衰減的速度並非是單純的 -20 dB/decade，而是大約以 -3~-5 dB/decade 的速度慢慢下降，過了數 GHz 後下降速度才會的越來越快。如同上面所介紹，CMOS PD 的光電流是由數個不同成分所組成，由圖(4-7)可以示意各個分項成分[9]。



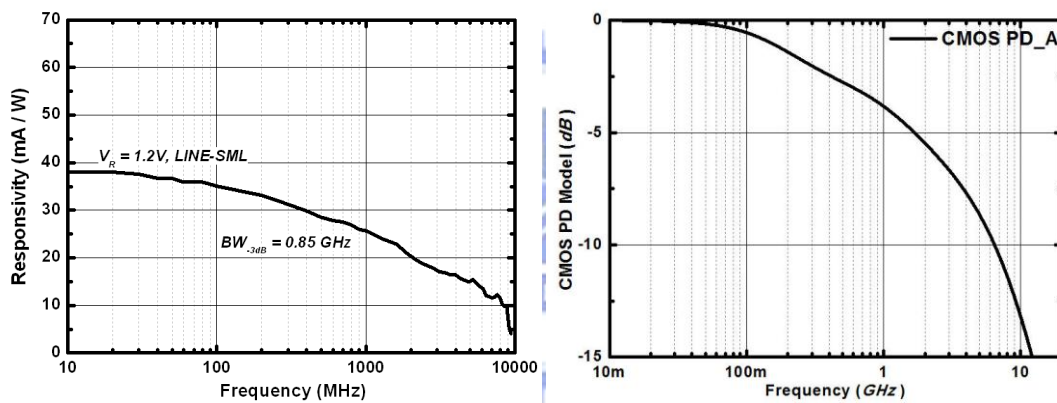
圖(4-7) CMOS PD 電流成分響應示意圖

因此我們可以試著用數個一階低通方程式相加去模擬 CMOS PD 數百 MHz 到數 GHz 的慢速衰減響應，接著再乘上 2 階重根的低通濾波去模擬數 GHz 後的快速衰減響應，最後可以將 CMOS PD 電流響應用以下數學模型(4-4)表示：

$$PD(s) = \left(\frac{A_1}{1 + \frac{s}{\omega_{p1}}} + \frac{A_2}{1 + \frac{s}{\omega_{p2}}} + \frac{A_3}{1 + \frac{s}{\omega_{p3}}} \right) \times \frac{1}{\left(1 + \frac{s}{\omega_{p4}}\right)^2}$$

$$= \frac{A_1 \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) + A_2 \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) + A_3 \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \left(1 + \frac{s}{\omega_{p3}}\right) \left(1 + \frac{s}{\omega_{p4}}\right)^2} \quad (4-4)$$

利用這個方式可以有效逼近逆偏壓於 1.2 V 長條式空間調變之光感測器的量測結果，其量測結果與數學模型的頻率響應圖如圖(4-8)：



圖(4-8) 量測結果與數學模型之頻率響應圖

接下來將依照這個數學模型來完成等化濾波器設計。

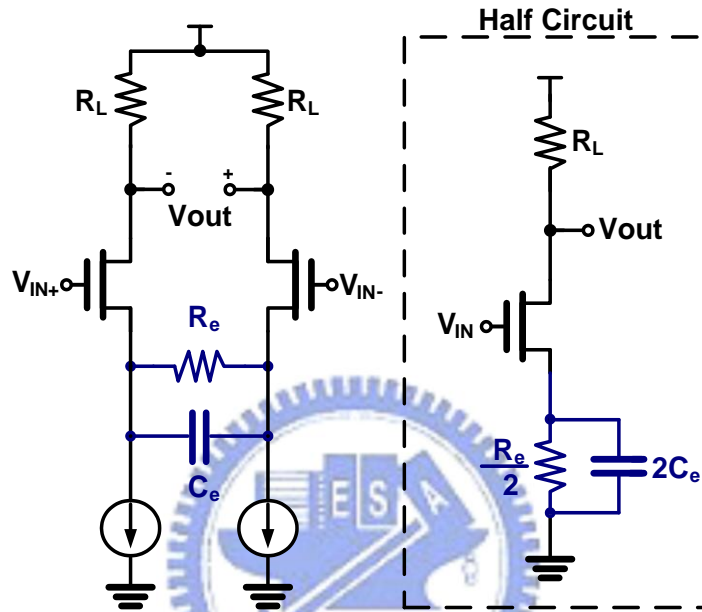
4.2.2 所提出的等化濾波器(Equalizing Filter)

為實現一個操作於 10Gbps 的光電積體電路，頻寬不足的 CMOS PD 將是主要導致訊號失真的來源，所以必須設計一個可以在高頻頻段完成增益補償的等化濾波器(Equalizing Filter)，進而讓接收機的整體頻寬可以增加到 7 GHz。

在此晶片設計中，為了提高 OEIC 晶片的整合度，因而大幅降低 CMOS PD 的逆偏電壓至 1.2 V，導致光感測器的頻寬大約會降到 850 MHz 左右，所以等化濾波器增益補償的頻段範圍將會由 850 MHz 開始一路到 7 GHz 為止，其增益補

償的頻率範圍需求變得相當的大，因此等化濾波器架構若是仍只採用傳統的源極退化放大器將無法達到要求，下面將先進一步分析傳統的源極退化放大器的架構問題。

傳統的等化濾波器大多是選擇用源極退化放大器(Source-degeneration Amplifier)來提供所需的零點[12]，架構如圖(4-9)所示：



圖(4-9) 傳統源極退化放大器電路圖

由轉導方程式可以明確定義出源極退化放大器的零點和極點位置，其式子(4-5)如下：

$$EQ(s) = \frac{G_m R_L}{1 + \frac{G_m R_e}{2}} \times \frac{1 + s/\omega_z}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (4-5)$$

式子中的 $\omega_z = \frac{1}{R_e C_e}$ 、 $\omega_{p1} = \frac{1 + \frac{G_m R_e}{2}}{R_e C_e}$ 、 $\omega_{p2} = \frac{1}{R_L C_L}$ 。

由上面式子可以得知，藉由源極退化放大器的 ω_z 與 ω_{p1} 可以完成增益補償並且控制補償範圍，接著開始分析源極退化放大器架構的限制。當欲補償的頻率位置較低頻時，必須增加 R_e 和 C_e 乘積值，但若為了節省晶片面積而選擇增加 R_e 的

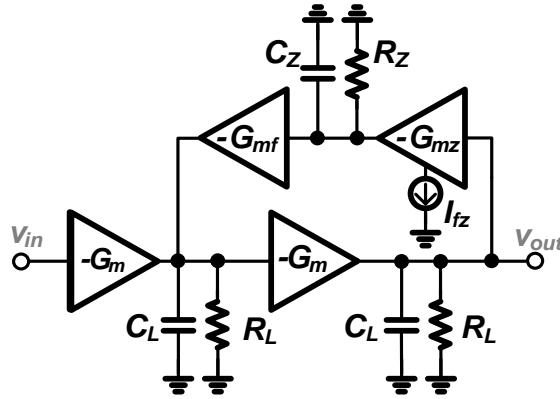
話，會同時導致源極退化放大器的 DC 增益 $EQ(0) \approx \frac{2R_L}{R_e}$ 變小，尤其當整體源

極退化放大器頻寬 ω_{p2} 必須達到寬頻 (R_L 變小) 時，DC 增益縮小的情況將更為嚴重。以補償頻率位置 850 MHz 為例，把 C_e 降到 0.2 pF 內，可以算出 R_e 等於 0.95 K Ω ，在 7 GHz 的接收機頻寬要求下 ($C_L = 50$ fF)， R_L 源極退化放大器的 DC 增益會降到 -7 dB 以下，這將嚴重影響了接收機的整體增益，尤其轉導放大器的輸出電壓只有 mV 等級，若振福又被等化濾波器縮小個 2 倍以上，將有可能會造成後級放大器讀取出訊號時出問題，因此只能靠降低 R_e 並且增加 C_e 才能挽救增益下降的問題，但是這又直接導致 ω_{p1} 下降，縮短了 ω_z 與 ω_{p1} 之間的頻率距離，進而影響源極退化放大器提供的增益補償量。

反之，當欲補償的頻率位置較高頻時，必須降低 R_e 和 C_e 乘積值，但降低 R_e 會縮短 ω_z 與 ω_{p1} 之間的頻率距離，影響了源極退化放大器提供的增益補償量，而過小的 C_e 則會對寄生效應或是製程變異更加敏感，此外源極退化放大器補償範圍也會直接受限於源極退化放大器頻寬 ω_{p2} 。經過以上討論後得知傳統的源極退化放大器將無法提供這裡增益補償的頻率範圍較廣的需求，因此如何針對這些缺點加以改善是非常重要的。

針對以上分析的問題，發現當零點位置跟等化濾波器的 DC 增益相互影響時，會降低等化濾波器電路的整體表現。此外，也必須想辦法提高等化濾波器自身的頻寬，以免限制了增益補償機制的操作速度，因此這邊提出以下這個架構，如圖 (4-10) 所示，這個架構的出發點是希望利用主動回授來提高等化濾波器的整體頻寬，好讓增益補償的頻率範圍可以擴大而不會受限於等化濾波器自身頻寬。接著將回授路徑改成串級式主動回授，利用在回授路徑 β 中引入極點的方式來達到

在閉迴路、 $T = \frac{A}{1+A\beta}$ 、中產升零點的效果，其基本數學模型如式子(2-6)所示：



圖(4-10) 2 級式極點主動回授式等化濾波器電路圖

$$\begin{aligned}
 EQ(s) = \frac{V_{out}}{V_{in}}(s) &= \frac{\left[\frac{G_m R_L}{(1+sR_L C_L)}\right]^2}{1 + \frac{G_{mf} R_L G_{mz} R_Z}{(1+sR_L C_L) \times (1+sR_Z C_Z)} \times \frac{G_m R_L}{(1+sR_L C_L)}} \\
 &= \frac{(G_m R_L)^2 (1+sR_Z C_Z)}{(1+sR_L C_L)^2 (1+sR_Z C_Z) + (G_m R_L G_{mf} R_L G_{mz} R_Z)} \\
 &= \frac{(G_m R_L)^2 (1+sR_Z C_Z)}{\left[(1+G_m R_L G_{mf} R_L G_{mz} R_Z) + s \times (2R_L C_L + R_Z C_Z) \right. \\
 &\quad \left. + s^2 \times (2R_L C_L R_Z C_Z + R_L^2 C_L^2) + s^3 \times R_L^2 C_L^2 R_Z C_Z \right]} \\
 &= \frac{(G_m R_L)^2}{1+G_m R_L G_{mf} R_L G_{mz} R_Z} \times \frac{1+s/\omega_z}{(1+s/\omega_{p1})(1+s/\omega_{p2})(1+s/\omega_{p3})}
 \end{aligned}$$

$$\text{where } \omega_z = \frac{1}{R_Z C_Z} .$$

(2-6)

由分析出來的結果可以得知零點位置直接等於回授路徑上的極點

$\omega_z = \frac{1}{R_Z C_Z}$ ，而且因為電路採用源級耦合差動對架構，所以 DC 增益

$\frac{(G_m R_L)^2}{(1+G_m R_L G_{mf} R_L G_{mz} R_Z)}$ 只要藉由調整 G_{mz} 和 R_Z 就可以在不改變 DC 增益的情況下

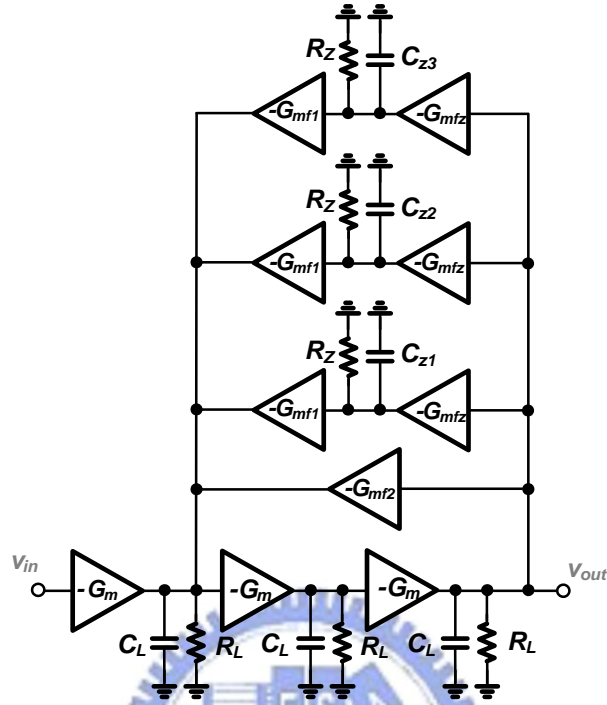
調整零點位置，所以就算要補償的零點頻率位置較低時，也可以直接藉由增加 R_z 來完成補償，不用擔心會影響 DC 增益；而如果把整個把轉移方程式 $EQ(s)$ 帶進 Matlab 去模擬極點位置，可以發現在在正常的 C_z 值下， $EQ(s)$ 的極點為一組共軛根和一個非常高頻的實數根，共軛根的位置主要是受主動回授的 Cherry-Hooper 放大器架構本身架構頻寬所影響，而 Cherry-Hooper 放大器的頻寬跟一般單級放大器比原本就有明顯的改善，因此當欲補償的頻率位置較高時，零點的頻率位置將更不受制於等化濾波器自身的頻寬範圍，進而有效提升電路補償的能力範圍。除此之外，因為欲補償的頻率範圍在 850 MHz~7 GHz 之間，因此零點離 Cherry-Hooper 放大器自身的高頻寬極點較遠，所以即使為了提高 Cherry-Hooper 放大器的迴路增益而將等化濾波器電路變成 3 級式放大器也不會造成穩定性不足的問題。

選擇這個濾波等化器架構的另一個重要原因是為了要依照 CMOS PD 的物理特性做更針對性的補償，因為如果只是針對增益大小做補償而不考慮到 CMOS PD 失真所導致的相位位移的話，那麼當 PRBS 的失真訊號在經過等化濾波器挽救後只能確保其輸出振幅正確，但卻無法完整處理傳輸 PRBS 時，不同頻率的資料相位移不同而導致的 Jitter 量。以下將針對前一段討論的 CMOS PD 的物理特性以及 CMOS PD 的實際原件量測結果做出數學分析，好進一步了解該如何以上面提出來的架構進一步演化出能同時對增益與相位同時補償的等化濾波器架構。

由 4.2.1 小節可以發現 PD 的響應度在數百 MHz 到幾 GHz 附近隨著頻率上升而衰減的速度並非是單純的 -20 dB/decade，而是大約以 -3~-5 dB/decade 的速度慢慢下降[9]，要頻段過了幾 GHz 後下降速度才會的越來越快。而 CMOS PD 的光電流是由數個成分組成，必且已經依照逆偏壓 1.2 V 的長條式空間調變之光感測器量測結果做出式子(4-4)數學模型。

數個一階低通方程式相加模擬出的 CMOS PD 的物理與數學特性，再套用

於這邊提出來的 3 級式極點主動回授式等化濾波器可以直觀地演化成零點相加的架構，電路圖與轉移方程式如圖(4-11)與式子(4-7)：



圖(4-11) 權重式極點主動回授的 Equalizing Filter 架構圖

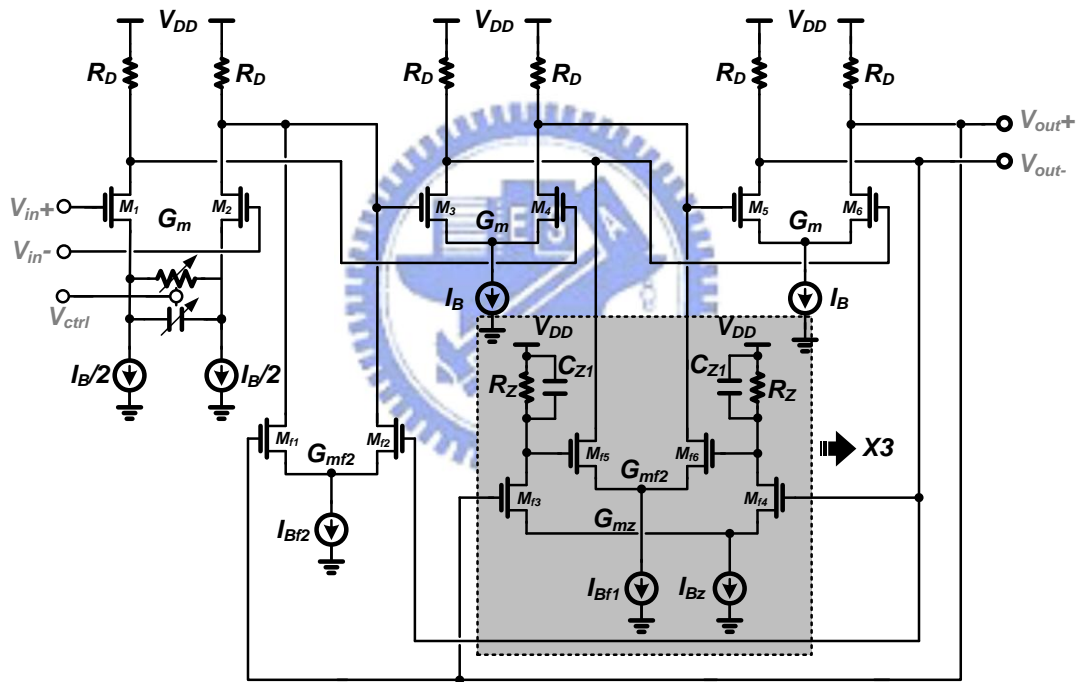
$$EQ(s) = \frac{H^3}{1 + (F_1^2 + F_2^2 + F_3^2 + F_4)H^2}$$

$$\text{where } H = \frac{G_m R_L}{(1 + sR_L C_L)}, F_{1-3}^2 = \frac{G_{mf1} R_L G_{mz} R_Z}{(1 + sR_L C_L) \times (1 + sR_Z C_{Z1-3})}, F_4 = \frac{G_{mf2} R_L}{(1 + sR_L C_L)}$$

$$EQ(s) = \frac{(G_m R_L)^3 \times (1 + sR_Z C_{Z1})(1 + sR_Z C_{Z2})(1 + sR_Z C_{Z3})}{\left[\begin{aligned} &(1 + sR_L C_L)^3 (1 + sR_Z C_{Z1})(1 + sR_Z C_{Z2})(1 + sR_Z C_{Z3}) \\ &+ (G_m R_L)^2 (G_{mf1} R_L G_{mz} R_Z) \left[\begin{aligned} &(1 + sR_Z C_{Z2})(1 + sR_Z C_{Z3}) \\ &+ (1 + sR_Z C_{Z1})(1 + sR_Z C_{Z3}) \\ &+ (1 + sR_Z C_{Z1})(1 + sR_Z C_{Z2}) \end{aligned} \right] \\ &+ (G_m R_L)^2 (G_{mf2} R_L) [(1 + sR_Z C_{Z1})(1 + sR_Z C_{Z2})(1 + sR_Z C_{Z3})] \end{aligned} \right]} \quad (4-7)$$

設計完主要的增益補償來源後，接下來要在架構中加入可調機制。因為架構的基本理念是採用 Cherry Hooper 放大器概念，第一級主要是提供的 Gm 轉導，因此如果要在等化濾波器中加入可調機制，直接對第一級 Gm 轉導調整即可，故這裡將第一級架構換成源極退化放大器架構。

因為主要的高低頻補償量已由極點主動回授提供，致使第一級 G_m 轉導的可調範圍與增益大小不需要太大，而且對於源極退化放大器受限於 ω_{p2} 的問題也會因為主動回授的關係讓 ω_{p2} 往更高頻移動，使得 ω_{p1} 的設計範圍彈性更大。總結以上分析，第一級的可調式 G_m 轉導在低頻部分只需要在已補償的增益峰值上做調整就好，不用只依靠源極退化放大器自己去達到需要的補償量，善用各個架構自己的優點做配合，進而完成一個對 CMOS PD 達到寬頻增益補償的等化濾波器設計，最後的架構圖(4-12)、轉移方程式與 CMOS PD 對照式(4-8)如下：



圖(4-12) 提出來的可調式零點主動回授之等化濾波器電路圖

$$EQ(s) = \frac{T(s)H^2(s)}{1 + (F_1^2(s) + F_2^2(s) + F_3^2(s) + F_4(s))H^2(s)}$$

$$\text{Where } T(s) = \frac{G_m R_L}{1 + \frac{G_m R_e}{2}} \times \frac{(1 + sR_e C_e)}{(1 + s\frac{R_e C_e}{1 + \frac{G_m R_e}{2}})(1 + sR_L C_L)}, H = \frac{G_m R_L}{(1 + sR_L C_L)}$$

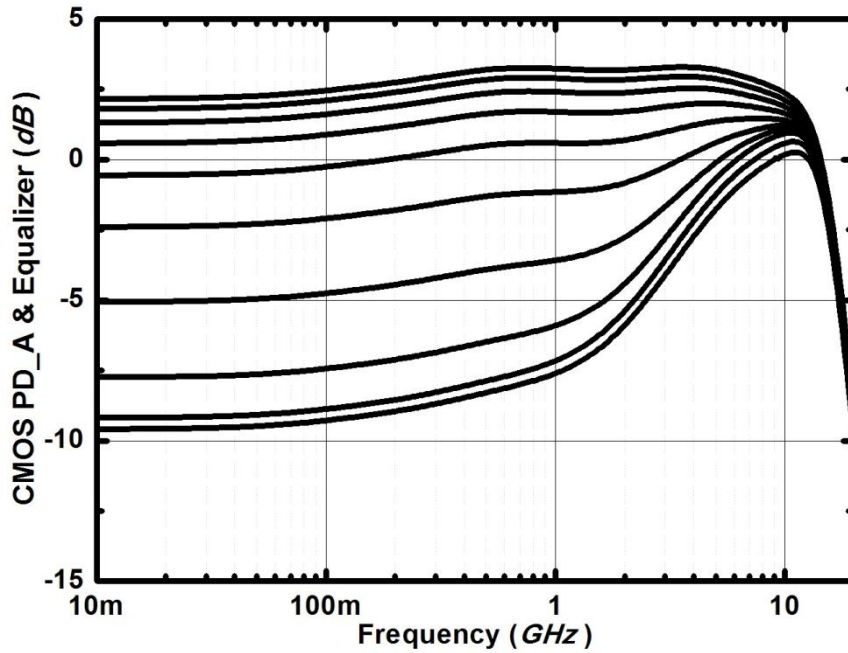
$$F_{1\sim3}^2(s) = \frac{G_{mf1} R_L G_{mz} R_Z}{(1 + sR_L C_L) \times (1 + sR_Z C_{Z1\sim3})}, F_4(s) = \frac{G_{mf2} R_L}{(1 + sR_L C_L)}$$

$$\Rightarrow EQ(s) \approx T(s) \times \frac{(G_m R_L)^2 \times (1 + \frac{s}{\omega_{Z1}})(1 + \frac{s}{\omega_{Z2}})(1 + \frac{s}{\omega_{Z3}})(1 + \frac{s}{\omega_{Z4}})}{\left[(G_m R_L)^2 (G_{mf2} R_L) \left[(1 + sR_Z C_{Z1})(1 + sR_Z C_{Z2})(1 + sR_Z C_{Z3}) \right] \right. \\ \left. + (G_m R_L)^2 (G_{mf1} R_L G_{mz} R_Z) \left[\begin{array}{l} (1 + \frac{s}{\omega_{Z2}})(1 + \frac{s}{\omega_{Z3}}) \\ (1 + \frac{s}{\omega_{Z1}})(1 + \frac{s}{\omega_{Z3}}) \\ (1 + \frac{s}{\omega_{Z1}})(1 + \frac{s}{\omega_{Z2}}) \end{array} \right] + 1 \right]}$$

$$\text{Where } \omega_{Z1} = \frac{1}{R_Z C_{Z1}}, \omega_{Z2} = \frac{1}{R_Z C_{Z2}}, \omega_{Z3} = \frac{1}{R_Z C_{Z3}}, \omega_{Z4} = \frac{1}{R_L C_L}$$

$$PD(s) = \left(\frac{A_1}{1 + \frac{s}{\omega_{p1}}} + \frac{A_2}{1 + \frac{s}{\omega_{p2}}} + \frac{A_3}{1 + \frac{s}{\omega_{p3}}} \right) \times \frac{1}{(1 + \frac{s}{\omega_{p4}})^2} \\ = \frac{A_1(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p3}}) + A_2(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p3}}) + A_3(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})}{(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p3}})(1 + \frac{s}{\omega_{p4}})^2} \quad (4-8)$$

其長條式空間調變之光感測器(Strip type SMPD)經過等化濾波器後的頻率響應模擬圖如下(4-13):

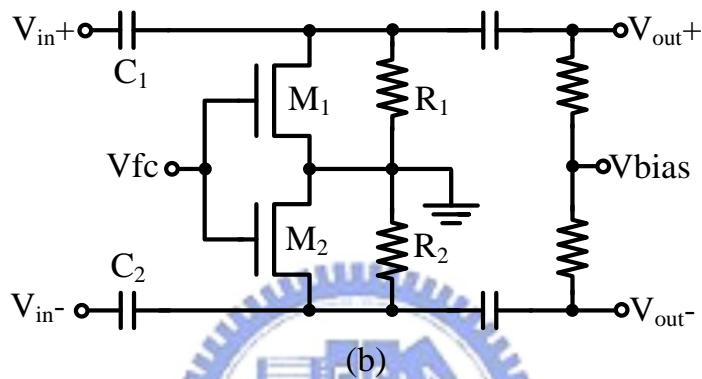
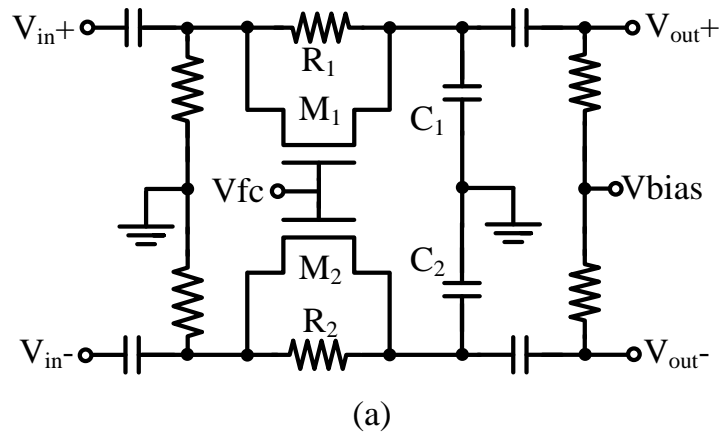


圖(4-13) CMOS PD & 等化濾波器的頻率響應圖

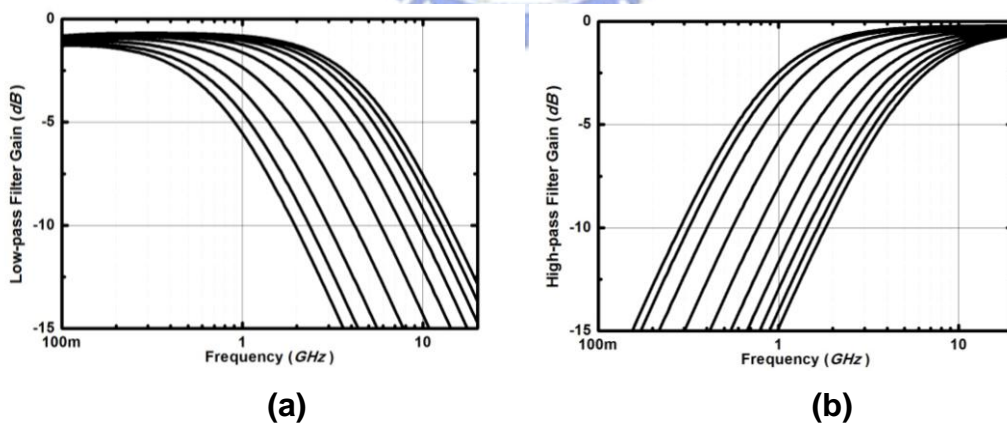
4.3 偵測系統的子電路設計

4.3.1 可調式 RC 濾波器

為了分別粹取出高、低頻頻譜功率，藉由兩個濾波器的輸出差異來做調整等化濾波器的依據，而且為了防止資料樣型變異，所以增加了另一個可以控制濾波器轉角頻率的負回授迴路，好讓濾波器可以隨著資料樣型變異情況自我調整到合適的轉角頻率，故此處需要設計據有相同轉角頻率的可調式的高、低通濾波器，並且可調整的頻率範圍中心設計在 0.28 倍的資料速度，此晶片即為 2.8 GHz。為求減少架構複雜度，這邊直接採用被動元件來組成一階濾波器，其控制轉角頻率 f_c 的方法是靠並聯操作於線性區的電晶體與電阻，並且考量下一級的功率偵查器的輸入 DC 準位，所以又在濾波器後端重新偏壓 DC 點，而且因為濾波器會提供切片機(Slicer)多餘的負載電容，影響接收機整體頻寬，故在切片機與濾波器之間增加一級緩衝器，其最後的可調式高通與低通濾波器的轉角頻率方程式與架構圖與頻率響應模擬圖如下(4-14)與(4-15)如下：



圖(4-14) (a)可調式低通濾波器 (b)可調式高通濾波器電路圖

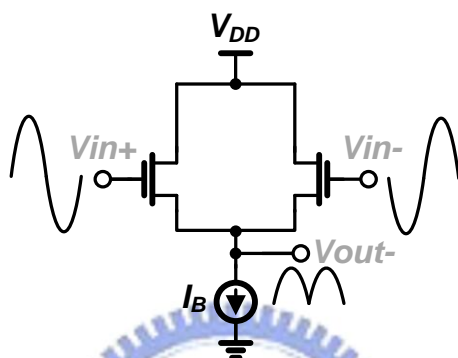


圖(4-15) 可調式(a)低通與(b)高通濾波器的頻率響應圖

4.3.2 功率偵測器

功率偵查器主要是靠偵測訊號振幅大小來判讀訊號功率，因此必須要先讓訊號經過全波整流才能取出訊號振幅的大小，而因為訊號已經經過切片機放大，所

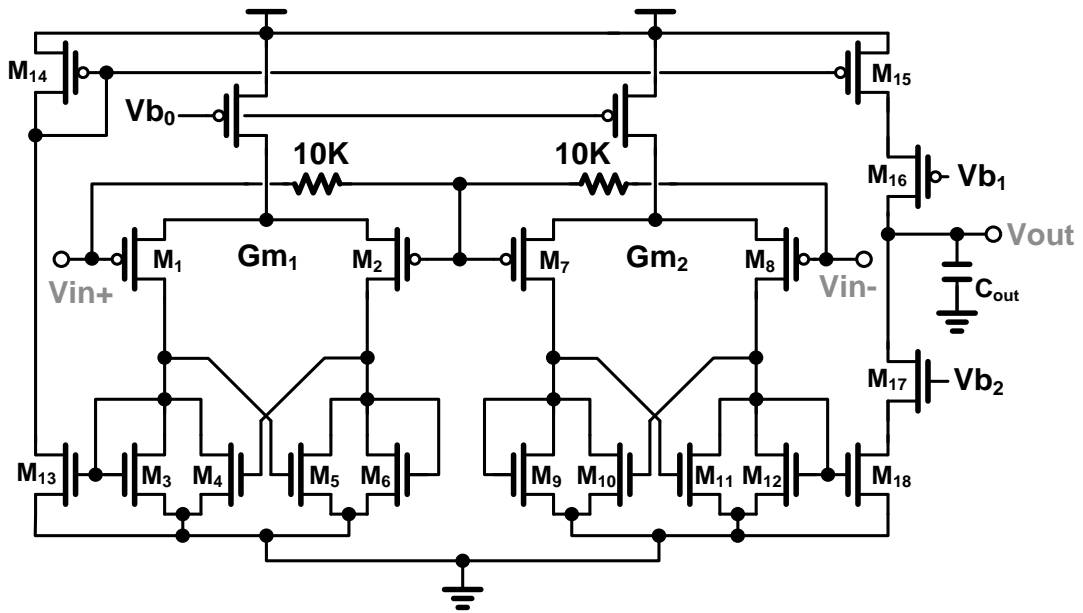
以傳到功率偵查器時的輸出振幅已經夠大，這也大大降低功率偵查器的設計難度，這邊採用一個比較常用的全波整流器來完成功率偵查器、其架構如圖(4-16)，假設訊號振幅為 V_{swing} ，輸出電壓的擺幅是當 M1 或 M2 其中一個元件進入截止區後才開始比較明顯，即當 $V_{ov} = \sqrt{\frac{2I_B}{\mu_n C_{ox}} \frac{L}{W}}$ 變成大於原本的 $\sqrt{2}$ 倍時，此時輸出電壓開始隨著增加中的 V_{g1} 或 V_{g2} 擺動。



圖(4-16) 電壓/電流轉換器電路圖

4.3.3 電壓/電流轉換器

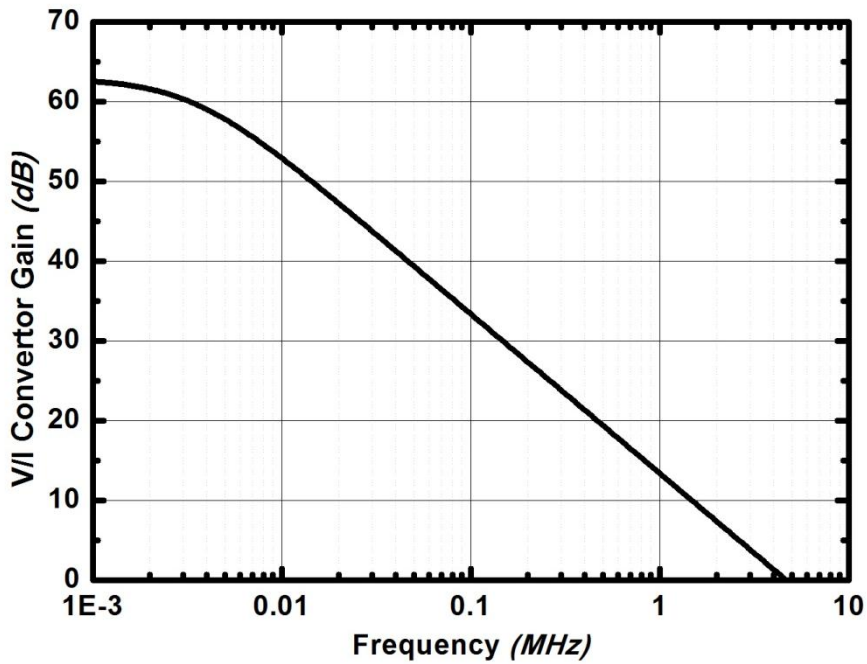
電壓/電流轉換器採用的是兩級式放大器架構，目的是將功率偵查器(Power detector)的輸出電壓差轉化成輸出電流並且對負載電容充電，進而產生控制電壓 V_{gain} 和 V_{fc} 。為了讓電壓/電流轉換器更趨近於理想積分器(DC 增益 ∞)，故在放大器的第一級的負載並聯負電阻(M_4 - M_5 , M_{10} - M_{11})，設計負電阻大約是二級體負載(Diode load)的 0.85 倍，藉此能有效提高第一級增益，而第二級的目的則是希望能提供大輸出擺幅以及大輸出阻抗，因此其電壓/電流轉換器架構如圖(4-17)所示：



圖(4-17) 電壓/電流轉換器電路圖

其轉移方程式(4-9)近似結果與頻率響應模擬圖(4-18)如下：

$$A_0 \approx \frac{v_{out}}{V_{in+} - V_{in-}} = \left(\frac{G_{m1,2}}{G_{m3,1} \bar{G}_{m4}} \right) \times \left[G_{m1} \left(G_m r_{o6} r_{o16} \parallel G_{m8} r_{o8} r_{o7} \parallel \frac{1}{sC_{out}} \right) \right] \quad (4-9)$$



圖(4-18) 電壓/電流轉換器頻率響應

4.4 輸出緩衝器(Output Buffer)

為了不讓輸出 Pad 的寄生電容影響接收機整體頻寬，以及輸出訊號要能完整傳入量測儀器內阻(50Ω)上，因此需要在後級放大器輸出端串接一級緩衝器(Buffer)，在設計緩衝器時必須考量以下幾點：

- **阻抗匹配**

因為傳輸線與一期內阻均為 50 Ω，故必須將緩衝器的輸出阻抗也設計成 50Ω，以避免回波與 ISI 的問題發生。

- **輸出振幅**

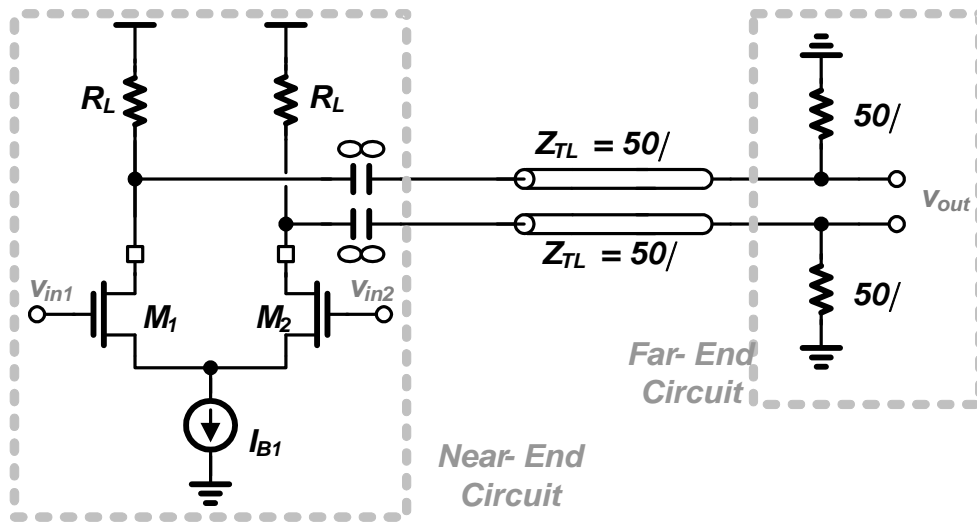
因為輸出阻抗值設計成 50 Ω，所以假設要得到輸出電壓振幅為 400 mV_{pp}，可以反推出在輸出電阻的變動電流就有要 16 mA，因此輸出振幅將直接正比於電流量，這導致一般為了量測，往往必須在緩衝器上消耗不少電流。

- **輸入端寄生電容**

由輸出振幅考量可知緩衝器必須提供大電流去驅動輸出阻抗 50 Ω 與儀器 50 Ω 並聯後的阻抗，因此緩衝器的元件尺寸都很大，即寄生電容不小，這會增加前級電路的輸出負載電容，導致緩衝器前一級電路頻寬下降。

因為在 90 nm 製程下，源極偶合差動對電路要達到 10 GHz 並不困難，因此為了節省功率消耗，這裡選擇一般簡單的源極偶合差動對電路來完成緩衝器電路，而不需選擇 FT double 的電路架構，其架構圖與轉移方程式如圖(4-19)：

$$A_2 = \frac{v_{out}}{v_{in1} - v_{in2}} = g_{m1} (R_L // R_{TL}) = \frac{g_{m1} R_{TL}}{2} \quad (4-10)$$



圖(4-19) 緩衝器電路圖



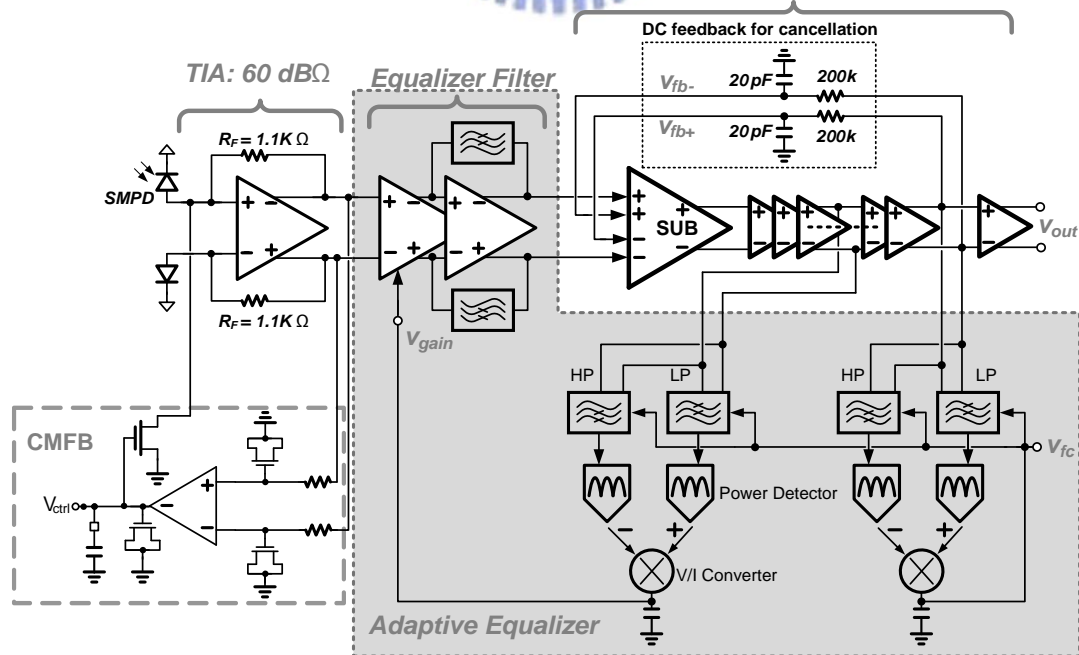
Chapter 5

A 10 Gbps fully CMOS Optical Receivers with Adaptive Equalizer

5.1 模擬環境



LA & Buffer : 30 dB



圖(5-1) 具適應性等化之 10Gb/s 全 CMOS 光感測器接收機

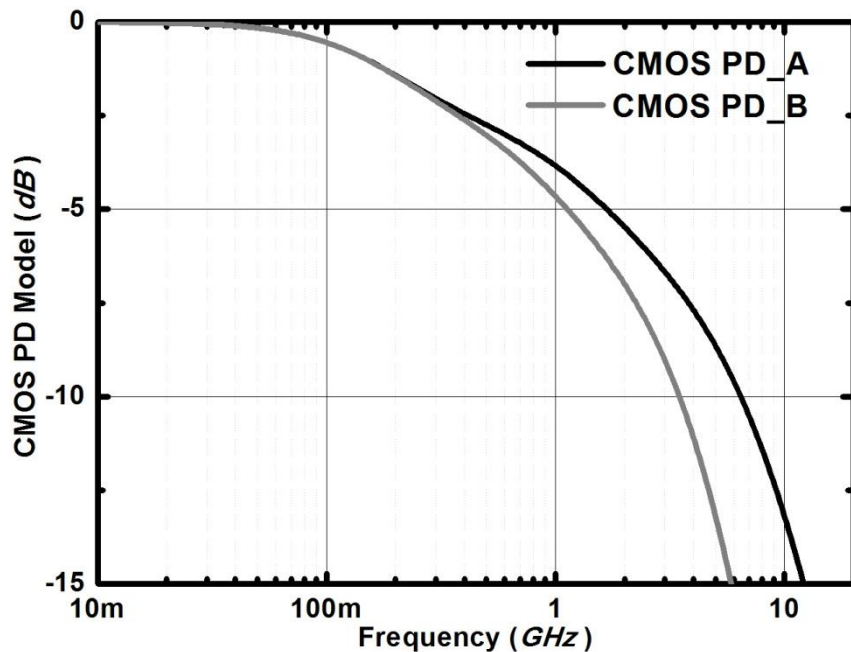
經過前面三個章節介紹各級電路的設計細節後，本章節將其整合起來，其完整架構如圖(5-1)並且開始模擬整體 OEIC 的運作情形，以下晶片模擬環境是先利用 Pattern generator 得到一組 PRBS 的輸入訊號，接著送入依照量測結果設計的 CMOS PD 的電路模型，並且以 250 fF 模擬 PD 的寄生電容，得到已經失真衰減過的光電流訊號後，再經由轉阻放大器直接放大成數 mV 的電壓訊號，接下來開始藉由適應性等化器來對失真的電壓訊號進行補償，因為等化濾波器的增益不高，因此再利用一級後級放大器將電壓訊號放大成數百 mV_{pp}。以上即是在 OEIC 系統中我們必須觀察的各個重要輸出節點，以此驗證電路是否正常運作，而除了觀察訊號路徑上的輸出節點外，適應性等化器中的 2 個控制電壓: V_{gain} 與 V_{fc} 的收斂情形也是檢視等化器系統功能的重要依據。以下的模擬結果是當以 PRBS 訊號速度: 10 Gbps、大小:10 uA_{p-p} 為輸入訊號時，轉阻放大器、等化濾波器、V_{gain} 控制迴路訊號來源點、以及 V_{fc} 控制迴路訊號來源點(後級放大器輸出端)的眼圖結果。

而為了觀察適應性等化器運作情形，這裡再以數學模擬另一個頻寬更窄的 CMOS PD 來驗證適應性等化器是否能機動調整增益補償量。除此之外，為了測試 OEIC 具有資料樣型容忍度(Data Pattern Tolerant)，所以將提供另一組內含長週期的 1 或 0 的資料樣型，藉此觀察 V_{fc} 的自我調整行為。以上所提供測試的環境與訊號變化如下：

*** CMOS PD_A : 典型的 CMOS PD 量測結果 (根據圖 4-8)**

*** CMOS PD_B : 特性變異 (頻寬較差)**

兩個 PD 的頻率響應比較圖如圖(5-2)所示：



圖(5-2) CMOS PD_A 與 CMOS PD_B 頻率響應

* Pattern_A : Pseudo Random Binary Sequence , (PRBS)

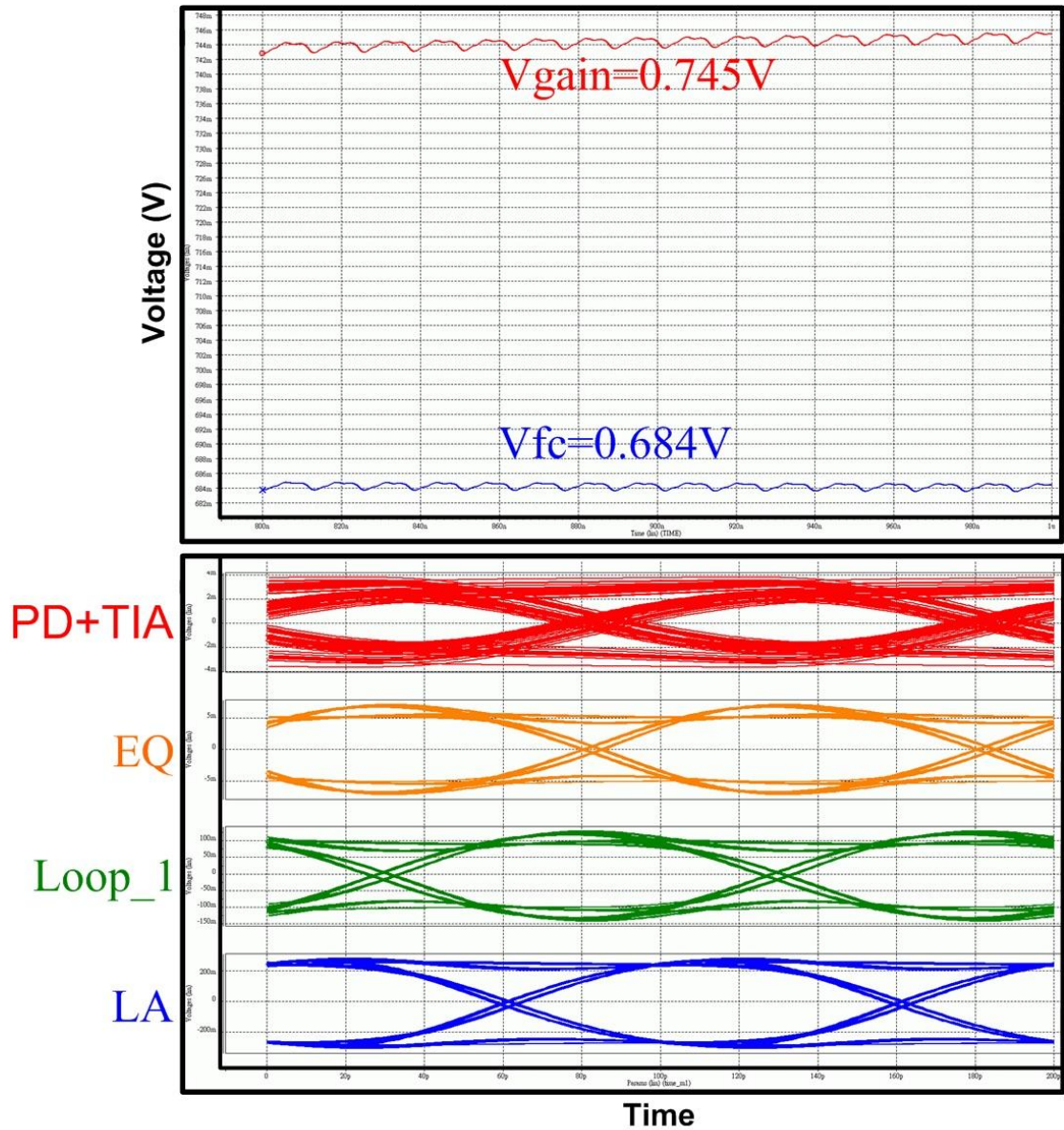
* Pattern_B : 1000110000000110000000000000000000

5.2 10 Gbps OEIC 模擬結果

由上節所設置的模擬測試條件可以獲得 CMOS PD 電路模型所提供的 4 種輸出電流測試方案，且為了顧及系統穩定以及模擬時間，在 Vgain 控制迴路的電壓/電流轉換器輸出端掛上 1 pF，而 Vfc 控制迴路的電壓/電流轉換器輸出端掛上 60pF，以下以下將分別秀出 4 種方案下的 Vgain 與 Vfc 的收斂情形以及 OEIC 訊號路徑上的輸出節點的眼圖：

◆ Case 1 : CMOS PD_A + Pattern_A

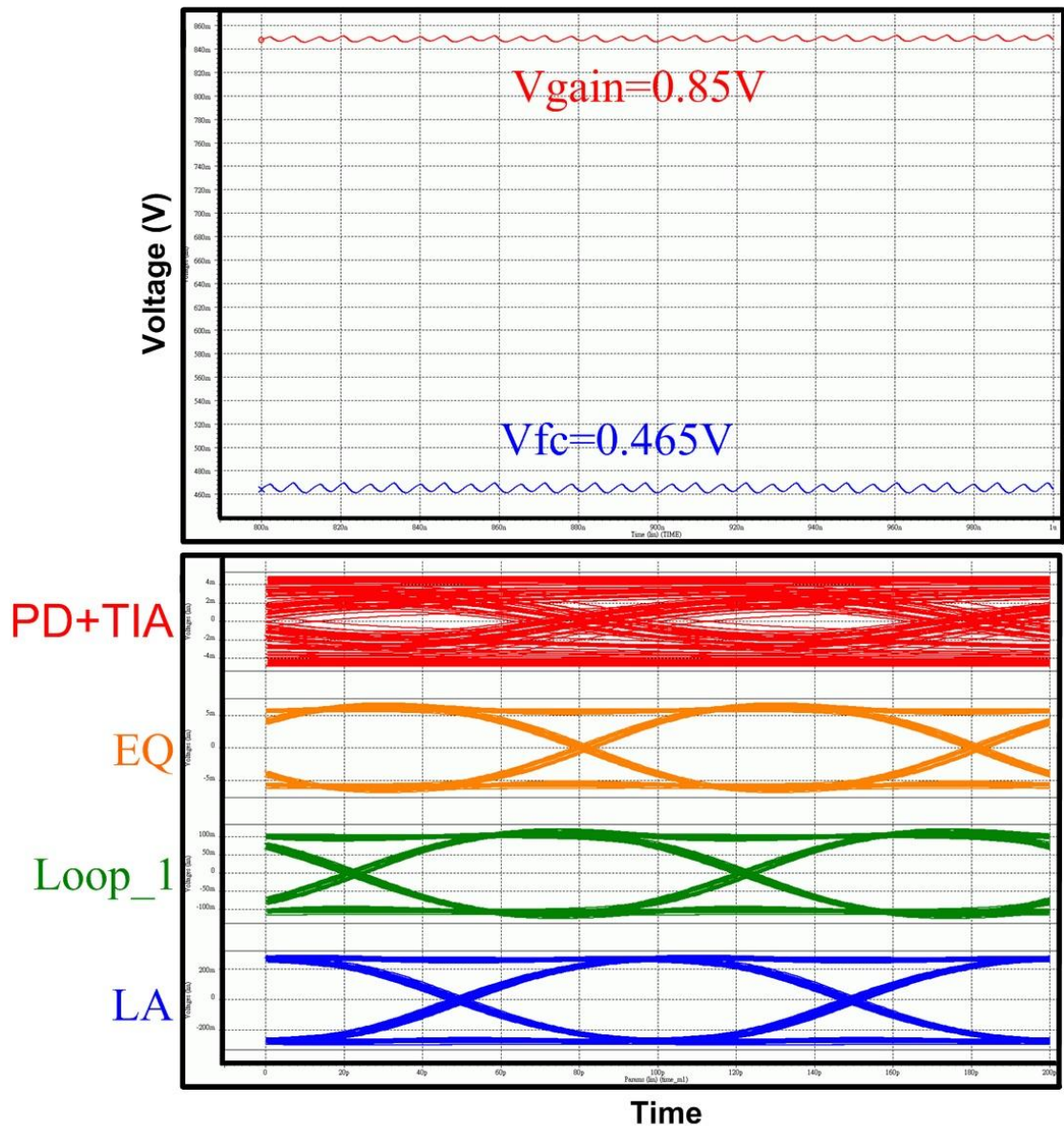
圖(5-3)表示 Vgain 與 Vfc 的收斂情形以及當 Vgain 與 Vfc 電壓值穩定後 OEIC 訊號路徑上的輸出節點的眼圖。



圖(5-3) Case 1: V_{gain} / V_{fc} 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖

◆ Case 2 : CMOS PD_A + Pattern_B

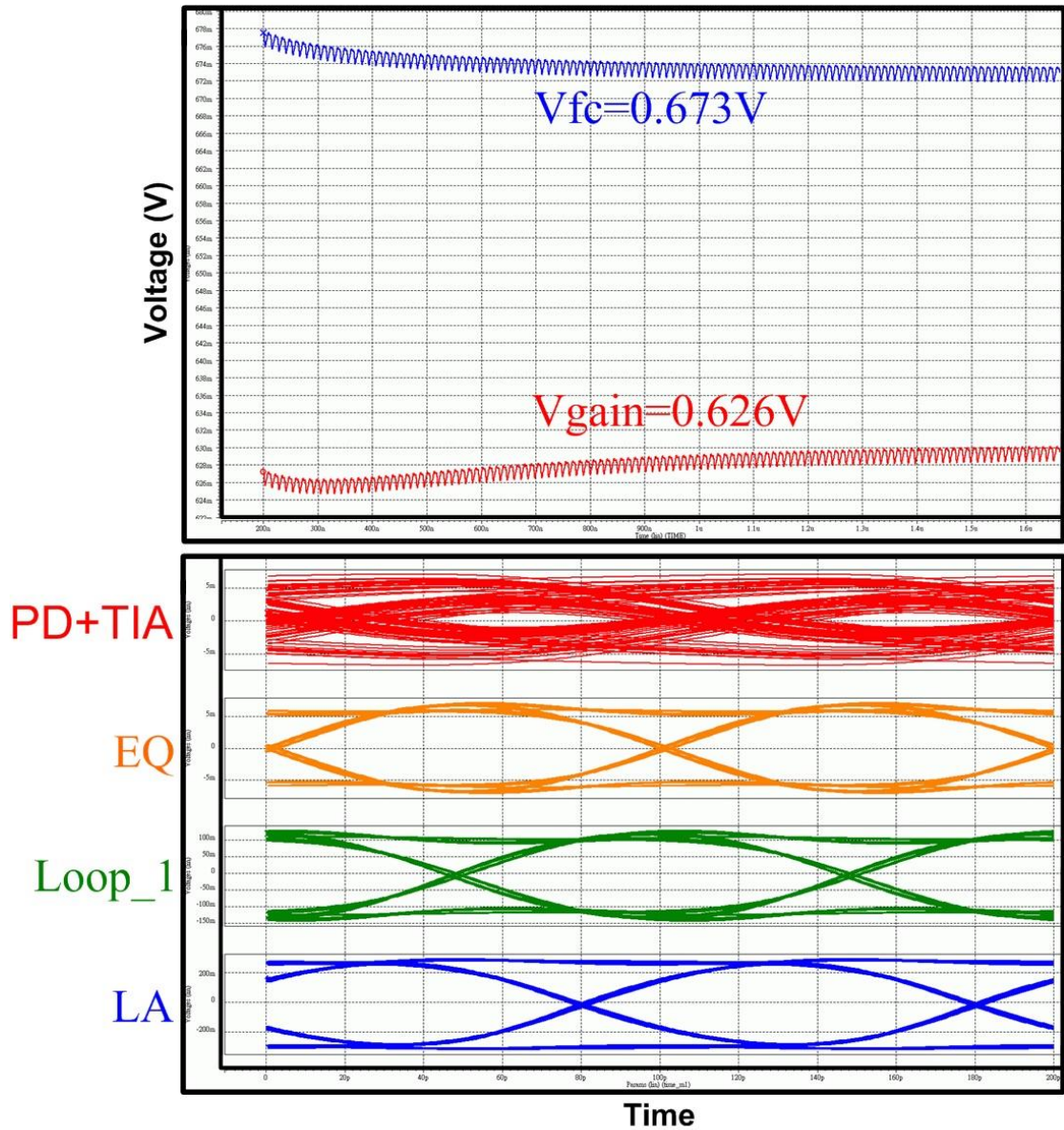
圖(5-4)表示 V_{gain} 與 V_{fc} 的收斂情形以及當 V_{gain} 與 V_{fc} 電壓值穩定後 OEIC 訊號路徑上的輸出節點的眼圖。



圖(5-4) Case 2: V_{gain} / V_{fc} 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖

◆ Case 3 : CMOS PD_B + Pattern_A

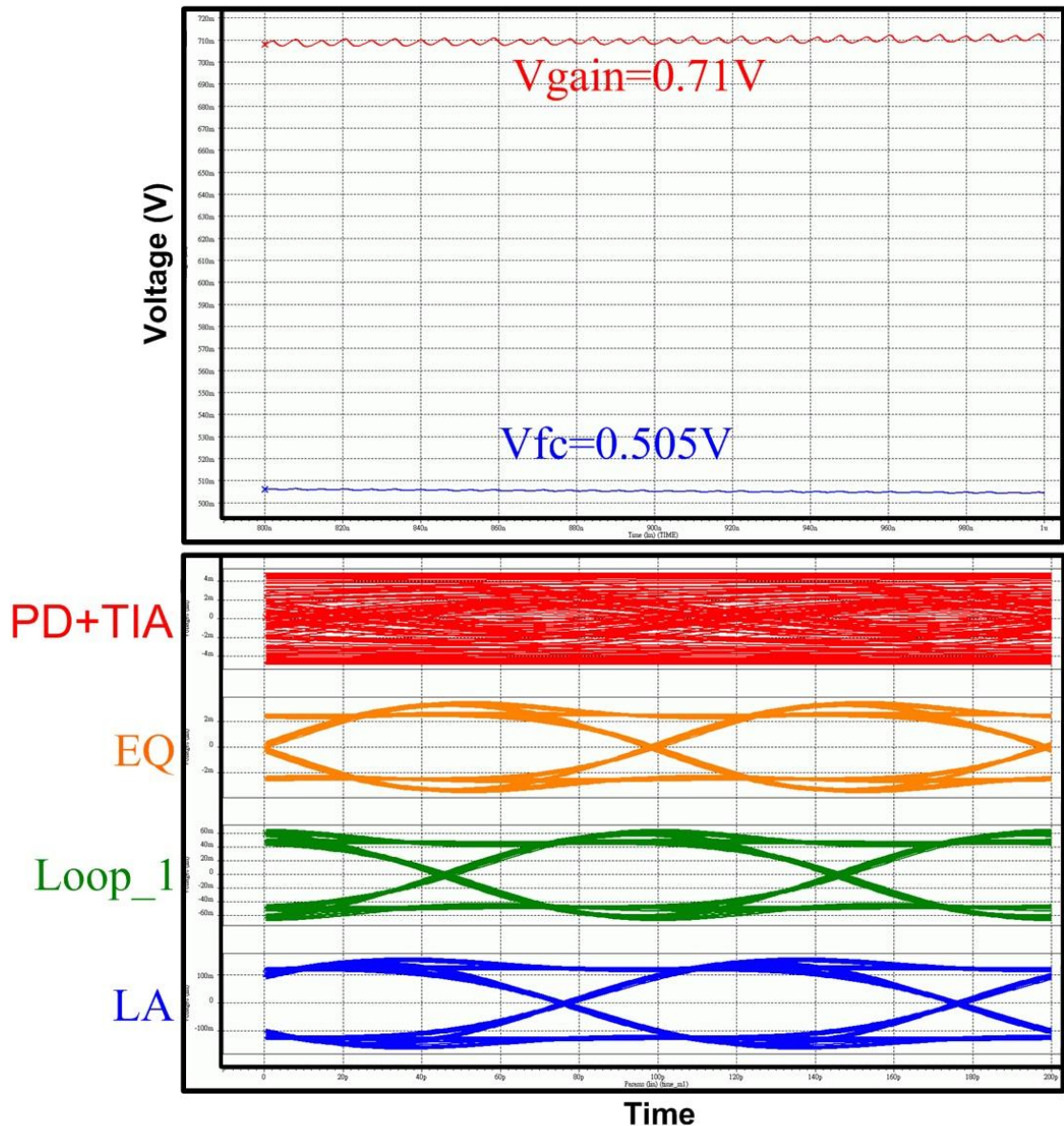
圖(5-5)表示 V_{gain} 與 V_{fc} 的收斂情形以及當 V_{gain} 與 V_{fc} 電壓值穩定後 OEIC 訊號路徑上的輸出節點的眼圖。



圖(5-5) Case 3: V_{gain} / V_{fc} 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖

◆ Case 4 : CMOS PD_B + Pattern_B

圖(5-6)表示 V_{gain} 與 V_{fc} 的收斂情形以及當 V_{gain} 與 V_{fc} 電壓值穩定後 OEIC 訊號路徑上的輸出節點的眼圖。



圖(5-6) Case 4: V_{gain} / V_{fc} 收斂值 與 OEIC 訊號路徑上的輸出節點眼圖

由上面四種方案的模擬結果可以觀察出濾波器的轉角頻率 f_c 會隨著輸入訊號的資料樣型變化做調整。當輸入資料樣型為 Pattern_A 時，因為訊號內無長週期的 1 或 0 的資料樣型，所以出現可調式濾波器的轉角頻率會上升(V_{fc} 上升)，以免誤認訊號高頻能量過高，而導致對高頻補償不足(Under-compensated)的現象發生。反之，當輸入資料樣型為 Pattern_B 時，因為訊號內含長週期的 1 或 0 的資料樣型，所以出現可調式濾波器的轉角頻率會下降(V_{fc} 下降)，以免誤認訊號低頻能量過高，而導致對高頻過度補償(Over-compensated)的現象發生。

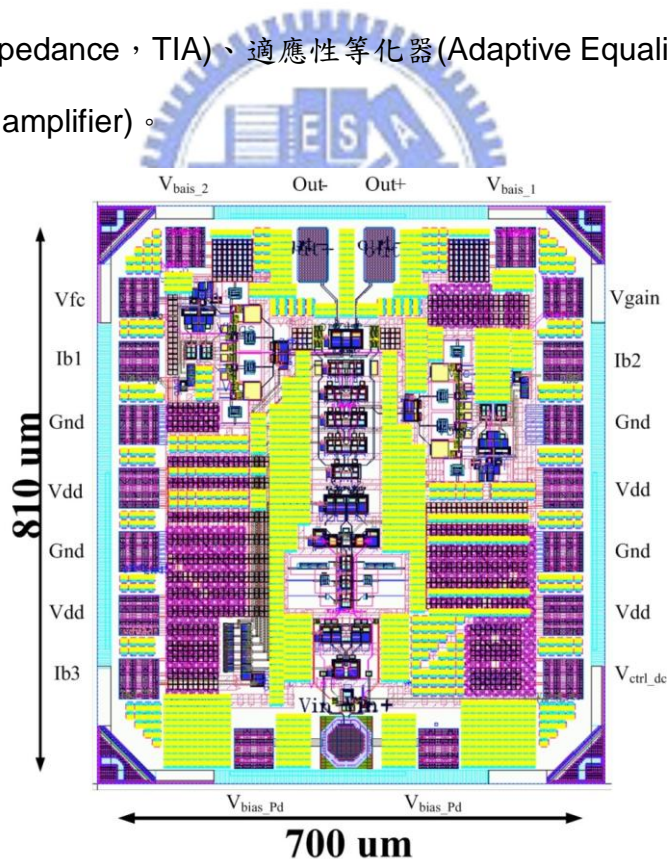
接下來，在相同的資料樣型下，換成當 CMOS PD 的頻寬下降時，可以由

Vgain 與 Vfc 的收斂情形看出等化濾波器的 Vgain 電壓值變小，即表示等化濾波器提供的增益峰化值變大，進而加強對較差的 CMOS PD 頻寬補償量。由以上模擬可以驗證適應性等化器能隨著光感測器的頻寬以及資量樣型做出調整。

5.3 量測結果

5.3.1 晶片測試

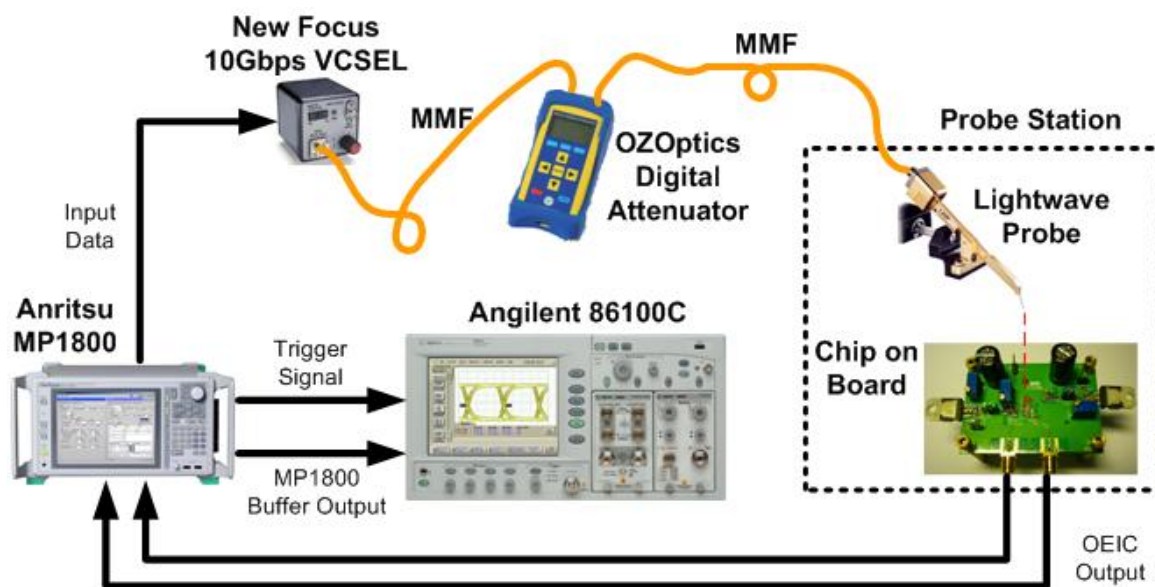
圖(5-7)為一個操作於 10 Gbps 高整合度的高速光電積體電路 (Optoelectronic Integrated Circuit, OEIC) 的布局與 PAD 布置圖，此晶片使用標準 90nm 1P9M CMOS 製程完成設計，其晶片大小為 810 μm X 700 μm ，其架構中包含了一個長條式空間調變之光感測器 (Strip type Space Modulated PD)、轉阻放大器 (Transimpedance, TIA)、適應性等化器 (Adaptive Equalizer)、以及限幅放大器 (Limiting amplifier)。



圖(5-7) OEIC 布局以及 PAD 布置圖

量測環境的建構如圖(5-8)所示，先將 OEIC 晶片設置於 PCB(Printed Circuit Board)板上，焊接好其他輔助元件後，利用 Anritsu MP1800 中 Pattern generator

功能輸送 231-1 的 PRBS 測試訊號去調變一個 850-nm New Focus 10 Gbps VCSEL，藉此完成光源設置。VCSEL 產生的波長 850-nm 光源經過多模態光纖 (Multimode fibers) 傳導至終端的光波探針 (Cascade lightwave probe，固定於 RF-1 Cascade probe station)，藉由 RF-1 Cascade 探針機台將光波探針對準 OEIC 晶片上的光感測器。為了量測光接收機的靈敏度，因此在 VCSEL 與光波探針之間加入光衰減器 (OZOptics digital attenuator)，當感測器產生的光電流被放大後，再把輸出電壓送回 Anritsu MP1800 來量測 BER (bit-error-rate)，同時間為了量測訊號眼圖，Anritsu MP1800 經過緩衝器後會再將 OEIC 輸出訊號以及觸發用訊號轉送給 Agilent 86100C。



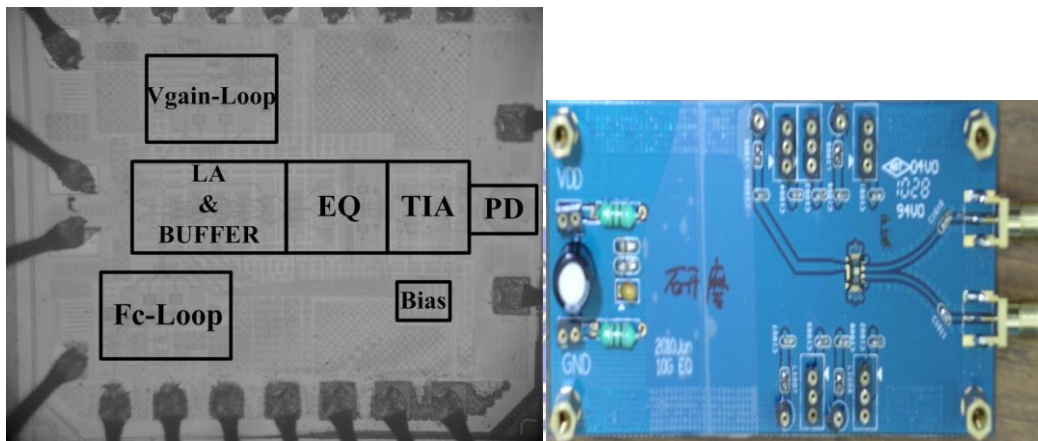
圖(5-8) 量測設置圖。

5.3.2 量測結果

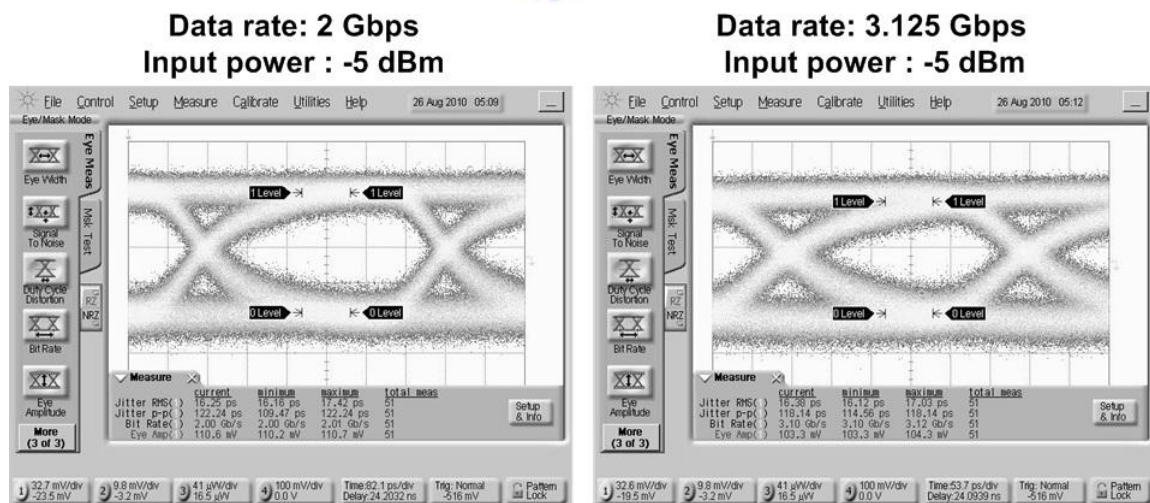
圖(5-9)為晶片的攝像圖與 PCB 板，本晶片 Layout 時因為疏忽了先進製程中 Fab 廠為了節省一道光罩，將拿掉 Paservation 層的 layer 視為同時要加鋁墊，因此晶片上的光感測器一開始就被鋁墊擋住，無法照光產生光電流。為了解決這個問題，學生嘗試了用化學藥劑酸蝕以及晶片整面研磨的這兩種方式來解決，以下的量測結果是研磨晶片後的量測結果，但是因為研磨的深度並不能控制在鋁墊

的厚度，所以晶片會裸露在外，由其是當有最上層 M9 走線的部分都有可能被傷到。除此之外，PD 的照光量也會受研磨的均勻度以及良率的影響而降低。

以下是目前量測到的結果，圖(5-10)分別為當 PD 的 reverse bias 電壓為 3 V 時輸入光源速度為 2 Gbps、功率為-5 dBm ;以及輸入光源速度為 3.125 Gbps、功率為-5 dBm 時的輸出電壓眼圖。圖(5-11)則為當 PD 的 reverse bias 電壓為 3 V 時輸入光源速度為 4.25 Gbps、功率為-5 dBm 的輸出電壓眼圖，而圖(5-12)為當 PD 的 reverse bias 電壓拉高到為 5 V、輸入光源速度為 5 Gbps、功率為-5 dBm 時的輸出電壓眼圖。



圖(5-9) 晶片圖與量測用 PCB 板。

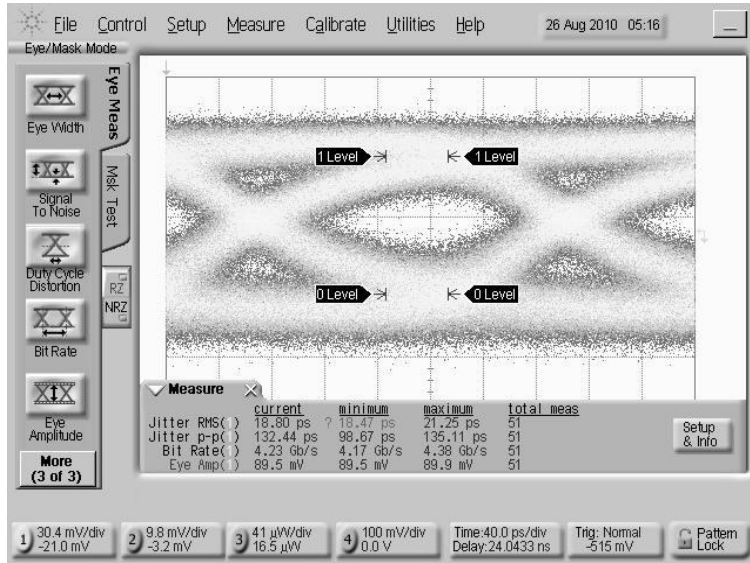


圖(5-10) 資料速度: 2.5 Gbps / 3.125 Gbps

CMOS PD reverse bias: 3 V

輸入功率: -5 dBm 時量測到的輸出端眼圖

Data rate: 4.25 Gbps
Input power : -5 dBm

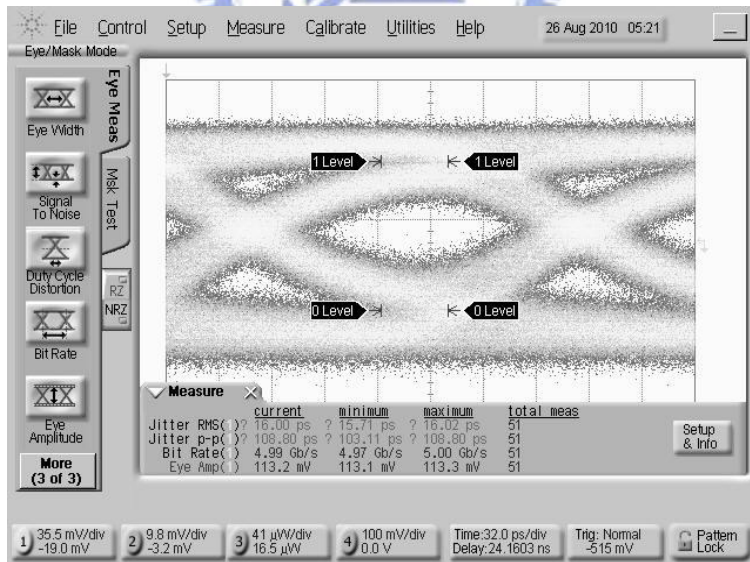


圖(5-11) 資料速度: 4.25Gbps

CMOS PD reverse bias: 3 V

輸入功率: -5 dBm 時量測到的輸出端眼圖

Data rate: 5 Gbps
Input power : -5 dBm



圖(5-12) 資料速度: 5Gbps

CMOS PD reverse bias: 5 V

輸入功率: -5 dBm 時量測到的輸出端眼圖

表格 3 (5-1) Benchmark

	[24] ISSCC'10	[2] ISSCC'06	[9] JSSC'05	This Work (sim.)	This Work (meas.)
Supply Voltage	1.5 V	5 V	1.8 V	1.2 V	1.2 V
Data Rate	8.5 Gb/s	11 Gb/s	3 Gb/s	10 Gb/s	5 Gb/s
Architecture	TIA+EQ+PA	TIA+EQ+PA	TIA+EQ	TIA+EQ+PA	TIA+EQ+PA
Conversion Gain	N/A	70 dBΩ	TIA: 58.5 dBΩ	92 dBΩ	92 dBΩ
Sensitivity	-3.2 dBm (BER=10 ⁻¹²)	-8.9 dBm (BER=10 ⁻¹²)	-19 dBm (BER=10 ⁻¹¹)	-4 dBm (BER=10 ⁻¹²)	-5 dBm
Power	N/A	310 mW	50 mW	130 mW	145 mW
PD type	SM PD	PIN PD	n-well/p-sub PD	SM PD	SM PD
Reverse V_{bias}	N/A	17 V	N/A	1.2 V	5 V
Technology	130 nm CMOS	0.5um BiCMOS	0.18 um CMOS	90 nm CMOS	90 nm CMOS

Chapter 6

A 40 Gbps Optical Receiver Analog

Front-End in 65 nm CMOS



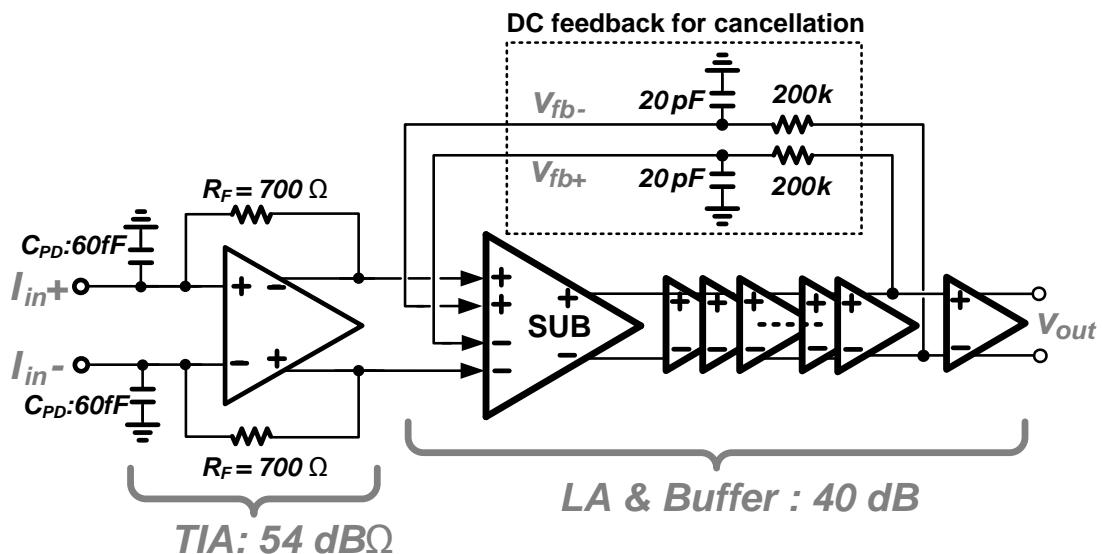
本晶片為一個操作於 40 Gbps 的光通訊接收機，整體架構中包含了一個轉阻放大器(Transimpedance amplifier, TIA)和一個後級限幅放大器(Limiting Amplifier, LA)，架構中運用了分離節點式串聯峰化、並聯峰化的高頻補償技術、以及逐級套疊式主動回授(Nested active feedback)架構等方法來提升接收機整體效能，進而提供 92 dB 的整體轉換增益、35 GHz 的-3dB 頻寬、以及 800 mV_{pp} 的差動輸出擺幅，平均的輸入參考雜訊(Input-referred noise) 為 14 pA/ $\sqrt{\text{Hz}}$ 。此晶片採用 65 nm CMOS 標準製程，晶片面積為 0.825mm²。

6.1 光接收機設計動機與架構說明

隨著高資料量連結用的背板相互連接以及電子元件接面的速度需求快速增加，在未來超過 10 Gbps 的資料速度已經考慮改以光學式相互連接來當成取代無數電子式纜線的新興技術，而且越來越高速的資料與網路傳輸，多通道平行傳輸的技術和具有靈活管理功能的分類轉發處理器顯示了獨特的性能優勢，因此如果可以提高單一通道的傳輸速度將可以倍數地提升整體傳輸效能，而且隨著傳送端電路、光多工器、以及 CDR 等其他電路的操作速度上升，在 40 Gbps 的光通訊系統 OC-768 中已經可以預期以單通道型式完成資料的傳送與接收，因此完成一個 40 Gbps 的光通訊接收機類比前端電路將是本晶片的主要目標。

傳統的光接收機類比前端電路是由轉阻放大器與後級限幅放大器所組成，並且 2 個電路各為分離的晶片，為了提高普遍適用性，所以了解到光收發機的成本效益必須提升，故近年來高度積體化的類比前端電路已投入相當多的研究[16]~[19]，這將有效減少晶片與晶片之間連結線電感造成相互干擾的問題，並且也省下 TIA 與 LA 之間的 IO 緩衝器的大功率消耗。

本晶片中包含了轉阻放大器及後級限幅放大器、架構如圖(6-1)，



圖(6-1) 40 Gbps CMOS 光接收機類比前端電路

藉由較先進的製程、串聯峰化、並聯峰化的高頻補償技術、以及逐級套疊式主動回授(Nested active feedback)架構等方法，希望有效地提高接收機的整體頻寬，讓接收機整體增益能大幅上升，進而完成一個操作速度為 40 Gbps 且高增益的光纖接收端前級電路。表(6-1)為預計設計的各项規格:

表格 4 (6-1) : 40 Gbps Optical Receiver 規格

Specifications	Receiver	TIA	LA
Gain	>94 dBΩ	>54 dBΩ	>40 dB
Bandwidth (GHz)	>28	>28	40
Sensitivity (@ BER= 10⁻¹²)	< 50 μA_{pp}	< 50 μA_{pp}	< 25 mV_{pp}
Input-referred Noise	< 3.57 μA_{rms}	< 3.57 μA_{rms}	<1.8 mV_{rms}

以下小節將開始介紹子電路:轉阻放大器與後級限幅放大器的設計細節。

6.2 寬頻轉阻放大器(Broadband TIA)

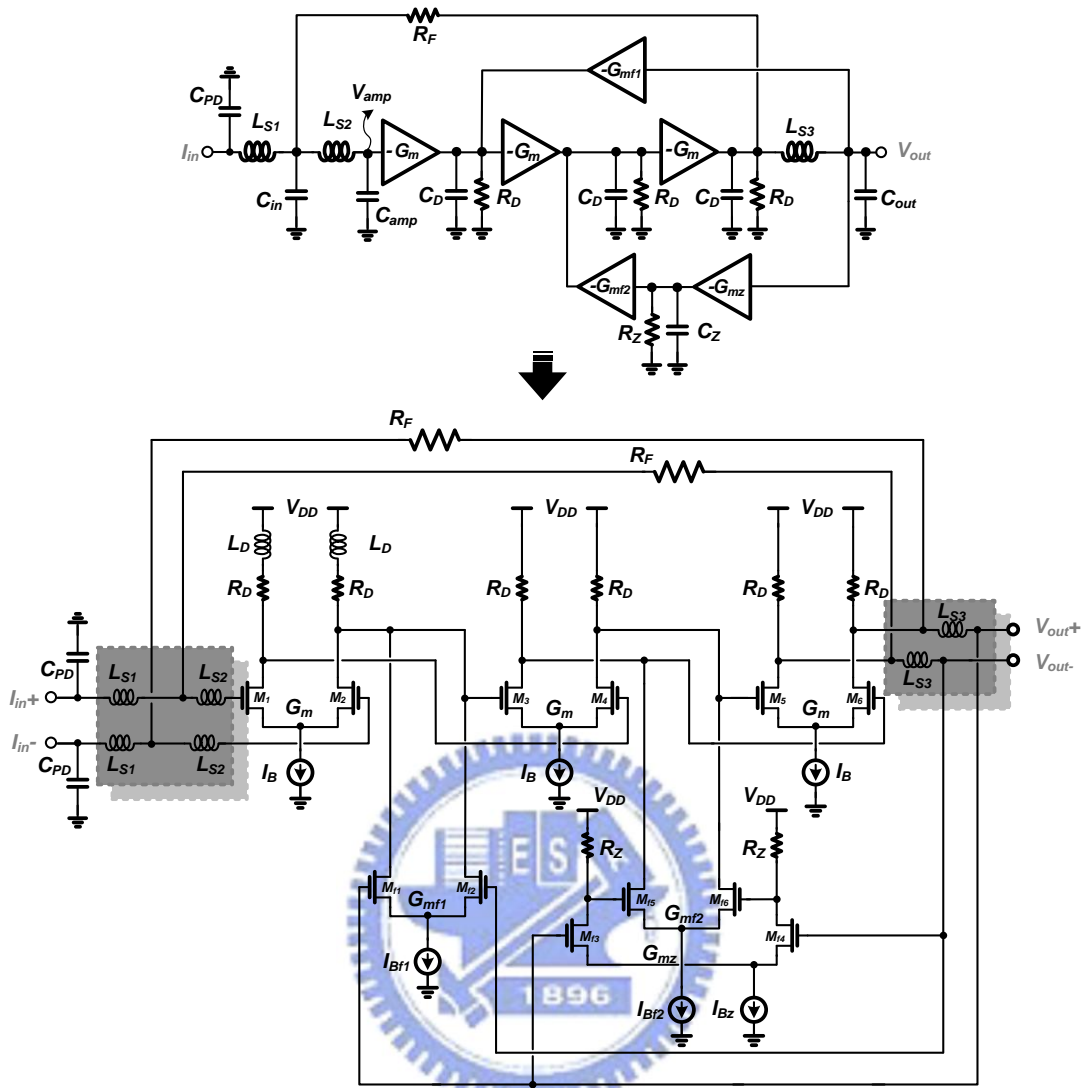
6.2.1 轉阻放大器架構說明

此晶片的轉阻放大器架構為了降低輸入參考雜訊(Input-referred noise)電流量，因此延用了第一顆晶片:具適應性等化之 10Gb/s 全 CMOS 光感測器接收機中所介紹的共源式核心放大器轉阻放大器架構，而其典型的架構的輸入參考雜訊電流為(6-1):

$$\overline{i_{n,in}^2} \propto \frac{4kT}{R_F} + \overline{i_{n,A1}^2} + \frac{\overline{v_{n,A1}^2}}{R_F^2} \quad (6-1)$$

其中 $\overline{i_{n,A1}^2}$ 與 $\overline{v_{n,A1}^2}$ 分別為轉阻放大器中的核心放大器輸入參考雜訊電流與電壓，由此式子可以看出增加 R_F 值可有效降低雜訊量，但是這將付出轉阻放大器頻寬下降的代價，因此必須增加一些電路設計技巧去改善頻寬不足的問題。故此核心放大器的架構也採用前面所介紹的零點套疊式主動回授 (Zero nested active feedback) Cherry-Hooper 放大器，並且為了減少電感數，只於核心放大器的第一級加上並聯峰化 (Shunt peaking)，希望藉由這兩個機制提供的增益峰化值來增加轉阻放大器頻寬。

接著開始先依照預計的規格加以設計，同樣以第 2 章介紹的設計流程去推算，欲完成操作於 40 Gbps 的轉阻放大器， C_{PD} 和 C_{amp} 大約分別為 60 fF 和 40 fF， R_F 要大於 500Ω ，因此核心放大器 $A_C(s)$ 的主極點頻率 (ω_p) 要超過 40 GHz 而且電壓增益要超過 15.8 dB, [14]。由此可以算出核心放大器 $A_C(s)$ 在有下一級負載的情況下的增益頻寬乘積 (Gain bandwidth product, GBW) 必須超過 250 GHz，而這個核心放大器的規格要實現於 CMOS 65-nm 製程下仍是非常困難。故不能再只單純依靠提升核心放大器的效能來改善轉阻放大器頻寬，因此這裡再提出利用電感串聯峰化 (Series peaking) 的方式來更進一步拓展頻寬，故最後的轉阻放大器完整架構如圖 (6-2) 所示：



圖(6-2) 提出的寬頻轉阻放大器(Broadband Transimpedance Amplifier)

6.2.2 分析共振頻率與電感感值

擺放電感的位置的想法可分為輸入端與輸出端，輸入端部分是希望以電感隔絕轉阻放大器回授電阻 R_F 與光感測器的寄生電容 C_{pd} ，因此加入 L_{S1} ，但是因為核心放大器的輸入端 MOS 元件的寄生電容也有數十 fF 之多，因此這裡再引入第 2 個電感 L_{S2} ，藉此再隔絕 R_F 與 C_{amp} 。如此一來，轉阻放大器回授電阻 R_F 看到的就只是的成分來自於電感 L_{S1} 與 L_{S2} 的端點等效的寄生電容和， C_{in} ；而輸出

端部分則是利用 L_{S3} 來提供串聯峰化，這裡較不一樣的是調整核心放大器的主動回授的取樣點，將取樣點移至電感 L_{S3} 之後，不然會讓整體轉阻放大器單純地乘上 $\frac{1}{s^2 L_{S3} C_{out} + 1}$ ，導致頻率於 $\omega_R = \frac{1}{\sqrt{L_{S3} C_{out}}}$ 上造成 $TIA(\omega_R) \approx \infty$ ，進而嚴重破壞轉阻放大器的增益平坦度與群體延遲(Group delay)，導致眼圖的 Jitter 會因此而變大。

為了精確分析共振頻率的位置，先推導轉阻放大器的轉移方程式，推導過程中先假設 $A = G_m (R_L \parallel C_L)$ ， $A_{f1} = G_{mf1} (R_L \parallel C_L)$ ， $A_{f2} = G_{mf2} (R_L \parallel C_L)$ ，運算的過程中可以得到 $\frac{V_{out}}{V_{amp}}$ ：

$$\frac{V_{out}}{V_{amp}} = \frac{A^3}{(s^2 L_{S3} C_{out} + 1) + AA_{f2} + A^2 A_{f1}} = \frac{1}{B(s)} \quad (6-2)$$

$$\text{where } B(s) = \frac{1}{A^3} (s^2 L_{S3} C_{out} + 1) + \frac{A_{f2}}{A^2} + \frac{A_{f1}}{A}$$

接著可以導出轉阻放大器的整體轉移函數(6-3)：

$$TIA(s) = \frac{V_{out}}{I_{in}} = \frac{1}{\left\{ \begin{aligned} &B(s) [s^2 (L_{S1} + L_{S2}) C_{amp} + 1] (s C_{pd}) + B(s) (s C_{amp}) \\ &+ B(s) (s^2 L_{S1} C_{pd} + 1) (s^2 L_{S2} C_{amp} + 1) (s C_{in}) \\ &+ B(s) \frac{1}{R_F} (s^2 L_{S1} C_{pd} + 1) (s^2 L_{S2} C_{amp} + 1) \\ &+ \frac{1}{R_F} (s^2 L_{S1} C_{pd} + 1) (s^2 L_{S3} C_{out} + 1) \end{aligned} \right\}} \quad (6-3)$$

$$TIA(0) = \frac{V_{out}}{I_{in}} = \frac{R_F \times A^3}{1 + AA_{f2} + A^2 A_{f1} + A^3} \quad (6-4)$$

以下將分析串聯峰化(Series peaking)的共振頻率(Resonance frequency)位置，以及如何決定電感值。

◇ 共振頻率 ω_{R1} :

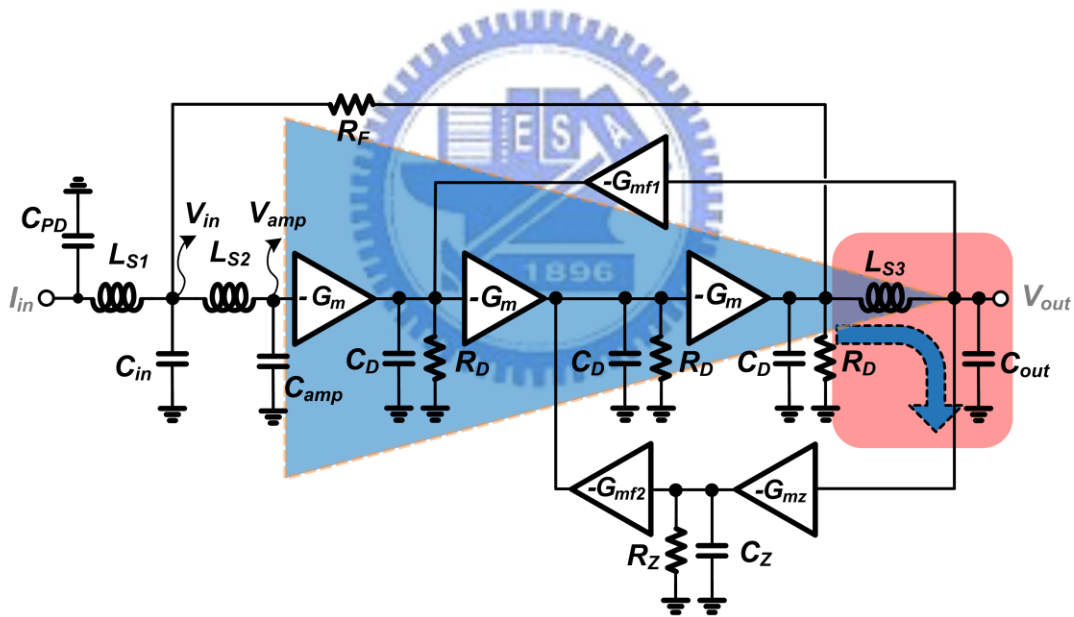
第一個共振頻率點發生於 $\frac{V_{out}}{V_{amp}} = \frac{A^3}{(s^2 L_{S3} C_{out} + 1) + AA_{f2} + A^2 A_{f1}} = \frac{1}{B(s)} \approx \infty$, 即

$B(s)=0$ 時, 此時因為 $\frac{V_{out}}{V_{in}} = \frac{V_{out}}{V_{amp}} \times \frac{V_{amp}}{V_{in}} = \frac{1}{B(s)} \times \frac{1}{s^2 L_{S2} C_{amp} + 1}$ 很大所以 R_F 於

輸入端的等效阻抗非常小, 故光感測器(Photo-detector)的光電流訊號看到的即為 C_{pd} 與 L_{S1} 並聯, 經過分流後得到流入 L_{S1} 的電流訊號量, 再經過 R_F 放

大後轉為電壓訊號, 最後經 L_{S3} 與 C_{out} 分壓後即可得知轉阻放大器的輸出電

壓 V_{out} 值。



圖(6-3) ω_{R1} 串聯共振示意圖

接著將假設一些參數並且細算其值:

$$B(s) = \frac{1}{A^3} (s^2 L_{S3} C_{out} + 1) + \frac{A_{f2}}{A^2} + \frac{A_{f1}}{A} = 0 \tag{6-5}$$

$$\Rightarrow s = j\omega_{R1} = j \frac{\sqrt{1 + AA_{f2} + A^2 A_{f1}}}{\sqrt{L_{S3} C_{out}}}$$

而 ω_{R1} 的位置則設計在原本沒有串聯電感時的主極點處，即：

$$\frac{\sqrt{1+AA_{f2}+A^2A_{f1}}}{\sqrt{L_{S3}C_{out}}} \approx \frac{1}{\left(\frac{R_F}{1+\frac{1}{B(0)}} \parallel \frac{1}{sC_{pd}}\right)} \quad (6-6)$$

且因為核心放大器已經於先前就設計完成，故 A, A_{f1}, A_{f2} 值已知，而轉阻放大器回授電阻 R_F 、下一級負載 C_{out} 、以及光感測器的寄生電容 C_{pd} 也都已知，故由上式即可得知 L_{S3} 的電感值。

接著將設計此共振頻率下的增益大小，為了有較平坦的增益響應，故將設計此共振頻率下的增益大小與 DC 時的增益大小相同，其中先假設 $\alpha L_{S2} C_{amp} = L_{S1} C_{pd}$ ， $\beta L_{S2} C_{amp} = L_{S3} C_{out}$ ， $\frac{\alpha}{\beta} L_{S3} C_{out} = L_{S1} C_{pd}$ 接下來的推導過程如下：

$$\begin{aligned} TIA(j\omega_1) &= \frac{R_F}{(1-\omega_1^2 L_{S1} C_{pd})(1-\omega_1^2 L_{S3} C_{out})} \\ &= \frac{R_F}{\left[\left(\frac{(1+AA_{f2}+A^2A_{f1})L_{S1}C_{pd}}{L_{S3}C_{out}}-1\right)(AA_{f2}+A^2A_{f1})\right]} \end{aligned} \quad (6-7)$$

$$\text{Assume } \alpha L_{S2} C_{amp} = L_{S1} C_{pd}, \beta L_{S2} C_{amp} = L_{S3} C_{out} \therefore \frac{\alpha}{\beta} L_{S3} C_{out} = L_{S1} C_{pd},$$

$$\text{Let } TIA(j\omega_1) = TIA(0)$$

$$\frac{R_F}{\left[\left(\frac{(1+AA_{f2}+A^2A_{f1})L_{S1}C_{pd}}{L_{S3}C_{out}}-1\right)(AA_{f2}+A^2A_{f1})\right]} = \frac{R_F \times A^3}{1+AA_{f2}+A^2A_{f1}+A^3} \approx R_F \cdot \quad (6-8)$$

$$(AA_{f2}+A^2A_{f1})^2 \frac{\alpha}{\beta} + \left(\frac{\alpha}{\beta}-1\right)(AA_{f2}+A^2A_{f1}) \approx 1.$$

$$\frac{\alpha}{\beta} = \frac{1}{AA_{f2}+A^2A_{f1}}$$

經過驗算過後，可先得知參數 $\frac{\alpha}{\beta}$ ，接著再因為 $\frac{\alpha}{\beta} L_{S3} C_{out} = L_{S1} C_{pd}$ ，其中的 C_{out} 、 C_{pd} 與 L_{S3} 都已知，故將可解出 L_{S1} 的電感值。

◇ 共振頻率 ω_{R2} ：

因為第二個共振頻率點發生的頻率較高，故 $\frac{V_{out}}{V_{amp}}$ 的增益值已經下降許多，

即回授系統的開迴路增益下降，因此 R_F 於輸入端的等效阻抗將無法受到抑

制，故 R_F 路徑對訊號來說阻抗會較大。除此之外，因為 C_{in} 的成分來自於電

感 L_{S1} 與 L_{S2} 的端點等效的寄生電容和，而 C_{amp} 的成分則是 L_{S2} 的端點與核心

放大器輸入端元件的等效寄生電容和，故 C_{amp} 會比 C_{in} 來的大很多。由以上

分析後可以做出 $\frac{R_F}{1 + \frac{1}{B(s)}} \parallel \frac{1}{sC_{in}} \parallel \frac{1}{sC_{amp}} \approx \frac{1}{sC_{amp}}$ 這項假設，因此第二個共振頻率

可以表示成：

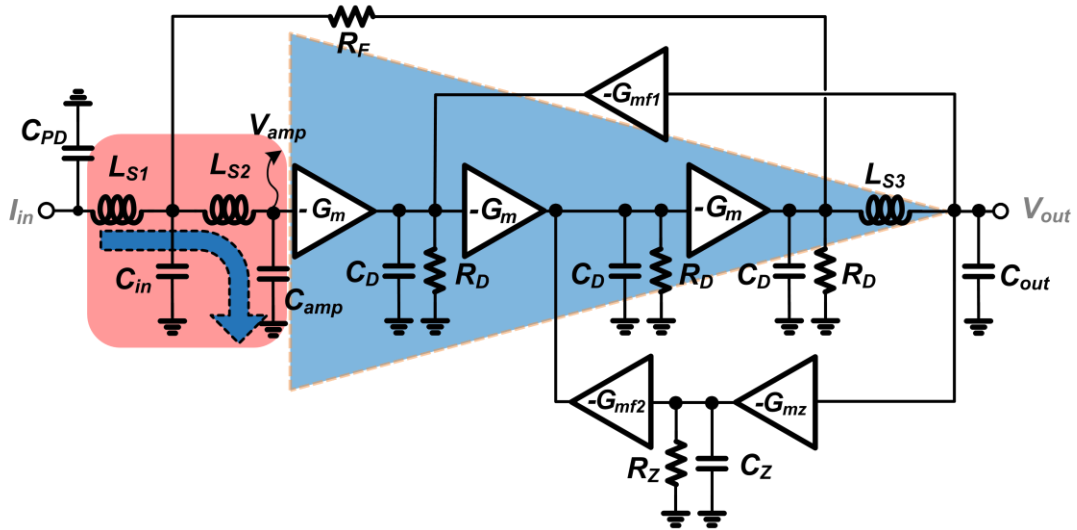
$$\omega_{R2} = \frac{1}{\sqrt{(L_{S1} + L_{S2}) C_{amp}}} \quad (6-9)$$

即電感 L_{S1} 與 L_{S2} 和 C_{amp} 發生串聯共振，此時 $sL_{S1} + sL_{S2} + \frac{1}{sC_{amp}} \approx 0$ ，光感測

器的光電流訊號將直接流入這個串聯路徑，並且於 C_{amp} 上產生誇壓訊號，接

著再經由 $\frac{V_{out}}{V_{amp}}$ (圖中藍色部分) 將電壓訊號放大至輸出點，其詳細的數學推導

如下：



圖(6-4) ω_{R2} 串聯共振示意圖

當頻率等於 $\omega_{R2} = \frac{1}{\sqrt{(L_{S1} + L_{S2})C_{amp}}}$ 時，

$$TIA(j\omega_{R2}) \approx \frac{1}{jB(s)\omega_{R2}C_{amp}} \quad (6-10)$$

$$B(j\omega_{R2}) = \frac{1}{A^3} \left(-\frac{L_{S3}C_{out}}{L_{S2}C_{amp}} + 1 \right) + \frac{A_{f2}}{A^2} + \frac{A_{f1}}{A}$$

接著將設計此共振頻率下的增益大小，為了有較平坦的增益響應，故將設計此共振頻率下的增益大小與 DC 時的增益大小相同，依照先前所假設

$\alpha L_{S2}C_{amp} = L_{S1}C_{pd} = \beta L_{S2}C_{amp} = L_{S3}C_{out} \Rightarrow \frac{\alpha}{\beta} L_{S3}C_{out} = L_{S1}C_{pd}$ 接下來的推導過程

如下：

$$\text{Assume } \alpha L_{S2}C_{amp} = L_{S1}C_{pd}, \beta L_{S2}C_{amp} = L_{S3}C_{out} \quad \therefore \frac{\alpha}{\beta} L_{S3}C_{out} = L_{S1}C_{pd}$$

$$\text{Let } TIA(j\omega_2) = TIA(0)$$

$$\Rightarrow \frac{A^3}{\left[\left(1 - \frac{\beta}{\alpha^2} \right) + AA_{f2} + A^2A_{f1} \right] \left(\sqrt{\frac{C_{amp}}{L_{S1} + L_{S2}}} \right)} = \frac{A^3 \times R_F}{1 + AA_{f2} + A^2A_{f1} + A^3} \quad (6-11)$$

由先前推導可知 $\frac{\alpha}{\beta} = \frac{1}{AA_{f2} + A^2A_{f1}}$ ，故經過化簡後可得：

$$L_{S1} + L_{S2} = \frac{R_F^2}{A^6} \times \left[\left(1 - \frac{1}{\alpha} \right) (AA_{f2} + A^2 A_{f1}) + 1 \right]^2 C_{amp} \quad (6-12)$$

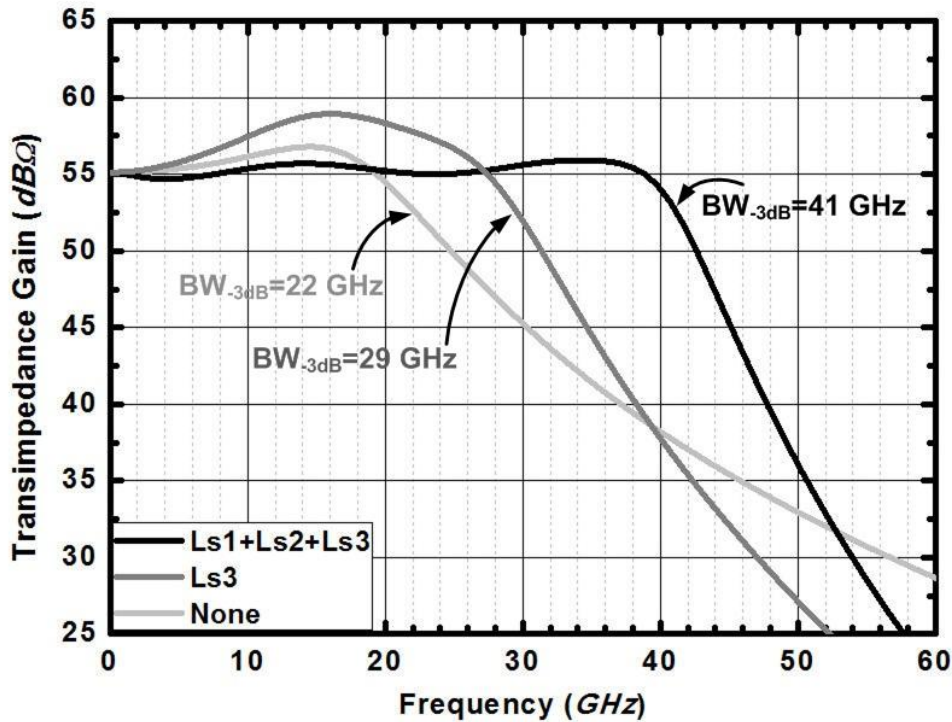
接下來解以下聯立方程式即可得到 L_{S2} 的電感值：

$$\begin{cases} \alpha L_{S2} C_{amp} = L_{S1} C_{pd} \text{ and } C_{amp} \text{ is known. } \Rightarrow \alpha = \frac{L_{S1} C_{pd}}{L_{S2} C_{amp}} \\ \left. \begin{aligned} \alpha &= \frac{L_{S1} C_{pd}}{L_{S2} C_{amp}} \dots\dots\dots(1) \\ L_{S1} + L_{S2} &= \frac{R_F^2}{A^6} \times \left[\left(1 - \frac{1}{\alpha} \right) (AA_{f2} + A^2 A_{f1}) + 1 \right]^2 C_{amp} \dots\dots\dots(2) \end{aligned} \right\} \Rightarrow L_{S2} \end{cases} \quad (6-13)$$

經過以上計算過後即可得 L_{S1} , L_{S1} 與 L_{S3}

6.2.3 模擬結果

經過以上運算後，可以得知串聯峰化的共振頻率位置，以下的模擬圖(6-5)為轉阻放大器的頻率響應，分別秀出當轉阻放大器沒有加串聯峰化電感、加入 L_{S3} 後、以及再加入 L_{S1} 和 L_{S2} 之後的整體增益頻率響應



圖(6-5) 轉阻放大器的頻率響應

由以上的模擬結果可以得知，藉由串聯峰化(Series peaking)將可以有效增加一倍的頻寬，最後完成轉阻放大器設計後的效能規格如表(6-2):

表格 5 (6-2) : TIA 規格

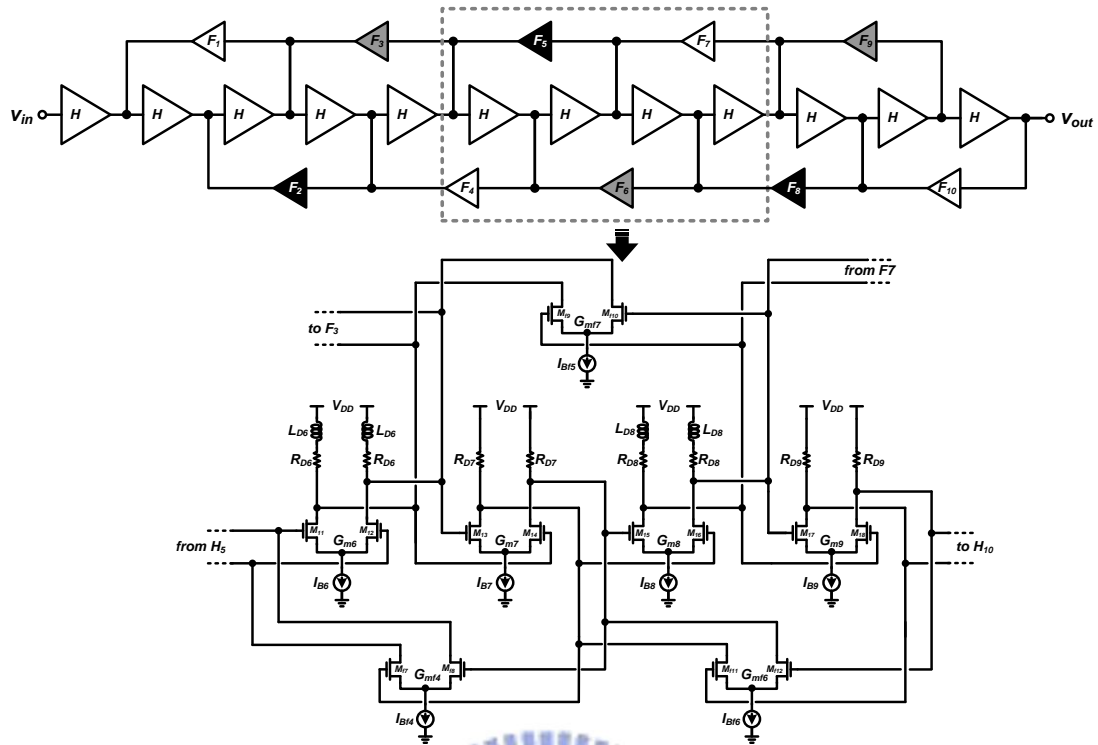
Specifications	DC Gain	Bandwidth	Input-Referred Noise	Power
TIA	55 dBΩ	41 GHz	3.46 μA_{rms}	34.2mW

6.3 後級限幅放大器(Limiting-Amplifier)

6.3.1 架構與效能規格

光電流訊號經由前級的轉阻放大器放大後，輸出的電壓訊號振幅往往很小，當輸入的電流較小時轉阻放大器的輸出電壓大約只有數個 mV，這樣的電壓大小在讓後端的時脈資料回覆(Clock and Data Recovery, CDR)電路做判讀時，會導致不正確的資料串列回覆。如同前一顆晶片，為了解決這問題，此晶片也在轉阻放大器之後增加一後級電壓放大器來將電壓訊號振幅提高到時脈資料回覆電路可正確判讀的邏輯位準範圍，而且因為本晶片的 40Gbps 轉阻放大器的增益較低，故此後級限幅放大器的增益規格將訂得較高的 40 dB，而頻寬的選擇仍然希望不影響接收機整體頻寬為原則，因此頻寬規格訂為 40GHz，如此一來才能完整地將訊號傳送到後端的時脈資料回覆電路。

此晶片的後級限幅放大器(Limiting Amplifier)同樣延用第一顆晶片的架構，以逐級套疊式主動回授的方法完成，然而因為增益希望可以達到 40 dB，故此架構採用串接 12 級源級耦合差動對電路來達到增益的需求，其完整架構如圖(6-6)所示:

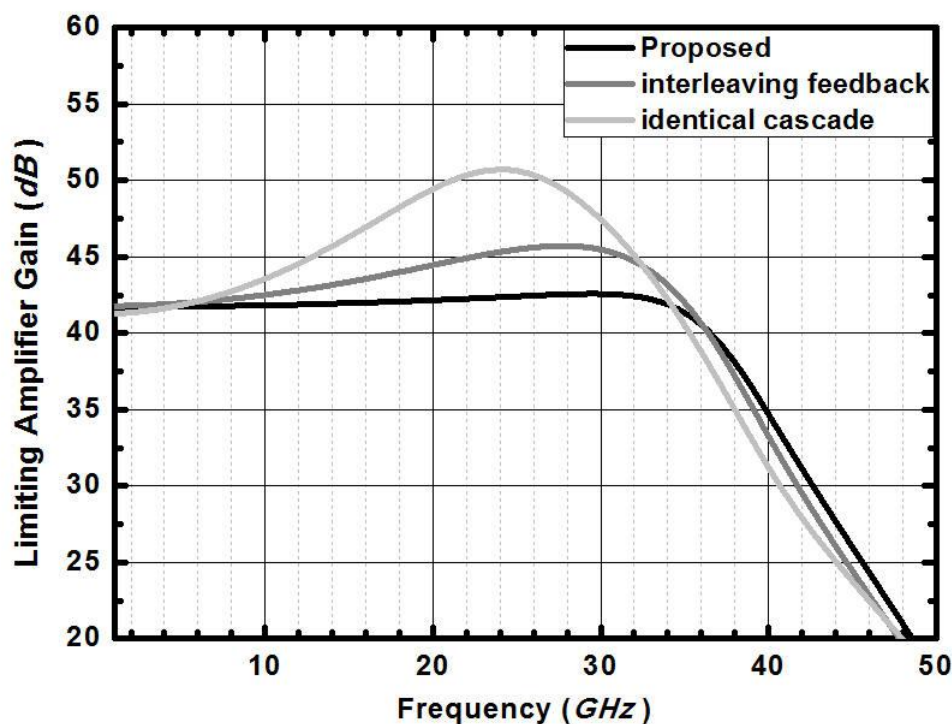


圖(6-6) 12 級式逐級套疊主動回授後級放大器架構

6.3.2

模擬結果

圖(6-7)為 LA 的頻率響應模擬結果，圖中淺灰色的線指的是 LA 以串聯相同增益單位的結果，可以看出一旦單級有增益峰化值(Gain peaking)，則將會依值累積下去，而深灰色的部分則是[20]的 Interleave 主動回授架構，由模擬結果可以發現其極點分離與增益峰化之間的補償效果要比這裡提出來的逐級套疊式主動回授來的差。



圖(6-7) 限幅放大器的頻率響應

表格 6 (6-3) : LA 規格

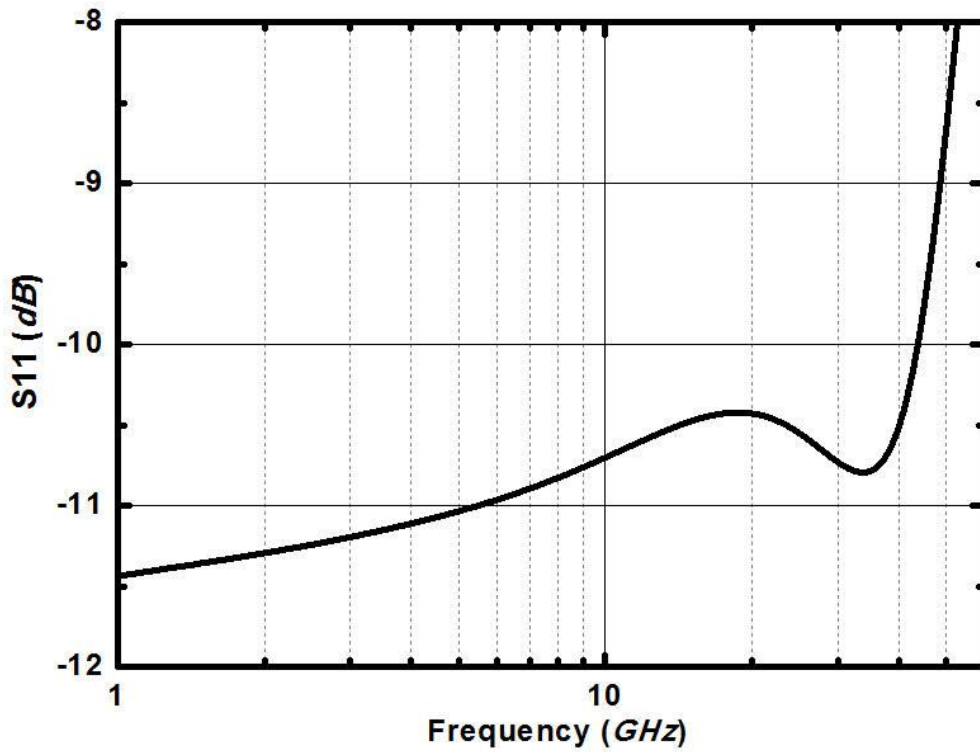
Specifications	DC Gain	Bandwidth	Input-Referred Noise	Power
LA	42 dB	38.4 GHz	410 μV_{rms}	99.7mW

6.4 輸出緩衝器(Output Buffer)

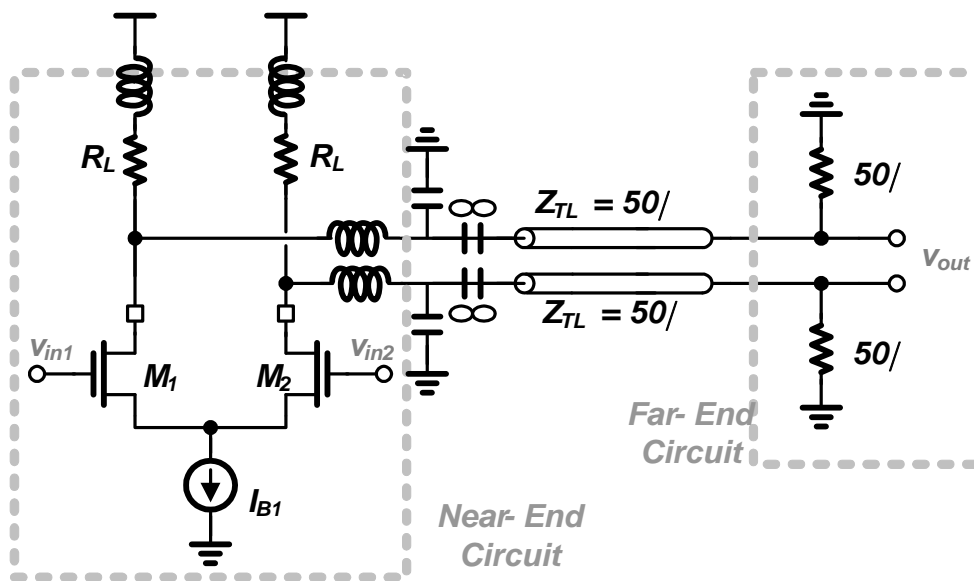
為了不讓輸出 Pad 的寄生電容影響接收機整體頻寬，以及輸出訊號要能完整傳入量測儀器內阻(50 Ω)上，因此需要在後級放大器輸出端串接一級緩衝器(Buffer)，在設計緩衝器時必須考量以下幾點：

因為在 65 nm 製程下，通道長度調變效應的問題更為嚴重，因此者採用一般的源極耦合差動架構來實現緩衝器設計，但是為了達到 40 GHz 的頻寬需求則必須加入電感並聯峰化(Shunt peaking)來提升頻。此外，為了讓緩衝器於 40 GHz

頻寬內，輸出端都能與儀器的 50Ω 達到小於 -10 dB 的輸出阻抗匹配，因此於輸出端加入了串聯電感，其 S11 的模擬與架構圖與如圖(6-8)與(6-9):



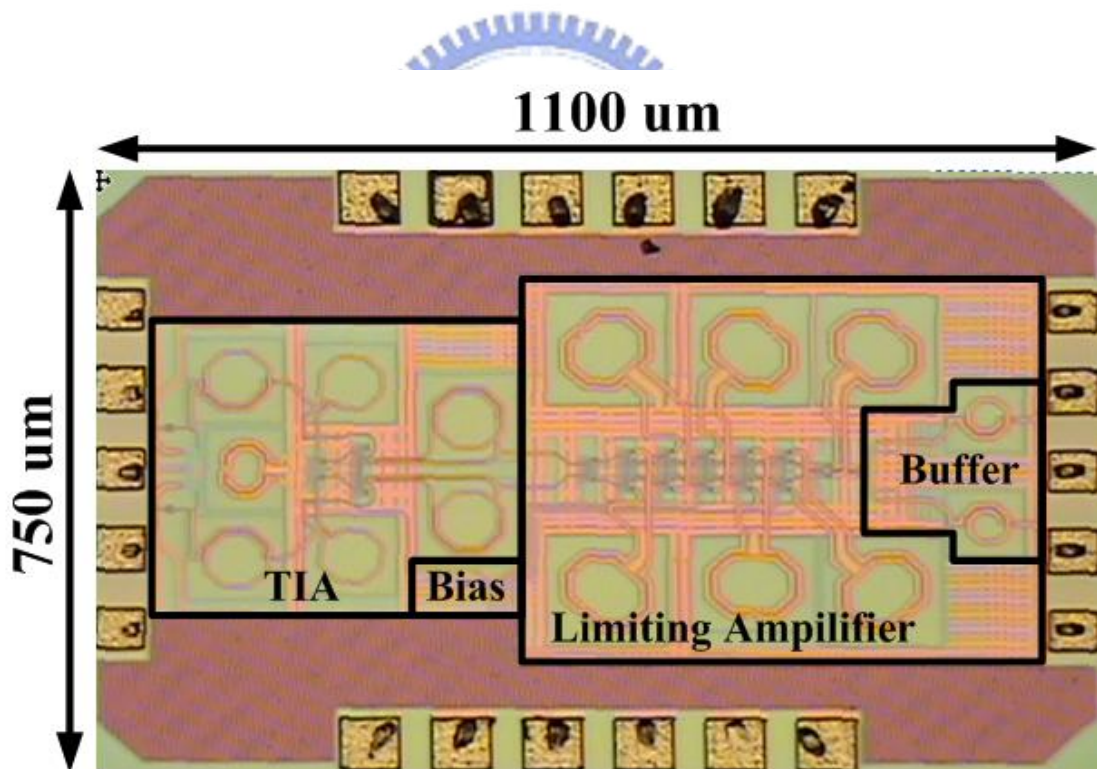
圖(6-8) 輸出端阻抗匹配(S11)



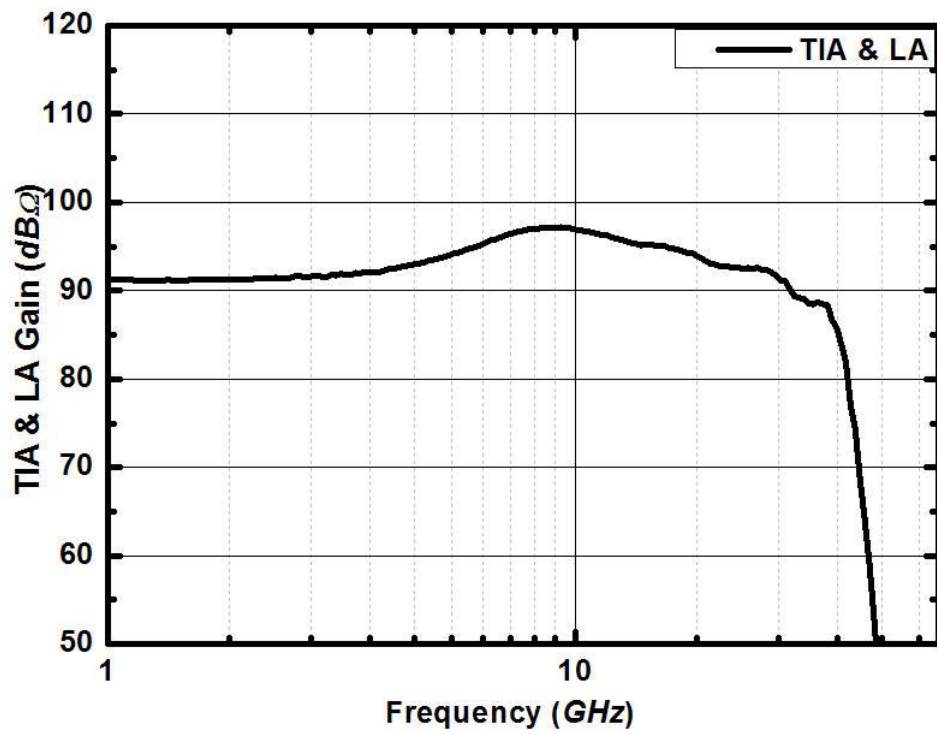
圖(6-9) 緩衝器電路圖

6.5 量測環境架設與量測結果

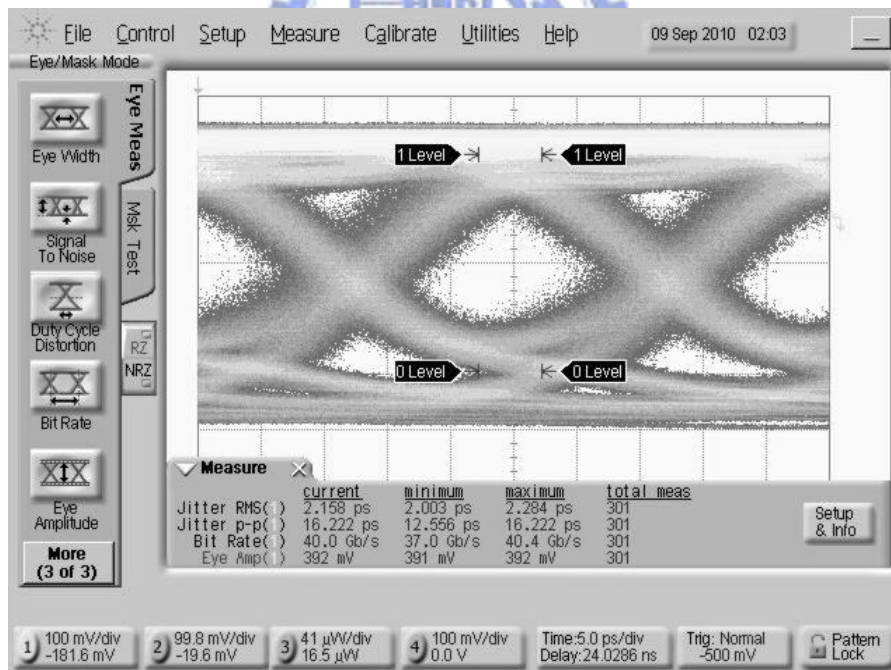
晶片圖如圖(6-10)，為此晶片使用標準 65nm 1P9M CMOS 製程完成設計，其晶片大小為 1100 μm X 750 μm ，晶片的輸入端做 50 Ω 匹配並且以一個 5 K Ω 的電阻將電壓訊號轉為電流訊號，並且加上 60 fF 的電容模擬一個光感測的寄生電容，利用量測範圍到 65 GHz 的網路分析儀(Network analyzer)量測 S 參數，藉此得到以下的頻率響應量測圖(6-11)。而輸入光源速度為 40 Gbps、換算後輸入電流大小為 120 μA_{pp} 的輸出眼圖，其 Jitter RMS 與 p-p 分別為 2.16 ps 與 16.22 ps，如圖(6-12)。並且利用示波器量測累積的輸出端雜訊，藉此得到的雜訊平均值，其量測圖如(6-13)。



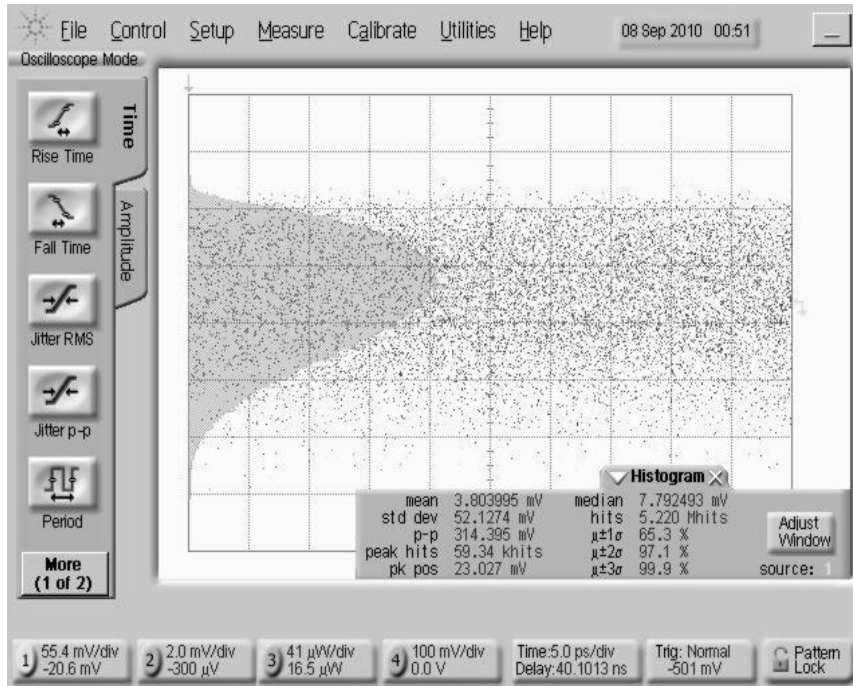
圖(6-10) 晶片圖



圖(6-11) 量測到的接收機頻率響應圖



圖(6-12) 輸入電流速度與大小為 40 Gbps 與 120 uA_{PP} 所量測到的接收機輸出眼圖



圖(6-13) 量測到累積的輸出端雜訊

表格 7 (6-4) : Benchmark

Reference	[22] 04' JSSC	[17] 08' JSSC	[18] 08' JSSC	This work
Tech.	160 GHz InP	0.18 μ m CMOS	90 nm CMOS	65 nm CMOS
Supply	3.3 V	1.8 V	1.2 V	1.2 V
Power	450 mW	60 mW	75 mW	168 mW
Data Rate	43 Gb/s	40 Gb/s	40 Gb/s	40 Gb/s
Gain	6K dB Ω	350 dB Ω	2K dB Ω	40K dB Ω
Input-Referred Noise	N/A	55.7 pA/ \sqrt Hz (sim)	22 pA/ \sqrt Hz	14 pA/ \sqrt Hz
Power/GBW	N/A	5.6 mW/ Ω Hz	1.5 mW/ Ω Hz	0.12 mW/ Ω Hz

Chapter 7

Conclusion



本篇論文完成了兩顆光通信接收機晶片設計，第一顆晶片以 TSMC 90 nm CMOS 標準製程實現一個具適應性等化之 10 Gbps 全 CMOS 光感測器接收機。其中整合了一個逆偏壓為 1.2 V 的 CMOS 積體化光感測器(Photodetector, PD)，一個轉阻放大器(Transimpedance Amplifier, TIA)，一個適應性等化器(Adaptive Equalizer, EQ)，以及一個後級限幅放大器(Limiting Amplifier, LA)

於單晶片設計。利用適應性的類比等化器(Equalizer)使本晶片在模擬時，資料速度可操作到 10 Gbps。架構中的 TIA 藉由零點套疊式主動回授的核心放大器可將頻寬增加為原來的 1.2 倍。而 LA 則是利用逐級套疊主動回授來提供較高的節點迴路增益以及更完整的增益峰化相互補償，進而完成一個寬頻且平坦增益的 LA 設計。接著最重要的適應性等化器則是完成了一個針對 CMOS PD 物理特性所設計的等化濾波器，並且藉由增加另一 f_c 控制迴路來讓適應性等化器能有資料樣型容忍(Data Pattern Tolerant)的功能。

藉由模擬結果可以得知在 PD 逆偏壓為 1.2 V 與 10 Gbps 的操作速度下，提供一個敏感度(Sensitivity)達 -4 dBm 的 OEIC，其晶片耗功 130 毫瓦，晶片面積是 0.57 平方毫米。

第二顆晶片則以 TSMC 65 nm CMOS 標準製程實現一個 40 Gbps 光接收機類比前端電路，其晶片中整合了 TIA 與 LA，架構中低雜訊的共源式前級放大器 TIA 藉由零點套疊式主動回授的核心放大器、以及於輸入與輸出級的串聯峰化(Series peaking)有效地增加了 TIA 頻寬有 2 倍之多。而 LA 也同樣利用逐級套疊主動回授來改善 LA 效能，進而達到高頻寬與高增益的需求。藉此本晶片完成一個整體增益達 40 KΩ、頻寬達 35 GHz 的光接收機，而且其平均的輸入參考雜訊為較低的 $14 \text{ pA}/\sqrt{\text{Hz}}$ ，此外，功率效能也達到了非常低的 $0.12 \text{ mW}/\Omega\text{Hz}$ 。其晶片耗功 168 毫瓦，晶片面積是 0.825 平方毫米。

References

- [1] S. M. Csutak, J.D. Schaub, W.E. Wu, and J.C. Champbell, "High-Speed Monolithically Integrated Silicon Optical Receiver Fabricated in 130-nm CMOS Technology," *IEEE Photonics Technology Letters*, vol. 14, no. 4, pp. 516-518, April 2002.
- [2] R. Swoboda, and H. Zimmermann, "11Gb/s Monolithically Integrated Silicon Optical Receiver for 850nm Wavelength," *IEEE ISSCC Dig. Tech. Paper*, pp. 904-911, February 2006.
- [3] T. K. Woodward, and Ashok V. Krishnamoorthy, "1-Gb/s Integrated Optical Detectors and Receivers in Commercial CMOS Technologies," *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 5, no. 2, pp. 146-156, March/April 1999.
- [4] W.-Z. Chen, and Shih-Hao Huang, "A 2.5 Gbps CMOS Fully Integrated Optical Receiver with Lateral PIN Detector," *IEEE Custom Integrated Circuits Conference*, pp. 293-296, September 2007.
- [5] Catheen. Rومان, D. Coppée, and M. Kuijk, "Asynchronous 250 Mb/s Optical Receivers with Integrated Detector in Standard CMOS Technology for Optocoupler Applications," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 953-958, July 2000.
- [6] M. Jutzi, M. Grozing, E. Gaugler, W. Mazioschek, and M. Berroth, "2-Gb/s CMOS Optical Integrated Receiver with a Spatially Modulated Photodetector," *IEEE Photonics Technology Letters*, vol. 17, no. 6, pp. 1268-1270, June 2005.
- [7] W.-Z. Chen, Shih-Hao Huang, and Guo-Wei Wu, "A 3.125 Gbps CMOS Fully Integrated Optical Receiver with Adaptive Analog Equalizer," *IEEE Asian Solid-State Circuits Conference*, pp. 396-399, November 2007.
- [8] F. Tavernier and M. Steyaert, "Power Efficient 4.5Gbit/s Optical Receiver in 130nm CMOS with Integrated Photodiode," *IEEE European Solid-State Circuits Conference*, pp. 162-165, September 2008.
- [9] S. Radovanović, A.-J Annema, and B Nauta, "A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 8, pp. 1706-1717, August 2005.
- [10] C. Hermans and Michiel S.J. Steyaert, "A High-Speed 850-nm Optical

- Receiver Front-End in 0.18- μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 7, pp. 1606-1614, July 2006.
- [11] S.-H. Huang and W.-Z. Chen, "A 10-Gbps CMOS Single Chip Optical Receiver with 2-D Meshed Spatially-Modulated Light Detector," *IEEE Custom Integrated Circuits Conference*, pp. 129-132, September 2009.
- [12] Hye-Yoon Joo, Kyung-Soo Ha, and Lee-Sup Kim, "A Data Pattern-Tolerant Adaptive Equalizer Using Spectrum Balancing Method" 2009 VLSI
- [13] Jri Lee, "A 20-Gb/s Adaptive Equalizer in 0.13- μm CMOS Technology", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 9, Sep. 2006
- [14] B. Razavi, *Design of Integrated Circuits for Optical Communications*, New York, McGraw Hill, 2003.
- [15] A. K. Petersen, et al., "Front-end CMOS chipset for 10 Gb/s communication, " in IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig., 2002, pp. 93–96.
- [16] S. Galal and B. Razavi, "40 Gb/s amplifier and ESD protection circuit in 0.18- μm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 2389–2396, Dec. 2004.
- [17] Jun-De Jin and Shawn S. H. Hsu, "40 Gb/s transimpedance amplifier in 0.18- μm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 43, NO. 6, Jun. 2008.
- [18] Chih-Fan Liao and Shen-Iuan Liu, "40 Gb/s Transimpedance-AGC Amplifier and CDR Circuit for Broadband Data Receivers in 90 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, NO. 3, Mar. 2008.
- [19] Amin Arbabian, Ali M. Niknejad, "A Broadband Distributed Amplifier with Internal Feedback Providing 660GHz GBW in 90nm CMOS," *ISSCC Dig. Tech. Papers*, pp.196 - 606, Feb. 2008.
- [20] Huei-Yan Huang, Jun-Chau Chien, and Liang-Hung Lu, "A 10-Gb/s Inductorless CMOS Limiting Amplifier With Third-Order Interleaving Active Feedback," *IEEE Journal of Solid-State Circuits*, vol. 42, NO. 5, May 2007.
- [21] Sherif Galal and Behzad Razavi, "10 Gb/s limiting amplifier and laser/modulator driver in 0.18 μm CMOS technology, " *IEEE Journal of Solid-State Circuits*, vol. 38 , no. 12, pp. 2138-2146, Dec. 2003.
- [22] H. Tran, F. Pera, D. S.McPherson, D. Viorel, and S. P. Voinigescu, "6-k Ω 43Gb/s differential transimpedance-limiting amplifier with auto- zero feedback and high dynamic range," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1680–1689, Oct. 2004.
- [23] Ethan A. Crain, "Fast Offset Compensation for a 10Gbps Limit Amplifier," MASSACHUSETTS INSTITUTE OF TECHNOLOGY, May. 2004.

- [24] Dongmyung Lee, Jungwon Hanet, Eunsoo Chang, Gunhee Han, and Sung Min Park, "An 8.5Gb/s CMOS OEIC with On-Chip Photodiode for Short-Distance Optical Communications," *IEEE ISSCC Dig. Tech. Paper*, pp. 362-363, February 2010.

